User's Manual

32

RX63N グループ、RX631 グループ

ユーザーズマニュアル　ハードウェア編

ルネサス 32 ビットマイクロコンピュータ

RX ファミリ／RX600 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.70　2013.10

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
   各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
   家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、
   防災・防犯装置、各種安全装置等

   当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

(2012.4)

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は，製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。
   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレス（予約領域）のアクセス禁止
   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
5. 製品間の相違について
   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。
   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX63N グループ、RX631 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。
最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ショートシート	ハードウェアの概要	－	－
データシート	ハードウェアの概要と電気的特性	RX63Nグループ、RX631グループ データシート	－
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX63Nグループ、RX631グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ ユーザーズマニュアル ソフトウェア編	R01US0032JJ
アプリケーションノート	応用例参考プログラムなど	－	－
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	－	－

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X ・・・・レジスタ

アドレス xxxx xxxxxh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	・・・・	・・・・	・・・・	—	—	—	・・・・
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W (注 1)
b0	・・・・0	・・・・ビット (注 2)	0：・・・・・・ 1：設定しないでください (注 3)	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	・・・・4	・・・・ビット	0：・・・・・・ 1：・・・・・・	R
b6-b5	・・・・[1:0]	・・・・ビット	0 0：・・・・・・ 0 1：・・・・・・ 上記以外は設定しないでください (注 3)	R/(W) （注）
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

注1. R/W：読み出し／書き込みともに有効です。
R/(W) ：読み出し／書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R ：読み出しのみ有効です。書き込みは無効になります。

注2. 予約ビットです。書き込みを行う場合には、必ず指定された値を書きこんでください。指定外の値を書きこんだ場合の動作は保証されません。

注3. 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電気的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要 52
1.1 仕様概要 52
1.2 製品一覧 58
1.3 ブロック図 67
1.4 端子機能 68
1.5 ピン配置図 74
2. CPU 131
2.1 特長 131
2.2 CPU レジスタセット 132
2.2.1 汎用レジスタ（R0 ～ R15） 133
2.2.2 制御レジスタ 133
2.2.2.1 割り込みスタックポインタ（ISP）／ユーザスタックポインタ（USP） 134
2.2.2.2 割り込みテーブルレジスタ（INTB） 134
2.2.2.3 プログラムカウンタ（PC） 134
2.2.2.4 プロセッサステータスワード（PSW） 135
2.2.2.5 バックアップ PC（BPC） 136
2.2.2.6 バックアップ PSW（BPSW） 137
2.2.2.7 高速割り込みベクタレジスタ（FINTV） 137
2.2.2.8 浮動小数点ステータスワード（FPSW） 138
2.2.3 DSP 機能命令関連レジスタ 140
2.2.3.1 アキュムレータ（ACC） 140
2.3 プロセッサモード 141
2.3.1 スーパバイザモード 141
2.3.2 ユーザモード 141
2.3.3 特権命令 141
2.3.4 プロセッサモード間の移行 141
2.4 データタイプ 142
2.5 エンディアン 142
2.5.1 エンディアンの設定 142
2.5.2 I/O レジスタアクセス 145
2.5.3 I/O レジスタアクセスの注意事項 145
2.5.4 データ配置 146
2.5.4.1 レジスタのデータ配置 146
2.5.4.2 メモリ上のデータ配置 146
2.5.5 命令コード配置の注意事項 146
2.6 ベクタテーブル 147
2.6.1 固定ベクタテーブル 147
2.6.2 可変ベクタテーブル 147
2.7 命令動作 148
2.7.1 RMPA 命令、ストリング操作命令に関する制約事項 148

2.7.1.1 データプリフェッチ 148
2.7.1.2 外部空間へのアクセス [外部空間あり製品のみ] 148
2.7.1.3 I/O レジスタへのアクセス 148
2.8 パイプライン 149
2.8.1 概要 149
2.8.2 命令とパイプライン処理 151
2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理 151
2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理 153
2.8.2.3 パイプラインの基本動作 156
2.8.3 命令処理時間の計算方法 158
2.8.4 割り込み応答サイクル数 158
3. 動作モード 159
3.1 動作モードの種類と選択 159
3.2 レジスタの説明 161
3.2.1 モードモニタレジスタ（MDMONR） 161
3.2.2 モードステータスレジスタ（MDSR） 161
3.2.3 システムコントロールレジスタ 0（SYSCR0） 162
3.2.4 システムコントロールレジスタ 1（SYSCR1） 163
3.3 動作モードの説明 164
3.3.1 シングルチップモード 164
3.3.2 内蔵 ROM 有効拡張モード 164
3.3.3 内蔵 ROM 無効拡張モード 164
3.3.4 ブートモード 164
3.3.5 USB ブートモード 165
3.3.6 ユーザブートモード 165
3.4 動作モード遷移 165
3.4.1 モード設定端子による動作モード遷移 165
3.4.2 レジスタ設定による動作モード遷移 167
4. アドレス空間 168
4.1 アドレス空間 168
4.2 外部アドレス空間 170
5. I/O レジスタ 171
5.1 I/O レジスタアドレス一覧（アドレス順） 173
6. リセット 218
6.1 概要 218
6.2 レジスタの説明 220
6.2.1 リセットステータスレジスタ 0（RSTSR0） 220
6.2.2 リセットステータスレジスタ 1（RSTSR1） 222
6.2.3 リセットステータスレジスタ 2（RSTSR2） 223
6.2.4 ソフトウェアリセットレジスタ（SWRR） 224

6.3 動作説明 224
6.3.1 RES# 端子リセット 224
6.3.2 パワーオンリセット、電圧監視 0 リセット 224
6.3.3 電圧監視 1 リセット、電圧監視 2 リセット 225
6.3.4 ディープソフトウェアスタンバイリセット 227
6.3.5 独立ウォッチドッグタイマリセット 227
6.3.6 ウォッチドッグタイマリセット 227
6.3.7 ソフトウェアリセット 227
6.3.8 コールドスタート / ウォームスタート判定機能 228
6.3.9 リセット発生要因の判定 229
7. オプション設定メモリ 230
7.1 概要 230
7.2 レジスタの説明 231
7.2.1 オプション機能選択レジスタ 0（OFS0） 231
7.2.2 オプション機能選択レジスタ 1（OFS1） 235
7.2.3 エンディアン選択レジスタ B（MDEB）、エンディアン選択レジスタ S（MDES） 236
7.3 UB コード（64 ピン TFLGA 以外の製品） 237
7.3.1 UB コード A 237
7.3.2 UB コード B 237
7.4 UB コード（64 ピン TFLGA） 237
7.4.1 UB コード A 238
7.4.2 UB コード B 238
7.5 使用上の注意事項 238
7.5.1 オプション設定メモリの設定例 238
8. 電圧検出回路（LVDA） 239
8.1 概要 239
8.2 レジスタの説明 242
8.2.1 電圧監視 1 回路制御レジスタ 1（LVD1CR1） 242
8.2.2 電圧監視 1 回路ステータスレジスタ（LVD1SR） 242
8.2.3 電圧監視 2 回路制御レジスタ 1（LVD2CR1） 243
8.2.4 電圧監視 2 回路ステータスレジスタ（LVD2SR） 243
8.2.5 電圧監視回路制御レジスタ（LVCMPCR） 244
8.2.6 電圧検出レベル選択レジスタ（LVDLVLR） 244
8.2.7 電圧監視 1 回路制御レジスタ 0（LVD1CR0） 245
8.2.8 電圧監視 2 回路制御レジスタ 0（LVD2CR0） 246
8.3 VCC 入力電圧のモニタ 248
8.3.1 Vdet0 のモニタ 248
8.3.2 Vdet1 のモニタ 248
8.3.3 Vdet2 のモニタ 248

8.4 電圧監視 0 リセット 249
8.5 電圧監視 1 割り込み、電圧監視 1 リセット 250
8.6 電圧監視 2 割り込み、電圧監視 2 リセット 252
9. クロック発生回路 254
9.1 概要 254
9.2 レジスタの説明 256
9.2.1 システムクロックコントロールレジスタ（SCKCR） 256
9.2.2 システムクロックコントロールレジスタ 2（SCKCR2） 258
9.2.3 システムクロックコントロールレジスタ 3（SCKCR3） 259
9.2.4 PLL コントロールレジスタ（PLLCR） 260
9.2.5 PLL コントロールレジスタ 2（PLLCR2） 261
9.2.6 外部バスクロックコントロールレジスタ（BCKCR） 262
9.2.7 メインクロック発振器コントロールレジスタ（MOSCCR） 263
9.2.8 サブクロック発振器コントロールレジスタ（SOSCCR） 264
9.2.9 低速オンチップオシレータコントロールレジスタ（LOCOCR） 265
9.2.10 IWDT 専用オンチップオシレータコントロールレジスタ（ILOCOCR） 266
9.2.11 高速オンチップオシレータコントロールレジスタ（HOCOCR） 267
9.2.12 発振停止検出コントロールレジスタ（OSTDCR） 268
9.2.13 発振停止検出ステータスレジスタ（OSTDSR） 269
9.2.14 メインクロック発振器強制発振コントロールレジスタ（MOFCR） 270
9.2.15 高速オンチップオシレータ電源コントロールレジスタ（HOCOPCR） 271
9.3 メインクロック発振器 272
9.3.1 発振子を接続する方法 272
9.3.2 外部クロックを入力する方法 273
9.3.3 外部クロック入力に関する注意事項 273
9.4 サブクロック発振器 274
9.4.1 32.768kHz 水晶振動子を接続する方法 274
9.4.2 サブクロックを使用しない場合の端子処理 275
9.5 発振停止検出機能 276
9.5.1 発振停止検出と検出後の動作 276
9.5.2 発振停止検出割り込み 277
9.6 PLL 回路 278
9.7 内部クロック 278
9.7.1 システムクロック 278
9.7.2 周辺モジュールクロック 278
9.7.3 FlashIF クロック 278
9.7.4 外部バスクロック 279
9.7.5 SDRAM クロック 279
9.7.6 USB クロック 279
9.7.7 CAN クロック 279

9.7.8 IEBUS クロック 279
9.7.9 RTC 専用クロック 279
9.7.10 IWDT 専用クロック 280
9.7.11 JTAG 用クロック 280
9.8 発振子を接続する場合の端子設定 280
9.9 外部クロックを使用する場合の端子設定 280
9.10 使用上の注意事項 281
9.10.1 クロック発生回路に関する注意事項 281
9.10.2 発振子に関する注意事項 281
9.10.3 ボード設計上の注意 281
9.10.4 発振子接続端子に関する注意事項 282
9.10.5 サブクロック発振器に関する注意事項 282
9.10.6 低 CL 水晶発振子の使用に関する注意事項 283
9.10.7 48 ピンパッケージ製品に関する注意事項 283
10. 周波数測定機能（MCK） 284
10.1 概要 284
10.2 レジスタの説明 287
10.2.1 カウントクロック拡張レジスタ n（SCKn）(n=1、2) 287
10.3 動作説明 288
10.4 使用上の注意事項 290
10.4.1 モジュールストップコントロールレジスタの設定 290
11. 消費電力低減機能 291
11.1 概要 291
11.2 レジスタの説明 295
11.2.1 スタンバイコントロールレジスタ（SBYCR） 295
11.2.2 モジュールストップコントロールレジスタ A（MSTPCRA） 296
11.2.3 モジュールストップコントロールレジスタ B（MSTPCRB） 298
11.2.4 モジュールストップコントロールレジスタ C（MSTPCRC） 300
11.2.5 モジュールストップコントロールレジスタ D（MSTPCRD) 301
11.2.6 動作電力コントロールレジスタ（OPCCR） 302
11.2.7 スリープモード復帰クロックソース切り替えレジスタ（RSTCKCR） 305
11.2.8 メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR） 306
11.2.9 サブクロック発振器ウェイトコントロールレジスタ（SOSCWTCR） 307
11.2.10 PLL ウェイトコントロールレジスタ（PLLWTCR） 309
11.2.11 ディープスタンバイコントロールレジスタ（DPSBYCR） 311
11.2.12 ディープスタンバイインタラプトイネーブルレジスタ 0（DPSIER0） 313
11.2.13 ディープスタンバイインタラプトイネーブルレジスタ 1（DPSIER1） 314
11.2.14 ディープスタンバイインタラプトイネーブルレジスタ 2（DPSIER2） 315
11.2.15 ディープスタンバイインタラプトイネーブルレジスタ 3（DPSIER3） 316
11.2.16 ディープスタンバイインタラプトフラグレジスタ 0（DPSIFR0） 317

11.2.17 ディープスタンバイインタラプトフラグレジスタ 1（DPSIFR1）..... 318
11.2.18 ディープスタンバイインタラプトフラグレジスタ 2（DPSIFR2）..... 319
11.2.19 ディープスタンバイインタラプトフラグレジスタ 3（DPSIFR3）..... 321
11.2.20 ディープスタンバイインタラプトエッジレジスタ 0（DPSIEGR0）..... 322
11.2.21 ディープスタンバイインタラプトエッジレジスタ 1（DPSIEGR1）..... 323
11.2.22 ディープスタンバイインタラプトエッジレジスタ 2（DPSIEGR2）..... 324
11.2.23 ディープスタンバイインタラプトエッジレジスタ 3（DPSIEGR3）..... 324
11.2.24 ディープスタンバイバックアップレジスタ（DPSBKRy）（y=0 ～ 31）..... 325
11.3 クロックの切り替えによる消費電力の低減..... 325
11.4 モジュールストップ機能..... 325
11.5 動作電力低減機能..... 326
11.5.1 動作電力制御モードの設定方法..... 326
11.6 低消費電力状態..... 327
11.6.1 スリープモード..... 327
11.6.1.1 スリープモードへの移行..... 327
11.6.1.2 スリープモードの解除..... 327
11.6.1.3 スリープモード復帰クロックソース切り替え機能..... 328
11.6.2 全モジュールクロックストップモード..... 329
11.6.2.1 全モジュールクロックストップモードへの移行..... 329
11.6.2.2 全モジュールクロックストップモードの解除..... 330
11.6.3 ソフトウェアスタンバイモード..... 331
11.6.3.1 ソフトウェアスタンバイモードへの移行..... 331
11.6.3.2 ソフトウェアスタンバイモードの解除..... 332
11.6.3.3 ソフトウェアスタンバイモードの応用例..... 333
11.6.4 ディープソフトウェアスタンバイモード..... 334
11.6.4.1 ディープソフトウェアスタンバイモードへの移行..... 334
11.6.4.2 ディープソフトウェアスタンバイモードの解除..... 335
11.6.4.3 ディープソフトウェアスタンバイモード解除時の端子状態..... 336
11.6.4.4 ディープソフトウェアスタンバイモードの応用例..... 337
11.6.4.5 ディープソフトウェアスタンバイモードのフローチャート..... 338
11.7 使用上の注意事項..... 339
11.7.1 I/O ポートの状態..... 339
11.7.2 DMAC、DTC のモジュールストップ..... 339
11.7.3 内蔵周辺モジュールの割り込み..... 339
11.7.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み..... 339
11.7.5 DIRQnE ビット (n=0 ～ 15) による入力バッファ制御..... 339
11.7.6 WAIT 命令の実行タイミング..... 339
11.7.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて..... 339
11.7.8 全モジュールクロックストップモードの解除..... 339
11.7.9 サブクロックをシステムクロックのクロックソースに使用する場合の注意事項..... 340

11.7.10 ソフトウェアスタンバイモードから復帰するときの注意事項 340
11.7.11 低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項 340
12. バッテリバックアップ機能 341
12.1 概要 341
12.2 動作説明 342
12.2.1 バッテリバックアップ機能 342
12.3 使用上の注意事項 343
13. レジスタライトプロテクション機能 344
13.1 レジスタの説明 345
13.1.1 プロテクトレジスタ（PRCR） 345
14. 例外処理 346
14.1 例外事象 346
14.1.1 未定義命令例外 347
14.1.2 特権命令例外 347
14.1.3 アクセス例外 347
14.1.4 浮動小数点例外 347
14.1.5 リセット 347
14.1.6 ノンマスカブル割り込み 347
14.1.7 割り込み 347
14.1.8 無条件トラップ 347
14.2 例外の処理手順 348
14.3 例外事象の受け付け 350
14.3.1 受け付けタイミングと退避される PC 値 350
14.3.2 ベクタと PC、PSW の退避場所 350
14.4 例外の受け付け／復帰時のハードウェア処理 351
14.5 ハードウェア前処理 352
14.5.1 未定義命令例外 352
14.5.2 特権命令例外 352
14.5.3 アクセス例外 352
14.5.4 浮動小数点例外 352
14.5.5 リセット 352
14.5.6 ノンマスカブル割り込み 353
14.5.7 割り込み 353
14.5.8 無条件トラップ 353
14.6 例外処理ルーチンからの復帰 354
14.7 例外事象の優先順位 354
15. 割り込みコントローラ（ICUb） 355
15.1 概要 355
15.2 レジスタの説明 357
15.2.1 割り込み要求レジスタ n（IRn）（n = 割り込みベクタ番号） 357

15.2.2 割り込み要求許可レジスタ m（IERm）（m = 02h ～ 1Fh）... 358
15.2.3 割り込み要因プライオリティレジスタ n（IPRn）（n = 000 ～ 253）... 359
15.2.4 高速割り込み設定レジスタ（FIR）... 360
15.2.5 ソフトウェア割り込み起動レジスタ（SWINTR）... 361
15.2.6 DTC 起動許可レジスタ n（DTCERn）（n = 割り込みベクタ番号）... 361
15.2.7 DMAC 起動要求選択レジスタ m（DMRSRm）（m = DMAC チャネル番号）... 362
15.2.8 IRQ コントロールレジスタ i（IRQCRi）（i =0 ～ 15）... 362
15.2.9 IRQ 端子デジタルフィルタ許可レジスタ 0（IRQFLTE0）... 363
15.2.10 IRQ 端子デジタルフィルタ許可レジスタ 1（IRQFLTE1）... 364
15.2.11 IRQ 端子デジタルフィルタ設定レジスタ 0（IRQFLTC0）... 365
15.2.12 IRQ 端子デジタルフィルタ設定レジスタ 1（IRQFLTC1）... 366
15.2.13 ノンマスカブル割り込みステータスレジスタ（NMISR）... 367
15.2.14 ノンマスカブル割り込み許可レジスタ（NMIER）... 369
15.2.15 ノンマスカブル割り込みステータスクリアレジスタ（NMICLR）... 370
15.2.16 NMI 端子割り込みコントロールレジスタ（NMICR）... 371
15.2.17 NMI 端子デジタルフィルタ許可レジスタ（NMIFLTE）... 371
15.2.18 NMI 端子デジタルフィルタ設定レジスタ（NMIFLTC）... 372
15.2.19 グループ m 割り込み要因レジスタ（GRPm）(m= グループ番号)... 373
15.2.20 グループ m 割り込み許可レジスタ（GENm）(m= グループ番号)... 376
15.2.21 グループ m 割り込みクリアレジスタ（GCRm）(m= グループ番号)... 378
15.2.22 ユニット選択レジスタ（SEL）... 379
15.3 ベクタテーブル... 380
15.3.1 割り込みのベクタテーブル... 380
15.3.2 高速割り込みのベクタテーブル... 387
15.3.3 ノンマスカブル割り込みのベクタテーブル... 387
15.4 周辺モジュール割り込み要求のグループとユニット選択機能... 388
15.4.1 割り込み要求グループ... 388
15.4.2 ユニット選択機能... 390
15.5 割り込みの動作説明... 392
15.5.1 割り込み検出... 392
15.5.1.1 エッジ検出の割り込みステータスフラグ... 392
15.5.1.2 レベル検出の割り込みステータスフラグ... 394
15.5.1.3 エッジ検出グループ割り込みと割り込みステータスフラグ... 395
15.5.1.4 レベル検出グループ割り込みと割り込みステータスフラグ... 397
15.5.1.5 ユニット選択と割り込みステータスフラグ... 398
15.5.2 割り込み要求の許可 / 禁止... 399
15.5.3 割り込み要求先の選択... 399
15.5.4 優先順位の判定... 401
15.5.5 高速割り込み... 401
15.5.6 デジタルフィルタ... 402

15.5.7 外部端子割り込み 402
15.6 ノンマスカブル割り込みの動作説明 403
15.7 低消費電力状態からの復帰 404
15.7.1 スリープモードからの復帰 404
15.7.2 全モジュールクロックストップモードからの復帰 404
15.7.3 ソフトウェアスタンバイモードからの復帰 404
15.8 使用上の注意事項 405
15.8.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項 405
16. バス 406
16.1 概要 406
16.2 バスの説明 408
16.2.1 CPU バス 408
16.2.2 メモリバス 408
16.2.3 内部メインバス 408
16.2.4 内部周辺バス 409
16.2.5 ライトバッファ機能（内部周辺バス） 410
16.2.6 外部バス 411
16.2.7 並列動作 414
16.2.8 バスの設定 414
16.2.9 制約事項 415
16.3 レジスタの説明 416
16.3.1 CSn 制御レジスタ（CSnCR）（n = 0 ～ 7） 416
16.3.2 CSn リカバリサイクル設定レジスタ（CSnREC）（n = 0 ～ 7） 417
16.3.3 CS リカバリサイクル挿入許可レジスタ（CSRECEN） 419
16.3.4 CSn モードレジスタ（CSnMOD）（n = 0 ～ 7） 420
16.3.5 CSn ウェイト制御レジスタ 1（CSnWCR1）（n = 0 ～ 7） 422
16.3.6 CSn ウェイト制御レジスタ 2（CSnWCR2）（n = 0 ～ 7） 425
16.3.7 SDC 制御レジスタ（SDCCR） 428
16.3.8 SDC モードレジスタ（SDCMOD） 429
16.3.9 SDRAM アクセスモードレジスタ（SDAMOD） 429
16.3.10 SDRAM セルフリフレッシュ制御レジスタ（SDSELF） 430
16.3.11 SDRAM リフレッシュ制御レジスタ（SDRFCR） 431
16.3.12 SDRAM オートリフレッシュ制御レジスタ（SDRFEN） 432
16.3.13 SDRAM 初期化シーケンス制御レジスタ（SDICR） 433
16.3.14 SDRAM 初期化レジスタ（SDIR） 434
16.3.15 SDRAM アドレスレジスタ（SDADR） 435
16.3.16 SDRAM タイミングレジスタ（SDTR） 436
16.3.17 SDRAM モードレジスタ（SDMOD） 438
16.3.18 SDRAM ステータスレジスタ（SDSR） 439
16.3.19 バスエラーステータスクリアレジスタ（BERCLR） 440

16.3.20 バスエラー監視許可レジスタ（BEREN）..... 440
16.3.21 バスエラーステータスレジスタ 1（BERSR1）..... 441
16.3.22 バスエラーステータスレジスタ 2（BERSR2）..... 441
16.3.23 バスプライオリティ制御レジスタ（BUSPRI）..... 442
16.4 エンディアンとデータアライメント..... 444
16.4.1 CS 領域のデータアライメント制御..... 444
16.4.2 SDRAM 領域のデータアライメント制御..... 450
16.5 CS 領域コントローラの動作説明..... 458
16.5.1 セパレートバス..... 458
16.5.2 アドレス / データマルチプレクスバス..... 473
16.5.3 外部ウェイト機能..... 476
16.5.4 リカバリサイクルの挿入..... 478
16.5.5 非アクセス時の状態..... 481
16.5.6 ライトバッファ機能（外部バス）..... 482
16.5.7 制約事項..... 482
16.6 SDRAM 領域コントローラの動作説明..... 485
16.6.1 SDRAM のアクセス有効／無効、SDRAM バス幅設定..... 485
16.6.2 非アクセス時の状態..... 485
16.6.3 リカバリサイクルの挿入..... 485
16.6.4 ライトバッファ機能..... 485
16.6.5 SDRAM コマンド..... 486
16.6.6 SDRAMC レジスタの設定条件..... 486
16.6.7 セルフリフレッシュ..... 487
16.6.8 オートリフレッシュ..... 490
16.6.9 初期化シーケンサ..... 492
16.6.10 リード／ライトアクセス..... 493
16.6.11 モードレジスタ設定..... 496
16.6.12 SDRAMC 設定例..... 497
16.6.12.1 SDRAMC のアクセス設定手順..... 497
16.6.12.2 セルフリフレッシュモードへの移行 / 復帰手順..... 498
16.6.12.3 タイミングレジスタ設定値とアクセスタイミング..... 500
16.6.13 アドレスマルチプレクス..... 509
16.6.14 SDRAM 接続例..... 510
16.6.14.1 32 ビットバス空間の場合..... 510
16.6.14.2 16 ビットバス空間の場合..... 513
16.6.15 制約事項..... 516
16.7 バスエラー監視部..... 517
16.7.1 バスエラーの種類..... 517
16.7.1.1 不正アドレスアクセス..... 517
16.7.1.2 タイムアウト..... 517

16.7.2 バスエラー発生時の動作 517
16.7.3 バスエラーの発生条件 518
17. メモリプロテクションユニット（MPU） 519
17.1 概要 519
17.1.1 アクセス制御の種類 521
17.1.2 アクセス制御領域 521
17.1.3 バックグラウンド領域 521
17.1.4 領域のオーバラップ 521
17.1.5 領域をまたぐ命令とデータ 521
17.2 レジスタの説明 522
17.2.1 領域 n 開始ページ番号レジスタ（RSPAGEn）(n=0 ～ 7) 522
17.2.2 領域 n 終了ページ番号レジスタ（REPAGEn）(n=0 ～ 7) 523
17.2.3 メモリプロテクション機能有効化レジスタ（MPEN） 524
17.2.4 バックグラウンドアクセス制御レジスタ（MPBAC） 525
17.2.5 メモリプロテクションエラーステータスクリアレジスタ（MPECLR） 526
17.2.6 メモリプロテクションエラーステータスレジスタ（MPESTS） 527
17.2.7 データメモリプロテクションエラーアドレスレジスタ（MPDEA） 528
17.2.8 領域サーチアドレスレジスタ（MPSA） 528
17.2.9 領域サーチオペレーションレジスタ（MPOPS） 529
17.2.10 領域インバリデートオペレーションレジスタ（MPOPI） 529
17.2.11 命令ヒット領域レジスタ（MHITI） 530
17.2.12 データヒット領域レジスタ（MHITD） 531
17.3 機能 533
17.3.1 メモリプロテクション機能 533
17.3.2 領域サーチ機能 533
17.3.3 メモリプロテクションユニット関連レジスタの保護 533
17.3.4 メモリプロテクション機能のアクセス判定フロー 534
17.4 メモリプロテクション機能使用手順 536
17.4.1 アクセス制御情報の設定 536
17.4.2 メモリプロテクション機能の有効化 536
17.4.3 ユーザモードへの移行 536
17.4.4 メモリプロテクションエラー発生時の処理 536
18. DMA コントローラ（DMACA） 538
18.1 概要 538
18.2 レジスタの説明 540
18.2.1 DMA 転送元アドレスレジスタ（DMSAR） 540
18.2.2 DMA 転送先アドレスレジスタ（DMDAR） 540
18.2.3 DMA 転送カウントレジスタ（DMCRA） 541
18.2.4 DMA ブロック転送カウントレジスタ（DMCRB） 542
18.2.5 DMA 転送モードレジスタ（DMTMD） 543

18.2.6 DMA 割り込み設定レジスタ（DMINT）..... 544
18.2.7 DMA アドレスモードレジスタ（DMAMD）..... 546
18.2.8 DMA オフセットレジスタ（DMOFR）..... 549
18.2.9 DMA 転送許可レジスタ（DMCNT）..... 549
18.2.10 DMA ソフトウェア起動レジスタ（DMREQ）..... 550
18.2.11 DMA ステータスレジスタ（DMSTS）..... 551
18.2.12 DMA 起動要因フラグ制御レジスタ（DMCSL）..... 552
18.2.13 DMA モジュール起動レジスタ（DMAST）..... 553
18.3 動作説明 554
18.3.1 転送モード 554
18.3.2 拡張リピートエリア機能 558
18.3.3 オフセットを使ったアドレス更新機能 560
18.3.4 起動要因 564
18.3.5 動作タイミング 565
18.3.6 DMAC の実行サイクル 566
18.3.7 DMAC の起動 567
18.3.8 DMA 転送の開始 568
18.3.9 DMA 転送中のレジスタ 568
18.3.10 チャネルの優先順位 569
18.4 DMA 転送終了 570
18.4.1 設定した総データ転送による転送終了 570
18.4.2 リピートサイズ終了割り込みによる転送終了 570
18.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了 571
18.5 割り込み 572
18.6 消費電力低減機能 574
18.7 使用上の注意事項 575
18.7.1 外部デバイスを使用する場合 575
18.7.2 周辺モジュールへ DMA 転送する場合 575
18.7.3 DMA 動作中のレジスタアクセスについて 575
18.7.4 予約領域への DMA 転送について 575
18.7.5 DMA 起動要因フラグ制御レジスタ（DMCSL）設定による転送終了ごとの割り込み要求について 575
18.7.6 割り込みコントローラの DMAC 起動要求選択レジスタ（ICU.DMRSRm）の設定 575
18.7.7 DMA 起動の保留 / 再開方法 575
19. EXDMA コントローラ（EXDMACa） 576
19.1 概要 576
19.2 レジスタの説明 578
19.2.1 EXDMA 転送元アドレスレジスタ（EDMSAR）..... 578
19.2.2 EXDMA 転送先アドレスレジスタ（EDMDAR）..... 578
19.2.3 EXDMA 転送カウントレジスタ（EDMCRA）..... 579

19.2.4 EXDMA ブロック転送カウントレジスタ（EDMCRB）..... 581
19.2.5 EXDMA 転送モードレジスタ（EDMTMD）..... 582
19.2.6 EXDMA 出力設定レジスタ（EDMOMD）..... 583
19.2.7 EXDMA 割り込み設定レジスタ（EDMINT）..... 584
19.2.8 EXDMA アドレスモードレジスタ（EDMAMD）..... 586
19.2.9 EXDMA オフセットレジスタ（EDMOFR）..... 590
19.2.10 EXDMA 転送許可レジスタ（EDMCNT）..... 591
19.2.11 EXDMA ソフトウェア起動レジスタ（EDMREQ）..... 592
19.2.12 EXDMA ステータスレジスタ（EDMSTS）..... 593
19.2.13 EXDMA 外部要求センスモードレジスタ（EDMRMD）..... 594
19.2.14 EXDMA 外部要求フラグレジスタ（EDMERF）..... 595
19.2.15 EXDMA 周辺要求フラグレジスタ（EDMPRF）..... 596
19.2.16 EXDMA モジュール起動レジスタ（EDMAST）..... 597
19.2.17 クラスタバッファレジスタ y（CLSBRy）(y=0 ～ 7)..... 598
19.3 動作説明..... 599
19.3.1 転送モード..... 599
19.3.2 拡張リピートエリア機能..... 605
19.3.3 オフセットを使ったアドレス更新機能..... 607
19.3.4 アドレスモード..... 612
19.4 転送動作..... 613
19.4.1 ノーマル転送モード / リピート転送モードの転送動作..... 613
19.4.2 ブロック転送モードの転送動作..... 616
19.4.3 クラスタ転送モードの転送動作..... 618
19.5 起動要因と起動手順..... 621
19.5.1 起動要因..... 621
19.5.2 EXDMAC の起動..... 624
19.5.3 DMA 転送の開始..... 625
19.5.4 DMA 転送中のレジスタ..... 625
19.5.5 チャネルの優先順位..... 626
19.6 DMA 転送終了..... 627
19.6.1 設定した総データ転送による転送終了..... 627
19.6.2 リピートサイズ終了割り込みによる転送終了..... 628
19.6.3 拡張リピートエリアオーバフロー割り込みによる転送終了..... 628
19.7 割り込み..... 629
19.8 消費電力低減機能..... 631
19.9 シングルアドレスモード時の EDACKn 動作..... 632
19.9.1 シングルアドレスモードノーマル転送（CS 領域）EDACKn 動作例..... 632
19.9.2 シングルアドレスモードノーマル転送（SDRAM 領域）EDACKn 動作例..... 634
19.9.3 シングルアドレスモードブロック転送（CS 領域）EDACKn 動作例..... 636
19.9.4 シングルアドレスモードブロック転送（SDRAM 領域）EDACKn 動作例..... 638

19.10 使用上の注意事項 645
19.10.1 クラスタバッファについて 645
19.10.2 DMA 動作中のレジスタアクセスについて 645
19.10.3 予約領域への DMA 転送について 645
20. データトランスファコントローラ（DTCa） 646
20.1 概要 646
20.2 レジスタの説明 648
20.2.1 DTC モードレジスタ A（MRA） 648
20.2.2 DTC モードレジスタ B（MRB） 649
20.2.3 DTC 転送元レジスタ（SAR） 650
20.2.4 DTC 転送先レジスタ（DAR） 650
20.2.5 DTC 転送カウントレジスタ A（CRA） 651
20.2.6 DTC 転送カウントレジスタ B（CRB） 652
20.2.7 DTC コントロールレジスタ（DTCCR） 652
20.2.8 DTC ベクタベースレジスタ（DTCVBR） 653
20.2.9 DTC アドレスモードレジスタ（DTCADMOD） 653
20.2.10 DTC モジュール起動レジスタ（DTCST） 654
20.2.11 DTC ステータスレジスタ（DTCSTS） 655
20.3 起動要因 656
20.3.1 転送情報の配置と DTC ベクタテーブル 656
20.4 動作説明 658
20.4.1 転送情報リードスキップ機能 660
20.4.2 転送情報ライトバックスキップ機能 661
20.4.3 ノーマル転送モード 662
20.4.4 リピート転送モード 663
20.4.5 ブロック転送モード 664
20.4.6 チェーン転送 665
20.4.7 動作タイミング 666
20.4.8 DTC の実行サイクル 669
20.4.9 DTC のバス権解放タイミング 669
20.5 DTC の設定手順 670
20.6 DTC 使用例 671
20.6.1 ノーマル転送 671
20.6.2 チェーン転送 671
20.6.3 カウンタ = 0 のときのチェーン転送 673
20.7 割り込み要因 674
20.8 消費電力低減機能 675
20.9 使用上の注意事項 675
20.9.1 転送情報先頭アドレス / 転送元アドレス / 転送先アドレス 675
20.9.2 転送情報の配置 675

20.9.3 割り込みコントローラの DTC 起動許可レジスタ（ICU.DTCERn）の設定 676
21. I/O ポート 677
21.1 概要 677
21.2 入出力ポートの構成 681
21.3 レジスタの説明 685
21.3.1 ポート方向レジスタ（PDR） 685
21.3.2 ポート出力データレジスタ（PODR） 686
21.3.3 ポート入力データレジスタ（PIDR） 687
21.3.4 ポートモードレジスタ（PMR） 688
21.3.5 オープンドレイン制御レジスタ 0（ODR0） 689
21.3.6 オープンドレイン制御レジスタ 1（ODR1） 690
21.3.7 プルアップ制御レジスタ（PCR） 691
21.3.8 駆動能力制御レジスタ（DSCR） 692
21.3.9 ポート切り替えレジスタ A（PSRA） 693
21.3.10 ポート切り替えレジスタ B（PSRB） 694
21.4 未使用端子の処理 695
21.5 使用上の注意事項 695
21.5.1 176 ピン未満のピン数の製品について 695
22. マルチファンクションピンコントローラ（MPC） 696
22.1 概要 696
22.2 レジスタの説明 713
22.2.1 書き込みプロテクトレジスタ（PWPR） 713
22.2.2 P0n 端子機能制御レジスタ（P0nPFS）（n=0 ～ 3、5、7） 714
22.2.3 P1n 端子機能制御レジスタ（P1nPFS）（n=0 ～ 7） 716
22.2.4 P2n 端子機能制御レジスタ（P2nPFS）（n=0 ～ 7） 719
22.2.5 P3n 端子機能制御レジスタ（P3nPFS）（n=0 ～ 4） 721
22.2.6 P4n 端子機能制御レジスタ（P4nPFS）（n=0 ～ 7） 723
22.2.7 P5n 端子機能制御レジスタ（P5nPFS）（n=0 ～ 2、4 ～ 7） 724
22.2.8 P6n 端子機能制御レジスタ（P6nPFS）（n=0、1、6、7） 726
22.2.9 P7n 端子機能制御レジスタ（P7nPFS）（n=0 ～ 7） 727
22.2.10 P8n 端子機能制御レジスタ（P8nPFS）（n=0 ～ 3、6、7） 728
22.2.11 P9n 端子機能制御レジスタ（P9nPFS）（n=0 ～ 3） 729
22.2.12 PAn 端子機能制御レジスタ（PAnPFS）（n=0 ～ 7） 730
22.2.13 PBn 端子機能制御レジスタ （PBnPFS）（n=0 ～ 7） 732
22.2.14 PCn 端子機能制御レジスタ（PCnPFS）（n=0 ～ 7） 735
22.2.15 PDn 端子機能制御レジスタ（PDnPFS）（n=0 ～ 7） 738
22.2.16 PEn 端子機能制御レジスタ（PEnPFS）（n=0 ～ 7） 739
22.2.17 PFn 端子機能制御レジスタ（PFnPFS）（n=0 ～ 2、5） 741
22.2.18 PJ3 端子機能制御レジスタ（PJ3PFS） 742
22.2.19 CS 出力許可レジスタ（PFCSE） 743

22.2.20 CS 出力端子選択レジスタ 0（PFCSS0）..... 744
22.2.21 CS 出力端子選択レジスタ 1（PFCSS1）..... 745
22.2.22 アドレス出力許可レジスタ 0（PFAOE0）..... 746
22.2.23 アドレス出力許可レジスタ 1（PFAOE1）..... 747
22.2.24 外部バス制御レジスタ 0（PFBCR0）..... 748
22.2.25 外部バス制御レジスタ 1（PFBCR1）..... 749
22.2.26 イーサネット制御レジスタ（PFENET）..... 750
22.2.27 USB0 制御レジスタ（PFUSB0）..... 751
22.2.28 USB1 制御レジスタ（PFUSB1）..... 752
22.3 外部バスインタフェース設定方法..... 753
22.4 使用上の注意事項..... 756
22.4.1 端子入出力機能設定手順..... 756
22.4.2 MPC レジスタ設定する場合の注意事項..... 756
22.4.3 アナログ機能を使う場合の注意事項..... 757
23. マルチファンクションタイマパルスユニット 2（MTU2a）..... 758
23.1 概要..... 758
23.2 レジスタの説明..... 763
23.2.1 タイマコントロールレジスタ（TCR）..... 763
23.2.2 タイマモードレジスタ（TMDR）..... 766
23.2.3 タイマ I/O コントロールレジスタ（TIOR）..... 768
23.2.4 タイマコンペアマッチクリアレジスタ（TCNTCMPCLR）..... 779
23.2.5 タイマ割り込み許可レジスタ（TIER）..... 780
23.2.6 タイマステータスレジスタ（TSR）..... 782
23.2.7 タイマバッファ動作転送モードレジスタ（TBTM）..... 783
23.2.8 タイマインプットキャプチャコントロールレジスタ（TICCR）..... 784
23.2.9 タイマ A/D 変換開始要求コントロールレジスタ（TADCR）..... 785
23.2.10 タイマ A/D 変換開始要求周期設定レジスタ A、B（TADCORA/B）..... 786
23.2.11 タイマ A/D 変換開始要求周期設定バッファレジスタ A、B（TADCOBRA/B）..... 786
23.2.12 タイマカウンタ（TCNT）..... 787
23.2.13 タイマジェネラルレジスタ（TGR）..... 787
23.2.14 タイマスタートレジスタ（TSTR）..... 788
23.2.15 タイマシンクロレジスタ（TSYR）..... 789
23.2.16 タイマリードライト許可レジスタ（TRWER）..... 790
23.2.17 タイマアウトプットマスタ許可レジスタ（TOER）..... 791
23.2.18 タイマアウトプットコントロールレジスタ 1（TOCR1）..... 792
23.2.19 タイマアウトプットコントロールレジスタ 2（TOCR2）..... 794
23.2.20 タイマアウトプットレベルバッファレジスタ（TOLBR）..... 796
23.2.21 タイマゲートコントロールレジスタ（TGCR）..... 797
23.2.22 タイマサブカウンタ（TCNTS）..... 798
23.2.23 タイマデッドタイムデータレジスタ（TDDR）..... 798

23.2.24 タイマ周期データレジスタ（TCDR）..... 799
23.2.25 タイマ周期バッファレジスタ（TCBR）..... 799
23.2.26 タイマ割り込み間引き設定レジスタ（TITCR）..... 800
23.2.27 タイマ割り込み間引き回数カウンタ（TITCNT）..... 801
23.2.28 タイマバッファ転送設定レジスタ（TBTER）..... 802
23.2.29 タイマデッドタイム許可レジスタ（TDER）..... 803
23.2.30 タイマ波形コントロールレジスタ（TWCR）..... 804
23.2.31 ノイズフィルタコントロールレジスタ（NFCR）..... 805
23.2.32 バスマスタとのインタフェース..... 807
23.3 動作説明..... 808
23.3.1 基本動作..... 808
23.3.2 同期動作..... 814
23.3.3 バッファ動作..... 816
23.3.4 カスケード接続動作..... 821
23.3.5 PWM モード..... 826
23.3.6 位相計数モード..... 830
23.3.7 リセット同期 PWM モード..... 836
23.3.8 相補 PWM モード..... 839
23.3.9 A/D 変換開始要求ディレイド機能..... 870
23.3.10 外部パルス幅測定機能..... 873
23.3.11 デッドタイム補償用機能..... 874
23.3.12 ノイズフィルタ機能..... 876
23.4 割り込み要因..... 877
23.4.1 割り込み要因と優先順位..... 877
23.4.2 DTC/DMAC の起動..... 878
23.4.3 A/D コンバータの起動..... 879
23.5 動作タイミング..... 881
23.5.1 入出力タイミング..... 881
23.5.2 割り込み信号タイミング..... 887
23.6 使用上の注意事項..... 890
23.6.1 モジュールストップ機能の設定..... 890
23.6.2 入力クロックの制限事項..... 890
23.6.3 周期設定上の注意事項..... 891
23.6.4 TCNT の書き込みとクリアの競合..... 891
23.6.5 TCNT の書き込みとカウントアップの競合..... 892
23.6.6 TGR の書き込みとコンペアマッチの競合..... 892
23.6.7 バッファレジスタの書き込みとコンペアマッチの競合..... 893
23.6.8 バッファレジスタの書き込みと TCNT クリアの競合..... 893
23.6.9 TGR の読み出しとインプットキャプチャの競合..... 894
23.6.10 TGR の書き込みとインプットキャプチャの競合..... 895

23.6.11 バッファレジスタの書き込みとインプットキャプチャの競合 896
23.6.12 カスケード接続における MTU2.TCNT の書き込みとオーバフロー / アンダフローの競合 897
23.6.13 相補 PWM モード停止時のカウンタ値 898
23.6.14 相補 PWM モードでのバッファ動作の設定 898
23.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ 899
23.6.16 リセット同期 PWM モードのオーバフローフラグ 900
23.6.17 オーバフロー / アンダフローとカウンタクリアの競合 900
23.6.18 TCNT の書き込みとオーバフロー / アンダフローの競合 901
23.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項 901
23.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル 901
23.6.21 モジュールストップ状態時の割り込み 901
23.6.22 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ 902
23.6.23 相補 PWM モードの出力保護機能未使用時の注意事項 902
23.6.24 MTU5.TCNT と MTU5.TGR の注意事項 902
23.6.25 相補 PWM モード同期クリアするときの異常動作防止について 903
23.6.26 コンペアマッチによる割り込み信号の連続出力 905
23.7 MTU 出力端子の初期化方法 906
23.7.1 動作モード 906
23.7.2 動作中の異常などによる再設定時の動作 906
23.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要 907
24. ポートアウトプットイネーブル 2（POE2a） 932
24.1 概要 932
24.2 レジスタの説明 935
24.2.1 入力レベルコントロール / ステータスレジスタ 1（ICSR1） 935
24.2.2 出力レベルコントロール / ステータスレジスタ 1（OCSR1） 937
24.2.3 入力レベルコントロール / ステータスレジスタ 2（ICSR2） 938
24.2.4 ソフトウェアポートアウトプットイネーブルレジスタ（SPOER） 939
24.2.5 ポートアウトプットイネーブルコントロールレジスタ 1（POECR1） 940
24.2.6 ポートアウトプットイネーブルコントロールレジスタ 2（POECR2） 940
24.2.7 入力レベルコントロール / ステータスレジスタ 3（ICSR3） 941
24.3 動作説明 942
24.3.1 入力レベル検出動作 944
24.3.2 出力レベル比較動作 945
24.3.3 レジスタによるハイインピーダンス制御 945
24.3.4 発振停止検出によるハイインピーダンス制御 945
24.3.5 ハイインピーダンスからの解除 945
24.4 割り込み 946
24.5 使用上の注意事項 946

24.5.1 ソフトウェアスタンバイモードまたは
ディープソフトウェアスタンバイモードへの移行について 946
24.5.2 POE を使用しない場合について 946
24.5.3 端子の MTU 機能設定について 946
25. 16 ビットタイマパルスユニット（TPUa） 947
25.1 概要 947
25.2 レジスタの説明 955
25.2.1 タイマコントロールレジスタ（TCR） 955
25.2.2 タイマモードレジスタ（TMDR） 960
25.2.3 タイマ I/O コントロールレジスタ（TIORH、TIORL、TIOR） 961
25.2.4 タイマ割り込み許可レジスタ（TIER） 971
25.2.5 タイマステータスレジスタ（TSR） 972
25.2.6 タイマカウンタ（TCNT） 975
25.2.7 タイマジェネラルレジスタ A（TGRA）
タイマジェネラルレジスタ B（TGRB）
タイマジェネラルレジスタ C（TGRC）
タイマジェネラルレジスタ D（TGRD） 975
25.2.8 タイマスタートレジスタ（TSTR） 976
25.2.9 タイマシンクロレジスタ（TSYR） 977
25.2.10 ノイズフィルタコントロールレジスタ（NFCR） 978
25.3 動作説明 980
25.3.1 概要 980
25.3.2 同期動作 986
25.3.3 バッファ動作 988
25.3.4 カスケード接続動作 991
25.3.5 PWM モード 993
25.3.6 位相計数モード 998
25.3.6.1 位相計数モード応用例 1003
25.3.7 ノイズフィルタ機能 1004
25.4 割り込み要因 1005
25.5 DTC の起動 1007
25.6 DMAC の起動 1007
25.7 A/D コンバータの起動 1007
25.8 PPG トリガ 1007
25.9 動作タイミング 1008
25.9.1 入出力タイミング 1008
25.9.2 割り込み信号タイミング 1012
25.10 使用上の注意事項 1014
25.10.1 モジュールストップ機能の設定 1014
25.10.2 入力クロックの制限事項 1014
25.10.3 周期設定上の注意事項 1014

25.10.4 TPUm.TCNT カウンタへの書き込みとクリアの競合 1015
25.10.5 TPUm.TCNT カウンタへの書き込みとカウントアップの競合 1015
25.10.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合 1016
25.10.7 バッファレジスタへの書き込みとコンペアマッチの競合 1016
25.10.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合 1017
25.10.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合 1017
25.10.10 バッファレジスタへの書き込みとインプットキャプチャの競合 1018
25.10.11 オーバフロー / アンダフローとカウンタクリアの競合 1018
25.10.12 TPUm.TCNT カウンタへの書き込みとオーバフロー / アンダフローの競合 1019
25.10.13 入出力端子の兼用 1019
25.10.14 コンペアマッチパルス割り込みの連続出力 1020
25.10.15 インプットキャプチャパルス割り込みの連続出力 1021
25.10.16 アンダフローパルス割り込みの連続出力 1022
26. プログラマブルパルスジェネレータ（PPG） 1023
26.1 概要 1023
26.2 レジスタの説明 1026
26.2.1 PPG トリガセレクトレジスタ（PTRSLR） 1026
26.2.2 ネクストデータイネーブルレジスタ H（NDERH）、ネクストデータイネーブルレジスタ L（NDERL） 1027
26.2.3 アウトプットデータレジスタ H（PODRH）、アウトプットデータレジスタ L（PODRL） 1030
26.2.4 ネクストデータレジスタ H（NDRH）、ネクストデータレジスタ L（NDRL） 1033
26.2.5 PPG 出力コントロールレジスタ（PCR） 1037
26.2.6 PPG 出力モードレジスタ（PMR） 1039
26.3 動作説明 1041
26.3.1 出力タイミング 1042
26.3.2 通常動作のパルス出力設定手順例 1043
26.3.3 パルス出力通常動作例（5 相パルス出力例） 1045
26.3.4 パルス出力ノンオーバラップ動作 1046
26.3.5 ノンオーバラップ動作のパルス出力設定手順例 1047
26.3.6 パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例） 1049
26.3.7 パルス反転出力 1051
26.3.8 インプットキャプチャによるパルス出力 1052
26.4 使用上の注意事項 1052
26.4.1 モジュールストップ機能の設定 1052
27. 8 ビットタイマ（TMR） 1053
27.1 概要 1053
27.2 レジスタの説明 1057
27.2.1 タイマカウンタ（TCNT） 1058
27.2.2 タイムコンスタントレジスタ A（TCORA） 1058
27.2.3 タイムコンスタントレジスタ B（TCORB） 1059

27.2.4 タイマコントロールレジスタ（TCR）..... 1059
27.2.5 タイマカウンタコントロールレジスタ（TCCR）..... 1060
27.2.6 タイマコントロール／ステータスレジスタ（TCSR）..... 1062
27.3 動作説明..... 1064
27.3.1 パルス出力..... 1064
27.3.2 リセット入力..... 1065
27.4 動作タイミング..... 1066
27.4.1 TCNT カウンタのカウントタイミング..... 1066
27.4.2 コンペアマッチ時の割り込み信号出力タイミング..... 1067
27.4.3 コンペアマッチ時のタイマ出力タイミング..... 1068
27.4.4 コンペアマッチによるカウンタクリアタイミング..... 1068
27.4.5 TCNT カウンタの外部リセットタイミング..... 1069
27.4.6 オーバフロー時の割り込み信号出力タイミング..... 1070
27.5 カスケード接続時の動作..... 1071
27.5.1 16 ビットカウントモード..... 1071
27.5.2 コンペアマッチカウントモード..... 1071
27.6 割り込み要因..... 1072
27.6.1 割り込み要因と DTC 起動..... 1072
27.6.2 A/D コンバータの起動..... 1072
27.7 使用上の注意事項..... 1073
27.7.1 モジュールストップ機能の設定..... 1073
27.7.2 周期設定上の注意..... 1073
27.7.3 TCNT カウンタへの書き込みとカウンタクリアの競合..... 1073
27.7.4 TCNT カウンタへの書き込みとカウントアップの競合..... 1074
27.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合..... 1074
27.7.6 コンペアマッチ A、B の競合..... 1075
27.7.7 分周クロックの切り替えと TCNT カウンタの動作..... 1075
27.7.8 カスケード接続時のクロックソース設定..... 1076
27.7.9 コンペアマッチ割り込みの連続出力..... 1077
28. コンペアマッチタイマ（CMT）..... 1078
28.1 概要..... 1078
28.2 レジスタの説明..... 1079
28.2.1 コンペアマッチタイマスタートレジスタ 0（CMSTR0）..... 1079
28.2.2 コンペアマッチタイマスタートレジスタ 1（CMSTR1）..... 1079
28.2.3 コンペアマッチタイマコントロールレジスタ（CMCR）..... 1080
28.2.4 コンペアマッチタイマカウンタ（CMCNT）..... 1081
28.2.5 コンペアマッチタイマコンスタントレジスタ（CMCOR）..... 1081
28.3 動作説明..... 1082
28.3.1 周期カウント動作..... 1082
28.3.2 CMCNT カウンタのカウントタイミング..... 1082

28.4 割り込み 1083
28.4.1 割り込み要因 1083
28.4.2 コンペアマッチ割り込みの発生タイミング 1083
28.5 使用上の注意事項 1084
28.5.1 モジュールストップ機能の設定 1084
28.5.2 CMCNT カウンタへの書き込みとコンペアマッチの競合 1084
28.5.3 CMCNT カウンタへの書き込みとカウントアップの競合 1084
29. リアルタイムクロック（RTCa） 1085
29.1 概要 1085
29.2 レジスタの説明 1087
29.2.1 64Hz カウンタ（R64CNT） 1087
29.2.2 秒カウンタ（RSECCNT） 1088
29.2.3 分カウンタ（RMINCNT） 1088
29.2.4 時カウンタ（RHRCNT） 1089
29.2.5 曜日カウンタ（RWKCNT） 1090
29.2.6 日カウンタ（RDAYCNT） 1091
29.2.7 月カウンタ（RMONCNT） 1092
29.2.8 年カウンタ（RYRCNT） 1092
29.2.9 秒アラームレジスタ（RSECAR） 1093
29.2.10 分アラームレジスタ（RMINAR） 1094
29.2.11 時アラームレジスタ（RHRAR） 1095
29.2.12 曜日アラームレジスタ（RWKAR） 1096
29.2.13 日アラームレジスタ（RDAYAR） 1097
29.2.14 月アラームレジスタ（RMONAR） 1098
29.2.15 年アラームレジスタ（RYRAR） 1099
29.2.16 年アラームイネーブルレジスタ（RYRAREN） 1099
29.2.17 RTC コントロールレジスタ 1（RCR1） 1100
29.2.18 RTC コントロールレジスタ 2（RCR2） 1101
29.2.19 RTC コントロールレジスタ 3（RCR3） 1103
29.2.20 RTC コントロールレジスタ 4（RCR4） 1104
29.2.21 周波数レジスタ H/L（RFRH/L） 1105
29.2.22 時間誤差補正レジスタ（RADJ） 1106
29.2.23 時間キャプチャ制御レジスタ y（RTCCRy）（y=0 ～ 2） 1107
29.2.24 秒キャプチャレジスタ y（RSECCPy）（y=0 ～ 2） 1109
29.2.25 分キャプチャレジスタ y（RMINCPy）（y=0 ～ 2） 1110
29.2.26 時キャプチャレジスタ y（RHRCPy）（y=0 ～ 2） 1111
29.2.27 日キャプチャレジスタ y（RDAYCPy）（y=0 ～ 2） 1112
29.2.28 月キャプチャレジスタ y（RMONCPy）（y=0 ～ 2） 1113
29.3 動作説明 1114
29.3.1 電源投入後のレジスタの初期設定概要 1114

29.3.2 クロック設定手順 1115
29.3.3 時刻設定手順 1116
29.3.4 30 秒調整手順 1116
29.3.5 64Hz カウンタおよび時刻読み出し手順 1117
29.3.6 アラーム機能 1118
29.3.7 アラーム割り込み禁止手順 1119
29.3.8 時計誤差補正機能 1119
29.3.8.1 自動補正機能 1120
29.3.8.2 ソフトウェアによる補正 1120
29.3.8.3 補正モードの変更手順 1121
29.3.8.4 補正機能の停止手順 1121
29.3.8.5 時間キャプチャ機能 1122
29.4 割り込み要因 1123
29.5 使用上の注意事項 1125
29.5.1 カウント動作時のレジスタ書き込みについて 1125
29.5.2 周期割り込みの使用について 1125
29.5.3 RTCOUT（1Hz）出力について 1125
29.5.4 レジスタ設定後の低消費電力モード移行について 1126
29.5.5 レジスタの書き込み / 読み出し時の注意事項 1126
29.5.6 リアルタイムクロックを使用しない場合の初期化手順 1127
30. ウォッチドッグタイマ（WDTA） 1128
30.1 概要 1128
30.2 レジスタの説明 1130
30.2.1 WDT リフレッシュレジスタ（WDTRR） 1130
30.2.2 WDT コントロールレジスタ（WDTCR） 1131
30.2.3 WDT ステータスレジスタ（WDTSR） 1134
30.2.4 WDT リセットコントロールレジスタ（WDTRCR） 1135
30.2.5 オプション機能選択レジスタ 0（OFS0） 1135
30.3 動作説明 1136
30.3.1 カウント開始条件別の各動作 1136
30.3.1.1 レジスタスタートモード 1136
30.3.1.2 オートスタートモード 1138
30.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御 1140
30.3.3 リフレッシュ動作 1141
30.3.4 ステータスフラグ 1142
30.3.5 リセット出力 1142
30.3.6 割り込み要因 1143
30.3.7 ダウンカウンタ値の読み出し 1143
30.3.8 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応 1144

31. 独立ウォッチドッグタイマ（IWDTa）..... 1145
31.1 概要 1145
31.2 レジスタの説明 1147
31.2.1 IWDT リフレッシュレジスタ（IWDTRR） 1147
31.2.2 IWDT コントロールレジスタ（IWDTCR） 1148
31.2.3 IWDT ステータスレジスタ（IWDTSR） 1151
31.2.4 IWDT リセットコントロールレジスタ（IWDTRCR） 1152
31.2.5 IWDT カウント停止コントロールレジスタ（IWDTCSTPR） 1153
31.2.6 オプション機能選択レジスタ 0（OFS0） 1153
31.3 動作説明 1154
31.3.1 カウント開始条件別の各動作 1154
31.3.1.1 レジスタスタートモード 1154
31.3.1.2 オートスタートモード 1156
31.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御 1158
31.3.3 リフレッシュ動作 1159
31.3.4 ステータスフラグ 1161
31.3.5 リセット出力 1161
31.3.6 割り込み要因 1161
31.3.7 ダウンカウンタ値の読み出し 1161
31.3.8 オプション機能選択レジスタ 0（OFS0）と IWDT レジスタの対応 1163
31.4 使用上の注意事項 1163
31.4.1 リフレッシュ動作について 1163
32. イーサネットコントローラ（ETHERC） 1164
32.1 概要 1164
32.2 レジスタの説明 1166
32.2.1 ETHERC モードレジスタ（ECMR） 1166
32.2.2 受信フレーム長上限レジスタ（RFLR） 1168
32.2.3 ETHERC ステータスレジスタ（ECSR） 1169
32.2.4 ETHERC 割り込み許可レジスタ（ECSIPR） 1170
32.2.5 PHY 部インタフェースレジスタ（PIR） 1171
32.2.6 PHY 部ステータスレジスタ（PSR） 1172
32.2.7 乱数生成カウンタ上限値設定レジスタ（RDMLR） 1172
32.2.8 IPG 設定レジスタ（IPGR） 1173
32.2.9 自動 PAUSE フレーム設定レジスタ（APR） 1174
32.2.10 手動 PAUSE フレーム設定レジスタ（MPR） 1175
32.2.11 受信 PAUSE フレームカウンタ（RFCF） 1175
32.2.12 自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER） 1176
32.2.13 PAUSE フレーム再送回数カウンタ（TPAUSECR） 1176
32.2.14 Broadcast フレーム受信回数設定レジスタ（BCFRR） 1177
32.2.15 MAC アドレス上位設定レジスタ（MAHR） 1178

32.2.16 MAC アドレス下位設定レジスタ（MALR）.... 1179
32.2.17 送信リトライオーバカウンタレジスタ（TROCR）.... 1180
32.2.18 遅延衝突検出カウンタレジスタ（CDCR）.... 1181
32.2.19 キャリア消失カウンタレジスタ（LCCR）.... 1181
32.2.20 キャリア未検出カウンタレジスタ（CNDCR）.... 1182
32.2.21 CRC エラーフレーム受信カウンタレジスタ（CEFCR）.... 1182
32.2.22 フレーム受信エラーカウンタレジスタ（FRECR）.... 1183
32.2.23 64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）.... 1183
32.2.24 指定バイト超フレーム受信カウンタレジスタ（TLFRCR）.... 1184
32.2.25 端数ビットフレーム受信カウンタレジスタ（RFCR）.... 1184
32.2.26 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）.... 1185
32.3 動作説明.... 1186
32.3.1 送信動作.... 1186
32.3.2 受信動作.... 1187
32.3.3 フレームタイミング.... 1188
32.3.3.1 MII フレームタイミング.... 1188
32.3.3.2 RMII フレームタイミング.... 1190
32.3.4 MII/RMII レジスタのアクセス方法.... 1191
32.3.4.1 MII/RMII 管理フレームのフォーマット.... 1191
32.3.4.2 MII/RMII レジスタアクセス手順.... 1192
32.3.5 Magic PacketTM の検出.... 1194
32.3.6 IPG 設定による動作.... 1194
32.3.7 フロー制御.... 1195
32.3.7.1 自動 PAUSE フレームの送信.... 1195
32.3.7.2 手動 PAUSE フレームの送信.... 1195
32.3.7.3 PAUSE フレームの受信.... 1195
32.4 PHY-LSI との接続.... 1196
32.5 使用上の注意事項.... 1197
32.5.1 LCHNG ビットのセット条件について.... 1197
32.5.2 RMII 選択時の RMII_RX_ER 端子入力について.... 1197
33. イーサネットコントローラ用 DMA コントローラ（EDMAC）.... 1198
33.1 概要.... 1198
33.2 レジスタの説明.... 1199
33.2.1 EDMAC モードレジスタ（EDMR）.... 1199
33.2.2 EDMAC 送信要求レジスタ（EDTRR）.... 1200
33.2.3 EDMAC 受信要求レジスタ（EDRRR）.... 1201
33.2.4 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）.... 1202
33.2.5 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）.... 1203
33.2.6 ETHERC/EDMAC ステータスレジスタ（EESR）.... 1204
33.2.7 ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）.... 1207

33.2.8 送受信ステータスコピー指示レジスタ（TRSCER）.....1209
33.2.9 ミスドフレームカウンタレジスタ（RMFCR）.....1210
33.2.10 送信 FIFO しきい値指定レジスタ（TFTR）.....1211
33.2.11 FIFO 容量指定レジスタ（FDR）.....1212
33.2.12 受信方式制御レジスタ（RMCR）.....1213
33.2.13 送信 FIFO アンダランカウント（TFUCR）.....1214
33.2.14 受信 FIFO オーバフローカウント（RFOCR）.....1214
33.2.15 個別出力信号設定レジスタ（IOSR）.....1215
33.2.16 フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）.....1216
33.2.17 受信データパディング挿入設定レジスタ（RPADIR）.....1217
33.2.18 送信割り込み設定レジスタ（TRIMD）.....1218
33.2.19 受信バッファライトアドレスレジスタ（RBWAR）.....1219
33.2.20 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）.....1219
33.2.21 送信バッファリードアドレスレジスタ（TBRAR）.....1220
33.2.22 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）.....1220
33.3 動作説明.....1221
33.3.1 ディスクリプタリストとデータバッファ.....1221
33.3.1.1 送信ディスクリプタ.....1221
33.3.1.2 受信ディスクリプタ.....1223
33.3.2 送信機能.....1226
33.3.3 受信機能.....1227
33.3.4 マルチバッファフレームの送受信処理について.....1228
33.3.4.1 マルチバッファフレームの送信処理.....1228
33.3.4.2 マルチバッファフレームの受信処理.....1229
33.4 使用上の注意事項.....1229
33.4.1 モジュールストップ機能の設定.....1229
34. USB2.0 ホスト / ファンクションモジュール（USBa）.....1230
34.1 概要.....1230
34.2 レジスタの説明.....1233
34.2.1 システムコンフィギュレーションコントロールレジスタ（SYSCFG）.....1233
34.2.2 システムコンフィギュレーションステータスレジスタ 0（SYSSTS0）.....1235
34.2.3 デバイスステートコントロールレジスタ 0（DVSTCTR0）.....1236
34.2.4 CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO）.....1239
34.2.5 CFIFO ポート選択レジスタ（CFIFOSEL）
D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL）.....1241
34.2.6 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR）.....1245
34.2.7 割り込み許可レジスタ 0（INTENB0）.....1247

34.2.8 割り込み許可レジスタ 1（INTENB1）.... 1248
34.2.9 BRDY 割り込み許可レジスタ（BRDYENB）.... 1249
34.2.10 NRDY 割り込み許可レジスタ（NRDYENB）.... 1250
34.2.11 BEMP 割り込み許可レジスタ（BEMPENB）.... 1251
34.2.12 SOF 出力コンフィグレーションレジスタ（SOFCFG）.... 1252
34.2.13 割り込みステータスレジスタ 0（INTSTS0）.... 1253
34.2.14 割り込みステータスレジスタ 1（INTSTS1）.... 1256
34.2.15 BRDY 割り込みステータスレジスタ（BRDYSTS）.... 1259
34.2.16 NRDY 割り込みステータスレジスタ（NRDYSTS）.... 1260
34.2.17 BEMP 割り込みステータスレジスタ（BEMPSTS）.... 1261
34.2.18 フレームナンバレジスタ（FRMNUM）.... 1262
34.2.19 デバイスステート切り替えレジスタ（DVCHGR）.... 1264
34.2.20 USB アドレスレジスタ（USBADDR）.... 1265
34.2.21 USB リクエストタイプレジスタ（USBREQ）.... 1266
34.2.22 USB リクエストバリューレジスタ（USBVAL）.... 1267
34.2.23 USB リクエストインデックスレジスタ（USBINDX）.... 1268
34.2.24 USB リクエストレングスレジスタ（USBLENG）.... 1269
34.2.25 DCP コンフィギュレーションレジスタ（DCPCFG）.... 1270
34.2.26 DCP マックスパケットサイズレジスタ（DCPMAXP）.... 1271
34.2.27 DCP コントロールレジスタ（DCPCTR）.... 1272
34.2.28 パイプウィンドウ選択レジスタ（PIPESEL）.... 1276
34.2.29 パイプコンフィギュレーションレジスタ（PIPECFG）.... 1277
34.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP）.... 1279
34.2.31 パイプ周期制御レジスタ（PIPEPERI）.... 1280
34.2.32 パイプ n コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）.... 1281
34.2.33 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）.... 1289
34.2.34 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）.... 1290
34.2.35 デバイスアドレス n コンフィグレーションレジスタ（DEVADDn）（n = 0 ～ 5）.... 1291
34.2.36 ディープスタンバイ USB トランシーバ制御 / 端子モニタレジスタ（DPUSR0R）.... 1292
34.2.37 ディープスタンバイ USB サスペンド / レジューム割り込みレジスタ（DPUSR1R）. 1293
34.3 動作説明.... 1296
34.3.1 システム制御.... 1296
34.3.1.1 動作開始.... 1296
34.3.1.2 コントローラ機能の選択設定.... 1296
34.3.1.3 USB 外部接続回路例.... 1297
34.3.1.4 USB サスペンド / レジューム割り込みによるディープソフトウェアスタンバイモードの解除.... 1301
34.3.2 割り込み要因.... 1306
34.3.3 割り込みの説明.... 1309
34.3.3.1 BRDY 割り込み.... 1309

34.3.3.2 NRDY 割り込み 1313
34.3.3.3 BEMP 割り込み 1315
34.3.3.4 デバイスステート遷移割り込み 1317
34.3.3.5 コントロール転送ステージ遷移割り込み 1318
34.3.3.6 フレーム番号更新割り込み 1319
34.3.3.7 VBUS 割り込み 1319
34.3.3.8 レジューム割り込み 1319
34.3.3.9 OVRCR 割り込み 1319
34.3.3.10 BCHG 割り込み 1320
34.3.3.11 DTCH 割り込み 1320
34.3.3.12 SACK 割り込み 1320
34.3.3.13 SIGN 割り込み 1320
34.3.3.14 ATTCH 割り込み 1320
34.3.3.15 EOFERR 割り込み 1320
34.3.4 パイプコントロール 1321
34.3.4.1 パイプコントロールレジスタの切り替え手順 1322
34.3.4.2 転送タイプ 1322
34.3.4.3 エンドポイント番号 1323
34.3.4.4 マックスパケットサイズ設定 1323
34.3.4.5 トランザクションカウンタ（パイプ 1 ～ 5 読み出し方向） 1323
34.3.4.6 応答 PID 1324
34.3.4.7 データ PID シーケンスビット 1325
34.3.4.8 応答 PID = NAK 機能 1325
34.3.4.9 自動応答モード 1325
34.3.4.10 OUT-NAK モード 1325
34.3.4.11 Null 自動応答モード 1326
34.3.5 FIFO バッファメモリ 1326
34.3.5.1 FIFO バッファメモリ 1326
34.3.5.2 FIFO バッファクリア 1327
34.3.5.3 FIFO ポートの機能 1328
34.3.5.4 DMA 転送（D0FIFO/D1FIFO ポート） 1329
34.3.6 コントロール転送（DCP） 1330
34.3.6.1 ホストコントローラ機能選択時のコントロール転送 1330
34.3.6.2 ファンクションコントローラ機能選択時のコントロール転送 1331
34.3.7 バルク転送（パイプ 1 ～ 5） 1332
34.3.8 インタラプト転送（パイプ 6 ～ 9） 1332
34.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ 1332
34.3.9 アイソクロナス転送（パイプ 1、2） 1333
34.3.9.1 アイソクロナス転送のエラー検出 1333
34.3.9.2 DATA-PID 1334

34.3.9.3 インターバルカウンタ 1335
34.3.10 SOF 補間機能 1341
34.3.11 パイプスケジュール 1341
34.3.11.1 トランザクション発行条件 1341
34.3.11.2 転送スケジュール 1342
34.3.11.3 USB 通信許可 1342
34.4 使用上の注意事項 1342
34.4.1 モジュールストップ機能の設定 1342
35. シリアルコミュニケーションインタフェース（SCIc、SCId） 1343
35.1 概要 1343
35.2 レジスタの説明 1353
35.2.1 レシーブシフトレジスタ（RSR） 1353
35.2.2 レシーブデータレジスタ（RDR） 1353
35.2.3 トランスミットデータレジスタ（TDR） 1353
35.2.4 トランスミットシフトレジスタ（TSR） 1354
35.2.5 シリアルモードレジスタ（SMR） 1354
35.2.6 シリアルコントロールレジスタ（SCR） 1358
35.2.7 シリアルステータスレジスタ（SSR） 1363
35.2.8 スマートカードモードレジスタ（SCMR） 1367
35.2.9 ビットレートレジスタ（BRR） 1368
35.2.10 シリアル拡張モードレジスタ（SEMR） 1376
35.2.11 ノイズフィルタ設定レジスタ（SNFR） 1378
35.2.12 I2C モードレジスタ 1（SIMR1） 1379
35.2.13 I2C モードレジスタ 2（SIMR2） 1380
35.2.14 I2C モードレジスタ 3（SIMR3） 1381
35.2.15 I2C ステータスレジスタ（SISR） 1383
35.2.16 SPI モードレジスタ（SPMR） 1384
35.2.17 拡張シリアルモード有効レジスタ（ESMER） 1385
35.2.18 コントロールレジスタ 0（CR0） 1386
35.2.19 コントロールレジスタ 1（CR1） 1386
35.2.20 コントロールレジスタ 2（CR2） 1387
35.2.21 コントロールレジスタ 3（CR3） 1388
35.2.22 ポートコントロールレジスタ（PCR） 1388
35.2.23 割り込みコントロールレジスタ（ICR） 1389
35.2.24 ステータスレジスタ（STR） 1390
35.2.25 ステータスクリアレジスタ（STCR） 1391
35.2.26 Control Field 0 データレジスタ（CF0DR） 1391
35.2.27 Control Field 0 コンペアイネーブルレジスタ（CF0CR） 1392
35.2.28 Control Field 0 受信データレジスタ（CF0RR） 1392
35.2.29 プライマリ Control Field 1 データレジスタ（PCF1DR） 1392

35.2.30 セカンダリ Control Field 1 データレジスタ（SCF1DR）... 1393
35.2.31 Control Field 1 コンペアイネーブルレジスタ（CF1CR）... 1393
35.2.32 Control Field 1 受信データレジスタ（CF1RR）... 1393
35.2.33 タイマコントロールレジスタ（TCR）... 1394
35.2.34 タイマモードレジスタ（TMR）... 1394
35.2.35 タイマプリスケーラレジスタ（TPRE）... 1395
35.2.36 タイマカウントレジスタ（TCNT）... 1395
35.3 調歩同期式モードの動作 ... 1396
35.3.1 シリアル送信 / 受信フォーマット ... 1396
35.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン ... 1398
35.3.3 クロック ... 1399
35.3.4 CTS、RTS 機能 ... 1399
35.3.5 SCI の初期化（調歩同期式モード）... 1400
35.3.6 シリアルデータの送信（調歩同期式モード）... 1401
35.3.7 シリアルデータの受信（調歩同期式モード）... 1403
35.4 マルチプロセッサ通信機能 ... 1407
35.4.1 マルチプロセッサシリアルデータ送信 ... 1408
35.4.2 マルチプロセッサシリアルデータ受信 ... 1409
35.5 クロック同期式モードの動作 ... 1412
35.5.1 クロック ... 1412
35.5.2 CTS、RTS 機能 ... 1412
35.5.3 SCI の初期化（クロック同期式モード）... 1413
35.5.4 シリアルデータの送信（クロック同期式モード）... 1414
35.5.5 シリアルデータの受信（クロック同期式モード）... 1416
35.5.6 シリアルデータの送受信同時動作（クロック同期式モード）... 1419
35.6 スマートカードインタフェースモードの動作 ... 1420
35.6.1 接続例 ... 1420
35.6.2 データフォーマット（ブロック転送モード時を除く）... 1420
35.6.3 ブロック転送モード ... 1422
35.6.4 受信データサンプリングタイミングと受信マージン ... 1423
35.6.5 SCI の初期化（スマートカードインタフェースモード）... 1424
35.6.6 シリアルデータの送信（ブロック転送モードを除く）... 1425
35.6.7 シリアルの受信（ブロック転送モードを除く）... 1428
35.6.8 クロック出力制御 ... 1429
35.7 簡易 I2C モードの動作 ... 1431
35.7.1 開始条件、再開始条件、停止条件の生成 ... 1432
35.7.2 クロック同期化 ... 1433
35.7.3 SSDA 出力遅延 ... 1434
35.7.4 SCI の初期化（簡易 I2C モード）... 1435
35.7.5 マスタ送信動作（簡易 I2C モード）... 1436

35.7.6 マスタ受信動作（簡易 I2C モード） 1438
35.8 簡易 SPI モードの動作 1440
35.8.1 マスタモード、スレーブモードと各端子の状態 1441
35.8.2 マスタモード時の SS 機能 1441
35.8.3 スレーブモード時の SS 機能 1441
35.8.4 クロックと送受信データの関係 1441
35.8.5 SCI の初期化（簡易 SPI モード） 1442
35.8.6 シリアルデータの送受信（簡易 SPI モード） 1442
35.9 拡張シリアルモード制御部の動作説明 1443
35.9.1 シリアル通信プロトコル 1443
35.9.2 Start Frame 送信 1443
35.9.3 Start Frame 受信 1447
35.9.3.1 プライオリティインタラプトビット 1452
35.9.4 バス衝突検出機能 1453
35.9.5 RXDX12 端子入力デジタルフィルタ機能 1454
35.9.6 ビットレート測定機能 1455
35.9.7 RXDX12 受信データサンプリングタイミング選択機能 1456
35.9.8 タイマ 1457
35.10 ノイズ除去機能 1459
35.11 割り込み要因 1460
35.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作 1460
35.11.2 シリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける割り込み 1460
35.11.3 スマートカードインタフェースモードにおける割り込み 1461
35.11.4 簡易 I2C モードにおける割り込み 1462
35.11.5 拡張シリアルモード制御部の割り込み要求 1463
35.12 使用上の注意事項 1464
35.12.1 モジュールストップ機能の設定 1464
35.12.2 ブレークの検出と処理について 1464
35.12.3 マーク状態とブレークの送出 1464
35.12.4 受信エラーフラグと送信動作について（クロック同期式モードのみ） 1464
35.12.5 TDR レジスタへのライトについて 1464
35.12.6 クロック同期送信時の制約事項 1464
35.12.7 DMAC または DTC 使用上の制約事項 1465
35.12.8 通信の開始に関する注意事項 1465
35.12.9 低消費電力状態時の動作について 1465
35.12.10 クロック同期式モード外部クロック入力 1467
35.12.11 簡易 SPI モードの制約事項 1468
35.12.12 拡張シリアルモード制御部の使用上の制約事項 1 1468
35.12.13 拡張シリアルモード制御部の使用上の制約事項 2 1469
35.12.14 トランスミットイネーブルビット (TE ビット) に関する注意事項 1469

36. I²C バスインタフェース（RIIC）.....1470
36.1 概要.....1470
36.2 レジスタの説明.....1473
36.2.1 I2C バスコントロールレジスタ 1（ICCR1）.....1473
36.2.2 I2C バスコントロールレジスタ 2（ICCR2）.....1475
36.2.3 I2C バスモードレジスタ 1（ICMR1）.....1479
36.2.4 I2C バスモードレジスタ 2（ICMR2）.....1480
36.2.5 I2C バスモードレジスタ 3（ICMR3）.....1482
36.2.6 I2C バスファンクションイネーブルレジスタ（ICFER）.....1484
36.2.7 I2C バスステータスイネーブルレジスタ（ICSER）.....1486
36.2.8 I2C バスインタラプトイネーブルレジスタ（ICIER）.....1488
36.2.9 I2C バスステータスレジスタ 1（ICSR1）.....1490
36.2.10 I2C バスステータスレジスタ 2（ICSR2）.....1493
36.2.11 スレーブアドレスレジスタ Ly（SARLy）（y= 0 ～ 2）.....1497
36.2.12 スレーブアドレスレジスタ Uy（SARUy）（y= 0 ～ 2）.....1498
36.2.13 I2C バスビットレートローレベルレジスタ（ICBRL）.....1499
36.2.14 I2C バスビットレートハイレベルレジスタ（ICBRH）.....1500
36.2.15 I2C バス送信データレジスタ（ICDRT）.....1502
36.2.16 I2C バス受信データレジスタ（ICDRR）.....1502
36.2.17 I2C バスシフトレジスタ（ICDRS）.....1502
36.2.18 タイムアウト内部カウンタ（TMOCNT）.....1503
36.3 動作説明.....1504
36.3.1 通信データフォーマット.....1504
36.3.2 初期設定.....1505
36.3.3 マスタ送信動作.....1506
36.3.4 マスタ受信動作.....1509
36.3.5 スレーブ送信動作.....1514
36.3.6 スレーブ受信動作.....1517
36.4 SCL 同期回路.....1520
36.5 SDA 出力遅延機能.....1521
36.6 デジタルノイズフィルタ回路.....1522
36.7 アドレス一致検出機能.....1523
36.7.1 スレーブアドレス一致検出機能.....1523
36.7.2 ジェネラルコールアドレス検出機能.....1525
36.7.3 デバイス ID アドレス検出機能.....1526
36.7.4 ホストアドレス検出機能.....1528
36.8 SCL の自動 Low ホールド機能.....1529
36.8.1 送信データ誤送信防止機能.....1529
36.8.2 NACK 受信転送中断機能.....1530
36.8.3 受信データ取りこぼし防止機能.....1530

36.9 アービトレーションロスト検出機能 ... 1532
36.9.1 マスタアービトレーションロスト検出機能（MALE ビット） ... 1532
36.9.2 NACK 送信アービトレーションロスト検出機能（NALE ビット） ... 1534
36.9.3 スレーブアービトレーションロスト検出機能（SALE ビット） ... 1535
36.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 ... 1536
36.10.1 スタートコンディション発行動作 ... 1536
36.10.2 リスタートコンディション発行動作 ... 1536
36.10.3 ストップコンディション発行動作 ... 1537
36.11 バスハングアップ ... 1538
36.11.1 タイムアウト検出機能 ... 1538
36.11.2 SCL クロック追加出力機能 ... 1539
36.11.3 RIIC/ 内部リセット ... 1540
36.12 SMBus 動作 ... 1541
36.12.1 SMBus タイムアウト測定 ... 1541
36.12.2 パケットエラーコード（PEC） ... 1543
36.12.3 SMBus ホスト通知プロトコル /Notify ARP master ... 1543
36.13 割り込み要因 ... 1544
36.13.1 ICTXI 割り込みおよび ICRXI 割り込みバッファ動作 ... 1544
36.14 リセット状況 ... 1545
36.15 使用上の注意事項 ... 1546
36.15.1 モジュールストップ機能の設定 ... 1546
36.15.2 通信の開始に関する注意事項 ... 1546
37. CAN モジュール（CAN） ... 1547
37.1 概要 ... 1547
37.2 レジスタの説明 ... 1550
37.2.1 制御レジスタ（CTLR） ... 1550
37.2.2 ビットコンフィグレーションレジスタ（BCR） ... 1553
37.2.3 マスクレジスタ k（MKRk）（k = 0 ～ 7） ... 1555
37.2.4 FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1） ... 1556
37.2.5 マスク無効レジスタ（MKIVLR） ... 1557
37.2.6 メールボックスレジスタ j（MBj）（j = 0 ～ 31） ... 1558
37.2.7 メールボックス割り込み許可レジスタ（MIER） ... 1562
37.2.8 メッセージ制御レジスタ j（MCTLj）（j = 0 ～ 31） ... 1563
37.2.9 受信 FIFO 制御レジスタ（RFCR） ... 1566
37.2.10 受信 FIFO ポインタ制御レジスタ（RFPCR） ... 1569
37.2.11 送信 FIFO 制御レジスタ（TFCR） ... 1569
37.2.12 送信 FIFO ポインタ制御レジスタ（TFPCR） ... 1572
37.2.13 ステータスレジスタ（STR） ... 1572
37.2.14 メールボックスサーチモードレジスタ（MSMR） ... 1575

37.2.15 メールボックスサーチステータスレジスタ（MSSR）....1576
37.2.16 チャネルサーチサポートレジスタ（CSSR）....1577
37.2.17 アクセプタンスフィルタサポートレジスタ（AFSR）....1578
37.2.18 エラー割り込み許可レジスタ（EIER）....1579
37.2.19 エラー割り込み要因判定レジスタ（EIFR）....1581
37.2.20 受信エラーカウントレジスタ（RECR）....1583
37.2.21 送信エラーカウントレジスタ（TECR）....1583
37.2.22 エラーコード格納レジスタ（ECSR）....1584
37.2.23 タイムスタンプレジスタ（TSR）....1585
37.2.24 テスト制御レジスタ（TCR）....1586
37.3 動作モード....1588
37.3.1 CAN リセットモード....1589
37.3.2 CAN Halt モード....1590
37.3.3 CAN スリープモード....1591
37.3.4 CAN オペレーションモード（バスオフ状態以外）....1591
37.3.5 CAN オペレーションモード（バスオフ状態）....1592
37.4 CAN 通信速度の設定....1593
37.4.1 CAN クロックの設定....1593
37.4.2 ビットタイミングの設定....1593
37.4.3 ビットレート....1594
37.5 メールボックスとマスクレジスタの構成....1595
37.6 アクセプタンスフィルタ機能とマスク機能....1596
37.7 受信 / 送信....1599
37.7.1 受信....1600
37.7.2 送信....1602
37.8 CAN 割り込み....1603
37.9 使用上の注意事項....1603
37.9.1 モジュールストップ機能の設定....1603
38. シリアルペリフェラルインタフェース（RSPI）....1604
38.1 概要....1604
38.2 レジスタの説明....1607
38.2.1 RSPI 制御レジスタ（SPCR）....1607
38.2.2 RSPI スレーブセレクト極性レジスタ（SSLP）....1609
38.2.3 RSPI 端子制御レジスタ（SPPCR）....1610
38.2.4 RSPI ステータスレジスタ（SPSR）....1611
38.2.5 RSPI データレジスタ（SPDR）....1613
38.2.6 RSPI シーケンス制御レジスタ（SPSCR）....1616
38.2.7 RSPI シーケンスステータスレジスタ（SPSSR）....1617
38.2.8 RSPI ビットレートレジスタ（SPBR）....1618
38.2.9 RSPI データコントロールレジスタ（SPDCR）....1619

38.2.10 RSPI クロック遅延レジスタ（SPCKD）.....1620
38.2.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）.....1621
38.2.12 RSPI 次アクセス遅延レジスタ（SPND）.....1622
38.2.13 RSPI 制御レジスタ 2（SPCR2）.....1623
38.2.14 RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7）.....1624
38.3 動作説明.....1627
38.3.1 RSPI 動作の概要.....1627
38.3.2 RSPI 端子の制御.....1628
38.3.3 RSPI システム構成例.....1629
38.3.3.1 シングルマスタ / シングルスレーブ（本 LSI ＝マスタ）.....1629
38.3.3.2 シングルマスタ / シングルスレーブ（本 LSI ＝スレーブ）.....1630
38.3.3.3 シングルマスタ / マルチスレーブ（本 LSI ＝マスタ）.....1631
38.3.3.4 シングルマスタ / マルチスレーブ（本 LSI ＝スレーブ）.....1632
38.3.3.5 マルチマスタ / マルチスレーブ（本 LSI ＝マスタ）.....1633
38.3.3.6 マスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）（本 LSI ＝マスタ）.....1634
38.3.3.7 マスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）（本 LSI ＝スレーブ）.....1634
38.3.4 データフォーマット.....1635
38.3.4.1 パリティ機能無効時（SPCR2.SPPE ＝ 0）.....1636
38.3.4.2 パリティ機能有効時（SPCR2.SPPE ＝ 1）.....1640
38.3.5 転送フォーマット.....1644
38.3.5.1 CPHA ビット＝ 0 の場合.....1644
38.3.5.2 CPHA ビット＝ 1 の場合.....1645
38.3.6 通信動作モード.....1646
38.3.6.1 全二重同期式シリアル通信（SPCR.TXMD=0）.....1646
38.3.6.2 送信のみ動作（SPCR.TXMD=1）.....1647
38.3.7 送信バッファエンプティ / 受信バッファフル割り込み.....1648
38.3.8 エラー検出.....1649
38.3.8.1 オーバランエラー.....1650
38.3.8.2 パリティエラー.....1652
38.3.8.3 モードフォルトエラー.....1653
38.3.9 RSPI の初期化.....1653
38.3.9.1 SPE ビットのクリアによる初期化.....1653
38.3.9.2 システムリセット.....1654
38.3.10 SPI 動作.....1654
38.3.10.1 マスタモード動作.....1654
38.3.10.2 スレーブモード動作.....1664
38.3.11 クロック同期式動作.....1668
38.3.12 マスタモード動作.....1668
38.3.13 スレーブモード動作.....1672

38.3.14 ループバックモード 1674
38.3.15 パリティビット機能の自己判断 1675
38.3.16 割り込み要因 1676
38.4 使用上の注意事項 1677
38.4.1 モジュールストップ機能の設定 1677
38.4.2 消費電力低減機能の注意事項 1677
38.4.3 通信の開始に関する注意事項 1677
39. IEBus™ コントローラ（IEB） 1678
39.1 概要 1678
39.1.1 伝送データ（データフィールドの内容） 1679
39.2 レジスタの説明 1684
39.2.1 IEBus コントロールレジスタ（IECTR） 1684
39.2.2 IEBus コマンドレジスタ（IECMR） 1685
39.2.3 IEBus マスタコントロールレジスタ（IEMCR） 1686
39.2.4 IEBus 自局アドレスレジスタ 1（IEAR1） 1687
39.2.5 IEBus 自局アドレスレジスタ 2（IEAR2） 1688
39.2.6 IEBus スレーブアドレス設定レジスタ 1（IESA1） 1688
39.2.7 IEBus スレーブアドレス設定レジスタ 2（IESA2） 1689
39.2.8 IEBus 送信電文長レジスタ（IETBFL） 1689
39.2.9 IEBus 受信マスタアドレスレジスタ 1（IEMA1） 1690
39.2.10 IEBus 受信マスタアドレスレジスタ 2（IEMA2） 1690
39.2.11 IEBus 受信コントロールフィールドレジスタ（IERCTL） 1691
39.2.12 IEBus 受信電文長レジスタ（IERBFL） 1691
39.2.13 IEBus ロックアドレスレジスタ 1（IELA1） 1692
39.2.14 IEBus ロックアドレスレジスタ 2（IELA2） 1692
39.2.15 IEBus ゼネラルフラグレジスタ（IEFLG） 1693
39.2.16 IEBus 送信ステータスレジスタ（IETSR） 1695
39.2.17 IEBus 送信割り込み許可レジスタ（IEIET） 1698
39.2.18 IEBus 受信ステータスレジスタ（IERSR） 1699
39.2.19 IEBus 受信割り込み許可レジスタ（IEIER） 1702
39.2.20 IEBus クロック選択レジスタ（IECKSR） 1703
39.2.21 IEBus 送信データバッファレジスタ 001 ～ 032（IETB001 ～ IETB032） 1704
39.2.22 IEBus 受信データバッファレジスタ 001 ～ 032（IERB001 ～ IERB032） 1704
39.3 データフォーマット 1705
39.3.1 送信フォーマット 1705
39.3.2 受信フォーマット 1706
39.4 制御フロー 1707
39.4.1 初期設定 1707
39.4.2 マスタ送信 1708
39.4.3 スレーブ受信 1709

39.4.4 マスタ受信 1710
39.4.5 スレーブ送信 1711
39.5 動作タイミング 1712
39.5.1 マスタ送信 1712
39.5.2 スレーブ受信 1713
39.5.3 マスタ受信 1714
39.5.4 スレーブ送信 1715
39.6 割り込み要因 1716
39.7 使用上の注意事項 1717
39.7.1 最大伝送バイト長内で通信が終了しなかったときの注意事項 1717
39.7.2 電文長ビットの設定が最大バイト数より大きい値を設定した場合の注意事項 1719
39.7.3 モジュールストップ機能の設定 1720
40. CRC 演算器（CRC） 1721
40.1 概要 1721
40.2 レジスタの説明 1722
40.2.1 CRC コントロールレジスタ（CRCCR） 1722
40.2.2 CRC データ入力レジスタ（CRCDIR） 1722
40.2.3 CRC データ出力レジスタ（CRCDOR） 1723
40.3 CRC 演算器の動作説明 1724
40.4 使用上の注意事項 1727
40.4.1 モジュールストップ機能の設定 1727
40.5 転送時の注意事項 1727
41. パラレルデータキャプチャユニット（PDC） 1728
41.1 概要 1728
41.2 レジスタの説明 1730
41.2.1 PDC 制御レジスタ 0 (PCCR0) 1730
41.2.2 PDC 制御レジスタ 1 (PCCR1) 1732
41.2.3 PDC ステータスレジスタ (PCSR) 1733
41.2.4 PDC 端子モニタレジスタ (PCMONR) 1735
41.2.5 PDC 受信データレジスタ (PCDR) 1736
41.2.6 垂直方向キャプチャレジスタ (VCR) 1737
41.2.7 水平方向キャプチャレジスタ (HCR) 1738
41.3 動作説明 1739
41.3.1 通信フォーマット 1739
41.3.2 通信タイミング 1740
41.3.3 VCR レジスタ、HCR レジスタ設定とキャプチャ範囲 1741
41.3.4 受信動作 1743
41.3.5 水平ブランキング期間中の動作 1744
41.3.6 フレームエンド時の継続受信動作 1744
41.3.7 エラー検出 1745

41.3.8 初期設定 1748
41.3.9 動作フロー 1749
41.3.10 割り込み要因 1751
41.3.11 リセット状況 1752
41.4 使用上の注意事項 1753
41.4.1 モジュールストップ機能の設定 1753
41.4.2 消費電力低減機能の注意事項 1753
41.4.3 エラー割り込みにおける注意事項 1753
41.4.4 DTCa 使用時の注意事項 1753
41.4.5 DMAC 使用時の注意事項 1753
41.4.6 通信の開始に関する注意事項 1753
42. 12 ビット A/D コンバータ（S12ADa） 1754
42.1 概要 1754
42.2 レジスタの説明 1757
42.2.1 A/D コントロールレジスタ（ADCSR） 1757
42.2.2 A/D チャネル選択レジスタ 0（ADANS0） 1759
42.2.3 A/D チャネル選択レジスタ 1（ADANS1） 1759
42.2.4 A/D 変換値加算モード選択レジスタ 0（ADADS0） 1760
42.2.5 A/D 変換値加算モード選択レジスタ 1（ADADS1） 1760
42.2.6 A/D 変換値加算回数選択レジスタ（ADADC） 1761
42.2.7 A/D コントロール拡張レジスタ（ADCER） 1762
42.2.8 A/D 開始トリガ選択レジスタ（ADSTRGR） 1763
42.2.9 A/D 変換拡張入力コントロールレジスタ（ADEXICR） 1764
42.2.10 A/D 温度センサデータレジスタ（ADTSDR） 1765
42.2.11 A/D 内部基準電圧データレジスタ（ADOCDR） 1766
42.2.12 A/D データレジスタ y（ADDRy）（y = 0 ～ 20） 1767
42.2.13 A/D サンプリングステートレジスタ 01（ADSSTR01） 1768
42.2.14 A/D サンプリングステートレジスタ 23（ADSSTR23） 1769
42.3 動作説明 1769
42.3.1 スキャンの動作説明 1769
42.3.2 シングルスキャンモード 1770
42.3.2.1 基本動作 1770
42.3.2.2 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作 1771
42.3.3 連続スキャンモード 1772
42.3.3.1 基本動作 1772
42.3.4 アナログ入力のスキャン時間 1773
42.3.5 ADDRy レジスタの自動クリア機能の使用例 1774
42.3.6 A/D 変換値加算機能 1774
42.3.7 非同期トリガによる A/D 変換の開始 1774
42.3.8 周辺モジュールからの同期トリガによる A/D 変換の開始 1775

42.3.8.1 MTU の TRG0AN_0 と TRG0BN_0 による A/D 変換の開始 1775
42.3.8.2 MTU の TRGAN_0 と TPU の TRGAN_1 による A/D 変換の開始 1776
42.3.8.3 MTU の TRG0EN_0 と TRG0FN_0 による A/D 変換の開始 1778
42.3.8.4 MTU の TRG4ABN_0 と TPU の TRG4ABN_1 による A/D 変換の開始 1779
42.3.8.5 TMR の TMTRG0AN_0 と TMTRG0AN_1 による A/D 変換の開始 1780
42.4 割り込み要因と DMA 転送要求 1780
42.4.1 スキャン終了時の割り込み要求 1780
42.5 使用上の注意事項 1781
42.5.1 データレジスタの読み出し注意事項 1781
42.5.2 A/D 変換強制停止時の注意事項 1781
42.5.3 A/D 変換開始時と強制停止の動作タイミング 1781
42.5.4 モジュールストップ機能の設定 1781
42.5.5 低消費電力状態への遷移時の注意 1781
42.5.6 ソフトウェアスタンバイモード解除時の注意 1781
42.5.7 絶対精度への影響 1782
42.5.8 アナログ電源端子他の設定範囲 1782
42.5.9 ボード設計上の注意 1782
42.5.10 ノイズ対策上の注意 1783
42.5.11 12 ビット A/D コンバータ入力を使用する場合のポートの設定 1783
42.5.12 外部バス使用時の注意事項 1783
43. 10 ビット A/D コンバータ（ADb） 1784
43.1 概要 1784
43.2 レジスタの説明 1787
43.2.1 A/D データレジスタ y（ADDRy）（y = A ～ H） 1787
43.2.2 A/D コントロール / ステータスレジスタ（ADCSR） 1788
43.2.3 A/D コントロールレジスタ（ADCR） 1789
43.2.4 A/D コントロールレジスタ 2（ADCR2） 1790
43.2.5 A/D サンプリングステートレジスタ（ADSSTR） 1791
43.2.6 A/D 自己診断レジスタ（ADDIAGR） 1791
43.3 動作説明 1792
43.3.1 シングルチャネルモード 1793
43.3.2 スキャンモード 1794
43.3.2.1 連続スキャンモード 1794
43.3.2.2 シングルスキャンモード 1795
43.3.3 拡張アナログ入力 1796
43.3.3.1 ANEX1 の使用方法 1797
43.3.4 入力サンプリングと A/D 変換時間 1798
43.3.5 非同期トリガによる 10 ビット A/D 変換の開始 1800
43.3.6 周辺モジュールからの同期トリガによる A/D 変換の開始 1801
43.3.6.1 MTU の TRG0AN_0 による A/D 変換の開始 1801

43.3.6.2 MTU の TRGAN_0 と TPU の TRGAN_1 による A/D 変換の開始 1801
43.3.7 MTU の TRG4ABN_0 と TPU の TRG4ABN_1 による A/D 変換の開始 1803
43.3.8 TMR の TMTRG0AN_0 による A/D 変換の開始 1804
43.3.9 10 ビット A/D コンバータ同期 D/A 変換許可信号 1804
43.4 割り込み要因 1805
43.5 A/D 変換精度の定義 1805
43.6 使用上の注意事項 1807
43.6.1 モジュールストップ機能の設定 1807
43.6.2 A/D 変換強制停止時の注意事項 1807
43.6.3 A/D 変換強制停止時の再開タイミング 1807
43.6.4 低消費電力状態への遷移時の注意事項 1807
43.6.5 10 ビット A/D コンバータ同期 D/A 変換使用時の注意事項 1807
43.6.6 許容信号源インピーダンスについて 1808
43.6.7 絶対精度への影響 1808
43.6.8 アナログ電源端子他の設定範囲 1809
43.6.9 ボード設計上の注意 1809
43.6.10 ノイズ対策上の注意 1810
43.6.11 外部バス使用時の注意事項 1810
43.6.12 高速変換を実現するためには 1811
44. D/A コンバータ（DAa） 1812
44.1 概要 1812
44.2 レジスタの説明 1813
44.2.1 D/A データレジスタ m（DADRm）（m=0、1） 1813
44.2.2 D/A コントロールレジスタ（DACR） 1814
44.2.3 DADRm フォーマット選択レジスタ（DADPR） 1815
44.2.4 D/A A/D 同期スタート制御レジスタ（DAADSCR） 1816
44.3 動作説明 1817
44.3.1 D/A 変換と A/D 変換の干渉対策 1818
44.4 使用上の注意事項 1819
44.4.1 モジュールストップ機能の設定 1819
44.4.2 モジュールストップ時の D/A の動作 1819
44.4.3 ソフトウェアスタンバイモード時の D/A の動作 1819
44.4.4 ディープソフトウェアスタンバイモード時の注意事項 1819
44.4.5 D/A 変換と A/D 変換の干渉対策有効時の注意事項 1819
45. 温度センサ 1820
45.1 概要 1820
45.2 レジスタの説明 1821
45.2.1 温度センサコントロールレジスタ（TSCR） 1821
45.3 温度センサの使用方法 1821
45.3.1 使用前の準備 1821

45.3.2 12 ビット A/D コンバータの設定 1822
45.3.3 温度センサの使用手順 1823
45.3.4 温度センサ出力の A/D 変換タイミング 1824
45.4 使用上の注意事項 1824
45.4.1 モジュールストップ機能の設定 1824
46. RAM 1825
46.1 概要 1825
46.2 動作説明 1825
46.2.1 データ保持 1825
46.2.2 消費電力低減機能 1825
47. フラッシュメモリ 1826
47.1 概要 1826
47.1.1 ROM の領域構成 1828
47.1.2 ROM のブロック構成 1829
47.1.3 E2 データフラッシュの領域構成 1831
47.1.4 E2 データフラッシュのブロック構成 1831
47.2 レジスタの説明 1832
47.2.1 フラッシュ P/E プロテクトレジスタ（FWEPROR） 1832
47.2.2 フラッシュモードレジスタ（FMODR） 1833
47.2.3 フラッシュアクセスステータスレジスタ（FASTAT） 1834
47.2.4 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT） 1837
47.2.5 フラッシュレディ割り込み許可レジスタ（FRDYIE） 1838
47.2.6 E2 データフラッシュ読み出し許可レジスタ 0（DFLRE0） 1838
47.2.7 E2 データフラッシュ読み出し許可レジスタ 1（DFLRE1） 1839
47.2.8 E2 データフラッシュ P/E 許可レジスタ 0（DFLWE0） 1840
47.2.9 E2 データフラッシュ P/E 許可レジスタ 1（DFLWE1） 1841
47.2.10 FCU RAM イネーブルレジスタ（FCURAME） 1842
47.2.11 フラッシュステータスレジスタ 0（FSTATR0） 1843
47.2.12 フラッシュステータスレジスタ 1（FSTATR1） 1845
47.2.13 フラッシュ P/E モードエントリレジスタ（FENTRYR） 1846
47.2.14 フラッシュプロテクトレジスタ（FPROTR） 1848
47.2.15 フラッシュリセットレジスタ（FRESETR） 1849
47.2.16 FCU コマンドレジスタ（FCMDR） 1850
47.2.17 FCU 処理切り替えレジスタ（FCPSR） 1851
47.2.18 E2 データフラッシュブランクチェック制御レジスタ（DFLBCCNT） 1851
47.2.19 フラッシュ P/E ステータスレジスタ（FPESTAT） 1852
47.2.20 E2 データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT） 1852
47.2.21 周辺クロック通知レジスタ（PCKAR） 1853
47.3 フラッシュメモリ関連の動作モード 1854
47.3.1 ID コードプロテクト機能による領域のイレーズ 1854

47.4 FCU 1855
47.4.1 FCU のモード 1855
47.4.1.1 ROM リードモード 1856
47.4.1.2 ROM / E2 データフラッシュリードモード 1856
47.4.1.3 ROM P/E モード 1856
47.4.1.4 E2 データフラッシュ P/E モード 1857
47.4.2 FCU コマンド一覧 1858
47.4.3 FCU のモードとコマンドの関係 1860
47.4.4 FCU コマンド使用方法 1861
47.4.4.1 モード移行 1861
47.4.4.2 P/E 方法手順 1864
47.4.4.3 サスペンド / レジューム 1873
47.4.4.4 エラーおよび FRDY ビットの確認と処理方法 1876
47.5 サスペンド動作 1878
47.5.1 プログラム中のサスペンド 1878
47.5.2 イレーズ中のサスペンド（サスペンド優先モード） 1879
47.5.3 イレーズ中のサスペンド（イレーズ優先モード） 1880
47.6 プロテクト 1880
47.6.1 ソフトウェアプロテクト 1880
47.6.2 コマンドロック状態 1881
47.7 ユーザブートモード 1883
47.8 ブートモード 1883
47.8.1 システム構成 1883
47.8.2 ブートモードの状態遷移 1884
47.8.3 ビットレートの自動調整 1887
47.8.4 ID コードプロテクト（ブートモード） 1888
47.8.5 UB コード A 1889
47.8.6 コマンドとレスポンスの構成 1889
47.8.7 問い合わせ / 設定コマンド待ち 1890
47.8.8 ID コード待ち 1901
47.8.9 P/E コマンド待ち 1902
47.9 USB ブートモード 1911
47.9.1 特長 1911
47.9.2 状態遷移 1912
47.9.3 USB ブートモード実行時の注意点 1912
47.10 オンチップデバッガ ID コードプロテクト 1913
47.11 ROM コードプロテクト 1913
47.12 使用上の注意事項 (ROM / E2 データフラッシュ共通) 1914
47.13 使用上の注意事項 (E2 データフラッシュ) 1915

48. バウンダリスキャン 1916
48.1 概要 1916
48.2 レジスタの説明 1917
48.2.1 インストラクションレジスタ（JTIR） 1918
48.2.2 ID コードレジスタ（JTIDR） 1918
48.2.3 バイパスレジスタ（JTBPR） 1919
48.2.4 バウンダリスキャンレジスタ（JTBSR） 1919
48.3 動作説明 1929
48.3.1 TAP コントローラ 1929
48.3.2 コマンド一覧 1930
48.4 使用上の注意事項 1931
49. ROM レス版 1933
49.1 ROM レス版とフラッシュメモリ版との仕様の相違点 1933
49.2 動作モードの種類 1934
49.2.1 エンディアン 1934
49.2.2 モードステータスレジスタ（MDSR） 1934
49.2.3 システムコントロールレジスタ 0（SYSCR0） 1934
49.3 メモリマップ 1935
49.4 オプション設定メモリ 1936
49.5 クロック発生回路 1936
49.5.1 システムクロックコントロールレジスタ（SCKCR） 1936
49.6 FCU 関連割り込み 1938
49.6.1 割り込み要求レジスタ 21（IR21）および割り込み要求レジスタ 23（IR23） 1938
49.6.2 割り込み要求許可レジスタ 02（IER02） 1938
49.6.3 割り込み要因プライオリティレジスタ（IPR001 および IPR002） 1938
49.7 外部バス 1939
49.7.1 CS0 領域 1939
49.7.2 CS0 制御レジスタ（CS0CR） 1940
49.8 マルチファンクションピンコントローラ（MPC） 1941
49.8.1 CS 出力許可レジスタ（PFCSE） 1941
49.8.2 アドレス出力許可レジスタ 0（PFAOE0） 1941
49.8.3 アドレス出力許可レジスタ 1（PFAOE1） 1942
49.8.4 外部バス制御レジスタ 0（PFBCR0） 1943
49.9 RAM 1943
49.10 ROM 1943
49.11 E2 データフラッシュ 1943
49.12 使用上の注意事項 1943
50. 48 ピン製品の使用上の注意事項 1944
51. 電気的特性 1945
51.1 絶対最大定格 1945

51.2 DC 特性 1946
51.3 AC 特性 1951
51.3.1 リセットタイミング 1953
51.3.2 クロックタイミング 1954
51.3.3 低消費電力状態からの復帰タイミング 1960
51.3.4 制御信号タイミング 1961
51.3.5 バスタイミング 1962
51.3.6 EXDMAC タイミング 1976
51.3.7 内蔵周辺モジュールタイミング 1977
51.4 USB 特性 1994
51.5 A/D 変換特性 1995
51.6 D/A 変換特性 1997
51.7 温度センサ特性 1997
51.8 パワーオンリセット回路、電圧検出回路特性 1998
51.9 発振停止検出タイミング 2000
51.10 バッテリバックアップ機能特性 2000
51.11 ROM（コード格納用フラッシュメモリ）特性 2001
51.12 E2 フラッシュ特性 2002
51.13 バウンダリスキャン 2004
付録 1. 各動作モードにおけるポートの状態 2006
付録 2. 外形寸法図 2010
改訂記録 2020

RX63N グループ、RX631 グループ
ルネサスマイクロコンピュータ

R01UH0041JJ0170
Rev.1.70
2013.10.08

100MHz、32 ビット RX MCU、FPU 内蔵、165 DMIPS、
最大 2M バイトフラッシュメモリ、Ether-MAC、USB2.0 フルスピード　ホスト/ファンクション/OTG
CAN など多種多様な通信機能、10 ビット＆12 ビット A/D コンバータ、RTC

特長

RX63N グループは、イーサネットコントローラを搭載し、
RX631 グループは、イーサネットコントローラ非搭載です。

■ 32 ビット RX CPU コア内蔵
- 最大動作周波数 100MHz
  165DMIPS の性能（100MHz 動作時）
- 32 ビット単精度浮動小数点（IEEE754 に準拠）
- 2 種類の積和演算器（メモリ間、レジスタ間）
- 32 ビット乗算器（最速 1 クロックで実行）
- 除算器（最速 2 クロックで実行）
- 高速割り込み
- 5 段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式：コードを大幅に短縮
- メモリプロテクションユニット（MPU）対応
- JTAG および FINE（2 線式）の 2 種類のデバッグインタフェース

■消費電力低減機能
- 2.7V ～ 3.6V 動作の単一電源
- 全周辺機能サポート時、500μA/MHz の消費電力
- 専用電源で動作可能な RTC（min：2.3V 動作）
- 4 種類の低消費電力モード

■内蔵メインフラッシュメモリ（ウェイトなし）
- ROM レス～ 2M バイトまでをサポート
  （ROM レス /256K/384K/512K：RX631 グループのみ）
- 100MHz 動作、10ns 読み出しサイクル（ウェイトなし）
- 768K ～ 2M バイトの容量
- オンボードおよびオフボードによるユーザ書き込み

■内蔵データフラッシュメモリ
- ROM レス or 32K バイト（100k 回消去可能）
- Back Ground Operation（BGO）による書き込み / 消去

■内蔵 SRAM（ウェイトなし）
- 64K/128K/192K/256K バイト SRAM
- オペランド、命令用
- ディープソフトウェアスタンバイモード時、バックアップ可能

■ DMA
- DMAC：4ch 内蔵
- DTC
- EXDMAC：2ch 内蔵
- イーサネットコントローラ専用 DMAC：1ch

■リセットおよび電源電圧制御
- パワーオンリセット（POR）内蔵
- 低電圧検出機能（LVD）の設定可能

■クロック機能
- 外部水晶発振、内部 PLL 対応 4MHz ～ 16MHz
- 内部 125kHz LOCO、50MHz HOCO を搭載
- IWDT 用 125kHz クロック

■リアルタイムクロック内蔵
- 補正機能（30 秒、うるう年、誤差）
- 時間キャプチャ機能
  （外部端子のイベント入力で時間をキャプチャ）

■独立ウォッチドッグタイマ内蔵
- 125kHz LOCO クロック動作

■ IEC60730 対応機能内蔵
- 発振停止検出、周波数測定機能、CRC、IWDT、A/D 自己診断など



PLQP0176KB-A　24×24mm、0.5mmピッチ
PLQP0144KA-A　20×20mm、0.5mmピッチ
PLQP0100KB-A　14×14mm、0.5mmピッチ
PLQP0064KB-A　10×10mm、0.5mmピッチ
PLQP0048KB-A　7×7mm、0.5mmピッチ



PTLG0177KA-A　8×8mm、0.5mmピッチ
PTLG0145KA-A　7×7mm、0.5mmピッチ
PTLG0100JA-A　7×7mm、0.65mmピッチ
PTLG0064JA-A　6 x 6mm、0.65mmピッチ



PLBG0176GA-A　13×13mm、0.8mmピッチ

■多種多様な通信機能を内蔵
- Ether-MAC を内蔵（1ch）（RX631 グループは、非搭載）
- USB2.0 フルスピード ホスト / ファンクション /OTG（1ch）および ファンクションを内蔵（1ch）
- CAN（ISO11898-1 準拠）、32 メールボックス内蔵（最大 3ch）
- 多彩な機能に対応した SCI（最大 13ch）
  調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI/ 簡易 I²C/ 拡張シリアルモードから選択
- I²C バスインタフェース　最大 1Mbps 転送（最大 4ch）
- 高速通信可能な RSPI を搭載（最大 3ch）
- パラレルデータキャプチャユニット（PDC）を内蔵　（1ch）（フラッシュメモリ　512K/384K/256K かつ 177 ピン、176 ピン、145 ピン、144 ピンの製品）

■外部アドレス空間
- 高速動作バス @ 50MHz(max)
- 8 つの CS 領域（8×16M バイト）
- エリアごとにマルチプレクスバス / セパレートバスから選択
- エリアごとに 8/16/32 ビットバス空間を選択可能
- 独立した SDRAM 空間（128M バイト）

■最大 20 本の拡張タイマ機能
- 16 ビット MTU2：インプットキャプチャ、アウトプットコンペア、PWM 波形出力、位相計数モード（6ch）
- 16 ビット TPU：インプットキャプチャ、アウトプットコンペア、位相計数モード（12ch）
- 8 ビット TMR（4ch）
- 16 ビット CMT（4ch）

■ 1MHz 動作 A/D コンバータ内蔵
- 1 サンプル & ホールド回路内蔵 12 ビット × 最大 21ch、
  1 サンプル & ホールド回路内蔵 10 ビット × 最大 8ch
- A/D 変換値加算機能（12 ビット A/D コンバータ）
- 自己診断機能（10 ビット A/D コンバータ）

■ 10 ビット D/A コンバータ内蔵：2ch

■チップ内部の温度を計測可能な温度センサを内蔵

■データ暗号化ユニット（DEU）
- AES 暗号化・復号化機能
- 鍵長 128/192/256 ビット
- ECB/CBC モード

■重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

■最大 134 本の汎用入出力ポート内蔵
- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■動作周囲温度
- –40 ℃ ～ +85 ℃

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、**表 1.2** にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャネル数は、製品およびパッケージのピン数によって異なります。詳細は、**「表 1.2　RX63N グループ、RX631 グループ　パッケージ別機能比較一覧」**を参照してください。

表1.1　仕様概要 (1 / 5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	• 最大動作周波数：100MHz • 32ビットRX CPU • 最小命令実行時間：1命令1クロック • アドレス空間：4Gバイト・リニアアドレス • レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 • 基本命令：73種類 • 浮動小数点演算命令：8種類 • DSP機能命令：9種類 • アドレッシングモード：10種類 • データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 • 32ビット乗算器：32ビット×32ビット→64ビット • 除算器：32ビット÷32ビット→32ビット • バレルシフタ：32ビット • メモリプロテクションユニット（MPU）
	FPU	• 単精度浮動小数点数（32ビット） • IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	• 容量：ROMレス/256K/384K/512K/768K/1M/1.5M/2Mバイト • 100MHz、ノーウェイトアクセス • オンボードプログラミング：4種類 • オフボードプログラミング（パラレルライタモード）（100ピン以上の製品）
	RAM	• 容量：64K/128K/192K/256Kバイト • 100MHz、ノーウェイトアクセス
	E2データフラッシュ	• 容量：32Kバイト • プログラム/イレーズ回数：100000回
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード（ソフトウェア切り替え）
クロック	クロック発生回路	• メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ • メインクロック発振停止検出：あり • システムクロック（ICLK）、周辺モジュールクロック（PCLK）、FlashIFクロック（FCLK）、外部バスクロック（BCLK）を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：100MHz max 周辺モジュールは、PCLK同期：50MHz max FlashIFは、FCLK同期：50MHz max 外部バスに接続するデバイスは、BCLK同期：50MHz max
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出回路		VCCが電圧検出レベル（Vdet）を通過すると内部リセットまたは内部割り込みを発生
低消費電力	消費電力低減機能	• モジュールストップ機能 • 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード • バッテリバックアップ機能

表1.1　仕様概要 (2 / 5)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ（ICUb）	• 周辺機能割り込み：要因数 187 • 外部割り込み：要因数 16（IRQ0～IRQ15端子） • ソフトウェア割り込み：要因数 1 • ノンマスカブル割り込み：要因数 6 • 16レベルの割り込み優先順位を設定可能
外部バス拡張		• 外部アドレス空間を9つのエリア（CS0～CS7、SDCS）に分割して管理 各エリアの領域：16Mバイト（CS0～CS7）、128Mバイト（SDCS） エリアごとにチップセレクト（CS0#～CS7#、SDCS#）出力可能 エリアごとに8ビットバス空間/16ビットバス空間/32ビットバス空間を選択可能 エリアごとにエンディアンを設定可能（データのみ） • SDRAMインタフェース接続可能 • バス形式：セパレートバス、マルチプレクスバス • ウェイト制御可能 • ライトバッファ機能
DMA	DMAコントローラ（DMACA）	• 4チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	EXDMAコントローラ（EXDMACa）	• 2チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード • EDACKn信号によるシングルアドレス転送が可能 • TFT LCDパネルへのダイレクトデータ転送が可能 • 起動要因：ソフトウェアトリガ、外部DMA転送要求（EDREQn）、周辺機能割り込み
	データトランスファコントローラ（DTCa）	• 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	• 177ピンTFLGA、176ピンLFBGA、176ピンLQFP 入出力：133 入力：1 プルアップ抵抗：133 オープンドレイン出力：133 5Vトレラント：18 • 145ピンTFLGA、144ピンLQFP 入出力：111 入力：1 プルアップ抵抗：111 オープンドレイン出力：111 5Vトレラント：18 • 100ピンTFLGA（計画中）、100ピンLQFP 入出力：78 入力：1 プルアップ抵抗：78 オープンドレイン出力：78 5Vトレラント：17 • 64ピンTFLGA 入出力：39 入力：1 プルアップ抵抗：39 オープンドレイン出力：39 5Vトレラント：22 • 64ピンLQFP 入出力：42 入力：1 プルアップ抵抗：42 オープンドレイン出力：42 5Vトレラント：23 8ビットポート切り換え機能 • 48ピンLQFP 入出力：30 入力：1 プルアップ抵抗：30 オープンドレイン出力：30 5Vトレラント：18 8ビットポート切り換え機能

表1.1　仕様概要 (3 / 5)

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット（TPUa）	• （16ビット×6チャネル）×2ユニット • 最大16本のパルス入出力が可能 • チャネルごとに7種類または8種類のカウントクロックを選択可能 • インプットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャネルによりバッファ動作、位相計数モード（2相エンコーダ入力）、カスケード接続動作（32ビット×2チャネル）をサポート • PPGの出力トリガを生成可能 • A/Dコンバータの変換開始トリガを生成可能 • インプットキャプチャ端子にデジタルフィルタあり • クロック周波数測定機能
	マルチファンクションタイマパルスユニット2（MTU2a）	• （16ビット×6チャネル）×1ユニット • 16ビットタイマ6チャネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 • チャネルごとに8種類のカウントクロック（PCLK/1、PCLK/4、PCLK/16、PCLK/64、MTCLKA、MTCLKB、MTCLKC、MTCLKD）を選択可能（チャネル5は4種類） • インプットキャプチャ機能 • 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • 相補PWM出力モード • リセット同期PWMモード • 位相計数モード • A/Dコンバータの変換開始トリガを生成可能 • デジタルフィルタ • インプットキャプチャ端子にデジタルフィルタあり • PPGの出力トリガを生成可能 • クロック周波数測定機能
	周波数測定機能（MCK）	MTUまたはTPUユニット0を使い、メインクロック、サブクロック、HOCOクロック、LOCOクロック、PLLクロックの周波数異常を監視することが可能
	ポートアウトプットイネーブル2（POE2a）	MTU波形出力端子のハイインピーダンス制御
	プログラマブルパルスジェネレータ（PPG）	• （4ビット×4グループ）×2ユニット • MTU2、またはTPUからの出力をトリガとしてパルスを出力 • 最大32本のパルス出力
	8ビットタイマ（TMR）	• （8ビット×2チャネル）×2ユニット • 7種類の内部クロック（PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192）と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5、SCI6、SCI12のボーレートクロック生成可能
	コンペアマッチタイマ（CMT）	• （16ビット×2チャネル）×2ユニット • 4種類のクロック（PCLK/8、PCLK/32、PCLK/128、PCLK/512）を選択可能
	リアルタイムクロック（RTCa）	• クロックソース：メインクロック、サブクロック • 時計/カレンダ機能 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み • バッテリバックアップ動作 • 3値タイムキャプチャ機能
	ウォッチドッグタイマ（WDTA）	• 14ビット×1チャネル • 6種類のカウントクロック（PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192）を選択可能
	独立ウォッチドッグタイマ（IWDTa）	• 14ビット×1チャネル • カウントクロック：IWDT専用オンチップオシレータ • 専用クロック/1、専用クロック/16、専用クロック/32、専用クロック/64、専用クロック/128、専用クロック/256

表1.1　仕様概要 (4 / 5)

分類	モジュール/機能	説明
通信機能	イーサネットコントローラ（ETHERC）	• イーサネット/IEEE802.3フレームの送受信 • 10Mbpsおよび100Mbps転送への対応 • 全二重モードおよび半二重モード対応 • IEEE802.3u規格のMII（Media Independent Interface）およびRMII（Reduced Media Independent Interface）に対応 • Magic Packet™（注）の検出およびWake-On-LAN（WOL）信号の出力 • IEEE802.3x規格のフロー制御準拠 注.　Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。
	イーサネットコントローラ用DMAコントローラ（EDMAC）	• ディスクリプタ管理方式によるCPU負荷の軽減 • 送信FIFO：2Kバイト、受信FIFO：2Kバイト
	USB2.0ホスト/ファンクションモジュール（USBa）	• USB2.0に対応したUDC（USB Device Controller）およびトランシーバを内蔵 • ホスト/ファンクションモジュール：1ポート、ファンクションモジュール：1ポート • USBバージョン2.0準拠 • 転送スピード：フルスピード（12Mbps） • セルフパワーモードおよびバスパワーモードを選択可能 • OTG（ON-The-Go）に対応 • 通信バッファとして2KバイトのRAMを内蔵
	シリアルコミュニケーションインタフェース（SCIc、SCId）	• 13チャネル：（SCIc：12チャネル＋SCId：1チャネル） • SCIc シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能（SCI5、SCI6、SCI12） 簡易I²Cサポート 簡易SPIサポート • SCId（SCIcに以下の機能を付加） スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I²Cバスインタフェース（RIIC）	• 4チャネル（内1チャネルがFM＋） 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：1Mbps（チャネル0）
	IEBus（IEB）	• 1チャネル • IEBusのプロトコル制御に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる2種類のモードが選択可能
	CANモジュール（CAN）	• 3チャネル • ISO11898-1仕様に準拠（標準フレーム/拡張フレーム） • 32メールボックス/チャネル
	シリアルペリフェラルインタフェース（RSPI）	• 3チャネル • RSPI転送機能 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）/クロック同期式動作（3線式）でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 • データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送（1フレームは最大32ビット） • バッファ構成 送信/受信バッファ構成はダブルバッファ
	パラレルデータキャプチャユニット（PDC）	• 1チャネル • イメージセンサーなどの外部IOと通信し、外部IOから出力される画像などのパラレルデータをDTCまたはDMACを介して内蔵RAM、外部アドレス空間（CS領域、SDRAM領域）へ転送可能

表1.1　　仕様概要 (5 / 5)

分類	モジュール/機能	説明
12ビットA/Dコンバータ（S12ADa）		• 1ユニット（1ユニット×21チャネル） • 分解能：12ビット • 変換時間：1チャネル当たり1.0μs（PCLK=50MHz動作時） • 動作モード スキャンモード（シングルスキャンモード/連続スキャンモード） • サンプル＆ホールド機能付き • 基準電圧生成機能 • 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ（MTU、TPU、TMR）のトリガ、外部トリガ • 温度センサの出力をA/D変換
10ビットA/Dコンバータ（ADb）		• 1ユニット（1ユニット×8チャネル） • 分解能：10ビット • 変換時間：1チャネル当たり1.0μs（PCLK=50MHz動作時） • 動作モード スキャンモード（シングルスキャンモード/連続スキャンモード） 外部アンプ接続モード • サンプル＆ホールド機能付き • 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ（MTU、TPU、TMR）のトリガ、外部トリガ
D/Aコンバータ（DAa）		• 2チャネル • 分解能：10ビット • 出力電圧：0V～VREFH
温度センサ		• 1チャネル • 相対精度：±1℃ • 温度を電圧に変換し12ビットA/Dコンバータでデジタル化
CRC演算器（CRC）		• 8ビット単位の任意のデータ長に対してCRCコードを生成 • 3つの多項式から選択可能 X^8+X^2+X+1、$X^{16}+X^{15}+X^2+1$、$X^{16}+X^{12}+X^5+1$ • LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ暗号化ユニット（DEU）（注1）		• AES暗号化・復号化機能 • 鍵長128/192/256ビット • ECB/CBCモード
動作周波数		100MHz max
電源電圧		VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7～AVCC0、 V_{BATT} = 2.0～3.6V（100ピン以上の製品）、V_{BATT} = 2.3～3.6V（64ピンの製品）
動作周囲温度		－40～＋85℃（広温度範囲仕様品）
パッケージ		177ピンTFLGA（PTLG0177KA-A） 176ピンLFBGA（PLBG0176GA-A） 176ピンLQFP（PLQP0176KB-A） 145ピンTFLGA（PTLG0145KA-A） 144ピンLQFP（PLQP0144KA-A） 100ピンTFLGA（PTLG0100JA-A）（計画中） 100ピンLQFP（PLQP0100KB-A） 64ピンTFLGA（PTLG0064JA-A） 64ピンLQFP（PLQP0064KB-A) 48ピンLQFP（PLQP0048KB-A)
オンチップデバッキングシステム		• E1エミュレータ（JTAGおよびFINEインタフェース） • E20エミュレータ（JTAGインタフェース）

注1.　詳細は弊社営業窓口へお問い合わせください。

表1.2　RX63Nグループ、RX631グループパッケージ別機能比較一覧

機能		RX63Nグループ			RX631グループ					
パッケージ		177ピン 176ピン	145ピン 144ピン	100ピン	177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
外部バス	外部バス幅	32ビット	16ビット		32ビット	16ビット		無		
	SDRAMエリアコントローラ	有		無	有		無			
DMA	DMAコントローラ	ch0～3			ch0～3					
	EXDMAコントローラ	ch0,1			ch0,1			無		
	データトランスファコントローラ	有			有					
タイマ	16ビットタイマパルスユニット	ch0～11		ch0～5	ch0～11		ch0～5			
	マルチファンクション タイマパルスユニット2	ch0～5			ch0～5					
	ポートアウトプットイネーブル2	有			有					
	プログラマブルパルスジェネレータ	ch0,1			ch0,1					
	8ビットタイマ	ch0～3			ch0～3					
	コンペマッチタイマ	ch0～3			ch0～3					
	リアルタイムクロック	有			有					無
	ウォッチドッグタイマ	有			有					
	独立ウォッチドッグタイマ	有			有					
通信機能	イーサネットコントローラ	有			無					
	イーサネットコントローラ用 DMAコントローラ	有			無					
	USB2.0ホスト/ ファンクションモジュール	ch0,1	ch0		ch0,1	ch0			ch0,1	ch0
	シリアルコミュニケーション インタフェース（SCIc）	ch0～11		ch0～3, 5,6,8,9	ch0～11		ch0～3, 5,6,8,9	ch1,5,6,8,9		ch1,5,6,8
	シリアルコミュニケーション インタフェース（SCId）	ch12			ch12					
	I^2Cバスインタフェース	ch0～3		ch0,2	ch0～3		ch0,2	ch2		
	IEBus	有			有					
	シリアルペリフェラル インタフェース	ch0～2		ch0,1	ch0～2		ch0,1			
	CANモジュール	1.5M以上はch0～2、 1M以下はch0,1		ch0,1	1.5M以上はch0～2、 1M以下はch0,1		ch0,1	ch1		
	パラレルデータキャプチャユニット （PDC）	無			有			無		
12ビットA/Dコンバータ		AN000～020		AN000～ 013	AN000～020		AN000～ 013	AN000～004,006, 008～013		AN000～ 002,006, 009～012
10ビットA/Dコンバータ		AN0～7			AN0～7			無		
D/Aコンバータ		ch0,1		ch1	ch0,1		ch1	ch1		無
温度センサ		有			有					
CRC演算器		有			有					
オフボードプログラミング （パラレルライタモード）		有						無		
サブクロック発振器（低CL）		有						無		
サブクロック発振器（標準CL）		有								無
バッテリバックアップ機能		有								無
I/Oポート切り替え機能		無			無			有		

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3　製品一覧表 (1 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX63N	R5F563NECDLC	PTLG0177KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NEDDLC	PTLG0177KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDCDLC	PTLG0177KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDDDLC	PTLG0177KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBCDLC	PTLG0177KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBDDLC	PTLG0177KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NACDLC	PTLG0177KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NADDLC	PTLG0177KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NFHDFC	PLQP0176KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFDDFC	PLQP0176KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFGDFC	PLQP0176KB-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFCDFC	PLQP0176KB-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NKHDFC	PLQP0176KB-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKDDFC	PLQP0176KB-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKGDFC	PLQP0176KB-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKCDFC	PLQP0176KB-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NECDBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NEDDBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NECDFC	PLQP0176KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NEDDFC	PLQP0176KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NJHDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJDDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJGDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJCDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NGHDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGDDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGGDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGCDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NDCDBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDDDBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDCDFC	PLQP0176KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDDDFC	PLQP0176KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NYHDFC	PLQP0176KB-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYDDFC	PLQP0176KB-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYGDFC	PLQP0176KB-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYCDFC	PLQP0176KB-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NWHDFC	PLQP0176KB-A (注1)	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWDDFC	PLQP0176KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWGDFC	PLQP0176KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWCDFC	PLQP0176KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NBCDBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBDDBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz

表1.3　製品一覧表 (2 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX63N	R5F563NBCDFC	PLQP0176KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBDDFC	PLQP0176KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NACDBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NADDBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NACDFC	PLQP0176KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NADDFC	PLQP0176KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NECDLK	PTLG0145KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NEDDLK	PTLG0145KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDCDLK	PTLG0145KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDDDLK	PTLG0145KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBCDLK	PTLG0145KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBDDLK	PTLG0145KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NACDLK	PTLG0145KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NADDLK	PTLG0145KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NFHDFB	PLQP0144KA-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFDDFB	PLQP0144KA-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFGDFB	PLQP0144KA-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFCDFB	PLQP0144KA-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NKHDFB	PLQP0144KA-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKDDFB	PLQP0144KA-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKGDFB	PLQP0144KA-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKCDFB	PLQP0144KA-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NECDFB	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NEDDFB	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NJHDFB	PLQP0144KA-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJDDFB	PLQP0144KA-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJGDFB	PLQP0144KA-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJCDFB	PLQP0144KA-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NGHDFB	PLQP0144KA-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGDDFB	PLQP0144KA-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGGDFB	PLQP0144KA-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGCDFB	PLQP0144KA-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NDCDFB	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDDDFB	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NYHDFB	PLQP0144KA-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYDDFB	PLQP0144KA-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYGDFB	PLQP0144KA-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYCDFB	PLQP0144KA-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NWHDFB	PLQP0144KA-A (注1)	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWDDFB	PLQP0144KA-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWGDFB	PLQP0144KA-A (注1)	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWCDFB	PLQP0144KA-A (注1)	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NBCDFB	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBDDFB	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NACDFB	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz

表1.3　製品一覧表 (3 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX63N	R5F563NADDFB	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NFHDFP	PLQP0100KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFDDFP	PLQP0100KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFGDFP	PLQP0100KB-A（注1）	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NFCDFP	PLQP0100KB-A（注1）	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NKHDFP	PLQP0100KB-A（注1）	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKDDFP	PLQP0100KB-A（注1）	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKGDFP	PLQP0100KB-A（注1）	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NKCDFP	PLQP0100KB-A（注1）	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NECDLJ	PTLG0100JA-A（注1）	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NEDDLJ	PTLG0100JA-A（注1）	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NECDFP	PLQP0100KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NEDDFP	PLQP0100KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NJHDFP	PLQP0100KB-A（注1）	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJDDFP	PLQP0100KB-A（注1）	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJGDFP	PLQP0100KB-A（注1）	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NJCDFP	PLQP0100KB-A（注1）	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NGHDFP	PLQP0100KB-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGDDFP	PLQP0100KB-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGGDFP	PLQP0100KB-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NGCDFP	PLQP0100KB-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NDCDLJ	PTLG0100JA-A（注1）	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDDDLJ	PTLG0100JA-A（注1）	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDCDFP	PLQP0100KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NDDDFP	PLQP0100KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NYHDFP	PLQP0100KB-A（注1）	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYDDFP	PLQP0100KB-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYGDFP	PLQP0100KB-A（注1）	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NYCDFP	PLQP0100KB-A（注1）	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F563NWHDFP	PLQP0100KB-A（注1）	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWDDFP	PLQP0100KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWGDFP	PLQP0100KB-A（注1）	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NWCDFP	PLQP0100KB-A（注1）	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F563NBCDLJ	PTLG0100JA-A（注1）	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBDDLJ	PTLG0100JA-A（注1）	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBCDFP	PLQP0100KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NBDDFP	PLQP0100KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F563NACDLJ	PTLG0100JA-A（注1）	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NADDLJ	PTLG0100JA-A（注1）	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NACDFP	PLQP0100KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F563NADDFP	PLQP0100KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
RX631	R5F5631ECDLC	PTLG0177KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631EDDLC	PTLG0177KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DCDLC	PTLG0177KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DDDLC	PTLG0177KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz

表1.3　製品一覧表 (4 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX631	R5F5631BDDLC	PTLG0177KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BCDLC	PTLG0177KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ACDLC	PTLG0177KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ADDLC	PTLG0177KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318CDLC	PTLG0177KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318DDLC	PTLG0177KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317CDLC	PTLG0177KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317DDLC	PTLG0177KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316CDLC	PTLG0177KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316DDLC	PTLG0177KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631FHDFC	PLQP0176KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FDDFC	PLQP0176KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FGDFC	PLQP0176KB-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FCDFC	PLQP0176KB-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631KHDFC	PLQP0176KB-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KDDFC	PLQP0176KB-A	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KGDFC	PLQP0176KB-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KCDFC	PLQP0176KB-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631ECDBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631EDDBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ECDFC	PLQP0176KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631EDDFC	PLQP0176KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631JHDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JDDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JGDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JCDFC	PLQP0176KB-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631GHDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GDDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GGDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GCDFC	PLQP0176KB-A (注1)	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631DCDBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DDDBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DCDFC	PLQP0176KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DDDFC	PLQP0176KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631YHDFC	PLQP0176KB-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YDDFC	PLQP0176KB-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YGDFC	PLQP0176KB-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YCDFC	PLQP0176KB-A (注1)	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631WHDFC	PLQP0176KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WDDFC	PLQP0176KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WGDFC	PLQP0176KB-A (注1)	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WCDFC	PLQP0176KB-A (注1)	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631BCDBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BDDBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BCDFC	PLQP0176KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz

表1.3　製品一覧表 (5 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX631	R5F5631BDDFC	PLQP0176KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ACDBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ADDBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ACDFC	PLQP0176KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ADDFC	PLQP0176KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318CDBG	PLBG0176GA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318DDBG	PLBG0176GA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318CDFC	PLQP0176KB-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318DDFC	PLQP0176KB-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317CDBG	PLBG0176GA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317DDBG	PLBG0176GA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317CDFC	PLQP0176KB-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317DDFC	PLQP0176KB-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316CDBG	PLBG0176GA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316DDBG	PLBG0176GA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316CDFC	PLQP0176KB-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316DDFC	PLQP0176KB-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ECDLK	PTLG0145KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631EDDLK	PTLG0145KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DCDLK	PTLG0145KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DDDLK	PTLG0145KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BCDLK	PTLG0145KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BDDLK	PTLG0145KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ACDLK	PTLG0145KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ADDLK	PTLG0145KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318CDLK	PTLG0145KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318DDLK	PTLG0145KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317CDLK	PTLG0145KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317DDLK	PTLG0145KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316CDLK	PTLG0145KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316DDLK	PTLG0145KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631FHDFB	PLQP0144KA-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FDDFB	PLQP0144KA-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FGDFB	PLQP0144KA-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FCDFB	PLQP0144KA-A (注1)	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631KHDFB	PLQP0144KA-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KDDFB	PLQP0144KA-A	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KGDFB	PLQP0144KA-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KCDFB	PLQP0144KA-A (注1)	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631ECDFB	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631EDDFB	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631JHDFB	PLQP0144KA-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JDDFB	PLQP0144KA-A	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JGDFB	PLQP0144KA-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JCDFB	PLQP0144KA-A (注1)	1.5Mバイト	256Kバイト	32Kバイト	100MHz

表1.3　製品一覧表 (6 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX631	R5F5631GHDFB	PLQP0144KA-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GDDFB	PLQP0144KA-A	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GGDFB	PLQP0144KA-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GCDFB	PLQP0144KA-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631DCDFB	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DDDFB	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631YHDFB	PLQP0144KA-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YDDFB	PLQP0144KA-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YGDFB	PLQP0144KA-A（注1）	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YCDFB	PLQP0144KA-A（注1）	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631WHDFB	PLQP0144KA-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WDDFB	PLQP0144KA-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WGDFB	PLQP0144KA-A（注1）	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WCDFB	PLQP0144KA-A（注1）	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631BCDFB	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BDDFB	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ACDFB	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ADDFB	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318CDFB	PLQP0144KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318DDFB	PLQP0144KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316CDFB	PLQP0144KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316DDFB	PLQP0144KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317CDFB	PLQP0144KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317DDFB	PLQP0144KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631FHDFP	PLQP0100KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FDDFP	PLQP0100KB-A	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FGDFP	PLQP0100KB-A（注1）	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631FCDFP	PLQP0100KB-A（注1）	2Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631KHDFP	PLQP0100KB-A（注1）	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KDDFP	PLQP0100KB-A	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KGDFP	PLQP0100KB-A（注1）	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631KCDFP	PLQP0100KB-A（注1）	2Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631ECDLJ	PTLG0100JA-A（注1）	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631EDDLJ	PTLG0100JA-A（注1）	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ECDFP	PLQP0100KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631EDDFP	PLQP0100KB-A	2Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631JHDFP	PLQP0100KB-A（注1）	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JDDFP	PLQP0100KB-A	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JGDFP	PLQP0100KB-A（注1）	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631JCDFP	PLQP0100KB-A（注1）	1.5Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631GHDFP	PLQP0100KB-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GDDFP	PLQP0100KB-A	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GGDFP	PLQP0100KB-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631GCDFP	PLQP0100KB-A（注1）	1.5Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631DCDLJ	PTLG0100JA-A（注1）	1.5Mバイト	128Kバイト	32Kバイト	100MHz

表1.3　製品一覧表 (7 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX631	R5F5631DDDLJ	PTLG0100JA-A（注1）	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DCDFP	PLQP0100KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631DDDFP	PLQP0100KB-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631YHDFP	PLQP0100KB-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YDDFP	PLQP0100KB-A	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YGDFP	PLQP0100KB-A（注1）	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631YCDFP	PLQP0100KB-A（注1）	1Mバイト	256Kバイト	32Kバイト	100MHz
	R5F5631WHDFP	PLQP0100KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WDDFP	PLQP0100KB-A	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WGDFP	PLQP0100KB-A（注1）	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631WCDFP	PLQP0100KB-A（注1）	1Mバイト	192Kバイト	32Kバイト	100MHz
	R5F5631BCDLJ	PTLG0100JA-A（注1）	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BDDLJ	PTLG0100JA-A（注1）	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BCDFP	PLQP0100KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631BDDFP	PLQP0100KB-A	1Mバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ACDLJ	PTLG0100JA-A（注1）	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ADDLJ	PTLG0100JA-A（注1）	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ACDFP	PLQP0100KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631ADDFP	PLQP0100KB-A	768Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318CDLJ	PTLG0100JA-A（注1）	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318DDLJ	PTLG0100JA-A（注1）	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318CDFP	PLQP0100KB-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318DDFP	PLQP0100KB-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317CDLJ	PTLG0100JA-A（注1）	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317DDLJ	PTLG0100JA-A（注1）	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317CDFP	PLQP0100KB-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317DDFP	PLQP0100KB-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316CDLJ	PTLG0100JA-A（注1）	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316DDLJ	PTLG0100JA-A（注1）	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316CDFP	PLQP0100KB-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316DDFP	PLQP0100KB-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631PCDFM	PLQP0064KB-A	512Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631PDDFM	PLQP0064KB-A	512Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631NCDFM	PLQP0064KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631NDDFM	PLQP0064KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631MCDFM	PLQP0064KB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631MDDFM	PLQP0064KB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631PCDFL	PLQP0048KB-A	512Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631PDDFL	PLQP0048KB-A	512Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631NCDFL	PLQP0048KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631NDDFL	PLQP0048KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631MCDFL	PLQP0048KB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631MDDFL	PLQP0048KB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56318SDLC	PTLG0177KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317SDLC	PTLG0177KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz

表1.3　製品一覧表 (8 / 8)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データFlash	動作周波数(max)
RX631	R5F56316SDLC	PTLG0177KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318SDBG	PLBG0176GA-A（注1）	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317SDBG	PLBG0176GA-A（注1）	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316SDBG	PLBG0176GA-A（注1）	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318SDFC	PLQP0176KB-A（注1）	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317SDFC	PLQP0176KB-A（注1）	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316SDFC	PLQP0176KB-A（注1）	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318SDLK	PTLG0145KA-A	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317SDLK	PTLG0145KA-A	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316SDLK	PTLG0145KA-A	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56318SDFB	PLQP144KA-A（注1）	512Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56317SDFB	PLQP144KA-A（注1）	384Kバイト	128Kバイト	32Kバイト	100MHz
	R5F56316SDFB	PLQP144KA-A（注1）	256Kバイト	128Kバイト	32Kバイト	100MHz
	R5F5631PFDLH	PTLG0064JA-A	512Kバイト	64Kバイト	32Kバイト	100MHz
	R5F5631MFDLH	PTLG0064JA-A（注1）	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5S56310CDFC	PLQP0176KB-A	0バイト	128Kバイト	0バイト	100MHz

注1.　計画中

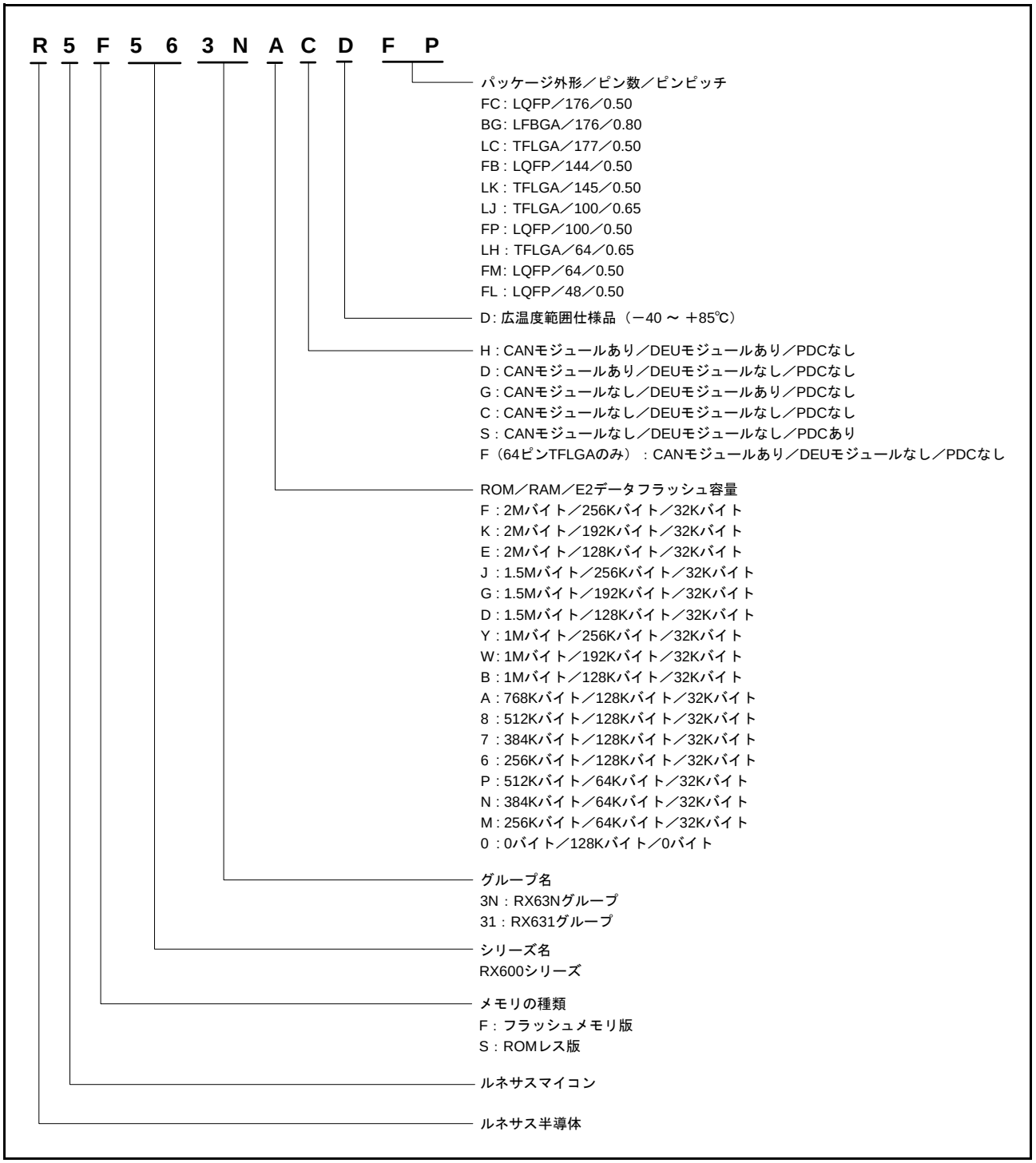
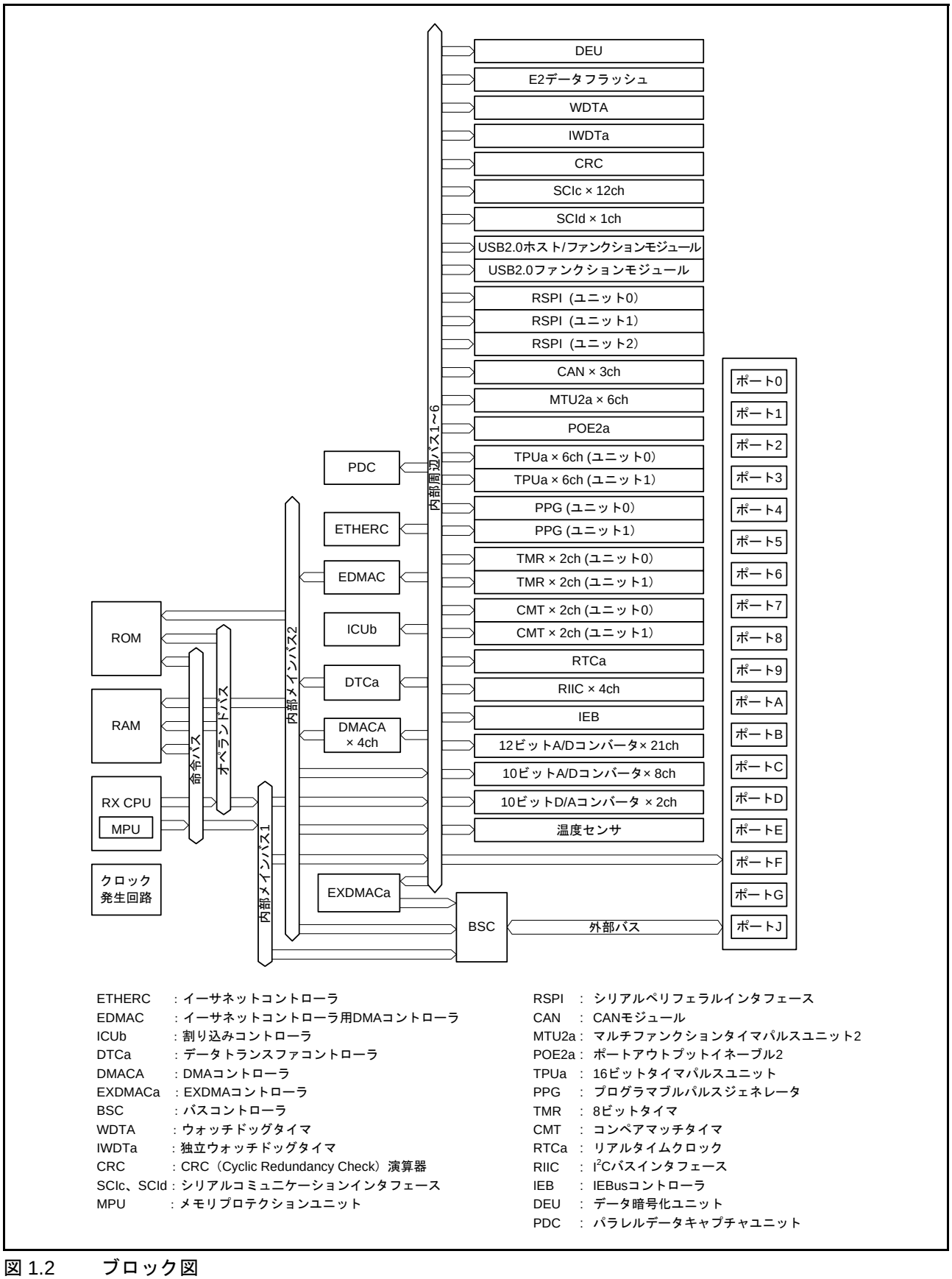


図 1.1　　型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。



ETHERC　：イーサネットコントローラ
EDMAC　：イーサネットコントローラ用DMAコントローラ
ICUb　：割り込みコントローラ
DTCa　：データトランスファコントローラ
DMACA　：DMAコントローラ
EXDMACa　：EXDMAコントローラ
BSC　：バスコントローラ
WDTA　：ウォッチドッグタイマ
IWDTa　：独立ウォッチドッグタイマ
CRC　：CRC（Cyclic Redundancy Check）演算器
SCIc、SCId：シリアルコミュニケーションインタフェース
MPU　：メモリプロテクションユニット

RSPI　：シリアルペリフェラルインタフェース
CAN　：CANモジュール
MTU2a：マルチファンクションタイマパルスユニット2
POE2a：ポートアウトプットイネーブル2
TPUa　：16ビットタイマパルスユニット
PPG　：プログラマブルパルスジェネレータ
TMR　：8ビットタイマ
CMT　：コンペアマッチタイマ
RTCa　：リアルタイムクロック
RIIC　：I^2Cバスインタフェース
IEB　：IEBusコントローラ
DEU　：データ暗号化ユニット
PDC　：パラレルデータキャプチャユニット

図 1.2　ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表1.4 端子機能一覧 (1 / 6)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源（0V）に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶発振子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM専用のクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶発振子を接続してください
	XCIN	入力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowとしてください
	BSCANP	入力	バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
オンチップエミュレータ	FINEC	入力	FINEインタフェース用クロック端子
	FINED	入出力	FINE インタフェース端子
	TRST#	入力	オンチップエミュレータ用またはバウンダリスキャン用端子。EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
	TRDATA0～TRDATA3	出力	トレース情報を出力します
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D31	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表1.4　端子機能一覧 (2 / 6)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストローブ信号
	WR#	出力	1ライトストローブモード時、外部バスインタフェース空間をライト中であることを示すストローブ信号
	WR0#～WR3#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中で、データバス（D7～D0、D15～D8、D23～D16、D31～D24）のいずれかが有効であることを示すストローブ信号
	BC0#～BC3#	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中で、データバス（D7～D0、D15～D8、D23～D16、D31～D24）のいずれかが有効であることを示すストローブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	CKE	出力	SDRAMクロックイネーブル信号
	SDCS#	出力	SDRAMチップセレクト信号
	RAS#	出力	SDRAMロウアドレスストローブ信号
	CAS#	出力	SDRAMカラムアドレスストローブ信号
	WE#	出力	SDRAMライトイネーブル端子
	DQM0～DQM3	出力	SDRAM入出力データマスクイネーブル信号
	CS0#～CS7#	出力	CS領域選択信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
EXDMAコントローラ	EDREQ0、EDREQ1	入力	外部DMA転送要求端子
	EDACK0、EDACK1	出力	シングルアドレス転送アクノリッジ信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ15	入力	割り込み要求端子
マルチファンクションタイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/デッドタイム補償機能の入力端子
	MTCLKA、MTCLKB MTCLKC、MTCLKD	入力	外部クロックを入力
ポートアウトプットイネーブル2	POE0#～POE3# POE8#	入力	MTU用の大電流端子をハイインピーダンス状態にする要求信号を入力

表1.4　端子機能一覧 (3 / 6)

分類	端子名	入出力	機能
16ビットタイマパルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	外部クロックを入力
	TIOCA6、TIOCB6 TIOCC6、TIOCD6	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA7、TIOCB7	入出力	TGRA7、TGRB7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA8、TIOCB8	入出力	TGRA8、TGRB8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA9、TIOCB9 TIOCC9、TIOCD9	入出力	TGRA9～TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA10、TIOCB10	入出力	TGRA10、TGRB10のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA11、TIOCB11	入出力	TGRA11、TGRB11のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKE、TCLKF TCLKG、TCLKH	入力	外部クロックを入力
プログラマブルパルスジェネレータ	PO0～PO31	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCI0～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
シリアルコミュニケーションインタフェース（SCIc）	• 調歩同期式モード/クロック同期式モード		
	SCK0～SCK11	入出力	クロック入出力端子
	RXD0～RXD11	入力	受信データ入力端子
	TXD0～TXD11	出力	送信データ出力端子
	CTS0#～CTS11#	入力	送受信開始制御用入力端子
	RTS0#～RTS11#	出力	送受信開始制御用出力端子
	• 簡易I^2Cモード		
	SSCL0～SSCL11	入出力	I^2Cクロック入出力端子
	SSDA0～SSDA11	入出力	I^2Cデータ入出力端子
	• 簡易SPIモード		
	SCK0～SCK11	入出力	クロック入出力端子
	SMISO0～SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI0～SMOSI11	入出力	マスタ送出データ入出力端子
	SS0#～SS11#	入力	チップセレクト入力端子

表1.4　端子機能一覧 (4 / 6)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース（SCId）	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I2Cモード		
	SSCL12	入出力	I2Cクロック入出力端子
	SSDA12	入出力	I2Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子
I2Cバスインタフェース	SCL0[FM+]、SCL1～SCL3	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0[FM+]、SDA1～SDA3	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
イーサネットコントローラ	REF50CK	入力	50MHz基準クロック。RMIIモード時の送受信信号タイミング参照信号
	RMII_CRS_DV	入力	RMIIモード時、キャリア検出信号。有効な受信データがRMII_RXD1～0上にあることを示す信号
	RMII_TXD0、RMII_TXD1	出力	RMIIモード時、2ビットの送信データ
	RMII_RXD0、RMII_RXD1	入力	RMIIモード時、2ビットの受信データ
	RMII_TXD_EN	出力	RMIIモード時、データ送信イネーブル信号
	RMII_RX_ER	入力	RMIIモード時、データ受信中にエラーが発生したことを示す信号
	ET_CRS	入力	キャリア検出/受信データ有効端子
	ET_RX_DV	入力	有効な受信データがET_ERXD3～0上にあることを示す信号
	ET_EXOUT	出力	汎用外部出力端子
	ET_LINKSTA	入力	PHY-LSIからのリンク状態を入力
	ET_ETXD0～ET_ETXD3	出力	MIIの4ビット送信データ
	ET_ERXD0～ET_ERXD3	入力	MIIの4ビット受信データ
	ET_TX_EN	出力	送信許可端子。ET_ETXD3～0上に送信データが準備できたことを示す信号
	ET_TX_ER	出力	送信エラー端子。送信中のエラーをPHY-LSIに通知する信号
	ET_RX_ER	入力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号
	ET_TX_CLK	入力	送信クロック端子。ET_TX_EN、ET_ETXD3～0、ET_TX_ERのタイミング参照信号
	ET_RX_CLK	入力	受信クロック端子。ET_RX_DV、ET_ERXD3～0、ET_RX_ERのタイミング参照信号
	ET_COL	入力	衝突検出信号
	ET_WOL	出力	Magic Packet受信を示す信号
	ET_MDC	出力	ET_MDIOによる情報転送用の参照クロック信号
	ET_MDIO	入出力	RX63NグループとPHY-LSIとの間で管理情報を交換するための双方向信号
パラレルデータキャプチャユニット（PDC）	PIXCLK	入力	パラレルデータ転送クロック
	VSYNC	入力	垂直同期信号
	HSYNC	入力	水平同期信号
	PIXD7～PIXD0	入力	8ビットデータ
	PCKO	出力	パラレルデータ転送クロック出力

表1.4　端子機能一覧 (5 / 6)

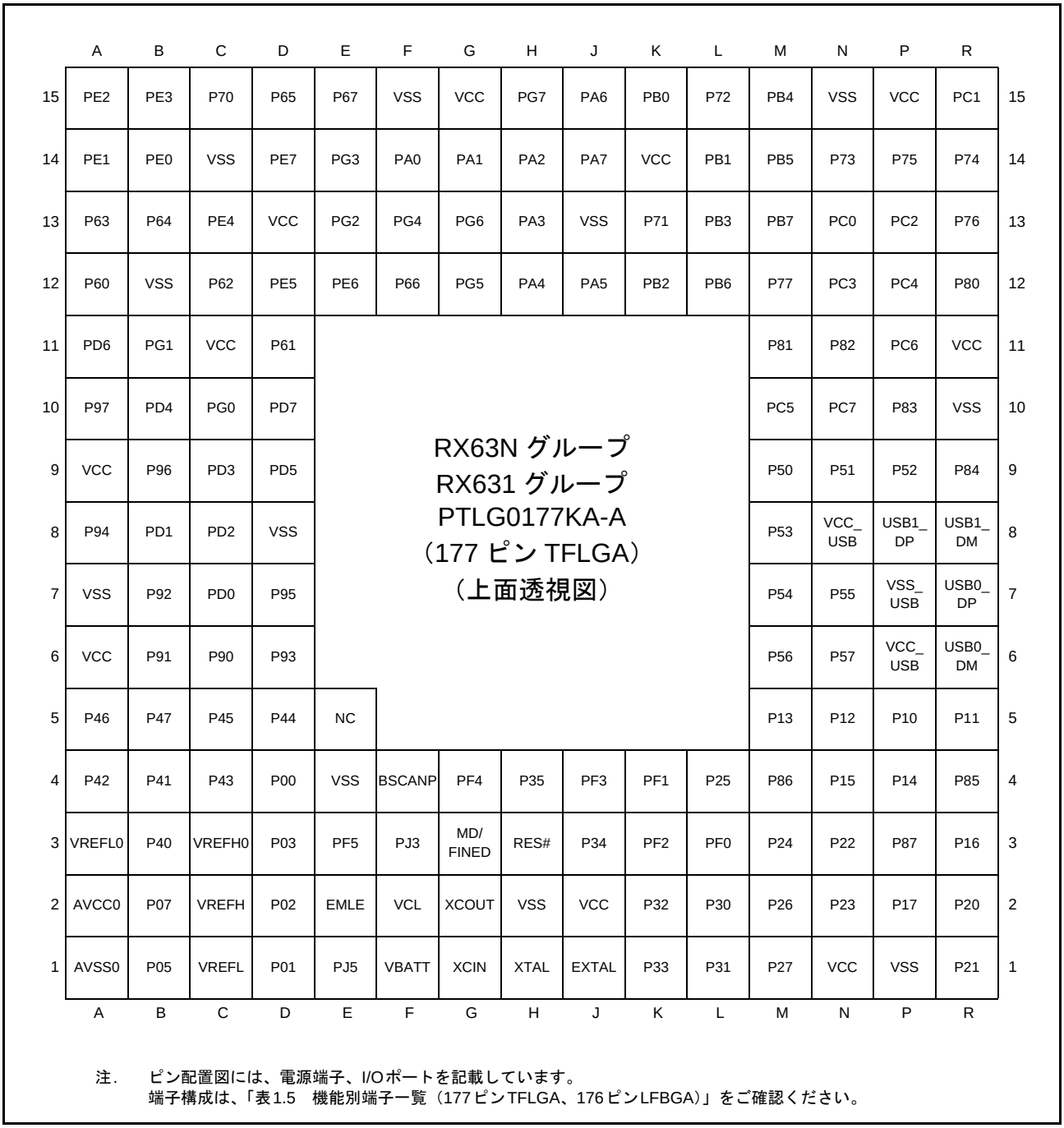
分類	端子名	入出力	機能
USB2.0ホスト/ ファンクションモジュール	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB0_DP、USB1_DP	入出力	USB内蔵トランシーバD+入出力端子
	USB0_DM、USB1_DM	入出力	USB内蔵トランシーバD-入出力端子
	USB0_VBUS、USB1_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS（5V）の供給許可信号
	USB0_OVRCURA、 USB0_OVRCURB、	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
	USB0_DPUPE、 USB1_DPUPE	出力	ファンクション動作時のD+信号のプルアップ制御端子
	USB0_DPRPD	出力	ホスト動作時のD+信号のプルダウン制御端子
	USB0_DRPD	出力	ホスト動作時のD-信号のプルダウン制御端子
CANモジュール	CRX0～CRX2	入力	入力端子
	CTX0～CTX2	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA、RSPCKB RSPCKC	入出力	クロック入出力端子
	MOSIA、MOSIB、MOSIC	入出力	マスタ送出データ入出力端子
	MISOA、MISOB、MISOC	入出力	スレーブ送出データ入出力端子
	SSLA0、SSLB0、SSLC0	入出力	スレーブセレクト入出力端子
	SSLA1～SSLA3 SSLB1～SSLB3 SSLC1～SSLC3	出力	スレーブセレクト出力端子
IEBusコントローラ	IERXD	入力	受信データ入力端子
	IETXD	出力	送信データ出力端子
リアルタイムクロック	RTCOUT	出力	1Hzのクロック出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
12ビットA/Dコンバータ	AN000～AN020	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
10ビットA/Dコンバータ	AN0～AN7	入力	A/Dコンバータのアナログ入力端子
	ANEX0	出力	拡張アナログ出力端子
	ANEX1	入力	拡張アナログ入力端子
	ADTRG#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子。12ビットA/D コンバータを使用しない場合は、VSSに接続してください
	VREFH	入力	10ビットA/D コンバータとD/A コンバータの基準電圧入力端子。それぞれのモジュールのアナログ電源としても使用します。10ビットA/D コンバータもD/A コンバータも使用しない場合は、VCCに接続してください
	VREFL	入力	10ビットA/D コンバータとD/Aコンバータの基準電圧入力端子。それぞれのモジュールのアナロググランドとしても使用します。VSS端子と同電位にしてください

表1.4　端子機能一覧 (6 / 6)

分類	端子名	入出力	機能
I/Oポート	P00～P03、P05、P07	入出力	6ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子（P35は入力端子）
	P40～P47	入出力	8ビットの入出力端子
	P50～P57	入出力	8ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P87	入出力	8ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF0～PF5	入出力	6ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
	PJ3、PJ5	入出力	2ビットの入出力端子

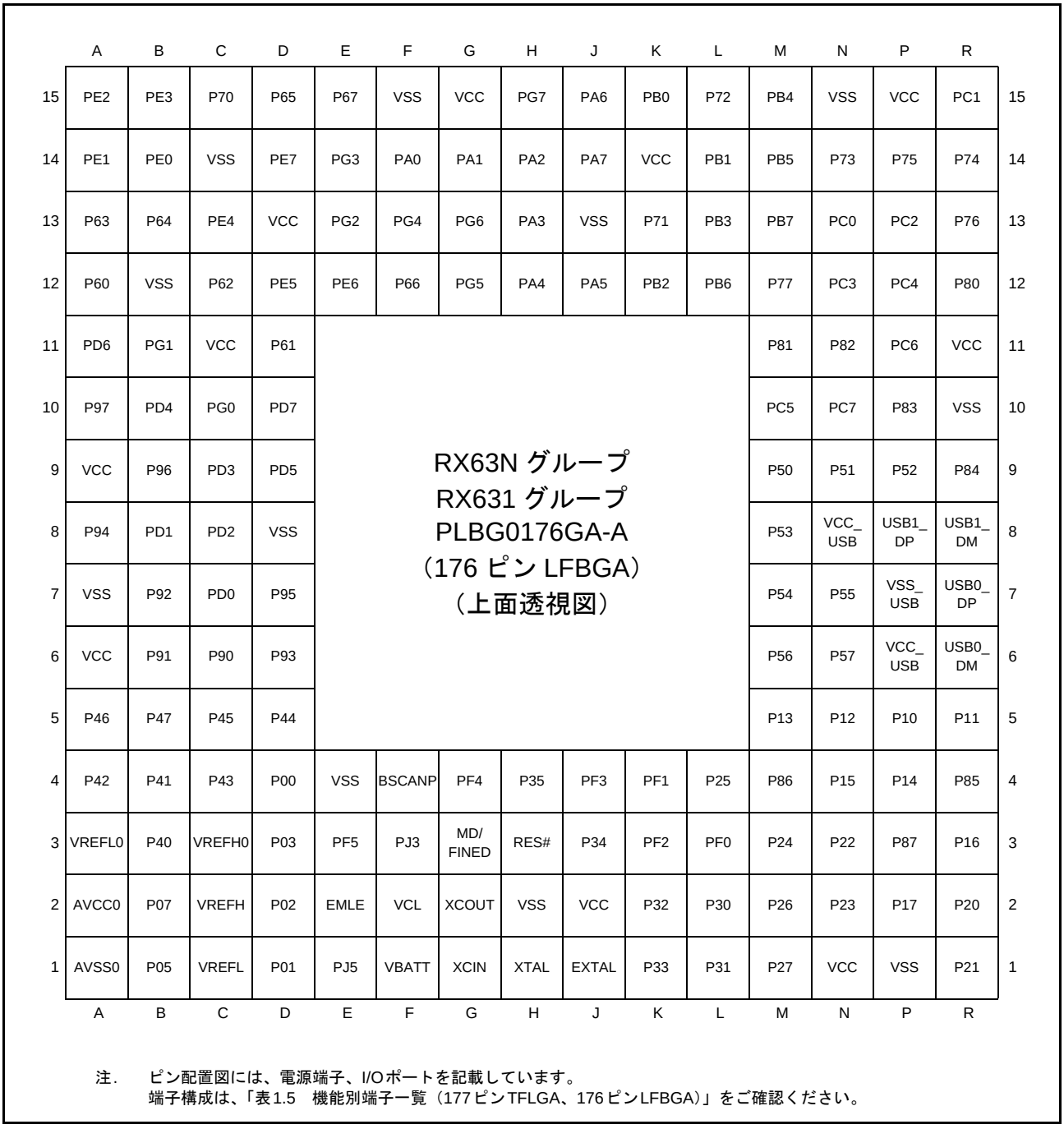
1.5　ピン配置図

図 1.3 ～図 1.9 にピン配置図を示します。ピン配置図には、電源端子、I/O ポートを記載しています。また、表 1.5 ～表 1.10 に機能別端子一覧を示します。



注.　ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）」をご確認ください。

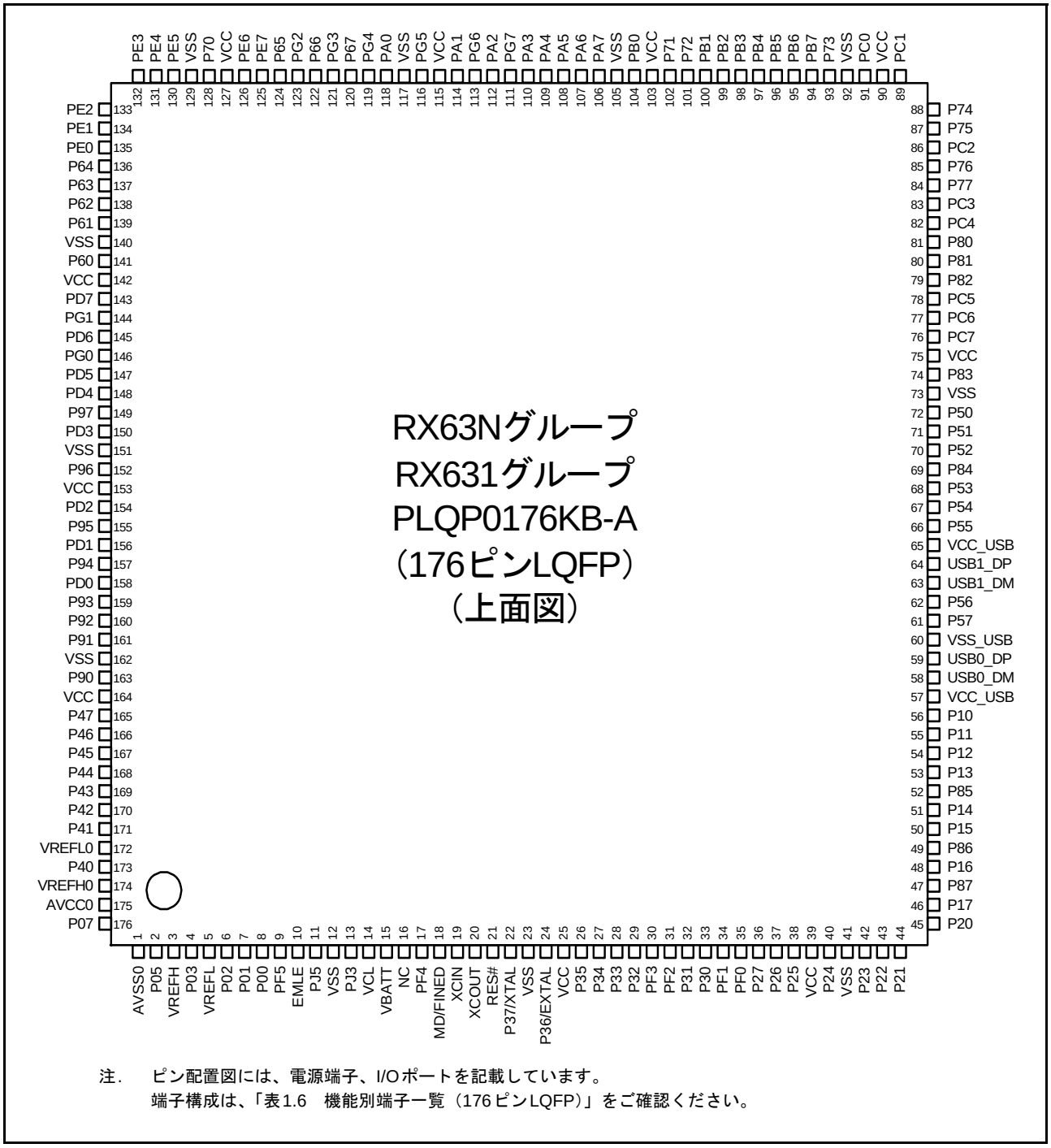
図 1.3　ピン配置図（177 ピン TFLGA）



	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	VSS	VCC	PC1	15
14	PE1	PE0	VSS	PE7	PG3	PA0	PA1	PA2	PA7	VCC	PB1	PB5	P73	P75	P74	14
13	P63	P64	PE4	VCC	PG2	PG4	PG6	PA3	VSS	P71	PB3	PB7	PC0	PC2	P76	13
12	P60	VSS	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12
11	PD6	PG1	VCC	P61								P81	P82	PC6	VCC	11
10	P97	PD4	PG0	PD7								PC5	PC7	P83	VSS	10
9	VCC	P96	PD3	PD5								P50	P51	P52	P84	9
8	P94	PD1	PD2	VSS								P53	VCC_ USB	USB1_ DP	USB1_ DM	8
7	VSS	P92	PD0	P95								P54	P55	VSS_ USB	USB0_ DP	7
6	VCC	P91	P90	P93								P56	P57	VCC_ USB	USB0_ DM	6
5	P46	P47	P45	P44								P13	P12	P10	P11	5
4	P42	P41	P43	P00	VSS	BSCANP	PF4	P35	PF3	PF1	P25	P86	P15	P14	P85	4
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD/ FINED	RES#	P34	PF2	PF0	P24	P22	P87	P16	3
2	AVCC0	P07	VREFH	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2
1	AVSS0	P05	VREFL	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	VCC	VSS	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

注.　ピン配置図には、電源端子、I/O ポートを記載しています。
端子構成は、「表 1.5　機能別端子一覧（177 ピン TFLGA、176 ピン LFBGA）」をご確認ください。

図 1.4　　ピン配置図（176 ピン LFBGA）



注.　ピン配置図には、電源端子、I/Oポートを記載しています。
　　端子構成は、「表1.6　機能別端子一覧（176ピンLQFP）」をご確認ください。

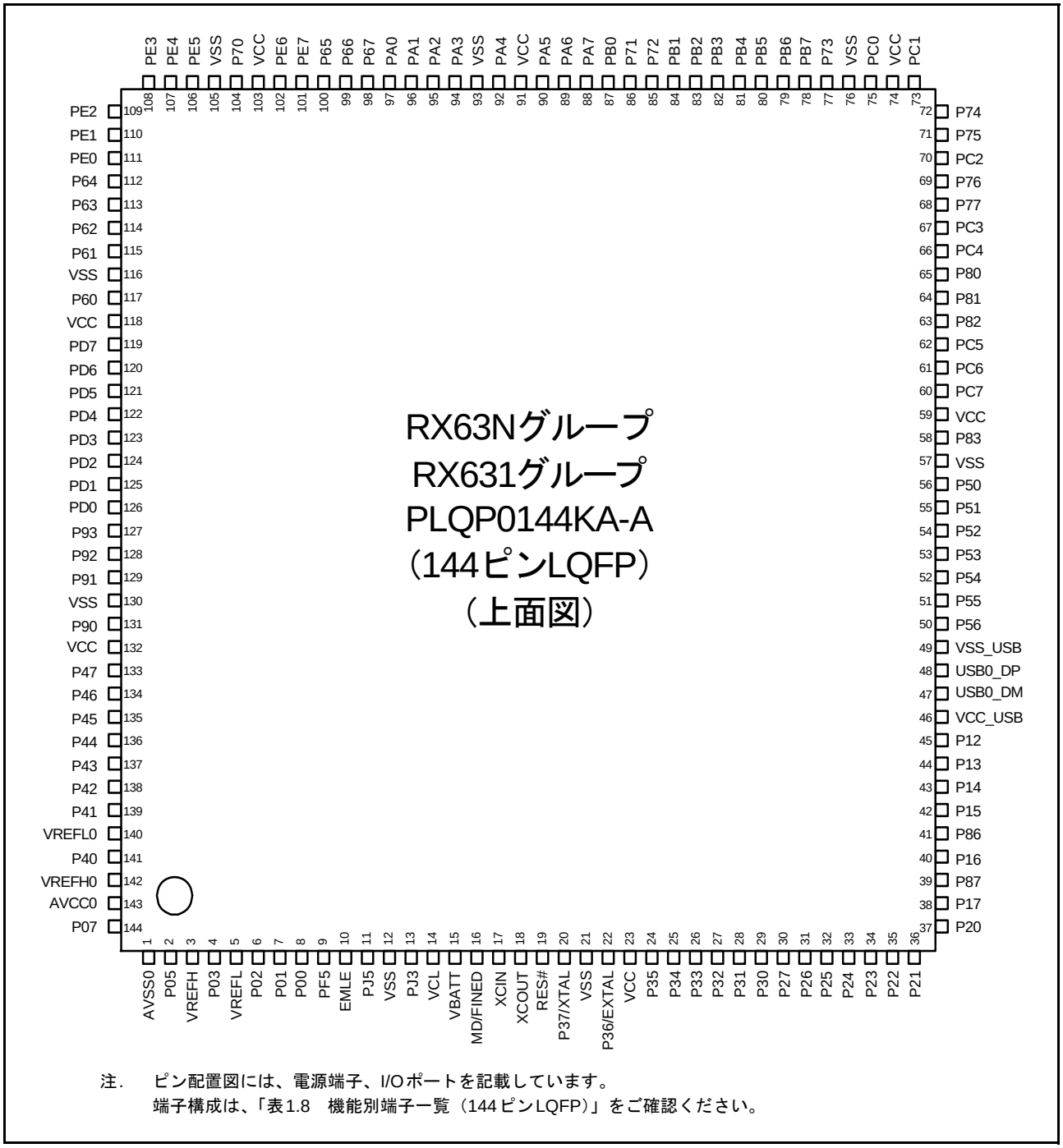
図 1.5　　ピン配置図（176 ピン LQFP）

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	PE3	PE4	VSS	PE6	P67	PA2	PA4	PA7	PB1	PB5	VSS	VCC	P74	13
12	PE1	PE2	P70	PE5	P65	PA1	VCC	PB0	PB2	PB6	P73	PC1	P75	12
11	P62	P61	PE0	VCC	P66	VSS	PA6	P71	PB4	PB7	PC2	PC0	PC3	11
10	VSS	VCC	P63	PE7	PA0	PA3	PA5	P72	PB3	P76	PC4	P77	P82	10
9	PD6	PD4	PD7	P64						P80	PC5	P81	PC7	9
8	PD2	PD0	PD3	P60						VCC	P83	PC6	VSS	8
7	P92	P91	PD1	PD5						P51	P52	P50	P55	7
6	P90	P47	VSS	P93						P53	P56	VSS_ USB	USB0_ DP	6
5	P45	P43	P46	VCC	P44					P54	P13	VCC_ USB	USB0_ DM	5
4	P42	VREFL0	P41	P01	EMLE	VBATT	BSCANP	P35	P30	P15	P24	P12	P14	4
3	P40	P05	VREFH0	P03	PJ5	PJ3	MD/ FINED	VSS	P32	P31	P16	P86	P87	3
2	P07	AVCC0	P02	PF5	VCL	XCOUT	RES#	VCC	P33	P26	P23	P17	P20	2
1	AVSS0	VREFH	VREFL	P00	VSS	XCIN	XTAL	EXTAL	P34	P27	P25	P22	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

RX63N グループ
RX631 グループ
PTLG0145KA-A
（145 ピン TFLGA）
（上面透視図）

注.　ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.7　機能別端子一覧（145ピンTFLGA）」をご確認ください。

図 1.6　　ピン配置図（145 ピン TFLGA）



注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.8 機能別端子一覧（144ピンLQFP）」をご確認ください。

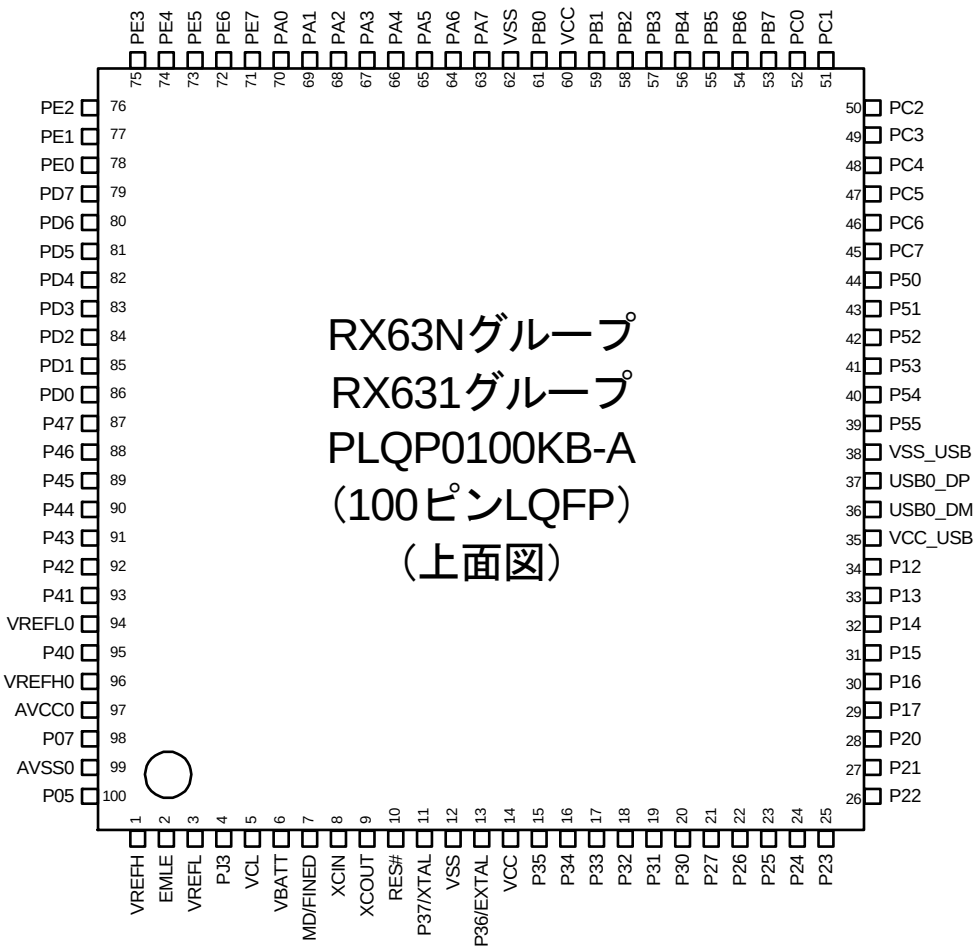
図 1.7 ピン配置図（144 ピン LQFP）

RX63N グループ、RX631 グループ
PTLG0100JA-A（100 ピン TFLGA）
（上面図）

	A	B	C	D	E	F	G	H	J	K	
10	PE2	PE3	PE4	PA0	PA3	VSS	VCC	PB7	PC1	PC2	10
9	PE1	PD7	PE5	PA1	PA5	PA7	PB1	PB6	PC0	PC3	9
8	PE0	PD6	PD5	PE7	PA4	PB0	PB4	PC6	PC4	PC5	8
7	PD4	PD3	PD2	PE6	PA6	PB2	PB5	PC7	P50	P51	7
6	PD0	PD1	P47	P46	PA2	PB3	P52	P54	VCC_ USB	USB0_ DP	6
5	P43	P44	P42	P45	P41	P12	P53	P55	VSS_ USB	USB0_ DM	5
4	VREFL0	P40	VREFH0	VBATT	P34	P32	P27	P15	P13	P14	4
3	P07	AVCC0	PJ3	MD/ FINED	RES#	P35	P30	P16	P17	P20	3
2	VREFH	AVSS0	VREFL	XCOUT	VSS	VCC	P31	P25	P21	P22	2
1	P05	EMLE	VCL	XCIN	XTAL	EXTAL	P33	P26	P24	P23	1
	A	B	C	D	E	F	G	H	J	K	

注.　ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.9　機能別端子一覧（100ピンTFLGA）」をご確認ください。

図 1.8　　ピン配置図（100 ピン TFLGA）



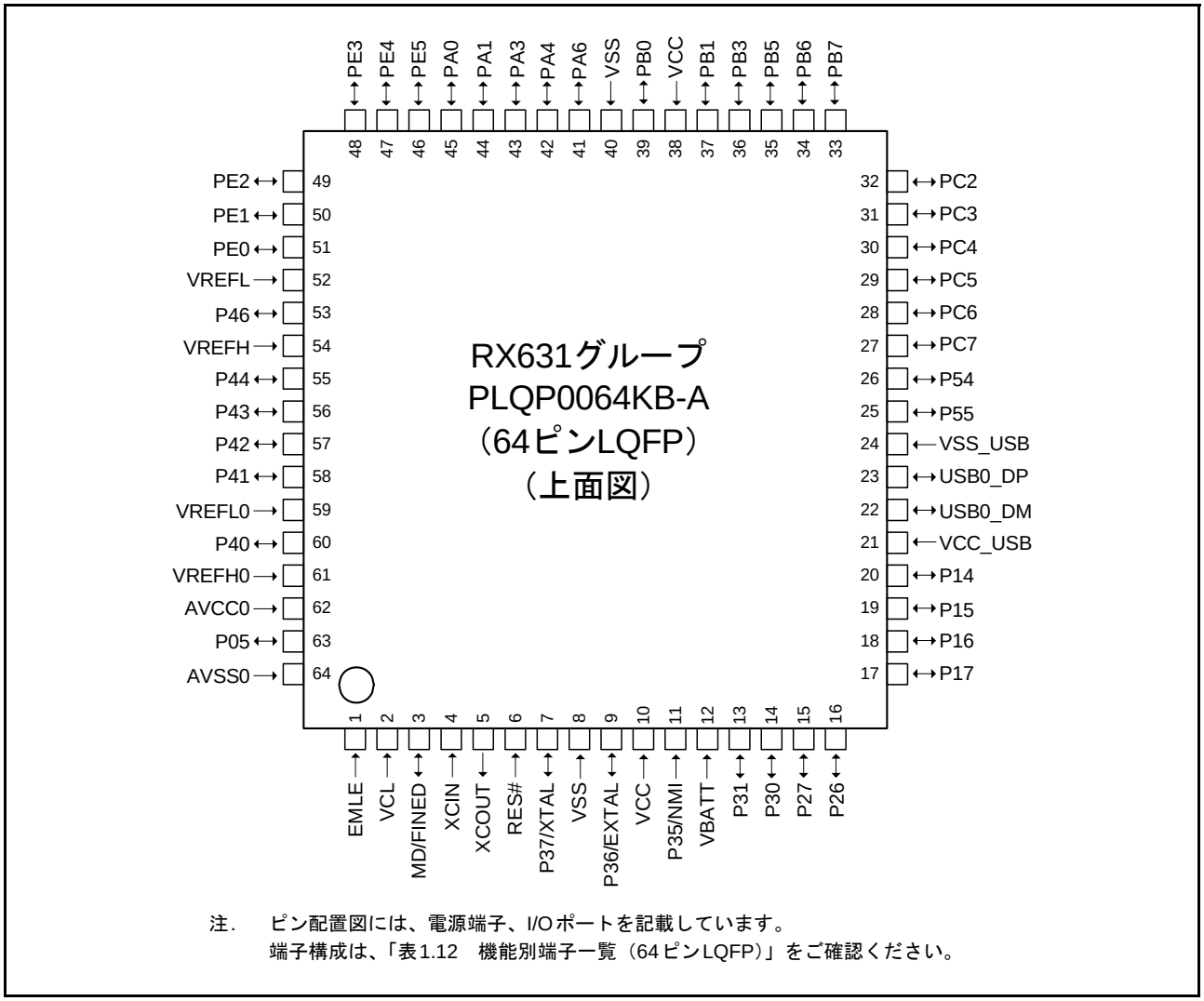
注.　ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.10　機能別端子一覧（100ピンLQFP）」をご確認ください。

図 1.9　　ピン配置図（100 ピン LQFP）

RX631 グループ
PTLG0064JA-A（64 ピン TFLGA）
（上面透視図）

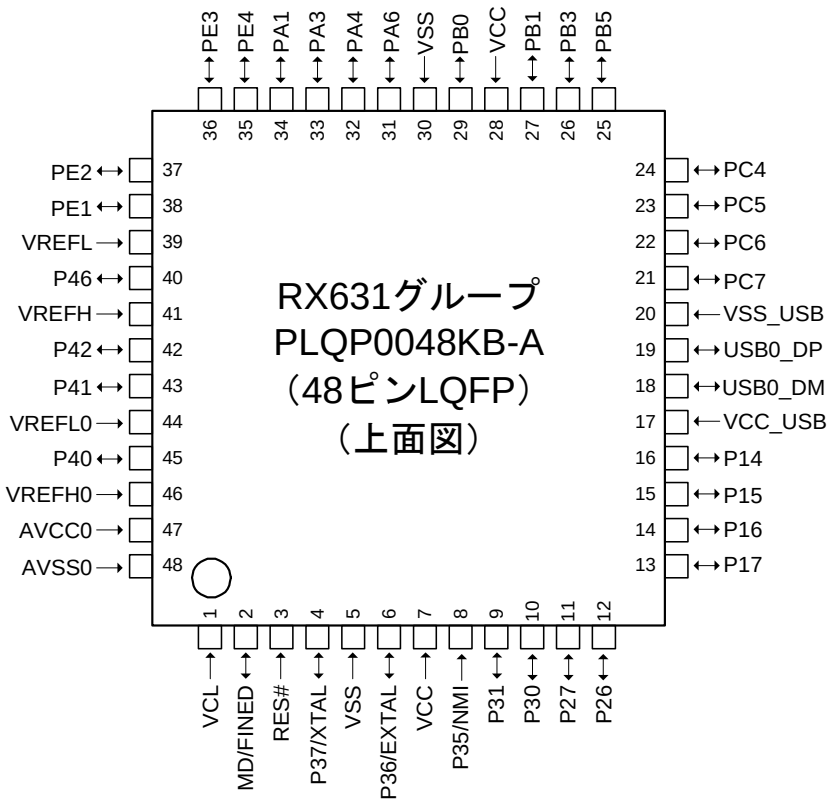
	A	B	C	D	E	F	G	H	
8	PE3	PE4	PA0	PA3	PB0	PB3	PB6	PB7	8
7	PE2	PE1	PE5	PA1	VSS	PB5	PC3	PC2	7
6	VREFL	P46	PE0	PA4	VCC	PB1	PC6	USB1_DP	6
5	VREFH	P44	P43	PA6	PC4	P15	VCC_USB	USB1_DM	5
4	VREFL0	P42	P41	P14	P16	PC5	VSS_USB	USB0_DP	4
3	VREFH0	P40	EMLE	P27	P30	P31	VCC_USB	USB0_DM	3
2	AVCC0	AVSS0	MD/FINED	RES#	VBATT	P35	P26	P17	2
1	P05	VCL	XCIN	XCOUT	VSS	VCC	EXTAL	XTAL	1
	A	B	C	D	E	F	G	H	

図 1.10　　ピン配置図（64 ピン TFLGA）



注.　ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、「表1.12　機能別端子一覧（64ピンLQFP）」をご確認ください。

図 1.11　　ピン配置図（64 ピン LQFP）



注.　ピン配置図には、電源端子、I/Oポートを記載しています。
　　端子構成は、「表1.13　機能別端子一覧（48ピンLQFP）」をご確認ください。

図 1.12　　ピン配置図（48 ピン LQFP）

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(1 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
A1	AVSS0						
A2	AVCC0						
A3	VREFL0						
A4		P42				IRQ10-DS	AN002
A5		P46				IRQ14-DS	AN006
A6	VCC						
A7	VSS						
A8		P94	A20/D20				
A9	VCC						
A10		P97	A23/D23				
A11		PD6	D6[A6/D6]	MTIC5V/ POE1#	SSLC2	IRQ6	AN6
A12		P60	CS0#				
A13		P63	CS3#/CAS#				
A14		PE1	D9[A9/D9]	MTIOC4C/ TIOCD9/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/ RSPCKB		ANEX1
A15		PE2	D10[A10/D10]	MTIOC4A/ TIOCA9/PO23	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN0
B1		P05				IRQ13	DA1
B2		P07				IRQ15	ADTRG0#
B3		P40				IRQ8-DS	AN000
B4		P41				IRQ9-DS	AN001
B5		P47				IRQ15-DS	AN007
B6		P91	A17/D17		SCK7		AN015
B7		P92	A18/D18		RXD7/SMISO7/ SSCL7		AN016
B8		PD1	D1[A1/D1]	MTIOC4B/ TIOCB7/ TCLKG	MOSIC/CTX0	IRQ1	AN009
B9		P96	A22/D22				
B10		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
B11		PG1	D25				
B12	VSS						
B13		P64	CS4#/WE#				
B14		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
B15		PE3	D11[A11/D11]	MTIOC4B/ TIOCB9/PO26/ POE8#	ET_ERXD3/ CTS12#/RTS12#/ SS12#/MISOB		AN1
C1	VREFL						
C2	VREFH						
C3	VREFH0						
C4		P43				IRQ11-DS	AN003
C5		P45				IRQ13-DS	AN005

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(2 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
C6		P90	A16/D16		TXD7/SMOSI7/SSDA7		AN014
C7		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
C8		PD2	D2[A2/D2]	MTIOC4D/TIOCA8	MISOC/CRX0	IRQ2	AN010
C9		PD3	D3[A3/D3]	TIOCB8/TCLKH/POE8#	RSPCKC	IRQ3	AN011
C10		PG0	D24				
C11	VCC						
C12		P62	CS2#/RAS#				
C13		PE4	D12[A12/D12]	MTIOC4D/MTIOC1A/TIOCA10/PO28	ET_ERXD2/SSLB0		AN2
C14	VSS						
C15		P70	SDCLK				
D1		P01		TMCI0	RXD6/SMISO6/SSCL6	IRQ9	AN019
D2		P02		TMCI1	SCK6	IRQ10	AN020
D3		P03				IRQ11	DA0
D4		P00		TMRI0	TXD6/SMOSI6/SSDA6	IRQ8	AN018
D5		P44				IRQ12-DS	AN004
D6		P93	A19/D19		CTS7#/RTS7#/SS7#		AN017
D7		P95	A21/D21				
D8	VSS						
D9		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
D10		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
D11		P61	CS1#/SDCS#				
D12		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/TIOCB10	ET_RX_CLK/REF50CK/RSPCKB	IRQ5	AN3
D13	VCC						
D14		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
D15		P65	CS5#/CKE				
E1		PJ5					
E2	EMLE						
E3		PF5				IRQ4	
E4	VSS						
E5（注1）	NC						
E12		PE6	D14[A14/D14]	TIOCA11	MOSIB	IRQ6	AN4
E13	TRDATA0	PG2	D26				
E14	TRDATA1	PG3	D27				
E15		P67	CS7#/DQM1		CRX2（注3）	IRQ15	
F1	VBATT						

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(3 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
F2	VCL						
F3		PJ3		MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		
F4	BSCANP						
F12		P66	CS6#/DQM0		CTX2（注3）		
F13	TRSYNC	PG4	D28				
F14		PA0	A0/BC0#/ DQM2	MTIOC4A/ TIOCA0/PO16	ET_TX_EN/ RMII_TXD_EN/ SSLA1		
F15	VSS						
G1	XCIN						
G2	XCOUT						
G3	MD/FINED						
G4	TRST#	PF4					
G12	TRCLK	PG5	D29				
G13	TRDATA2	PG6	D30				
G14		PA1	A1/DQM3	MTIOC0B/ MTCLKC/ TIOCB0/PO17	ET_WOL/SCK5/ SSLA2	IRQ11	
G15	VCC						
H1	XTAL	P37					
H2	VSS						
H3	RES#						
H4		P35				NMI	
H12		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	ET_MDC/TXD5/ SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
H13		PA3	A3	MTIOC0D/ MTCLKD/ TIOCD0/ TCLKB/PO19	ET_MDIO/RXD5/ SMISO5/SSCL5	IRQ6-DS	
H14		PA2	A2	PO18	RXD5/SMISO5/ SSCL5/SSLA3		
H15	TRDATA3	PG7	D31				
J1	EXTAL	P36					
J2	VCC						
J3		P34		MTIOC0A/ TMCI3/PO12/ POE2#	SCK6/SCK0/ USB0_DPRPD	IRQ4	
J4	TMS	PF3					
J12		PA5	A5	TIOCB1/PO21	ET_LINKSTA/ RSPCKA		
J13	VSS						
J14		PA7	A7	TIOCB2/PO23	ET_WOL/MISOA		

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(4 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
J15		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE2#	ET_EXOUT/CTS5#/ RTS5#/SS5#/MOSIA		
K1		P33		MTIOC0D/ TIOCD0/ TMRI3/PO11/ POE3#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0/PCKO	IRQ3-DS	
K2		P32		MTIOC0C/ TIOCC0/TMO3/ PO10/ RTCOUT/ RTCIC2	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN/ VSYNC	IRQ2-DS	
K3	TDI	PF2			RXD1/SMISO1/ SSCL1		
K4	TCK/FINEC	PF1			SCK1		
K12		PB2	A10	TIOCC3/ TCLKC/PO26	ET_RX_CLK/ REF50CK/CTS4#/ RTS4#/CTS6#/ RTS6#/SS4#/SS6#		
K13		P71	CS1#		ET_MDIO		
K14	VCC						
K15		PB0	A8	MTIC5W/ TIOCA3/PO24	ET_ERXD1/ RMII_RXD1/RXD4/ RXD6/SMISO4/ SMISO6/SSCL4/ SSCL6/RSPCKA	IRQ12	
L1		P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0/ USB0_DPUPE	IRQ1-DS	
L2		P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB/ USB0_DRPD	IRQ0-DS	
L3	TDO	PF0			TXD1/SMOSI1/ SSDA1		
L4		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ USB0_DPRPD/ HSYNC		ADTRG0#
L12		PB6	A14	MTIOC3D/ TIOCA5/PO30	ET_ETXD1/ RMII_TXD1/RXD9/ SMISO9/SSCL9		
L13		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/TMO0/ PO27/POE3#	ET_RX_ER/ RMII_RX_ER/SCK4/ SCK6		
L14		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	ET_ERXD0/ RMII_RXD0/TXD4/ TXD6/SMOSI4/ SMOSI6/SSDA4/ SSDA6	IRQ4-DS	

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(5 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
L15		P72	CS2#		ET_MDC		
M1		P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB		
M2		P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/RTS3# SMOSI1/SS3#/ SSDA1/MOSIB		
M3		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN/ PIXCLK		
M4		P86		TIOCA0	PIXD1		
M5		P13		MTIOC0B/ TIOCA5/TMO3/ PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]	IRQ3	ADTRG#
M6		P56	WR2#/BC2#/ EDACK1	MTIOC3C/ TIOCA1			
M7		P54	ALE/EDACK0	MTIOC4B/ TMCI1	ET_LINKSTA/ CTS2#/RTS2#/ SS2#/CTX1		
M8	BCLK	P53（注2）					
M9		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1		
M10		PC5	A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TIOCD6/ TCLKF/TMRI2/ PO29	ET_ETXD2/SCK8/ RSPCKA		
M11		P81	EDACK0	MTIOC3D/ PO27	ET_ETXD0/ RMII_TXD0/RXD10/ SMISO10/SSCL10		
M12		P77	CS7#	PO23	ET_RX_ER/ RMII_RX_ER/ TXD11/SMOSI11/ SSDA11		
M13		PB7	A15	MTIOC3B/ TIOCB5/PO31	ET_CRS/ RMII_CRS_DV/ TXD9/SMOSI9/ SSDA9		
M14		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE1#	ET_ETXD0/ RMII_TXD0/SCK9		
M15		PB4	A12	TIOCA4/PO28	ET_TX_EN/ RMII_TXD_EN/ CTS9#/RTS9#/SS9#		
N1	VCC						
N2		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ USB0_DPUPE/ PIXD7		

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(6 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
N3		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/TMO0/ PO2	SCK0/USB0_DRPD/ PIXD6		
N4		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/TMCI2/ PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/ USB1_DPUPE/ PIXD0	IRQ5	
N5		P12		MTIC5U/TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]	IRQ2	
N6		P57	WAIT#/WR3#/ BC3#/ EDREQ1				
N7		P55	WAIT#/ EDREQ0	MTIOC4D/ TMO3	ET_EXOUT/CRX1	IRQ10	
N8	VCC_USB						
N9		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
N10		PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TIOCB6/TMO2/ PO31	ET_COL/TXD8/ SMOSI8/SSDA8/ MISOA	IRQ14	
N11		P82	EDREQ1	MTIOC4A/ PO28	ET_ETXD1/ RMII_TXD1/TXD10/ SMOSI10/SSDA10		
N12		PC3	A19	MTIOC4D/ TCLKB/PO24	ET_TX_ER/TXD5/ SMOSI5/SSDA5/ IETXD		
N13		PC0	A16	MTIOC3C/ TCLKC/PO17	ET_ERXD3/CTS5#/ RTS5#/SS5#/ SSLA1/SCL3	IRQ14	
N14		P73	CS3#	PO16	ET_WOL		
N15	VSS						
P1	VSS						
P2		P17		MTIOC3A/ MTIOC3B/ TIOCB0/ TCLKD/TMO1/ PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ MISOA/SDA2-DS/ IETXD/ USB1_VBUS/PIXD3	IRQ7	ADTRG#
P3		P87		TIOCA2	PIXD2		
P4		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/TMRI2/ PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4	
P5		P10		MTIC5W/ TMRI3		IRQ0	
P6	VCC_USB						
P7	VSS_USB						
P8					USB1_DP		

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(7 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
P9		P52	RD#		RXD2/SMISO2/SSCL2/SSLB3		
P10		P83	EDACK1	MTIOC4C	ET_CRS/RMII_CRS_DV/CTS10#/RTS10#/SS10#		
P11		PC6	A22/CS1#	MTIOC3C/MTCLKA/TIOCA6/TMCI2/PO30	ET_ETXD3/RXD8/SMISO8/SSCL8/MOSIA	IRQ13	
P12		PC4	A20/CS3#	MTIOC3D/MTCLKC/TIOCC6/TCLKE/TMCI1/PO25/POE0#	ET_TX_CLK/SCK5/CTS8#/RTS8#/SS8#/SSLA0		
P13		PC2	A18	MTIOC4B/TCLKA/PO21	ET_RX_DV/RXD5/SMISO5/SSCL5/SSLA3/IERXD		
P14		P75	CS5#	PO20	ET_ERXD0/RMII_RXD0/SCK11		
P15	VCC						
R1		P21		MTIOC1B/TIOCA3/TMCI0/PO1	RXD0/SMISO0/SSCL0/SCL1/USB0_EXICEN/PIXD5	IRQ9	
R2		P20		MTIOC1A/TIOCB3/TMRI0/PO0	TXD0/SMOSI0/SSDA0/SDA1/USB0_ID/PIXD4	IRQ8	
R3		P16		MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/PO14/RTCOUT	TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/MOSIA/SCL2-DS/IERXD/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB	IRQ6	ADTRG0#
R4		P85					
R5		P11		MTIC5V/TMCI3	SCK2	IRQ1	
R6					USB0_DM		
R7					USB0_DP		
R8					USB1_DM		
R9		P84					
R10	VSS						
R11	VCC						
R12		P80	EDREQ0	MTIOC3B/PO26	ET_TX_EN/RMII_TXD_EN/SCK10		
R13		P76	CS6#	PO22	ET_RX_CLK/REF50CK/RXD11/SMISO11/SSCL11		

表1.5　機能別端子一覧（177ピンTFLGA、176ピンLFBGA）(8 / 8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
R14		P74	CS4#	PO19	ET_ERXD1/ RMII_RXD1/ CTS11#/RTS11#/ SS11#		
R15		PC1	A17	MTIOC3A/ TCLKD/PO18	ET_ERXD2/SCK5/ SSLA2/SDA3	IRQ12	

注1.　176ピンLFBGAには、E5ピンはありません。
注2.　外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。
注3.　ROM容量2Mバイト/1.5Mバイトのみ有効

表 1.6　機能別端子一覧（176 ピン LQFP）(1 / 8)

ピン番号 176 ピン LQFP	電源 クロック システム制御	I/O ポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
1	AVSS0						
2		P05				IRQ13	DA1
3	VREFH						
4		P03				IRQ11	DA0
5	VREFL						
6		P02		TMCI1	SCK6	IRQ10	AN020
7		P01		TMCI0	RXD6/SMISO6/ SSCL6	IRQ9	AN019
8		P00		TMRI0	TXD6/SMOSI6/ SSDA6	IRQ8	AN018
9		PF5				IRQ4	
10	EMLE						
11		PJ5					
12	VSS						
13		PJ3		MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		
14	VCL						
15	VBATT						
16	NC						
17	TRST#	PF4					
18	MD/FINED						
19	XCIN						
20	XCOUT						
21	RES#						
22	XTAL	P37					
23	VSS						
24	EXTAL	P36					
25	VCC						
26		P35				NMI	
27		P34		MTIOC0A/ TMCI3/PO12/ POE2#	SCK6/SCK0/ USB0_DPRPD	IRQ4	
28		P33		MTIOC0D/ TIOCD0/ TMRI3/PO11/ POE3#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0/PCKO	IRQ3-DS	
29		P32		MTIOC0C/ TIOCC0/TMO3/ PO10/ RTCOUT/ RTCIC2	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN/ VSYNC	IRQ2-DS	
30	TMS	PF3					
31	TDI	PF2			RXD1/SMISO1/ SSCL1		

表 1.6　機能別端子一覧（176 ピン LQFP）(2 / 8)

ピン番号 176 ピン LQFP	電源 クロック システム制御	I/O ポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、 AD、 DA
32		P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0/ USB0_DPUPE	IRQ1-DS	
33		P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB/ USB0_DRPD	IRQ0-DS	
34	TCK/FINEC	PF1			SCK1		
35	TDO	PF0			TXD1/SMOSI1/ SSDA1		
36		P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB		
37		P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/RTS3# SMOSI1/SS3#/ SSDA1/MOSIB		
38		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ USB0_DPRPD/ HSYNC		ADTRG0#
39	VCC						
40		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN/ PIXCLK		
41	VSS						
42		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ USB0_DPUPE/ PIXD7		
43		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/TMO0/ PO2	SCK0/USB0_DRPD/ PIXD6		
44		P21		MTIOC1B/ TIOCA3/ TMCI0/PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ PIXD5	IRQ9	
45		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/PIXD4	IRQ8	
46		P17		MTIOC3A/ MTIOC3B/ TIOCB0/ TCLKD/TMO1/ PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ MISOA/SDA2-DS/ IETXD/ USB1_VBUS/PIXD3	IRQ7	ADTRG#
47		P87		TIOCA2	PIXD2		
48		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ MOSIA/SCL2-DS/ IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#

表1.6　機能別端子一覧（176ピンLQFP）(3 / 8)

ピン番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
49		P86		TIOCA0	PIXD1		
50		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/TMCI2/ PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/ USB1_DPUPE/ PIXD0	IRQ5	
51		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/TMRI2/ PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4	
52		P85					
53		P13		MTIOC0B/ TIOCA5/TMO3/ PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]	IRQ3	ADTRG#
54		P12		MTIC5U/TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]	IRQ2	
55		P11		MTIC5V/TMCI3	SCK2	IRQ1	
56		P10		MTIC5W/ TMRI3		IRQ0	
57	VCC_USB						
58					USB0_DM		
59					USB0_DP		
60	VSS_USB						
61		P57	WAIT#/WR3#/ BC3#/ EDREQ1				
62		P56	WR2#/BC2#/ EDACK1	MTIOC3C/ TIOCA1			
63					USB1_DM		
64					USB1_DP		
65	VCC_USB						
66		P55	WAIT#/ EDREQ0	MTIOC4D/ TMO3	ET_EXOUT/CRX1	IRQ10	
67		P54	ALE/EDACK0	MTIOC4B/ TMCI1	ET_LINKSTA/ CTS2#/RTS2#/ SS2#/CTX1		
68	BCLK	P53（注1）					
69		P84					
70		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3		
71		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
72		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1		
73	VSS						
74		P83	EDACK1	MTIOC4C	ET_CRS/ RMII_CRS_DV/ CTS10#/RTS10#/ SS10#		

表1.6　機能別端子一覧（176ピンLQFP）(4 / 8)

ピン番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
75	VCC						
76		PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TIOCB6/TMO2/ PO31	ET_COL/TXD8/ SMOSI8/SSDA8/ MISOA	IRQ14	
77		PC6	A22/CS1#	MTIOC3C/ MTCLKA/ TIOCA6/ TMCI2/PO30	ET_ETXD3/RXD8/ SMISO8/SSCL8/ MOSIA	IRQ13	
78		PC5	A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TIOCD6/ TCLKF/TMRI2/ PO29	ET_ETXD2/SCK8/ RSPCKA		
79		P82	EDREQ1	MTIOC4A/ PO28	ET_ETXD1/ RMII_TXD1/TXD10/ SMOSI10/SSDA10		
80		P81	EDACK0	MTIOC3D/ PO27	ET_ETXD0/ RMII_TXD0/RXD10/ SMISO10/SSCL10		
81		P80	EDREQ0	MTIOC3B/ PO26	ET_TX_EN/ RMII_TXD_EN/ SCK10		
82		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TIOCC6/ TCLKE/TMCI1/ PO25/POE0#	ET_TX_CLK/SCK5/ CTS8#/RTS8#/ SS8#/SSLA0		
83		PC3	A19	MTIOC4D/ TCLKB/PO24	ET_TX_ER/TXD5/ SMOSI5/SSDA5/ IETXD		
84		P77	CS7#	PO23	ET_RX_ER/ RMII_RX_ER/ TXD11/SMOSI11/ SSDA11		
85		P76	CS6#	PO22	ET_RX_CLK/ REF50CK/RXD11/ SMISO11/SSCL11		
86		PC2	A18	MTIOC4B/ TCLKA/PO21	ET_RX_DV/RXD5/ SMISO5/SSCL5/ SSLA3/IERXD		
87		P75	CS5#	PO20	ET_ERXD0/ RMII_RXD0/SCK11		
88		P74	CS4#	PO19	ET_ERXD1/ RMII_RXD1/ CTS11#/RTS11#/ SS11#		
89		PC1	A17	MTIOC3A/ TCLKD/PO18	ET_ERXD2/SCK5/ SSLA2/SDA3	IRQ12	
90	VCC						
91		PC0	A16	MTIOC3C/ TCLKC/PO17	ET_ERXD3/CTS5#/ RTS5#/SS5#/ SSLA1/SCL3	IRQ14	
92	VSS						

表1.6　機能別端子一覧（176ピンLQFP）(5 / 8)

ピン番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、 TMR、PPG、 RTC、POE）	通信 （ETHERC、SCIc、 SCId、RSPI、RIIC、 CAN、IEB、USB、 PDC）	割り込み	S12AD、 AD、 DA
93		P73	CS3#	PO16	ET_WOL		
94		PB7	A15	MTIOC3B/ TIOCB5/PO31	ET_CRS/ RMII_CRS_DV/ TXD9/SMOSI9/ SSDA9		
95		PB6	A14	MTIOC3D/ TIOCA5/PO30	ET_ETXD1/ RMII_TXD1/RXD9/ SMISO9/SSCL9		
96		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE1#	ET_ETXD0/ RMII_TXD0/SCK9		
97		PB4	A12	TIOCA4/PO28	ET_TX_EN/ RMII_TXD_EN/ CTS9#/RTS9#/SS9#		
98		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/TMO0/ PO27/POE3#	ET_RX_ER/ RMII_RX_ER/SCK4/ SCK6		
99		PB2	A10	TIOCC3/ TCLKC/PO26	ET_RX_CLK/ REF50CK/CTS4#/ RTS4#/CTS6#/ RTS6#/SS4#/SS6#		
100		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	ET_ERXD0/ RMII_RXD0/TXD4/ TXD6/SMOSI4/ SMOSI6/SSDA4/ SSDA6	IRQ4-DS	
101		P72	CS2#		ET_MDC		
102		P71	CS1#		ET_MDIO		
103	VCC						
104		PB0	A8	MTIC5W/ TIOCA3/PO24	ET_ERXD1/ RMII_RXD1/RXD4/ RXD6/SMISO4/ SMISO6/SSCL4/ SSCL6/RSPCKA	IRQ12	
105	VSS						
106		PA7	A7	TIOCB2/PO23	ET_WOL/MISOA		
107		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE2#	ET_EXOUT/CTS5#/ RTS5#/SS5#/MOSIA		
108		PA5	A5	TIOCB1/PO21	ET_LINKSTA/ RSPCKA		
109		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	ET_MDC/TXD5/ SMOSI5/SSDA5/ SSLA0	IRQ5-DS	

表1.6　機能別端子一覧（176ピンLQFP）(6 / 8)

ピン番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
110		PA3	A3	MTIOC0D/ MTCLKD/ TIOCD0/ TCLKB/PO19	ET_MDIO/RXD5/ SMISO5/SSCL5	IRQ6-DS	
111	TRDATA3	PG7	D31				
112		PA2	A2	PO18	RXD5/SMISO5/ SSCL5/SSLA3		
113	TRDATA2	PG6	D30				
114		PA1	A1/DQM3	MTIOC0B/ MTCLKC/ TIOCB0/PO17	ET_WOL/SCK5/ SSLA2	IRQ11	
115	VCC						
116	TRCLK	PG5	D29				
117	VSS						
118		PA0	A0/BC0#/ DQM2	MTIOC4A/ TIOCA0/PO16	ET_TX_EN/ RMII_TXD_EN/ SSLA1		
119	TRSYNC	PG4	D28				
120		P67	CS7#/DQM1		CRX2（注2）	IRQ15	
121	TRDATA1	PG3	D27				
122		P66	CS6#/DQM0		CTX2（注2）		
123	TRDATA0	PG2	D26				
124		P65	CS5#/CKE				
125		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
126		PE6	D14[A14/D14]	TIOCA11	MOSIB	IRQ6	AN4
127	VCC						
128		P70	SDCLK				
129	VSS						
130		PE5	D13[A13/D13]	MTIOC4C/ MTIOC2B/ TIOCB10	ET_RX_CLK/ REF50CK/RSPCKB	IRQ5	AN3
131		PE4	D12[A12/D12]	MTIOC4D/ MTIOC1A/ TIOCA10/PO28	ET_ERXD2/SSLB0		AN2
132		PE3	D11[A11/D11]	MTIOC4B/ TIOCB9/PO26/ POE8#	ET_ERXD3/ CTS12#/RTS12#/ SS12#/MISOB		AN1
133		PE2	D10[A10/D10]	MTIOC4A/ TIOCA9/PO23	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN0
134		PE1	D9[A9/D9]	MTIOC4C/ TIOCD9/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/ RSPCKB		ANEX1
135		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
136		P64	CS4#/WE#				
137		P63	CS3#/CAS#				
138		P62	CS2#/RAS#				

表1.6　機能別端子一覧（176ピンLQFP）(7 / 8)

ピン番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、 TMR、PPG、 RTC、POE）	通信 （ETHERC、SCIc、 SCId、RSPI、RIIC、 CAN、IEB、USB、 PDC）	割り込み	S12AD、 AD、 DA
139		P61	CS1#/SDCS#				
140	VSS						
141		P60	CS0#				
142	VCC						
143		PD7	D7[A7/D7]	MTIC5U/ POE0#	SSLC3	IRQ7	AN7
144		PG1	D25				
145		PD6	D6[A6/D6]	MTIC5V/ POE1#	SSLC2	IRQ6	AN6
146		PG0	D24				
147		PD5	D5[A5/D5]	MTIC5W/ POE2#	SSLC1	IRQ5	AN013
148		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
149		P97	A23/D23				
150		PD3	D3[A3/D3]	TIOCB8/ TCLKH/POE8#	RSPCKC	IRQ3	AN011
151	VSS						
152		P96	A22/D22				
153	VCC						
154		PD2	D2[A2/D2]	MTIOC4D/ TIOCA8	MISOC/CRX0	IRQ2	AN010
155		P95	A21/D21				
156		PD1	D1[A1/D1]	MTIOC4B/ TIOCB7/ TCLKG	MOSIC/CTX0	IRQ1	AN009
157		P94	A20/D20				
158		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
159		P93	A19/D19		CTS7#/RTS7#/SS7#		AN017
160		P92	A18/D18		RXD7/SMISO7/ SSCL7		AN016
161		P91	A17/D17		SCK7		AN015
162	VSS						
163		P90	A16/D16		TXD7/SMOSI7/ SSDA7		AN014
164	VCC						
165		P47				IRQ15-DS	AN007
166		P46				IRQ14-DS	AN006
167		P45				IRQ13-DS	AN005
168		P44				IRQ12-DS	AN004
169		P43				IRQ11-DS	AN003
170		P42				IRQ10-DS	AN002
171		P41				IRQ9-DS	AN001
172	VREFL0						
173		P40				IRQ8-DS	AN000
174	VREFH0						

表1.6　機能別端子一覧（176ピンLQFP）(8 / 8)

ピン番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、 TMR、PPG、 RTC、POE）	通信 （ETHERC、SCIc、 SCId、RSPI、RIIC、 CAN、IEB、USB、 PDC）	割り込み	S12AD、 AD、 DA
175	AVCC0						
176		P07				IRQ15	ADTRG0#

注1.　外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。
注2.　ROM容量2Mバイト/1.5Mバイトのみ有効

表1.7　機能別端子一覧（145ピンTFLGA）(1 / 7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
A1	AVSS0						
A2		P07				IRQ15	ADTRG0#
A3		P40				IRQ8-DS	AN000
A4		P42				IRQ10-DS	AN002
A5		P45				IRQ13-DS	AN005
A6		P90	A16		TXD7/SMOSI7/ SSDA7		AN014
A7		P92	A18		RXD7/SMISO7/ SSCL7		AN016
A8		PD2	D2[A2/D2]	MTIOC4D/ TIOCA8	MISOC/CRX0	IRQ2	AN010
A9		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
A10	VSS						
A11		P62	CS2#/RAS#				
A12		PE1	D9[A9/D9]	MTIOC4C/ TIOCD9/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/ RSPCKB		ANEX1
A13		PE3	D11[A11/D11]	MTIOC4B/ TIOCB9/PO26/ POE8#	CTS12#/RTS12#/ SS12#/MISOB/ ET_ERXD3		AN1
B1	VREFH						
B2	AVCC0						
B3		P05				IRQ13	DA1
B4	VREFL0						
B5		P43				IRQ11-DS	AN003
B6		P47				IRQ15-DS	AN007
B7		P91	A17		SCK7		AN015
B8		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
B9		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
B10	VCC						
B11		P61	CS1#/SDCS#				
B12		PE2	D10[A10/D10]	MTIOC4A/ TIOCA9/PO23	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN0
B13		PE4	D12[A12/D12]	MTIOC4D/ MTIOC1A/ TIOCA10/PO28	SSLB0/ET_ERXD2		AN2
C1	VREFL						
C2		P02		TMCI1	SCK6	IRQ10	AN020
C3	VREFH0						
C4		P41				IRQ9-DS	AN001
C5		P46				IRQ14-DS	AN006
C6	VSS						
C7		PD1	D1[A1/D1]	MTIOC4B/ TIOCB7/TCLKG	MOSIC/CTX0	IRQ1	AN009

表1.7　機能別端子一覧（145ピンTFLGA）(2 / 7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
C8		PD3	D3[A3/D3]	TIOCB8/TCLKH/POE8#	RSPCKC	IRQ3	AN011
C9		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
C10		P63	CS3#/CAS#				
C11		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
C12		P70	SDCLK				
C13	VSS						
D1		P00		TMRI0	TXD6/SMOSI6/SSDA6	IRQ8	AN018
D2		PF5				IRQ4	
D3		P03				IRQ11	DA0
D4		P01		TMCI0	RXD6/SMISO6/SSCL6	IRQ9	AN019
D5	VCC						
D6		P93	A19		CTS7#/RTS7#/SS7#		AN017
D7		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
D8		P60	CS0#				
D9		P64	CS4#/WE#				
D10		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
D11	VCC						
D12		PE5	D13[A13/D13]	MTIOC4C/MTIOC2B/TIOCB10	RSPCKB/ET_RX_CLK/REF50CK	IRQ5	AN3
D13		PE6	D14[A14/D14]	TIOCA11	MOSIB	IRQ6	AN4
E1	VSS						
E2	VCL						
E3		PJ5					
E4	EMLE						
E5		P44				IRQ12-DS	AN004
E10		PA0	A0/BC0#	MTIOC4A/TIOCA0/PO16	SSLA1/ET_TX_EN/RMII_TXD_EN		
E11		P66	CS6#/DQM0		CTX2（注2）		
E12		P65	CS5#/CKE				
E13		P67	CS7#/DQM1		CRX2（注2）	IRQ15	
F1	XCIN						
F2	XCOUT						
F3		PJ3		MTIOC3C	CTS6#/RTS6#/CTS0#/RTS0#/SS6#/SS0#		
F4	VBATT						
F10		PA3	A3	MTIOC0D/MTCLKD/TIOCD0/TCLKB/PO19	RXD5/SMISO5/SSCL5/ET_MDIO	IRQ6-DS	
F11	VSS						

表1.7　機能別端子一覧（145ピンTFLGA）(3 / 7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、 TMR、PPG、 RTC、POE）	通信 （ETHERC、SCIc、 SCId、RSPI、RIIC、 CAN、IEB、USB、 PDC）	割り込み	S12AD、 AD、 DA
F12		PA1	A1	MTIOC0B/ MTCLKC/ TIOCB0/PO17	SCK5/SSLA2/ ET_WOL	IRQ11	
F13		PA2	A2	PO18	RXD5/SMISO5/ SSCL5/SSLA3		
G1	XTAL	P37					
G2	RES#						
G3	MD/FINED						
G4	BSCANP						
G10		PA5	A5	TIOCB1/PO21	RSPCKA/ ET_LINKSTA		
G11		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/TMCI3/ PO22/POE2#	CTS5#/RTS5#/SS5# MOSIA/ET_EXOUT		
G12	VCC						
G13		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0/ ET_MDC	IRQ5-DS	
H1	EXTAL	P36					
H2	VCC						
H3	VSS						
H4		P35				NMI	
H10		P72	CS2#		ET_MDC		
H11		P71	CS1#		ET_MDIO		
H12		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ RSPCKA/ ET_ERXD1/ RMII_RXD1	IRQ12	
H13		PA7	A7	TIOCB2/PO23	MISOA/ET_WOL		
J1	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE2#	SCK6/SCK0/ USB0_DPRPD	IRQ4	
J2		P33		MTIOC0D/ TIOCD0/TMRI3/ PO11/POE3#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0/PCKO	IRQ3-DS	
J3		P32		MTIOC0C/ TIOCC0/TMO3/ PO10/RTCOUT/ RTCIC2	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN/ VSYNC	IRQ2-DS	
J4	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB/ USB0_DRPD	IRQ0-DS	

表1.7　機能別端子一覧（145ピンTFLGA）(4 / 7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
J10		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27/ POE3#	SCK4/SCK6/ ET_RX_ER/ RMII_RX_ER		
J11		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/ET_TX_EN/ RMII_TXD_EN		
J12		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET_RX_CLK/ REF50CK		
J13		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/TMCI0/ PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET_ERXD0/ RMII_RXD0	IRQ4-DS	
K1	TCK/FINEC	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB		
K2	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB		
K3	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0/ USB0_DPUPE	IRQ1-DS	
K4		P15		MTIOC0B/ MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/PIXD0	IRQ5	
K5	TRDATA2	P54	ALE/EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET_LINKSTA		
K6	BCLK	P53（注1）					
K7		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
K8	VCC						
K9	TRDATA0	P80	EDREQ0	MTIOC3B/PO26	SCK10/ET_TX_EN/ RMII_TXD_EN		
K10		P76	CS6#	PO22	RXD11/SMISO11/ SSCL11/ ET_RX_CLK/ REF50CK		
K11		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/ET_CRS/ RMII_CRS_DV		
K12		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/ET_ETXD1/ RMII_TXD1		
K13		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9/ET_ETXD0/ RMII_TXD0		

表1.7　機能別端子一覧（145ピンTFLGA）(5 / 7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、 TMR、PPG、 RTC、POE）	通信 （ETHERC、SCIc、 SCId、RSPI、RIIC、 CAN、IEB、USB、 PDC）	割り込み	S12AD、 AD、 DA
L1		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ USB0_DPRPD/ HSYNC		ADTRG0#
L2		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ USB0_DPUPE/ PIXD7		
L3		P16		MTIOC3C/ MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ MOSIA/SCL2-DS/ IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#
L4		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/TMRI1/ PO4	SCK3/ USB0_VBUSEN/ PIXCLK		
L5		P13		MTIOC0B/ TIOCA5/TMO3/ PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]	IRQ3	ADTRG#
L6		P56	EDACK1	MTIOC3C/ TIOCA1			
L7		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3		
L8	TRCLK	P83	EDACK1	MTIOC4C	CTS10#/RTS10#/ SS10#/ET_CRS/ RMII_CRS_DV		
L9		PC5	A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA/ ET_ETXD2		
L10		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SSLA0/ET_TX_CLK		
L11		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3/ IERXD/ET_RX_DV		
L12		P73	CS3#	PO16	ET_WOL		
L13	VSS						
M1		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/TMO0/ PO2	SCK0/USB0_DRPD/ PIXD6		
M2		P17		MTIOC3A/ MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ MISOA/SDA2-DS/ IETXD/PIXD3	IRQ7	ADTRG#
M3		P86		TIOCA0	PIXD1		

表1.7　機能別端子一覧（145ピンTFLGA）(6 / 7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
M4		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]	IRQ2	
M5	VCC_USB						
M6	VSS_USB						
M7		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1		
M8		PC6	A22/CS1#	MTIOC3C/ MTCLKA/ TIOCA6/TMCI2/ PO30	RXD8/SMISO8/ SSCL8/MOSIA/ ET_ETXD3	IRQ13	
M9	TRDATA1	P81	EDACK0	MTIOC3D/PO27	RXD10/SMISO10/ SSCL10/ ET_ETXD0/ RMII_TXD0		
M10		P77	CS7#	PO23	TXD11/SMOSI11/ SSDA11/ ET_RX_ER/ RMII_RX_ER		
M11		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1/SCL3/ ET_ERXD3	IRQ14	
M12		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2/SDA3/ ET_ERXD2	IRQ12	
M13	VCC						
N1		P21		MTIOC1B/ TIOCA3/TMCI0/ PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ PIXD5	IRQ9	
N2		P20		MTIOC1A/ TIOCB3/TMRI0/ PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/PIXD4	IRQ8	
N3		P87		TIOCA2	PIXD2		
N4		P14		MTIOC3A/ MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4	
N5					USB0_DM		
N6					USB0_DP		
N7	TRDATA3	P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET_EXOUT	IRQ10	
N8	VSS						
N9		PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TIOCB6/TMO2/ PO31	TXD8/SMOSI8/ SSDA8/MISOA/ ET_COL	IRQ14	
N10	TRSYNC	P82	EDREQ1	MTIOC4A/PO28	TXD10/SMOSI10/ SSDA10/ ET_ETXD1/ RMII_TXD1		
N11		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/IETXD/ ET_TX_ER		

表1.7 機能別端子一覧（145ピンTFLGA）(7 / 7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
N12		P75	CS5#	PO20	SCK11/ET_ERXD0/RMII_RXD0		
N13		P74	CS4#	PO19	CTS11#/RTS11#/SS11#/ET_ERXD1/RMII_RXD1		

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。
注2. ROM容量2Mバイト/1.5Mバイトのみ有効

表1.8　機能別端子一覧（144ピンLQFP）(1 / 7)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
1	AVSS0						
2		P05				IRQ13	DA1
3	VREFH						
4		P03				IRQ11	DA0
5	VREFL						
6		P02		TMCI1	SCK6	IRQ10	AN020
7		P01		TMCI0	RXD6/SMISO6/ SSCL6	IRQ9	AN019
8		P00		TMRI0	TXD6/SMOSI6/ SSDA6	IRQ8	AN018
9		PF5				IRQ4	
10	EMLE						
11		PJ5					
12	VSS						
13		PJ3		MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		
14	VCL						
15	VBATT						
16	MD/FINED						
17	XCIN						
18	XCOUT						
19	RES#						
20	XTAL	P37					
21	VSS						
22	EXTAL	P36					
23	VCC						
24		P35				NMI	
25	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE2#	SCK6/SCK0/ USB0_DPRPD	IRQ4	
26		P33		MTIOC0D/ TIOCD0/TMRI3/ PO11/POE3#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0/PCKO	IRQ3-DS	
27		P32		MTIOC0C/ TIOCC0/TMO3/ PO10/RTCOUT/ RTCIC2	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN/ VSYNC	IRQ2-DS	
28	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0/ USB0_DPUPE	IRQ1-DS	
29	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB/ USB0_DRPD	IRQ0-DS	

表1.8　機能別端子一覧（144ピンLQFP）(2 / 7)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、 TMR、PPG、 RTC、POE）	通信 （ETHERC、SCIc、 SCId、RSPI、RIIC、 CAN、IEB、USB、 PDC）	割り込み	S12AD、 AD、 DA
30	TCK/FINEC	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB		
31	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB		
32		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ USB0_DPRPD/ HSYNC		ADTRG0#
33		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/TMRI1/ PO4	SCK3/ USB0_VBUSEN/ PIXCLK		
34		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ USB0_DPUPE/ PIXD7		
35		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/TMO0/ PO2	SCK0/USB0_DRPD/ PIXD6		
36		P21		MTIOC1B/ TIOCA3/TMCI0/ PO1	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN/ PIXD5	IRQ9	
37		P20		MTIOC1A/ TIOCB3/TMRI0/ PO0	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID/PIXD4	IRQ8	
38		P17		MTIOC3A/ MTIOC3B/ TIOCB0/TCLKD/ TMO1/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ MISOA/SDA2-DS/ IETXD/PIXD3	IRQ7	ADTRG#
39		P87		TIOCA2	PIXD2		
40		P16		MTIOC3C/ MTIOC3D/ TIOCB1/TCLKC/ TMO2/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ MOSIA/SCL2-DS/ IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#
41		P86		TIOCA0	PIXD1		
42		P15		MTIOC0B/ MTCLKB/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/PIXD0	IRQ5	
43		P14		MTIOC3A/ MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4	

表1.8　機能別端子一覧（144ピンLQFP）(3 / 7)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、 TMR、PPG、 RTC、POE）	通信 （ETHERC、SCIc、 SCId、RSPI、RIIC、 CAN、IEB、USB、 PDC）	割り込み	S12AD、 AD、 DA
44		P13		MTIOC0B/ TIOCA5/TMO3/ PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]	IRQ3	ADTRG#
45		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]	IRQ2	
46	VCC_USB						
47					USB0_DM		
48					USB0_DP		
49	VSS_USB						
50		P56	EDACK1	MTIOC3C/ TIOCA1			
51	TRDATA3	P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET_EXOUT	IRQ10	
52	TRDATA2	P54	ALE/EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET_LINKSTA		
53	BCLK	P53（注1）					
54		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3		
55		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
56		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1		
57	VSS						
58	TRCLK	P83	EDACK1	MTIOC4C	CTS10#/RTS10#/ SS10#/ET_CRS/ RMII_CRS_DV		
59	VCC						
60		PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TIOCB6/TMO2/ PO31	TXD8/SMOSI8/ SSDA8/MISOA/ ET_COL	IRQ14	
61		PC6	A22/CS1#	MTIOC3C/ MTCLKA/ TIOCA6/TMCI2/ PO30	RXD8/SMISO8/ SSCL8/MOSIA/ ET_ETXD3	IRQ13	
62		PC5	A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TIOCD6/TCLKF/ TMRI2/PO29	SCK8/RSPCKA/ ET_ETXD2		
63	TRSYNC	P82	EDREQ1	MTIOC4A/PO28	TXD10/SMOSI10/ SSDA10/ ET_ETXD1/ RMII_TXD1		
64	TRDATA1	P81	EDACK0	MTIOC3D/PO27	RXD10/SMISO10/ SSCL10/ ET_ETXD0/ RMII_TXD0		
65	TRDATA0	P80	EDREQ0	MTIOC3B/PO26	SCK10/ET_TX_EN/ RMII_TXD_EN		

表 1.8　機能別端子一覧（144 ピン LQFP）(4 / 7)

ピン番号 144 ピン LQFP	電源 クロック システム制御	I/O ポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
66		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TIOCC6/TCLKE/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SSLA0/ET_TX_CLK		
67		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/IETXD/ ET_TX_ER		
68		P77	CS7#	PO23	TXD11/SMOSI11/ SSDA11/ ET_RX_ER/ RMII_RX_ER		
69		P76	CS6#	PO22	RXD11/SMISO11/ SSCL11/ ET_RX_CLK/ REF50CK		
70		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3/ IERXD/ET_RX_DV		
71		P75	CS5#	PO20	SCK11/ET_ERXD0/ RMII_RXD0		
72		P74	CS4#	PO19	CTS11#/RTS11#/ SS11#/ET_ERXD1/ RMII_RXD1		
73		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2/SDA3/ ET_ERXD2	IRQ12	
74	VCC						
75		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1/SCL3/ ET_ERXD3	IRQ14	
76	VSS						
77		P73	CS3#	PO16	ET_WOL		
78		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/ET_CRS/ RMII_CRS_DV		
79		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/ET_ETXD1/ RMII_TXD1		
80		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/TMRI1/ PO29/POE1#	SCK9/ET_ETXD0/ RMII_TXD0		
81		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/ET_TX_EN/ RMII_TXD_EN		
82		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/TCLKD/ TMO0/PO27/ POE3#	SCK4/SCK6/ ET_RX_ER/ RMII_RX_ER		

表 1.8　機能別端子一覧（144 ピン LQFP）(5 / 7)

ピン番号 144 ピン LQFP	電源 クロック システム制御	I/O ポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
83		PB2	A10	TIOCC3/TCLKC/PO26	CTS4#/RTS4#/CTS6#/RTS6#/SS4#/SS6#/ET_RX_CLK/REF50CK		
84		PB1	A9	MTIOC0C/MTIOC4C/TIOCB3/TMCI0/PO25	TXD4/TXD6/SMOSI4/SMOSI6/SSDA4/SSDA6/ET_ERXD0/RMII_RXD0	IRQ4-DS	
85		P72	CS2#		ET_MDC		
86		P71	CS1#		ET_MDIO		
87		PB0	A8	MTIC5W/TIOCA3/PO24	RXD4/RXD6/SMISO4/SMISO6/SSCL4/SSCL6/RSPCKA/ET_ERXD1/RMII_RXD1	IRQ12	
88		PA7	A7	TIOCB2/PO23	MISOA/ET_WOL		
89		PA6	A6	MTIC5V/MTCLKB/TIOCA2/TMCI3/PO22/POE2#	CTS5#/RTS5#/SS5#MOSIA/ET_EXOUT		
90		PA5	A5	TIOCB1/PO21	RSPCKA/ET_LINKSTA		
91	VCC						
92		PA4	A4	MTIC5U/MTCLKA/TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/SSLA0/ET_MDC	IRQ5-DS	
93	VSS						
94		PA3	A3	MTIOC0D/MTCLKD/TIOCD0/TCLKB/PO19	RXD5/SMISO5/SSCL5/ET_MDIO	IRQ6-DS	
95		PA2	A2	PO18	RXD5/SMISO5/SSCL5/SSLA3		
96		PA1	A1	MTIOC0B/MTCLKC/TIOCB0/PO17	SCK5/SSLA2/ET_WOL	IRQ11	
97		PA0	A0/BC0#	MTIOC4A/TIOCA0/PO16	SSLA1/ET_TX_EN/RMII_TXD_EN		
98		P67	CS7#/DQM1		CRX2（注2）	IRQ15	
99		P66	CS6#/DQM0		CTX2（注2）		
100		P65	CS5#/CKE				
101		PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5
102		PE6	D14[A14/D14]	TIOCA11	MOSIB	IRQ6	AN4
103	VCC						
104		P70	SDCLK				
105	VSS						

表1.8　機能別端子一覧（144ピンLQFP）(6 / 7)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
106		PE5	D13[A13/D13]	MTIOC4C/ MTIOC2B/ TIOCB10	RSPCKB/ ET_RX_CLK/ REF50CK	IRQ5	AN3
107		PE4	D12[A12/D12]	MTIOC4D/ MTIOC1A/ TIOCA10/PO28	SSLB0/ET_ERXD2		AN2
108		PE3	D11[A11/D11]	MTIOC4B/ TIOCB9/PO26/ POE8#	CTS12#/RTS12#/ SS12#/MISOB/ ET_ERXD3		AN1
109		PE2	D10[A10/D10]	MTIOC4A/ TIOCA9/PO23	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN0
110		PE1	D9[A9/D9]	MTIOC4C/ TIOCD9/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/ RSPCKB		ANEX1
111		PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0
112		P64	CS4#/WE#				
113		P63	CS3#/CAS#				
114		P62	CS2#/RAS#				
115		P61	CS1#/SDCS#				
116	VSS						
117		P60	CS0#				
118	VCC						
119		PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7
120		PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6
121		PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013
122		PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012
123		PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#	RSPCKC	IRQ3	AN011
124		PD2	D2[A2/D2]	MTIOC4D/ TIOCA8	MISOC/CRX0	IRQ2	AN010
125		PD1	D1[A1/D1]	MTIOC4B/ TIOCB7/TCLKG	MOSIC/CTX0	IRQ1	AN009
126		PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008
127		P93	A19		CTS7#/RTS7#/SS7#		AN017
128		P92	A18		RXD7/SMISO7/ SSCL7		AN016
129		P91	A17		SCK7		AN015
130	VSS						
131		P90	A16		TXD7/SMOSI7/ SSDA7		AN014
132	VCC						
133		P47				IRQ15-DS	AN007
134		P46				IRQ14-DS	AN006
135		P45				IRQ13-DS	AN005
136		P44				IRQ12-DS	AN004

表1.8　機能別端子一覧（144ピンLQFP）(7 / 7)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB、PDC）	割り込み	S12AD、AD、DA
137		P43				IRQ11-DS	AN003
138		P42				IRQ10-DS	AN002
139		P41				IRQ9-DS	AN001
140	VREFL0						
141		P40				IRQ8-DS	AN000
142	VREFH0						
143	AVCC0						
144		P07				IRQ15	ADTRG0#

注1.　外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。
注2.　ROM容量2Mバイト/1.5Mバイトのみ有効

表1.9　機能別端子一覧（100ピンTFLGA）(1 / 5)

ピン番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
A1		P05				IRQ13	DA1
A2	VREFH						
A3		P07				IRQ15	ADTRG0#
A4	VREFL0						
A5		P43				IRQ11-DS	AN003
A6		PD0	D0[A0/D0]			IRQ0	AN008
A7		PD4	D4[A4/D4]	POE3#		IRQ4	AN012
A8		PE0	D8[A8/D8]		SCK12/SSLB1		ANEX0
A9		PE1	D9[A9/D9]	MTIOC4C/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/ RSPCKB		ANEX1
A10		PE2	D10[A10/D10]	MTIOC4A/ PO23	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN0
B1	EMLE						
B2	AVSS0						
B3	AVCC0						
B4		P40				IRQ8-DS	AN000
B5		P44				IRQ12-DS	AN004
B6		PD1	D1[A1/D1]	MTIOC4B	CTX0（注1）	IRQ1	AN009
B7		PD3	D3[A3/D3]	POE8#		IRQ3	AN011
B8		PD6	D6[A6/D6]	MTIC5V/ POE1#		IRQ6	AN6
B9		PD7	D7[A7/D7]	MTIC5U/ POE0#		IRQ7	AN7
B10		PE3	D11[A11/D11]	MTIOC4B/ PO26/POE8#	CTS12#/RTS12#/ SS12#/MISOB/ ET_ERXD3		AN1
C1	VCL						
C2	VREFL						
C3		PJ3		MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		
C4	VREFH0						
C5		P42				IRQ10-DS	AN002
C6		P47				IRQ15-DS	AN007
C7		PD2	D2[A2/D2]	MTIOC4D	CRX0（注1）	IRQ2	AN010
C8		PD5	D5[A5/D5]	MTIC5W/ POE2#		IRQ5	AN013
C9		PE5	D13[A13/D13]	MTIOC4C/ MTIOC2B	RSPCKB/ ET_RX_CLK/ REF50CK	IRQ5	AN3
C10		PE4	D12[A12/D12]	MTIOC4D/ MTIOC1A/ PO28	SSLB0/ET_ERXD2		AN2
D1	XCIN						
D2	XCOUT						

表1.9　機能別端子一覧（100ピンTFLGA）(2 / 5)

ピン番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
D3	MD/FINED						
D4	VBATT						
D5		P45				IRQ13-DS	AN005
D6		P46				IRQ14-DS	AN006
D7		PE6	D14[A14/D14]		MOSIB	IRQ6	AN4
D8		PE7	D15[A15/D15]		MISOB	IRQ7	AN5
D9		PA1	A1	MTIOC0B/ MTCLKC/ TIOCB0/PO17	SCK5/SSLA2/ ET_WOL	IRQ11	
D10		PA0	A0/BC0#	MTIOC4A/ TIOCA0/PO16	SSLA1/ET_TX_EN/ RMII_TXD_EN		
E1	XTAL	P37					
E2	VSS						
E3	RES#						
E4	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE2#	SCK6/SCK0/ USB0_DPRPD	IRQ4	
E5		P41				IRQ9-DS	AN001
E6		PA2	A2	PO18	RXD5/SMISO5/ SSCL5/SSLA3		
E7		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE2#	CTS5#/RTS5#/ SS5#/MOSIA/ ET_EXOUT		
E8		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/ SSDA5/SSLA0/ ET_MDC	IRQ5-DS	
E9		PA5	A5	TIOCB1/PO21	RSPCKA/ ET_LINKSTA		
E10		PA3	A3	MTIOC0D/ MTCLKD/ TIOCD0/ TCLKB/PO19	RXD5/SMISO5/ SSCL5/ET_MDIO	IRQ6-DS	
F1	EXTAL	P36					
F2	VCC						
F3		P35				NMI	
F4		P32		MTIOC0C/ TIOCC0/TMO3/ PO10/ RTCOUT/ RTCIC2	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0（注1）/ USB0_VBUSEN	IRQ2-DS	
F5		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]	IRQ2	
F6		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/TMO0/ PO27/POE3#	SCK6/ET_RX_ER/ RMII_RX_ER		

表1.9　機能別端子一覧（100ピンTFLGA）(3 / 5)

ピン番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
F7		PB2	A10	TIOCC3/ TCLKC/PO26	CTS6#/RTS6#/ SS6#/ET_RX_CLK/ REF50CK		
F8		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD6/SMISO6/ SSCL6/RSPCKA/ ET_ERXD1/ RMII_RXD1	IRQ12	
F9		PA7	A7	TIOCB2/PO23	MISOA/ET_WOL		
F10	VSS						
G1		P33		MTIOC0D/ TIOCD0/ TMRI3/PO11/ POE3#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0（注1）	IRQ3-DS	
G2	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0/ USB0_DPUPE	IRQ1-DS	
G3	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB/ USB0_DRPD	IRQ0-DS	
G4	TCK/FINEC	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB		
G5	BCLK	P53（注2）					
G6		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3		
G7		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE1#	SCK9/ET_ETXD0/ RMII_TXD0		
G8		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/ET_TX_EN/ RMII_TXD_EN		
G9		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/ SSDA6/ET_ERXD0/ RMII_RXD0	IRQ4-DS	
G10	VCC						
H1	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB		
H2		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ USB0_DPRPD		ADTRG0#
H3		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ MOSIA/SCL2-DS/ IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#

表1.9　機能別端子一覧（100ピンTFLGA）(4 / 5)

ピン番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
H4		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/TMCI2/ PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS	IRQ5	
H5		P55	WAIT#/ EDREQ0	MTIOC4D/ TMO3	CRX1/ET_EXOUT	IRQ10	
H6		P54	ALE/EDACK0	MTIOC4B/ TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET_LINKSTA		
H7		PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/PO31	TXD8/SMOSI8/ SSDA8/MISOA/ ET_COL	IRQ14	
H8		PC6	A22/CS1#	MTIOC3C/ MTCLKA/ TMCI2/PO30	RXD8/SMISO8/ SSCL8/MOSIA/ ET_ETXD3	IRQ13	
H9		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/ET_ETXD1/ RMII_TXD1		
H10		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/ET_CRS/ RMII_CRS_DV		
J1		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN		
J2		P21		MTIOC1B/ TIOCA3/ TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN	IRQ9	
J3		P17		MTIOC3A/ MTIOC3B/ TIOCB0/ TCLKD/TMO1/ PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#
J4		P13		MTIOC0B/ TIOCA5/TMO3/ PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]	IRQ3	ADTRG#
J5	VSS_USB						
J6	VCC_USB						
J7		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1		
J8		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SSLA0/ET_TX_CLK		
J9		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1/ ET_ERXD3	IRQ14	
J10		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2/ ET_ERXD2	IRQ12	
K1		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ USB0_DPUPE		

表1.9　機能別端子一覧（100ピンTFLGA）(5 / 5)

ピン番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
K2		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/TMO0/ PO2	SCK0/USB0_DRPD		
K3		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID	IRQ8	
K4		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/TMRI2/ PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4	
K5					USB0_DM		
K6					USB0_DP		
K7		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
K8		PC5	A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMRI2/PO29	SCK8/RSPCKA/ ET_ETXD2		
K9		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/IETXD/ ET_TX_ER		
K10		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3/ IERXD/ET_RX_DV		

注1.　ROM容量768Kバイト以上のみ有効
注2.　外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表1.10　機能別端子一覧（100ピンLQFP）(1 / 5)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
1	VREFH						
2	EMLE						
3	VREFL						
4		PJ3		MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#		
5	VCL						
6	VBATT						
7	MD/FINED						
8	XCIN						
9	XCOUT						
10	RES#						
11	XTAL	P37					
12	VSS						
13	EXTAL	P36					
14	VCC						
15		P35				NMI	
16	TRST#	P34		MTIOC0A/ TMCI3/PO12/ POE2#	SCK6/SCK0/ USB0_DPRPD	IRQ4	
17		P33		MTIOC0D/ TIOCD0/ TMRI3/PO11/ POE3#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0（注1）	IRQ3-DS	
18		P32		MTIOC0C/ TIOCC0/TMO3/ PO10/ RTCOUT/ RTCIC2	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0（注1）/ USB0_VBUSEN	IRQ2-DS	
19	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/ SS1#/SSLB0/ USB0_DPUPE	IRQ1-DS	
20	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/POE8#	RXD1/SMISO1/ SSCL1/MISOB/ USB0_DRPD	IRQ0-DS	
21	TCK/FINEC	P27	CS7#	MTIOC2B/ TMCI3/PO7	SCK1/RSPCKB		
22	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB		
23		P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ USB0_DPRPD		ADTRG0#
24		P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/ TMRI1/PO4	SCK3/ USB0_VBUSEN		
25		P23	EDACK0	MTIOC3D/ MTCLKD/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ USB0_DPUPE		

表1.10　機能別端子一覧（100ピンLQFP）(2 / 5)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
26		P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/TMO0/ PO2	SCK0/USB0_DRPD		
27		P21		MTIOC1B/ TIOCA3/ TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN	IRQ9	
28		P20		MTIOC1A/ TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID	IRQ8	
29		P17		MTIOC3A/ MTIOC3B/ TIOCB0/ TCLKD/TMO1/ PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#
30		P16		MTIOC3C/ MTIOC3D/ TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ MOSIA/SCL2-DS/ IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#
31		P15		MTIOC0B/ MTCLKB/ TIOCB2/ TCLKB/TMCI2/ PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS	IRQ5	
32		P14		MTIOC3A/ MTCLKA/ TIOCB5/ TCLKA/TMRI2/ PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4	
33		P13		MTIOC0B/ TIOCA5/TMO3/ PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]	IRQ3	ADTRG#
34		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]	IRQ2	
35	VCC_USB						
36					USB0_DM		
37					USB0_DP		
38	VSS_USB						
39		P55	WAIT#/ EDREQ0	MTIOC4D/ TMO3	CRX1/ET_EXOUT	IRQ10	
40		P54	ALE/EDACK0	MTIOC4B/ TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET_LINKSTA		
41	BCLK	P53（注2）					
42		P52	RD#		RXD2/SMISO2/ SSCL2/SSLB3		
43		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
44		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2/SSLB1		

表 1.10　機能別端子一覧（100 ピン LQFP）(3 / 5)

ピン番号 100 ピン LQFP	電源 クロック システム制御	I/O ポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
45		PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TMO2/PO31	TXD8/SMOSI8/ SSDA8/MISOA/ ET_COL	IRQ14	
46		PC6	A22/CS1#	MTIOC3C/ MTCLKA/ TMCI2/PO30	RXD8/SMISO8/ SSCL8/MOSIA/ ET_ETXD3	IRQ13	
47		PC5	A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TMRI2/PO29	SCK8/RSPCKA/ ET_ETXD2		
48		PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TMCI1/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SSLA0/ET_TX_CLK		
49		PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOSI5/ SSDA5/IETXD/ ET_TX_ER		
50		PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMISO5/ SSCL5/SSLA3/ IERXD/ET_RX_DV		
51		PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2/ ET_ERXD2	IRQ12	
52		PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1/ ET_ERXD3	IRQ14	
53		PB7	A15	MTIOC3B/ TIOCB5/PO31	TXD9/SMOSI9/ SSDA9/ET_CRS/ RMII_CRS_DV		
54		PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/ET_ETXD1/ RMII_TXD1		
55		PB5	A13	MTIOC2A/ MTIOC1B/ TIOCB4/ TMRI1/PO29/ POE1#	SCK9/ET_ETXD0/ RMII_TXD0		
56		PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/ET_TX_EN/ RMII_TXD_EN		
57		PB3	A11	MTIOC0A/ MTIOC4A/ TIOCD3/ TCLKD/TMO0/ PO27/POE3#	SCK6/ET_RX_ER/ RMII_RX_ER		
58		PB2	A10	TIOCC3/ TCLKC/PO26	CTS6#/RTS6#/ SS6#/ET_RX_CLK/ REF50CK		
59		PB1	A9	MTIOC0C/ MTIOC4C/ TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/ SSDA6/ET_ERXD0/ RMII_RXD0	IRQ4-DS	
60	VCC						
61		PB0	A8	MTIC5W/ TIOCA3/PO24	RXD6/SMISO6/ SSCL6/RSPCKA/ ET_ERXD1/ RMII_RXD1	IRQ12	

表1.10　機能別端子一覧（100ピンLQFP）(4 / 5)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、AD、DA
62	VSS						
63		PA7	A7	TIOCB2/PO23	MISOA/ET_WOL		
64		PA6	A6	MTIC5V/ MTCLKB/ TIOCA2/ TMCI3/PO22/ POE2#	CTS5#/RTS5#/ SS5#/MOSIA/ ET_EXOUT		
65		PA5	A5	TIOCB1/PO21	RSPCKA/ ET_LINKSTA		
66		PA4	A4	MTIC5U/ MTCLKA/ TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/ SSDA5/SSLA0/ ET_MDC	IRQ5-DS	
67		PA3	A3	MTIOC0D/ MTCLKD/ TIOCD0/ TCLKB/PO19	RXD5/SMISO5/ SSCL5/ET_MDIO	IRQ6-DS	
68		PA2	A2	PO18	RXD5/SMISO5/ SSCL5/SSLA3		
69		PA1	A1	MTIOC0B/ MTCLKC/ TIOCB0/PO17	SCK5/SSLA2/ ET_WOL	IRQ11	
70		PA0	A0/BC0#	MTIOC4A/ TIOCA0/PO16	SSLA1/ET_TX_EN/ RMII_TXD_EN		
71		PE7	D15[A15/D15]		MISOB	IRQ7	AN5
72		PE6	D14[A14/D14]		MOSIB	IRQ6	AN4
73		PE5	D13[A13/D13]	MTIOC4C/ MTIOC2B	RSPCKB/ ET_RX_CLK/ REF50CK	IRQ5	AN3
74		PE4	D12[A12/D12]	MTIOC4D/ MTIOC1A/ PO28	SSLB0/ET_ERXD2		AN2
75		PE3	D11[A11/D11]	MTIOC4B/ PO26/POE8#	CTS12#/RTS12#/ SS12#/MISOB/ ET_ERXD3		AN1
76		PE2	D10[A10/D10]	MTIOC4A/ PO23	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN0
77		PE1	D9[A9/D9]	MTIOC4C/ PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/SSLB2/ RSPCKB		ANEX1
78		PE0	D8[A8/D8]		SCK12/SSLB1		ANEX0
79		PD7	D7[A7/D7]	MTIC5U/ POE0#		IRQ7	AN7
80		PD6	D6[A6/D6]	MTIC5V/ POE1#		IRQ6	AN6
81		PD5	D5[A5/D5]	MTIC5W/ POE2#		IRQ5	AN013
82		PD4	D4[A4/D4]	POE3#		IRQ4	AN012
83		PD3	D3[A3/D3]	POE8#		IRQ3	AN011
84		PD2	D2[A2/D2]	MTIOC4D	CRX0（注1）	IRQ2	AN010

表1.10　機能別端子一覧（100ピンLQFP）(5 / 5)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ （MTU、TPU、TMR、PPG、RTC、POE）	通信 （ETHERC、SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12AD、 AD、 DA
85		PD1	D1[A1/D1]	MTIOC4B	CTX0（注1）	IRQ1	AN009
86		PD0	D0[A0/D0]			IRQ0	AN008
87		P47				IRQ15-DS	AN007
88		P46				IRQ14-DS	AN006
89		P45				IRQ13-DS	AN005
90		P44				IRQ12-DS	AN004
91		P43				IRQ11-DS	AN003
92		P42				IRQ10-DS	AN002
93		P41				IRQ9-DS	AN001
94	VREFL0						
95		P40				IRQ8-DS	AN000
96	VREFH0						
97	AVCC0						
98		P07				IRQ15	ADTRG0#
99	AVSS0						
100		P05				IRQ13	DA1

注1.　ROM容量768Kバイト以上のみ有効
注2.　外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

表1.11　機能別端子一覧（64ピンTFLGA）(1 / 2)

ピン番号 64ピン TFLGA	電源 クロック システム制御	I/Oポート	タイマ （MTU2a、TPUa、TMR、PPG、RTCa、POE2a）	通信 （SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12ADa、DAa
A1		P05			IRQ13	DA1
A2	AVCC0					
A3	VREFH0					
A4	VREFL0					
A5	VREFH					
A6	VREFL					
A7		PE2	MTIOC4A/PO23	RXD12/SMISO12/SSCL12/ RXDX12/SSLB3/MOSIB	IRQ7-DS	AN010
A8		PE3	MTIOC4B/PO26/POE8#	CTS12#/RTS12#/SS12#/ MISOB		AN011
B1	VCL					
B2	AVSS0					
B3		P40			IRQ8-DS	AN000
B4		P42			IRQ10-DS	AN002
B5		P44			IRQ12-DS	AN004
B6		P46			IRQ14-DS	AN006
B7		PE1	MTIOC4C/PO18	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SSLB2/ RSPCKB		AN009
B8		PE4	MTIOC4D/MTIOC1A/PO28	SSLB0		AN012
C1	XCIN					
C2	MD/FINED					
C3	EMLE					
C4		P41			IRQ9-DS	AN001
C5		P43			IRQ11-DS	AN003
C6		PE0		SCK12/SSLB1		AN008
C7		PE5	MTIOC4C/MTIOC2B	RSPCKB	IRQ5	AN013
C8		PA0	MTIOC4A/TIOCA0/PO16	SSLA1		
D1	XCOUT					
D2	RES#					
D3	TCK FINEC	P27	MTIOC2B/TMCI3	SCK1/RSPCKB		
D4		P14	MTIOC3A/MTCLKA/ TIOCB5/TCLKA/TMRI2	CTS1#/RTS1#/SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4	
D5		PA6	MTIC5V/MTCLKB/TIOCA2/ TMCI3/PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
D6		PA4	MTIC5U/MTCLKA/TIOCA1/ TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
D7		PA1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2/SCL2	IRQ11	
D8		PA3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/PO19	RXD5/SMISO5/SSCL5/ SDA2	IRQ6-DS	
E1	VSS					
E2	VBATT					
E3	TDI	P30	MTIOC4B/TMRI3/POE8#/ RTCIC0	RXD1/SMISO1/SSCL1/ MISOB/USB0_DRPD	IRQ0-DS	

表1.11　機能別端子一覧（64ピンTFLGA）(2 / 2)

ピン番号 64ピン TFLGA	電源 クロック システム制御	I/Oポート	タイマ （MTU2a、TPUa、TMR、PPG、RTCa、POE2a）	通信 （SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12ADa、DAa
E4	TMS	P16	MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/TMO2/ RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#
E5		PC4	MTIOC3D/MTCLKC/TMCI1/ PO25/POE0#	SCK5/SSLA0/ USB0_DPRPD		
E6	VCC					
E7	VSS					
E8		PB0	MTIC5W/TIOCA3/PO24	RXD6/SMISO6/SSCL6/ RSPCKA	IRQ12	
F1	VCC					
F2		P35			NMI	
F3		P31	MTIOC4D/TMCI2/RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0/USB0_DPUPE	IRQ1-DS	
F4		PC5	MTIOC3B/MTCLKD/TMRI2/ PO29	RSPCKA/USB0_ID		
F5		P15	MTIOC0B/MTCLKB/ TIOCB2/TCLKB/TMCI2	RXD1/SMISO1/SSCL1/ CRX1-DS/USB1_DPUPE	IRQ5	
F6		PB1	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD6/SMOSI6/SSDA6	IRQ4-DS	
F7		PB5	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/PO29/ POE1#	SCK9		
F8		PB3	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/TMO0/ PO27/POE3#	SCK6		
G1	EXTAL	P36				
G2	TDO	P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ MOSIB/USB0_VBUSEN		
G3	VCC_USB					
G4	VSS_USB					
G5	VCC_USB					
G6		PC6	MTIOC3C/MTCLKA/TMCI2/ PO30	MOSIA/USB0_EXICEN	IRQ13	
G7		PC3	MTIOC4D/TCLKB/PO24	TXD5/SMOSI5/SSDA5/ SDA2/IETXD		
G8		PB6	MTIOC3D/TIOCA5/PO30	RXD9/SMISO9/SSCL9		
H1	XTAL	P37				
H2	TRST#	P17	MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/TMO1/ POE8#	SCK1/MISOA/SDA2-DS/ IETXD/USB1_VBUS	IRQ7	
H3				USB0_DM		
H4				USB0_DP		
H5				USB1_DM		
H6				USB1_DP		
H7		PC2	MTIOC4B/TCLKA/PO21	RXD5/SMISO5/SSCL5/ SSLA3/SCL2/IERXD		
H8		PB7	MTIOC3B/TIOCB5/PO31	TXD9/SMOSI9/SSDA9		

表1.12　機能別端子一覧（64ピンLQFP）(1 / 3)

ピン番号 64ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ （MTU2a、TPUa、TMR、 PPG、RTCa、POE2a）	通信 （SCIc、SCId、RSPI、 RIIC、CAN、IEB、USB）	割り込み	S12ADa、 DAa
1	EMLE					
2	VCL					
3	MD/FINED					
4	XCIN					
5	XCOUT					
6	RES#					
7	XTAL	P37				
8	VSS					
9	EXTAL	P36				
10	VCC					
11		P35			NMI	
12	VBATT					
13		P31	MTIOC4D/TMCI2/PO9/ RTCIC1	CTS1#/RTS1#/SS1#/ SSLB0/USB0_DPUPE	IRQ1-DS	
14	TDI	P30	MTIOC4B/TMRI3/PO8/ POE8#/RTCIC0	RXD1/SMISO1/SSCL1/ MISOB/USB0_DRPD	IRQ0-DS	
15	TCK/FINEC	P27	MTIOC2B/TMCI3/PO7	SCK1/RSPCKB		
16	TDO	P26	MTIOC2A/TMO1/PO6	TXD1/SMOSI1/SSDA1/ MOSIB/USB0_VBUSEN		
17	TRST#	P17	MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/TMO1/ PO15/POE8#	SCK1/MISOA/ SDA2-DS/IETXD	IRQ7	
18	TMS	P16	MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/TMO2/ PO14/RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#
19		P15	MTIOC0B/MTCLKB/ TIOCB2/TCLKB/TMCI2/ PO13	RXD1/SMISO1/SSCL1/ CRX1-DS	IRQ5	
20		P14	MTIOC3A/MTCLKA/ TIOCB5/TCLKA/TMRI2/ PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE/ USB0_OVRCURA	IRQ4	
21	VCC_USB					
22				USB0_DM		
23				USB0_DP		
24	VSS_USB					
25		P55	MTIOC4D/TMO3	CRX1	IRQ10	
26		P54	MTIOC4B/TMCI1	CTX1		
27		PC7	MTIOC3A/ MTCLKB/TMO2 /PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
28		PC6	MTIOC3C/MTCLKA/ TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA/USB0_EXICEN	IRQ13	
29		PC5	MTIOC3B/MTCLKD/ TMRI2/PO29	SCK8/RSPCKA/USB0_ID		
30		PC4	MTIOC3D/MTCLKC/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0/ USB0_DPRPD		
31		PC3	MTIOC4D/TCLKB/ PO24	TXD5/SMOSI5/SSDA5/ IETXD		

表1.12　機能別端子一覧（64ピンLQFP）(2 / 3)

ピン番号 64ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ （MTU2a、TPUa、TMR、 PPG、RTCa、POE2a）	通信 （SCIc、SCId、RSPI、 RIIC、CAN、IEB、USB）	割り込み	S12ADa、 DAa
32		PC2	MTIOC4B/TCLKA/ PO21	RXD5/SMISO5/SSCL5/ SSLA3/IERXD		
33		PB7/ PC1	MTIOC3B/TIOCB5/ PO31	TXD9/SMOSI9/SSDA9		
34		PB6/ PC0	MTIOC3D/TIOCA5/ PO30	RXD9/SMISO9/SSCL9		
35		PB5	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/PO29/ POE1#	SCK9		
36		PB3	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/TMO0/ PO27/POE3#	SCK6		
37		PB1	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD6/SMOSI6/SSDA6	IRQ4-DS	
38	VCC					
39		PB0	MTIC5W/TIOCA3/PO24	RXD6/SMISO6/SSCL6/ RSPCKA	IRQ12	
40	VSS					
41		PA6	MTIC5V/MTCLKB/ TIOCA2/TMCI3/PO22/ POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
42		PA4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
43		PA3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
44		PA1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
45		PA0	MTIOC4A/TIOCA0/ PO16	SSLA1		
46		PE5	MTIOC4C/MTIOC2B	RSPCKB	IRQ5	AN013
47		PE4	MTIOC4D/MTIOC1A/ PO28	SSLB0		AN012
48		PE3	MTIOC4B/PO26/POE8#	CTS12#/RTS12#/ SS12#/MISOB		AN011
49		PE2	MTIOC4A/PO23	RXD12/SMISO12/ SSCL12/RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN010
50		PE1	MTIOC4C/PO18	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SSLB2/ RSPCKB		AN009
51		PE0		SCK12/SSLB1		AN008
52	VREFL					
53		P46			IRQ14-DS	AN006
54	VREFH					
55		P44			IRQ12-DS	AN004
56		P43			IRQ11-DS	AN003
57		P42			IRQ10-DS	AN002
58		P41			IRQ9-DS	AN001
59	VREFL0					
60		P40			IRQ8-DS	AN000
61	VREFH0					

表1.12 機能別端子一覧（64ピンLQFP）(3 / 3)

ピン番号 64ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ （MTU2a、TPUa、TMR、 PPG、RTCa、POE2a）	通信 （SCIc、SCId、RSPI、 RIIC、CAN、IEB、USB）	割り込み	S12ADa、 DAa
62	AVCC0					
63		P05			IRQ13	DA1
64	AVSS0					

表1.13　機能別端子一覧（48ピンLQFP）(1 / 2)

ピン番号 48ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ （MTU2a、TPUa、TMR、PPG、POE2a）	通信 （SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12ADa、DAa
1	VCL					
2	MD/FINED					
3	RES#					
4	XTAL	P37				
5	VSS					
6	EXTAL	P36				
7	VCC					
8		P35			NMI	
9		P31	MTIOC4D/TMCI2/PO9	CTS1#/RTS1#/SS1#/ SSLB0/USB0_DPUPE	IRQ1-DS	
10		P30	MTIOC4B/TMRI3/PO8/ POE8#	RXD1/SMISO1/SSCL1/ MISOB/USB0_DRPD	IRQ0-DS	
11	FINEC	P27	MTIOC2B/TMCI3/PO7	SCK1/RSPCKB		
12		P26	MTIOC2A/TMO1/PO6	TXD1/SMOSI1/SSDA1/ MOSIB/USB0_VBUSEN		
13		P17	MTIOC3A/MTIOC3B/ TIOCB0/TCLKD/TMO1/ PO15/POE8#	SCK1/MISOA/SDA2-DS/ IETXD	IRQ7	
14		P16	MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/TMO2/ PO14	TXD1/SMOSI1/SSDA1/ MOSIA/SCL2-DS/IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#
15		P15	MTIOC0B/MTCLKB/ TIOCB2/TCLKB/TMCI2/ PO13	RXD1/SMISO1/SSCL1/ CRX1-DS	IRQ5	
16		P14	MTIOC3A/MTCLKA/ TIOCB5/TCLKA/TMRI2/ PO15	CTS1#/RTS1#/SS1#/ CTX1/USB0_DPUPE/ USB0_OVRCURA	IRQ4	
17	VCC_USB					
18				USB0_DM		
19				USB0_DP		
20	VSS_USB					
21		PC7	MTIOC3A/MTCLKB/ TMO2 /PO31	TXD8/SMOSI8/SSDA8/ MISOA	IRQ14	
22		PC6	MTIOC3C/MTCLKA/ TMCI2/PO30	RXD8/SMISO8/SSCL8/ MOSIA/USB0_EXICEN	IRQ13	
23		PC5	MTIOC3B/MTCLKD/ TMRI2/PO29	SCK8/RSPCKA/USB0_ID		
24		PC4	MTIOC3D/MTCLKC/ TMCI1/PO25/POE0#	SCK5/CTS8#/RTS8#/ SS8#/SSLA0/ USB0_DPRPD		
25		PB5/ PC3	MTIOC2A/MTIOC1B/ TIOCB4/TMRI1/PO29/ POE1#			
26		PB3/ PC2	MTIOC0A/MTIOC4A/ TIOCD3/TCLKD/TMO0/ PO27/POE3#	SCK6		
27		PB1/ PC1	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0/PO25	TXD6/SMOSI6/SSDA6	IRQ4-DS	
28	VCC					

表1.13　機能別端子一覧（48ピンLQFP）(2 / 2)

ピン番号 48ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ （MTU2a、TPUa、TMR、PPG、POE2a）	通信 （SCIc、SCId、RSPI、RIIC、CAN、IEB、USB）	割り込み	S12ADa、DAa
29		PB0/ PC0	MTIC5W/TIOCA3/PO24	RXD6/SMISO6/SSCL6/ RSPCKA	IRQ12	
30	VSS					
31		PA6	MTIC5V/MTCLKB/TIOCA2/ TMCI3/PO22/POE2#	CTS5#/RTS5#/SS5#/ MOSIA		
32		PA4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/PO20	TXD5/SMOSI5/SSDA5/ SSLA0	IRQ5-DS	
33		PA3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/PO19	RXD5/SMISO5/SSCL5	IRQ6-DS	
34		PA1	MTIOC0B/MTCLKC/ TIOCB0/PO17	SCK5/SSLA2	IRQ11	
35		PE4	MTIOC4D/MTIOC1A/ PO28	SSLB0		AN012
36		PE3	MTIOC4B/PO26/POE8#	CTS12#/RTS12#/MISOB		AN011
37		PE2	MTIOC4A/PO23	RXD12/SMISO12/SSCL12/ RXDX12/ SSLB3/MOSIB	IRQ7-DS	AN010
38		PE1	MTIOC4C/PO18	TXD12/SMISO12/SSDA12/ TXDX12/SIOX12/SSLB2/ RSPCKB		AN009
39	VREFL					
40		P46			IRQ14-DS	AN006
41	VREFH					
42		P42			IRQ10-DS	AN002
43		P41			IRQ9-DS	AN001
44	VREFL0					
45		P40			IRQ8-DS	AN000
46	VREFH0					
47	AVCC0					
48	AVSS0					

2. CPU

RX63N グループ、RX631 グループは、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、8 種類の浮動小数点演算命令、9 種類の DSP 機能命令の合計 90 種類の命令と、10 種類のアドレッシングモードを持ち、レジスターレジスタ間、レジスターメモリ間、即値－レジスタ、即値－メモリの演算をはじめ、ビット操作、メモリーメモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

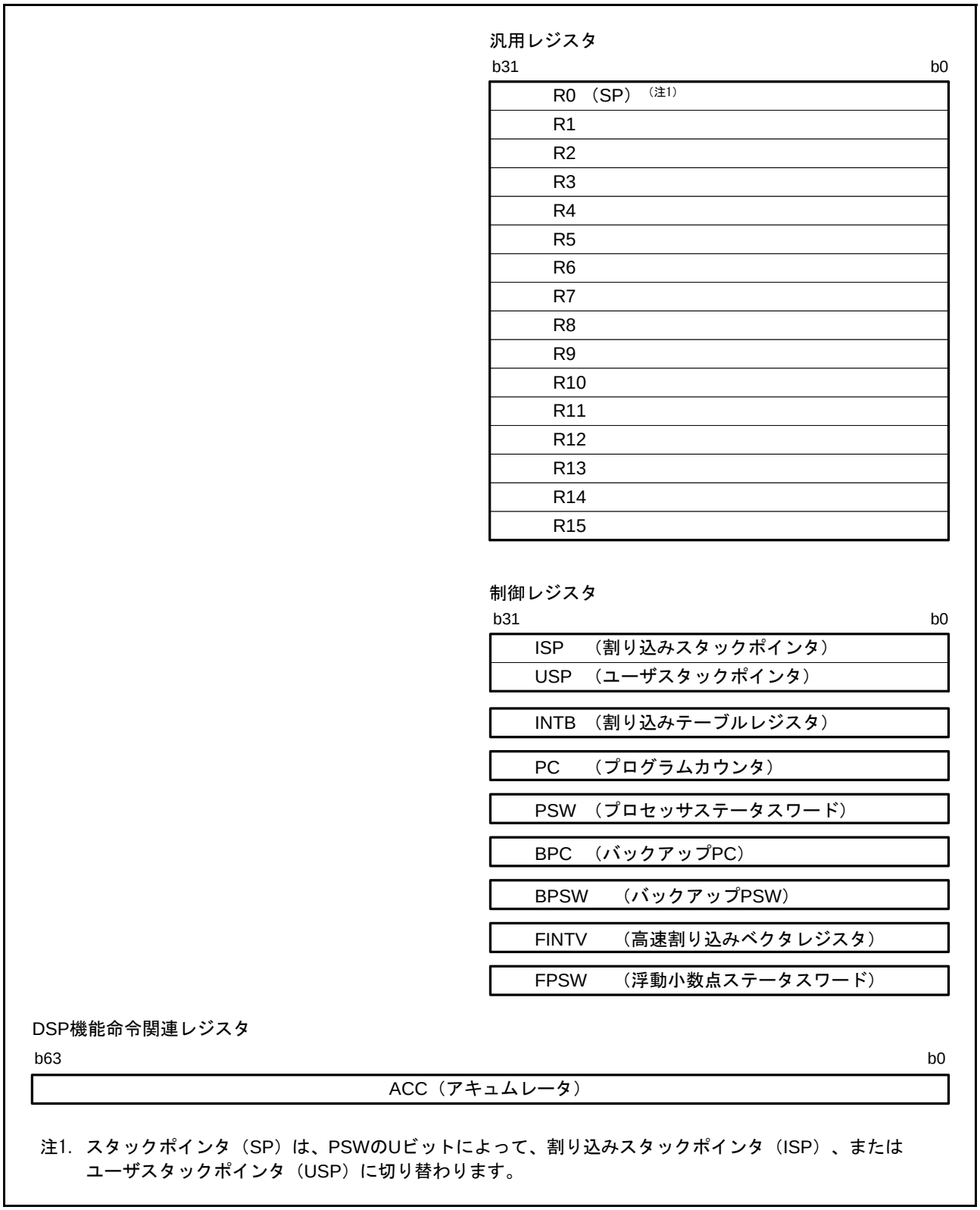
RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが延びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「Out-of-Order Completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
  汎用レジスタ：32 ビット ×16 本
  制御レジスタ：32 ビット ×9 本
  アキュムレータ：64 ビット ×1 本
- 基本命令：73 種類（算術／論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
  分岐距離に応じた相対分岐命令
  可変長命令形式（1 バイト長～ 8 バイト長）
  頻出命令に短縮フォーマットを用意
- 浮動小数点演算命令：8 種類
- DSP 機能命令：9 種類
  16 ビット ×16 ビットの乗算、積和命令に対応
  アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
  「Out-of-Order Completion」の採用
- プロセッサモード
  スーパバイザモード、ユーザモード
- 浮動小数点演算ユニット
  単精度浮動小数点数（32 ビット）に対応
  IEEE754 に準拠したデータタイプ、および例外に対応
- メモリプロテクションユニット
- データ配置
  リトルエンディアン／ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16 本）と、制御レジスタ（9 本）、および DSP 機能命令で使用するアキュムレータ（1 本）があります。



注1. スタックポインタ（SP）は、PSWのUビットによって、割り込みスタックポインタ（ISP）、またはユーザスタックポインタ（USP）に切り替わります。

図 2.1　CPU レジスタセット

2.2.1 汎用レジスタ（R0 ～ R15）

汎用レジスタは、16 本（R0 ～ R15）あります。汎用レジスタ R0 ～ R15 は、データレジスタやアドレスレジスタとして使用します。

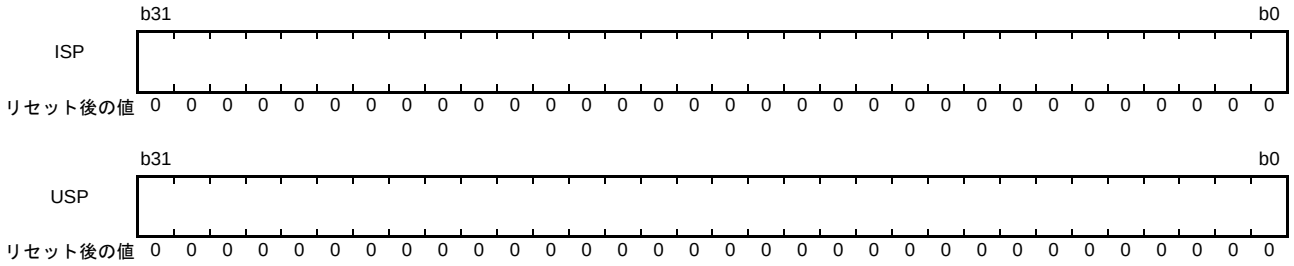
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられています。SP は、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって、割り込みスタックポインタ（ISP）、またはユーザスタックポインタ（USP）に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の 9 本のレジスタがあります。

- 割り込みスタックポインタ（ISP）
- ユーザスタックポインタ（USP）
- 割り込みテーブルレジスタ（INTB）
- プログラムカウンタ（PC）
- プロセッサステータスワード（PSW）
- バックアップ PC（BPC）
- バックアップ PSW（BPSW）
- 高速割り込みベクタレジスタ（FINTV）
- 浮動小数点ステータスワード（FPSW）

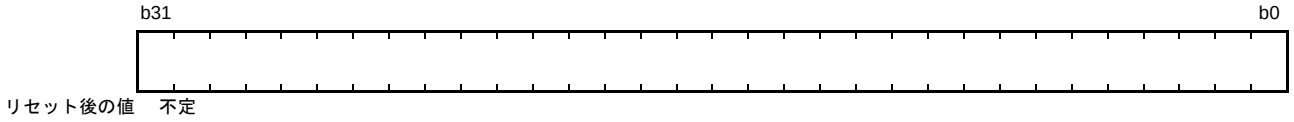
2.2.2.1 割り込みスタックポインタ（ISP）／ユーザスタックポインタ（USP）



スタックポインタ（SP）には、割り込みスタックポインタ（ISP）と、ユーザスタックポインタ（USP）の 2 種類があります。使用するスタックポインタ（ISP/USP）は、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって切り替えられます。

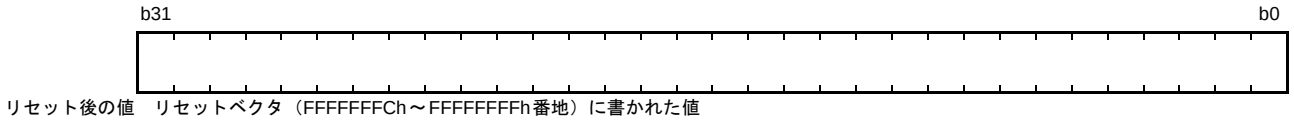
ISP、USP に 4 の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.2 割り込みテーブルレジスタ（INTB）



割り込みテーブルレジスタ（INTB）には、可変ベクタテーブルの先頭番地を設定してください。

2.2.2.3 プログラムカウンタ（PC）



プログラムカウンタ（PC）は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード（PSW）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0：キャリの発生なし 1：キャリの発生あり	R/W
b1	Z	ゼロフラグ	0：演算結果は0でなかった 1：演算結果は0であった	R/W
b2	S	サインフラグ	0：演算結果は正または0であった 1：演算結果は負であった	R/W
b3	O	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/W
b15–b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I（注1）	割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b17	U（注1）	スタックポインタ指定ビット	0：割り込みスタックポインタ（ISP）を指定 1：ユーザスタックポインタ（USP）を指定	R/W
b19–b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM （注1、注2、注3）	プロセッサモード設定ビット	0：スーパバイザモードに設定 1：ユーザモードに設定	R/W
b23–b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27–b24	IPL[3:0]（注1）	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0：優先レベル0（最低） 0 0 0 1：優先レベル1 0 0 1 0：優先レベル2 0 0 1 1：優先レベル3 0 1 0 0：優先レベル4 0 1 0 1：優先レベル5 0 1 1 0：優先レベル6 0 1 1 1：優先レベル7 1 0 0 0：優先レベル8 1 0 0 1：優先レベル9 1 0 1 0：優先レベル10 1 0 1 1：優先レベル11 1 1 0 0：優先レベル12 1 1 0 1：優先レベル13 1 1 1 0：優先レベル14 1 1 1 1：優先レベル15（最高）	R/W
b31–b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。
また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。

注2. スーパバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。

注3. スーパバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード（PSW）は、命令実行の結果や、CPU の状態を示します。

C フラグ（キャリフラグ）
演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

Z フラグ（ゼロフラグ）
演算結果が 0 であったことを示します。

S フラグ（サインフラグ）
演算結果が負であったことを示します。

O フラグ（オーバフローフラグ）
演算中にオーバフローしたことを示します。

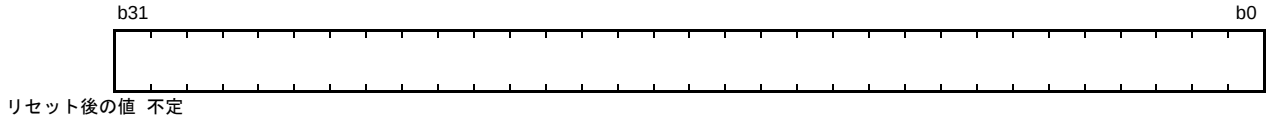
I ビット（割り込み許可ビット）
割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは “0” になります。

U ビット（スタックポインタ指定ビット）
使用するスタックポインタ（ISP/USP）を指定するビットです。例外を受け付けると、このビットは “0” になります。スーパバイザモードからユーザモードに移行すると、このビットは “1” になります。

PM ビット（プロセッサモード設定ビット）
プロセッサモードを設定するビットです。例外を受け付けると、このビットは “0” になります。

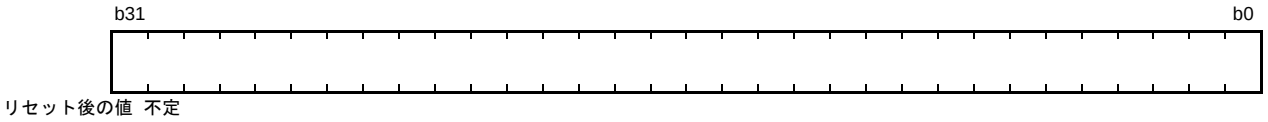
IPL[3:0] ビット（プロセッサ割り込み優先レベル）
IPL[3:0] ビットは、優先レベル 0（最低）～ 優先レベル 15（最高）までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15（Fh）に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15（Fh）になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.5 バックアップ PC（BPC）



バックアップ PC（BPC）は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ（PC）の内容が BPC に退避されます。

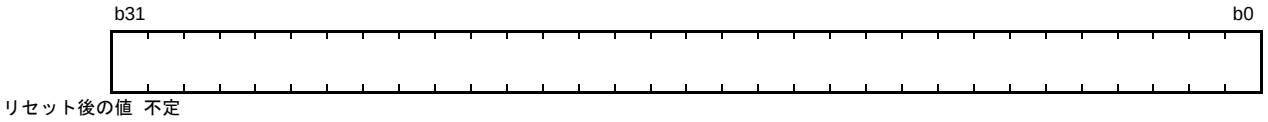
2.2.2.6 バックアップ PSW（BPSW）



バックアップ PSW（BPSW）は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード（PSW）の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.7 高速割り込みベクタレジスタ（FINTV）



高速割り込みベクタレジスタ（FINTV）は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.8　浮動小数点ステータスワード（FPSW）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1–b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0：最近値への丸め 0 1：0方向への丸め 1 0：+∞方向への丸め 1 1：−∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0：無効演算の発生なし 1：無効演算の発生あり	R/(W)（注1）
b3	CO	オーバフロー要因フラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/(W)（注1）
b4	CZ	ゼロ除算要因フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり	R/(W)（注1）
b5	CU	アンダフロー要因フラグ	0：アンダフローの発生なし 1：アンダフローの発生あり	R/(W)（注1）
b6	CX	精度異常要因フラグ	0：精度異常の発生なし 1：精度異常の発生あり	R/(W)（注1）
b7	CE	非実装処理要因フラグ	0：非実装処理の発生なし 1：非実装処理の発生あり	R/(W)（注1）
b8	DN	非正規化数の0フラッシュビット	0：非正規化数を非正規化数として扱う 1：非正規化数を0として扱う（注2）	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0：無効演算発生による例外処理を禁止 1：無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0：オーバフロー発生による例外処理を禁止 1：オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0：ゼロ除算発生による例外処理を禁止 1：ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0：アンダフロー発生による例外処理を禁止 1：アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0：精度異常発生による例外処理を禁止 1：精度異常発生による例外処理を許可	R/W
b25–b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV（注3）	無効演算フラグ	0：無効演算の発生なし 1：無効演算の発生あり（注8）	R/W
b27	FO（注4）	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり（注8）	R/W
b28	FZ（注5）	ゼロ除算フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり（注8）	R/W
b29	FU（注6）	アンダフローフラグ	0：アンダフローの発生なし 1：アンダフローの発生あり（注8）	R/W
b30	FX（注7）	精度異常フラグ	0：精度異常の発生なし 1：精度異常の発生あり（注8）	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
注2. 正の非正規化数は+0、負の非正規化数は−0として扱います。
注3. EVビットが“0”のときに、FVフラグは有効となります。
注4. EOビットが“0”のときに、FOフラグは有効となります。
注5. EZビットが“0”のときに、FZフラグは有効となります。
注6. EUビットが“0”のときに、FUフラグは有効となります。
注7. EXビットが“0”のときに、FXフラグは有効となります。
注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード（FPSW）は、浮動小数点演算結果を示します。

例外処理許可ビットEjで例外処理を許可（Ej=“1”）した場合は、例外処理ルーチンで該当するCjフラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止（Ej=“0”）した場合は、一連の処理の最後にFjフラグをチェックし、例外発生の有無を確認することができます。Fjフラグは蓄積フラグです。（j=X、U、Z、O、V）

RM[1:0] ビット（浮動小数点丸めモード設定ビット）

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め（デフォルト） ： 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め ： 結果の絶対値が小さくなる方向へ丸める（単純な切り捨て）
- ＋∞方向への丸め ： 結果の値が大きくなる方向へ丸める
- －∞方向への丸め ： 結果の値が小さくなる方向へ丸める

（1）「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。
（2）「0方向への丸め」、「＋∞方向への丸め」、「－∞方向への丸め」は、区間演算（Interval arithmetic）を使用した精度保証を行うときに使用します。

CV フラグ（無効演算要因フラグ）、CO フラグ（オーバフロー要因フラグ）
CZ フラグ（ゼロ除算要因フラグ）、CU フラグ（アンダフロー要因フラグ）
CX フラグ（精度異常要因フラグ）、CE フラグ（非実装処理要因フラグ）

IEEE754規格で規定された5つの例外（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU演算命令実行時に“0”になります。
- MVTC、POPC命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット（非正規化数の 0 フラッシュビット）

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を0として扱います。

EV ビット（無効演算例外処理許可ビット）、EO ビット（オーバフロー例外処理許可ビット）
EZ ビット（ゼロ除算例外処理許可ビット）、EU ビット（アンダフロー例外処理許可ビット）
EX ビット（精度異常例外処理許可ビット）

浮動小数点演算命令実行により、IEEE754規格で規定された5つの例外が発生したときに、CPUが例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ）
FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）

例外処理許可ビット Ej が “0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

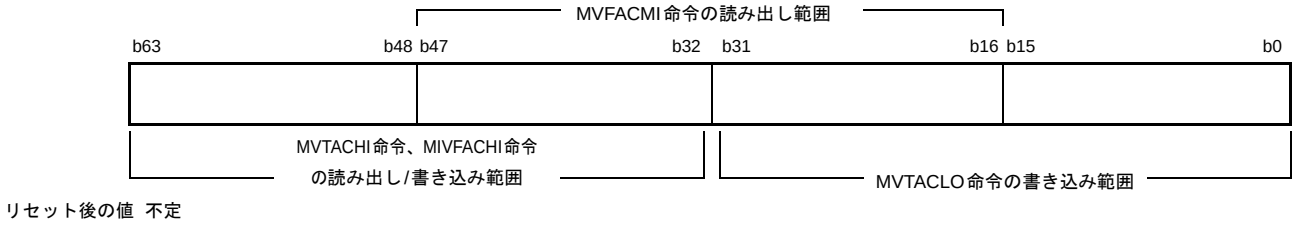
- Ej=“1”（例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU、FZ、FO、FV フラグの論理和を反映します。

2.2.3 DSP 機能命令関連レジスタ

2.2.3.1 アキュムレータ（ACC）



アキュムレータ（ACC）は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット（b63 ～ b32）に、MVTACLO 命令は下位側 32 ビット（b31 ～ b0）にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット（b63 ～ b32）、MVFACMI 命令で中央の 32 ビット（b47 ～ b16）のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPU には、スーパバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパバイザモードで動作します。

2.3.1 スーパバイザモード

スーパバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード（PSW）のプロセッサモード設定ビット（PM）への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード（PSW）」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード（PSW）の一部のビット（IPL[3:0]、PM、U、I）
- 割り込みスタックポインタ（ISP）
- 割り込みテーブルレジスタ（INTB）
- バックアップ PSW（BPSW）
- バックアップ PC（BPC）
- 高速割り込みベクタレジスタ（FINTV）

2.3.3 特権命令

特権命令は、スーパバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード（PSW）のプロセッサモード設定ビット（PM）によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパバイザモードへの移行

例外が発生すると PSW.PM ビットが “0” になり、CPU はスーパバイザモードへ移行します。ハードウェア前処理は、スーパバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを “1” にした後 RTE 命令を実行する、あるいはバックアップ PSW（BPSW）に退避されている PSW.PM ビットを “1” にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット（U）が “1” になります。

2.4　データタイプ

RX CPU は、整数、浮動小数点数、ビット、ストリングの 4 種類のデータを扱うことができます。
詳細は「RX ファミリ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.5　エンディアン

RX CPU の命令は、リトルエンディアン固定です。
データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1　エンディアンの設定

RX63N グループ、RX631 グループでは、バイトデータの並び方を、上位バイト（MSB）が 0 番地になるビッグエンディアン、下位バイト（LSB）が 0 番地になるリトルエンディアンのいずれも使用できます。
エンディアンの設定については、「3.　動作モード」を参照してください。
命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ～表 2.12 に示します。
表中の
LL は、汎用レジスタの D7 ～ D0
LH は、汎用レジスタの D15 ～ D8
HL は、汎用レジスタの D23 ～ D16
HH は、汎用レジスタの D31 ～ D24　　を示します。

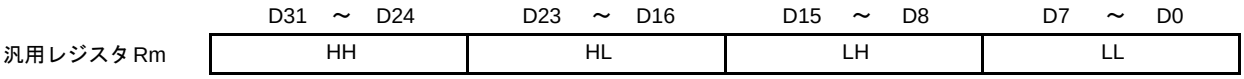


表 2.1　リトルエンディアン設定時の 32 ビットリード動作

動作 / src 番地	0 番地を 32 ビットでリード	1 番地を 32 ビットでリード	2 番地を 32 ビットでリード	3 番地を 32 ビットでリード	4 番地を 32 ビットでリード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表 2.2　ビッグエンディアン設定時の 32 ビットリード動作

動作 / src 番地	0 番地を 32 ビットでリード	1 番地を 32 ビットでリード	2 番地を 32 ビットでリード	3 番地を 32 ビットでリード	4 番地を 32 ビットでリード
0 番地	HH に転送	—	—	—	—
1 番地	HL に転送	HH に転送	—	—	—
2 番地	LH に転送	HL に転送	HH に転送	—	—
3 番地	LL に転送	LH に転送	HL に転送	HH に転送	—
4 番地	—	LL に転送	LH に転送	HL に転送	HH に転送
5 番地	—	—	LL に転送	LH に転送	HL に転送
6 番地	—	—	—	LL に転送	LH に転送
7 番地	—	—	—	—	LL に転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6　ビッグエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7　リトルエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8　ビッグエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を8ビットでリード	1番地を8ビットでリード	2番地を8ビットでリード	3番地を8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を8ビットでリード	1番地を8ビットでリード	2番地を8ビットでリード	3番地を8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に8ビットでライト	1番地に8ビットでライト	2番地に8ビットでライト	3番地に8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に8ビットでライト	1番地に8ビットでライト	2番地に8ビットでライト	3番地に8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがって I/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.2 に示します。

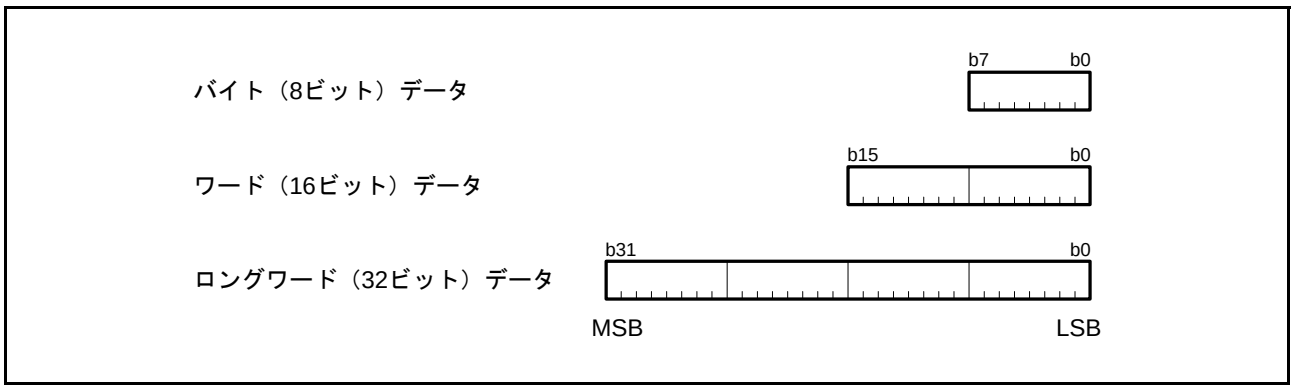


図 2.2 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8 ビット）、ワード（16 ビット）、ロングワード（32 ビット）の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.3 に示します。

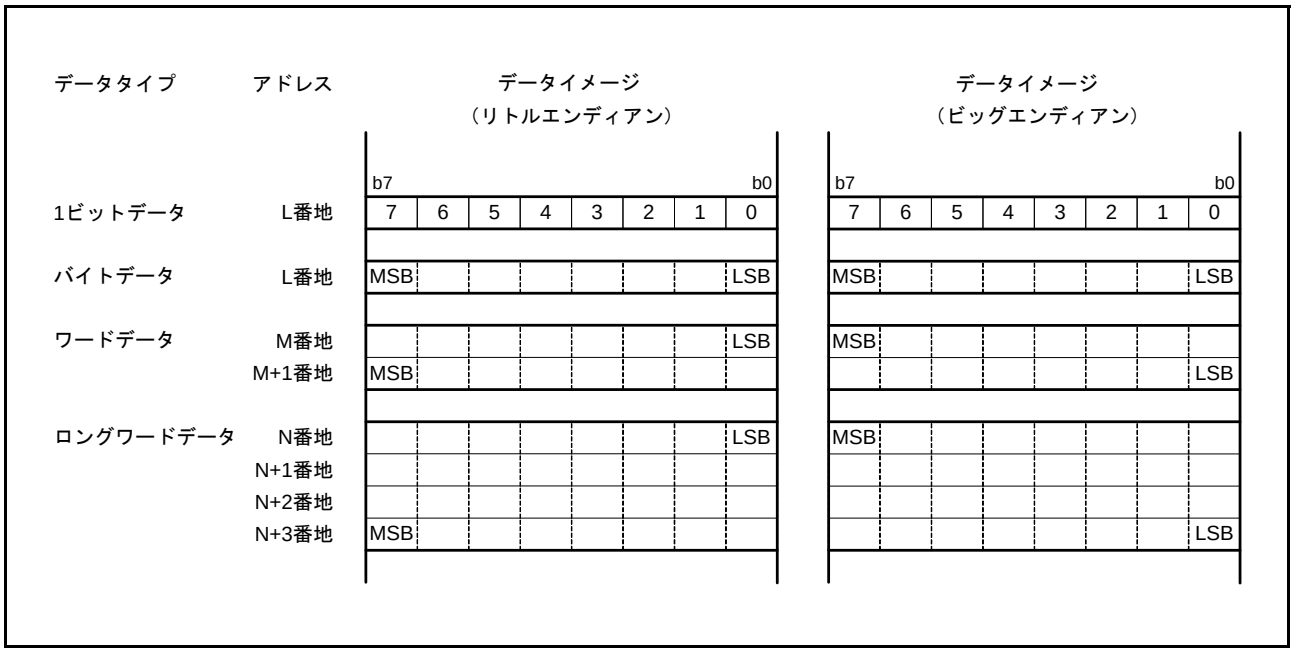


図 2.3 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1 ベクタあたり 4 バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h ～ FFFFFFFFh 番地に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込み、リセットの各ベクタを配置しています。**図 2.4** に固定ベクタテーブルを示します。

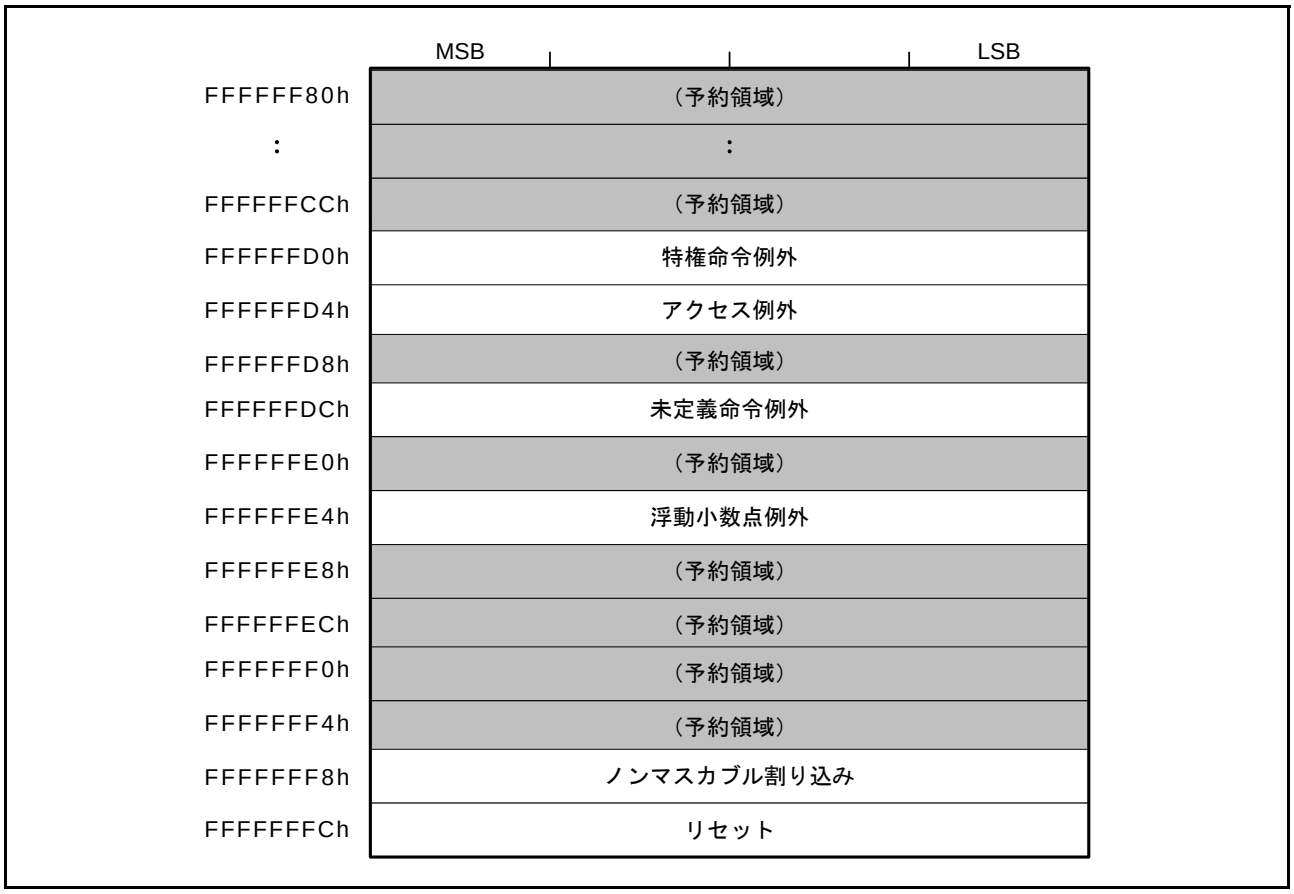


図 2.4 固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ（INTB）の内容で示された値を先頭アドレス（IntBase）とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。**図 2.5** に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号（0 ～ 255）が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号（0 ～ 255）に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号（0 ～ 255）が割り当てられています。割り込みのベクタ番号については、**「15.3.1 割り込みのベクタテーブル」**を参照してください。

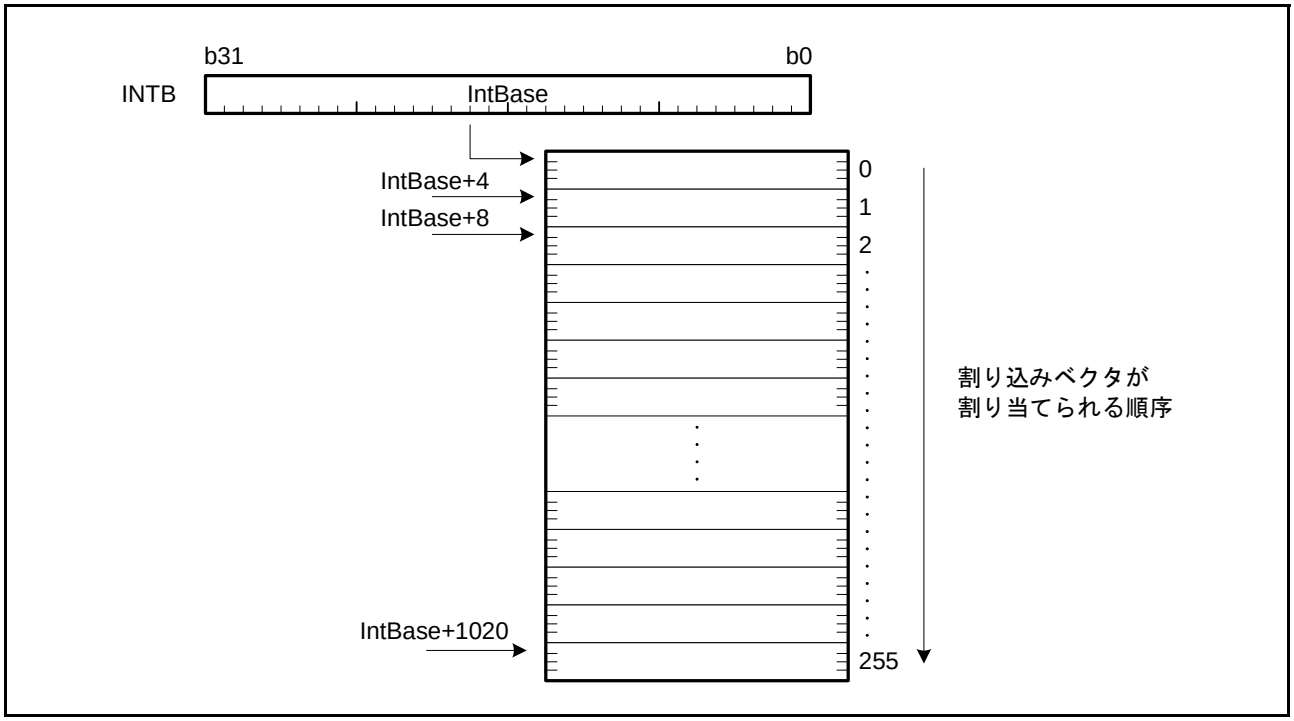


図 2.5 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令に関する制約事項

2.7.1.1 データプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE）は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.7.1.2 外部空間へのアクセス [外部空間あり製品のみ]

外部空間には領域毎のエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、およびストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE）の操作対象データを配置することは禁止しており、その動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.7.1.3 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE）の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.8 パイプライン

2.8.1 概要

RX CPU は 5 段のパイプラインステージで構成されています。RX CPU の命令は、1 つまたは、複数のマイクロオペレーションに変換され、RX CPU はマイクロオペレーションをパイプライン処理します。パイプラインステージは、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IF ステージ（命令フェッチステージ）

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPU は 8 バイト ×4 本の命令キューを備えており、D（デコード）ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) D ステージ（デコードステージ）

D ステージは命令のデコード処理（DEC）を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し（RF）を行い、先行する命令の演算結果を参照する処理の場合は、バイパス（BYP）を行います。バイパスにより、演算結果のレジスタへの書き込み (RW) と同時に、D ステージでのレジスタ参照が可能です。

(3) E ステージ（実行ステージ）

演算やアドレス計算など（OP）を行います。

(4) M ステージ（メモリアクセスステージ）

オペランドのメモリアクセス（OA1、OA2）を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらに M1、M2 の 2 段のサブステージに分かれます。RX CPU では、M1、M2 の各ステージに 1 個のメモリアクセスが存在することができます。

- M1 ステージ（メモリアクセスステージ 1）

オペランドのメモリアクセス（OA1）を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2 ステージに進みます。要求受け付けとロードデータ到着が同時（ノーウェイトのメモリアクセス）の場合は、WB ステージに進みます。

- M2 ステージ（メモリアクセスステージ 2）

オペランドのメモリアクセス（OA2）を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WB ステージに進みます。

(5) WB ステージ（ライトバックステージ）

演算結果やメモリから読み出したデータをレジスタに書きます（RW）。メモリからの読み出しデータとそれ以外の演算結果は同時（同じサイクル）にレジスタに書けます。

図 2.6 にパイプライン構成とその動作を示します。

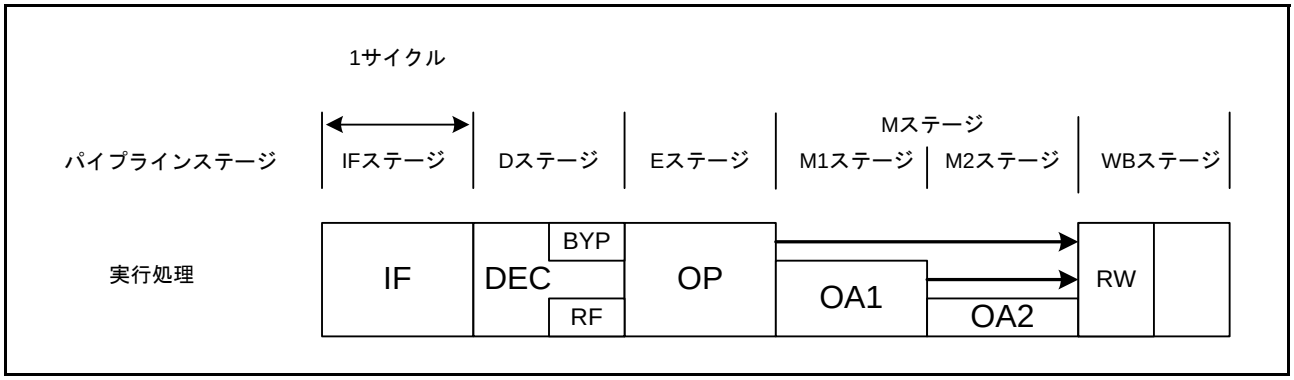


図 2.6 パイプライン構成と動作

2.8.2　命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM：即値
flag：ビット、フラグ
Rs, Rs2, Rd, Rd2, Ri, Rb：汎用レジスタ
CR：制御レジスタ
dsp：ディスプレースメント
pcdsp：ディスプレースメント

2.8.2.1　単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13　単一マイクロオペレーションに変換される命令

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
算術／論理演算命令 （レジスタ間、即値-レジスタ） DIV、DIVU、EMUL、EMULU、 RMPA、SATRを除く	• {ABS, NEG, NOT} “Rd”/“Rs, Rd” • {ADC, MAX, MIN, ROTL, ROTR, XOR} “#IMM, Rd”/“Rs, Rd” • ADD “#IMM, Rd”/“Rs, Rd”/“#IMM, Rs, Rd”/“Rs, Rs2, Rd” • {AND, MUL, OR, SUB} “#IMM, Rd”/“Rs, Rd”/“Rs, Rs2, Rd” • {CMP, TST} “#IMM, Rs”/“Rs, Rs2” • NOP • {ROLC, RORC, SAT} “Rd” • SBB “Rs, Rd” • {SHAR, SHLL, SHLR} “#IMM, Rd”/“Rs, Rd”/“#IMM, Rs, Rd”	図2.7	1
算術／論理演算命令（除算）	• DIV “#IMM, Rd”/“Rs, Rd”	図2.7	3～20（注1）
	• DIVU “#IMM, Rd”/“Rs, Rd”	図2.7	2～18（注1）
転送命令 （レジスタ間、即値－レジスタ）	• MOV “#IMM, Rd”/“Rs, Rd” • {MOVU, REVL, REVW} “Rs, Rd” • SC*Cnd* “Rd” • {STNZ, STZ} “#IMM, Rd”	図2.7	1
転送命令（ロード動作）	• {MOV, MOVU} “[Rs], Rd”/“dsp[Rs], Rd”/“[Rs+], Rd” /“[-Rs], Rd”/“[Ri, Rb], Rd” • POP “Rd”	図2.8	スループット：1 レイテンシ：2（注2）
転送命令（ストア動作）	• MOV “Rs, [Rd]”/“Rs, dsp[Rd]”/“Rs, [Rd+]” /“Rs, [-Rd]”/“Rs, [Ri, Rb]”/“#IMM, dsp[Rd]”/“#IMM, [Rd]” • PUSH “Rs” • PUSHC “CR” • SC*Cnd* “[Rd]”/“dsp[Rd]”	図2.9	1
ビット操作命令（レジスタ）	• {BCLR, BNOT, BSET} “#IMM, Rd”/“Rs, Rd” • BM*Cnd* “#IMM, Rd” • BTST “#IMM, Rs”/“Rs, Rs2”	図2.7	1
分岐命令	• B*Cnd* “pcdsp” • {BRA, BSR} “pcdsp”/“Rs” • {JMP, JSR} “Rs”	図2.18	分岐成立：3 分岐不成立：1
浮動小数点演算命令 （レジスタ間、即値－レジスタ）	• FCMP “#IMM, Rs”/“Rs, Rs2”	図2.7	1
システム操作命令	• {CLRPSW, SETPSW} “flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL“#IMM”	—	1
DSP機能命令	• {MACHI, MACLO, MULHI, MULLO} “Rs, Rs2” • {MVFACHI, MVFACMI} “Rd” • {MVTACHI, MVTACLO} “Rs” • RACW“#IMM”	図2.7	1

注1.　除算命令のサイクル数は、除数、被除数の値により変動します。
注2.　スループット、レイテンシ表記のサイクル数については「2.8.3　命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.7 ～図 2.9 に示します。

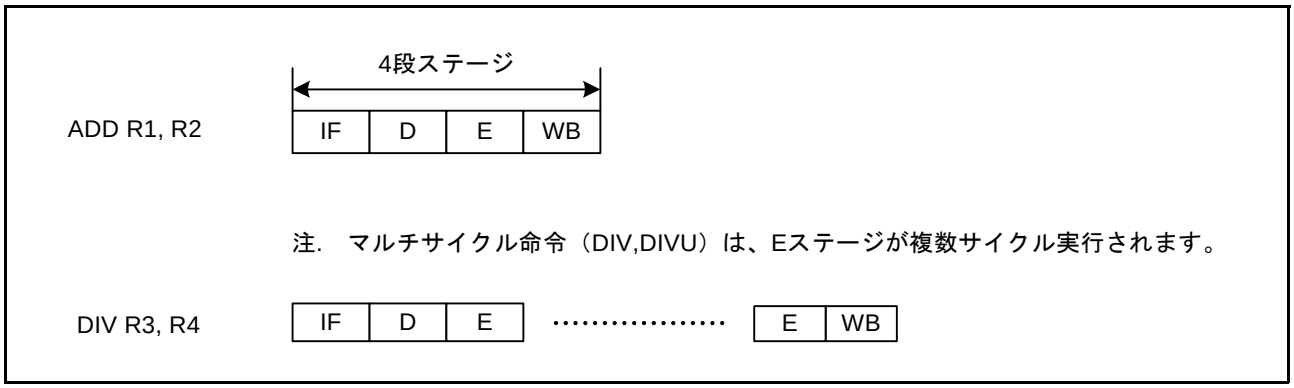


図 2.7 レジスタ間、即値－レジスタ演算

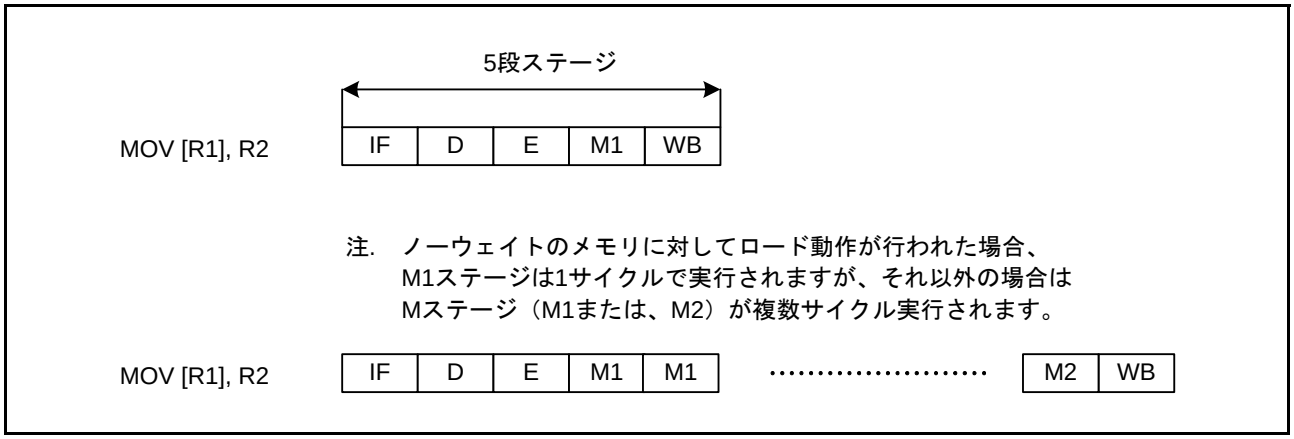


図 2.8 ロード動作

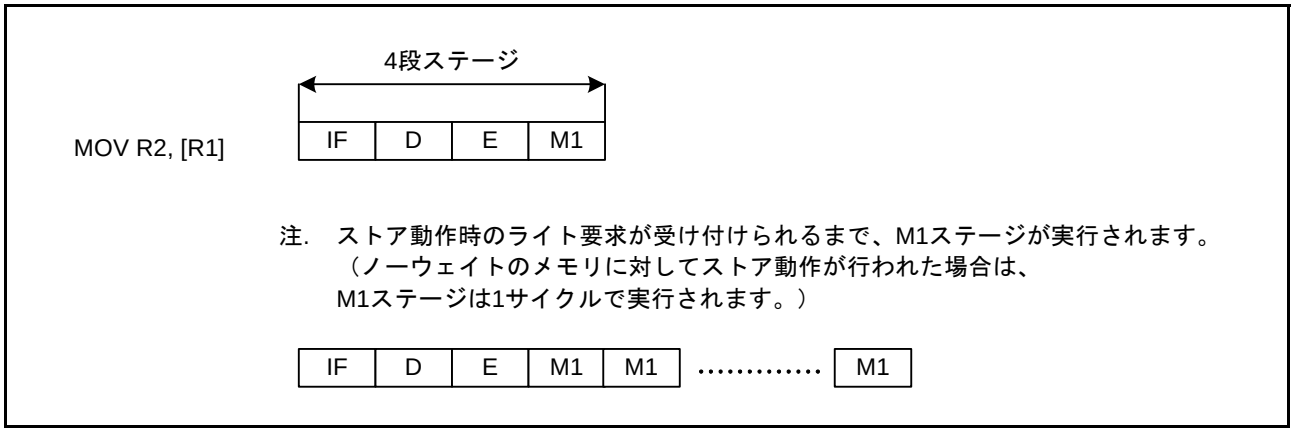


図 2.9 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.14 複数マイクロオペレーションに変換される命令 (1 / 2)

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
算術／論理演算命令 （メモリソースオペランド）	• {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd” • {CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2”	図2.10	3
算術／論理演算命令（除算）	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5～22
	• DIVU“[Rs], Rd / dsp[Rs], Rd”	—	4～20
算術／論理演算命令 （乗算 32bit×32bit → 64bit） （レジスタ間、レジスター即値）	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図2.12	2
算術／論理演算命令 （乗算 32bit×32bit → 64bit） （メモリソースオペランド）	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術／論理演算命令（積和演算）	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数（注1）
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数（注1）
	• RMPA.L	—	6+4n nは処理ロングワード数（注1）
算術／論理演算命令（RMPA命令用64ビット符号付き飽和処理）	• SATR	—	3
転送命令（メモリ間転送）	• MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]” /“dsp[Rs], dsp[Rd]” • PUSH “[Rs]”/“dsp[Rs]”	図2.11	3
ビット操作命令 （メモリソースオペランド）	• {BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]” /“Rs, [Rd]”/“Rs, dsp[Rd]” • BM*Cnd* “#IMM, [Rd]”/“#IMM, dsp[Rd]” • BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]”	図2.11	3
転送命令（ロード命令）	• POPC “CR”	—	スループット：3 レイテンシ：4（注2）
転送命令（複数レジスタの退避）	• PUSHM “Rs-Rs2”	—	n nはレジスタ数（注3）
転送命令（複数レジスタの復帰）	• POPM “Rd-Rd2”	—	スループット：n レイテンシ：n+1 nはレジスタ数（注2、注4）
転送命令（レジスタ間の交換）	• XCHG “Rs, Rd”	図2.13	2
転送命令 （メモリーレジスタの交換）	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図2.14	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット：n<5?5:1+n レイテンシ：n<4?5:2+n nはレジスタ数（注2）

表2.14　複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
ストリング操作命令（注5）	• SCMPU	—	2+4×floor(n/4)+4×(n%4) nは比較バイト数（注1）
	• SMOVB	—	n>3? 6+3×floor(n/4)+3×(n%4): 2+3n nは転送バイト数（注1）
	• SMOVF, SMOVU	—	2+3×floor(n/4)+3×(n%4) nは転送バイト数（注1）
	• SSTR.B	—	2+floor(n/4)+n%4 nは転送バイト数（注1）
	• SSTR.W	—	2+floor(n/2)+n%2 nは転送ワード数（注1）
	• SSTR.L	—	2+n nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	3+3×floor(n/4)+3×(n%4) nは比較バイト数（注1）
	• SUNTIL.W, SWHILE.W	—	3+3×floor(n/2)+3×(n%2) nは比較ワード数（注1）
	• SUNTIL.L, SWHILE.L	—	3+3×n nは比較ロングワード数
浮動小数点演算命令 （レジスタ間、即値－レジスタ）	• {FADD, FSUB} “#IMM, Rd”/ “Rs, Rd”	図2.15	4
	• FMUL “#IMM, Rd”/“Rs, Rd”	—	3
	• FDIV “#IMM, Rd”/“Rs, Rd”	—	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	—	2
浮動小数点演算命令 （メモリソースオペランド）	• {FADD, FSUB} “[Rs], Rd”/“dsp[Rs], Rd”	—	6
	• FCMP “[Rs], Rs2”/“dsp[Rs], Rs2”	—	3
	• FMUL “[Rs], Rd”/“dsp[Rs], Rd”	—	5
	• FDIV “[Rs], Rd”/“dsp[Rs], Rd”	—	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd” /“dsp[Rs], Rd”	—	4
システム操作命令	• RTE	—	6
	• RTFI	—	3

?：条件演算子

注1.　floor(x)：x以下の最大の整数
注2.　スループット、レイテンシ表記のサイクル数については「2.8.3　命令処理時間の計算方法」を参照してください。
注3.　PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。
注4.　POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。
注5.　SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.10 ～図 2.15 に示します。

注 . mop：マイクロオペレーション、stall：パイプラインストール

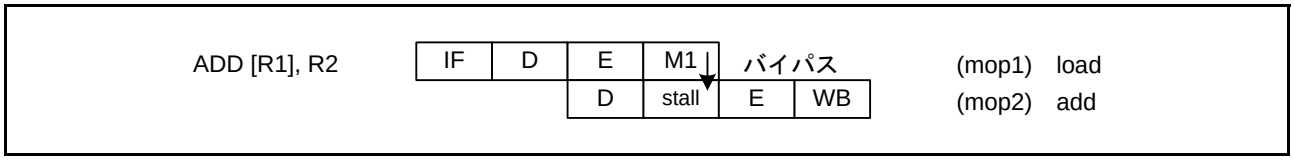


図 2.10 算術論理演算命令（メモリソースオペランド）

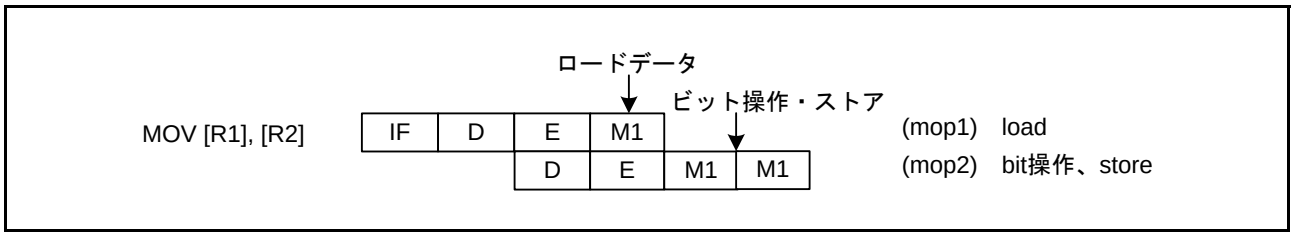


図 2.11 MOV 命令（メモリ間転送）、ビット操作命令（メモリソースオペランド）

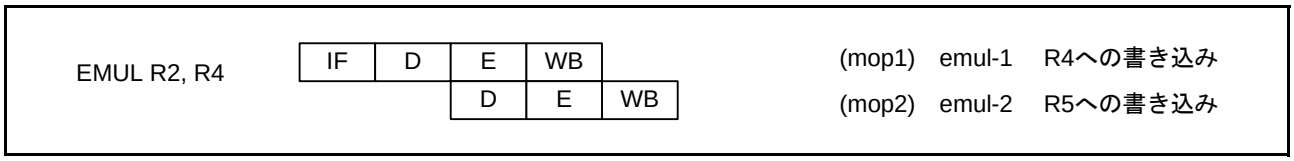


図 2.12 EMUL, EMULU 命令（レジスタ間、レジスター即値）

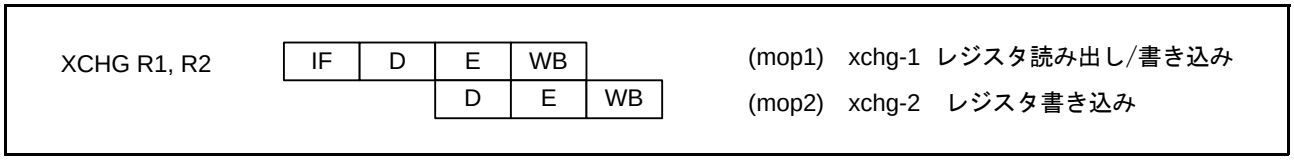


図 2.13 XCHG 命令（レジスタ）

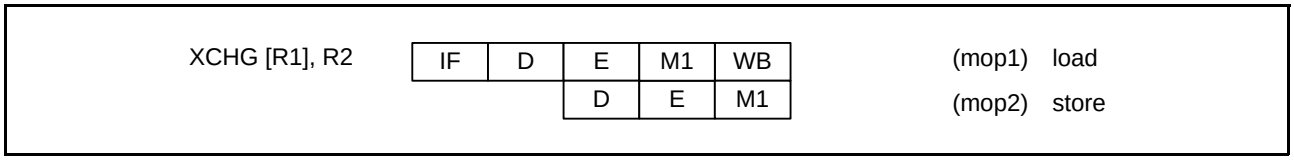


図 2.14 XCHG 命令（メモリソースオペランド）

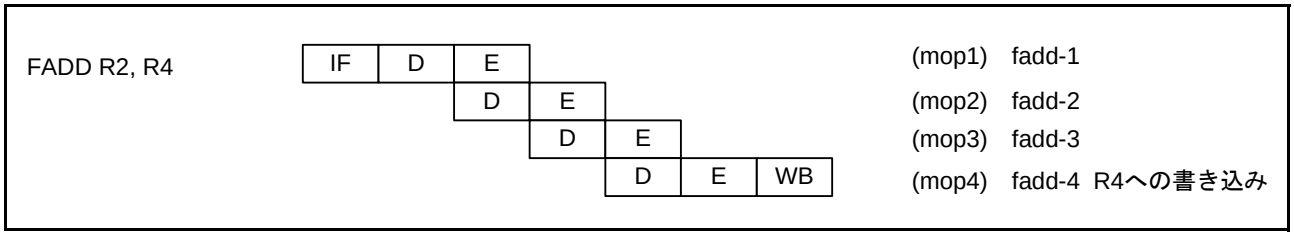


図 2.15 浮動小数点演算命令（レジスタ間、即値ーレジスタ）

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は 1 ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPU は、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注 . mop：マイクロオペレーション、stall：パイプラインストール

(1) パイプライン処理が乱れるケース

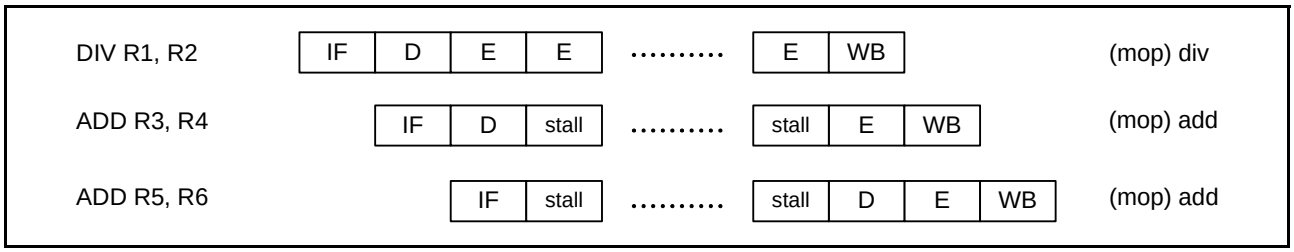


図 2.16 E ステージの実行に複数サイクルを要する命令の実行時

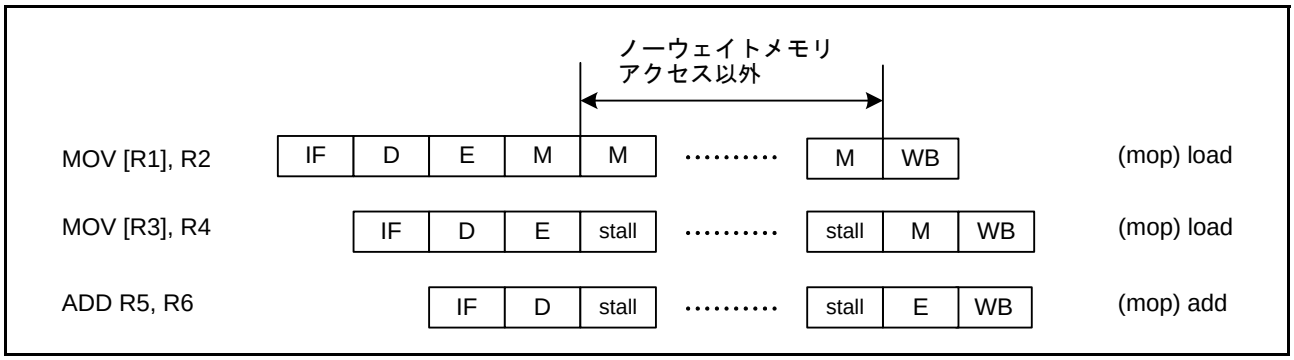


図 2.17 オペランドアクセスが 1 サイクルで終了しない場合

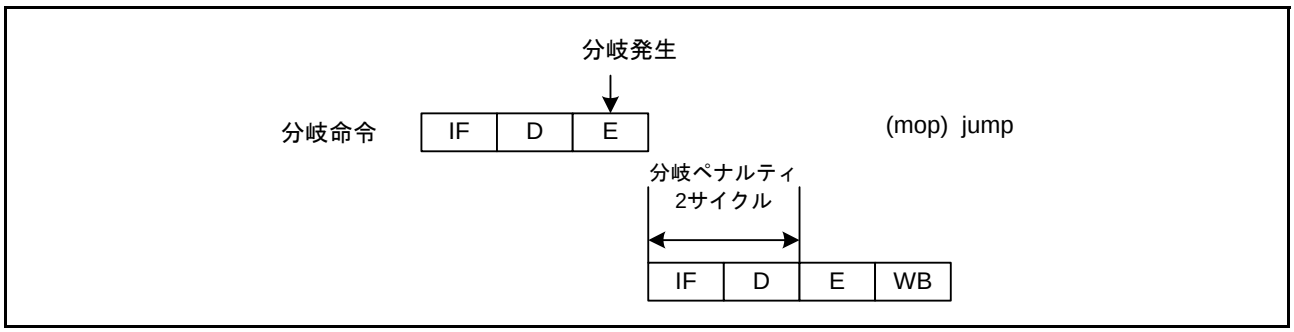


図 2.18 分岐（無条件分岐または、条件分岐で条件が成立した場合）

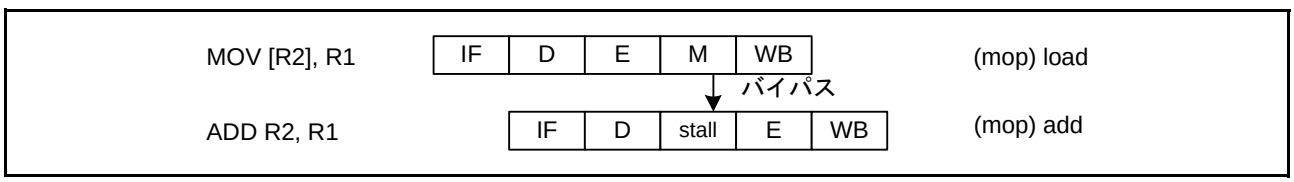


図 2.19 メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

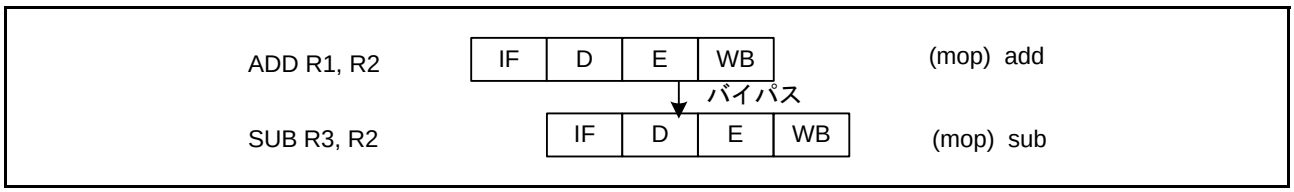


図 2.20 バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

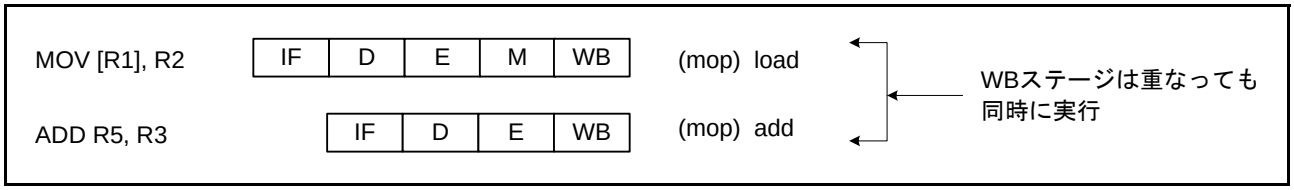


図 2.21 メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

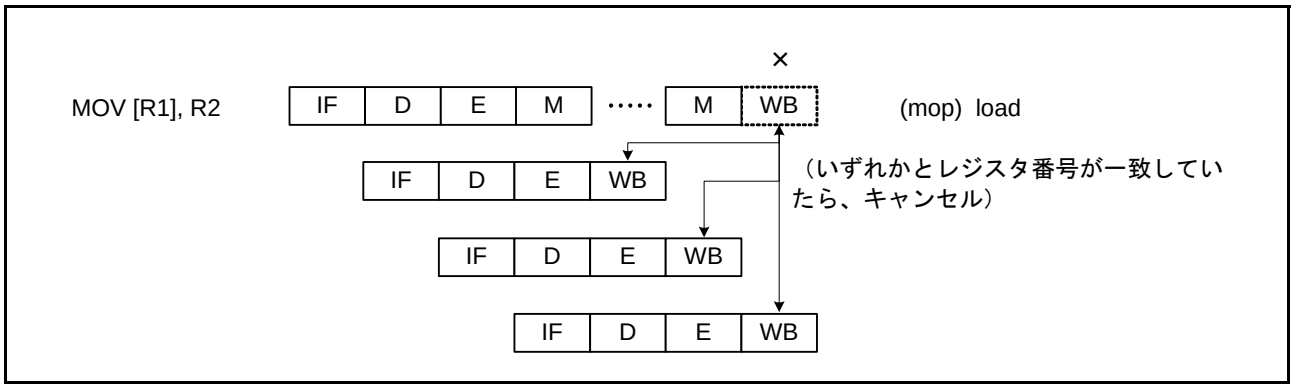


図 2.22 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。
（Out-of-Order Completion）

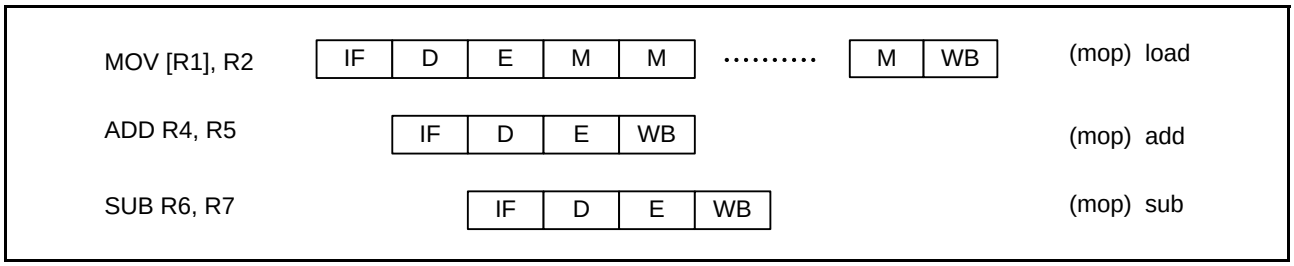


図 2.23 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします（**表 2.13**、**表 2.14** を参照）。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“ レイテンシ ”として記載されているサイクル数をカウントします。それ以外は“ スループット ”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類／処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル （実行している命令によって異なる）	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 （高速割り込みは、制御レジスタへ退避） ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。RX63N グループ、RX631 グループは、ノーウェイトアクセス可能な ROM、RAM を搭載しています。プログラム（含むベクタ）は ROM、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、**「表 2.13 単一マイクロオペレーションに変換される命令」**、**「表 2.14 複数マイクロオペレーションに変換される命令」**を参照してください。

割り込み受け付けタイミングはパイプラインの状態に依存します。割り込み受け付けタイミングについては、**「14.3.1 受け付けタイミングと退避される PC 値」**を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子（MD、PC7 または PA6）のレベルと、そのとき選択される動作モードの関係を**表 3.1** に示します。各動作モードの詳細は**「3.3　動作モードの説明」**を参照してください。いずれのモードで起動した場合でも、内蔵 ROM（ROM、E2 データフラッシュ）有効、外部バス無効の状態で動作を開始します。外部バスを有効にする場合は SYSCR0.EXBE ビットを “1”（外部バス有効）にしてください。

表 3.1　モード設定端子による動作モードの選択（64 ピン TFLGA 以外の製品）

モード設定端子		動作モード	SYSCR0 レジスタ初期状態	
MD（注1）	PC7（注2）		ROME ビット	EXBE ビット
High	–	シングルチップモード	1（内蔵 ROM 有効）	0（外部バス無効）
Low	Low	ブートモード		
	High	USB ブートモード		
		ユーザブートモード		

表 3.2　モード設定端子による動作モードの選択（64 ピン TFLGA）

モード設定端子		動作モード	SYSCR0 レジスタ初期状態
MD（注1）	PA6（注2）		ROME ビット
High	–	シングルチップモード	1（内蔵 ROM 有効）
Low	Low	ブートモード	
	High	USB ブートモード	
		ユーザブートモード	

注1.　MCU 動作中に MD 端子を変化させないでください。
注2.　PC7 または PA6 端子は汎用ポートとしても使用可能です。

システムコントロールレジスタ 0（SYSCR0）で設定可能な動作モードの一覧を**表 3.3** に示します。各動作モードの詳細は**「3.3　動作モードの説明」**を参照してください。

表 3.3　レジスタによる動作モードの選択

SYSCR0 レジスタ		動作モード
ROME ビット	EXBE ビット	
0（内蔵 ROM 無効）（注1）	0（外部バス無効）	シングルチップモード、ユーザブートモード
1（内蔵 ROM 有効）	0（外部バス無効）	
0（内蔵 ROM 無効）（注1）	1（外部バス有効）	内蔵 ROM 無効拡張モード
1（内蔵 ROM 有効）	1（外部バス有効）	内蔵 ROM 有効拡張モード

注1.　ROME ビットを“0”にすると、“1”に戻せません。

シングルチップモード、ユーザブートモードでは、エンディアンを選択することができます。動作モードごとのエンディアンの設定は、**表 3.4** に示すレジスタのエンディアン選択ビット（MDE[2:0]）で行います。設定値は**表 3.5** を参照してください。

表 3.4 エンディアンの設定

動作モード	エンディアン設定
シングルチップモード	オプション設定メモリのエンディアン選択レジスタ（MDES）に設定
ユーザブートモード	オプション設定メモリのエンディアン選択レジスタ（MDEB）に設定

表 3.5 エンディアンの選択

MDE[2:0] ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ（MDMONR）

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1（注1）

ビット	シンボル	ビット名	説明	R/W
b0	MD	MD端子ステータスフラグ	0：MD端子は“Low” 1：MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1.　リセット解除時のMD端子のレベルが反映されます。

3.2.2 モードステータスレジスタ（MDSR）

アドレス 0008 0002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	UBTS	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0/1（注1）	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“1”が読めます	R
b4-b1	—	予約ビット	読むと“0”が読めます	R
b5	UBTS	ユーザブートモード起動フラグ	0：シングルチップモードで起動した 1：ユーザブートモードで起動した	R
b15-b6	—	予約ビット	読むと“0”が読めます	R

注1.　起動時の動作モードによって異なります。

3.2.3　システムコントロールレジスタ 0（SYSCR0）

アドレス　0008 0006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	EXBE	ROME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	ROME	内蔵ROM有効ビット	0：内蔵ROM無効 1：内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0：外部バス無効 1：外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	SYSCR0レジスタの書き換えの可否を制御します。 SYSCR0レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) （注1）

注1.　書き込みデータは保持されません。

ROME ビット（内蔵 ROM 有効ビット）

内蔵 ROM（ROM、E2 データフラッシュ）の有効 / 無効を選択するビットです。

一旦 “0” にすると、“1” に戻すことはできません。

内蔵 ROM 上のプログラムを実行しているときは、“0” にしないでください。また、ROME ビットに “0” を書いた後は、ROME ビットが “0” になったことを確認してから次の処理を行ってください。

EXBE ビット（外部バス有効ビット）

外部バスの有効 / 無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0” にしないでください。また、外部バスへのアクセスが完了してから “0” を書いてください。また、DMAC の転送範囲に外部アドレス空間が含まれる場合は、DMA 転送を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを “1” にする場合、関連する I/O ポートの設定も必要となります。詳細は「22.　マルチファンクションピンコントローラ（MPC）」を参照してください。

3.2.4　システムコントロールレジスタ 1（SYSCR1）

アドレス　0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	RAME	RAM 有効ビット	0：RAM 無効 1：RAM 有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RAME ビット（RAM 有効ビット）

RAM の有効 / 無効を選択するビットです。

RAM をアクセスしているときは、“0” にしないでください。また、RAME ビットを “0” から “1” に書き換えた後は、RAME ビットが “1” になったことを確認してから RAM をアクセスするようにしてください。

RAME ビットを “0” にしても、RAM の値は保持されます。ただし、**「51.　電気的特性」**に規定する RAM スタンバイ電圧（VRAM）以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効（SYSCR0.EXBE ビット =0）で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効（SYSCR0.ROME ビット =1）です。ソフトウェアで内蔵 ROM 無効（SYSCR0.ROME ビット =0）にできますが、内蔵 ROM 有効（SYSCR0.ROME ビット =1）に戻すことはできません。

SYSCR0.EXBE ビットを “1”（外部バス有効）にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効（SYSCR0.ROME ビット =1）で、外部バス拡張を有効（SYSCR0.EXBE ビット =1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「22. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを “1”（外部バス有効）にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを “0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 有効）に移行します。

SYSCR0.ROME ビットを “0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効（SYSCR0.ROME ビット =0）で、外部バス拡張を有効（SYSCR0.EXBE ビット =1）にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は、「22. マルチファンクションピンコントローラ（MPC）」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを “1”（外部バス有効）、SYSCR0.ROME ビットを “0”（内蔵 ROM 無効）にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効（SYSCR0.ROME ビット =1）にすることはできません。

SYSCR0.EXBE ビットを “0”（外部バス無効）にすると、シングルチップモード（内蔵 ROM 無効）に移行します。

3.3.4 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモードです。調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵フラッシュメモリ（ROM、E2 データフラッシュ）を書き換えることができます。詳細は、「47. フラッシュメモリ」を参照してください。

64 ピン TFLGA 以外の製品は、MD 端子を Low、PC7 端子を Low にしてリセットを解除すると、ブートモードで起動します。

64 ピン TFLGA は、MD 端子を Low、PA6 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.5 USB ブートモード

製品出荷時にユーザブート領域に格納された内蔵フラッシュメモリ書き換えプログラム（USB ブートプログラム）が動作するモードです。USB を使用して、MCU 外部から内蔵フラッシュメモリ（ROM、E2 データフラッシュ）を書き換えることができます。詳細は、**「47. フラッシュメモリ」**を参照してください。

64 ピン TFLGA 以外の製品は、MD 端子を Low、PC7 端子を High にしてリセットを解除すると、USB ブートモードで起動します。

64 ピン TFLGA は、MD 端子を Low、PA6 端子を High にしてリセットを解除すると、USB ブートモードで起動します。

3.3.6 ユーザブートモード

お客様が作成された内蔵フラッシュメモリ書き換えプログラム（ユーザブートプログラム）が動作するモードです。リセット解除後は、シングルチップモードと同等の状態で起動します。

64 ピン TFLGA 以外の製品は、UB コード A、UB コード B に規定の値をプログラムした後、MD 端子を Low、PC7 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。

64 ピン TFLGA は、UB コード A、UB コード B に規定の値をプログラムした後、MD 端子を Low、PA6 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。

UB コード A、UB コード B については**「7. オプション設定メモリ」**を参照してください。

ユーザブートモードで起動後、SYSCR0.EXBE ビットを “1”（外部バス有効）にすると、内蔵 ROM 有効拡張モードになります。

製品出荷時、ユーザブート領域には USB ブートプログラムが格納されています。ユーザブートプログラムを格納する場合、USB ブートプログラムを消去してください。詳細は**「47. フラッシュメモリ」**、を参照してください。

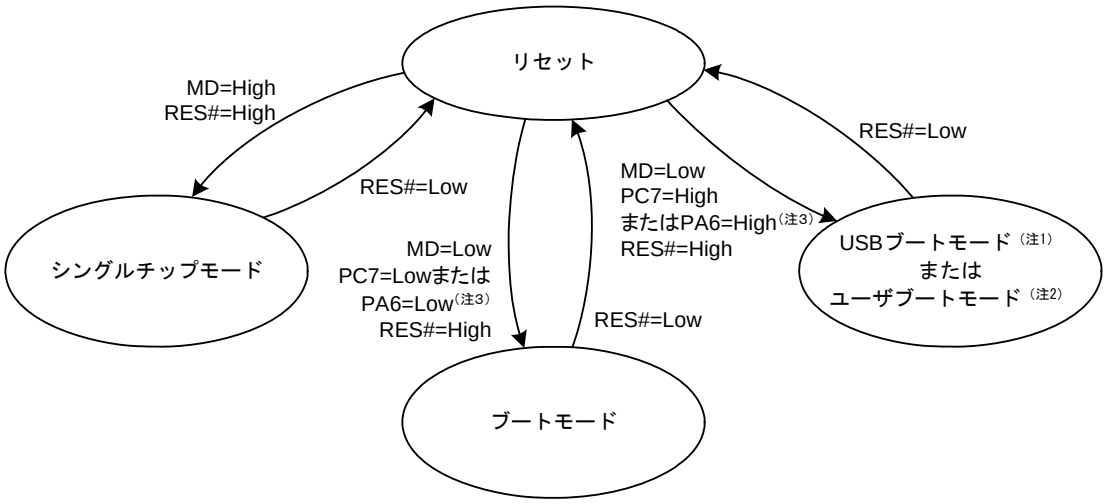
注 1. ユーザブートモードでは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行しないでください。

注 2. OFS0/OFS1 レジスタの設定は無効となり、FFFF FFFFh となります。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子、PC7 端子（64 ピン TFLGA 以外の製品）、PA6 端子（64 ピン TFLGA）の設定による動作モード遷移について、**図 3.1** に状態遷移図を示します。



注1. 製品出荷時、ユーザブート領域にはUSBブートプログラムが格納されています。USBブートプログラムを消去していない場合は、USBブートモードで起動します。USBブートプログラムを消去した後、USBブートモードで起動させることはできません。

注2. ユーザブートモードで起動させるには、モード設定端子のレベル設定以外に、オプション設定メモリのUBコードAとUBコードBへの設定も必要です。

注３. 64ピンTFLGA以外の製品はPC7端子、64ピンTFLGAはPA6端子

図 3.1　　モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME、EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

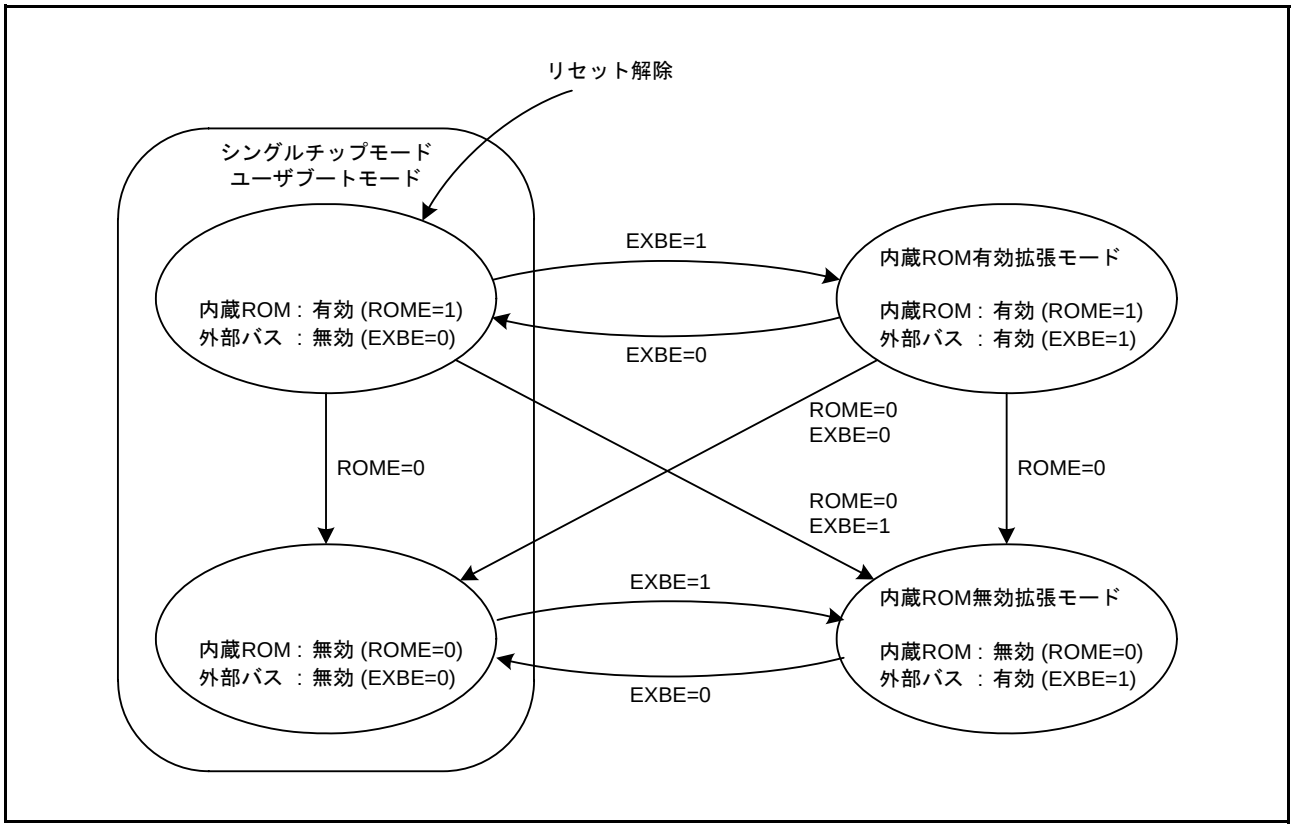


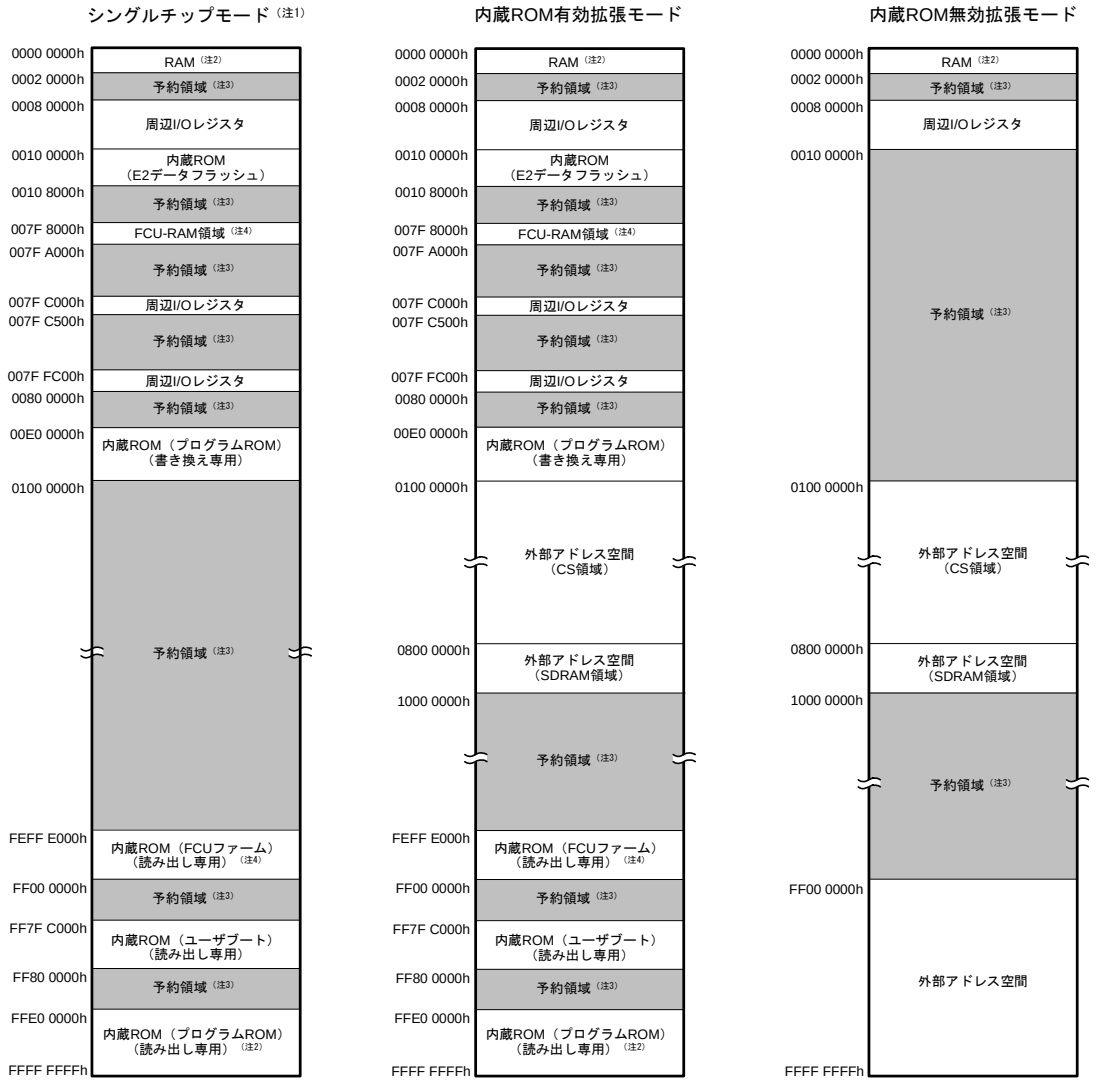
図 3.2 SYSCR0.ROME, EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。



注1.　ブートモード、ユーザブートモード/USBブートモードは、シングルチップモードと同じアドレス空間となります。
注2.　製品によりROM/RAM容量が異なります。

ROM（バイト）			RAM（バイト）	
容量	アドレス（読み出し専用）	アドレス（書き換え専用）	容量	アドレス
2M	FFE0 0000h～FFFF FFFFh	00E0 0000h～00FF FFFFh	256K	0000 0000h～0003 FFFFh
			192K	0000 0000h～0002 FFFFh
			128K	0000 0000h～0001 FFFFh
1.5M	FFE8 0000h～FFFF FFFFh	00E8 0000h～00FF FFFFh	256K	0000 0000h～0003 FFFFh
			192K	0000 0000h～0002 FFFFh
			128K	0000 0000h～0001 FFFFh
1M	FFF0 0000h～FFFF FFFFh	00F0 0000h～00FF FFFFh	256K	0000 0000h～0003 FFFFh
			192K	0000 0000h～0002 FFFFh
			128K	0000 0000h～0001 FFFFh
768K	FFF4 0000h～FFFF FFFFh	00F4 0000h～00FF FFFFh		
512K	FFF8 0000h～FFFF FFFFh	00F8 0000h～00FF FFFFh		
384K	FFFA 0000h～FFFF FFFFh	00FA 0000h～00FF FFFFh		
256K	FFFC 0000h～FFFF FFFFh	00FC 0000h～00FF FFFFh		
512K	FFF8 0000h～FFFF FFFFh	00F8 0000h～00FF FFFFh	64K	0000 0000h～0000 FFFFh
384K	FFFA 0000h～FFFF FFFFh	00FA 0000h～00FF FFFFh		
256K	FFFC 0000h～FFFF FFFFh	00FC 0000h～00FF FFFFh		

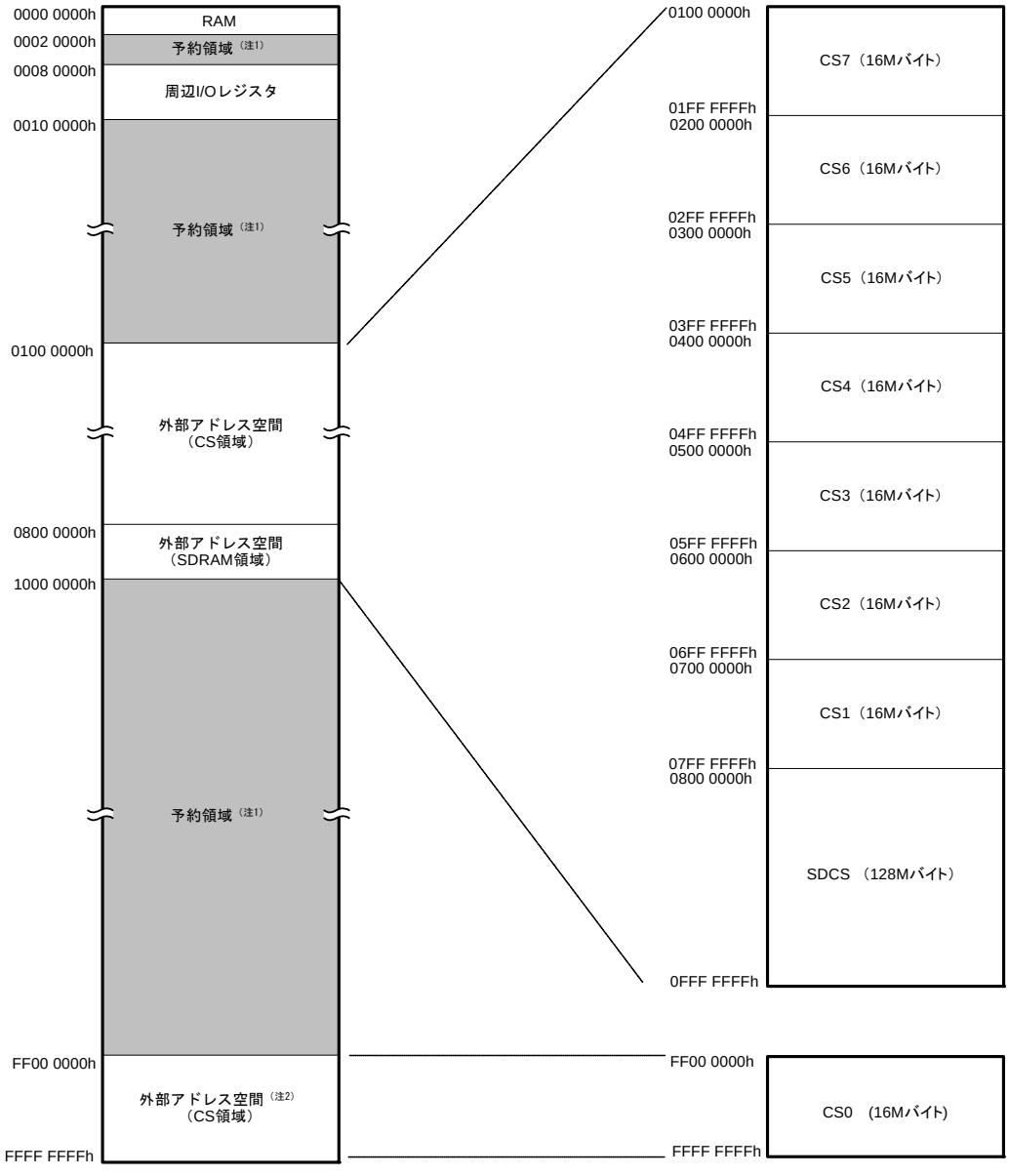
注.　製品型名については「表1.3　製品一覧表」を参照してください。

注3.　予約領域は、アクセスしないでください。
注4.　FCUについての詳細は、「47.　フラッシュメモリ」を参照してください。

図 4.1　　各動作モードのメモリマップ

4.2　外部アドレス空間

外部アドレス空間は、CS 領域（CS0 ～ CS7）と SDRAM 領域（SDCS）に分割されています。CS 領域は、CSn# 端子 (n = 0 ～ 7) から出力される CSn# 信号によって最大 8 つの CS 領域（CS0 ～ CS7）に分割できます。図 4.2 に内蔵 ROM 無効拡張モード時の CS 領域（CS0 ～ CS7）、SDRAM 領域（SDCS）とアドレスの対応を示します。



注1.　予約領域は、アクセスしないでください。
注2.　内蔵ROM有効拡張モード時はCS0領域は無効となり、
　　1000 0000h番地以降は本章「各動作モードのメモリマップ」の図で示すアドレス空間となります。

図 4.2　外部アドレス空間と CS 領域（内蔵 ROM 無効拡張モードの場合）

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

(a) I/O レジスタの書き込み
(b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
(c) 読み出し値を使って演算を実行
(d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.B  #SFR_DATA, [R1]
CMP    [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.W  #SFR_DATA, [R1]
CMP    [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.L  #SFR_DATA, [R1]
CMP    [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3)　I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、**「表 5.1　I/O レジスタアドレス一覧」**を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

I/O レジスタアクセスサイクル数＝内部メインバス 1 のバスサイクル数＋
分周クロック同期化サイクル数＋
内部周辺バス 1 ～ 6 のバスサイクル数

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または FCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では ICLK ≧ PCLK（または FCLK）の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または FCLK）で最大 1 サイクルとなるため、**表 5.1** では 1PCLK（または FCLK）の幅を持たせて記載しています。

また、ICLK ＜ PCLK（または FCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、**表 5.1** では 1BCLK の幅を持たせて記載しています。

注 1.　CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

(4)　RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

5.1 I/O レジスタアドレス一覧（アドレス順）

表5.1　I/O レジスタアドレス一覧 (１ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLK の場合	ICLK < PCLK の場合		
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		動作モード	161
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK			161
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK			162
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK			163
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		消費電力低減機能	295
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK			296
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK			298
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK			300
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK			301
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		クロック発生回路	256
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK			258
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK			259
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK			260
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK			261
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK			262
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK			263
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK			264
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK			265
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK			266
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK			267
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK			268
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK			269
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK		消費電力低減機能	302
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK			305
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK			306
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK			307
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK			309
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		リセット	223
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK			224
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		LVDA	242
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK			242
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK			243
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK			243
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		レジスタライトプロテクション機能	345
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		バス	440
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK			440
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK			441
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK			441
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK			442
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACA	540
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			540
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			541
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			542
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			543

表5.1　I/Oレジスタアドレス一覧 (2 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		DMACA	544
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			546
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK			549
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			549
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			550
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK			551
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			552
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK			540
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			540
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			541
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			542
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			543
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			544
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			546
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			549
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			550
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK			551
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			552
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK			540
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			540
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			541
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			542
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			543
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			544
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			546
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			549
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			550
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK			551
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			552
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK			540
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK			540
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK			541
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			542
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK			543
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK			544
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK			546
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK			549
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			550
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK			551
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			552
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2ICLK			553
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		DTCa	652
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK			653
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK			653
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK			654
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK			655
0008 2800h	EXDMAC0	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1 ～ 2BCLK		EXDMACa	578
0008 2804h	EXDMAC0	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1 ～ 2BCLK			578
0008 2808h	EXDMAC0	EXDMA転送カウントレジスタ	EDMCRA	32	32	1 ～ 2BCLK			579
0008 280Ch	EXDMAC0	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1 ～ 2BCLK			581
0008 2810h	EXDMAC0	EXDMA転送モードレジスタ	EDMTMD	16	16	1 ～ 2BCLK			582

表5.1　I/Oレジスタアドレス一覧 (3 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 2812h	EXDMAC0	EXDMA出力設定レジスタ	EDMOMD	8	8	1 ～ 2BCLK		EXDMACa	583
0008 2813h	EXDMAC0	EXDMA割り込み設定レジスタ	EDMINT	8	8	1 ～ 2BCLK			584
0008 2814h	EXDMAC0	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1 ～ 2BCLK			586
0008 2818h	EXDMAC0	EXDMAオフセットレジスタ	EDMOFR	32	32	1 ～ 2BCLK			590
0008 281Ch	EXDMAC0	EXDMA転送許可レジスタ	EDMCNT	8	8	1 ～ 2BCLK			591
0008 281Dh	EXDMAC0	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1 ～ 2BCLK			592
0008 281Eh	EXDMAC0	EXDMAステータスレジスタ	EDMSTS	8	8	1 ～ 2BCLK			593
0008 2820h	EXDMAC0	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1 ～ 2BCLK			594
0008 2821h	EXDMAC0	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1 ～ 2BCLK			595
0008 2822h	EXDMAC0	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1 ～ 2BCLK			596
0008 2840h	EXDMAC1	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1 ～ 2BCLK			578
0008 2844h	EXDMAC1	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1 ～ 2BCLK			578
0008 2848h	EXDMAC1	EXDMA転送カウントレジスタ	EDMCRA	32	32	1 ～ 2BCLK			579
0008 284Ch	EXDMAC1	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1 ～ 2BCLK			581
0008 2850h	EXDMAC1	EXDMA転送モードレジスタ	EDMTMD	16	16	1 ～ 2BCLK			582
0008 2852h	EXDMAC1	EXDMA出力設定レジスタ	EDMOMD	8	8	1 ～ 2BCLK			583
0008 2853h	EXDMAC1	EXDMA割り込み設定レジスタ	EDMINT	8	8	1 ～ 2BCLK			584
0008 2854h	EXDMAC1	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1 ～ 2BCLK			586
0008 285Ch	EXDMAC1	EXDMA転送許可レジスタ	EDMCNT	8	8	1 ～ 2BCLK			591
0008 285Dh	EXDMAC1	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1 ～ 2BCLK			592
0008 285Eh	EXDMAC1	EXDMAステータスレジスタ	EDMSTS	8	8	1 ～ 2BCLK			593
0008 2860h	EXDMAC1	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1 ～ 2BCLK			594
0008 2861h	EXDMAC1	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1 ～ 2BCLK			595
0008 2862h	EXDMAC1	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1 ～ 2BCLK			596
0008 2A00h	EXDMAC	EXDMAモジュール起動レジスタ	EDMAST	8	8	1 ～ 2BCLK			597
0008 2BE0h	EXDMAC	クラスタバッファレジスタ0	CLSBR0	32	32	1 ～ 2BCLK			598
0008 2BE4h	EXDMAC	クラスタバッファレジスタ1	CLSBR1	32	32	1 ～ 2BCLK			598
0008 2BE8h	EXDMAC	クラスタバッファレジスタ2	CLSBR2	32	32	1 ～ 2BCLK			598
0008 2BECh	EXDMAC	クラスタバッファレジスタ3	CLSBR3	32	32	1 ～ 2BCLK			598
0008 2BF0h	EXDMAC	クラスタバッファレジスタ4	CLSBR4	32	32	1 ～ 2BCLK			598
0008 2BF4h	EXDMAC	クラスタバッファレジスタ5	CLSBR5	32	32	1 ～ 2BCLK			598
0008 2BF8h	EXDMAC	クラスタバッファレジスタ6	CLSBR6	32	32	1 ～ 2BCLK			598
0008 2BFCh	EXDMAC	クラスタバッファレジスタ7	CLSBR7	32	32	1 ～ 2BCLK			598
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1 ～ 2BCLK		バス	420
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1 ～ 2BCLK			422
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1 ～ 2BCLK			425
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1 ～ 2BCLK			420
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1 ～ 2BCLK			422
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1 ～ 2BCLK			425
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1 ～ 2BCLK			420
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1 ～ 2BCLK			422
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1 ～ 2BCLK			425
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1 ～ 2BCLK			420
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1 ～ 2BCLK			422
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1 ～ 2BCLK			425
0008 3042h	BSC	CS4モードレジスタ	CS4MOD	16	16	1 ～ 2BCLK			420
0008 3044h	BSC	CS4ウェイト制御レジスタ1	CS4WCR1	32	32	1 ～ 2BCLK			422
0008 3048h	BSC	CS4ウェイト制御レジスタ2	CS4WCR2	32	32	1 ～ 2BCLK			425
0008 3052h	BSC	CS5モードレジスタ	CS5MOD	16	16	1 ～ 2BCLK			420
0008 3054h	BSC	CS5ウェイト制御レジスタ1	CS5WCR1	32	32	1 ～ 2BCLK			422
0008 3058h	BSC	CS5ウェイト制御レジスタ2	CS5WCR2	32	32	1 ～ 2BCLK			425

表5.1　I/Oレジスタアドレス一覧 (4 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 3062h	BSC	CS6モードレジスタ	CS6MOD	16	16	1 ～ 2BCLK		バス	420
0008 3064h	BSC	CS6ウェイト制御レジスタ1	CS6WCR1	32	32	1 ～ 2BCLK			422
0008 3068h	BSC	CS6ウェイト制御レジスタ2	CS6WCR2	32	32	1 ～ 2BCLK			425
0008 3072h	BSC	CS7モードレジスタ	CS7MOD	16	16	1 ～ 2BCLK			420
0008 3074h	BSC	CS7ウェイト制御レジスタ1	CS7WCR1	32	32	1 ～ 2BCLK			422
0008 3078h	BSC	CS7ウェイト制御レジスタ2	CS7WCR2	32	32	1 ～ 2BCLK			425
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1 ～ 2BCLK			416
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1 ～ 2BCLK			417
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ～ 2BCLK			416
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ～ 2BCLK			417
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ～ 2BCLK			416
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ～ 2BCLK			417
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ～ 2BCLK			416
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ～ 2BCLK			417
0008 3842h	BSC	CS4制御レジスタ	CS4CR	16	16	1 ～ 2BCLK			416
0008 384Ah	BSC	CS4リカバリサイクル設定レジスタ	CS4REC	16	16	1 ～ 2BCLK			417
0008 3852h	BSC	CS5制御レジスタ	CS5CR	16	16	1 ～ 2BCLK			416
0008 385Ah	BSC	CS5リカバリサイクル設定レジスタ	CS5REC	16	16	1 ～ 2BCLK			417
0008 3862h	BSC	CS6制御レジスタ	CS6CR	16	16	1 ～ 2BCLK			416
0008 386Ah	BSC	CS6リカバリサイクル設定レジスタ	CS6REC	16	16	1 ～ 2BCLK			417
0008 3872h	BSC	CS7制御レジスタ	CS7CR	16	16	1 ～ 2BCLK			416
0008 387Ah	BSC	CS7リカバリサイクル設定レジスタ	CS7REC	16	16	1 ～ 2BCLK			417
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ～ 2BCLK			419
0008 3C00h	BSC	SDC制御レジスタ	SDCCR	8	8	1 ～ 2BCLK			428
0008 3C01h	BSC	SDCモードレジスタ	SDCMOD	8	8	1 ～ 2BCLK			429
0008 3C02h	BSC	SDRAMアクセスモードレジスタ	SDAMOD	8	8	1 ～ 2BCLK			429
0008 3C10h	BSC	SDRAMセルフリフレッシュ制御レジスタ	SDSELF	8	8	1 ～ 2BCLK			430
0008 3C14h	BSC	SDRAMリフレッシュ制御レジスタ	SDRFCR	16	16	1 ～ 2BCLK			431
0008 3C16h	BSC	SDRAMオートリフレッシュ制御レジスタ	SDRFEN	8	8	1 ～ 2BCLK			432
0008 3C20h	BSC	SDRAM初期化シーケンス制御レジスタ	SDICR	8	8	1 ～ 2BCLK			433
0008 3C24h	BSC	SDRAM初期化レジスタ	SDIR	16	16	1 ～ 2BCLK			434
0008 3C40h	BSC	SDRAMアドレスレジスタ	SDADR	8	8	1 ～ 2BCLK			435
0008 3C44h	BSC	SDRAMタイミングレジスタ	SDTR	32	32	1 ～ 2BCLK			436
0008 3C48h	BSC	SDRAMモードレジスタ	SDMOD	16	16	1 ～ 2BCLK			438
0008 3C50h	BSC	SDRAMステータスレジスタ	SDSR	8	8	1 ～ 2BCLK			439
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		MPU	522
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK			523
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK			522
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK			523
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK			522
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK			523
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK			522
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK			523
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK			522
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK			523
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK			522
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK			523
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK			522
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK			523
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK			522
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK			523

表5.1　I/O レジスタアドレス一覧 (5 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLK の場合	ICLK < PCLK の場合		
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		MPU	524
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK			525
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK			526
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK			527
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK			528
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK			528
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK			529
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK			529
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK			530
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK			531
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK		ICUb	357
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK			357
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK			357
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK			357
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK			357
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK			357
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK			357
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK			357
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK			357
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK			357
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK			357
0008 7023h	ICU	割り込み要求レジスタ 035	IR035	8	8	2ICLK			357
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2ICLK			357
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2ICLK			357
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2ICLK			357
0008 7027h	ICU	割り込み要求レジスタ 039	IR039	8	8	2ICLK			357
0008 7028h	ICU	割り込み要求レジスタ 040	IR040	8	8	2ICLK			357
0008 7029h	ICU	割り込み要求レジスタ 041	IR041	8	8	2ICLK			357
0008 702Ah	ICU	割り込み要求レジスタ 042	IR042	8	8	2ICLK			357
0008 702Bh	ICU	割り込み要求レジスタ 043	IR043	8	8	2ICLK			357
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK			357
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK			357
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK			357
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK			357
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2ICLK			357
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2ICLK			357
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2ICLK			357
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2ICLK			357
0008 7034h	ICU	割り込み要求レジスタ 052	IR052	8	8	2ICLK			357
0008 7035h	ICU	割り込み要求レジスタ 053	IR053	8	8	2ICLK			357
0008 7036h	ICU	割り込み要求レジスタ 054	IR054	8	8	2ICLK			357
0008 7037h	ICU	割り込み要求レジスタ 055	IR055	8	8	2ICLK			357
0008 7038h	ICU	割り込み要求レジスタ 056	IR056	8	8	2ICLK			357
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK			357
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK			357
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK			357
0008 703Eh	ICU	割り込み要求レジスタ 062	IR062	8	8	2ICLK			357
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK			357
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK			357
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK			357

表5.1　I/Oレジスタアドレス一覧 (6 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK		ICUb	357
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK			357
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK			357
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK			357
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK			357
0008 7048h	ICU	割り込み要求レジスタ 072	IR072	8	8	2ICLK			357
0008 7049h	ICU	割り込み要求レジスタ 073	IR073	8	8	2ICLK			357
0008 704Ah	ICU	割り込み要求レジスタ 074	IR074	8	8	2ICLK			357
0008 704Bh	ICU	割り込み要求レジスタ 075	IR075	8	8	2ICLK			357
0008 704Ch	ICU	割り込み要求レジスタ 076	IR076	8	8	2ICLK			357
0008 704Dh	ICU	割り込み要求レジスタ 077	IR077	8	8	2ICLK			357
0008 704Eh	ICU	割り込み要求レジスタ 078	IR078	8	8	2ICLK			357
0008 704Fh	ICU	割り込み要求レジスタ 079	IR079	8	8	2ICLK			357
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2ICLK			357
0008 705Bh	ICU	割り込み要求レジスタ 091	IR091	8	8	2ICLK			357
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK			357
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK			357
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK			357
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK			357
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK			357
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK			357
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK			357
0008 706Dh	ICU	割り込み要求レジスタ 109	IR109	8	8	2ICLK			357
0008 706Eh	ICU	割り込み要求レジスタ 110	IR110	8	8	2ICLK			357
0008 706Fh	ICU	割り込み要求レジスタ 111	IR111	8	8	2ICLK			357
0008 7070h	ICU	割り込み要求レジスタ 112	IR112	8	8	2ICLK			357
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK			357
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK			357
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK			357
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK			357
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK			357
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK			357
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK			357
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK			357
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK			357
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK			357
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK			357
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK			357
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK			357
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK			357
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK			357
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK			357
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK			357
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK			357
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK			357
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK			357
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK			357
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK			357
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK			357
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK			357
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK			357

表5.1　I/Oレジスタアドレス一覧 (7 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK		ICUb	357
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK			357
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK			357
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK			357
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK			357
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK			357
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK			357
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK			357
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK			357
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK			357
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK			357
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK			357
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK			357
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK			357
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK			357
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK			357
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK			357
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK			357
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK			357
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK			357
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK			357
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK			357
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK			357
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK			357
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK			357
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK			357
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK			357
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK			357
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK			357
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK			357
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK			357
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK			357
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK			357
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK			357
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK			357
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK			357
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK			357
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK			357
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK			357
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK			357
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK			357
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK			357
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK			357
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK			357
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK			357
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK			357
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK			357
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK			357
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK			357
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2ICLK			357
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK			357

表5.1　I/Oレジスタアドレス一覧 (8 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK		ICUb	357
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK			357
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK			357
0008 70CAh	ICU	割り込み要求レジスタ 202	IR202	8	8	2ICLK			357
0008 70CBh	ICU	割り込み要求レジスタ 203	IR203	8	8	2ICLK			357
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK			357
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK			357
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK			357
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK			357
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK			357
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK			357
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK			357
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK			357
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK			357
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK			357
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK			357
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK			357
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK			357
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK			357
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK			357
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK			357
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK			357
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK			357
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK			357
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK			357
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK			357
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK			357
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK			357
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK			357
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK			357
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK			357
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK			357
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK			357
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK			357
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK			357
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK			357
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK			357
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK			357
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK			357
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK			357
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK			357
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK			357
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK			357
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK			357
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK			357
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DTCER027	8	8	2ICLK			361
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DTCER028	8	8	2ICLK			361
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DTCER029	8	8	2ICLK			361
0008 711Eh	ICU	DTC 起動許可レジスタ 030	DTCER030	8	8	2ICLK			361
0008 711Fh	ICU	DTC 起動許可レジスタ 031	DTCER031	8	8	2ICLK			361
0008 7121h	ICU	DTC 起動許可レジスタ 033	DTCER033	8	8	2ICLK			361

表5.1　I/Oレジスタアドレス一覧 (9 / 4 5)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 7122h	ICU	DTC 起動許可レジスタ 034	DTCER034	8	8	2ICLK		ICUb	361
0008 7124h	ICU	DTC 起動許可レジスタ 036	DTCER036	8	8	2ICLK			361
0008 7125h	ICU	DTC 起動許可レジスタ 037	DTCER037	8	8	2ICLK			361
0008 7127h	ICU	DTC 起動許可レジスタ 039	DTCER039	8	8	2ICLK			361
0008 7128h	ICU	DTC 起動許可レジスタ 040	DTCER040	8	8	2ICLK			361
0008 712Ah	ICU	DTC 起動許可レジスタ 042	DTCER042	8	8	2ICLK			361
0008 712Bh	ICU	DTC 起動許可レジスタ 043	DTCER043	8	8	2ICLK			361
0008 712Dh	ICU	DTC 起動許可レジスタ 045	DTCER045	8	8	2ICLK			361
0008 712Eh	ICU	DTC 起動許可レジスタ 046	DTCER046	8	8	2ICLK			361
0008 7140h	ICU	DTC 起動許可レジスタ 064	DTCER064	8	8	2ICLK			361
0008 7141h	ICU	DTC 起動許可レジスタ 065	DTCER065	8	8	2ICLK			361
0008 7142h	ICU	DTC 起動許可レジスタ 066	DTCER066	8	8	2ICLK			361
0008 7143h	ICU	DTC 起動許可レジスタ 067	DTCER067	8	8	2ICLK			361
0008 7144h	ICU	DTC 起動許可レジスタ 068	DTCER068	8	8	2ICLK			361
0008 7145h	ICU	DTC 起動許可レジスタ 069	DTCER069	8	8	2ICLK			361
0008 7146h	ICU	DTC 起動許可レジスタ 070	DTCER070	8	8	2ICLK			361
0008 7147h	ICU	DTC 起動許可レジスタ 071	DTCER071	8	8	2ICLK			361
0008 7148h	ICU	DTC 起動許可レジスタ 072	DTCER072	8	8	2ICLK			361
0008 7149h	ICU	DTC 起動許可レジスタ 073	DTCER073	8	8	2ICLK			361
0008 714Ah	ICU	DTC 起動許可レジスタ 074	DTCER074	8	8	2ICLK			361
0008 714Bh	ICU	DTC 起動許可レジスタ 075	DTCER075	8	8	2ICLK			361
0008 714Ch	ICU	DTC 起動許可レジスタ 076	DTCER076	8	8	2ICLK			361
0008 714Dh	ICU	DTC 起動許可レジスタ 077	DTCER077	8	8	2ICLK			361
0008 714Eh	ICU	DTC 起動許可レジスタ 078	DTCER078	8	8	2ICLK			361
0008 714Fh	ICU	DTC 起動許可レジスタ 079	DTCER079	8	8	2ICLK			361
0008 7162h	ICU	DTC 起動許可レジスタ 098	DTCER098	8	8	2ICLK			361
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2ICLK			361
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2ICLK			361
0008 717Fh	ICU	DTC 起動許可レジスタ 127	DTCER127	8	8	2ICLK			361
0008 7180h	ICU	DTC 起動許可レジスタ 128	DTCER128	8	8	2ICLK			361
0008 7181h	ICU	DTC 起動許可レジスタ 129	DTCER129	8	8	2ICLK			361
0008 7182h	ICU	DTC 起動許可レジスタ 130	DTCER130	8	8	2ICLK			361
0008 7183h	ICU	DTC 起動許可レジスタ 131	DTCER131	8	8	2ICLK			361
0008 7184h	ICU	DTC 起動許可レジスタ 132	DTCER132	8	8	2ICLK			361
0008 7185h	ICU	DTC 起動許可レジスタ 133	DTCER133	8	8	2ICLK			361
0008 7186h	ICU	DTC 起動許可レジスタ 134	DTCER134	8	8	2ICLK			361
0008 7187h	ICU	DTC 起動許可レジスタ 135	DTCER135	8	8	2ICLK			361
0008 7188h	ICU	DTC 起動許可レジスタ 136	DTCER136	8	8	2ICLK			361
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2ICLK			361
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2ICLK			361
0008 718Bh	ICU	DTC 起動許可レジスタ 139	DTCER139	8	8	2ICLK			361
0008 718Ch	ICU	DTC 起動許可レジスタ 140	DTCER140	8	8	2ICLK			361
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2ICLK			361
0008 718Eh	ICU	DTC 起動許可レジスタ 142	DTCER142	8	8	2ICLK			361
0008 718Fh	ICU	DTC 起動許可レジスタ 143	DTCER143	8	8	2ICLK			361
0008 7190h	ICU	DTC 起動許可レジスタ 144	DTCER144	8	8	2ICLK			361
0008 7191h	ICU	DTC 起動許可レジスタ 145	DTCER145	8	8	2ICLK			361
0008 7194h	ICU	DTC 起動許可レジスタ 148	DTCER148	8	8	2ICLK			361
0008 7195h	ICU	DTC 起動許可レジスタ 149	DTCER149	8	8	2ICLK			361
0008 7196h	ICU	DTC 起動許可レジスタ 150	DTCER150	8	8	2ICLK			361
0008 7197h	ICU	DTC 起動許可レジスタ 151	DTCER151	8	8	2ICLK			361

表5.1　I/Oレジスタアドレス一覧 (１０ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 7198h	ICU	DTC 起動許可レジスタ 152	DTCER152	8	8	2ICLK		ICUb	361
0008 7199h	ICU	DTC 起動許可レジスタ 153	DTCER153	8	8	2ICLK			361
0008 719Ah	ICU	DTC 起動許可レジスタ 154	DTCER154	8	8	2ICLK			361
0008 719Bh	ICU	DTC 起動許可レジスタ 155	DTCER155	8	8	2ICLK			361
0008 719Ch	ICU	DTC 起動許可レジスタ 156	DTCER156	8	8	2ICLK			361
0008 719Dh	ICU	DTC 起動許可レジスタ 157	DTCER157	8	8	2ICLK			361
0008 719Eh	ICU	DTC 起動許可レジスタ 158	DTCER158	8	8	2ICLK			361
0008 719Fh	ICU	DTC 起動許可レジスタ 159	DTCER159	8	8	2ICLK			361
0008 71A0h	ICU	DTC 起動許可レジスタ 160	DTCER160	8	8	2ICLK			361
0008 71A1h	ICU	DTC 起動許可レジスタ 161	DTCER161	8	8	2ICLK			361
0008 71A2h	ICU	DTC 起動許可レジスタ 162	DTCER162	8	8	2ICLK			361
0008 71A3h	ICU	DTC 起動許可レジスタ 163	DTCER163	8	8	2ICLK			361
0008 71A4h	ICU	DTC 起動許可レジスタ 164	DTCER164	8	8	2ICLK			361
0008 71A5h	ICU	DTC 起動許可レジスタ 165	DTCER165	8	8	2ICLK			361
0008 71AAh	ICU	DTC 起動許可レジスタ 170	DTCER170	8	8	2ICLK			361
0008 71ABh	ICU	DTC 起動許可レジスタ 171	DTCER171	8	8	2ICLK			361
0008 71ADh	ICU	DTC 起動許可レジスタ 173	DTCER173	8	8	2ICLK			361
0008 71AEh	ICU	DTC 起動許可レジスタ 174	DTCER174	8	8	2ICLK			361
0008 71B0h	ICU	DTC 起動許可レジスタ 176	DTCER176	8	8	2ICLK			361
0008 71B1h	ICU	DTC 起動許可レジスタ 177	DTCER177	8	8	2ICLK			361
0008 71B3h	ICU	DTC 起動許可レジスタ 179	DTCER179	8	8	2ICLK			361
0008 71B4h	ICU	DTC 起動許可レジスタ 180	DTCER180	8	8	2ICLK			361
0008 71B7h	ICU	DTC 起動許可レジスタ 183	DTCER183	8	8	2ICLK			361
0008 71B8h	ICU	DTC 起動許可レジスタ 184	DTCER184	8	8	2ICLK			361
0008 71BBh	ICU	DTC 起動許可レジスタ 187	DTCER187	8	8	2ICLK			361
0008 71BCh	ICU	DTC 起動許可レジスタ 188	DTCER188	8	8	2ICLK			361
0008 71BFh	ICU	DTC 起動許可レジスタ 191	DTCER191	8	8	2ICLK			361
0008 71C0h	ICU	DTC 起動許可レジスタ 192	DTCER192	8	8	2ICLK			361
0008 71C3h	ICU	DTC 起動許可レジスタ 195	DTCER195	8	8	2ICLK			361
0008 71C4h	ICU	DTC 起動許可レジスタ 196	DTCER196	8	8	2ICLK			361
0008 71C6h	ICU	DTC 起動許可レジスタ 198	DTCER198	8	8	2ICLK			361
0008 71C7h	ICU	DTC 起動許可レジスタ 199	DTCER199	8	8	2ICLK			361
0008 71C8h	ICU	DTC 起動許可レジスタ 200	DTCER200	8	8	2ICLK			361
0008 71C9h	ICU	DTC 起動許可レジスタ 201	DTCER201	8	8	2ICLK			361
0008 71CAh	ICU	DTC 起動許可レジスタ 202	DTCER202	8	8	2ICLK			361
0008 71CBh	ICU	DTC 起動許可レジスタ 203	DTCER203	8	8	2ICLK			361
0008 71CEh	ICU	DTC 起動許可レジスタ 206	DTCER206	8	8	2ICLK			361
0008 71CFh	ICU	DTC 起動許可レジスタ 207	DTCER207	8	8	2ICLK			361
0008 71D0h	ICU	DTC 起動許可レジスタ 208	DTCER208	8	8	2ICLK			361
0008 71D6h	ICU	DTC 起動許可レジスタ 214	DTCER214	8	8	2ICLK			361
0008 71D7h	ICU	DTC 起動許可レジスタ 215	DTCER215	8	8	2ICLK			361
0008 71D9h	ICU	DTC 起動許可レジスタ 217	DTCER217	8	8	2ICLK			361
0008 71DAh	ICU	DTC 起動許可レジスタ 218	DTCER218	8	8	2ICLK			361
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DTCER220	8	8	2ICLK			361
0008 71DDh	ICU	DTC 起動許可レジスタ 221	DTCER221	8	8	2ICLK			361
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DTCER223	8	8	2ICLK			361
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DTCER224	8	8	2ICLK			361
0008 71E2h	ICU	DTC 起動許可レジスタ 226	DTCER226	8	8	2ICLK			361
0008 71E3h	ICU	DTC 起動許可レジスタ 227	DTCER227	8	8	2ICLK			361
0008 71E5h	ICU	DTC 起動許可レジスタ 229	DTCER229	8	8	2ICLK			361
0008 71E6h	ICU	DTC 起動許可レジスタ 230	DTCER230	8	8	2ICLK			361

表5.1　I/Oレジスタアドレス一覧 (１１ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 71E8h	ICU	DTC 起動許可レジスタ 232	DTCER232	8	8	2ICLK		ICUb	361
0008 71E9h	ICU	DTC 起動許可レジスタ 233	DTCER233	8	8	2ICLK			361
0008 71EBh	ICU	DTC 起動許可レジスタ 235	DTCER235	8	8	2ICLK			361
0008 71ECh	ICU	DTC 起動許可レジスタ 236	DTCER236	8	8	2ICLK			361
0008 71EEh	ICU	DTC 起動許可レジスタ 238	DTCER238	8	8	2ICLK			361
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DTCER239	8	8	2ICLK			361
0008 71F1h	ICU	DTC 起動許可レジスタ 241	DTCER241	8	8	2ICLK			361
0008 71F2h	ICU	DTC 起動許可レジスタ 242	DTCER242	8	8	2ICLK			361
0008 71F4h	ICU	DTC 起動許可レジスタ 244	DTCER244	8	8	2ICLK			361
0008 71F5h	ICU	DTC 起動許可レジスタ 245	DTCER245	8	8	2ICLK			361
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DTCER247	8	8	2ICLK			361
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DTCER248	8	8	2ICLK			361
0008 71FAh	ICU	DTC 起動許可レジスタ 250	DTCER250	8	8	2ICLK			361
0008 71FBh	ICU	DTC 起動許可レジスタ 251	DTCER251	8	8	2ICLK			361
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK			358
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK			358
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK			358
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK			358
0008 7206h	ICU	割り込み要求許可レジスタ 06	IER06	8	8	2ICLK			358
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK			358
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK			358
0008 7209h	ICU	割り込み要求許可レジスタ 09	IER09	8	8	2ICLK			358
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK			358
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK			358
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK			358
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK			358
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK			358
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK			358
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK			358
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK			358
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK			358
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK			358
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK			358
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK			358
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK			358
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK			358
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK			358
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK			358
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK			358
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK			358
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK			358
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK			358
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK			358
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK			361
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK			360
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK			359
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2ICLK			359
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK			359
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK			359
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK			359
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK			359

表5.1　I/Oレジスタアドレス一覧 (１２ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK		ICUb	359
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK			359
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK			359
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK			359
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK			359
0008 7323h	ICU	割り込み要因プライオリティレジスタ 035	IPR035	8	8	2ICLK			359
0008 7324h	ICU	割り込み要因プライオリティレジスタ 036	IPR036	8	8	2ICLK			359
0008 7325h	ICU	割り込み要因プライオリティレジスタ 037	IPR037	8	8	2ICLK			359
0008 7326h	ICU	割り込み要因プライオリティレジスタ 038	IPR038	8	8	2ICLK			359
0008 7327h	ICU	割り込み要因プライオリティレジスタ 039	IPR039	8	8	2ICLK			359
0008 732Ah	ICU	割り込み要因プライオリティレジスタ 042	IPR042	8	8	2ICLK			359
0008 732Dh	ICU	割り込み要因プライオリティレジスタ 045	IPR045	8	8	2ICLK			359
0008 7330h	ICU	割り込み要因プライオリティレジスタ 048	IPR048	8	8	2ICLK			359
0008 7334h	ICU	割り込み要因プライオリティレジスタ 052	IPR052	8	8	2ICLK			359
0008 7338h	ICU	割り込み要因プライオリティレジスタ 056	IPR056	8	8	2ICLK			359
0008 733Eh	ICU	割り込み要因プライオリティレジスタ 062	IPR062	8	8	2ICLK			359
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK			359
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK			359
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK			359
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK			359
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK			359
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK			359
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK			359
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK			359
0008 7348h	ICU	割り込み要因プライオリティレジスタ 072	IPR072	8	8	2ICLK			359
0008 7349h	ICU	割り込み要因プライオリティレジスタ 073	IPR073	8	8	2ICLK			359
0008 734Ah	ICU	割り込み要因プライオリティレジスタ 074	IPR074	8	8	2ICLK			359
0008 734Bh	ICU	割り込み要因プライオリティレジスタ 075	IPR075	8	8	2ICLK			359
0008 734Ch	ICU	割り込み要因プライオリティレジスタ 076	IPR076	8	8	2ICLK			359
0008 734Dh	ICU	割り込み要因プライオリティレジスタ 077	IPR077	8	8	2ICLK			359
0008 734Eh	ICU	割り込み要因プライオリティレジスタ 078	IPR078	8	8	2ICLK			359
0008 734Fh	ICU	割り込み要因プライオリティレジスタ 079	IPR079	8	8	2ICLK			359
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 090	IPR090	8	8	2ICLK			359
0008 735Bh	ICU	割り込み要因プライオリティレジスタ 091	IPR091	8	8	2ICLK			359
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK			359
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK			359
0008 7362h	ICU	割り込み要因プライオリティレジスタ 098	IPR098	8	8	2ICLK			359
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK			359
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK			359
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 107	IPR107	8	8	2ICLK			359
0008 736Ch	ICU	割り込み要因プライオリティレジスタ 108	IPR108	8	8	2ICLK			359
0008 736Dh	ICU	割り込み要因プライオリティレジスタ 109	IPR109	8	8	2ICLK			359
0008 736Eh	ICU	割り込み要因プライオリティレジスタ 110	IPR110	8	8	2ICLK			359
0008 736Fh	ICU	割り込み要因プライオリティレジスタ 111	IPR111	8	8	2ICLK			359
0008 7370h	ICU	割り込み要因プライオリティレジスタ 112	IPR112	8	8	2ICLK			359
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK			359
0008 737Ah	ICU	割り込み要因プライオリティレジスタ 122	IPR122	8	8	2ICLK			359
0008 737Eh	ICU	割り込み要因プライオリティレジスタ 126	IPR126	8	8	2ICLK			359
0008 7382h	ICU	割り込み要因プライオリティレジスタ 130	IPR130	8	8	2ICLK			359
0008 7384h	ICU	割り込み要因プライオリティレジスタ 132	IPR132	8	8	2ICLK			359
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK			359

表5.1　I/Oレジスタアドレス一覧 (１３ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK		ICUb	359
0008 738Ch	ICU	割り込み要因プライオリティレジスタ 140	IPR140	8	8	2ICLK			359
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 142	IPR142	8	8	2ICLK			359
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2ICLK			359
0008 7394h	ICU	割り込み要因プライオリティレジスタ 148	IPR148	8	8	2ICLK			359
0008 7396h	ICU	割り込み要因プライオリティレジスタ 150	IPR150	8	8	2ICLK			359
0008 7398h	ICU	割り込み要因プライオリティレジスタ 152	IPR152	8	8	2ICLK			359
0008 739Ch	ICU	割り込み要因プライオリティレジスタ 156	IPR156	8	8	2ICLK			359
0008 73A0h	ICU	割り込み要因プライオリティレジスタ 160	IPR160	8	8	2ICLK			359
0008 73A1h	ICU	割り込み要因プライオリティレジスタ 161	IPR161	8	8	2ICLK			359
0008 73A4h	ICU	割り込み要因プライオリティレジスタ 164	IPR164	8	8	2ICLK			359
0008 73A6h	ICU	割り込み要因プライオリティレジスタ 166	IPR166	8	8	2ICLK			359
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK			359
0008 73ADh	ICU	割り込み要因プライオリティレジスタ 173	IPR173	8	8	2ICLK			359
0008 73B0h	ICU	割り込み要因プライオリティレジスタ 176	IPR176	8	8	2ICLK			359
0008 73B3h	ICU	割り込み要因プライオリティレジスタ 179	IPR179	8	8	2ICLK			359
0008 73B6h	ICU	割り込み要因プライオリティレジスタ 182	IPR182	8	8	2ICLK			359
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK			359
0008 73B8h	ICU	割り込み要因プライオリティレジスタ 184	IPR184	8	8	2ICLK			359
0008 73B9h	ICU	割り込み要因プライオリティレジスタ 185	IPR185	8	8	2ICLK			359
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK			359
0008 73BBh	ICU	割り込み要因プライオリティレジスタ 187	IPR187	8	8	2ICLK			359
0008 73BCh	ICU	割り込み要因プライオリティレジスタ 188	IPR188	8	8	2ICLK			359
0008 73BDh	ICU	割り込み要因プライオリティレジスタ 189	IPR189	8	8	2ICLK			359
0008 73BEh	ICU	割り込み要因プライオリティレジスタ 190	IPR190	8	8	2ICLK			359
0008 73BFh	ICU	割り込み要因プライオリティレジスタ 191	IPR191	8	8	2ICLK			359
0008 73C0h	ICU	割り込み要因プライオリティレジスタ 192	IPR192	8	8	2ICLK			359
0008 73C1h	ICU	割り込み要因プライオリティレジスタ 193	IPR193	8	8	2ICLK			359
0008 73C2h	ICU	割り込み要因プライオリティレジスタ 194	IPR194	8	8	2ICLK			359
0008 73C3h	ICU	割り込み要因プライオリティレジスタ 195	IPR195	8	8	2ICLK			359
0008 73C4h	ICU	割り込み要因プライオリティレジスタ 196	IPR196	8	8	2ICLK			359
0008 73C5h	ICU	割り込み要因プライオリティレジスタ 197	IPR197	8	8	2ICLK			359
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2ICLK			359
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2ICLK			359
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2ICLK			359
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2ICLK			359
0008 73CAh	ICU	割り込み要因プライオリティレジスタ 202	IPR202	8	8	2ICLK			359
0008 73CBh	ICU	割り込み要因プライオリティレジスタ 203	IPR203	8	8	2ICLK			359
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206	IPR206	8	8	2ICLK			359
0008 73CFh	ICU	割り込み要因プライオリティレジスタ 207	IPR207	8	8	2ICLK			359
0008 73D0h	ICU	割り込み要因プライオリティレジスタ 208	IPR208	8	8	2ICLK			359
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2ICLK			359
0008 73D9h	ICU	割り込み要因プライオリティレジスタ 217	IPR217	8	8	2ICLK			359
0008 73DCh	ICU	割り込み要因プライオリティレジスタ 220	IPR220	8	8	2ICLK			359
0008 73DFh	ICU	割り込み要因プライオリティレジスタ 223	IPR223	8	8	2ICLK			359
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK			359
0008 73E5h	ICU	割り込み要因プライオリティレジスタ 229	IPR229	8	8	2ICLK			359
0008 73E8h	ICU	割り込み要因プライオリティレジスタ 232	IPR232	8	8	2ICLK			359
0008 73EBh	ICU	割り込み要因プライオリティレジスタ 235	IPR235	8	8	2ICLK			359
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK			359
0008 73F1h	ICU	割り込み要因プライオリティレジスタ 241	IPR241	8	8	2ICLK			359

表5.1　I/Oレジスタアドレス一覧 (１４ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK		ICUb	359
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK			359
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2ICLK			359
0008 73FDh	ICU	割り込み要因プライオリティレジスタ 253	IPR253	8	8	2ICLK			359
0008 7400h	ICU	DMAC 起動要求選択レジスタ0	DMRSR0	8	8	2ICLK			362
0008 7404h	ICU	DMAC 起動要求選択レジスタ1	DMRSR1	8	8	2ICLK			362
0008 7408h	ICU	DMAC起動要求選択レジスタ2	DMRSR2	8	8	2ICLK			362
0008 740Ch	ICU	DMAC起動要求選択レジスタ3	DMRSR3	8	8	2ICLK			362
0008 7500h	ICU	IRQ コントロールレジスタ 0	IRQCR0	8	8	2ICLK			362
0008 7501h	ICU	IRQ コントロールレジスタ 1	IRQCR1	8	8	2ICLK			362
0008 7502h	ICU	IRQ コントロールレジスタ 2	IRQCR2	8	8	2ICLK			362
0008 7503h	ICU	IRQ コントロールレジスタ 3	IRQCR3	8	8	2ICLK			362
0008 7504h	ICU	IRQ コントロールレジスタ 4	IRQCR4	8	8	2ICLK			362
0008 7505h	ICU	IRQ コントロールレジスタ 5	IRQCR5	8	8	2ICLK			362
0008 7506h	ICU	IRQ コントロールレジスタ 6	IRQCR6	8	8	2ICLK			362
0008 7507h	ICU	IRQ コントロールレジスタ 7	IRQCR7	8	8	2ICLK			362
0008 7508h	ICU	IRQ コントロールレジスタ 8	IRQCR8	8	8	2ICLK			362
0008 7509h	ICU	IRQ コントロールレジスタ 9	IRQCR9	8	8	2ICLK			362
0008 750Ah	ICU	IRQ コントロールレジスタ 10	IRQCR10	8	8	2ICLK			362
0008 750Bh	ICU	IRQ コントロールレジスタ 11	IRQCR11	8	8	2ICLK			362
0008 750Ch	ICU	IRQ コントロールレジスタ 12	IRQCR12	8	8	2ICLK			362
0008 750Dh	ICU	IRQ コントロールレジスタ 13	IRQCR13	8	8	2ICLK			362
0008 750Eh	ICU	IRQ コントロールレジスタ 14	IRQCR14	8	8	2ICLK			362
0008 750Fh	ICU	IRQ コントロールレジスタ 15	IRQCR15	8	8	2ICLK			362
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK			363
0008 7511h	ICU	IRQ端子デジタルフィルタ許可レジスタ1	IRQFLTE1	8	8	2ICLK			364
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK			365
0008 7516h	ICU	IRQ端子デジタルフィルタ設定レジスタ1	IRQFLTC1	16	16	2ICLK			366
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK			367
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK			369
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK			370
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK			371
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK			371
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	16	16	2ICLK			372
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2 ～ 3PCLKB	2ICLK	CMT	1079
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ～ 3PCLKB	2ICLK		1080
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ～ 3PCLKB	2ICLK		1081
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ～ 3PCLKB	2ICLK		1081
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ～ 3PCLKB	2ICLK		1080
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ～ 3PCLKB	2ICLK		1081
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ～ 3PCLKB	2ICLK		1081
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2 ～ 3PCLKB	2ICLK		1079
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ～ 3PCLKB	2ICLK		1080
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ～ 3PCLKB	2ICLK		1081
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ～ 3PCLKB	2ICLK		1081
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ～ 3PCLKB	2ICLK		1080
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ～ 3PCLKB	2ICLK		1081
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ～ 3PCLKB	2ICLK		1081

表5.1　I/Oレジスタアドレス一覧 (１５ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ～ 3PCLKB	2ICLK	WDTA	1130
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ～ 3PCLKB	2ICLK		1131
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ～ 3PCLKB	2ICLK		1134
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ～ 3PCLKB	2ICLK		1135
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ～ 3PCLKB	2ICLK	IWDTa	1147
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ～ 3PCLKB	2ICLK		1148
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ～ 3PCLKB	2ICLK		1151
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ～ 3PCLKB	2ICLK		1152
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ～ 3PCLKB	2ICLK		1153
0008 80C0h	DA	D/Aデータレジスタ0	DADR0	16	16	2 ～ 3PCLKB	2ICLK	DAa	1813
0008 80C2h	DA	D/Aデータレジスタ1	DADR1	16	16	2 ～ 3PCLKB	2ICLK		1813
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2 ～ 3PCLKB	2ICLK		1814
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ～ 3PCLKB	2ICLK		1815
0008 80C6h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2 ～ 3PCLKB	2ICLK		1816
0008 8100h	TPUA	タイマスタートレジスタ	TSTR	8	8	2 ～ 3PCLKB	2ICLK	TPUa	976
0008 8101h	TPUA	タイマシンクロレジスタ	TSYR	8	8	2 ～ 3PCLKB	2ICLK		977
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8114h	TPU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2 ～ 3PCLKB	2ICLK		975
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960

表5.1　I/Oレジスタアドレス一覧 (１６ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 8142h	TPU3	タイマI/Oコントロールレジスタ H	TIORH	8	8	2 ～ 3PCLKB	2ICLK	TPUa	961
0008 8143h	TPU3	タイマI/Oコントロールレジスタ L	TIORL	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8148h	TPU3	タイマジェネラルレジスタ A	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 814Ah	TPU3	タイマジェネラルレジスタ B	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 814Ch	TPU3	タイマジェネラルレジスタ C	TGRC	16	16	2 ～ 3PCLKB	2ICLK		975
0008 814Eh	TPU3	タイマジェネラルレジスタ D	TGRD	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8158h	TPU4	タイマジェネラルレジスタ A	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 815Ah	TPU4	タイマジェネラルレジスタ B	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8168h	TPU5	タイマジェネラルレジスタ A	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 816Ah	TPU5	タイマジェネラルレジスタ B	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8170h	TPUB	タイマスタートレジスタ	TSTR	8	8	2 ～ 3PCLKB	2ICLK		976
0008 8171h	TPUB	タイマシンクロレジスタ	TSYR	8	8	2 ～ 3PCLKB	2ICLK		977
0008 8178h	TPU6	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 8179h	TPU7	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 817Ah	TPU8	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 817Bh	TPU9	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 817Ch	TPU10	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 817Dh	TPU11	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ～ 3PCLKB	2ICLK		978
0008 8180h	TPU6	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8181h	TPU6	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 8182h	TPU6	タイマI/Oコントロールレジスタ H	TIORH	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8183h	TPU6	タイマI/Oコントロールレジスタ L	TIORL	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8184h	TPU6	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8185h	TPU6	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8186h	TPU6	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8188h	TPU6	タイマジェネラルレジスタ A	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 818Ah	TPU6	タイマジェネラルレジスタ B	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 818Ch	TPU6	タイマジェネラルレジスタ C	TGRC	16	16	2 ～ 3PCLKB	2ICLK		975
0008 818Eh	TPU6	タイマジェネラルレジスタ D	TGRD	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8190h	TPU7	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 8191h	TPU7	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 8192h	TPU7	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 8194h	TPU7	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 8195h	TPU7	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 8196h	TPU7	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 8198h	TPU7	タイマジェネラルレジスタ A	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975

表5.1　I/Oレジスタアドレス一覧 (１７ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 819Ah	TPU7	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK	TPUa	975
0008 81A0h	TPU8	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 81A1h	TPU8	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 81A2h	TPU8	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 81A4h	TPU8	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 81A5h	TPU8	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 81A6h	TPU8	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81A8h	TPU8	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81AAh	TPU8	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81B0h	TPU9	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 81B1h	TPU9	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 81B2h	TPU9	タイマI/OコントロールレジスタH	TIORH	8	8	2 ～ 3PCLKB	2ICLK		961
0008 81B3h	TPU9	タイマI/OコントロールレジスタL	TIORL	8	8	2 ～ 3PCLKB	2ICLK		961
0008 81B4h	TPU9	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 81B5h	TPU9	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 81B6h	TPU9	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81B8h	TPU9	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81BAh	TPU9	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81BCh	TPU9	タイマジェネラルレジスタC	TGRC	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81BEh	TPU9	タイマジェネラルレジスタD	TGRD	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81C0h	TPU10	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 81C1h	TPU10	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 81C2h	TPU10	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 81C4h	TPU10	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 81C5h	TPU10	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 81C6h	TPU10	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81C8h	TPU10	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81CAh	TPU10	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81D0h	TPU11	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		955
0008 81D1h	TPU11	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		960
0008 81D2h	TPU11	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		961
0008 81D4h	TPU11	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		971
0008 81D5h	TPU11	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		972
0008 81D6h	TPU11	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81D8h	TPU11	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81DAh	TPU11	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		975
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK	PPG	1037
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		1039
0008 81E8h	PPG0	ネクストデータイネーブルレジスタH	NDERH	8	8	2 ～ 3PCLKB	2ICLK		1027
0008 81E9h	PPG0	ネクストデータイネーブルレジスタL	NDERL	8	8	2 ～ 3PCLKB	2ICLK		1028
0008 81EAh	PPG0	アウトプットデータレジスタH	PODRH	8	8	2 ～ 3PCLKB	2ICLK		1030
0008 81EBh	PPG0	アウトプットデータレジスタL	PODRL	8	8	2 ～ 3PCLKB	2ICLK		1030
0008 81ECh (注1)	PPG0	ネクストデータレジスタH	NDRH	8	8	2 ～ 3PCLKB	2ICLK		1033
0008 81EDh (注2)	PPG0	ネクストデータレジスタL	NDRL	8	8	2 ～ 3PCLKB	2ICLK		1034
0008 81EEh (注1)	PPG0	ネクストデータレジスタH	NDRH2	8	8	2 ～ 3PCLKB	2ICLK		1033
0008 81EFh (注2)	PPG0	ネクストデータレジスタL	NDRL2	8	8	2 ～ 3PCLKB	2ICLK		1034
0008 81F0h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8	2 ～ 3PCLKB	2ICLK		1026
0008 81F6h	PPG1	PPG出力コントロールレジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		1037
0008 81F7h	PPG1	PPG出力モードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		1039

表5.1　I/Oレジスタアドレス一覧 (１８ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 81F8h	PPG1	ネクストデータイネーブルレジスタH	NDERH	8	8	2 ～ 3PCLKB	2ICLK	PPG	1028
0008 81F9h	PPG1	ネクストデータイネーブルレジスタL	NDERL	8	8	2 ～ 3PCLKB	2ICLK		1029
0008 81FAh	PPG1	アウトプットデータレジスタH	PODRH	8	8	2 ～ 3PCLKB	2ICLK		1031
0008 81FBh	PPG1	アウトプットデータレジスタL	PODRL	8	8	2 ～ 3PCLKB	2ICLK		1032
0008 81FCh (注3)	PPG1	ネクストデータレジスタH	NDRH	8	8	2 ～ 3PCLKB	2ICLK		1035
0008 81FDh (注4)	PPG1	ネクストデータレジスタL	NDRL	8	8	2 ～ 3PCLKB	2ICLK		1036
0008 81FEh (注3)	PPG1	ネクストデータレジスタH	NDRH2	8	8	2 ～ 3PCLKB	2ICLK		1035
0008 81FFh (注4)	PPG1	ネクストデータレジスタL	NDRL2	8	8	2 ～ 3PCLKB	2ICLK		1036
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK	TMR	1059
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		1059
0008 8202h	TMR0	タイマコントロール／ステータスレジスタ	TCSR	8	8	2 ～ 3PCLKB	2ICLK		1062
0008 8203h	TMR1	タイマコントロール／ステータスレジスタ	TCSR	8	8	2 ～ 3PCLKB	2ICLK		1063
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ～ 3PCLKB	2ICLK		1058
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1058
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ～ 3PCLKB	2ICLK		1059
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1059
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ～ 3PCLKB	2ICLK		1058
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1058
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ～ 3PCLKB	2ICLK		1060
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1060
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		1059
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		1059
0008 8212h	TMR2	タイマコントロール／ステータスレジスタ	TCSR	8	8	2 ～ 3PCLKB	2ICLK		1062
0008 8213h	TMR3	タイマコントロール／ステータスレジスタ	TCSR	8	8	2 ～ 3PCLKB	2ICLK		1063
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ～ 3PCLKB	2ICLK		1058
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1058
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ～ 3PCLKB	2ICLK		1059
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1059
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ～ 3PCLKB	2ICLK		1058
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1058
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ～ 3PCLKB	2ICLK		1060
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注5)	2 ～ 3PCLKB	2ICLK		1060
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ～ 3PCLKB	2ICLK	CRC	1722
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ～ 3PCLKB	2ICLK		1722
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ～ 3PCLKB	2ICLK		1723
0008 8300h	RIIC0	I²Cバスコントロールレジスタ1	ICCR1	8	8	2 ～ 3PCLKB	2ICLK	RIIC	1473
0008 8301h	RIIC0	I²Cバスコントロールレジスタ2	ICCR2	8	8	2 ～ 3PCLKB	2ICLK		1475
0008 8302h	RIIC0	I²Cバスモードレジスタ1	ICMR1	8	8	2 ～ 3PCLKB	2ICLK		1479
0008 8303h	RIIC0	I²Cバスモードレジスタ2	ICMR2	8	8	2 ～ 3PCLKB	2ICLK		1480
0008 8304h	RIIC0	I²Cバスモードレジスタ3	ICMR3	8	8	2 ～ 3PCLKB	2ICLK		1482
0008 8305h	RIIC0	I²Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ～ 3PCLKB	2ICLK		1484
0008 8306h	RIIC0	I²Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ～ 3PCLKB	2ICLK		1486
0008 8307h	RIIC0	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ～ 3PCLKB	2ICLK		1488
0008 8308h	RIIC0	I²Cバスステータスレジスタ1	ICSR1	8	8	2 ～ 3PCLKB	2ICLK		1490
0008 8309h	RIIC0	I²Cバスステータスレジスタ2	ICSR2	8	8	2 ～ 3PCLKB	2ICLK		1493
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ～ 3PCLKB	2ICLK		1503
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8 (注7)	2 ～ 3PCLKB	2ICLK		1503

表5.1　I/Oレジスタアドレス一覧 (１９ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ～ 3PCLKB	2ICLK	RIIC	1497
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 8310h	RIIC0	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ～ 3PCLKB	2ICLK		1499
0008 8311h	RIIC0	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ～ 3PCLKB	2ICLK		1500
0008 8312h	RIIC0	I²Cバス送信データレジスタ	ICDRT	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8313h	RIIC0	I²Cバス受信データレジスタ	ICDRR	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8320h	RIIC1	I²Cバスコントロールレジスタ1	ICCR1	8	8	2 ～ 3PCLKB	2ICLK		1473
0008 8321h	RIIC1	I²Cバスコントロールレジスタ2	ICCR2	8	8	2 ～ 3PCLKB	2ICLK		1475
0008 8322h	RIIC1	I²Cバスモードレジスタ1	ICMR1	8	8	2 ～ 3PCLKB	2ICLK		1479
0008 8323h	RIIC1	I²Cバスモードレジスタ2	ICMR2	8	8	2 ～ 3PCLKB	2ICLK		1480
0008 8324h	RIIC1	I²Cバスモードレジスタ3	ICMR3	8	8	2 ～ 3PCLKB	2ICLK		1482
0008 8325h	RIIC1	I²Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ～ 3PCLKB	2ICLK		1484
0008 8326h	RIIC1	I²Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ～ 3PCLKB	2ICLK		1486
0008 8327h	RIIC1	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ～ 3PCLKB	2ICLK		1488
0008 8328h	RIIC1	I²Cバスステータスレジスタ1	ICSR1	8	8	2 ～ 3PCLKB	2ICLK		1490
0008 8329h	RIIC1	I²Cバスステータスレジスタ2	ICSR2	8	8	2 ～ 3PCLKB	2ICLK		1493
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 832Ah	RIIC1	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ～ 3PCLKB	2ICLK		1503
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 832Bh	RIIC1	タイムアウト内部カウンタU	TMOCNTU	8	8 (注7)	2 ～ 3PCLKB	2ICLK		1503
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 8330h	RIIC1	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ～ 3PCLKB	2ICLK		1499
0008 8331h	RIIC1	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ～ 3PCLKB	2ICLK		1500
0008 8332h	RIIC1	I²Cバス送信データレジスタ	ICDRT	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8333h	RIIC1	I²Cバス受信データレジスタ	ICDRR	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8340h	RIIC2	I²Cバスコントロールレジスタ1	ICCR1	8	8	2 ～ 3PCLKB	2ICLK		1473
0008 8341h	RIIC2	I²Cバスコントロールレジスタ2	ICCR2	8	8	2 ～ 3PCLKB	2ICLK		1475
0008 8342h	RIIC2	I²Cバスモードレジスタ1	ICMR1	8	8	2 ～ 3PCLKB	2ICLK		1479
0008 8343h	RIIC2	I²Cバスモードレジスタ2	ICMR2	8	8	2 ～ 3PCLKB	2ICLK		1480
0008 8344h	RIIC2	I²Cバスモードレジスタ3	ICMR3	8	8	2 ～ 3PCLKB	2ICLK		1482
0008 8345h	RIIC2	I²Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ～ 3PCLKB	2ICLK		1484
0008 8346h	RIIC2	I²Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ～ 3PCLKB	2ICLK		1486
0008 8347h	RIIC2	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ～ 3PCLKB	2ICLK		1488
0008 8348h	RIIC2	I²Cバスステータスレジスタ1	ICSR1	8	8	2 ～ 3PCLKB	2ICLK		1490
0008 8349h	RIIC2	I²Cバスステータスレジスタ2	ICSR2	8	8	2 ～ 3PCLKB	2ICLK		1493
0008 834Ah	RIIC2	スレーブアドレスレジスタL0	SARL0	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 834Bh	RIIC2	スレーブアドレスレジスタU0	SARU0	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 834Ch	RIIC2	スレーブアドレスレジスタL1	SARL1	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 834Dh	RIIC2	スレーブアドレスレジスタU1	SARU1	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 834Eh	RIIC2	スレーブアドレスレジスタL2	SARL2	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 834Fh	RIIC2	スレーブアドレスレジスタU2	SARU2	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 8350h	RIIC2	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ～ 3PCLKB	2ICLK		1499
0008 8351h	RIIC2	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ～ 3PCLKB	2ICLK		1500
0008 8352h	RIIC2	I²Cバス送信データレジスタ	ICDRT	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8353h	RIIC2	I²Cバス受信データレジスタ	ICDRR	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8360h	RIIC3	I²Cバスコントロールレジスタ1	ICCR1	8	8	2 ～ 3PCLKB	2ICLK		1473

表5.1　I/Oレジスタアドレス一覧（２０／４５）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK ＜ PCLKの場合		
0008 8361h	RIIC3	I²Cバスコントロールレジスタ2	ICCR2	8	8	2 ～ 3PCLKB	2ICLK	RIIC	1475
0008 8362h	RIIC3	I²Cバスモードレジスタ1	ICMR1	8	8	2 ～ 3PCLKB	2ICLK		1479
0008 8363h	RIIC3	I²Cバスモードレジスタ2	ICMR2	8	8	2 ～ 3PCLKB	2ICLK		1480
0008 8364h	RIIC3	I²Cバスモードレジスタ3	ICMR3	8	8	2 ～ 3PCLKB	2ICLK		1482
0008 8365h	RIIC3	I²Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ～ 3PCLKB	2ICLK		1484
0008 8366h	RIIC3	I²Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ～ 3PCLKB	2ICLK		1486
0008 8367h	RIIC3	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ～ 3PCLKB	2ICLK		1488
0008 8368h	RIIC3	I²Cバスステータスレジスタ1	ICSR1	8	8	2 ～ 3PCLKB	2ICLK		1490
0008 8369h	RIIC3	I²Cバスステータスレジスタ2	ICSR2	8	8	2 ～ 3PCLKB	2ICLK		1493
0008 836Ah	RIIC3	スレーブアドレスレジスタL0	SARL0	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 836Bh	RIIC3	スレーブアドレスレジスタU0	SARU0	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 836Ch	RIIC3	スレーブアドレスレジスタL1	SARL1	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 836Dh	RIIC3	スレーブアドレスレジスタU1	SARU1	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 836Eh	RIIC3	スレーブアドレスレジスタL2	SARL2	8	8	2 ～ 3PCLKB	2ICLK		1497
0008 836Fh	RIIC3	スレーブアドレスレジスタU2	SARU2	8	8	2 ～ 3PCLKB	2ICLK		1498
0008 8370h	RIIC3	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ～ 3PCLKB	2ICLK		1499
0008 8371h	RIIC3	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ～ 3PCLKB	2ICLK		1500
0008 8372h	RIIC3	I²Cバス送信データレジスタ	ICDRT	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8373h	RIIC3	I²Cバス受信データレジスタ	ICDRR	8	8	2 ～ 3PCLKB	2ICLK		1502
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ～ 3PCLKB	2ICLK	RSPI	1607
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ～ 3PCLKB	2ICLK		1609
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ～ 3PCLKB	2ICLK		1610
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ～ 3PCLKB	2ICLK		1611
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2 ～ 3PCLKB	2ICLK		1613
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ～ 3PCLKB	2ICLK		1616
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ～ 3PCLKB	2ICLK		1617
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ～ 3PCLKB	2ICLK		1618
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ～ 3PCLKB	2ICLK		1619
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ～ 3PCLKB	2ICLK		1620
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ～ 3PCLKB	2ICLK		1621
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ～ 3PCLKB	2ICLK		1622
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ～ 3PCLKB	2ICLK		1623
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83A0h	RSPI1	RSPI制御レジスタ	SPCR	8	8	2 ～ 3PCLKB	2ICLK		1607
0008 83A1h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ～ 3PCLKB	2ICLK		1609
0008 83A2h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8	2 ～ 3PCLKB	2ICLK		1610
0008 83A3h	RSPI1	RSPIステータスレジスタ	SPSR	8	8	2 ～ 3PCLKB	2ICLK		1611
0008 83A4h	RSPI1	RSPIデータレジスタ	SPDR	32	16、32	2 ～ 3PCLKB	2ICLK		1613
0008 83A8h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ～ 3PCLKB	2ICLK		1616
0008 83A9h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ～ 3PCLKB	2ICLK		1617
0008 83AAh	RSPI1	RSPIビットレートレジスタ	SPBR	8	8	2 ～ 3PCLKB	2ICLK		1618
0008 83ABh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ～ 3PCLKB	2ICLK		1619
0008 83ACh	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ～ 3PCLKB	2ICLK		1620
0008 83ADh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ～ 3PCLKB	2ICLK		1621

表5.1　I/Oレジスタアドレス一覧(２１/４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 83AEh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ～ 3PCLKB	2ICLK	RSPI	1622
0008 83AFh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8	2 ～ 3PCLKB	2ICLK		1623
0008 83B0h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83B2h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83B4h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83B6h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83B8h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83BAh	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83BCh	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83BEh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83C0h	RSPI2	RSPI制御レジスタ	SPCR	8	8	2 ～ 3PCLKB	2ICLK		1607
0008 83C1h	RSPI2	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ～ 3PCLKB	2ICLK		1609
0008 83C2h	RSPI2	RSPI端子制御レジスタ	SPPCR	8	8	2 ～ 3PCLKB	2ICLK		1610
0008 83C3h	RSPI2	RSPIステータスレジスタ	SPSR	8	8	2 ～ 3PCLKB	2ICLK		1611
0008 83C4h	RSPI2	RSPIデータレジスタ	SPDR	32	16、32	2 ～ 3PCLKB	2ICLK		1613
0008 83C8h	RSPI2	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ～ 3PCLKB	2ICLK		1616
0008 83C9h	RSPI2	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ～ 3PCLKB	2ICLK		1617
0008 83CAh	RSPI2	RSPIビットレートレジスタ	SPBR	8	8	2 ～ 3PCLKB	2ICLK		1618
0008 83CBh	RSPI2	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ～ 3PCLKB	2ICLK		1619
0008 83CCh	RSPI2	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ～ 3PCLKB	2ICLK		1620
0008 83CDh	RSPI2	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ～ 3PCLKB	2ICLK		1621
0008 83CEh	RSPI2	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ～ 3PCLKB	2ICLK		1622
0008 83CFh	RSPI2	RSPI制御レジスタ2	SPCR2	8	8	2 ～ 3PCLKB	2ICLK		1623
0008 83D0h	RSPI2	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83D2h	RSPI2	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83D4h	RSPI2	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83D6h	RSPI2	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83D8h	RSPI2	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83DAh	RSPI2	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83DCh	RSPI2	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ～ 3PCLKB	2ICLK		1624
0008 83DEh	RSPI2	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ～ 3PCLKB	2ICLK		1609
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK	MTU2a	763
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		763
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		766
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		766
0008 8604h	MTU3	タイマI/Oコントロールレジスタ H	TIORH	8	8	2 ～ 3PCLKB	2ICLK		768
0008 8605h	MTU3	タイマI/Oコントロールレジスタ L	TIORL	8	8	2 ～ 3PCLKB	2ICLK		768
0008 8606h	MTU4	タイマI/Oコントロールレジスタ H	TIORH	8	8	2 ～ 3PCLKB	2ICLK		768
0008 8607h	MTU4	タイマI/Oコントロールレジスタ L	TIORL	8	8	2 ～ 3PCLKB	2ICLK		768
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		780
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		780
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ～ 3PCLKB	2ICLK		791
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ～ 3PCLKB	2ICLK		797
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2 ～ 3PCLKB	2ICLK		792
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2 ～ 3PCLKB	2ICLK		794
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ～ 3PCLKB	2ICLK		799
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ～ 3PCLKB	2ICLK		798
0008 8618h	MTU3	タイマジェネラルレジスタ A	TGRA	16	16	2 ～ 3PCLKB	2ICLK		787
0008 861Ah	MTU3	タイマジェネラルレジスタ B	TGRB	16	16	2 ～ 3PCLKB	2ICLK		787

表5.1　I/Oレジスタアドレス一覧 (２２ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK	MTU2a	787
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ～ 3PCLKB	2ICLK		798
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2 ～ 3PCLKB	2ICLK		799
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2 ～ 3PCLKB	2ICLK		787
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2 ～ 3PCLKB	2ICLK		787
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		782
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		782
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2 ～ 3PCLKB	2ICLK		800
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2 ～ 3PCLKB	2ICLK		801
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2 ～ 3PCLKB	2ICLK		802
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2 ～ 3PCLKB	2ICLK		803
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2 ～ 3PCLKB	2ICLK		796
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ～ 3PCLKB	2ICLK		783
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ～ 3PCLKB	2ICLK		783
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2 ～ 3PCLKB	2ICLK		785
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2 ～ 3PCLKB	2ICLK		786
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2 ～ 3PCLKB	2ICLK		786
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2 ～ 3PCLKB	2ICLK		786
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2 ～ 3PCLKB	2ICLK		786
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8、16	2 ～ 3PCLKB	2ICLK		804
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8、16	2 ～ 3PCLKB	2ICLK		788
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8、16	2 ～ 3PCLKB	2ICLK		789
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8、16	2 ～ 3PCLKB	2ICLK		790
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ～ 3PCLKB	2ICLK		805
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ～ 3PCLKB	2ICLK		805
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ～ 3PCLKB	2ICLK		805
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ～ 3PCLKB	2ICLK		805
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ～ 3PCLKB	2ICLK		805
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ～ 3PCLKB	2ICLK		806
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		763
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		766
0008 8702h	MTU0	タイマI/Oコントロールレジスタ H	TIORH	8	8	2 ～ 3PCLKB	2ICLK		768
0008 8703h	MTU0	タイマI/Oコントロールレジスタ L	TIORL	8	8	2 ～ 3PCLKB	2ICLK		768
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		780
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		782
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		787
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		787
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2 ～ 3PCLKB	2ICLK		787
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2 ～ 3PCLKB	2ICLK		781
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ～ 3PCLKB	2ICLK		783
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		763
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		766
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		768

表5.1　I/Oレジスタアドレス一覧 (２３ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK	MTU2a	780
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		782
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		787
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2 ～ 3PCLKB	2ICLK		784
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		763
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2 ～ 3PCLKB	2ICLK		766
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ～ 3PCLKB	2ICLK		768
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		780
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2 ～ 3PCLKB	2ICLK		782
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2 ～ 3PCLKB	2ICLK		787
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2 ～ 3PCLKB	2ICLK		763
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2 ～ 3PCLKB	2ICLK		769
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2 ～ 3PCLKB	2ICLK		787
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2 ～ 3PCLKB	2ICLK		763
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2 ～ 3PCLKB	2ICLK		769
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2 ～ 3PCLKB	2ICLK		787
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2 ～ 3PCLKB	2ICLK		787
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2 ～ 3PCLKB	2ICLK		763
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2 ～ 3PCLKB	2ICLK		769
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ～ 3PCLKB	2ICLK		782
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2 ～ 3PCLKB	2ICLK		788
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2 ～ 3PCLKB	2ICLK		779
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2 ～ 3PCLKB	2ICLK	POE2a	935
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2 ～ 3PCLKB	2ICLK		937
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2 ～ 3PCLKB	2ICLK		938
0008 890Ah	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	8	2 ～ 3PCLKB	2ICLK		939
0008 890Bh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2 ～ 3PCLKB	2ICLK		940
0008 890Ch	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	8	8	2 ～ 3PCLKB	2ICLK		940
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2 ～ 3PCLKB	2ICLK		941
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	8	8	2 ～ 3PCLKB	2ICLK	S12ADa	1757
0008 9004h	S12AD	A/Dチャネル選択レジスタ0	ADANS0	16	16	2 ～ 3PCLKB	2ICLK		1759
0008 9006h	S12AD	A/Dチャネル選択レジスタ1	ADANS1	16	16	2 ～ 3PCLKB	2ICLK		1759
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ0	ADADS0	16	16	2 ～ 3PCLKB	2ICLK		1760
0008 900Ah	S12AD	A/D変換値加算モード選択レジスタ1	ADADS1	16	16	2 ～ 3PCLKB	2ICLK		1760
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2 ～ 3PCLKB	2ICLK		1761
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ～ 3PCLKB	2ICLK		1762
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	8	8	2 ～ 3PCLKB	2ICLK		1763
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ～ 3PCLKB	2ICLK		1764
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSDR	16	16	2 ～ 3PCLKB	2ICLK		1765
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2 ～ 3PCLKB	2ICLK		1766
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2 ～ 3PCLKB	2ICLK		1767

表5.1　I/Oレジスタアドレス一覧 (２４ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2 ～ 3PCLKB	2ICLK	S12ADa	1767
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9032h	S12AD	A/Dデータレジスタ9	ADDR9	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9034h	S12AD	A/Dデータレジスタ10	ADDR10	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9036h	S12AD	A/Dデータレジスタ11	ADDR11	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9038h	S12AD	A/Dデータレジスタ12	ADDR12	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 903Ah	S12AD	A/Dデータレジスタ13	ADDR13	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 903Ch	S12AD	A/Dデータレジスタ14	ADDR14	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 903Eh	S12AD	A/Dデータレジスタ15	ADDR15	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9042h	S12AD	A/Dデータレジスタ17	ADDR17	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9044h	S12AD	A/Dデータレジスタ18	ADDR18	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9046h	S12AD	A/Dデータレジスタ19	ADDR19	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9048h	S12AD	A/Dデータレジスタ20	ADDR20	16	16	2 ～ 3PCLKB	2ICLK		1767
0008 9060h	S12AD	A/Dサンプリングステートレジスタ01	ADSSTR01	16	16	2 ～ 3PCLKB	2ICLK		1768
0008 9070h	S12AD	A/Dサンプリングステートレジスタ23	ADSSTR23	16	16	2 ～ 3PCLKB	2ICLK		1769
0008 9800h	AD	A/Dデータレジスタ A	ADDRA	16	16	2 ～ 3PCLKB	2ICLK	ADb	1787
0008 9802h	AD	A/Dデータレジスタ B	ADDRB	16	16	2 ～ 3PCLKB	2ICLK		1787
0008 9804h	AD	A/Dデータレジスタ C	ADDRC	16	16	2 ～ 3PCLKB	2ICLK		1787
0008 9806h	AD	A/Dデータレジスタ D	ADDRD	16	16	2 ～ 3PCLKB	2ICLK		1787
0008 9808h	AD	A/Dデータレジスタ E	ADDRE	16	16	2 ～ 3PCLKB	2ICLK		1787
0008 980Ah	AD	A/Dデータレジスタ F	ADDRF	16	16	2 ～ 3PCLKB	2ICLK		1787
0008 980Ch	AD	A/Dデータレジスタ G	ADDRG	16	16	2 ～ 3PCLKB	2ICLK		1787
0008 980Eh	AD	A/Dデータレジスタ H	ADDRH	16	16	2 ～ 3PCLKB	2ICLK		1787
0008 9810h	AD	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2 ～ 3PCLKB	2ICLK		1788
0008 9811h	AD	A/Dコントロールレジスタ	ADCR	8	8	2 ～ 3PCLKB	2ICLK		1789
0008 9812h	AD	A/Dコントロールレジスタ2	ADCR2	8	8	2 ～ 3PCLKB	2ICLK		1790
0008 9813h	AD	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2 ～ 3PCLKB	2ICLK		1791
0008 981Fh	AD	A/D自己診断レジスタ	ADDIAGR	8	8	2 ～ 3PCLKB	2ICLK		1791
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK	SCIc、SCId	1354
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A003h	SCI0	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A009h	SCI0	I²Cモードレジスタ1	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A00Ah	SCI0	I²Cモードレジスタ2	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A00Bh	SCI0	I²Cモードレジスタ3	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A00Ch	SCI0	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A00Dh	SCI0	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368

表5.1　I/Oレジスタアドレス一覧 (２５ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK	SCIc、SCId	1358
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A029h	SCI1	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A02Ah	SCI1	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A02Bh	SCI1	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A02Ch	SCI1	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A049h	SCI2	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A04Ah	SCI2	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A04Bh	SCI2	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A04Ch	SCI2	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A069h	SCI3	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A06Ah	SCI3	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A06Bh	SCI3	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A06Ch	SCI3	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A083h	SCI4	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A086h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A089h	SCI4	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A08Ah	SCI4	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380

表5.1　I/Oレジスタアドレス一覧(２６/４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 A08Bh	SCI4	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK	SCIc、SCId	1381
0008 A08Ch	SCI4	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A08Dh	SCI4	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A0A9h	SCI5	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A0AAh	SCI5	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A0ABh	SCI5	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A0ACh	SCI5	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A0C9h	SCI6	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A0CAh	SCI6	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A0CBh	SCI6	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A0CCh	SCI6	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A0E6h	SCI7	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A0E9h	SCI7	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A0EAh	SCI7	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A0EBh	SCI7	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A0ECh	SCI7	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353

表5.1　I/Oレジスタアドレス一覧 (２７ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK	SCIc、SCId	1367
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A109h	SCI8	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A10Ah	SCI8	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A10Bh	SCI8	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A10Ch	SCI8	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A129h	SCI9	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A12Ah	SCI9	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A12Bh	SCI9	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A12Ch	SCI9	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A140h	SCI10	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A141h	SCI10	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A142h	SCI10	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A143h	SCI10	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A144h	SCI10	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A145h	SCI10	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A146h	SCI10	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A147h	SCI10	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A148h	SCI10	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A149h	SCI10	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A14Ah	SCI10	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A14Bh	SCI10	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A14Ch	SCI10	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A14Dh	SCI10	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 A160h	SCI11	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK		1354
0008 A161h	SCI11	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 A162h	SCI11	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 A163h	SCI11	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A164h	SCI11	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 A165h	SCI11	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 A166h	SCI11	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 A167h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 A168h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 A169h	SCI11	I²Cモードレジスタ１	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 A16Ah	SCI11	I²Cモードレジスタ２	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 A16Bh	SCI11	I²Cモードレジスタ３	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 A16Ch	SCI11	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 A16Dh	SCI11	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384

表5.1　I/Oレジスタアドレス一覧 (２８ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 A800h	IEB	IEBusコントロールレジスタ	IECTR	8	8	3 ～ 4PCLKB	2 ～ 3ICLK	IEB	1684
0008 A801h	IEB	IEBusコマンドレジスタ	IECMR	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1685
0008 A802h	IEB	IEBusマスタコントロールレジスタ	IEMCR	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1686
0008 A803h	IEB	IEBus自局アドレスレジスタ1	IEAR1	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1687
0008 A804h	IEB	IEBus自局アドレスレジスタ2	IEAR2	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1688
0008 A805h	IEB	IEBusスレーブアドレス設定レジスタ1	IESA1	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1688
0008 A806h	IEB	IEBusスレーブアドレス設定レジスタ2	IESA2	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1689
0008 A807h	IEB	IEBus送信電文長レジスタ	IETBFL	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1689
0008 A809h	IEB	IEBus受信マスタアドレスレジスタ1	IEMA1	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1690
0008 A80Ah	IEB	IEBus受信マスタアドレスレジスタ2	IEMA2	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1690
0008 A80Bh	IEB	IEBus受信コントロールフィールドレジスタ	IERCTL	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1691
0008 A80Ch	IEB	IEBus受信電文長レジスタ	IERBFL	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1691
0008 A80Eh	IEB	IEBusロックアドレスレジスタ1	IELA1	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1692
0008 A80Fh	IEB	IEBusロックアドレスレジスタ2	IELA2	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1692
0008 A810h	IEB	IEBusゼネラルフラグレジスタ	IEFLG	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1693
0008 A811h	IEB	IEBus送信ステータスレジスタ	IETSR	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1695
0008 A812h	IEB	IEBus送信割り込み許可レジスタ	IEIET	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1698
0008 A814h	IEB	IEBus受信ステータスレジスタ	IERSR	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1699
0008 A815h	IEB	IEBus受信割り込み許可レジスタ	IEIER	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1702
0008 A818h	IEB	IEBusクロック選択レジスタ	IECKSR	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1703
0008 A900h～0008 A91Fh	IEB	IEBus送信データバッファレジスタ001～032	IETB001～032	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1704
0008 AA00h～0008 AA1Fh	IEB	IEBus受信データバッファレジスタ001～032	IERB001～032	8	8	3 ～ 4PCLKB	2 ～ 3ICLK		1704
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	2ICLK	SCIc、SCId	1354
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2 ～ 3PCLKB	2ICLK		1368
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2 ～ 3PCLKB	2ICLK		1358
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2 ～ 3PCLKB	2ICLK		1363
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2 ～ 3PCLKB	2ICLK		1353
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2 ～ 3PCLKB	2ICLK		1367
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2 ～ 3PCLKB	2ICLK		1376
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	2ICLK		1378
0008 B309h	SCI12	I²Cモードレジスタ1	SIMR1	8	8	2 ～ 3PCLKB	2ICLK		1379
0008 B30Ah	SCI12	I²Cモードレジスタ2	SIMR2	8	8	2 ～ 3PCLKB	2ICLK		1380
0008 B30Bh	SCI12	I²Cモードレジスタ3	SIMR3	8	8	2 ～ 3PCLKB	2ICLK		1381
0008 B30Ch	SCI12	I²Cステータスレジスタ	SISR	8	8	2 ～ 3PCLKB	2ICLK		1383
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2 ～ 3PCLKB	2ICLK		1384
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2 ～ 3PCLKB	2ICLK		1385
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2 ～ 3PCLKB	2ICLK		1386
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2 ～ 3PCLKB	2ICLK		1386
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2 ～ 3PCLKB	2ICLK		1387
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2 ～ 3PCLKB	2ICLK		1388
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		1388
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2 ～ 3PCLKB	2ICLK		1389
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2 ～ 3PCLKB	2ICLK		1390
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2 ～ 3PCLKB	2ICLK		1391
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2 ～ 3PCLKB	2ICLK		1391
0008 B32Ah	SCI12	Control Field 0コンペアイネーブルレジスタ	CF0CR	8	8	2 ～ 3PCLKB	2ICLK		1392
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2 ～ 3PCLKB	2ICLK		1392
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2 ～ 3PCLKB	2ICLK		1392
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2 ～ 3PCLKB	2ICLK		1393

表5.1　I/Oレジスタアドレス一覧 (２９ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 B32Eh	SCI12	Control Field 1コンペアイネーブルレジスタ	CF1CR	8	8	2 ～ 3PCLKB	2ICLK	SCIc、SCId	1393
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2 ～ 3PCLKB	2ICLK		1393
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		1394
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2 ～ 3PCLKB	2ICLK		1394
0008 B332h	SCI12	タイマプリスケーラレジスタ	TPRE	8	8	2 ～ 3PCLKB	2ICLK		1395
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2 ～ 3PCLKB	2ICLK		1395
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK	I/O ポート	685
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2 ～ 3PCLKB	2ICLK		685
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C030h	PORTG	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2 ～ 3PCLKB	2ICLK		686
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687

表5.1　I/Oレジスタアドレス一覧 (３０ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK	I/O ポート	687
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C050h	PORTG	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	2 ～ 3PCLKB	2ICLK		687
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2 ～ 3PCLKB	2ICLK		688
0008 C080h	PORT0	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C081h	PORT0	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C082h	PORT1	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C083h	PORT1	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C084h	PORT2	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C085h	PORT2	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C086h	PORT3	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C087h	PORT3	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C088h	PORT4	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C089h	PORT4	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C08Ah	PORT5	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C08Bh	PORT5	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C08Ch	PORT6	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C08Dh	PORT6	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C08Eh	PORT7	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C08Fh	PORT7	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C090h	PORT8	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C091h	PORT8	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C092h	PORT9	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C093h	PORT9	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C094h	PORTA	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C095h	PORTA	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C096h	PORTB	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C097h	PORTB	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690

表5.1　I/Oレジスタアドレス一覧 (３１ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 C098h	PORTC	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK	I/O ポート	689
0008 C099h	PORTC	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C09Ah	PORTD	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C09Bh	PORTD	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C09Ch	PORTE	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C09Dh	PORTE	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C09Eh	PORTF	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C09Fh	PORTF	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C0A0h	PORTG	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C0A1h	PORTG	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C0A4h	PORTJ	オープンドレイン制御レジスタ0	ODR0	8	8、16	2 ～ 3PCLKB	2ICLK		689
0008 C0A5h	PORTJ	オープンドレイン制御レジスタ1	ODR1	8	8、16	2 ～ 3PCLKB	2ICLK		690
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C1h	PORT1	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C2h	PORT2	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C3h	PORT3	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C4h	PORT4	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C5h	PORT5	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C6h	PORT6	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C7h	PORT7	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C8h	PORT8	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0C9h	PORT9	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0CAh	PORTA	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0CBh	PORTB	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0CCh	PORTC	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0CDh	PORTD	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0CEh	PORTE	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0CFh	PORTF	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0D0h	PORTG	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0D2h	PORTJ	プルアップ制御レジスタ	PCR	8	8	2 ～ 3PCLKB	2ICLK		691
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C0F0h	PORTG	駆動能力制御レジスタ	DSCR	8	8	2 ～ 3PCLKB	2ICLK		692
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2 ～ 3PCLKB	2ICLK	MPC	743
0008 C102h	MPC	CS出力端子選択レジスタ0	PFCSS0	8	8	2 ～ 3PCLKB	2ICLK		744
0008 C103h	MPC	CS出力端子選択レジスタ1	PFCSS1	8	8	2 ～ 3PCLKB	2ICLK		745
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8、16	2 ～ 3PCLKB	2ICLK		746
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8、16	2 ～ 3PCLKB	2ICLK		747
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8、16	2 ～ 3PCLKB	2ICLK		748
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8、16	2 ～ 3PCLKB	2ICLK		749
0008 C10Eh	MPC	イーサネット制御レジスタ	PFENET	8	8	2 ～ 3PCLKB	2ICLK		750
0008 C114h	MPC	USB0制御レジスタ	PFUSB0	8	8	2 ～ 3PCLKB	2ICLK		751
0008 C115h	MPC	USB1制御レジスタ	PFUSB1	8	8	2 ～ 3PCLKB	2ICLK		752
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ～ 3PCLKB	2ICLK		713

表5.1　I/Oレジスタアドレス一覧 (３２ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 C120h	PORT	ポート切り換えレジスタB	PSRB	8	8	2 ～ 3PCLKB	2ICLK	I/O ポート	694
0008 C121h	PORT	ポート切り換えレジスタA	PSRA	8	8	2 ～ 3PCLKB	2ICLK		693
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2 ～ 3PCLKB	2ICLK	MPC	714
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2 ～ 3PCLKB	2ICLK		714
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2 ～ 3PCLKB	2ICLK		714
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2 ～ 3PCLKB	2ICLK		714
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2 ～ 3PCLKB	2ICLK		714
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2 ～ 3PCLKB	2ICLK		714
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2 ～ 3PCLKB	2ICLK		716
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2 ～ 3PCLKB	2ICLK		719
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2 ～ 3PCLKB	2ICLK		721
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2 ～ 3PCLKB	2ICLK		721
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2 ～ 3PCLKB	2ICLK		721
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2 ～ 3PCLKB	2ICLK		721
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2 ～ 3PCLKB	2ICLK		721
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2 ～ 3PCLKB	2ICLK		723
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2 ～ 3PCLKB	2ICLK		724
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2 ～ 3PCLKB	2ICLK		724
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2 ～ 3PCLKB	2ICLK		724
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2 ～ 3PCLKB	2ICLK		724
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2 ～ 3PCLKB	2ICLK		724
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2 ～ 3PCLKB	2ICLK		724
0008 C16Fh	MPC	P57端子機能制御レジスタ	P57PFS	8	8	2 ～ 3PCLKB	2ICLK		724
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2 ～ 3PCLKB	2ICLK		726
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2 ～ 3PCLKB	2ICLK		726
0008 C176h	MPC	P66端子機能制御レジスタ	P66PFS	8	8	2 ～ 3PCLKB	2ICLK		726
0008 C177h	MPC	P67端子機能制御レジスタ	P67PFS	8	8	2 ～ 3PCLKB	2ICLK		726
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2 ～ 3PCLKB	2ICLK		727
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2 ～ 3PCLKB	2ICLK		727
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2 ～ 3PCLKB	2ICLK		727

表5.1　I/Oレジスタアドレス一覧 (３３ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2 ～ 3PCLKB	2ICLK	MPC	727
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2 ～ 3PCLKB	2ICLK		727
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2 ～ 3PCLKB	2ICLK		727
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2 ～ 3PCLKB	2ICLK		727
0008 C17Fh	MPC	P77端子機能制御レジスタ	P77PFS	8	8	2 ～ 3PCLKB	2ICLK		727
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2 ～ 3PCLKB	2ICLK		728
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2 ～ 3PCLKB	2ICLK		728
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2 ～ 3PCLKB	2ICLK		728
0008 C183h	MPC	P83端子機能制御レジスタ	P83PFS	8	8	2 ～ 3PCLKB	2ICLK		728
0008 C186h	MPC	P86端子機能制御レジスタ	P86PFS	8	8	2 ～ 3PCLKB	2ICLK		728
0008 C187h	MPC	P87端子機能制御レジスタ	P87PFS	8	8	2 ～ 3PCLKB	2ICLK		728
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2 ～ 3PCLKB	2ICLK		729
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2 ～ 3PCLKB	2ICLK		729
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2 ～ 3PCLKB	2ICLK		729
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2 ～ 3PCLKB	2ICLK		729
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2 ～ 3PCLKB	2ICLK		730
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2 ～ 3PCLKB	2ICLK		732
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2 ～ 3PCLKB	2ICLK		735
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2 ～ 3PCLKB	2ICLK		738
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2 ～ 3PCLKB	2ICLK		739
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2 ～ 3PCLKB	2ICLK		739
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2 ～ 3PCLKB	2ICLK		739
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2 ～ 3PCLKB	2ICLK		739

表5.1　I/Oレジスタアドレス一覧 (３４ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2 ～ 3PCLKB	2ICLK	MPC	739
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2 ～ 3PCLKB	2ICLK		739
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2 ～ 3PCLKB	2ICLK		739
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2 ～ 3PCLKB	2ICLK		739
0008 C1B8h	MPC	PF0端子機能制御レジスタ	PF0PFS	8	8	2 ～ 3PCLKB	2ICLK		741
0008 C1B9h	MPC	PF1端子機能制御レジスタ	PF1PFS	8	8	2 ～ 3PCLKB	2ICLK		741
0008 C1BAh	MPC	PF2端子機能制御レジスタ	PF2PFS	8	8	2 ～ 3PCLKB	2ICLK		741
0008 C1BDh	MPC	PF5端子機能制御レジスタ	PF5PFS	8	8	2 ～ 3PCLKB	2ICLK		741
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2 ～ 3PCLKB	2ICLK		742
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4 ～ 5PCLKB	2 ～ 3ICLK	消費電力低減機能	311
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		313
0008 C283h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ1	DPSIER1	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		314
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		315
0008 C285h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ3	DPSIER3	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		316
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		317
0008 C287h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ1	DPSIFR1	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		318
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		319
0008 C289h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ3	DPSIFR3	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		321
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		322
0008 C28Bh	SYSTEM	ディープスタンバイインタラプトエッジレジスタ1	DPSIEGR1	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		323
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		324
0008 C28Dh	SYSTEM	ディープスタンバイインタラプトエッジレジスタ3	DPSIEGR3	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		324
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4 ～ 5PCLKB	2 ～ 3ICLK	リセット	220
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		222
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ～ 5PCLKB	2 ～ 3ICLK	クロック発生回路	270
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		271
0008 C296h	FLASH	フラッシュライトイレーズプロテクトレジスタ	FWEPROR	8	8	4 ～ 5PCLKB	2 ～ 3ICLK	ROM	1585
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4 ～ 5PCLKB	2 ～ 3ICLK	LVDA	244
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		244
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		245
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4 ～ 5PCLKB	2 ～ 3ICLK		246
0008 C2A0h～0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0～31	DPSBKR0～31	8	8	4 ～ 5PCLKB	2 ～ 3ICLK	消費電力低減機能	325
0008 C300h	ICU	グループ0割り込み要因レジスタ	GRP00	32	32	1 ～ 2PCLKB	2ICLK	ICUb	373
0008 C304h	ICU	グループ1割り込み要因レジスタ	GRP01	32	32	1 ～ 2PCLKB	2ICLK		373
0008 C308h	ICU	グループ2割り込み要因レジスタ	GRP02	32	32	1 ～ 2PCLKB	2ICLK		373
0008 C30Ch	ICU	グループ3割り込み要因レジスタ	GRP03	32	32	1 ～ 2PCLKB	2ICLK		373
0008 C310h	ICU	グループ4割り込み要因レジスタ	GRP04	32	32	1 ～ 2PCLKB	2ICLK		373
0008 C314h	ICU	グループ5割り込み要因レジスタ	GRP05	32	32	1 ～ 2PCLKB	2ICLK		373
0008 C318h	ICU	グループ6割り込み要因レジスタ	GRP06	32	32	1 ～ 2PCLKB	2ICLK		373
0008 C330h	ICU	グループ12割り込み要因レジスタ	GRP12	32	32	1 ～ 2PCLKB	2ICLK		374
0008 C340h	ICU	グループ0割り込み許可レジスタ	GEN00	32	32	1 ～ 2PCLKB	2ICLK		376
0008 C344h	ICU	グループ1割り込み許可レジスタ	GEN01	32	32	1 ～ 2PCLKB	2ICLK		376
0008 C348h	ICU	グループ2割り込み許可レジスタ	GEN02	32	32	1 ～ 2PCLKB	2ICLK		376
0008 C34Ch	ICU	グループ3割り込み許可レジスタ	GEN03	32	32	1 ～ 2PCLKB	2ICLK		376
0008 C350h	ICU	グループ4割り込み許可レジスタ	GEN04	32	32	1 ～ 2PCLKB	2ICLK		376
0008 C354h	ICU	グループ5割り込み許可レジスタ	GEN05	32	32	1 ～ 2PCLKB	2ICLK		376
0008 C358h	ICU	グループ6割り込み許可レジスタ	GEN06	32	32	1 ～ 2PCLKB	2ICLK		376

表5.1　I/Oレジスタアドレス一覧 (３５ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 C370h	ICU	グループ12割り込み許可レジスタ	GEN12	32	32	1 ～ 2PCLKB	2ICLK	ICUb	377
0008 C380h	ICU	グループ0割り込みクリアレジスタ	GCR00	32	32	1 ～ 2PCLKB	2ICLK		378
0008 C384h	ICU	グループ1割り込みクリアレジスタ	GCR01	32	32	1 ～ 2PCLKB	2ICLK		378
0008 C388h	ICU	グループ2割り込みクリアレジスタ	GCR02	32	32	1 ～ 2PCLKB	2ICLK		378
0008 C38Ch	ICU	グループ3割り込みクリアレジスタ	GCR03	32	32	1 ～ 2PCLKB	2ICLK		378
0008 C390h	ICU	グループ4割り込みクリアレジスタ	GCR04	32	32	1 ～ 2PCLKB	2ICLK		378
0008 C394h	ICU	グループ5割り込みクリアレジスタ	GCR05	32	32	1 ～ 2PCLKB	2ICLK		378
0008 C398h	ICU	グループ6割り込みクリアレジスタ	GCR06	32	32	1 ～ 2PCLKB	2ICLK		378
0008 C3C0h	ICU	ユニット選択レジスタ	SEL	32	32	1 ～ 2PCLKB	2ICLK		379
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2 ～ 3PCLKB	2ICLK	RTCa	1087
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2 ～ 3PCLKB	2ICLK		1088
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2 ～ 3PCLKB	2ICLK		1088
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2 ～ 3PCLKB	2ICLK		1089
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2 ～ 3PCLKB	2ICLK		1090
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2 ～ 3PCLKB	2ICLK		1091
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2 ～ 3PCLKB	2ICLK		1092
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2 ～ 3PCLKB	2ICLK		1092
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2 ～ 3PCLKB	2ICLK		1093
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2 ～ 3PCLKB	2ICLK		1094
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2 ～ 3PCLKB	2ICLK		1095
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2 ～ 3PCLKB	2ICLK		1096
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2 ～ 3PCLKB	2ICLK		1097
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2 ～ 3PCLKB	2ICLK		1098
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2 ～ 3PCLKB	2ICLK		1099
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2 ～ 3PCLKB	2ICLK		1099
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2 ～ 3PCLKB	2ICLK		1100
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2 ～ 3PCLKB	2ICLK		1101
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2 ～ 3PCLKB	2ICLK		1103
0008 C428h	RTC	RTCコントロールレジスタ4	RCR4	8	8	2 ～ 3PCLKB	2ICLK		1104
0008 C42Ah	RTC	周波数レジスタH	RFRH	16	16	2 ～ 3PCLKB	2ICLK		1105
0008 C42Ch	RTC	周波数レジスタL	RFRL	16	16	2 ～ 3PCLKB	2ICLK		1105
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2 ～ 3PCLKB	2ICLK		1106
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2 ～ 3PCLKB	2ICLK		1107
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2 ～ 3PCLKB	2ICLK		1107
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2 ～ 3PCLKB	2ICLK		1107
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2 ～ 3PCLKB	2ICLK		1109
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2 ～ 3PCLKB	2ICLK		1110
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2 ～ 3PCLKB	2ICLK		1111
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2 ～ 3PCLKB	2ICLK		1112
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2 ～ 3PCLKB	2ICLK		1113
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2 ～ 3PCLKB	2ICLK		1109
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2 ～ 3PCLKB	2ICLK		1110
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2 ～ 3PCLKB	2ICLK		1111
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2 ～ 3PCLKB	2ICLK		1112
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2 ～ 3PCLKB	2ICLK		1113
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2 ～ 3PCLKB	2ICLK		1109
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2 ～ 3PCLKB	2ICLK		1110
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2 ～ 3PCLKB	2ICLK		1111
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2 ～ 3PCLKB	2ICLK		1112
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2 ～ 3PCLKB	2ICLK		1113
0008 C500h	TEMPS	温度センサコントロールレジスタ	TSCR	8	8	2 ～ 3PCLKB	2ICLK	温度センサ	1821

表5.1　I/Oレジスタアドレス一覧(３６/４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
0008 C880h	SYSTEM	カウントクロック拡張レジスタ1	SCK1	8	8	2～3PCLKB	2ICLK	MCK	287
0008 C890h	SYSTEM	カウントクロック拡張レジスタ2	SCK2	8	8	2～3PCLKB	2ICLK		287
0009 0200h～0009 03FFh	CAN0	メールボックスレジスタ0～31	MB0～31	128	8、16、32	2～3PCLKB	2ICLK	CAN	1558
0009 0400h～0009 041Fh	CAN0	マスクレジスタ0～7	MKR0～7	32	8、16、32	2～3PCLKB	2ICLK		1555
0009 0420h	CAN0	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2～3PCLKB	2ICLK		1556
0009 0424h	CAN0	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2～3PCLKB	2ICLK		1556
0009 0428h	CAN0	マスク無効レジスタ	MKIVLR	32	8、16、32	2～3PCLKB	2ICLK		1557
0009 042Ch	CAN0	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2～3PCLKB	2ICLK		1562
0009 0820h～0009 083Fh	CAN0	メッセージ制御レジスタ0～31	MCTL0～31	8	8	2～3PCLKB	2ICLK		1563
0009 0840h	CAN0	制御レジスタ	CTLR	16	8、16	2～3PCLKB	2ICLK		1550
0009 0842h	CAN0	ステータスレジスタ	STR	16	8、16	2～3PCLKB	2ICLK		1572
0009 0844h	CAN0	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2～3PCLKB	2ICLK		1553
0009 0848h	CAN0	受信FIFO制御レジスタ	RFCR	8	8	2～3PCLKB	2ICLK		1566
0009 0849h	CAN0	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2～3PCLKB	2ICLK		1569
0009 084Ah	CAN0	送信FIFO制御レジスタ	TFCR	8	8	2～3PCLKB	2ICLK		1569
0009 084Bh	CAN0	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2～3PCLKB	2ICLK		1572
0009 084Ch	CAN0	エラー割り込み許可レジスタ	EIER	8	8	2～3PCLKB	2ICLK		1579
0009 084Dh	CAN0	エラー割り込み要因判定レジスタ	EIFR	8	8	2～3PCLKB	2ICLK		1581
0009 084Eh	CAN0	受信エラーカウントレジスタ	RECR	8	8	2～3PCLKB	2ICLK		1583
0009 084Fh	CAN0	送信エラーカウントレジスタ	TECR	8	8	2～3PCLKB	2ICLK		1583
0009 0850h	CAN0	エラーコード格納レジスタ	ECSR	8	8	2～3PCLKB	2ICLK		1584
0009 0851h	CAN0	チャネルサーチサポートレジスタ	CSSR	8	8	2～3PCLKB	2ICLK		1577
0009 0852h	CAN0	メールボックスサーチステータスレジスタ	MSSR	8	8	2～3PCLKB	2ICLK		1576
0009 0853h	CAN0	メールボックスサーチモードレジスタ	MSMR	8	8	2～3PCLKB	2ICLK		1575
0009 0854h	CAN0	タイムスタンプレジスタ	TSR	16	16	2～3PCLKB	2ICLK		1585
0009 0856h	CAN0	アクセプタンスフィルタサポートレジスタ	AFSR	16	16	2～3PCLKB	2ICLK		1578
0009 0858h	CAN0	テスト制御レジスタ	TCR	8	8	2～3PCLKB	2ICLK		1586
0009 1200h～0009 13FFh	CAN1	メールボックスレジスタ0～31	MB0～31	128	8、16、32	2～3PCLKB	2ICLK		1558
0009 1400h～0009 141Fh	CAN1	マスクレジスタ0～7	MKR0～7	32	8、16、32	2～3PCLKB	2ICLK		1555
0009 1420h	CAN1	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2～3PCLKB	2ICLK		1556
0009 1424h	CAN1	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2～3PCLKB	2ICLK		1556
0009 1428h	CAN1	マスク無効レジスタ	MKIVLR	32	8、16、32	2～3PCLKB	2ICLK		1557
0009 142Ch	CAN1	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2～3PCLKB	2ICLK		1562
0009 1820h～0009 183Fh	CAN1	メッセージ制御レジスタ0～31	MCTL0～31	8	8	2～3PCLKB	2ICLK		1563
0009 1840h	CAN1	制御レジスタ	CTLR	16	8、16	2～3PCLKB	2ICLK		1550
0009 1842h	CAN1	ステータスレジスタ	STR	16	8、16	2～3PCLKB	2ICLK		1572
0009 1844h	CAN1	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2～3PCLKB	2ICLK		1553
0009 1848h	CAN1	受信FIFO制御レジスタ	RFCR	8	8	2～3PCLKB	2ICLK		1566
0009 1849h	CAN1	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2～3PCLKB	2ICLK		1569
0009 184Ah	CAN1	送信FIFO制御レジスタ	TFCR	8	8	2～3PCLKB	2ICLK		1569
0009 184Bh	CAN1	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2～3PCLKB	2ICLK		1572
0009 184Ch	CAN1	エラー割り込み許可レジスタ	EIER	8	8	2～3PCLKB	2ICLK		1579
0009 184Dh	CAN1	エラー割り込み要因判定レジスタ	EIFR	8	8	2～3PCLKB	2ICLK		1581
0009 184Eh	CAN1	受信エラーカウントレジスタ	RECR	8	8	2～3PCLKB	2ICLK		1583
0009 184Fh	CAN1	送信エラーカウントレジスタ	TECR	8	8	2～3PCLKB	2ICLK		1583
0009 1850h	CAN1	エラーコード格納レジスタ	ECSR	8	8	2～3PCLKB	2ICLK		1584
0009 1851h	CAN1	チャネルサーチサポートレジスタ	CSSR	8	8	2～3PCLKB	2ICLK		1577
0009 1852h	CAN1	メールボックスサーチステータスレジスタ	MSSR	8	8	2～3PCLKB	2ICLK		1576

表5.1　I/Oレジスタアドレス一覧 (３７ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLK の場合	ICLK < PCLK の場合		
0009 1853h	CAN1	メールボックスサーチモードレジスタ	MSMR	8	8	2 ～ 3PCLKB	2ICLK	CAN	1575
0009 1854h	CAN1	タイムスタンプレジスタ	TSR	16	8、16	2 ～ 3PCLKB	2ICLK		1585
0009 1856h	CAN1	アクセプタンスフィルタサポートレジスタ	AFSR	16	8、16	2 ～ 3PCLKB	2ICLK		1578
0009 1858h	CAN1	テスト制御レジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		1586
0009 2200h～0009 23FFh	CAN2	メールボックスレジスタ0～31	MB0～31	128	8、16、32	2 ～ 3PCLKB	2ICLK		1558
0009 2400h～0009 241Fh	CAN2	マスクレジスタ0～7	MKR0～7	32	8、16、32	2 ～ 3PCLKB	2ICLK		1555
0009 2420h	CAN2	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2 ～ 3PCLKB	2ICLK		1556
0009 2424h	CAN2	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2 ～ 3PCLKB	2ICLK		1556
0009 2428h	CAN2	マスク無効レジスタ	MKIVLR	32	8、16、32	2 ～ 3PCLKB	2ICLK		1557
0009 242Ch	CAN2	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2 ～ 3PCLKB	2ICLK		1562
0009 2820h～0009 283Fh	CAN2	メッセージ制御レジスタ0～31	MCTL0～31	8	8	2 ～ 3PCLKB	2ICLK		1563
0009 2840h	CAN2	制御レジスタ	CTLR	16	8、16	2 ～ 3PCLKB	2ICLK		1550
0009 2842h	CAN2	ステータスレジスタ	STR	16	8、16	2 ～ 3PCLKB	2ICLK		1572
0009 2844h	CAN2	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2 ～ 3PCLKB	2ICLK		1553
0009 2848h	CAN2	受信FIFO制御レジスタ	RFCR	8	8	2 ～ 3PCLKB	2ICLK		1566
0009 2849h	CAN2	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2 ～ 3PCLKB	2ICLK		1569
0009 284Ah	CAN2	送信FIFO制御レジスタ	TFCR	8	8	2 ～ 3PCLKB	2ICLK		1569
0009 284Bh	CAN2	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2 ～ 3PCLKB	2ICLK		1572
0009 284Ch	CAN2	エラー割り込み許可レジスタ	EIER	8	8	2 ～ 3PCLKB	2ICLK		1579
0009 284Dh	CAN2	エラー割り込み要因判定レジスタ	EIFR	8	8	2 ～ 3PCLKB	2ICLK		1581
0009 284Eh	CAN2	受信エラーカウントレジスタ	RECR	8	8	2 ～ 3PCLKB	2ICLK		1583
0009 284Fh	CAN2	送信エラーカウントレジスタ	TECR	8	8	2 ～ 3PCLKB	2ICLK		1583
0009 2850h	CAN2	エラーコード格納レジスタ	ECSR	8	8	2 ～ 3PCLKB	2ICLK		1584
0009 2851h	CAN2	チャネルサーチサポートレジスタ	CSSR	8	8	2 ～ 3PCLKB	2ICLK		1577
0009 2852h	CAN2	メールボックスサーチステータスレジスタ	MSSR	8	8	2 ～ 3PCLKB	2ICLK		1576
0009 2853h	CAN2	メールボックスサーチモードレジスタ	MSMR	8	8	2 ～ 3PCLKB	2ICLK		1575
0009 2854h	CAN2	タイムスタンプレジスタ	TSR	16	16	2 ～ 3PCLKB	2ICLK		1585
0009 2856h	CAN2	アクセプタンスフィルタサポートレジスタ	AFSR	16	16	2 ～ 3PCLKB	2ICLK		1578
0009 2858h	CAN2	テスト制御レジスタ	TCR	8	8	2 ～ 3PCLKB	2ICLK		1586
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3 ～ 4PCLKB	2 ～ 3ICLK	USBa	1233
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB 以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上（注 6）		1235
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB 以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上（注 6）		1236
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8、16	3 ～ 4PCLKB	2 ～ 3ICLK		1239
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8、16	3 ～ 4PCLKB	2 ～ 3ICLK		1239
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8、16	3 ～ 4PCLKB	2 ～ 3ICLK		1239
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1241
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1245
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1243
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1245
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1243
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1245
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB 以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上（注 6）		1247

表5.1　I/Oレジスタアドレス一覧 (３８ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)	USBa	1248
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1249
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1250
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1251
000A 003Ch	USB0	SOF出力コンフィグレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1252
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1253
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1256
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1259
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1260
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1261
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1262
000A 004Eh	USB0	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1264
000A 0050h	USB0	USBアドレスレジスタ	USBADDR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1265
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1266
000A 0056h	USB0	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1267
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1268

表5.1　I/Oレジスタアドレス一覧 (３９ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
000A 005Ah	USB0	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）	USBa	1269
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1271
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1272
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1276
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1277
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1279
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1280
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1281
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1281
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1281
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1281
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1281
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1286
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1286
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1286
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1286

表5.1　I/Oレジスタアドレス一覧（４０／４５）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK ＜ PCLKの場合		
000A 0090h	USB0	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）	USBa	1289
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1290
000A 0094h	USB0	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1289
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1290
000A 0098h	USB0	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1289
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1290
000A 009Ch	USB0	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1289
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1290
000A 00A0h	USB0	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1289
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1290
000A 00D0h	USB0	デバイスアドレス0コンフィグレーションレジスタ	DEVADD0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1291
000A 00D2h	USB0	デバイスアドレス1コンフィグレーションレジスタ	DEVADD1	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1291
000A 00D4h	USB0	デバイスアドレス2コンフィグレーションレジスタ	DEVADD2	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1291
000A 00D6h	USB0	デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1291
000A 00D8h	USB0	デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1291
000A 00DAh	USB0	デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1291

表5.1　I/Oレジスタアドレス一覧 (４１ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK ＜ PCLKの場合		
000A 0200h	USB1	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3 ～ 4PCLKB	2 ～ 3ICLK	USBa	1233
000A 0204h	USB1	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1235
000A 0208h	USB1	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1236
000A 0214h	USB1	CFIFOポートレジスタ	CFIFO	16	8、16	3 ～ 4PCLKB	2 ～ 3ICLK		1239
000A 0218h	USB1	D0FIFOポートレジスタ	D0FIFO	16	8、16	3 ～ 4PCLKB	2 ～ 3ICLK		1239
000A 021Ch	USB1	D1FIFOポートレジスタ	D1FIFO	16	8、16	3 ～ 4PCLKB	2 ～ 3ICLK		1239
000A 0220h	USB1	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1241
000A 0222h	USB1	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1245
000A 0228h	USB1	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1243
000A 022Ah	USB1	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1245
000A 022Ch	USB1	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1243
000A 022Eh	USB1	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3 ～ 4PCLKB	2 ～ 3ICLK		1245
000A 0230h	USB1	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1247
000A 0236h	USB1	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1249
000A 0238h	USB1	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1250
000A 023Ah	USB1	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1251
000A 023Ch	USB1	SOF出力コンフィグレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1252
000A 0240h	USB1	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1253
000A 0246h	USB1	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1259
000A 0248h	USB1	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1260
000A 024Ah	USB1	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1261
000A 024Ch	USB1	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比)の整数切り上げ以上（注6）		1262

表5.1　I/Oレジスタアドレス一覧（４２／４５）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK ＜ PCLKの場合		
000A 024Eh	USB1	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）	USBa	1264
000A 0250h	USB1	USBアドレスレジスタ	USBADDR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1265
000A 0254h	USB1	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1266
000A 0256h	USB1	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1267
000A 0258h	USB1	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1268
000A 025Ah	USB1	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1269
000A 025Ch	USB1	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1270
000A 025Eh	USB1	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1271
000A 0260h	USB1	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1272
000A 0264h	USB1	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1276
000A 0268h	USB1	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1277
000A 026Ch	USB1	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1279
000A 026Eh	USB1	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1280
000A 0270h	USB1	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1281
000A 0272h	USB1	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1281
000A 0274h	USB1	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数比）の整数切り上げ以上（注6）		1281

表5.1　I/Oレジスタアドレス一覧 (４３ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
000A 0276h	USB1	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)	USBa	1281
000A 0278h	USB1	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1281
000A 027Ah	USB1	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1286
000A 027Ch	USB1	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1286
000A 027Eh	USB1	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1286
000A 0280h	USB1	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1286
000A 0290h	USB1	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1289
000A 0292h	USB1	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1290
000A 0294h	USB1	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1289
000A 0296h	USB1	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1290
000A 0298h	USB1	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1289
000A 029Ah	USB1	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1290
000A 029Ch	USB1	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1289
000A 029Eh	USB1	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1290
000A 02A0h	USB1	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1289
000A 02A2h	USB1	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上 (注 6)		1290

表5.1　I/Oレジスタアドレス一覧 (４４ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
000A 0400h	USB	ディープスタンバイUSB トランシーバ制御/端子モニタレジスタ	DPUSR0R	32	32	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上（注 6）	USBa	1292
000A 0404h	USB	ディープスタンバイUSBサスペンド/レジューム割り込みレジスタ	DPUSR1R	32	32	9PCLKB以上	1+9/(ICLK/PCLKB の周波数比) の整数切り上げ以上（注 6）		1293
000A 0500h	PDC	PDC制御レジスタ0	PCCR0	32	32	2 ～ 3PCLKA	2ICLK	PDC	1730
000A 0504h	PDC	PDC制御レジスタ1	PCCR1	32	32	2 ～ 3PCLKA	2ICLK		1732
000A 0508h	PDC	PDCステータスレジスタ	PCSR	32	32	2 ～ 3PCLKA	2ICLK		1733
000A 050Ch	PDC	PDC端子モニタレジスタ	PCMONR	32	32	2 ～ 3PCLKA	2ICLK		1735
000A 0510h	PDC	PDC受信データレジスタ	PCDR	32	32	2 ～ 3PCLKA	2ICLK		1736
000A 0514h	PDC	垂直方向キャプチャレジスタ	VCR	32	32	2 ～ 3PCLKA	2ICLK		1737
000A 0518h	PDC	水平方向キャプチャレジスタ	HCR	32	32	2 ～ 3PCLKA	2ICLK		1738
000C 0000h	EDMAC	EDMACモードレジスタ	EDMR	32	32	5 ～ 6PCLKA	–	EDMAC	1199
000C 0008h	EDMAC	EDMAC送信要求レジスタ	EDTRR	32	32	5 ～ 6PCLKA	–		1200
000C 0010h	EDMAC	EDMAC受信要求レジスタ	EDRRR	32	32	5 ～ 6PCLKA	–		1201
000C 0018h	EDMAC	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	32	32	5 ～ 6PCLKA	–		1202
000C 0020h	EDMAC	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	32	32	5 ～ 6PCLKA	–		1203
000C 0028h	EDMAC	ETHERC/EDMACステータスレジスタ	EESR	32	32	5 ～ 6PCLKA	–		1204
000C 0030h	EDMAC	ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	32	32	5 ～ 6PCLKA	–		1207
000C 0038h	EDMAC	送受信ステータスコピー指示レジスタ	TRSCER	32	32	5 ～ 6PCLKA	–		1209
000C 0040h	EDMAC	ミスドフレームカウンタレジスタ	RMFCR	32	32	5 ～ 6PCLKA	–		1210
000C 0048h	EDMAC	送信FIFOしきい値指定レジスタ	TFTR	32	32	5 ～ 6PCLKA	–		1211
000C 0050h	EDMAC	FIFO容量指定レジスタ	FDR	32	32	5 ～ 6PCLKA	–		1212
000C 0058h	EDMAC	受信方式制御レジスタ	RMCR	32	32	5 ～ 6PCLKA	–		1213
000C 0064h	EDMAC	送信FIFOアンダランカウント	TFUCR	32	32	5 ～ 6PCLKA	–		1214
000C 0068h	EDMAC	受信FIFOオーバフローカウント	RFOCR	32	32	5 ～ 6PCLKA	–		1214
000C 006Ch	EDMAC	個別出力信号設定レジスタ	IOSR	32	32	5 ～ 6PCLKA	–		1215
000C 0070h	EDMAC	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	32	32	5 ～ 6PCLKA	–		1216
000C 0078h	EDMAC	受信データパディング挿入設定レジスタ	RPADIR	32	32	5 ～ 6PCLKA	–		1217
000C 007Ch	EDMAC	送信割り込み設定レジスタ	TRIMD	32	32	5 ～ 6PCLKA	–		1218
000C 00C8h	EDMAC	受信バッファライトアドレスレジスタ	RBWAR	32	32	5 ～ 6PCLKA	–		1219
000C 00CCh	EDMAC	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	32	32	5 ～ 6PCLKA	–		1219
000C 00D4h	EDMAC	送信バッファリードアドレスレジスタ	TBRAR	32	32	5 ～ 6PCLKA	–		1220
000C 00D8h	EDMAC	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	32	32	5 ～ 6PCLKA	–		1220
000C 0100h	ETHERC	ETHERCモードレジスタ	ECMR	32	32	5 ～ 6PCLKA	–	ETHERC	1166
000C 0108h	ETHERC	受信フレーム長上限レジスタ	RFLR	32	32	5 ～ 6PCLKA	–		1168
000C 0110h	ETHERC	ETHERCステータスレジスタ	ECSR	32	32	5 ～ 6PCLKA	–		1169
000C 0118h	ETHERC	ETHERC割り込み許可レジスタ	ECSIPR	32	32	5 ～ 6PCLKA	–		1170
000C 0120h	ETHERC	PHY部インタフェースレジスタ	PIR	32	32	5 ～ 6PCLKA	–		1171
000C 0128h	ETHERC	PHY部ステータスレジスタ	PSR	32	32	5 ～ 6PCLKA	–		1172
000C 0140h	ETHERC	乱数生成カウンタ上限値設定レジスタ	RDMLR	32	32	5 ～ 6PCLKA	–		1172
000C 0150h	ETHERC	IPG設定レジスタ	IPGR	32	32	5 ～ 6PCLKA	–		1173
000C 0154h	ETHERC	自動PAUSEフレーム設定レジスタ	APR	32	32	5 ～ 6PCLKA	–		1174
000C 0158h	ETHERC	手動PAUSEフレーム設定レジスタ	MPR	32	32	5 ～ 6PCLKA	–		1175
000C 0160h	ETHERC	受信PAUSEフレームカウンタ	RFCF	32	32	5 ～ 6PCLKA	–		1175
000C 0164h	ETHERC	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	32	32	5 ～ 6PCLKA	–		1176
000C 0168h	ETHERC	PAUSEフレーム再送回数カウンタ	TPAUSECR	32	32	5 ～ 6PCLKA	–		1176
000C 016Ch	ETHERC	Broadcastフレーム受信回数設定レジスタ	BCFRR	32	32	5 ～ 6PCLKA	–		1177
000C 01C0h	ETHERC	MACアドレス上位設定レジスタ	MAHR	32	32	5 ～ 6PCLKA	–		1178

表5.1　I/Oレジスタアドレス一覧 (４５ / ４５)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		関連機能	参照ページ
						ICLK ≧ PCLKの場合	ICLK < PCLKの場合		
000C 01C8h	ETHERC	MACアドレス下位設定レジスタ	MALR	32	32	5 ～ 6PCLKA	–	ETHERC	1179
000C 01D0h	ETHERC	送信リトライオーバカウンタレジスタ	TROCR	32	32	5 ～ 6PCLKA	–		1180
000C 01D4h	ETHERC	遅延衝突検出カウンタレジスタ	CDCR	32	32	5 ～ 6PCLKA	–		1181
000C 01D8h	ETHERC	キャリア消失カウンタレジスタ	LCCR	32	32	5 ～ 6PCLKA	–		1181
000C 01DCh	ETHERC	キャリア未検出カウンタレジスタ	CNDCR	32	32	5 ～ 6PCLKA	–		1182
000C 01E4h	ETHERC	CRCエラーフレーム受信カウンタレジスタ	CEFCR	32	32	5 ～ 6PCLKA	–		1182
000C 01E8h	ETHERC	フレーム受信エラーカウンタレジスタ	FRECR	32	32	5 ～ 6PCLKA	–		1183
000C 01ECh	ETHERC	64バイト未満フレーム受信カウンタレジスタ	TSFRCR	32	32	5 ～ 6PCLKA	–		1183
000C 01F0h	ETHERC	指定バイト超フレーム受信カウンタレジスタ	TLFRCR	32	32	5 ～ 6PCLKA	–		1184
000C 01F4h	ETHERC	端数ビットフレーム受信カウンタレジスタ	RFCR	32	32	5 ～ 6PCLKA	–		1184
000C 01F8h	ETHERC	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	32	32	5 ～ 6PCLKA	–		1185
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2 ～ 4FCLK	2 ～ 3ICLK	フラッシュメモリ	1833
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2 ～ 4FCLK	2 ～ 3ICLK		1834
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2 ～ 4FCLK	2 ～ 3ICLK		1837
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2 ～ 4FCLK	2 ～ 3ICLK		1838
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1838
007F C442h	FLASH	E2データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1839
007F C450h	FLASH	E2データフラッシュプログラム/イレーズ許可レジスタ0	DFLWE0	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1840
007F C452h	FLASH	E2データフラッシュプログラム/イレーズ許可レジスタ1	DFLWE1	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1841
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1842
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ～ 4FCLK	2 ～ 3ICLK		1843
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ～ 4FCLK	2 ～ 3ICLK		1845
007F FFB2h	FLASH	フラッシュ P/Eモードエントリレジスタ	FENTRYR	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1846
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1848
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1849
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1850
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1851
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1851
007F FFCCh	FLASH	フラッシュ P/Eステータスレジスタ	FPESTAT	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1852
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1852
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2 ～ 4FCLK	2 ～ 3ICLK		1853

注1.　PPG0.PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガ設定値が同一の場合は、PPG0.NDRHのアドレスは000881EChとなります。出力トリガが異なる場合は、パルス出力グループ2に対応するPPG0.NDRHのアドレスは000881EEh、出力グループ3に対応するPPG0.NDRHは000881EChとなります。

注2.　PPG0.PCRの設定により、パルス出力グループ0とパルス出力グループ1の出力トリガ設定値が同一の場合は、PPG0.NDRLのアドレスは000881EDhとなります。出力トリガが異なる場合は、パルス出力グループ0に対応するPPG0.NDRLのアドレスは000881EFh、出力グループ1に対応するPPG0.NDRLは000881EDhとなります。

注3.　PPG1.PCRの設定により、パルス出力グループ6とパルス出力グループ7の出力トリガ設定値が同一の場合は、PPG1.NDRHのアドレスは000881FChとなります。出力トリガが異なる場合は、パルス出力グループ6に対応するPPG1.NDRHのアドレスは000881FEh、出力グループ7に対応するPPG1.NDRHは000881FChとなります。

注4.　PPG1.PCRの設定により、パルス出力グループ4とパルス出力グループ5の出力トリガ設定値が同一の場合は、PPG1.NDRLのアドレスは000881FDhとなります。出力トリガが異なる場合は、パルス出力グループ4に対応するPPG1.NDRLのアドレスは000881FFh、出力グループ5に対応するPPG1.NDRLは000881FDhとなります。

注5.　奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。表27.4に16ビットアクセスのレジスタ配置を示します。

注6.　USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

注7.　奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMOCNTLレジスタのアドレスへアクセスしてください。表36.6に16ビットアクセスのレジスタ配置を示します。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセット、電圧監視 1 リセット、電圧監視 2 リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1　リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1.　監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「8.　電圧検出回路（LVDA）」、「51.　電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。
表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2　　リセット種別ごとの初期化対象

リセット対象	リセット要因								
	RES#端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視1リセット	電圧監視2リセット	ディープソフトウェアスタンバイリセット	ソフトウェアリセット
パワーオンリセット検出フラグ（RSTSR0.PORF）	○	—	—	—	—	—	—	—	—
コールドスタート/ウォームスタート 判別フラグ（RSTSR1.CWSF）	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ（RSTSR0.LVD0RF）	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ（RSTSR2.IWDTRF）	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマのレジスタ（IWDTRR、IWDTCR、IWDTSR、IWDTRCR、IWDTCSTPR、ILOCOCR）	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマリセット検出フラグ（RSTSR2.WDTRF）	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマのレジスタ（WDTRR、WDTCR、WDTSR、WDTRCR）	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ（RSTSR0.LVD1RF）	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ（LVD1CR0、LVCMPCR.LVD1E、LVDLVLR.LVD1LVL）	○	○	○	○	○	—	—	—	—
（LVD1CR1、LVD1SR）	○	○	○	○	○	—	—	○	—
電圧監視2リセット検出フラグ（RSTSR0.LVD2RF）	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ（RSTSR0.LVD2RF、LVD2CR0、LVCMPCR.LVD2E、LVDLVLR.LVD2LVL）	○	○	○	○	○	○	—	—	—
（LVD2CR1、LVD2SR）	○	○	○	○	○	○	—	○	—
ディープソフトウェアスタンバイリセット検出フラグ（RSTSR0.DPSRSTF）	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ（RSTSR2.SWRF）	○	○	○	○	○	○	○	○	—
リアルタイムクロックのレジスタ（注1）	—	—	—	—	—	—	—	—	—
高速オンチップオシレータ関連のレジスタ（HOCOPCR.HOCOPCNT）	○	○	○	○	○	○	○	—	○
メインクロック発振器関連のレジスタ（MOFCR）	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連のレジスタ（DPSBYCR、DPSIER0-3、DPSIFR0-3、DPSIEGR0-3、DPUSR0R、DPUSR1R）	○	○	○	○	○	○	○	—	○
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化されます。　—：変化しない

注1.　一部の制御ビット（RCR1.CIE、RCR2.RTCOE, ADJ30, RESET）は、すべてのリセットにより初期化されます。対象となる制御ビットについては、「29.　リアルタイムクロック（RTCa）」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「14.　例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3　　リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2　レジスタの説明

6.2.1　　リセットステータスレジスタ 0（RSTSR0）

アドレス　0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRSTF	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
リセット後の値	0（注1）	0	0	0	0（注1）	0（注1）	0（注1）	0（注1）

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0：パワーオンリセット未検出 1：パワーオンリセット検出	R(/W)（注2）
b1	LVD0RF	電圧監視0リセット検出フラグ	0：電圧監視0リセット未検出 1：電圧監視0リセット検出	R(/W)（注2）
b2	LVD1RF	電圧監視1リセット検出フラグ	0：電圧監視1リセット未検出 1：電圧監視1リセット検出	R(/W)（注2）
b3	LVD2RF	電圧監視2リセット検出フラグ	0：電圧監視2リセットの未検出 1：電圧監視2リセットの検出	R(/W)（注2）
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0：割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1：割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R(/W)（注2）

注1.　リセット後の値は、リセット要因で異なります。
注2.　フラグをクリアするための"0"書き込みのみ可能です。

PORF フラグ（パワーオンリセット検出フラグ）

パワーオンリセットが発生したことを示します。

[“1” になる条件]

- パワーオンリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

［“1” になる条件］

- Vdet0 レベルの VCC 電圧を検知したとき

［“0” になる条件］

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

［“1” になる条件］

- Vdet1 レベルの VCC 電圧を検知したとき

［“0” になる条件］

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

［“1” になる条件］

- Vdet2 レベルの VCC 電圧を検知したとき

［“0” になる条件］

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセットフラグ）

割り込みによるディープソフトウェアスタンバイモードの解除にともなって、内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

[“1” になる条件]

- 内部割り込みによってディープソフトウェアスタンバイモードを解除したとき
  詳細は、「11.　消費電力低減機能」を参照してください。

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

6.2.2　リセットステータスレジスタ 1（RSTSR1）

アドレス　0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1（注1）

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0：コールドスタート 1：ウォームスタート	R(/W)（注2）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後の値は、リセット要因で異なります。
注2.　フラグをセットするための"1"書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

CWSF フラグ（コールドスタート / ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES# 端子リセットでは初期化されません。

[“1” になる条件]

- プログラムで “1” を書いたとき。“0” を書いても変化しません。

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3　リセットステータスレジスタ 2（RSTSR2）

アドレス　0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	0	0	0（注1）	0（注1）	0（注1）

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0：独立ウォッチドッグタイマリセット未検出 1：独立ウォッチドッグタイマリセット検出	R(/W)（注2）
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0：ウォッチドッグタイマリセット未検出 1：ウォッチドッグタイマリセット検出	R(/W)（注2）
b2	SWRF	ソフトウェアリセット検出フラグ	0：ソフトウェアリセット未検出 1：ソフトウェアリセット検出	R(/W)（注2）
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後の値は、リセット要因で異なります。
注2.　フラグをクリアするための"0"書き込みのみ可能です。

IWTDRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

独立ウォッチドッグタイマリセットが発生したことを示します。

[“1” になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

ウォッチドッグタイマリセットが発生したことを示します。

[“1” になる条件]

- ウォッチドッグタイマリセットが発生したとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

ソフトウェアリセットが発生したことを示します。

[“1” になる条件]

- ソフトウェアリセットを行なったとき

[“0” になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1” を読んだ後、“0” を書いたとき

6.2.4　ソフトウェアリセットレジスタ（SWRR）

アドレス　0008 00C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SWRR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h” を書くと LSI がリセットされます。読むと “0000h” が読めます	R/W

6.3　動作説明

6.3.1　RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間（tRESWT）経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、**「51.　電気的特性」**を参照してください。

6.3.2　パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間（パワーオンリセット時間）が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

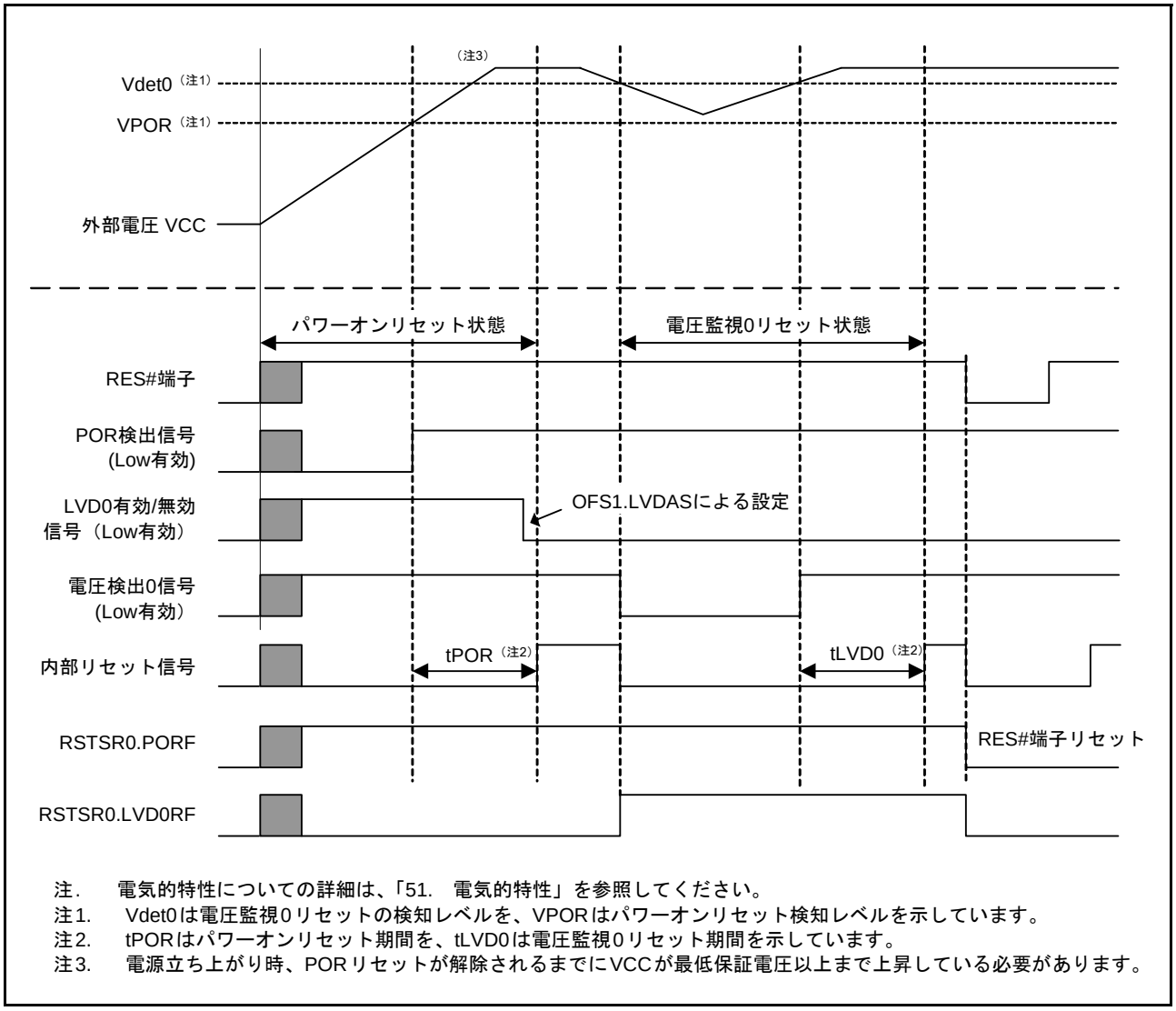
また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが “1” になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1（OFS1）の電圧検出 0 レベル選択ビット（LVDAS）が “0”（リセット後、電圧監視 0 リセット有効）の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが “1” になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを “0” にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間（tLVD0）経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、**「8.　電圧検出回路（LVDA）」**を参照してください。



注.　電気的特性についての詳細は、「51.　電気的特性」を参照してください。
注1.　Vdet0は電圧監視0リセットの検知レベルを、VPORはパワーオンリセット検知レベルを示しています。
注2.　tPORはパワーオンリセット期間を、tLVD0は電圧監視0リセット期間を示しています。
注3.　電源立ち上がり時、PORリセットが解除されるまでにVCCが最低保証電圧以上まで上昇している必要があります。

図 6.1　　パワーオンリセット、電圧監視 0 リセット動作例

6.3.3　　電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0（LVD1CR0）の電圧監視 1 割り込み / リセット許可ビット（LVD1RIE）が “1”（電圧検出回路によるリセット / 割り込み有効）で、かつ電圧監視 1 回路モード選択ビット（LVD1RI）が “1”（低電圧検出時、リセット発生）の状態で、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0（LVD2CR0）の電圧監視 2 割り込み / リセット許可ビット（LVD2RIE）が “1”（電圧検出回路によるリセット / 割り込み有効）で、かつ電圧監視 2 回路モード選択ビット（LVD2RI）が “1”（低電圧検出時、リセット発生）の状態で、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット（LVD1RN）で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が Vdet1 以下になり、その後 Vdet1 を超えてから LVD1 リセット時間（tLVD1）が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が Vdet1 以下になってから

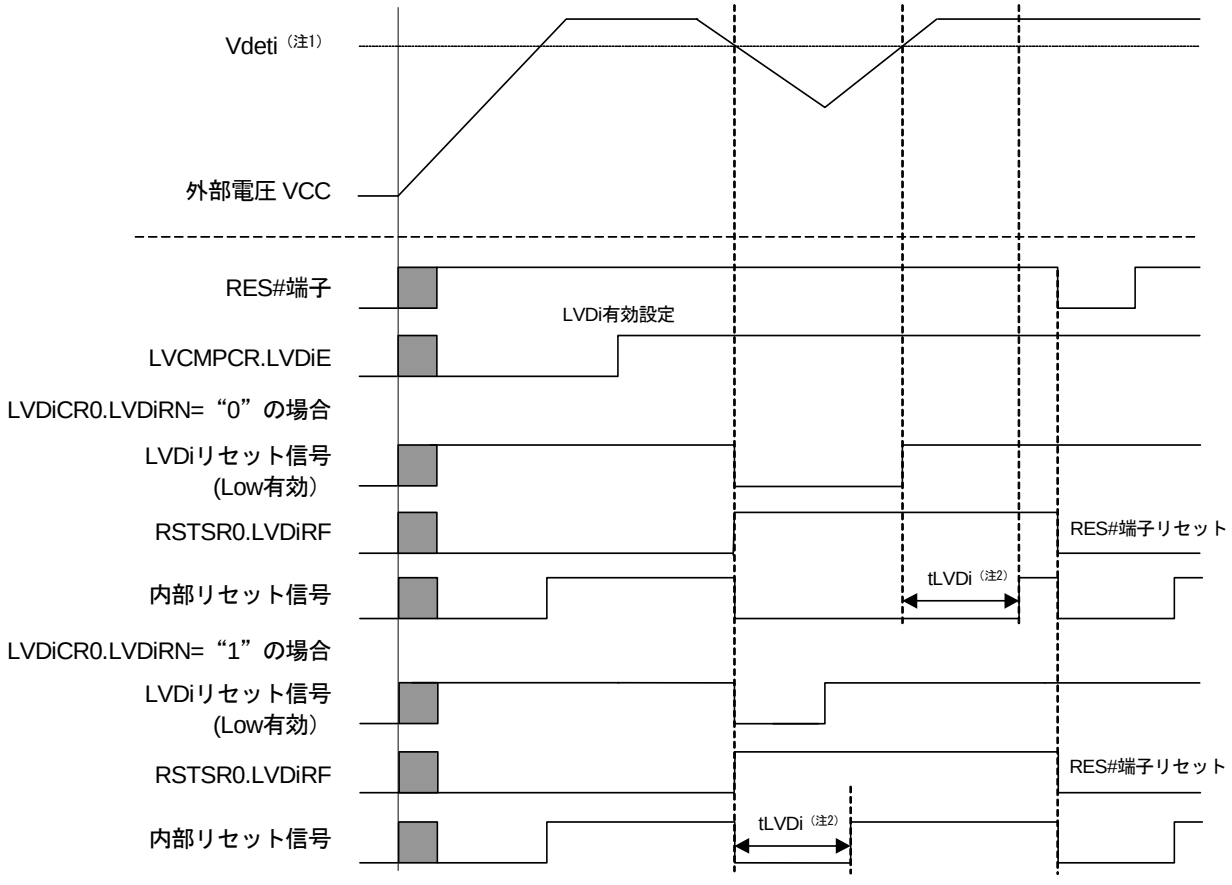
LVD1 リセット時間（tLVD1）経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット（LVD2RN）の設定により選択可能です。

Vdet1、および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ（LVDLVLR）の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8.　電圧検出回路（LVDA）」を参照してください。



注.　電気的特性についての詳細は、「51.　電気的特性」を参照してください。
注1.　Vdetiは、電圧監視1リセット、電圧監視2リセットの検知レベルを示しています。
注2.　tLVDiは、電圧監視1リセット、電圧監視2リセット期間を示しています。（i=1、2）

図 6.2　　電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、ディープソフトウェアスタンバイモード解除後復帰時間（tDSBY）経過後、ディープソフトウェアスタンバイリセットは解除され、ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後、ディープソフトウェアスタンバイモード解除後待機時間（tDSBYWT）経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、**「11. 消費電力低減機能」**を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ（IWDTRCR）、あるいはオプション機能選択レジスタ 0（OFS0）の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間（tRESW2）経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は**「31. 独立ウォッチドッグタイマ（IWDTa）」**を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ（WDTRCR）、あるいはオプション機能選択レジスタ 0（OFS0）の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間（tRESW2）経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、**「30. ウォッチドッグタイマ（WDTA）」**を参照してください。

6.3.7 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに “A501h” を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間（tRESW2）経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.8　コールドスタート / ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると “0”（コールドスタート）になります。その他のリセットを行っても “0” になりません。また、プログラムで “1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート / ウォームスタート判定機能の動作例を示します。

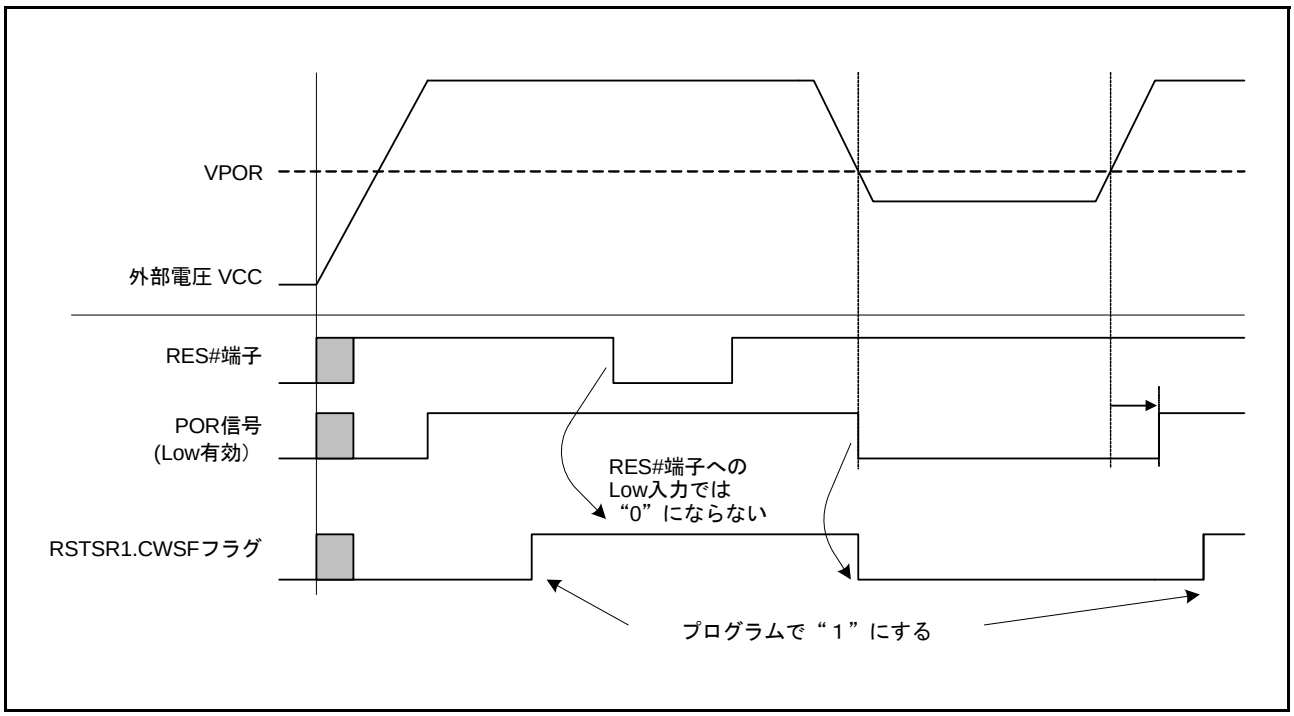


図 6.3　コールドスタート / ウォームスタート判定機能の動作例

6.3.9　リセット発生要因の判定

RSTSR0 レジスタと RSTSR2 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

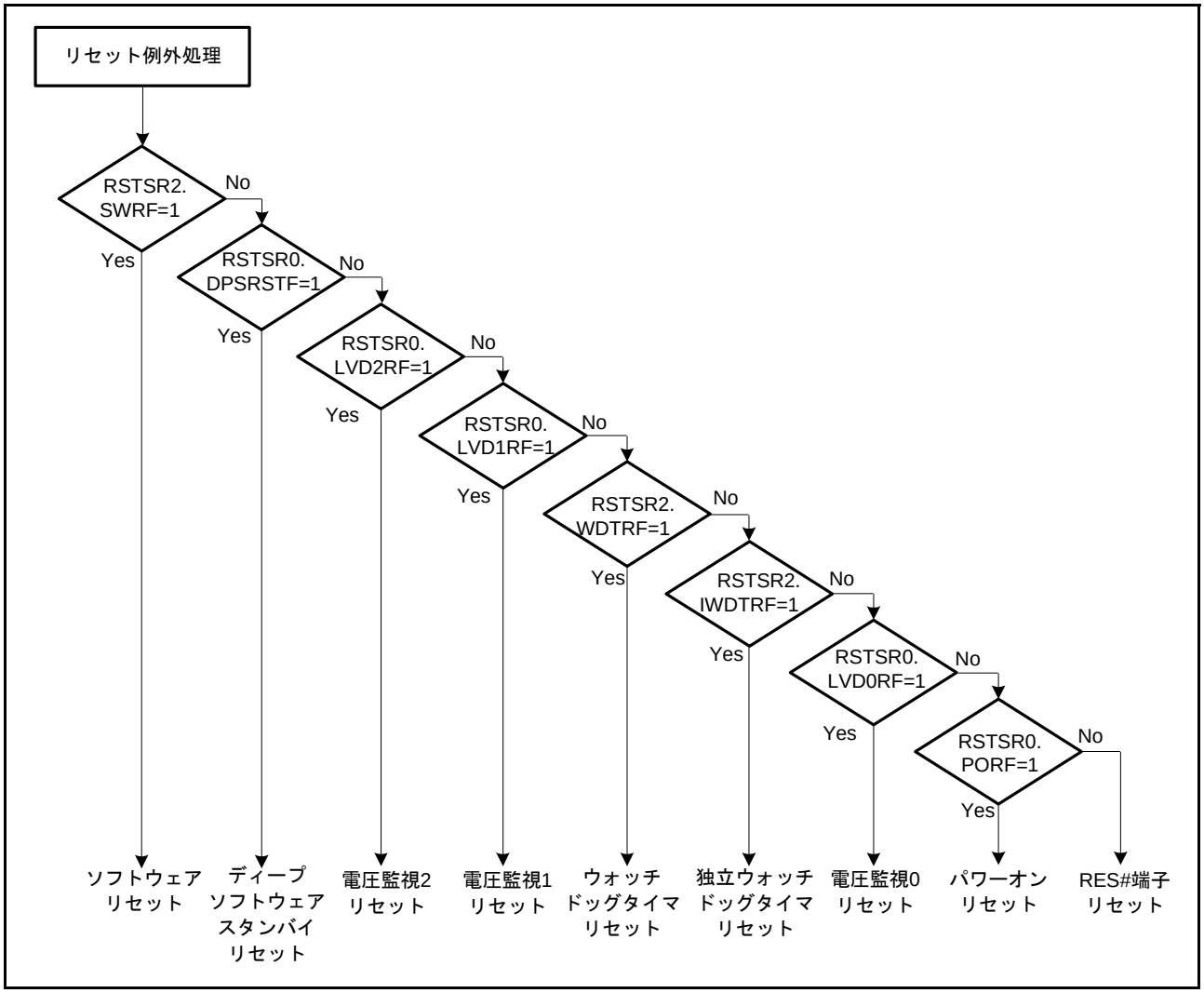


図 6.4　リセット発生要因判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM 上にあります。

図 7.1 にオプション設定メモリ領域を示します。

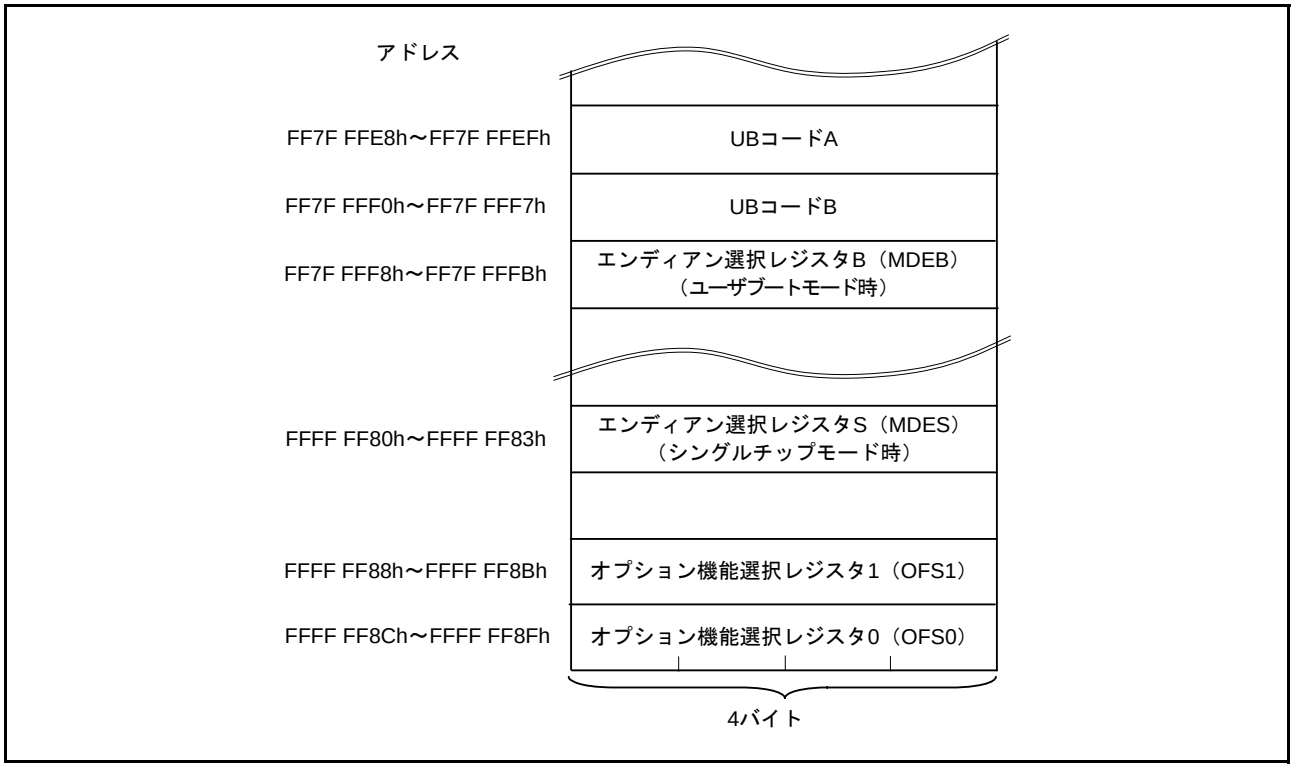


図 7.1　オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0（OFS0）

アドレス　FFFF FF8Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
リセット後の値	ユーザの設定値（注1）															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	IWDTSLCSTP	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
リセット後の値	ユーザの設定値（注1）															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh）	R
b7-b4	IWDTCKS[3:0] （注1）	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0：1分周（周期 131ms） 0 0 1 0：16分周（周期 2.10s） 0 0 1 1：32分周（周期 4.19s） 0 1 0 0：64分周（周期 8.39s） 1 1 1 1：128分周（周期 16.8s） 0 1 0 1：256分周（周期 33.6s） 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R
b12	IWDTRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0：リセット後、WDTはオートスタートモードにて自動的に起動 1：リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択ビット	b19 b18 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh）	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択ビット	b23 b20 0 0 0 1：PCLK/4 0 1 0 0：PCLK/64 1 1 1 1：PCLK/128 0 1 1 0：PCLK/512 0 1 1 1：PCLK/2048 1 0 0 0：PCLK/8192 上記以外は設定しないでください	R
b25-b24	WDTRPES[1:0]	WDTウィンドウ終了位置選択ビット	b25 b24 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R
b27-b26	WDTRPSS[1:0]	WDTウィンドウ開始位置選択ビット	b27 b26 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R
b28	WDTRSTIRQS	WDTリセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求を許可 1：リセットを許可	R
b31-29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

OFS0 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは “FFFF FFFFh” になります。

ユーザブートモード時は OFS0 レジスタの設定は無効となり、FFFF FFFFh となります。

IWDTSTRT ビット（IWDT スタートモード選択ビット）

リセット後の IWDT の起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット（IWDT タイムアウト期間選択ビット）

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（IWDT 専用クロック数）は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「31.　独立ウォッチドッグタイマ（IWDTa）」を参照してください。

IWDTCKS[3:0] ビット（IWDT クロック分周比選択ビット）

IWDT 専用クロックを分周するプリスケーラの分周比設定を 1 分周 /16 分周 /32 分周 /64 分周 /128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 1024 ～ 4194304 クロックの間で設定できます。

詳細は「31.　独立ウォッチドッグタイマ（IWDTa）」を参照してください。

IWDTRPES[1:0] ビット（IWDT ウィンドウ終了位置選択ビット）

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「31.　独立ウォッチドッグタイマ（IWDTa）」を参照してください。

IWDTRPSS[1:0] ビット（IWDT ウィンドウ開始位置選択ビット）

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダフロー発生時を 0%）の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「31.　独立ウォッチドッグタイマ（IWDTa）」を参照してください。

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択ビット）

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「31.　独立ウォッチドッグタイマ（IWDTa）」を参照してください。

IWDTSLCSTP ビット（IWDT スリープモードカウント停止制御ビット）

スリープモード、ソフトウェアスタンバイモード 、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。

詳細は「31.　独立ウォッチドッグタイマ（IWDTa）」を参照してください。

WDTSTRT ビット（WDT スタートモード選択ビット）

リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット（WDT タイムアウト期間選択ビット）

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（PCLK）は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「30.　ウォッチドッグタイマ（WDTA）」を参照してください。

WDTCKS[3:0] ビット（WDT クロック分周比選択ビット）

PCLK を分周するプリスケーラの分周比設定を 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLK の 4096 ～ 134217728 クロックの間で設定できます。

詳細は「30.　ウォッチドッグタイマ（WDTA）」を参照してください。

WDTRPES[1:0] ビット（WDT ウィンドウ終了位置選択ビット）

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDTRPSS[1:0] ビット、WDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「30.　ウォッチドッグタイマ（WDTA）」を参照してください。

WDTRPSS[1:0] ビット（WDT ウィンドウ開始位置選択ビット）

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダフロー発生時を 0%）の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「30.　ウォッチドッグタイマ（WDTA）」を参照してください。

WDTRSTIRQS ビット（WDT リセット割り込み要求選択ビット）

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「30.　ウォッチドッグタイマ（WDTA）」を参照してください。

7.2.2　オプション機能選択レジスタ 1（OFS1）

アドレス　FFFF FF88h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	ユーザの設定値（注1）															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	HOCOEN	—	—	—	—	—	LVDAS	—	—
	ユーザの設定値（注1）															

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b2	LVDAS	電圧検出0回路起動ビット	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0：リセット後、HOCO発振が有効 1：リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

OFS1 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは “FFFF FFFFh” となります。

ユーザブートモード時は OFS1 レジスタの設定は無効となり、“FFFF FFFFh” となります。

LVDAS ビット（電圧検出 0 回路起動ビット）

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット（HOCO 発振有効ビット）

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを “0” にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを “0” にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット（SCKCR3.CKSEL[2:0]）を書き換えることにより、切り替わります。

7.2.3 エンディアン選択レジスタ B（MDEB）、エンディアン選択レジスタ S（MDES）

アドレス　MDEB（ユーザブートモード時）：FF7F FFF8h
MDES（シングルチップモード時）：FFFF FF80h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	ユーザの設定値（注1）															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]		
	ユーザの設定値（注1）															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2　b0 ０ ０ ０：ビッグエンディアン １ １ １：リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1.　ブランク品は、FFFF FFFFh です。ユーザでのプログラム後は、プログラムした値になります。

MDEn(n=B、S）レジスタは、CPU のエンディアンを選択するレジスタです。エンディアンの選択は、ユーザブートモード時は FF7F FFF8h 番地のエンディアン選択レジスタ B（MDEB）で、シングルチップモード時は FFFF FF80h 番地のエンディアン選択レジスタ S（MDES）で行います。

MDEn レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDEn レジスタに追加書き込みをしないでください。

MDEn レジスタを含むブロックを消去すると、MDEn レジスタは “FFFF FFFFh” になります。

MDE[2:0] ビット（エンディアン選択ビット）

リトルエンディアン / ビッグエンディアンを選択します。

ユーザブートモードで動作する場合は、ユーザブート領域の　FF7F FFF8h の値、シングルチップモードで動作する場合は、ユーザ領域の FFFF FF80h の値でエンディアンを決定します。

7.3　UB コード（64 ピン TFLGA 以外の製品）

UB コード A と UB コード B はユーザブートモードを使用するときに必要なコードです。USB ブートをそのまま使用される方は、書き換えないでください。以下の 4 条件が成立しているときに、リセットを解除するとユーザブートモードで MCU が起動します。

- UB コード A が “5573 6572h、426F 6F74h ” である
- UB コード B が “FFFF FF07h、0008 C04Ch” である
- MD 端子に Low が入力されている
- PC7 端子に High が入力されている

7.3.1　UB コード A

UB コード A は、32 ビット長 2 ワードのデータです。UB コード A には、“5573 6572h、426F 6F74h ” を設定してください。これ以外の値は設定しないでください。

図 7.2 に UB コード A の構成を示します。UB コード A は 32 ビット単位で設定してください。

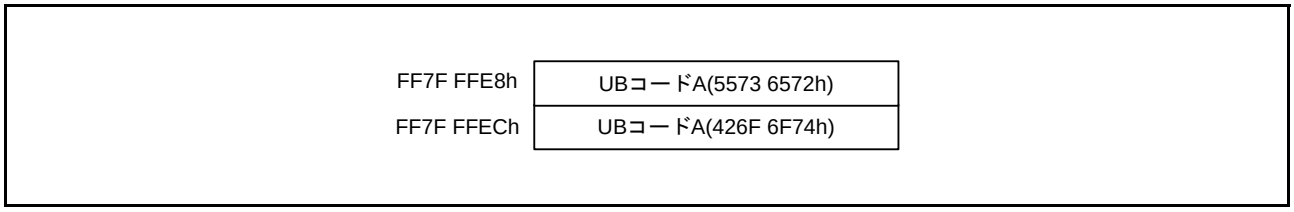


図 7.2　UB コード A の構成

7.3.2　UB コード B

UB コード B は、32 ビット長 2 ワードのデータです。UB コード B には、“FFFF FF07h、0008 C04Ch ” を設定してください。これ以外の値は設定しないでください。

図 7.3 に UB コード B の構成を示します。UB コード B は 32 ビット単位で設定してください。

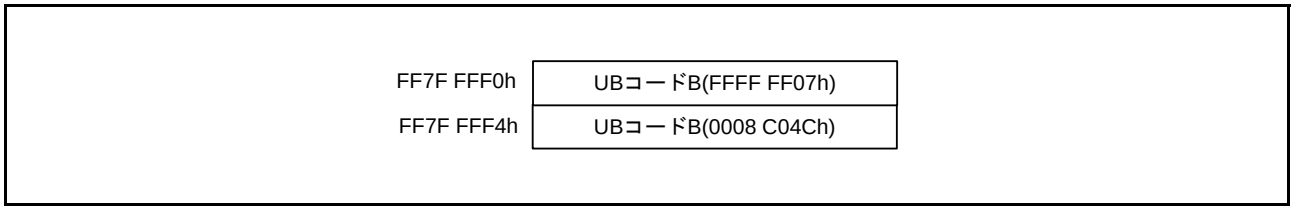


図 7.3　UB コード B の構成

7.4　UB コード（64 ピン TFLGA）

UB コード A と UB コード B はユーザブートモードを使用するときに必要なコードです。USB ブートをそのまま使用される方は、書き換えないでください。以下の 4 条件が成立しているときに、リセットを解除するとユーザブートモードで MCU が起動します。

- UB コード A が “55736572h、426F6F74h ” である
- UB コード B が “FFFF FF06h、0008 C04Ah” である
- MD 端子に Low が入力されている
- PA6 端子に High が入力されている

7.4.1 UB コード A

UB コード A は、32 ビット長 2 ワードのデータです。UB コード A には、“55736572h、426F6F74h ” を設定してください。これ以外の値は設定しないでください。

図 7.2 に UB コード A の構成を示します。UB コード A は 32 ビット単位で設定してください。

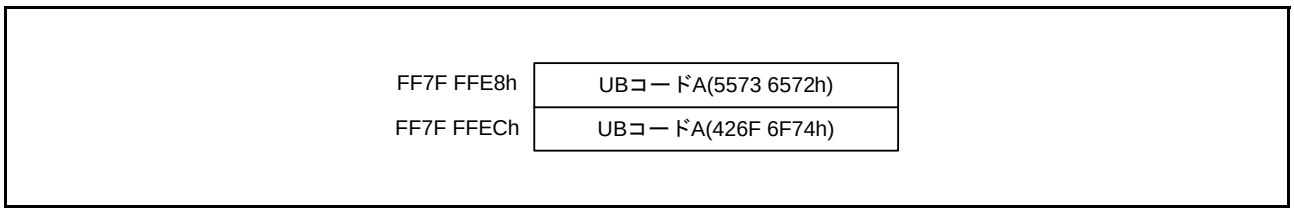


図 7.4　UB コード A の構成

7.4.2 UB コード B

UB コード B は、32 ビット長 2 ワードのデータです。UB コード B には、“FFFF FF06h、0008 C04CAh ” を設定してください。これ以外の値は設定しないでください。

図 7.3 に UB コード B の構成を示します。UB コード B は 32 ビット単位で設定してください。

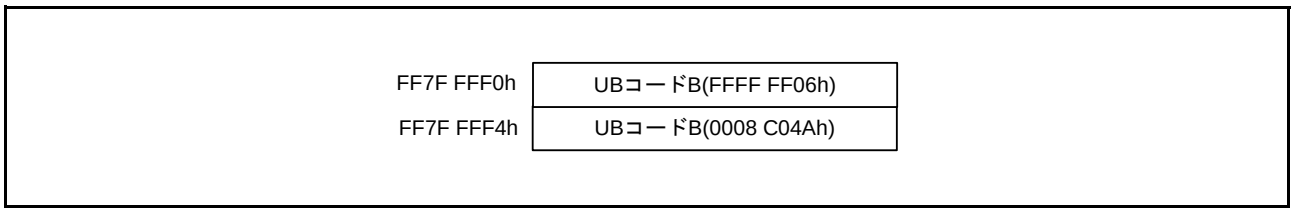


図 7.5　UB コード B の構成

7.5 使用上の注意事項

7.5.1 オプション設定メモリの設定例

オプション設定メモリは ROM 上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに “ffff fff8h” を設定する場合

```
.org      0ffff ff8ch
.lword    0ffffff8h
```

注 .　プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路（LVDA）

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1（OFS1）で、リセット後、電圧監視 0 リセットの有効 / 無効が選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ（LVDLVLR）で、検出電圧を設定します。

電圧監視 0 リセット、電圧監視 1 リセット / 割り込み、電圧監視 2 リセット / 割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。**図 8.1** に電圧検出回路のブロック図を、**図 8.2** に電圧監視 1 割り込み / リセット発生回路のブロック図を、**図 8.3** に電圧監視 2 割り込み / リセット発生回路のブロック図を示します。

表 8.1　電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過した場合	上昇または下降してVdet1を通過した場合	上昇または下降してVdet2を通過した場合
	検出電圧	1レベル固定	LVDLVLR.LVD1LVL[3:0]ビットで指定	LVDLVLR.LVD2LVL[3:0]ビットで指定
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
			LVD1SR.LVD1DETフラグ： Vdet1通過検出	LVD2SR.LVD2DETフラグ： Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0＞VCCでリセット： VCC＞Vdet0の一定時間後にCPU動作再開	Vdet1＞VCCでリセット： VCC＞Vdet1の一定時間後にCPU動作再開、またはVdet1＞VCCの一定時間後にCPU動作再開を選択可能	Vdet2＞VCCでリセット： VCC＞Vdet2の一定時間後にCPU動作再開、またはVdet2＞VCCの一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスカブル割り込み	ノンマスカブル割り込み
			Vdet1＞VCC、VCC＞Vdet1の両方、またはどちらかで割り込み要求	Vdet2＞VCC、VCC＞Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCOのn分周×2 （n：1、2、4、8）	LOCOのn分周×2 （n：1、2、4、8）

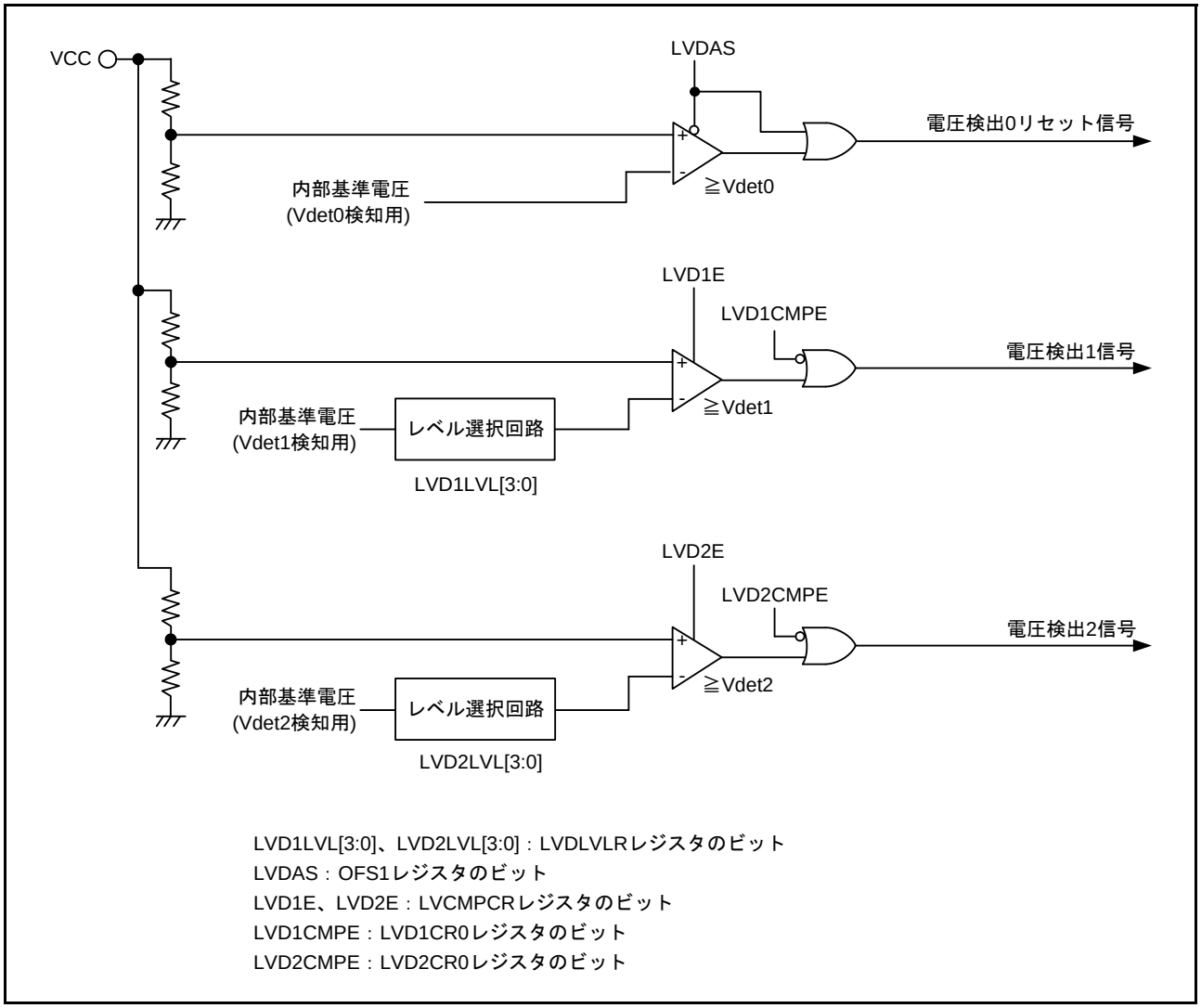
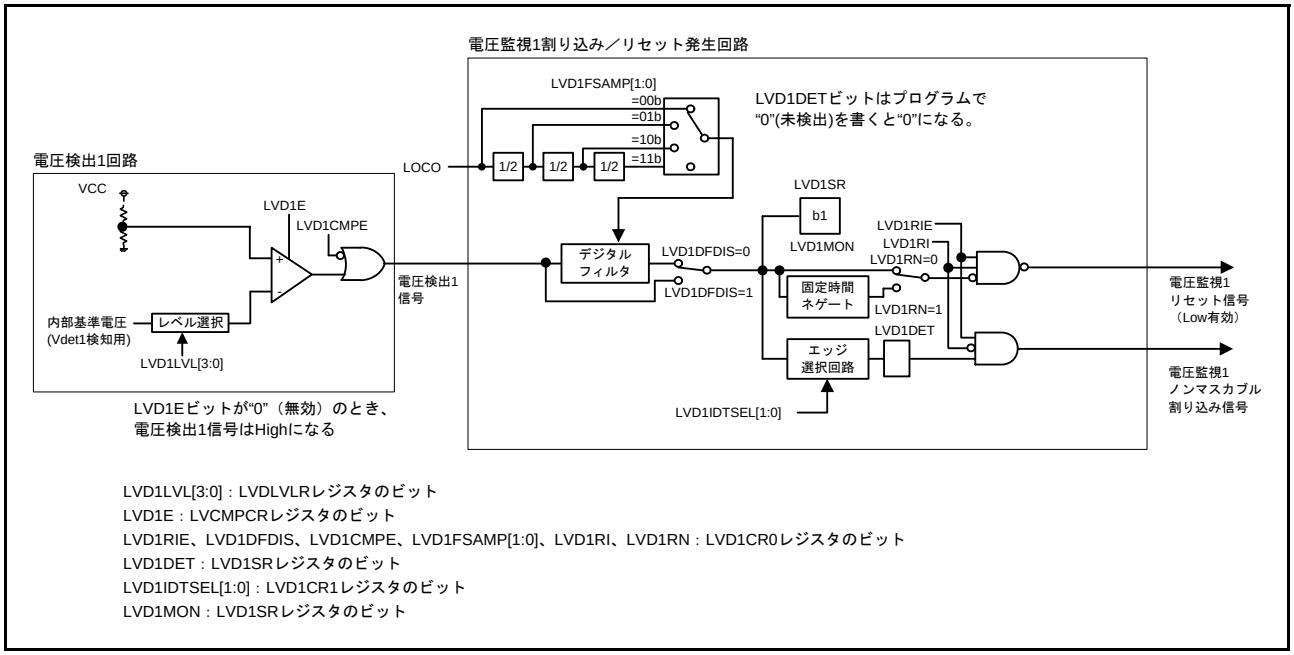
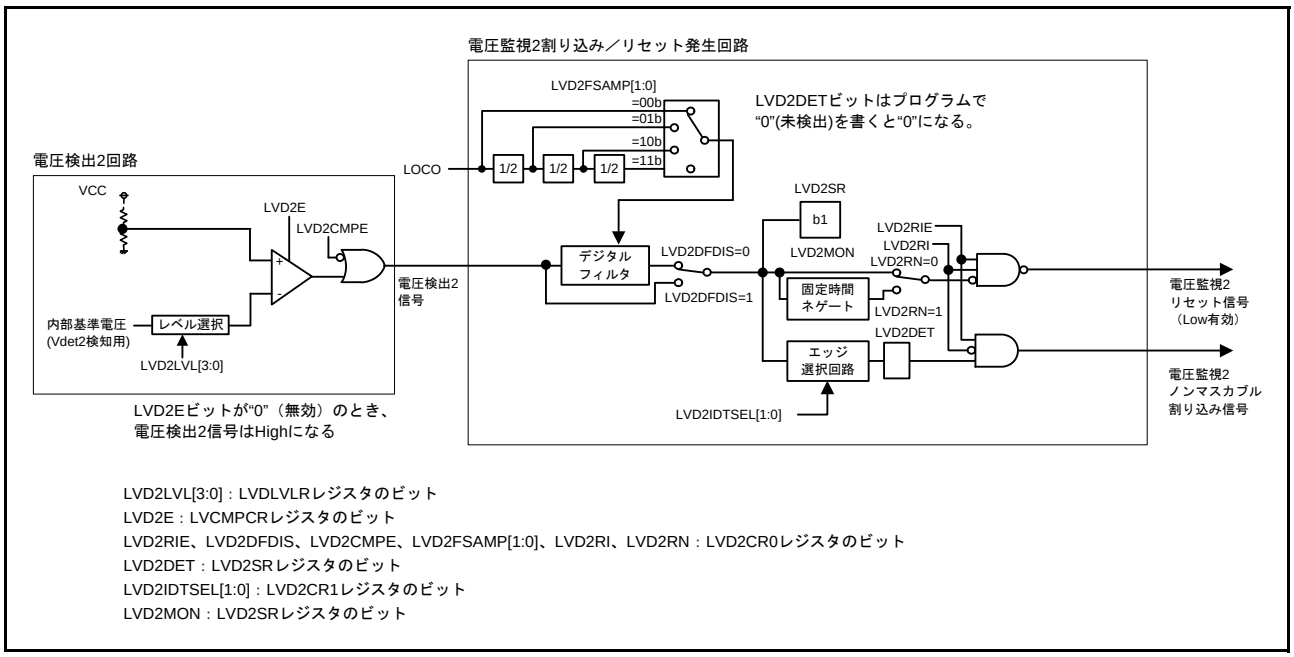


図 8.1　　電圧検出回路ブロック図



LVD1LVL[3:0]：LVDLVLRレジスタのビット
LVD1E：LVCMPCRレジスタのビット
LVD1RIE、LVD1DFDIS、LVD1CMPE、LVD1FSAMP[1:0]、LVD1RI、LVD1RN：LVD1CR0レジスタのビット
LVD1DET：LVD1SRレジスタのビット
LVD1IDTSEL[1:0]：LVD1CR1レジスタのビット
LVD1MON：LVD1SRレジスタのビット

図 8.2　　電圧監視 1 割り込み / リセット発生回路のブロック図



LVD2LVL[3:0]：LVDLVLRレジスタのビット
LVD2E：LVCMPCRレジスタのビット
LVD2RIE、LVD2DFDIS、LVD2CMPE、LVD2FSAMP[1:0]、LVD2RI、LVD2RN：LVD2CR0レジスタのビット
LVD2DET：LVD2SRレジスタのビット
LVD2IDTSEL[1:0]：LVD2CR1レジスタのビット
LVD2MON：LVD2SRレジスタのビット

図 8.3　　電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視 1 回路制御レジスタ 1（LVD1CR1）

アドレス 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL[1:0]	電圧監視1割り込み発生条件選択ビット	b1 b0 0 0 ：VCC≧Vdet1（上昇）検出時 0 1 ：VCC＜Vdet1（下降）検出時 1 0 ：下降および上昇検出時 1 1 ：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

8.2.2 電圧監視 1 回路ステータスレジスタ（LVD1SR）

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1MON	LVD1DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1電圧変化検出フラグ	0：未検出 1：Vdet1通過検出	R(/W) （注1）
b1	LVD1MON	電圧監視1信号モニタフラグ	0：VCC＜Vdet1 1：VCC≧Vdet1またはLVD1MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ（電圧監視 1 電圧変化検出フラグ）

LVD1DET フラグは、LVCMPCR.LVD1E ビットが “1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが “1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1CR0、LVD1CR1 レジスタを書き換えると、LVD1DET フラグが “1” になる場合があります。

LVD1DET フラグを “0” にするときは、LVD1CR0.LVD1RIE を “0”（禁止）にしてから行ってください。LVD1RIE を “0” にした後、再度 LVD1CR0.LVD1RIE を “1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ（電圧監視 1 信号モニタフラグ）

LVD1MON フラグは、LVCMPCR.LVD1E ビットが “1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが “1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1（LVD2CR1）

アドレス 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL[1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 ：VCC≧Vdet2（上昇）検出時 0 1 ：VCC＜Vdet2（下降）検出時 1 0 ：下降および上昇検出時 1 1 ：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

8.2.4 電圧監視 2 回路ステータスレジスタ（LVD2SR）

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0：未検出 1：Vdet2通過検出	R(/W) （注1）
b1	LVD2MON	電圧監視2信号モニタフラグ	0：VCC＜Vdet2 1：VCC≧Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ（電圧監視 2 電圧変化検出フラグ）

LVD2DET フラグは、LVCMPCR.LVD2E ビットが “1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが “1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2CR0、LVD2CR1 レジスタを書き換えると、LVD2DET フラグが “1” になる場合があります。

LVD2DET フラグを “0” にするときは、LVD2CR0.LVD2RIE を “0”（禁止）にしてから行ってください。LVD2RIE を “0” にした後、再度 LVD2CR0.LVD2RIE を “1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ（電圧監視 2 信号モニタフラグ）

LVD2MON フラグは、LVCMPCR.LVD2E ビットが “1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが “1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

8.2.5　電圧監視回路制御レジスタ（LVCMPCR）

アドレス　0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LVD1E ビット（電圧検出 1 許可ビット）

電圧検出 1 の割り込み / リセットを使用する場合、または LVD1SR.LVD1MON ビットを使用する場合、LVD1E ビットを “1” にしてください。LVD1E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 1 回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出 1 回路を使用する場合、DPSBYCR.DEEPCUT[1:0] ビットを “11b” にしないでください。

LVD2E ビット（電圧検出 2 許可ビット）

電圧検出 2 の割り込み / リセットを使用する場合、または LVD2SR.LVD2MON ビットを使用する場合、LVD2E ビットを “1” にしてください。LVD2E ビットを “0” から “1” にした後、td(E-A) 経過してから電圧検出 2 回路が動作します。また、ディープソフトウェアスタンバイモード時に電圧検出 2 回路を使用する場合、DPSBYCR.DEEPCUT[1:0] ビットを “11b” にしないでください。

8.2.6　電圧検出レベル選択レジスタ（LVDLVLR）

アドレス　0008 C298h

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2LVL[3:0]				LVD1LVL[3:0]			
リセット後の値	1	x	x	x	1	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット （電圧下降時の標準電圧）	b3 b2 b1 b0 1 0 1 0：2.95V 書く場合、上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット （電圧下降時の標準電圧）	b7 b6 b5 b4 1 0 1 0：2.95V 書く場合、上記以外は設定しないでください	R/W

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットが共に “0”（電圧検出 n 回路無効）(n=1、2) の場合のみ変更可能です。

8.2.7 電圧監視 1 回路制御レジスタ 0（LVD1CR0）

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	LVD1FSAMP[1:0]		—	LVD1CMPE	LVD1DFDIS	LVD1RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0：禁止 1：許可	R/W
b1	LVD1DFDIS	電圧監視1デジタルフィルタ無効モード選択ビット	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0：電圧監視1回路比較結果出力禁止 1：電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0：LOCOの1分周 0 1：LOCOの2分周 1 0：LOCOの4分周 1 1：LOCOの8分周	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0：Vdet1通過時に電圧監視1割り込み 1：下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0：VCC＞Vdet1検出から一定時間（tLVD1）経過後にネゲート 1：LVD1リセットアサートから一定時間（tLVD1）経過後にネゲート	R/W

LVD1RIE ビット（電圧監視 1 割り込み / リセット許可ビット）

フラッシュメモリのプログラム / イレーズ中は、電圧監視 1 リセットおよび電圧監視 1 割り込みを発生させないでください。

LVD1DFDIS ビット（電圧監視 1 デジタルフィルタ無効モード選択ビット）

LVD1DFDIS ビットを “0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは “0”（LOCO 動作）にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを “1”（デジタルフィルタ回路無効）にしてください。

LVD1FSAMP[1:0] ビット（サンプリングクロック選択ビット）

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが “1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD1DFDIS ビットが “0”（デジタルフィルタ回路有効）のときには、LVD1FSAMP[1:0] ビットを書き換えないでください。

LVD1RI ビット（電圧監視 1 回路モード選択ビット）

LVD1RI ビットが “1”（電圧監視 1 リセット選択）、または LVD2CR0.LVD2RI ビットが “1”（電圧監視 2 リセット選択）の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを “0”（電圧監視 1 割り込み選択）、かつ LVD2CR0.LVD2RI ビットを “0”（電圧監視 2 割り込み選択）にしてください。

LVD1RN ビット（電圧監視 1 リセットネゲート選択ビット）

LVD1RN ビットを “1”（LVD1 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは “0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを “0”（VCC ＞ Vdet1 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD1RN ビットを “1”（LVD1 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.2.8　電圧監視 2 回路制御レジスタ 0（LVD2CR0）

アドレス　0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP[1:0]		—	LVD2CMPE	LVD2DFDIS	LVD2RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0：禁止 1：許可	R/W
b1	LVD2DFDIS	電圧監視2デジタルフィルタ無効モード選択ビット	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0：電圧監視2回路比較結果出力禁止 1：電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP[1:0]	サンプリングクロック選択ビット	b5 b4 0 0：LOCOの1分周 0 1：LOCOの2分周 1 0：LOCOの4分周 1 1：LOCOの8分周	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0：Vdet2通過時に電圧監視2割り込み 1：下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0：VCC＞Vdet2検出から一定時間（tLVD2）経過後にネゲート 1：LVD2リセットアサートから一定時間（tLVD2）経過後にネゲート	R/W

LVD2RIE ビット（電圧監視 2 割り込み / リセット許可ビット）

フラッシュメモリのプログラム / イレーズ中は、電圧監視 2 リセットおよび電圧監視 2 割り込みを発生させないでください。

LVD2DFDIS ビット（電圧監視 2 デジタルフィルタ無効モード選択ビット）

LVD2DFDIS ビットを “0”（デジタルフィルタ回路有効）にする場合は、LOCOCR.LCSTP ビットは “0”（LOCO 動作）にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを “1”（デジタルフィルタ回路無効）にしてください。

LVD2FSAMP[1:0] ビット（サンプリングクロック選択ビット）

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが “1”（デジタルフィルタ回路無効）のときのみ書き換え可能です。LVD2DFDIS ビットが “0”（デジタルフィルタ回路有効）のときには、LVD2FSAMP[1:0] ビットを書き換えないでください。

LVD2RI ビット（電圧監視 2 回路モード選択ビット）

LVD2RI ビットが “1”（電圧監視 2 リセット選択）、または LVD1CR0.LVD1RI ビットが “1”（電圧監視 1 リセット選択）の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを “0”（電圧監視 2 割り込み選択）、かつ LVD1CR0.LVD1RI ビットを “0”（電圧監視 1 割り込み選択）にしてください。

LVD2RN ビット（電圧監視 2 リセットネゲート選択ビット）

LVD2RN ビットを “1”（LVD2 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは “0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを “0”（VCC ＞ Vdet2 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD2RN ビットを “1”（LVD2 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

表 8.2 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表8.2　Vdet1のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD1LVL[3:0]ビット（電圧検出1検出電圧）を設定する	
2	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD1CR0.LVD1DFDISビットを“1”（デジタルフィルタ無効）にする
3	LVD1CR0.LVD1CMPEビットを“1”（電圧監視1回路比較結果出力許可）にする	
4	LOCOの1サイクル以上待つ	—
5	LVD1CR0.LVD1DFDISビットを“0”（デジタルフィルタ有効）にする	—
6	LOCOの2n＋3サイクル以上待つ （n＝1、2、4、8：デジタルフィルタのサンプリングクロック＝LOCOのn分周）	—
7	LVCMPCR.LVD1Eビットを“1”（電圧検出1回路有効）にする	

8.3.3 Vdet2 のモニタ

表 8.3 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

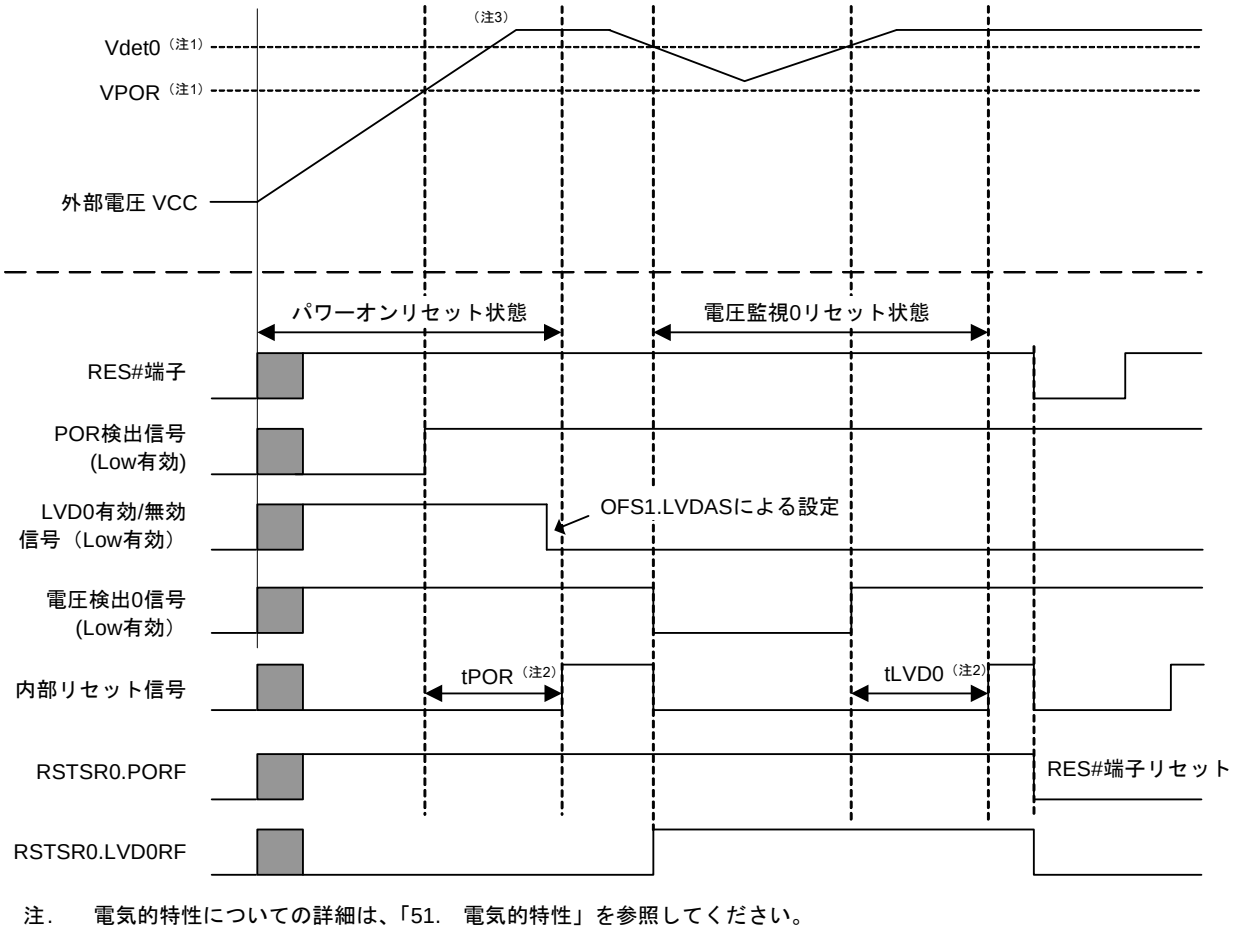
表8.3　Vdet2のモニタの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	LVDLVLR.LVD2LVL[3:0]ビット（電圧検出2検出電圧）を設定する	
2	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	LVD2CR0.LVD2DFDISビットを“1”（デジタルフィルタ無効）にする
3	LVD2CR0.LVD2CMPEビットを“1”（電圧監視2回路比較結果出力許可）にする	
4	LOCOの1サイクル以上待つ	—
5	LVD2CR0.LVD2DFDISビットを“0”（デジタルフィルタ有効）にする	—
6	LOCOの2n＋3サイクル以上待つ （n＝1、2、4、8：デジタルフィルタのサンプリングクロック＝LOCOのn分周）	—
7	LVCMPCR.LVD2Eビットを“1”（電圧検出2回路有効）にする	

8.4　電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、電圧検出 0 回路起動ビット（OFS1.LVDAS）を “0”（リセット後、電圧監視 0 リセット有効）にしてください。

図 8.4 に電圧監視 0 リセット動作例を示します。



注.　電気的特性についての詳細は、「51.　電気的特性」を参照してください。
注1.　Vdet0は電圧監視0リセットの検知レベルを、VPORはパワーオンリセット検知レベルを示しています。
注2.　tPORはパワーオンリセット期間を、tLVD0は電圧監視0リセット期間を示しています。
注3.　電源立ち上がり時、PORリセットが解除されるまでにVCCが最低保証電圧以上まで上昇している必要があります。

図 8.4　電圧監視 0 リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.5 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、電圧監視 1 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD1CR0.LVD1DFDIS ビットを “1”（デジタルフィルタ無効）にしてください。

表8.4　電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視1割り込み	電圧監視1リセット	電圧監視1割り込み	電圧監視1リセット
1（注1）	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を設定する			
2（注2）	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する		LVD1CR0.LVD1DFDISビットを“1”（デジタルフィルタ無効）にする	
3（注1、注2）	LVD1CR0.LVD1RIビットを“0”（電圧監視1割り込み）にする	• LVD1CR0.LVD1RIビットを“1”（電圧監視1リセット）にする • LVD1CR0.LVD1RNビットでリセットネゲートの種類を選択する	LVD1CR0.LVD1RIビットを“0”（電圧監視1割り込み）にする	• LVD1CR0.LVD1RIビットを“1”（電圧監視1リセット）にする • LVD1CR0.LVD1RNビットでリセットネゲートの種類を選択する
4	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—
5	LVD1CR0.LVD1CMPEビットを“1”（電圧監視1回路比較結果出力許可）にする			
6	LOCOの1サイクル以上待つ		—	
7	LVD1CR0.LVD1DFDISビットを“0”（デジタルフィルタ有効）にする		—	
8	LOCOの2n＋3サイクル以上待つ （n＝1、2、4、8：デジタルフィルタのサンプリングクロック＝LOCOのn分周）		—（待ち時間なし）	
9	LVD1SR.LVD1DETフラグを“0”にする	—	LVD1SR.LVD1DETフラグを“0”にする	—
10	LVD1CR0.LVD1RIEビットを“1”（電圧監視1割り込み/リセット許可）にする			
11（注1）	LVCMPCR.LVD1Eビットを“1”（電圧検出1回路有効）にする			

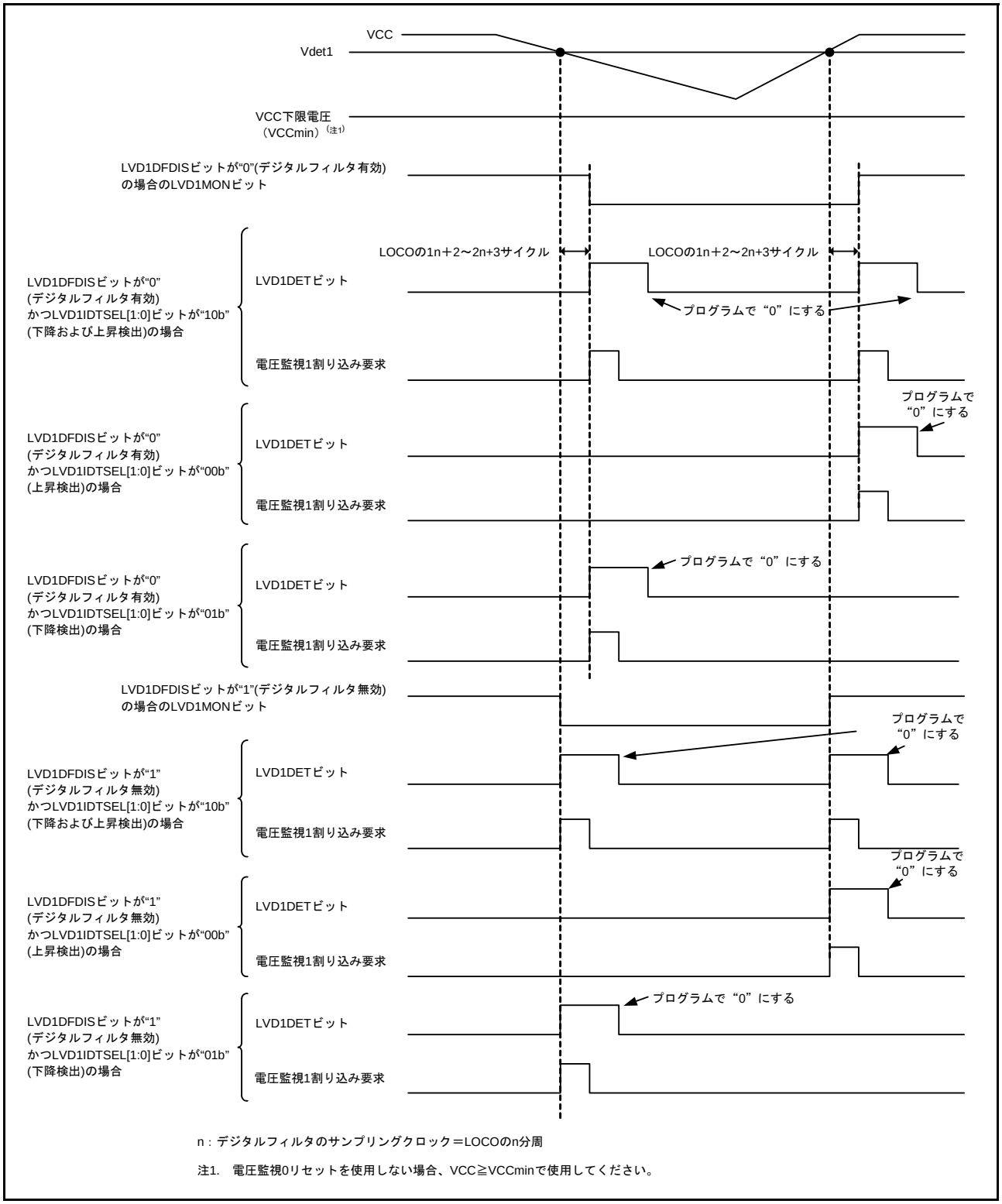
注1.　電圧監視1割り込み設定（LVD1CR0.LVD1RI = 0）で動作させている場合で、停止後にLVD1CR0.LVD1FSAMP[1:0], LVD1DFDISビットまたはLVD1CR1.LVD1IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、3、11は不要です。電圧監視1リセット設定（LVD1CR0.LVD1RI = 1）で動作させている場合の変更は、手順1～11で設定してください。

注2.　手順2と3は同時に（1命令で）実行してもかまいません。

表8.5　電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順	電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定
1（注1）	LVCMPCR.LVD1Eビットを“0”（電圧検出1回路無効）にする
2（注1）	LOCOの1サイクル以上待つ
3	LVD1CR0.LVD1RIEビットを“0”（電圧監視1割り込み/リセット禁止）にする
4	LVD1CR0.LVD1CMPEビットを“0”（電圧監視1回路比較結果出力禁止）にする
5	LVCMPCR.LVD1Eビット、LVD1CR0.LVD1CMPE, LVD1RIEビットを除く電圧検出回路関連レジスタの設定を変更する

注1.　電圧監視1割り込み設定（LVD1CR0.LVD1RI = 0）で動作させている場合で、停止後にLVD1CR0.LVD1FSAMP[1:0], LVD1DFDISビットまたはLVD1CR1.LVD1IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1と2は不要です。電圧監視1リセット設定（LVD1CR0.LVD1RI = 1）で動作させている場合の変更は、手順1～5で設定してください。



n：デジタルフィルタのサンプリングクロック＝LOCOのn分周

注1.　電圧監視0リセットを使用しない場合、VCC≧VCCminで使用してください。

図 8.5　　電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.7 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に使用する場合は、LVD2CR0.LVD2DFDIS ビットを “1”（デジタルフィルタ無効）にしてください。

表8.6　電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1（注1）	LVDLVLR.LVD2LVL[3:0]ビットで検出電圧を設定する			
2（注2）	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する		LVD2CR0.LVD2DFDISビットを“1”（デジタルフィルタ無効）にする	
3（注1、注2）	LVD2CR0.LVD2RIビットを“0”（電圧監視2割り込み）にする	• LVD2CR0.LVD2RIビットを“1”（電圧監視2リセット）にする • LVD2CR0.LVD2RNビットでリセットネゲートの種類を選択する	LVD2CR0.LVD2RIビットを“0”（電圧監視2割り込み）にする	• LVD2CR0.LVD2RIビットを“1”（電圧監視2リセット）にする • LVD2CR0.LVD2RNビットでリセットネゲートの種類を選択する
4	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する	—
5	LVD2CR0.LVD2CMPEビットを“1”（電圧監視2回路比較結果出力許可）にする			
6	LOCOの1サイクル以上待つ		—	
7	LVD2CR0.LVD2DFDISビットを“0”（デジタルフィルタ有効）にする		—	
8	LOCOの2n＋3サイクル以上待つ （n＝1、2、4、8：デジタルフィルタのサンプリングクロック＝LOCOのn分周）		—（待ち時間なし）	
9	LVD2SR.LVD2DETフラグを“0”にする	—	LVD2SR.LVD2DETフラグを“0”にする	—
10	LVD2CR0.LVD2RIEビットを“1”（電圧監視2割り込み/リセット許可）にする			
11（注1）	LVCMPCR.LVD2Eビットを“1”（電圧検出2回路有効）にする			

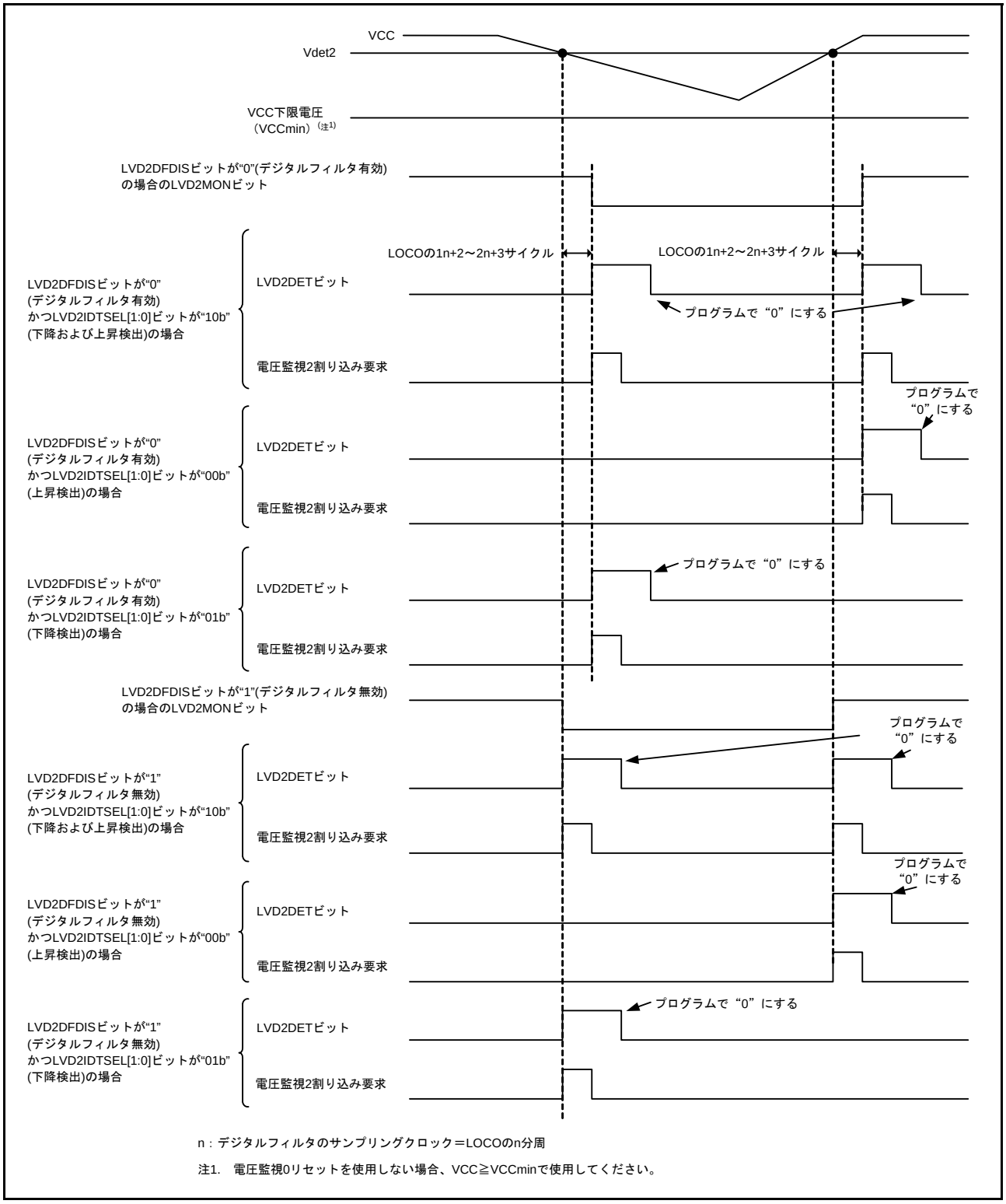
注1.　電圧監視2割り込み設定（LVD2CR0.LVD2RI = 0）で動作させている場合で、停止後にLVD2CR0.LVD2FSAMP[1:0], LVD2DFDISビットまたはLVD2CR1.LVD2IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、3、11は不要です。電圧監視2リセット設定（LVD2CR0.LVD2RI = 1）で動作させている場合の変更は、手順1～11で設定してください。

注2.　手順2と3は同時に（1命令で）実行してもかまいません。

表8.7　電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順	電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定
1（注1）	LVCMPCR.LVD2Eビットを“0”（電圧検出2回路無効）にする
2（注1）	LOCOの1サイクル以上待つ
3	LVD2CR0.LVD2RIEビットを“0”（電圧監視2割り込み/リセット禁止）にする
4	LVD2CR0.LVD2CMPEビットを“0”（電圧監視2回路比較結果出力禁止）にする
5	LVCMPCR.LVD2Eビット、LVD2CR0.LVD2CMPE, LVD2RIEビットを除く電圧検出回路関連レジスタの設定を変更する

注1.　電圧監視2割り込み設定（LVD2CR0.LVD2RI = 0）で動作させている場合で、停止後にLVD2CR0.LVD2FSAMP[1:0], LVD2DFDISビットまたはLVD2CR1.LVD2IDTSEL[1:0]ビットの設定のみ変更して再動作させる場合、あるいは停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1と2は不要です。電圧監視2リセット設定（LVD2CR0.LVD2RI = 1）で動作させている場合の変更は、手順1～5で設定してください。



n：デジタルフィルタのサンプリングクロック＝LOCOのn分周

注1.　電圧監視0リセットを使用しない場合、VCC≧VCCminで使用してください。

図 8.6　　電圧監視 2 割り込み動作例

9. クロック発生回路

9.1 概要

RX63N グループ、RX631 グループには、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、**図 9.1** にクロック発生回路のブロック図を示します。

表9.1　クロック発生回路の仕様 (1 / 2)

項目	仕様
用途	• CPU、DMAC、DTC、ROMおよびRAMに供給されるシステムクロック（ICLK）の生成 • ETHERC、EDMAC、DEUに供給される周辺モジュールクロック（PCLKA）の生成（注2） • ETHERC、EDMAC、DEU以外の周辺モジュールに供給される周辺モジュールクロック（PCLKB）の生成（注2） • FlashIFに供給されるFlashIFクロック（FCLK）の生成 • 外部バスに供給される外部バスクロック（BCLK）の生成 • SDRAMに供給されるSDRAMクロック（SDCLK）の生成 • USBに供給されるUSBクロック（UCLK）の生成 • CANに供給されるCANクロック（CANMCLK）の生成 • IEBUSに供給されるIEBUSクロック（IECLK）の生成 • RTCに供給されるRTC専用サブクロック（RTCSCLK）の生成 • RTCに供給されるRTC専用メインクロック（RTCMCLK）の生成 • IWDTに供給されるIWDT専用クロック（IWDTCLK）の生成 • JTAGに供給されるJTAG用クロック（JTAGTCK）の生成
動作周波数	• ICLK：100MHz (max) • PCLKA：100MHz (max) • PCLKB：50MHz (max) • FCLK：4MHz～50MHz（ROM、E2データフラッシュ P/E時） 50MHz (max)（E2データフラッシュ読み出し時） • BCLK：100MHz (max) • BCLK端子出力：50MHz (max) • SDCLK端子出力：50MHz (max) • UCLK：48MHz (max) • CANMCLK：20MHz (max) • IECLK：50MHz (max) • RTCSCLK：32.768kHz • RTCMCLK：4MHz～16MHz • IWDTCLK：125kHz • JTAGTCK：10MHz (max)
メインクロック発振器	• 発振子周波数：4MHz～16MHz • 外部クロック入力周波数：20MHz (max) • 接続できる発振子、または付加回路：セラミック共振子、水晶振動子 • 接続端子：EXTAL、XTAL • 発振停止検出機能：メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能
サブクロック発振器	• 発振子周波数：32.768kHz • 接続できる発振子、または付加回路：水晶振動子 • 接続端子：XCIN、XCOUT
PLL回路	• 入力クロックソース：メインクロック • 入力分周比：1、2、4分周から選択可能 • 入力周波数：4MHz～16MHz • 逓倍比：8、10、12、16、20、24、25、50逓倍から選択可能 • VCO発振周波数：104MHz～200MHz
高速オンチップオシレータ（HOCO）	• 発振周波数：50MHz • HOCO電源制御
低速オンチップオシレータ（LOCO）	発振周波数：125kHz
IWDT専用オンチップオシレータ	発振周波数：125kHz
JTAG用外部クロック入力（TCK）	入力クロック周波数：10MHz (max)
BCLK端子の出力制御機能	• BCLKクロック出力またはHigh出力の選択が可能 • 出力するクロックはBCLKまたはBCLKの2分周の選択が可能

表9.1　　クロック発生回路の仕様（2 / 2）

項目	仕様
SDCLK端子の出力制御機能	• SDCLK出力またはHighレベル出力の選択が可能

注1.　ETHERC使用時のクロックに関する制約は以下になります。
12.5MHz ≦PCLKA≦100MHz、PCLKA周波数=ICLK周波数
注2.　RX63Nグループ、RX631グループでは、PCLKB = PCLKです。

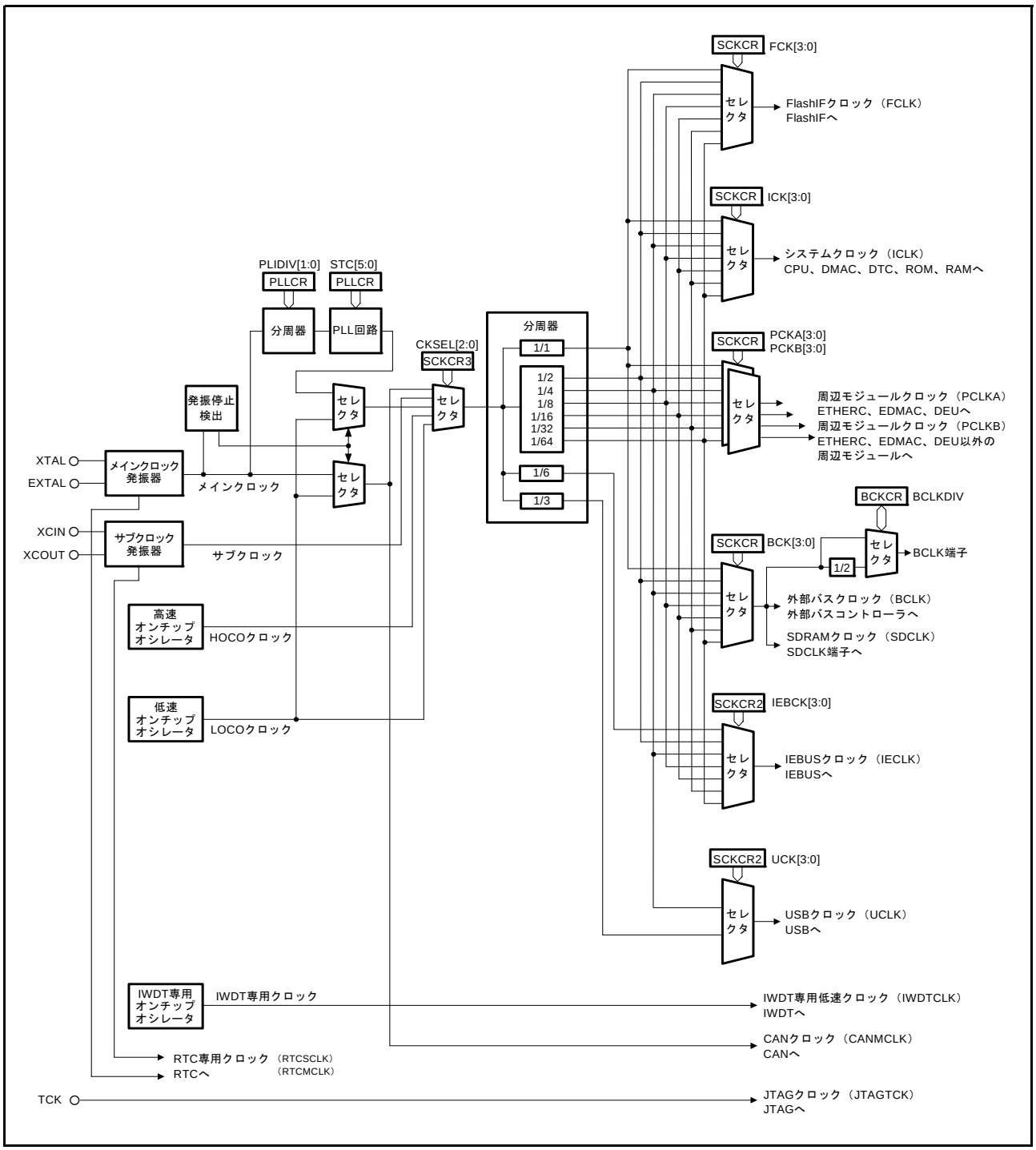


図 9.1　　クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2　　クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「9.3.2　外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	32.768kHzの水晶振動子を接続
XCOUT	出力	
TCK	入力	JTAG用のクロック入力です
BCLK	出力	外部デバイスに外部バスクロック（BCLK）を供給します
SDCLK	出力	外部デバイスにSDRAMクロック（SDCLK）を供給します

9.2　レジスタの説明

9.2.1　システムクロックコントロールレジスタ（SCKCR）

アドレス　0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCK[3:0]				ICK[3:0]				PSTOP1	PSTOP0	—	—	BCK[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCKA[3:0]				PCKB[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	“0001b”を設定してください	R/W
b7-b4	—	予約ビット	“0001b”を設定してください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロックB（PCLKB）選択ビット(注1、注5)	b11　b8 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロックA（PCLKA）選択ビット(注1、注5)	b11　b8 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b19-b16	BCK[3:0]	外部バスクロック（BCLK）選択ビット （注1、注2、注5）	b19　b16 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b21-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22	PSTOP0	SDCLK端子出力制御ビット	0：SDCLK端子出力動作 1：SDCLK端子出力停止（High固定）	R/W
b23	PSTOP1	BCLK端子出力制御ビット（注3）	0：BCLK端子出力動作 1：BCLK端子出力停止（High固定）	R/W
b27-b24	ICK[3:0]	システムクロック（ICLK）選択ビット （注1、注2、注4、注5）	b27　b24 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック（FCLK）選択ビット （注1、注4、注5）	b31　b28 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W

注1.　PLL選択時は1分周は設定禁止です。
注2.　ICLKは外部バスクロックより低い周波数を設定しないでください。
注3.　外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。
注4.　低速動作モード2かつSCKCR3.CKSEL[2:0]ビットでサブクロック発振器選択時は、ICLKおよびFCLKの分周比は1分周のみ設定可能です。
注5.　SCKCR3.CKSEL[2:0]ビットが“010b”（メインクロック発振器選択）のときは、1分周と2分周を設定しないでください。

以下に該当する場合、SCKCR レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ（OPCCR.OPCMTSF）が “1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i（FENTRYR.FENTRYi）が “1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i=0 ～ 3、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.2 システムクロックコントロールレジスタ 2（SCKCR2）

アドレス 0008 0024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	UCK[3:0]				IEBCK[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	IEBCK[3:0]	IEBUSクロック（IECLK）選択ビット（注1）	b3 b0 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 1 1 0 0：6分周 上記以外は設定しないでください	R/W
b7-b4	UCK[3:0]	USBクロック（UCLK）選択ビット	b7 b4 0 0 1 0：3分周 0 0 1 1：4分周 USBを使用する場合、上記以外は設定しないでください。USBを使用しない場合、読むと“0001b”が読めます。書く場合、“0001b”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCKCR3.CKSEL[2:0]ビットが“010b”（メインクロック発振器選択）のときは、2分周を設定しないでください。

以下に該当する場合、SCKCR2 レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ（OPCCR.OPCMTSF）が“1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i（FENTRYR.FENTRYi）が“1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i=0 ～ 3、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

UCK[3:0] ビット（USB クロック（UCLK）選択ビット）

USB クロック（UCLK）の周波数を選択します。

3 分周選択時はクロックの Duty は 2：1 になります。

9.2.3　システムクロックコントロールレジスタ 3（SCKCR3）

アドレス　0008 0026h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CKSEL[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 ０００：LOCO選択 ００１：HOCO選択 ０１０：メインクロック発振器選択 ０１１：サブクロック発振器選択 １００：PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ（OPCCR.OPCMTSF）が “1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i（FENTRYR.FENTRYi）が “1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i=0 ～ 3、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

CKSEL[2:0] ビット（クロックソース選択ビット）

システムクロック（ICLK）、周辺モジュールクロック（PCLKA、PCLKB）、FlashIF クロック（FCLK）、外部バスクロック（BCLK）、IEBUS クロック（IECLK）、USB クロック（UCLK）のクロックソースを低速オンチップオシレータ（LOCO）、高速オンチップオシレータ（HOCO）、メインクロック発振器、サブクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.4 PLL コントロールレジスタ（PLLCR）

アドレス 0008 0028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	STC[5:0]						—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0：1分周 0 1：2分周 1 0：4分周 1 1：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逓倍率設定ビット	b13 b8 0 0 0 1 1 1：×8 0 0 1 0 0 1：×10 0 0 1 0 1 1：×12 0 0 1 1 1 1：×16 0 1 0 0 1 1：×20 0 1 0 1 1 1：×24 0 1 1 0 0 0：×25 1 1 0 0 0 1：×50 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PLLCR2.PLLEN ビットが “0”（PLL 動作）のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット（PLL 入力分周比選択ビット）

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数（4 ～ 16MHz）の範囲に入るように設定してください。

STC[5:0] ビット（周波数逓倍率設定ビット）

PLL の周波数逓倍率を設定します。

STC[5:0] ビットは、PLL の VCO 発振周波数（104 ～ 200MHz）の範囲に入るように設定してください。

9.2.5　PLL コントロールレジスタ 2（PLLCR2）

アドレス　0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0：PLL 動作 1：PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

「11.　消費電力低減機能」の PLL ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

PLLEN ビット（PLL 停止制御ビット）

PLL の動作 / 停止を制御します。

PLLEN ビットで PLL を動作設定に変更後、PLL クロック発振安定待機時間（tPLLWT1 または tPLLWT2）が経過した後、PLL クロックの使用を開始してください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL を停止設定後､再度動作設定にする場合､停止期間は PLL クロックで 5 サイクル以上の時間となるようにしてください。
- PLL の停止設定は、PLL クロックの発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、PLL 停止設定後、PLL クロック 2 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）で PLL を選択しているときは、PLLEN ビットを “1”（PLL 停止）にする書き込みは禁止です。

動作電力コントロールレジスタの動作電力制御モード選択ビット（OPCCR.OPCM[2:0]）で低速動作モード 1 または低速動作モード 2 を選択しているときは、PLLEN ビットを “0”（PLL 動作）にする書き込みは禁止です。

9.2.6　外部バスクロックコントロールレジスタ（BCKCR）

アドレス　0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKDIV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0：BCLK 1：BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、BCKCR レジスタの書き換えは禁止です。

- 動作電力コントロールレジスタの動作電力制御モード遷移状態フラグ（OPCCR.OPCMTSF）が “1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i（FENTRYR.FENTRYi）が “1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき（i=0 ～ 3、D）
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

BCLKDIV ビット（BCLK 端子出力選択ビット）

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

9.2.7　メインクロック発振器コントロールレジスタ（MOSCCR）

アドレス　0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0：メインクロック発振器動作 1：メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

「11.　消費電力低減機能」のメインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット（メインクロック発振器停止ビット）

メインクロック発振器の動作 / 停止を制御します。

メインクロック発振器の動作 / 停止は、MOSTP ビットおよびメインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット（MOFCR.MOFXIN）で制御されます。MOSTP ビットを発振器動作、あるいは MOFXIN ビットを強制発振に設定することで、メインクロック発振器を動作させることができます。また、MOFXIN ビットが強制発振に設定されている場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード中も発振動作を継続します。

MOSTP ビット、または MOFCR.MOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「5.　I/O レジスタ」の「(2)　I/O レジスタ書き込み時の注意事項」を参照してください）。

水晶振動子を接続してメインクロックを供給する場合、MOSTP ビットまたは MOFCR.MOFXIN ビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間（水晶）（tMAINOSCWT）が経過した後、メインクロックの使用を開始してください。

外部クロックを入力してメインクロックを供給する場合、MOSTP ビットまたは MOFCR.MOFXIN ビットでメインクロック発振器を動作設定に変更後、EXTAL 外部クロック入力待機時間（tEXWT）が経過した後、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、停止期間はメインクロックで 5 サイクル以上の時間となるようにしてください。
- メインクロック発振器の停止設定は、メインクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック発振器の発振が安定した状態で WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、メインクロック停止設定後、メインクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器を選択しているとき、あるいは SCKCR3.CKSEL[2:0] ビットで PLL を選択しているとき、MOSTP ビットを “1”（メインクロック発振器停止）にする書き込みは禁止です。

9.2.8　サブクロック発振器コントロールレジスタ（SOSCCR）

アドレス　0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0：サブクロック発振器動作 1：サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

「11.　消費電力低減機能」のサブクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

SOSTP ビット（サブクロック発振器停止ビット）

サブクロック発振器の動作 / 停止を制御します。

サブクロック発振器の動作 / 停止は、SOSTP ビットおよび RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

SOSTP ビットまたは RCR3.RTCEN ビットの書き換えを行う場合は、書き込みの完了を待ってから、後続の命令を実行するようにしてください（「5.　I/O レジスタ」の「(2)　I/O レジスタ書き込み時の注意事項」を参照してください）。

サブクロックを動作させる場合、サブクロック発振器ウェイトコントロールレジスタ（SOSCWTCR）の設定が必要です。SOSCWTCR レジスタの設定については、「11.　消費電力低減機能」の章を参照してください。

SOSTP ビット、または RCR3.RTCEN ビットでサブクロック発振器を動作設定に変更後、サブクロックの発振安定待機時間が経過した後、サブクロックの使用を開始してください。

サブクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- サブクロック発振器を停止設定後、再度動作設定にする場合、停止期間はサブクロックで 5 サイクル以上の時間となるようにしてください。
- サブクロック発振器の停止設定は、サブクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、サブクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、サブクロック発振器停止設定後、サブクロック 2 サイクル以上待ってから

WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でサブクロック発振器を選択しているとき、SOSTP ビットを “1”（サブクロック発振器停止）にする書き込みは禁止です。

9.2.9　低速オンチップオシレータコントロールレジスタ（LOCOCR）

アドレス　0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0：LOCO動作 1：LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LCSTP ビット（LOCO 停止ビット）

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定待機時間（tLOCOWT）が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後､再度動作設定にする場合､停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）で LOCO を選択しているとき、LCSTP ビットを “1”（LOCO 停止）にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット（OSTDCR.OSTDE）で発振停止検出機能を有効にしているとき、LCSTP ビットを “1”（LOCO 停止）にする書き込みは禁止です。

9.2.10　IWDT 専用オンチップオシレータコントロールレジスタ（ILOCOCR）

アドレス　0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0：IWDT専用オンチップオシレータ動作 1：IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット（OFS0.IWDTSTRT）が “0”（IWDT 動作）のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDTSTRT ビットが “1”（IWDT 停止）のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが “0”（IWDT 専用オンチップオシレータ動作）の後、“1”（IWDT 専用オンチップオシレータ停止）に設定することはできません。

ILCSTP ビット（IWDT 専用オンチップオシレータ停止ビット）

IWDT 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDT 専用オンチップオシレータを停止設定から動作設定に変更した場合、LOCO 発振安定待機時間（tLOCOWT）に相当する一定時間経過後、LSI 内部にクロックが供給開始されます。IWDT 専用クロックを使用する場合は、この待機時間が経過した後、使用開始してください。

IWDT 専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモード、 ディープソフトウェアスタンバイモードに移行する場合は、 発振が安定した状態で WAIT 命令を実行してください。

9.2.11　高速オンチップオシレータコントロールレジスタ（HOCOCR）

アドレス　0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1（注1）

注1.　オプション機能選択レジスタ 1 の HOCO 発振有効ビット（OFS1.HOCOEN）が“0”のとき、HCSTP ビットのリセット後の値は“0”になります。OFS1.HOCOEN ビットが“1”のとき、HCSTP ビットのリセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO 停止ビット	0：HOCO 動作 1：HOCO 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HCSTP ビット（HOCO 停止ビット）

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、HOCO クロック発振安定待機時間 2（tHOCOWT2）に相当する一定時間経過後、LSI 内部にクロックが供給開始されます。使用する場合は、この待機時間が経過した後、使用開始してください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCO を停止設定後､再度動作設定にする場合､停止期間は HOCO クロックで 5 サイクル以上の時間となるようにしてください。
- HOCO の停止設定は、HOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は HOCO の発振が安定した状態で WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、HOCO 停止設定後、HOCO クロック 2 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）で HOCO を選択しているとき、HCSTP ビットを “1”（HOCO 停止）にする書き込みは禁止です。

動作電力コントロールレジスタの動作電力制御モード選択ビット（OPCCR.OPCM[2:0]）で低速動作モード 2 を選択しているときは、HCSTP ビットを “0”（HOCO 動作）にする書き込みは禁止です。

9.2.12　発振停止検出コントロールレジスタ（OSTDCR）

アドレス　0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0：発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1：発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0：発振停止検出機能は無効 1：発振停止検出機能は有効	R/W

OSTDIE ビット（発振停止検出割り込み許可ビット）

発振停止検出ステータスレジスタの発振停止検出フラグ（OSTDSR.OSTDF）のクリアは、OSTDIE ビットを “0” にした後に行ってください。その後、OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット（発振停止検出機能許可ビット）

発振停止検出機能の有効 / 無効を設定します。

OSTDE ビットを “1”（発振停止検出機能有効）にすると、LOCO 停止ビット（LOCOCR.LCSTP）も “0” となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ “1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ（OSTDSR.OSTDF）が “1”（メインクロック発振停止検出）のとき、OSTDE ビットへの “0” 書き込みは無効になります。

OSTDE ビットが “1” の場合、ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを “0” にして、WAIT 命令を実行してください。

9.2.13　発振停止検出ステータスレジスタ（OSTDSR）

アドレス　0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0：メインクロックの発振停止を未検出 1：メインクロックの発振停止を検出	R(/W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1.　“0”のみ書けます。

OSTDF フラグ（発振停止検出フラグ）

メインクロックの状態を示すステータスフラグです。OSTDF フラグが “1” のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは “0” になりません。OSTDF フラグは “1” を読んだ後、“0” を書くことによって “0” になります。OSTDF = 0 が読み出し値に反映されるまで ICLK 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを “0” にした場合、OSTDF フラグは一度 “0” になった後、再度 “1” になります。

また、システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器（“010b”）または PLL（“100b”）を選択している場合は、OSTDF フラグを “0” にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り換えてから OSTDF フラグを “0” にしてください。

[“1” になる条件]

- OSTDCR.OSTDE ビットが “1”（発振停止検出機能有効）の状態で、メインクロックの発振が停止したとき

[“0” になる条件]

- SCKCR3.CKSEL[2:0] ビットが “010b”、または “100b” 以外の場合に、“1” を読んだ後、“0” を書いたとき

9.2.14　メインクロック発振器強制発振コントロールレジスタ（MOFCR）

アドレス　0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOFXIN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOFXIN	メインクロック発振器強制発振ビット	0：このビットによる制御なし 1：メインクロック発振器を強制発振	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EXTAL/XTAL 端子はポートと兼用端子になっており、初期設定状態ではポート機能となります。EXTAL/XTAL をディープソフトウェアスタンバイモードでも RTC のクロックソースとして使用できます。

MOFXIN ビット（メインクロック発振器強制発振ビット）

メインクロック発振器の強制発振を制御します。

MOSCCR.MOSTP ビット、または MOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（**「5.　I/O レジスタ」**の**「(2)　I/O レジスタ書き込み時の注意事項」**を参照してください）。

9.2.15　高速オンチップオシレータ電源コントロールレジスタ（HOCOPCR）

アドレス　0008 C294h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCOPCNT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HOCOPCNT	高速オンチップオシレータ電源制御ビット	0：HOCOの電源ON 1：HOCOの電源OFF	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOPCNT ビット（高速オンチップオシレータ電源制御ビット）

HOCO の電源を制御するビットです。

“0” のとき、HOCO の電源が ON して、発振することができます。

“1” のとき、HOCO の電源を OFF して、消費電力を低減できます。

HOCOPCNT ビットを “1” にする場合、高速オンチップオシレータコントロールレジスタの HOCO 停止ビット（HOCOCR.HCSTP）を “1”（HOCO 停止）に設定してください。

HOCOPCNT ビットを “1” から “0” に切り替えた後、HOCOCR.HCSTP ビットを “0” にするまで安定待ち時間が必要です。詳細は、**「51.　電気的特性」**を参照してください。

以下に該当する場合、HOCOPCNT ビットの値を書き換えないでください。

- システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でクロックソースに HOCO を選択しているとき
- 動作電力コントロールレジスタの動作電力制御モード選択ビット（OPCCR.OPCM[2:0]）で低速動作モード 1、あるいは低速動作モード 2 に設定しているとき

9.3　メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1　発振子を接続する方法

発振子を接続する場合の接続例を**図 9.2** に示します。

必要に応じてダンピング抵抗（Rd）を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカの推奨する値に設定してください。また、発振子メーカから外部に帰還抵抗（Rf）を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に Rf を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のメインクロック発振器の発振子周波数の範囲内としてください。

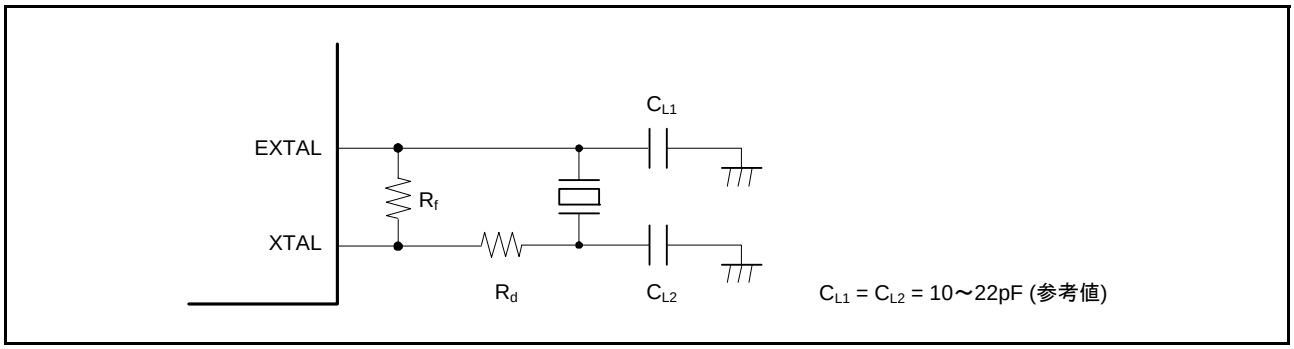


図 9.2　水晶振動子の接続例

表 9.3　ダンピング抵抗（参考値）

周波数（MHz）	4	8	12	16
Rd（Ω）	380	200	0	0

水晶振動子の等価回路を**図 9.3** に示します。水晶振動子は**表 9.4** に示す特性のものを使用してください。

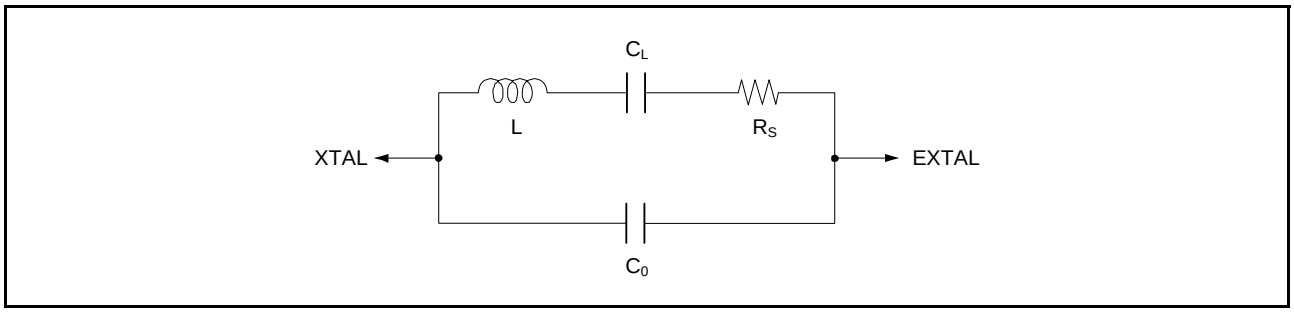


図 9.3　水晶振動子の等価回路

表 9.4　水晶振動子の特性（参考値）

周波数（MHz）	4	8	12	16
R_S max（Ω）	160	80	60	40
C_0 max（pF）	7			

9.3.2　外部クロックを入力する方法

外部クロック入力の接続例を図 9.4 に示します。XTAL 端子をオープンにする場合、寄生容量は 5pF 以下にしてください。

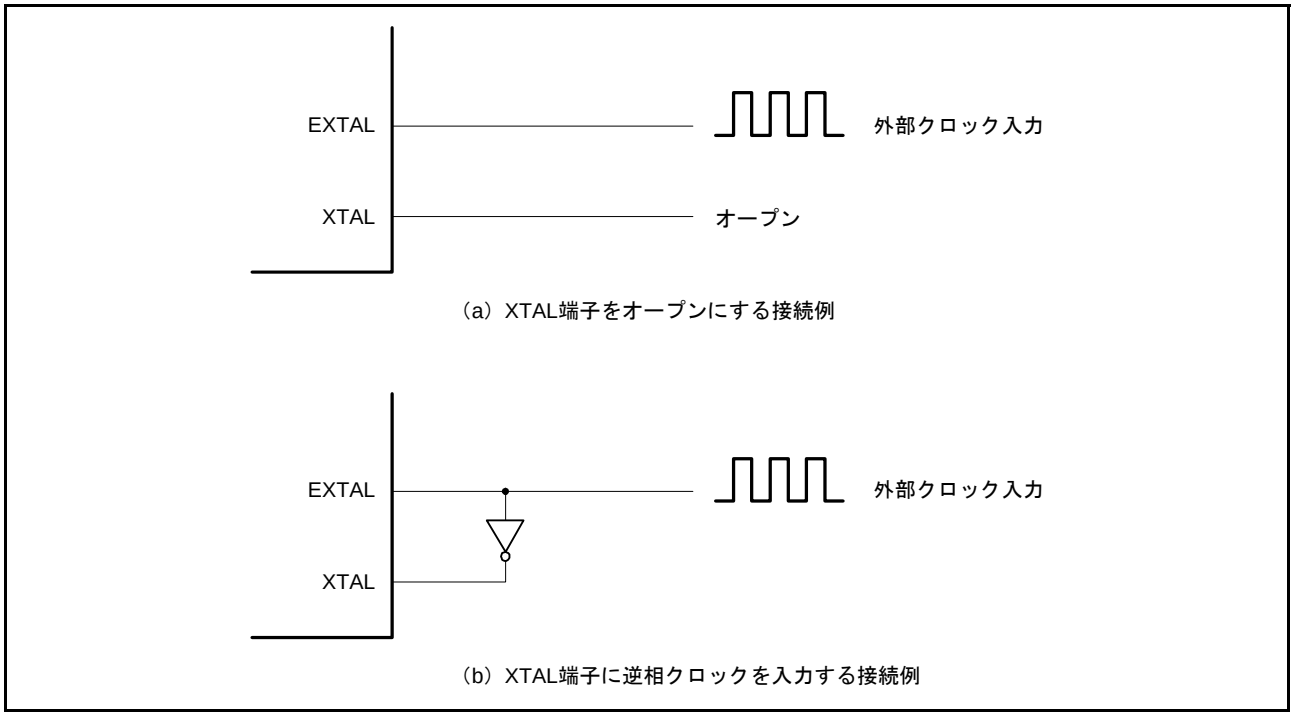


図 9.4　外部クロックの接続例

9.3.3　外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット（MOSCCR.MOSTP）に “0”（メインクロック発振器動作）、メインクロック発振器強制発振ビット（MOFCR.MOFXIN）に “1”（メインクロック発振器を強制発振）が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4　サブクロック発振器

サブクロック発振器へクロックを供給する方法には、水晶振動子を接続する方法があります。

9.4.1　32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、**図 9.5** に示すように 32.768kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗（Rd）を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカの推奨する値に設定してください。また、発振子メーカから外部に帰還抵抗（Rf）を追加するよう指示があった場合は、その指示に従って XCIN、XCOUT 間に Rf を挿入してください。発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のサブクロック発振器の発振子周波数の範囲内としてください。

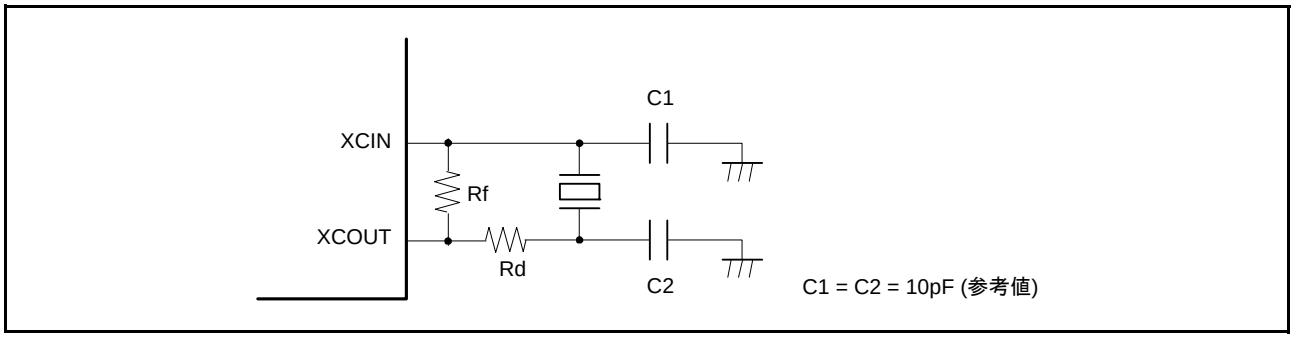


図 9.5　32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を**図 9.6** に示します。水晶振動子は**表 9.5** に示す特性のものを使用してください。

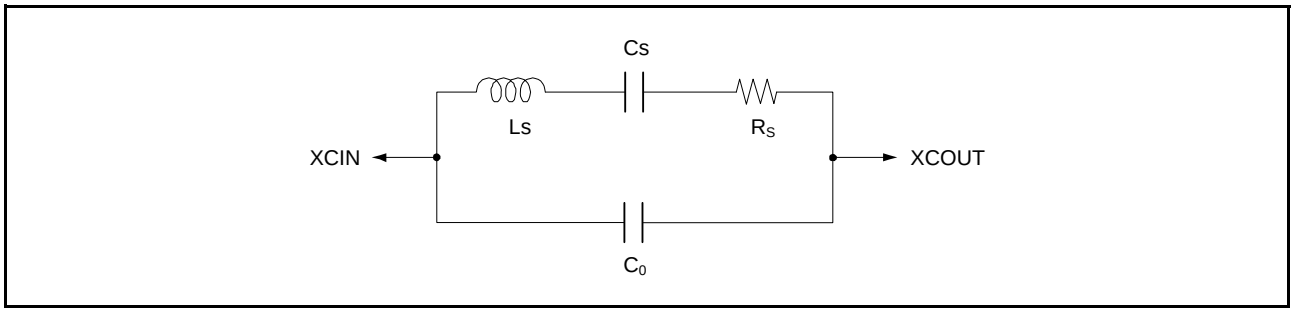


図 9.6　水晶振動子の等価回路

表 9.5　水晶振動子の特性（参考値）

周波数（kHz）	32.768（低 CL）	32.768（標準 CL）
R_S max（kΩ）	37	35
C_0 max（pF）	0.9	2.0

RTC コントロールレジスタ 3 のサブクロック発振器ドライブ能力制御ビット（RCR3.RTCDV[2:0]）を “001b” (低 CL 用ドライブ能力) にした場合、ノイズの影響を受けやすくなります。低 CL 水晶発振子を使用した基板を設計する際は、アプリケーションノート「低 CL サブクロック回路のデザインガイド」（R01AN1187JJ）を参考にノイズ対策を実施してください。

9.4.2　サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合は、図 9.7 に示すように XCIN 端子を抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。

また、サブクロック発振器停止ビット（SOSCCR.SOSTP）を “1”（停止）に、かつ RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）を “0”（サブクロック発振器停止）にしてください。サブクロック制御回路の状態はコールドスタートにて不定となりますので、コールドスタート後に必ずこれらのビットを設定してください。

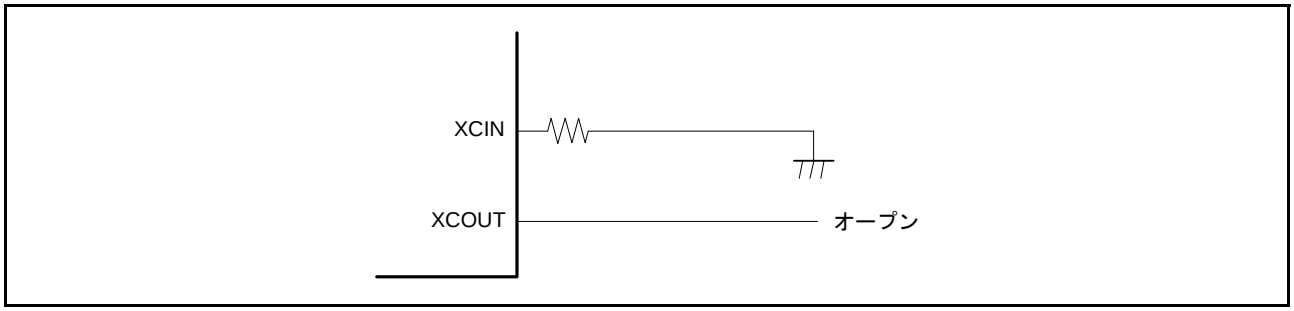


図 9.7　サブクロックを使用しない場合の端子処理

9.5　発振停止検出機能

9.5.1　発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU の出力を強制的にハイインピーダンスとすることも可能です。詳細は、**「23.　マルチファンクションタイマパルスユニット 2（MTU2a）」**、**「24.　ポートアウトプットイネーブル 2（POE2a）」**を参照してください。

RX63N グループ、RX631 グループは、メインクロック発振器の異常などによって入力クロックが一定期間 “0” または “1” となった場合に（**「表 51.33　発振停止検出回路特性」**参照）、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット（SCKCR3.CKSEL[2:0]）で選択されるメインクロックと PLL クロックが、それぞれ前段のセレクタにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックまたは PLL クロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

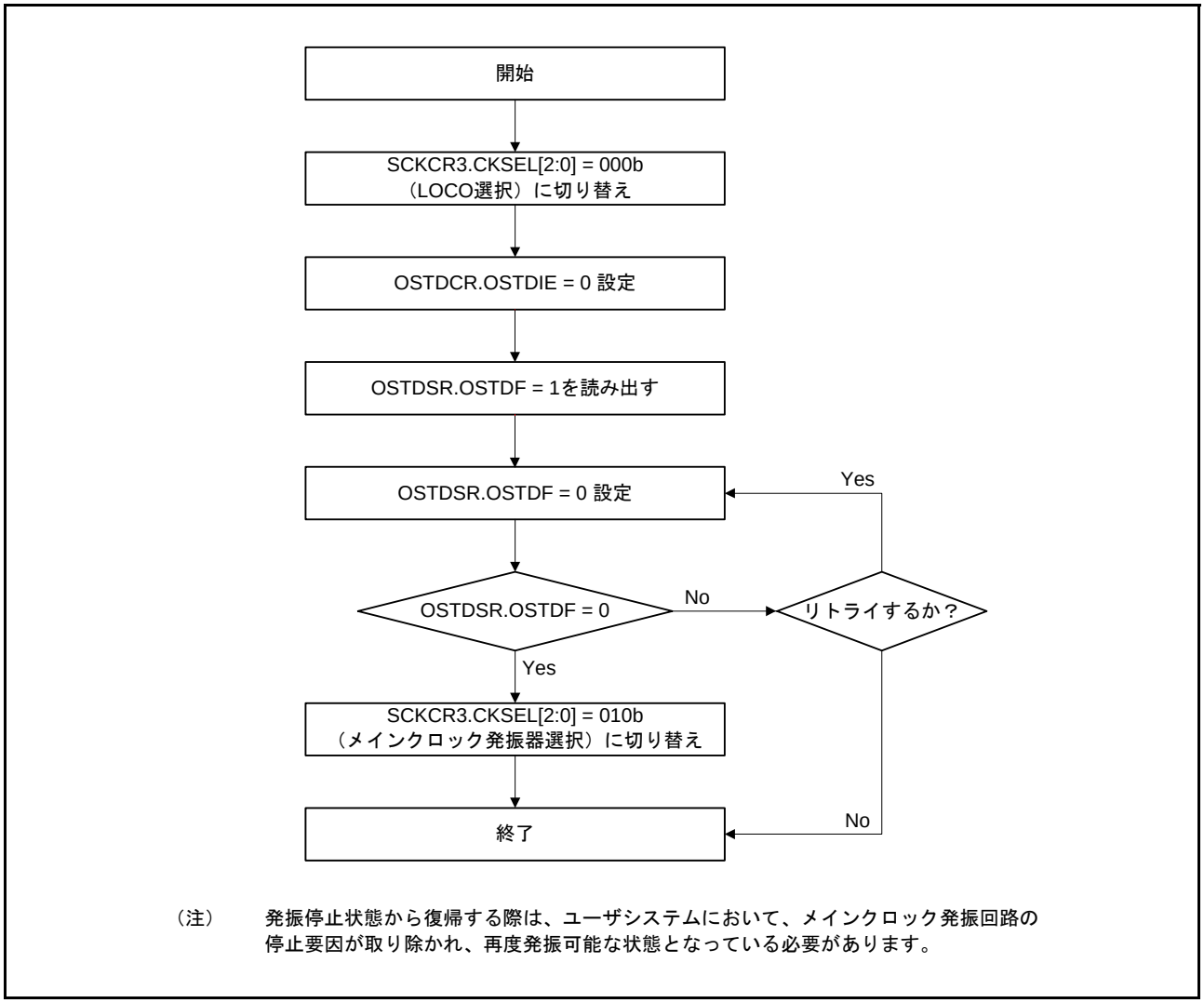
メインクロックと LOCO クロックの切り替え、および PLL クロックと LOCO クロックの切り替えは、それぞれ発振停止検出フラグ（OSTDSR.OSTDF）によって制御されます。OSTDF フラグが “1” になると LOCO クロックへ切り替わり、OSTDF フラグを “0” にするとメインクロックあるいは PLL クロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを “0” にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを “0” にしてください。その後、OSTDF フラグが “1” になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット（OSTDCR.OSTDE）への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能を無効にしてください。

発振停止検出によって LOCO クロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLL クロック、および CAN クロック（CANMCLK）です。RTC 専用メインクロック（RTCMCLK）として供給されるメインクロックの切り替えは行いません。

LOCO クロック動作時のシステムクロック（ICLK）の周波数については、LOCO 発振周波数とシステムクロック選択ビット（SCKCR.ICK[3:0]）の分周比の設定で決まります。



（注）　発振停止状態から復帰する際は、ユーザシステムにおいて、メインクロック発振回路の停止要因が取り除かれ、再度発振可能な状態となっている必要があります。

図 9.8　発振停止検出からの復帰のフローチャート例

9.5.2　発振停止検出割り込み

発振停止検出割り込み許可ビット（OSTDCR.OSTDIE）が “1”（発振停止検出割り込みを許可）のとき、発振停止検出フラグ（OSTDSR.OSTDF）が “1” になると発振停止検出割り込み（OSTDI）要求が発生します。また、このときポートアウトプットイネーブル 2（POE）へメインクロック発振器の停止を通知します。POE は、発振停止の通知を受けて入力レベルコントロール / ステータスレジスタ 3 の OSTST ハイインピーダンスフラグ（ICSR3.OSTSTF）を “1” にします。この ICSR3.OSTSTF フラグは、発振停止を検出後、PCLK で 10 サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット（OSTDCR.OSTDIE）を “0” にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。

9.6 PLL 回路

PLL 回路は、発振器からの周波数を逓倍する機能を持っています。

9.7 内部クロック

内部クロックは、クロックソースとしてメインクロック、サブクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロック、JTAG 用外部クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

(1) CPU、DMAC、DTC、ROM および RAM の動作クロック：システムクロック（ICLK）
(2) ETHERC、EDMAC、DEU モジュール用の動作クロック：周辺モジュールクロック（PCLKA）
(3) ETHERC、EDMAC、DEU 以外の周辺モジュール用の動作クロック：周辺モジュールクロック（PCLKB）
(4) FlashIF の動作クロック：FlashIF クロック（FCLK）
(5) 外部バスコントローラ、外部端子出力クロック：外部バスクロック（BCLK）
(6) 外部バスコントローラ、SDRAM 用の外部端子出力クロック：SDRAM クロック（SDCLK）
(7) USB モジュール用の動作クロック：USB クロック（UCLK）
(8) CAN モジュール用の動作クロック：CAN クロック（CANMCLK）
(9) IEBUS モジュール用の動作クロック：IEBUS クロック（IECLK）
(10) RTC モジュール用の動作クロック：RTC 専用メインクロック（RTCMCLK）
(11) RTC モジュール用の動作クロック：RTC 専用サブクロック（RTCSCLK）
(12) IWDT モジュール用の動作クロック：IWDT 専用クロック（IWDTCLK）
(13) JTAG モジュール用の動作クロック：JTAG クロック（JTAGTCK）

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0] ビット、SCKCR2.UCK[3:0], IEBCK[3:0] ビット、クロックソースを選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.7.1 システムクロック

システムクロック（ICLK）は、CPU、DMAC、DTC、ROM および RAM の動作クロックです。
ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.7.2 周辺モジュールクロック

周辺モジュールクロック（PCLKA）は、ETHERC、EDMAC、DEU モジュール用の動作クロックです。
周辺モジュールクロック（PCLKB）は、ETHERC、EDMAC、DEU 以外の周辺モジュール用の動作クロックです。
PCLKA、PCLKB の周波数は、SCKCR.PCKA[3:0], PCKB[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.7.3 FlashIF クロック

FlashIF クロック（FCLK) は、FlashIF 用の動作クロックであり、ROM、E2 データフラッシュの書き込み / 消去、および E2 データフラッシュ読み出しに使用するクロックです。
FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0]

ビットで設定します。

9.7.4 外部バスクロック

外部バスクロック（BCLK）は、外部バスコントローラの動作クロックです。また、BCLK は外部バス用に BCLK 端子から外部に出力できます。外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません。

SCKCR.PSTOP1 ビットを “0” 、システムコントロールレジスタ 0 の外部バス許可ビット（SYSCR0.EXBE）を “1” にすると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを “1” に変更する場合は、SCKCR.PSTOP1 ビットが “1” の状態で行ってください。

また、BCKCR.BCLKDIV ビットを “1” にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.7.5 SDRAM クロック

SDRAM クロック（SDCLK）は、外部バスコントローラの動作クロックです。また、SDCLK は外部バスに接続する SDRAM 用に SDCLK 端子から外部に出力できます。

SCKCR.PSTOP0 ビットを “0” 、外部バス制御レジスタ 1（PFBCR1）の SDCLK 許可ビット（SDCLKE）を “1”（SDCLK 出力有効）にすると、SDCLK を SDCLK 端子から出力することができます。PFBCR1.SDCLKE ビットの値を変更する場合は、SCKCR.PSTOP0 ビットが “1” の状態で行ってください。

SDCLK の周波数は、SCKCR.BCK[3:0] ビットにより設定します。

SDCLK は、システムクロック（ICLK）より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK と同じ周波数となります。

9.7.6 USB クロック

USB クロック（UCLK）は、USB モジュール用の動作クロックです。

UCLK の周波数は、SCKCR2.UCK[3:0] 、SCKCR3.CKSEL[2:0]、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

USB モジュールへは 48MHz のクロックを供給する必要があります。USB モジュールを使用する場合は UCLK が 48MHz となるようにしてください。

9.7.7 CAN クロック

CAN クロック（CANMCLK）は、CAN モジュール用の動作クロックです。

CANMCLK は、メインクロック発振器で生成されたクロックです。

9.7.8 IEBUS クロック

IEBUS クロック（IECLK）は、IEBUS モジュール用の動作クロックです。

IECLK の周波数は、SCKCR2.IEBCK[3:0]、SCKCR3.CKSEL[2:0]、PLLCR.STC[5:0], PLIDIV[1:0] ビットで設定します。

9.7.9 RTC 専用クロック

RTC 専用クロック（RTCSCLK、RTCMCLK）は、RTC モジュールの動作クロックです。

RTCSCLK はサブクロック発振器で生成されたクロック、RTCMCLK はメインクロック発振器で生成されたクロックです。

9.7.10 IWDT 専用クロック

IWDT 専用クロック（IWDTCLK）は、IWDT モジュールの動作クロックです。
IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7.11 JTAG 用クロック

JTAG 用クロック（JTAGTCK）は、JTAG 用の動作クロックです。
JTAGTCK は、JTAG 用外部クロック（TCK) から生成されたクロックです。

9.8 発振子を接続する場合の端子設定

(1) メインクロック

P36、P37 を入力端子に設定し、メインクロック発振器停止ビット（MOSCCR.MOSTP）を “0”（動作）にするか、メインクロック発振器強制発振ビット（MOFCR.MOFXIN）を “1”（強制発振）にしてください。

(2) サブクロック

サブクロック発振器停止ビット（SOSCCR.SOSTP）を “0”（動作）にするか、サブクロック発振器制御ビット（RCR3.RTCEN）を “1”（動作）にしてください。

9.9 外部クロックを使用する場合の端子設定

(1) メインクロック

P36、P37 を入力端子に設定し、メインクロック発振器停止ビット（MOSCCR.MOSTP）を “0”（動作）にするか、メインクロック発振器強制発振ビット（MOFCR.MOFXIN）を “1”（強制発振）にしてください。

9.10　使用上の注意事項

9.10.1　クロック発生回路に関する注意事項

(1) SCKCR レジスタで、各モジュールに供給されるシステムクロック（ICLK）、周辺モジュールクロック（PCLKA、PCLKB）、FlashIF クロック（FCLK）、外部バスクロック（BCLK）、SDRAM クロック（SDCLK）の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電気的特性の AC タイミングのクロックサイクル時間 tcyc の動作保証範囲内に収まるように選択してください。
周波数は**表 9.1** の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA、PCLKB を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。

(2) システムクロック（ICLK）と外部バスクロック（BCLK）との間には以下の周波数関係が必要です。
ICLK ≧ BCLK の周波数関係

(3) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。

(4) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

9.10.2　発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.10.3　ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。**図 9.9** に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

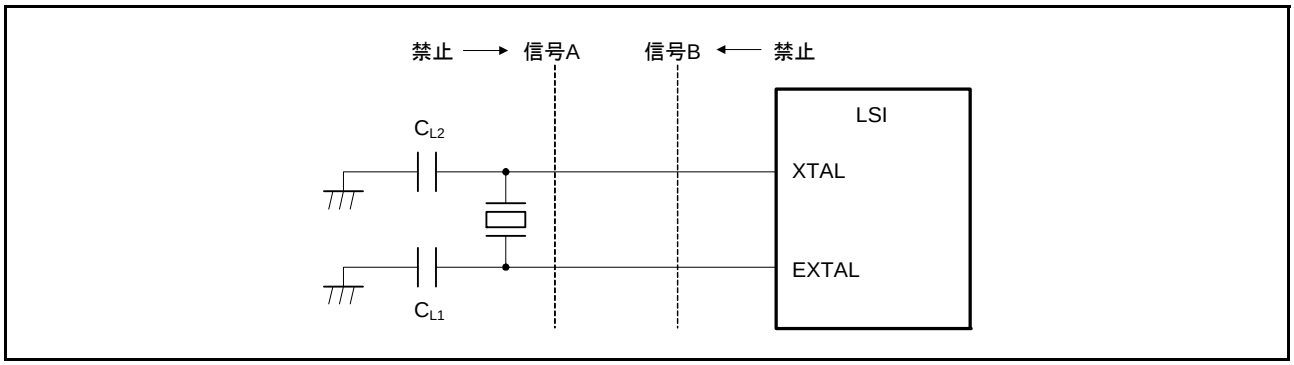


図 9.9　発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

9.10.4　発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定（MOSCCR.MOSTP ビットを “1”、かつ MOFCR.MOFXIN ビットを “0”）で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子（P36）、XTAL 端子（P37）を出力ポートとして使用しないでください。ポート設定に関連するレジスタの設定値は**「表 22.45　レジスタの設定」**を参照してください。また、以下の機能を使用する場合、メインクロックが必要となるので、両端子をメインクロックとして使用できるようボード設計を行ってください。

- ブートモードあるいは USB ブートモードでのフラッシュ書き換え（注 1）

注 1.　**各モードにおける発振子の条件は「 47.12　使用上の注意事項 (ROM / E2 データフラッシュ共通) (10)」を参照してください。**

9.10.5　サブクロック発振器に関する注意事項

サブクロックは、システムクロックとして使用される場合、リアルタイムクロックのカウントソースとして使用される場合、およびその両方に使用される場合があります。そのため、サブクロックを使用しない場合も含めて、設定に関して以下のような注意および制限があります。

- サブクロックの動作 / 停止は、サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット（SOSCCR.SOSTP）および RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）で制御され、いずれかのビットが動作に設定されているとサブクロックは動作状態となります。
- サブクロックをシステムクロックとして使用する場合は、SOSCCR.SOSTP ビットで設定を行い、リアルタイムクロックのカウントソースとして使用する場合は、SOSCCR.SOSTP ビットと RCR3.RTCEN ビットの両方を設定してください。また、リアルタイムクロックのカウントソースとして使用する場合には、初期設定として以下を実行した後、**「29.3.2　クロック設定手順」**に記載されたクロック設定手順に従って設定を行ってください。

【初期設定手順】

① SOSCCR.SOSTP ビットに “0” を設定
②サブクロックの発振安定待機時間（注 1）の経過待ち
③ SOSCCR.SOSTP ビットが “0” に書き変わっていることを確認し、RCR3.RTCEN ビットに “1” を設定
④ RCR3.RTCEN ビットが “1” に書き変わっていること確認し、SOSCCR.SOSTP ビットに “1” を設定
⑤ SOSCWTCR.SSTS[4:0] ビットに “00000b” を設定
⑥サブクロックで 5 サイクル以上の時間が経過するのを待つ
⑦ SOSCCR.SOSTP ビットに “0” を設定
⑧サブクロックで 2 サイクル以上の時間が経過するのを待つ
⑨ SOSCCR.SOSTP ビットが書き変わっていることを確認し、RCR3.RTCEN ビットに “0” を設定

注 1.　**サブクロックの発振安定待機時間については「11.2.9　サブクロック発振器ウェイトコントロールレジスタ（SOSCWTCR）」を参照してください。**

- サブクロックをシステムクロックとして使用する場合、RCR3.RTCEN ビットが “1” であり、既にサブクロックが発振している状態であっても、SOSCCR.SOSTP ビットを “1”（停止）から “0”（動作）に変更した後には、サブクロックで 5 サイクル以上の時間を待ってから使用してください。

- コールドスタート後、サブクロック発振器の制御回路の状態は不定ですので、サブクロックを使用しない場合でも、初期化が必要です。制御回路を初期化するには、SOSCCR.SOSTP ビットおよび RCR3.RTCEN ビットの両方を停止側に設定することで行ってください。RCR3.RTCEN ビットについては、「29.2.19　RTC コントロールレジスタ 3（RCR3）」を参照してください。
  48 ピンパッケージ製品にはサブクロック発振器の端子はありませんが、その他の製品と同様にサブクロック制御回路を初期化してください。
- サブクロック発振器を動作させる場合、RCR3.RTCDV[2:0] ビットの設定も必要です。必ず “110b” に設定してください。また、RCR3.RTCDV[2:0] ビットの設定は、サブクロック発振器停止中に行ってください。動作中の書き換えは禁止です。
- SOSCCR.SOSTP ビットの書き換え後、RCR3.RTCEN ビットの書き換えを行う場合、またはその逆を行う場合、先に書き換えを行った方のビットが書き換わっていることを確認してから、後のビットの書き換えを行ってください。

9.10.6　低 CL 水晶発振子の使用に関する注意事項

RTC コントロールレジスタ 3 のサブクロック発振器ドライブ能力制御ビット（RCR3.RTCDV[2:0]）を “001b” (低 CL 用ドライブ能力) にした場合、ノイズの影響を受けやすくなります。特に、XCIN 端子や XCOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。低 CL 水晶発振子を使用した基板を作成する際には、アプリケーションノート「低 CL サブクロック回路のデザインガイド」（R01AN1187JJ）を参考に、ノイズ対策を実施してください。

発振精度に与える影響が大きい例を以下に示します。

(a)　FINED端子にオンチップデバッギングエミュレータを接続する場合
FINED端子（FINEインタフェース端子）は、XCIN端子、XCOUT端子の近傍に存在するため、この端子を使用してデバッグを行うと、サブクロック発振器の発振精度に影響します。FINED端子を使用してデバッグを行う際は、低CL水晶発振子はそのままで、RCR3.RTCDV[2:0]ビットに“110b”（標準CL用ドライブ能力）を設定してください。ただし、この対策は、発振子の信頼性に影響を与える可能性があるため、オンチップデバッギングエミュレータを使用するときのみ実施し、量産プログラムでは“001b”（低CL用ドライブ能力）に戻してください。なお、JTAG端子（TCK端子、TRST端子、TMS端子、TDI端子、TDO端子）にエミュレータを接続する場合は影響ありません。

(b)　メインクロック発振器に外部クロックを供給する場合
EXTAL端子に外部クロックを入力すると、サブクロック発振器の発振精度に影響を与える可能性があります。さらに、XTAL端子に反転した外部クロックを入力すると、より影響が大きくなります。

9.10.7　48 ピンパッケージ製品に関する注意事項

48 ピンパッケージ製品はサブクロックおよび RTC を使用できません。このため、サブクロック発振器停止ビット（SOSCCR.SOSTP）を “1”（停止）に、かつ RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）を “0”（停止）に設定してください。
サブクロック制御回路の状態はコールドスタートにて不定となりますので、コールドスタート後に必ずこれらのビットを設定してください。

10. 周波数測定機能（MCK）

内蔵するMTU（系統１）またはTPUユニット0（系統２）と、それぞれのカウントクロック拡張回路を使って、メインクロック、サブクロック、LOCO（システム用）、PLL、およびHOCOの周波数異常を監視する機能です。

10.1 概要

表 10.1 に周波数測定機能の仕様を、**図** 10.1 にブロック図（系統１）を、**図** 10.2 にブロック図（系統２）を、**図** 10.3 にソフトウェア構成を示します。

表10.1　周波数測定機能の仕様

項目			内容
監視対象クロック			メインクロック、サブクロック、LOCO（システム用）、PLL、HOCO（注1）
機能の構成			• MTUのチャネル0（MTU0）、チャネル1（MTU1）、カウントクロック拡張回路1（系統1） • TPUユニット0のチャネル0（TPU0）、チャネル1（TPU1）、カウントクロック拡張回路2（系統2）
設定	カウントクロック拡張レジスタn (n=1,2)		メインクロック、サブクロック、LOCOの中から監視対象クロックを選択（注2）
	MTU0/ TPU0	タイマモード	通常動作（コンペアマッチ）
		カウントクロック	MTCLKD/TCLKD外部端子入力（カウントクロック拡張レジスタnで選択されたクロック）(n=1,2)
		コンペアマッチ	コンペアマッチA、出力禁止
		カウンタクリア	コンペアマッチAでクリア
		割り込み	使用しない
	MTU1/ TPU1	タイマモード	通常動作（インプットキャプチャ）
		カウントクロック	PCLK
		インプットキャプチャ	チャネル0のコンペアマッチAでインプットキャプチャA
		カウンタクリア	インプットキャプチャAでクリア
		割り込み	インプットキャプチャA（TGI1A）
MTCLKD/TCLKD外部端子入力信号（カウントクロック拡張回路nの出力信号）の最小パルス幅(n=1,2)			• 単エッジ指定：tTCKWH最小周期 = 1.5 × (1/PCLK) tPcyc • 両エッジ指定：tTCKWL最小周期 = 2.5 × (1/PCLK) tPcyc （tTCKWH、tTCKWL：タイマクロックパルス幅、tPcyc：PCLKの周期）
消費電力低減機能			モジュールストップ状態の設定が可能
その他			系統1と系統2はそれぞれ独立動作が可能

注1.　PLLとHOCOを監視対象クロックにできるのは、それらがシステムクロック（PCLKのクロックソース）のときです。
注2.　PLLが監視対象のときは、カウントクロック拡張レジスタn(n=1,2)で選択するクロックは、メインクロック以外のクロックにします。

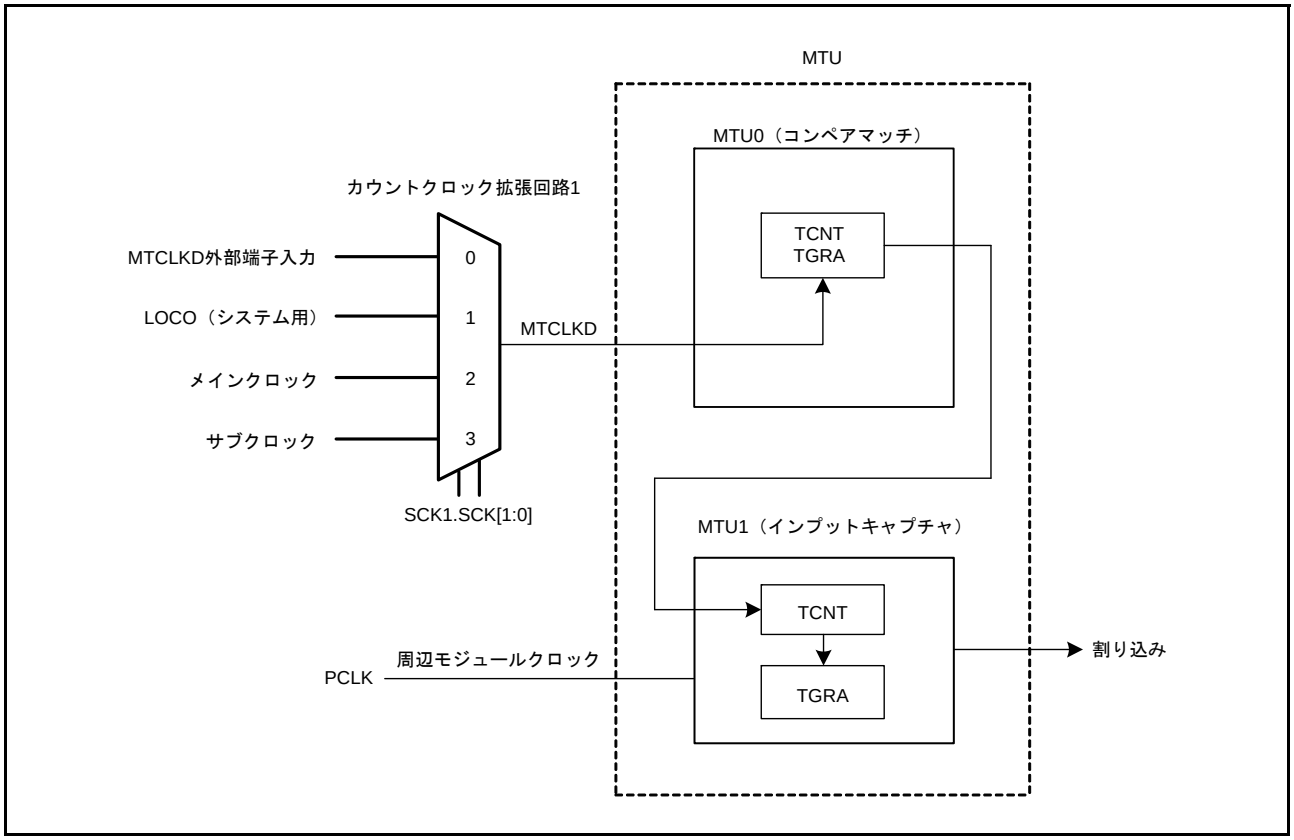


図 10.1　MTU を使用した周波数測定機能のブロック図（系統 1）

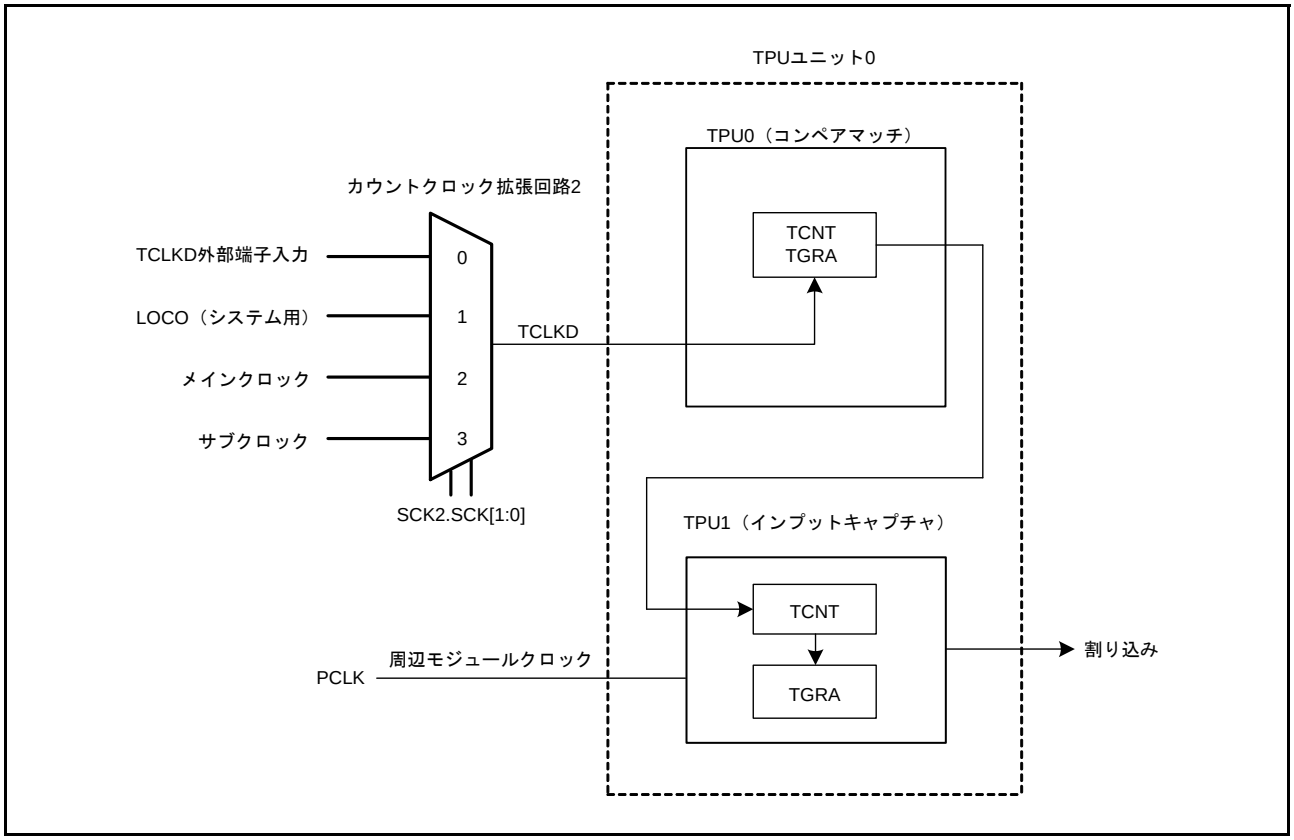
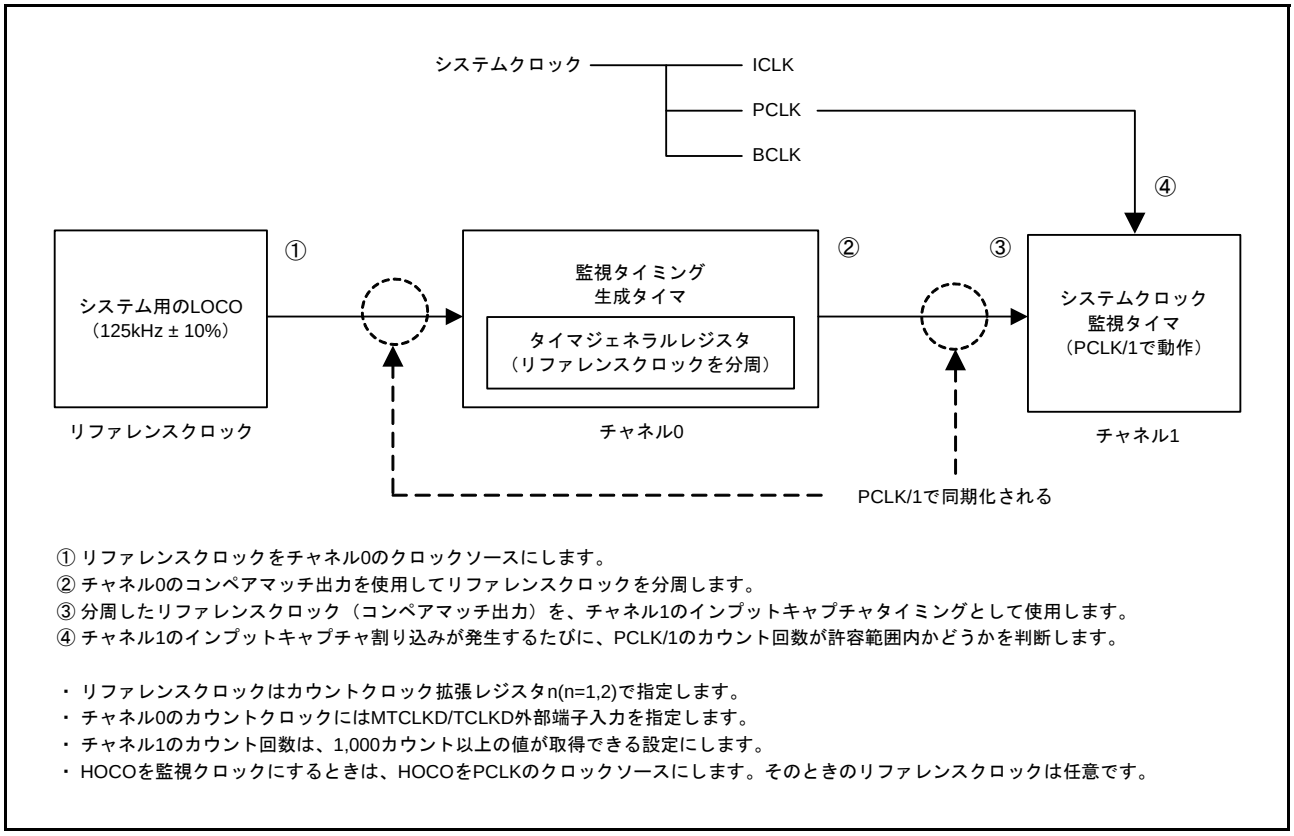


図 10.2　TPU ユニット 0 を使用した周波数測定機能のブロック図（系統 2）



① リファレンスクロックをチャネル0のクロックソースにします。
② チャネル0のコンペアマッチ出力を使用してリファレンスクロックを分周します。
③ 分周したリファレンスクロック（コンペアマッチ出力）を、チャネル1のインプットキャプチャタイミングとして使用します。
④ チャネル1のインプットキャプチャ割り込みが発生するたびに、PCLK/1のカウント回数が許容範囲内かどうかを判断します。

・ リファレンスクロックはカウントクロック拡張レジスタn(n=1,2)で指定します。
・ チャネル0のカウントクロックにはMTCLKD/TCLKD外部端子入力を指定します。
・ チャネル1のカウント回数は、1,000カウント以上の値が取得できる設定にします。
・ HOCOを監視クロックにするときは、HOCOをPCLKのクロックソースにします。そのときのリファレンスクロックは任意です。

図 10.3　　ソフトウェアの構成

10.2　レジスタの説明

10.2.1　カウントクロック拡張レジスタ n（SCKn）(n=1、2)

アドレス　SCK1 0008 C880h、SCK2 0008 C890h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SCK[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SCK[1:0]	基準クロック選択ビット	b1 b0 0 0：MTCLKD/TCLKD外部端子入力（注1） 0 1：LOCO 1 0：メインクロック 1 1：サブクロック	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCK1レジスタはMTCLKD外部端子入力、SCK2レジスタはTCLKD外部端子入力となります。

SCK1 レジスタは、MTU のチャネル 0（MTU0）のカウンタのカウントクロックを、基準クロックのうちから選択するためのレジスタです。

SCK2 レジスタは、TPU ユニット 0 のチャネル 0（TPU0）のカウンタのカウントクロックを選択するためのレジスタです。

SCKn レジスタの設定と合わせて、チャネル 0 のカウンタのカウントクロックに MTCLKD/TCLKD 外部端子入力を選択してください。MTCLKD/TCLKD 外部端子入力を選択することで、SCKn レジスタで選択したクロックがチャネル 0 のカウントクロックになります。

チャネル 0 以外のチャネルでも、そのカウンタのカウントクロックに MTCLKD/TCLKD 外部端子入力を選択すると、そのチャネルのカウントクロックも SCKn レジスタで選択した信号になります。

10.3 動作説明

図 10.4 に周波数測定機能の動作設定フローを示します。図 10.5 に MTU/TPU の動作例を示します。

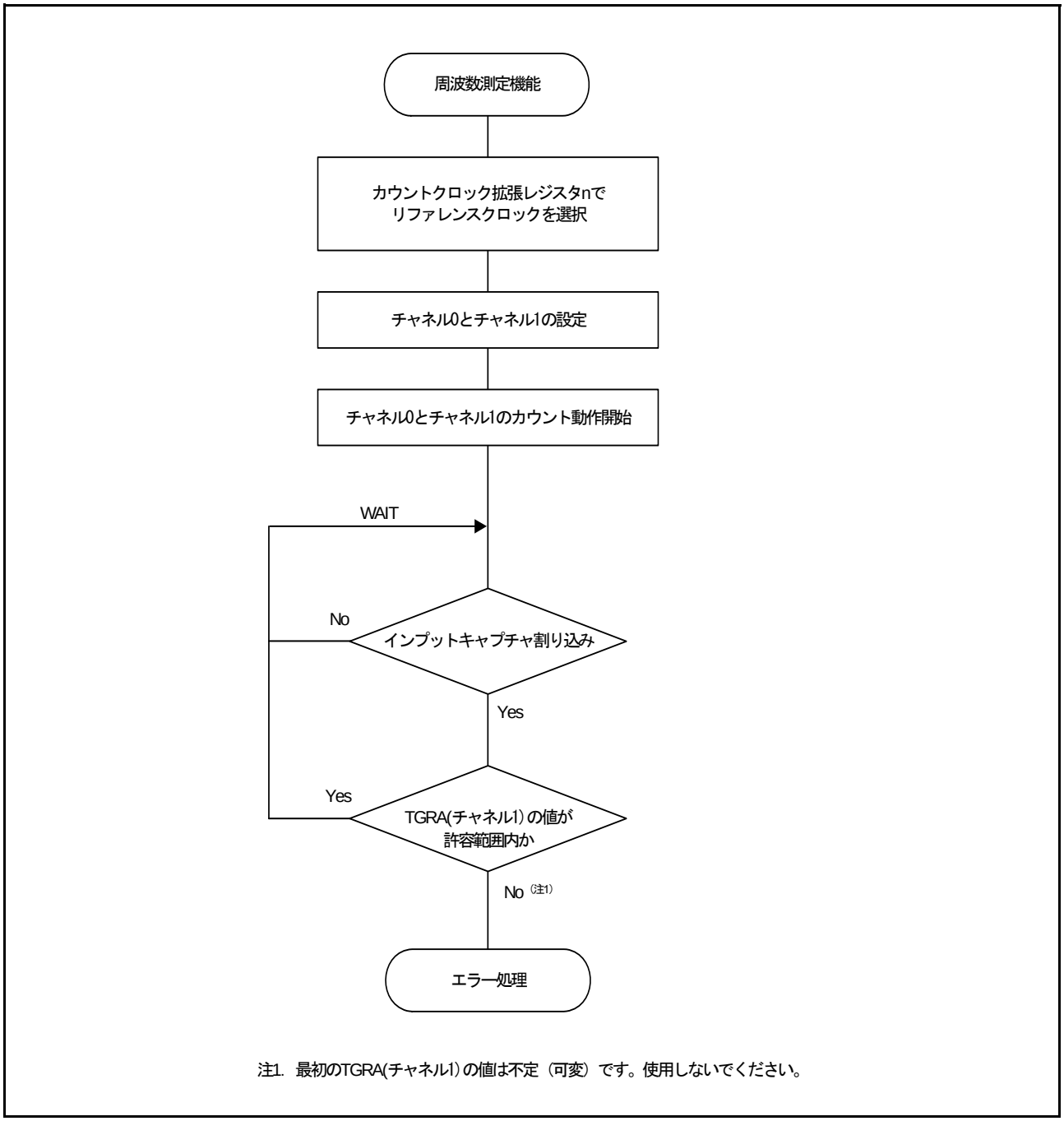
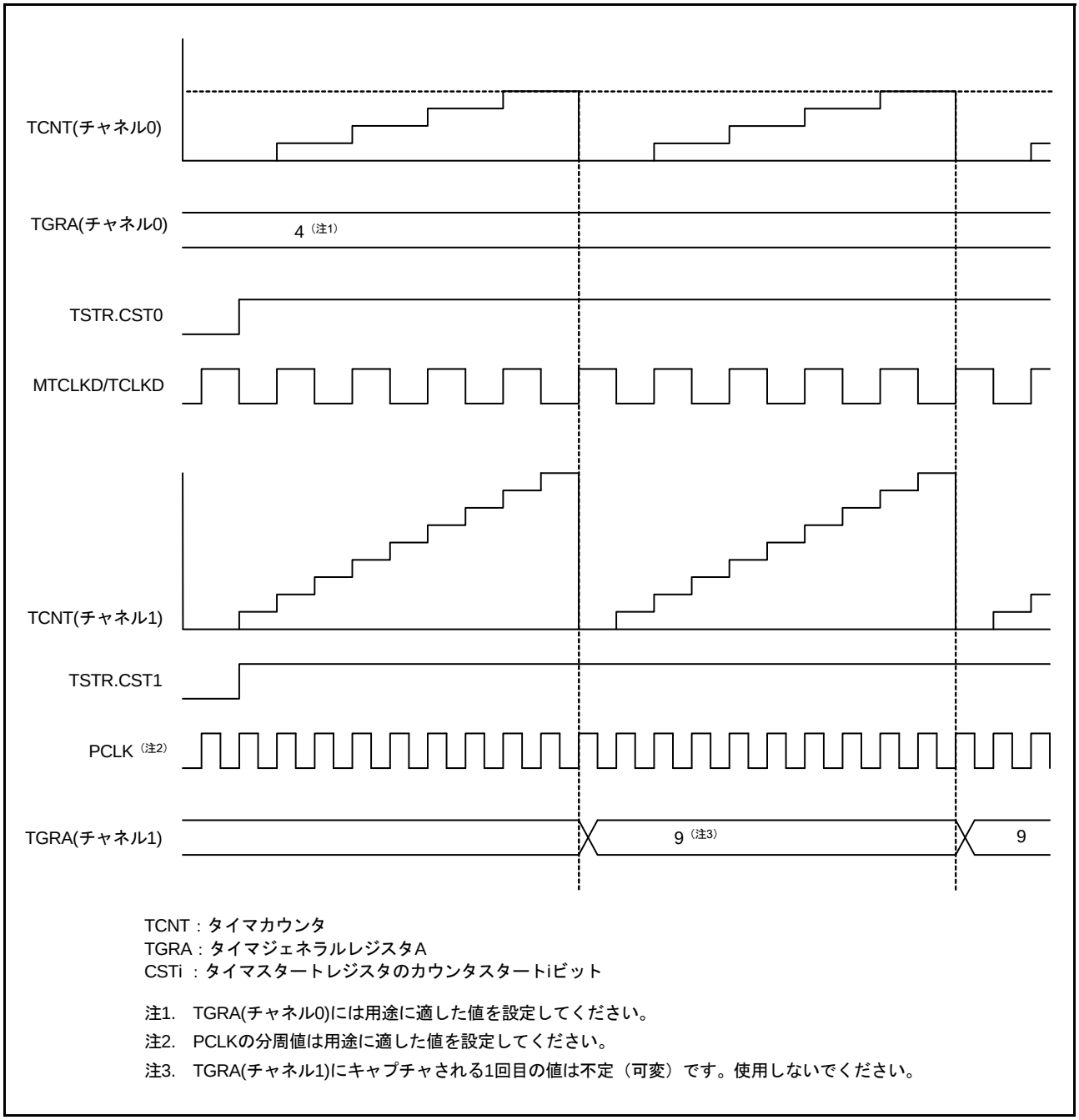


図 10.4　周波数測定機能の動作フロー



TCNT：タイマカウンタ
TGRA：タイマジェネラルレジスタA
CSTi ：タイマスタートレジスタのカウンタスタートiビット

注1.　TGRA(チャネル0)には用途に適した値を設定してください。
注2.　PCLKの分周値は用途に適した値を設定してください。
注3.　TGRA(チャネル1)にキャプチャされる1回目の値は不定（可変）です。使用しないでください。

図 10.5　MTU/TPU の動作例

10.4　使用上の注意事項

10.4.1　モジュールストップコントロールレジスタの設定

モジュールストップコントロールレジスタによって、モジュールストップ状態への遷移 / 解除を行うことができます。周波数測定機能を実現する各モジュールの初期状態はモジュールストップ状態です。モジュールストップ状態を解除することによって周波数測定機能の動作が可能になります。解除方法は以下のとおりです。

モジュールストップコントロールレジスタ A のマルチファンクションタイマパルスユニット 2 モジュールストップ設定ビット（MSTPCRA.MSTPA9）を “0”（モジュールストップ状態の解除）にすることによって、MTU とカウントクロック拡張回路 1 のレジスタアクセスが可能になります。

モジュールストップコントロールレジスタ A の 16 ビットタイマパルスユニット 0（ユニット 0）モジュールストップ設定ビット（MSTPCRA.MSTPA13）を “0”（モジュールストップ状態の解除）にすることによって、TPU ユニット 0 とカウントクロック拡張回路 2 のレジスタアクセスが可能になります。

モジュールストップコントロールレジスタ C の周波数測定機能モジュールストップ設定ビット（MSTPCRC.MSTPC19）を “0”（モジュールストップ状態の解除）にすることによって、カウントクロック拡張回路 1 とカウントクロック拡張回路 2 へのリファレンスクロック入力が可能になります。

モジュールストップコントロールレジスタの詳細は、**「11.　消費電力低減機能」**を参照してください。

11. 消費電力低減機能

11.1 概要

RX63N グループ、RX631 グループには、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、SDCLK 出力制御機能、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、**表 11.2** に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1　消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック（ICLK）、周辺モジュールクロック（PCLKA、PCLKB）、外部バスクロック（BCLK）、フラッシュインタフェースクロック（FCLK）に対し、個別に分周比を設定することが可能（注1）
BCLK出力制御機能	BCLK出力またはHigh出力の選択が可能（注1）
SDCLK出力制御機能	SDCLK出力またはHigh出力の選択が可能（注1）
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	• CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	• スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード
動作電力低減機能	• 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 • 動作電力制御状態：3種類 高速動作モード 低速動作モード1 低速動作モード2

注1.　詳細は「9. クロック発生回路」を参照してください。

表11.2　各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ＋命令	制御レジスタ＋命令	制御レジスタ＋命令	制御レジスタ＋命令
リセット以外の解除方法	割り込み	割り込み（注1）	割り込み（注2）	割り込み（注3）
解除後の状態（注4）	プログラム実行状態（割り込み処理）	プログラム実行状態（割り込み処理）	プログラム実行状態（割り込み処理）	プログラム実行状態（リセット処理）
メインクロック発振器	動作可能	動作可能	動作可能（注5）	動作可能（注5）
サブクロック発振器	動作可能	動作可能	動作可能（注6）	動作可能（注6）
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能（注7）	動作可能（注7）	動作可能（注7）	停止（不定）（注7）
PLL	動作可能	動作可能	停止	停止
CPU	停止（保持）	停止（保持）	停止（保持）	停止（不定）
RAM3（0003 0000h～0003 FFFFh）	動作可能（保持）	停止（保持）	停止（保持）	停止（不定）
RAM2（0002 0000h～0002 FFFFh）	動作可能（保持）	停止（保持）	停止（保持）	停止（不定）
RAM1（0001 0000h～0001 FFFFh）	動作可能（保持）	停止（保持）	停止（保持）	停止（不定）
RAM0（0000 0000h～0000 FFFFh）	動作可能（保持）	停止（保持）	停止（保持）	停止（保持/不定）（注8）
フラッシュメモリ	動作	停止（保持）	停止（保持）	停止（保持）
USB2.0ホスト/ファンクションモジュール（USB）	動作可能	停止（注9）	停止（注9）	停止（保持/不定）（注10）
ウォッチドッグタイマ（WDT）	停止（保持）	停止（保持）	停止（保持）	停止（不定）
独立ウォッチドッグタイマ（IWDT）	動作可能（注7）	動作可能（注7）	動作可能（注7）	停止（不定）（注7）
リアルタイムクロック（RTC）	動作可能	動作可能	動作可能	動作可能
8ビットタイマ（ユニット0、1）（TMR）	動作可能	動作可能（注11）	停止（保持）	停止（不定）
電圧検出回路（LVD）	動作可能	動作可能	動作可能	動作可能（注12、注13）
パワーオンリセット回路	動作	動作	動作	動作（注13）
周辺モジュール	動作可能	停止（保持）	停止（保持）	停止（不定）
I/Oポート	動作	保持（注14）	保持（注15）	保持（注15）

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。
停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。
停止（不定）は、内部レジスタ値不定、内部状態は電源オフを示します。

注1.　外部端子割り込み（NMI、IRQ0～IRQ15）、周辺機能割り込み（8ビットタイマ、RTCアラーム、RTC周期、IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2、発振停止検出）。
注2.　外部端子割り込み（NMI、IRQ0～IRQ15）、周辺機能割り込み（RTCアラーム、RTC周期、IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2）
注3.　外部端子割り込み発生元となる一部の端子（NMI、IRQ0-DS～IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS）、周辺機能割り込み（RTCアラーム、RTC周期、USBサスペンド/レジューム、電圧監視1、電圧監視2）。ただし、ディープスタンバイインタラプトイネーブルレジスタi（DPSIERi）(i=0～3)の当該ビットが“1”のときのみ有効。端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。
注4.　RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
注5.　メインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット（MOFCR.MOFXIN）の設定によって、動作/停止が選択できます。
注6.　RTCコントロールレジスタ3のサブクロック発振器制御ビット（RCR3.RTCEN）の設定によって、動作/停止が選択できます。
注7.　IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット

（OFS0.IWDTSLCSTP）の設定により、動作/停止を選択することができます。OFS0.IWDTSLCSTPビットが“0”（低消費電力モード移行時カウント継続）に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット（IWDTCSTPR.SLCSTP）の設定により、動作/停止を選択することができます。IWDTCSTPR.SLCSTPビットが“0”（低消費電力モード遷移時カウント継続）に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注8. ディープスタンバイコントロールレジスタのディープカットビット（DPSBYCR.DEEPCUT[1:0]）の設定によって、保持/不定を選択することができます。

注9. レジューム検出は可能です。

注10. USBレジューム検出機能の有効/無効をディープスタンバイコントロールレジスタのディープカットビット（DPSBYCR.DEEPCUT[1:0]）によって制御できます。USBレジューム検出機能を有効すると、ディープソフトウェアスタンバイモードにおいてもUSBレジューム検出部のレジスタのみ値を保持します。

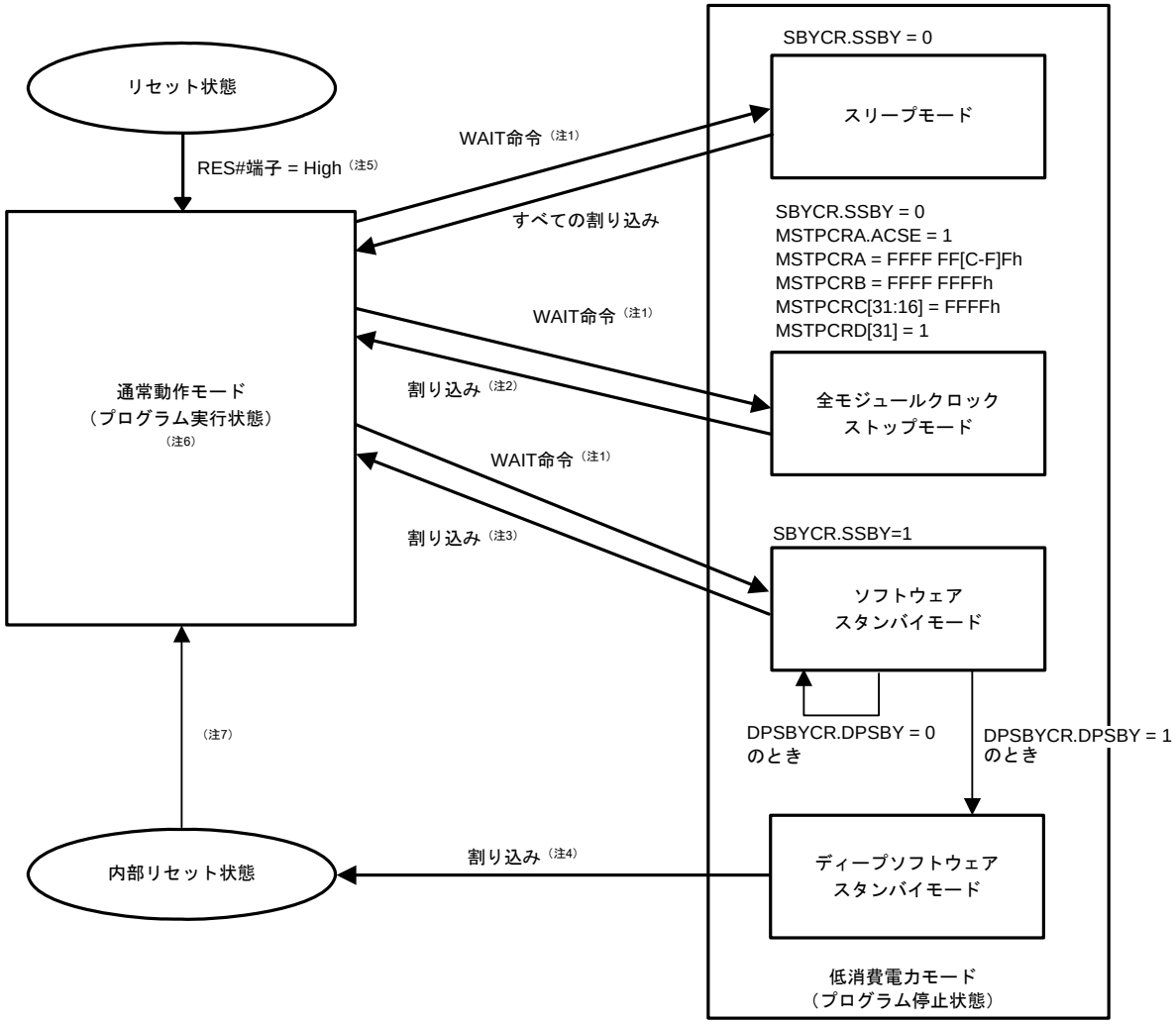
注11. モジュールストップコントロールレジスタAの8ビットタイマ1、0（ユニット0）モジュールストップ設定ビット（MSTPCRA.MSTPA5）、8ビットタイマ3、2（ユニット1）モジュールストップ設定ビット（MSTPCRA.MSTPA4）の設定によって、動作/停止を選択することができます。

注12. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット（LVD1CR0.LVD1RI）が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット（LVD2CR0.LVD2RI）が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注13. ディープスタンバイコントロールレジスタのディープカットビット（DPSBYCR.DEEPCUT[1:0]）が“11b”の設定でディープソフトウェアスタンバイモードに移行した場合、電圧検出回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。

注14. P53をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマ、RTCを動作させている場合、関連する端子は動作を継続します。

注15. スタンバイコントロールレジスタの出力ポートイネーブルビット（SBYCR.OPE）の設定によって、アドレスバス、バス制御信号（CS0#～CS7#、RD#、WR0#～WR3#、WR#、BC0#～BC3#、ALE）の保持/ハイインピーダンスを選択することができます。



注1.　WAIT命令実行後、プログラム停止状態へ移行中に解除要因となる割り込みが受け付けられると、プログラム停止状態へ移行せず、割り込み例外処理を実行します。

注2.　外部端子割り込み（NMI、IRQ0～IRQ15）、周辺機能割り込み（8ビットタイマ、RTCアラーム、RTC周期、IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2、発振停止検出）。ただし、8ビットタイマはモジュールストップコントロールレジスタAの8ビットタイマ1、0（ユニット0）モジュールストップ設定ビット（MSTPCRA.MSTPA5）、8ビットタイマ3、2（ユニット1）モジュールストップ設定ビット（MSTPCRA.MSTPA4）のいずれかが“0”のとき有効。

注3.　外部端子割り込み（NMI、IRQ0～IRQ15）、周辺機能割り込み（RTCアラーム、RTC周期、IWDT、USBサスペンド/レジューム、電圧監視1、電圧監視2）

注4.　外部端子割り込み発生元となる一部の端子（NMI、IRQ0-DS～IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS）、周辺機能割り込み（RTCアラーム、RTC周期、USBサスペンド/レジューム、電圧監視1、電圧監視2）。ただし、ディープスタンバイインタラプトイネーブルレジスタi（DPSIERi）(i=0～3)の当該ビットが“1”のときのみ有効。

注5.　リセット状態からの移行は、通常動作モードのLOCOクロックソースで動作します。

注6.　スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードから割り込みにより通常動作モードへ移行します。その際、スリープモードに関しては復帰後のクロックソースを選択することが可能です。詳細は「11.2.7　スリープモード復帰クロックソース切り替えレジスタ（RSTCKCR）」を参照してください。また、ソフトウェアスタンバイモードに関しては移行前と復帰後で、クロックソースは同じです。

注7.　注4に示された割り込み要因が発生すると内部リセット（ディープソフトウェアスタンバイリセット）が一定時間発生します。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除されます。ディープソフトウェアスタンバイモードが解除されると、通常動作モードに移行し、LOCOクロックをクロックソースとしてリセット例外処理が開始されます。

すべての状態において、RES#端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、およびソフトウェアリセットが発生するとリセット状態に移行します。電圧監視1リセット、電圧監視2リセットは、ディープソフトウェアスタンバイモードの解除には使用できません。

図 11.1　　モード遷移

11.2　レジスタの説明

11.2.1　スタンバイコントロールレジスタ（SBYCR）

アドレス　0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0：ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1：ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1：WAIT命令実行後、ソフトウェアスタンバイモードに移行	R/W

OPE ビット（出力ポート許可ビット）

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号（CS0# ～ CS7#、RD#、WR0# ～ WR3#、WR#、BC0# ～ BC3#、ALE、CKE、SDCS#、RAS#、CAS#、WE#、DQM0 ～ DQM3）の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット（ソフトウェアスタンバイビット）

WAIT 命令実行後の移行先を設定します。

SSBY ビットが “1” の状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに移行したときは、SSBY ビットは “1” のままです。SSBY ビットを “0” にするときは “0” を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット（OSTDCR.OSTDE ）が “1” のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが “ 1 ” のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

11.2.2　モジュールストップコントロールレジスタ A（MSTPCRA）

アドレス　0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA29	MSTPA28	MSTPA27	—	—	MSTPA24	MSTPA23	—	—	—	MSTPA19	—	MSTPA17	—
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA15	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	—	—	—	MSTPA5	MSTPA4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2（ユニット1）モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0（ユニット0）モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット2モジュールストップ設定ビット	対象モジュール：MTU（MTU0～MTU5） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPA10	プログラマブルパルスジェネレータ（ユニット1）モジュールストップ設定ビット	対象モジュール：PPG1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPA11	プログラマブルパルスジェネレータ（ユニット0）モジュールストップ設定ビット	対象モジュール：PPG0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPA12	16ビットタイマパルスユニット1（ユニット1）モジュールストップ設定ビット	対象モジュール：TPUユニット1（TPU6～TPU11） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPA13	16ビットタイマパルスユニット0（ユニット0）モジュールストップ設定ビット	対象モジュール：TPUユニット0（TPU0～TPU5） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPA14	コンペアマッチタイマ（ユニット1）モジュールストップ設定ビット	対象モジュール：CMTユニット1（CMT2、CMT3） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ（ユニット0）モジュールストップ設定ビット	対象モジュール：CMTユニット0（CMT0、CMT1） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータモジュールストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPA23	10ビットA/Dコンバータモジュールストップ設定ビット	対象モジュール：AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPA24	モジュールストップA24設定ビット	読み出し、書き込みともに有効です。全モジュールストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b26- b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b28	MSTPA28	DMAコントローラ/データトランスファコントローラモジュールストップ設定ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	EXDMAコントローラモジュールストップ設定ビット	対象モジュール：EXDMAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE	全モジュールクロックストップモード許可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

ACSE ビット（全モジュールクロックストップモード許可ビット）

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。ACSE ビットを “1” にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「11.6.2　全モジュールクロックストップモード」を参照してください。

8 ビットタイマは、MSTPA5、MSTPA 4 ビットの設定によって、動作 / 停止を選択することができます。

SBYCR.SSBY=0 で、MSTPCRA.ACSE=0 の場合は WAIT 命令実行後、スリープモードに移行します。

11.2.3　モジュールストップコントロールレジスタ B（MSTPCRB）

アドレス　0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	MSTPB24	MSTPB23	MSTPB22	MSTPB21	MSTPB20	MSTPB19	MSTPB18	MSTPB17	MSTPB16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPB15	—	—	—	—	—	—	MSTPB8	—	—	—	MSTPB4	—	MSTPB2	MSTPB1	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0	CANモジュール0モジュールストップ設定ビット（注1）	対象モジュール：CAN0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPB1	CANモジュール1モジュールストップ設定ビット（注1）	対象モジュール：CAN1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPB2	CANモジュール2モジュールストップ設定ビット（注1）	対象モジュール：CAN2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーションインタフェースSCIdモジュールストップ設定ビット	対象モジュール：SCId（SCI12） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b8	MSTPB8	温度センサモジュールストップ設定ビット	対象モジュール：温度センサ 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b9	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	MSTPB15	イーサネットコントローラ用DMA コントローラモジュールストップ設定ビット	対象モジュール：EDMAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPB16	シリアルペリフェラルインタフェース1モジュールストップ設定ビット	対象モジュール：RSPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	MSTPB18	ユニバーサルシリアルバスインタフェース（ポート1）モジュールストップ設定ビット（注2）	対象モジュール：USB1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	ユニバーサルシリアルバスインタフェース（ポート0）モジュールストップ設定ビット（注2）	対象モジュール：USB0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPB20	I²Cバスインタフェース1モジュールストップ設定ビット	対象モジュール：RIIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21	MSTPB21	I²Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	MSTPB22	パラレルデータキャプチャユニットストップ設定ビット	対象モジュール：PDC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPB24	シリアルコミュニケーションインタフェース7モジュールストップ設定ビット	対象モジュール：SCI7 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPB27	シリアルコミュニケーションインタフェース4モジュールストップ設定ビット	対象モジュール：SCI4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPB28	シリアルコミュニケーションインタフェース3モジュールストップ設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタフェース2モジュールストップ設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注1.　MSTPBiビットの書き換えは、MSTPBiビットによって制御するクロックの発振が安定しているときに行なってください。MSTPBiビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後CANクロック（CANCLK）で2サイクル経過した後、WAIT命令を実行してください。(i=0～2)

注2.　MSTPB1iビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後USBクロック（UCLK）で2サイクル経過した後、WAIT命令を実行してください。

11.2.4　モジュールストップコントロールレジスタ C（MSTPCRC）

アドレス　0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPC27	MSTPC26	MSTPC25	MSTPC24	—	MSTPC22	—	—	MSTPC19	MSTPC18	MSTPC17	MSTPC16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC3	MSTPC2	MSTPC1	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット（注1）	対象モジュール：RAM0（0000 0000h～0000 FFFFh） 0：RAM0動作 1：RAM0停止	R/W
b1	MSTPC1	RAM1 モジュールストップ設定ビット（注1）	対象モジュール：RAM1（0001 0000h～0001 FFFFh） 0：RAM1動作 1：RAM1停止	R/W
b2	MSTPC2	RAM2 モジュールストップ設定ビット（注1）	対象モジュール：RAM2（0002 0000h～0002 FFFFh） 0：RAM2動作 1：RAM2停止	R/W
b3	MSTPC3	RAM3 モジュールストップ設定ビット（注1）	対象モジュール：RAM3（0003 0000h～0003 FFFFh） 0：RAM3動作 1：RAM3停止	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	MSTPC16	I²Cバスインタフェース3モジュールストップ設定ビット	対象モジュール：RIIC3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPC17	I²Cバスインタフェース2モジュールストップ設定ビット	対象モジュール：RIIC2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	MSTPC18	IEBUSモジュールストップ設定ビット（注2）	対象モジュール：IEBUS 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPC19	周波数測定機能モジュールストップ設定ビット	対象モジュール：MCK 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b22	MSTPC22	シリアルペリフェラルインタフェース2モジュールストップ設定ビット	対象モジュール：RSPI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPC24	シリアルコミュニケーションインタフェース11モジュールストップ設定ビット	対象モジュール：SCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPC25	シリアルコミュニケーションインタフェース10モジュールストップ設定ビット	対象モジュール：SCI10 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPC26	シリアルコミュニケーションインタフェース9モジュールストップ設定ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタフェース8モジュールストップ設定ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　RAMアクセス中に該当するMSTPC0～MSTPC3ビットを“1”にしないでください。また、MSTPC0～MSTPC3ビットが“1”の状態で、該当するRAMにアクセスしないでください。

注2.　MSTPC18ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後IEBUSクロック（IECLK）で2サイクル経過した後、WAIT命令を実行してください。

11.2.5　モジュールストップコントロールレジスタ D（MSTPCRD)

アドレス　0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPD31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b7	—	予約ビット	読むと”0”が読めます。書く場合、”0”としてください。	R/W
b8-b30	—	予約ビット	読むと”1”が読めます。書く場合、”1”としてください。	R/W
b31	MSTPD31	データ暗号化ユニット（DEU） モジュールストップ設定ビット	対象モジュール：DEU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

MSTPCRD については、全モジュールストップビットへの移行時には、b31 の値のみ参照します。

11.2.6　動作電力コントロールレジスタ（OPCCR）

アドレス　0008 00A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OPCMTSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード選択ビット	b2 b1 b0 0 0 0：高速動作モード 1 1 0：低速動作モード1 1 1 1：低速動作モード2 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	• リード時 0：遷移完了 1：遷移中 • ライト時 書き込みは“0”としてください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

OPCCR レジスタは、通常動作モード、スリープモード、全モジュールクロックストップモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは禁止です。

- 動作電力制御モード遷移状態フラグ（OPCMTSF）が “1”（動作電力制御モード切り替え遷移中）のとき
- フラッシュ P/E モードエントリレジスタの ROM P/E モードエントリビット i（FENTRYR.FENTRYi）が “1”（ROM P/E モード、E2 データフラッシュ P/E モード）のとき (i=0 ～ 3、D)
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

フラッシュメモリがプログラム / イレーズ（P/E）中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、**「11.5　動作電力低減機能」**を参照してください。

ソフトウェアスタンバイモードから復帰した後は、高速動作モードになります。なお、WAIT 命令を実行しても、ソフトウェアスタンバイモードへの移行が完了する前に解除された場合は、WAIT 命令実行前のモードから変化しません。このことが問題になる場合は、復帰割り込み処理中で OPCCR.OPCM[2:0] ビットを “000b” にしてください。

OPCM[2:0] ビット（動作電力制御モード選択ビット）

通常動作モード、スリープモード、全モジュールクロックストップモード時の動作電力制御モードを選択します。

表 11.3 に動作電力制御モードと、動作周波数範囲、動作電圧範囲、消費電力の関係を示します。

表 11.3　動作電力制御モードと動作範囲・消費電力の関係

動作電力制御モード	OPCM[2:0] ビット	動作周波数範囲						動作電圧範囲		消費電力
		フラッシュメモリリード時					フラッシュメモリ P/E 時	フラッシュメモリリード時	フラッシュメモリ P/E 時	
		ICLK	FCLK	PCLKA	PCLKB	BCLK	FCLK			
高速動作モード	000b	100MHz max	50MHz max	100MHz max	50MHz max	100MHz max	4MHz～50MHz	2.7V～3.6V	2.7V～3.6V	大 ↓ 小
低速動作モード 1	110b	1MHz max	1MHz max	1MHz max	1MHz max	1MHz max	P/E 不可	2.7V～3.6V	P/E 不可	
低速動作モード 2	111b	32kHz～125kHz	32kHz～125kHz	125kHz max	125kHz max	125kHz max	P/E 不可	2.7V～3.6V	P/E 不可	

各動作電力制御モードについて以下に説明します。

・高速動作モード

高速動作可能なモードです。

フラッシュメモリ（FLASH）リード時の最大動作周波数は、ICLK、PCLKA、BCLK が 100MHz、FCLK、PCLKB が 50MHz です。フラッシュメモリプログラム / イレーズ（P/E）時の FCLK は、4MHz ～ 50MHz での動作が可能です。動作電圧範囲は、フラッシュメモリリード時、P/E 時とも 2.7V ～ 3.6V です。

リセット解除後は、本モードで起動します。

・低速動作モード 1

低速動作向けに消費電力を低減したモードです。

フラッシュメモリリード時の最大動作周波数は、ICLK、FCLK、PCLKA、PCLKB、BCLK とも 1MHz です。動作電圧範囲は、2.7V ～ 3.6V です。

低速動作モード 1 では、フラッシュメモリの P/E 動作はできません。また、PLLCR2.PLLEN ビットを “0”（PLL 動作）にする書き込みは禁止です。

同条件（動作周波数、動作電圧）で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

・低速動作モード 2

低速動作モード 1 よりも低速動作向けに消費電力を低減したモードです。

フラッシュメモリリード時の最大動作周波数は、ICLK、FCLK、PCLKA、PCLKB、BCLK とも 125kHz です。ICLK、FCLK の最小動作周波数は 32kHz です。動作電圧範囲は、2.7V ～ 3.6V です。

低速動作モード 2 選択時には下記の制限事項があります。

- フラッシュメモリの P/E 動作は禁止です。
- データフラッシュの読み出しは禁止です。
- PLL および HOCO は使用禁止です。
- メインクロック発振器の発振停止検出機能は使用禁止です。

同条件（動作周波数、動作電圧）で同じ動作をさせる場合、低速動作モード 1 よりも消費電力を低減できます。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）が “011b”（サブクロック発振器選択）、かつ システムクロックコントロールレジスタのシステムクロック選択ビット（SCKCR.ICK[3:0]）、または FlashIF クロック選択ビット（SCKCR.FCK[3:0]）が “0000b”（分周無し）以外のとき、OPCM[2:0] ビットに “111b” を書くことはできません。

PLL コントロールレジスタ 2 の PLL 停止制御ビット（PLLCR2.PLLEN）が “0”（PLL 動作）のとき、OPCM[2:0] ビットに “110b”（低速動作モード 1）および “111b”（低速動作モード 2）を書くことはできません。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

動作電力制御モード切り替え時の切り替え制御状態を表します。

動作電力制御モード変更の書き込みを行うと、OPCMTSF フラグが “1” になり、変更後の動作電力制御モードへの遷移が完了すると “0” になります。OPCMTSF フラグが “0”（動作電力制御モード遷移完了）を確認してから次の処理を行ってください。

11.2.7　スリープモード復帰クロックソース切り替えレジスタ（RSTCKCR）

アドレス　0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCKEN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL[2:0]	スリープモード復帰クロックソース選択ビット	b2 b1 b0 0 0 1：HOCO選択 0 1 0：メインクロック発振器選択 RSTCKENビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロックソース切り替え許可ビット	0：スリープモード解除時クロックソース切り替え無効 1：スリープモード解除時クロックソース切り替え有効	R/W

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット（MOSCCR.MOSTP）、高速オンチップオシレータコントロールレジスタの HOCO 停止ビット（HOCOCR.HCSTP）は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ 3 のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）にリロードされます。

RSTCKCR レジスタの設定によってスリープモードから HOCO で復帰する場合、HOCO 電源は自動的に ON になりません。HOCO で復帰する場合は、HOCO 電源 ON の状態でスリープモードに移行してください。

スリープモード解除時クロックソース切り替え有効（RSTCKCR.RSTCKEN ビットが “1”）、かつ動作電力制御モード選択ビット（OPCCR.OPCM[2:0]）を低速動作モード 1（“110b”）、または低速動作モード 2（“111b”）に設定した状態でスリープモードから復帰する場合は、OPCCR.OPCM[2:0] ビットは自動的に高速モード（“000b”）に切り替えられます。

RSTCKSEL[2:0] ビット（スリープモード復帰クロックソース選択ビット）

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが “1” の場合のみ有効です。

RSTCKEN ビット（スリープモード復帰クロックソース切り替え許可ビット）

スリープモード解除時のクロックソース切り替えの有効 / 無効を制御します。

スリープモード解除時にクロックソースの切り替えを行うのは、スリープモード移行時のクロックとして LOCO、サブクロックを選択している場合のみとしてください。HOCO、メインクロック、PLL をクロックソースに選択している状態でスリープモードに移行する場合には、RSTCKEN ビットを “1” にしないでください。

11.2.8　メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）

アドレス　0008 00A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MSTS[4:0]				
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器 ウェイト時間設定ビット	b4　b0 0 0 0 0 0：待機時間＝2サイクル 0 0 0 0 1：待機時間＝4サイクル 0 0 0 1 0：待機時間＝8サイクル 0 0 0 1 1：待機時間＝16サイクル 0 0 1 0 0：待機時間＝32サイクル 0 0 1 0 1：待機時間＝64サイクル 0 0 1 1 0：待機時間＝ 512サイクル 0 0 1 1 1：待機時間＝ 1024サイクル 0 1 0 0 0：待機時間＝ 2048サイクル 0 1 0 0 1：待機時間＝ 4096サイクル 0 1 0 1 0：待機時間＝ 16384サイクル 0 1 0 1 1：待機時間＝ 32768サイクル 0 1 1 0 0：待機時間＝ 65536サイクル 0 1 1 0 1：待機時間＝131072サイクル 0 1 1 1 0：待機時間＝262144サイクル 0 1 1 1 1：待機時間＝524288サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOSCWTCR レジスタは、メインクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。MOSCWTCR レジスタで設定したサイクル数 +16384 サイクル分メインクロックをカウントした後、MCU 内部へのメインクロック供給が開始されます。

MSTS[4:0] ビットは、待機時間がメインクロック発振安定時間 ($t_{MAINOSC}$) 以上になるように設定してください。

メインクロックの発振を開始させた後は、メインクロック発振安定待機時間 ($t_{MAINOSCWT}$) を経過するまで待ってから、メインクロックを使用してください。メインクロック発振安定待機時間は**表 51.11** を参照してください。

メインクロック発振器に外部クロックを入力している場合は、待機時間は必要ありません。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが “1” のときのみ書き換え可能です。それ以外では書き換えないでください。

例 : 発振周波数が 12MHz で、発振安定時間が 10ms (=10000µs) の水晶振動子を使用する場合

待機時間 ≥ $t_{MAINOSC} \times f_{MAIN}$ = 10000[µs] × 12[MHz] = 120000[サイクル]

より、MSTS[4:0] ビットには “01101b”(131072 サイクル) を設定してください。

このときのメインクロック発振安定待機時間は、**表 51.11** 記載の式より、

$$t_{MAINOSCWT} = t_{MAINOSC} + \frac{n + 16384}{f_{MAIN}}$$

$$= 10000[\mu s] + \frac{131072[\text{サイクル}] + 16384}{12[MHz]}$$

$$= 22288[\mu s]$$

と計算できますから、発振開始からメインクロックが使用できるまでに、22288µs 以上待つ必要があることがわかります。

11.2.9　サブクロック発振器ウェイトコントロールレジスタ（SOSCWTCR）

アドレス　0008 00A3h

	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	SSTS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	64ピン製品以外の場合
	0	0	0	0	0	1	1	0	64ピン製品の場合

ビット	シンボル	ビット名	機能	R/W
b4-b0	SSTS[4:0]	サブクロック発振器 ウェイト時間設定ビット	b4　b0 0 0 0 0 0：待機時間＝2サイクル 0 0 0 0 1：待機時間＝4サイクル 0 0 0 1 0：待機時間＝8サイクル 0 0 0 1 1：待機時間＝16サイクル 0 0 1 0 0：待機時間＝32サイクル 0 0 1 0 1：待機時間＝64サイクル 0 0 1 1 0：待機時間＝ 512サイクル 0 0 1 1 1：待機時間＝ 1024サイクル 0 1 0 0 0：待機時間＝ 2048サイクル 0 1 0 0 1：待機時間＝ 4096サイクル 0 1 0 1 0：待機時間＝ 16384サイクル 0 1 0 1 1：待機時間＝ 32768サイクル 0 1 1 0 0：待機時間＝ 65536サイクル 0 1 1 0 1：待機時間＝131072サイクル 0 1 1 1 0：待機時間＝262144サイクル 0 1 1 1 1：待機時間＝524288サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SOSCWTCR レジスタは、サブクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。SOSCWTCR レジスタで設定したサイクル数分サブクロックをカウントし、さらにサブクロック発振安定待機オフセット時間 (tSUBOSCWT0) を経過した後、MCU 内部へのサブクロック供給が開始されます。

SSTS[4:0] ビットは、待機時間がサブクロック発振安定時間 (tSUBOSC) 以上になるように設定してください。ただし、100 ピン以上の製品はサブクロック発振安定待機オフセット時間を差し引いて計算してください。

サブクロックの発振を開始させた後は、サブクロック発振安定待機時間 (tSUBOSCWT) を経過するまで待ってから、サブクロックを使用してください。サブクロック発振安定待機時間は**表 51.12** を参照してください。

SOSCWTCR レジスタは、SOSCCR.SOSTP ビットが “1” のときのみ書き換え可能です。それ以外では書き換えないでください。

例 : 発振周波数が 32.768kHz で、発振安定時間が 2s (=2000ms) の水晶振動子を使用する場合（100 ピン以上の製品）

待機時間 ≥ $(t_{SUBOSC} - t_{SUBOSCWT0}) \times f_{SUB}$ = (2000 − 1800)[ms] × 32.768[kHz] = 6553.6[サイクル]

より、SSTS[4:0] ビットには “01010b”(16384 サイクル) を設定してください。

このときのサブクロック発振安定待機時間は、**表 51.12** 記載の式より、

$$t_{SUBOSCWT} = \max\left(t_{SUBOSC}, t_{SUBOSCWT0}\right) + \frac{n}{f_{SUB}}$$

$$= \max\left(2000[ms], 2600[ms]\right) + \frac{16384[\text{サイクル}]}{32.768[kHz]}$$

$$= 3100[ms]$$

と計算できますから、発振開始からサブクロックが使用できるまでに、3.1s 以上待つ必要があることがわかります。

例 : 発振周波数が 32.768kHz で、発振安定時間が 2s (=2000ms) の水晶振動子を使用する場合（64 ピンの製品）

待機時間 ≥ $t_{SUBOSC} \times f_{SUB}$ = 2000[ms] × 32.768[kHz] = 6553.6[サイクル]

より、SSTS[4:0] ビットには “01100b”(65536 サイクル) を設定してください。

このときのサブクロック発振安定待機時間は、**表 51.12** 記載の式より

$$t_{SUBOSCWT} = \max\left(t_{SUBOSC}, t_{SUBOSCWT0}\right) + \frac{n}{f_{SUB}}$$

$$= \max\left(2000[ms], 0[ms]\right) + \frac{65536\ [\text{サイクル}]}{32.768[kHz]}$$

$$= 4000[ms]$$

と計算できますから、発振開始からサブクロックが使用できるまでに、4.0s 以上待つ必要があることがわかります。

サブクロック発振安定待機オフセット時間（$t_{SUBOSCWT0}$）は、100 ピン以上の製品においてのみ、min 値、max 値を参照ください。64 ピンの製品については $t_{SUBOSCWT0}$ の値は 0 とみなしてください。

11.2.10　PLL ウェイトコントロールレジスタ（PLLWTCR）

アドレス　0008 00A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PSTS[4:0]				
リセット後の値	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSTS[4:0]	PLL ウェイト時間設定ビット	b4　b0 0 0 0 0 0：待機時間＝16サイクル 0 0 0 0 1：待機時間＝32サイクル 0 0 0 1 0：待機時間＝64サイクル 0 0 0 1 1：待機時間＝512サイクル 0 0 1 0 0：待機時間＝1024サイクル 0 0 1 0 1：待機時間＝2048サイクル 0 0 1 1 0：待機時間＝ 4096サイクル 0 0 1 1 1：待機時間＝ 16384サイクル 0 1 0 0 0：待機時間＝ 32768サイクル 0 1 0 0 1：待機時間＝ 65536サイクル 0 1 0 1 0：待機時間＝ 131072サイクル 0 1 0 1 1：待機時間＝ 262144サイクル 0 1 1 0 0：待機時間＝ 524288サイクル 0 1 1 0 1：待機時間＝1048576サイクル 0 1 1 1 0：待機時間＝2097152サイクル 0 1 1 1 1：待機時間＝4194304サイクル 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PLLWTCR レジスタは、PLL の出力を内部回路に供給するまでの待機時間を制御するレジスタです。PLLWTCR レジスタで設定したサイクル数 +131072 サイクル分 PLL クロックをカウントした後、MCU 内部への PLL クロック供給が開始されます。

PSTS[4:0] ビットは、待機時間が PLL クロック発振安定時間 (tPLL1, tPLL2) 以上になるように設定してください。

PLL の発振を開始させた後は、PLL クロック発振安定待機時間 (tPLLWT1,tPLLWT2) を経過するまで待ってから、PLL クロックを使用してください。PLL クロック発振安定待機時間は**表 45.10** を参照してください。

PLLWTCR レジスタは、PLLCR2.PLLEN ビットが “1” (PLL 停止) のときのみ書き換え可能です。それ以外では書き換えないでください。

例 : 発振周波数が 12MHz で、発振安定時間が 10ms (=10000µs) の水晶振動子を使用し、PLL の発振周波数を 200MHz にする場合

- メインクロックの発振が安定した後に PLL を動作させる場合

  待機時間 ≥ $t_{PLL1} \times f_{PLL}$ = 500[µs] × 200[MHz] = 100000[サイクル]

  から、PSTS[4:0] ビットには “01010b”(131072 サイクル) を設定してください。

  このときの PLL クロック発振安定待機時間は、**表 51.11** 記載の式より、

$$t_{PLLWT1} = t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

$$= 500[\mu s] + \frac{131072[\text{サイクル}] + 131072}{200[MHz]}$$

$$= 1810.72[\mu s]$$

と計算できますから、発振開始から PLL クロックが使用できるまでに、約 1811µs 以上待つ必要があることがわかります。

- メインクロックの発振が安定する前に PLL を動作させる場合

  待機時間 ≥ $(t_{MAINOSC} + t_{PLL1}) \times t_{PLL} = (10000[\mu s] + 500[\mu s]) \times 200[MHz] = 2100000[$ サイクル]

  から、PSTS[4:0] ビットには “01111b”(4194304 サイクル) を設定してください。

  このときの PLL クロック発振安定待機時間は、**表 51.11** 記載の式より、

$$t_{PLLWT2} = t_{PLL2} + \frac{n + 131072}{f_{PLL}}$$

$$= t_{MAINOSC} + t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

$$= 10000[\mu s] + 500[\mu s] + \frac{4194304[\text{サイクル}] + 131072}{200[MHz]}$$

$$= 32126.88[\mu s]$$

と計算できますから、発振開始から PLL クロックが使用できるまでに、約 32.13ms 以上待つ必要があることがわかります。

11.2.11　ディープスタンバイコントロールレジスタ（DPSBYCR）

アドレス　0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	—	—	—	—	DEEPCUT[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	DEEPCUT[1:0]	ディープカットビット	b1 b0 0 0：ディープソフトウェアスタンバイモード時、RAM（RAM0（注1））とUSBレジューム検出部に電源を供給する 0 1：ディープソフトウェアスタンバイモード時、RAM（RAM0（注1））とUSBレジューム検出部に電源を供給しない 1 0：設定しないでください 1 1：ディープソフトウェアスタンバイモード時、RAM（RAM0（注1））とUSBレジューム検出部に電源を供給しない。また、LVDを停止し、パワーオンリセット回路の低消費電力機能を有効にする	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IOKEEP	I/Oポート保持ビット	0：ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1：ディープソフトウェアスタンバイモード解除後もIOポートの状態を保持する。その後IOKEEPビットへの“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0　0：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0　1：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1　0：WAIT命令実行後、ソフトウェアスタンバイモードに移行 1　1：WAIT命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

注1.　RAMのアドレス空間については、表11.2を参照してください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

DEEPCUT[1:0] ビット（ディープカットビット）

RAM と USB レジューム検出部に供給する内部電源をディープソフトウェアスタンバイモード時に制御します。また、ディープソフトウェアスタンバイモード時の LVD、パワーオンリセット回路の状態を制御します。

RAM0 と USB レジューム検出部の内部電源は、DEEPCUT[1:0] ビットで制御可能です。

ディープソフトウェアスタンバイモードの解除要因に USB サスペンド / レジューム割り込みを使用する場合は、DEEPCUT[1:0] ビットを “00b” にしてください。

ディープソフトウェアスタンバイモード時に LVD を使用する場合は、DEEPCUT[1:0] ビットを “00b” または “01b” にしてください。低消費電力化のため、LVD を停止させ、パワーオンリセット回路の低消費電力機能を有効にする場合は、DEEPCUT[1:0] ビットを “11b” にしてください。

RAM1 の内部電源は、DEEPCUT[1:0] ビットの設定にかかわらず、ディープソフトウェアスタンバイモード時に停止します。

IOKEEP ビット（I/O ポート保持ビット）

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット（ディープソフトウェアスタンバイビット）

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” の状態で、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。

外部端子割り込み発生元となる一部の端子（NMI、IRQ0-DS ～ IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS）、周辺機能割り込み（RTC アラーム、RTC 周期、USB サスペンド / レジューム、電圧監視 1、電圧監視 2）によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは “1” のままです。“0” にするときは、“0” を書いてください。

IWDT がオートスタートモードかつ OFS0.IWDTSLCSTP ビットが “0”（カウント継続）、またはレジスタスタートモードかつ IWDTCSTPR.SLCSTP ビットが “0” のときは、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

また、電圧監視 1 回路モードに電圧監視 1 リセットを選択しているとき（LVD1CR0.LVD1RI=1）、あるいは電圧監視 2 回路モードに電圧監視 2 リセットを選択しているとき（LVD2CR0.LVD2RI=1）は、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

11.2.12　ディープスタンバイインタラプトイネーブルレジスタ 0（DPSIER0）

アドレス　0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS端子許可ビット	0：IRQ0-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ0-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ1E	IRQ1-DS端子許可ビット	0：IRQ1-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ1-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ2E	IRQ2-DS端子許可ビット	0：IRQ2-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ2-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ3E	IRQ3-DS端子許可ビット	0：IRQ3-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ3-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ4E	IRQ4-DS端子許可ビット	0：IRQ4-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ4-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ5E	IRQ5-DS端子許可ビット	0：IRQ5-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ5-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ6E	IRQ6-DS端子許可ビット	0：IRQ6-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ6-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ7E	IRQ7-DS端子許可ビット	0：IRQ7-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ7-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR0 レジスタを “0” にしてください。

また、DPSIER0 レジスタが “0” であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR0 レジスタが “1” になる場合があります。ただし、DPSIEGR0 レジスタが “0” に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR0 レジスタは “1” になりません。

11.2.13　ディープスタンバイインタラプトイネーブルレジスタ 1（DPSIER1）

アドレス　0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8E	IRQ8-DS端子許可ビット	0：IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ9E	IRQ9-DS端子許可ビット	0：IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ10E	IRQ10-DS端子許可ビット	0：IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ11E	IRQ11-DS端子許可ビット	0：IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ12E	IRQ12-DS端子許可ビット	0：IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ13E	IRQ13-DS端子許可ビット	0：IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ14E	IRQ14-DS端子許可ビット	0：IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ15E	IRQ15-DS端子許可ビット	0：IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR1 レジスタを “0” にしてください。

また、DPSIER1 レジスタが “0” であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR1 レジスタが “1” になる場合があります。ただし、DPSIEGR1 レジスタが “0” に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR1 レジスタは “1” になりません。

11.2.14　ディープスタンバイインタラプトイネーブルレジスタ 2（DPSIER2）

アドレス　0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	DUSBIE	DRIICCIE	DRIICDIE	DNMIE	DRTCAIE	DRTCIIE	DLVD2IE	DLVD1IE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープスタンバイ解除信号許可ビット	0：電圧監視1信号によるディープソフトウェアスタンバイモード解除を禁止 1：電圧監視1信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DLVD2IE	LVD2ディープスタンバイ解除信号許可ビット	0：電圧監視2信号によるディープソフトウェアスタンバイモード解除を禁止 1：電圧監視2信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DRTCIIE	RTC 周期割り込みディープスタンバイ解除信号許可ビット	0：RTC 周期割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1：RTC 周期割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DRTCAIE	RTCアラーム割り込みディープスタンバイ解除信号許可ビット	0：RTC アラーム割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1：RTC アラーム割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DNMIE	NMI端子許可ビット	0：NMI端子によるディープソフトウェアスタンバイモード解除を禁止 1：NMI端子によるディープソフトウェアスタンバイモード解除を許可	R/W （注1）
b5	DRIICDIE	SDA2-DSディープスタンバイ解除信号許可ビット	0：SDA2-DS信号によるディープソフトウェアスタンバイモード解除を禁止 1：SDA2-DS信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DRIICCIE	SCL2-DSディープスタンバイ解除信号許可ビット	0：SCL2-DS信号によるディープソフトウェアスタンバイモード解除を禁止 1：SCL2-DS信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DUSBIE	USBサスペンド/レジュームディープスタンバイ解除信号許可ビット	0：USBのサスペンド/レジュームによるディープソフトウェアスタンバイモード解除を禁止 1：USBのサスペンド/レジュームによるディープソフトウェアスタンバイモード解除を許可	R/W

注1.　一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR2 レジスタを “0” にしてください。

また、DPSIER2 レジスタが “0” であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR2 レジスタが “1” になる場合があります。ただし、DPSIEGR2 レジスタが “0” に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR2 レジスタは “1” になりません。

11.2.15　ディープスタンバイインタラプトイネーブルレジスタ 3（DPSIER3）

アドレス　0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DCANIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCANIE	CRX1-DSディープスタンバイ解除信号許可ビット	0：CRX1-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1：CRX1-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIER3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

なお、DPSIER3 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR3 レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR3 レジスタを “0” にしてください。

また、DPSIER3 レジスタが “0” であっても、ディープソフトウェアスタンバイモードに移行する際、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR3 レジスタが “1” になる場合があります。ただし、DPSIEGR3 レジスタが “0” に設定されている場合は、立ち上がりエッジを検出しないため、DPSIFR3 レジスタは “1” になりません。

11.2.16　ディープスタンバイインタラプトフラグレジスタ 0（DPSIFR0）

アドレス　0008 C286h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS端子ディープスタンバイ解除フラグ	0：IRQ0-DS端子による解除要求の発生なし 1：IRQ0-DS端子による解除要求の発生あり	R(/W)（注1）
b1	DIRQ1F	IRQ1-DS端子ディープスタンバイ解除フラグ	0：IRQ1-DS端子による解除要求の発生なし 1：IRQ1-DS端子による解除要求の発生あり	R(/W)（注1）
b2	DIRQ2F	IRQ2-DS端子ディープスタンバイ解除フラグ	0：IRQ2-DS端子による解除要求の発生なし 1：IRQ2-DS端子による解除要求の発生あり	R(/W)（注1）
b3	DIRQ3F	IRQ3-DS端子ディープスタンバイ解除フラグ	0：IRQ3-DS端子による解除要求の発生なし 1：IRQ3-DS端子による解除要求の発生あり	R(/W)（注1）
b4	DIRQ4F	IRQ4-DS端子ディープスタンバイ解除フラグ	0：IRQ4-DS端子による解除要求の発生なし 1：IRQ4-DS端子による解除要求の発生あり	R(/W)（注1）
b5	DIRQ5F	IRQ5-DS端子ディープスタンバイ解除フラグ	0：IRQ5-DS端子による解除要求の発生なし 1：IRQ5-DS端子による解除要求の発生あり	R(/W)（注1）
b6	DIRQ6F	IRQ6-DS端子ディープスタンバイ解除フラグ	0：IRQ6-DS端子による解除要求の発生なし 1：IRQ6-DS端子による解除要求の発生あり	R(/W)（注1）
b7	DIRQ7F	IRQ7-DS端子ディープスタンバイ解除フラグ	0：IRQ7-DS端子による解除要求の発生なし 1：IRQ7-DS端子による解除要求の発生あり	R(/W)（注1）

注1.　“0”のみ書けます。

DPSIEGR0 レジスタで設定した解除要求が発生したときに “1” になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になる場合があります。また、DPSIER0 レジスタの設定変更によっても “1” になる場合があります。そのため、DPSIFR0 レジスタを “00h” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを “00h” にする場合は、PCLKA、PCLKB の 6 サイクル以上経過後、DPSIFR0 レジスタを読んだ後、“0” を書いてください。たとえば、DPSIER0 レジスタを読むことで PCLKA、PCLKB の 6 サイクル以上を確保することができます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

DIRQnF（IRQn ディープスタンバイ解除フラグ）（n=0 ～ 7）

IRQn-DS 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.17　ディープスタンバイインタラプトフラグレジスタ 1（DPSIFR1）

アドレス　0008 C287h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15F	DIRQ14F	DIRQ13F	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8F	IRQ8-DS端子ディープスタンバイ解除フラグ	0：IRQ8-DS端子による解除要求の発生なし 1：IRQ8-DS端子による解除要求の発生あり	R(/W) （注1）
b1	DIRQ9F	IRQ9-DS端子ディープスタンバイ解除フラグ	0：IRQ9-DS端子による解除要求の発生なし 1：IRQ9-DS端子による解除要求の発生あり	R(/W) （注1）
b2	DIRQ10F	IRQ10-DS端子ディープスタンバイ解除フラグ	0：IRQ10-DS端子による解除要求の発生なし 1：IRQ10-DS端子による解除要求の発生あり	R(/W) （注1）
b3	DIRQ11F	IRQ11-DS端子ディープスタンバイ解除フラグ	0：IRQ11-DS端子による解除要求の発生なし 1：IRQ11-DS端子による解除要求の発生あり	R(/W) （注1）
b4	DIRQ12F	IRQ12-DS端子ディープスタンバイ解除フラグ	0：IRQ12-DS端子による解除要求の発生なし 1：IRQ12-DS端子による解除要求の発生あり	R(/W) （注1）
b5	DIRQ13F	IRQ13-DS端子ディープスタンバイ解除フラグ	0：IRQ13-DS端子による解除要求の発生なし 1：IRQ13-DS端子による解除要求の発生あり	R(/W) （注1）
b6	DIRQ14F	IRQ14-DS端子ディープスタンバイ解除フラグ	0：IRQ14-DS端子による解除要求の発生なし 1：IRQ14-DS端子による解除要求の発生あり	R(/W) （注1）
b7	DIRQ15F	IRQ15-DS端子ディープスタンバイ解除フラグ	0：IRQ15-DS端子による解除要求の発生なし 1：IRQ15-DS端子による解除要求の発生あり	R(/W) （注1）

注1.　“0”のみ書けます。

DPSIEGR1 レジスタで設定した解除要求が発生したときに “1” になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になる場合があります。また、DPSIER1 レジスタの設定変更によっても “1” になる場合があります。そのため、DPSIFR1 レジスタを “00h” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを “00h” にする場合は、PCLKA、PCLKB の 6 サイクル以上経過後、DPSIFR1 レジスタを読んだ後、“0” を書いてください。たとえば、DPSIER1 レジスタを読むことで PCLKA、PCLKB の 6 サイクル以上を確保することができます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

DIRQnF（IRQn ディープスタンバイ解除フラグ）（n=8 ～ 15）

IRQn-DS 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.18　ディープスタンバイインタラプトフラグレジスタ 2（DPSIFR2）

アドレス　0008 C288h

	b7	b6	b5	b4	b3	b2	b1	b0
	DUSBIF	DRIICCIF	DRIICDIF	DNMIF	DRTCAIF	DRTCIIF	DLVD2IF	DLVD1IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1ディープスタンバイ解除フラグ	0：電圧監視1信号による解除要求の発生なし 1：電圧監視1信号による解除要求の発生あり	R(/W) （注1）
b1	DLVD2IF	LVD2ディープスタンバイ解除フラグ	0：電圧監視2信号による解除要求の発生なし 1：電圧監視2信号による解除要求の発生あり	R(/W) （注1）
b2	DRTCIIF	RTC 周期割り込みディープスタンバイ解除フラグ	0：RTC 周期割り込み信号による解除要求の発生なし 1：RTC 周期割り込み信号による解除要求の発生あり	R(/W) （注1）
b3	DRTCAIF	RTCアラーム割り込みディープスタンバイ解除フラグ	0：RTC アラーム割り込み信号による解除要求の発生なし 1：RTC アラーム割り込み信号による解除要求の発生あり	R(/W) （注1）
b4	DNMIF	NMIディープスタンバイ解除フラグ	0：NMI端子による解除要求の発生なし 1：NMI端子による解除要求の発生あり	R(/W) （注1）
b5	DRIICDIF	SDA2-DSディープスタンバイ解除フラグ	0：SDA2-DS信号による解除要求の発生なし 1：SDA2-DS信号による解除要求の発生あり	R(/W) （注1）
b6	DRIICCIF	SCL2-DSディープスタンバイ解除フラグ	0：SCL2-DS信号による解除要求の発生なし 1：SCL2-DS信号による解除要求の発生あり	R(/W) （注1）
b7	DUSBIF	USBサスペンド/レジュームディープスタンバイ解除フラグ	0：USBのサスペンド/レジュームによる解除要求の発生なし 1：USBのサスペンド/レジュームによる解除要求の発生あり	R(/W) （注1）

注1.　“0”のみ書けます。

DPSIEGR2 レジスタで設定した解除要求が発生したときに “1” になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になる場合があります。また、DPSIER2 レジスタの設定変更によっても “1” になる場合があります。そのため、DPSIFR2 レジスタを “00h” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを “00h” にする場合は、PCLKA、PCLKB の 6 サイクル以上経過後、DPSIFR2 レジスタを読んだ後、“0” を書いてください。たとえば、DPSIER2 レジスタを読むことで PCLKA、PCLKB の 6 サイクル以上を確保することができます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

DLVDmIF（LVDm ディープスタンバイ解除フラグ）(m = 1、2)

電圧監視 m 信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRTCIIF（RTC 周期割り込みディープスタンバイ解除フラグ）

RTC 周期割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- RTC 周期割り込み信号による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRTCAIF（RTC アラーム割り込みディープスタンバイ解除フラグ）

RTC アラーム割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- RTC アラーム割り込み信号による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DNMIF（NMI ディープスタンバイ解除フラグ）

NMI 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRIICDIF（SDA2-DS ディープスタンバイ解除フラグ）

SDA2-DS の割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した SDA2-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRIICCIF（SCL2-DS ディープスタンバイ解除フラグ）

SCL2-DS の割り込み信号による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR2 レジスタで選択した SCL2-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DUSBIF（USB サスペンド / レジュームディープスタンバイ解除フラグ）

USB のサスペンド / レジュームによる解除要求が発生したことを示します。

[“1” になる条件]

- USB のサスペンド / レジュームによる解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.19　ディープスタンバイインタラプトフラグレジスタ 3（DPSIFR3）

アドレス　0008 C289h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DCANIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCANIF	CRX1-DS ディープスタンバイ解除フラグ	0：CRX1-DS 端子による解除要求の発生なし 1：CRX1-DS 端子による解除要求の発生あり	R(/W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“0”のみ書けます。

DPSIEGR3 レジスタで設定した解除要求が発生したときに “1” になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になる場合があります。また、DPSIER3 レジスタの設定変更によっても “1” になる場合があります。そのため、DPSIFR3 レジスタを “00h” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER3 レジスタの設定変更後に DPSIFR3 レジスタを “00h” にする場合は、PCLKA、PCLKB の 6 サイクル以上経過後、DPSIFR3 レジスタを読んだ後、“0” を書いてください。たとえば、DPSIER3 レジスタを読むことで PCLKA、PCLKB の 6 サイクル以上を確保することができます。

DPSIFR3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

DCANIF（CAN ディープスタンバイ解除フラグ）

CAN による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR3 レジスタで選択した CRX1-DS 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

11.2.20　ディープスタンバイインタラプトエッジレジスタ 0（DPSIEGR0）

アドレス　0008 C28Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

11.2.21　ディープスタンバイインタラプトエッジレジスタ 1（DPSIEGR1）

アドレス　0008 C28Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8EG	IRQ8-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ9EG	IRQ9-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ10EG	IRQ10-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ11EG	IRQ11-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ12EG	IRQ12-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ13EG	IRQ13-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ14EG	IRQ14-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ15EG	IRQ15-DS端子エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

11.2.22　ディープスタンバイインタラプトエッジレジスタ 2（DPSIEGR2）

アドレス　0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRIICCEG	DRIICDEG	DNMIEG	—	—	DLVD2EG	DLVD1EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択ビット	0：VCC＜Vdet1（下降）検出時に解除要求を発生 1：VCC≧Vdet1（上昇）検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択ビット	0：VCC＜Vdet2（下降）検出時に解除要求を発生 1：VCC≧Vdet2（上昇）検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIEG	NMIエッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b5	DRIICDEG	SDA2-DSエッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6	DRIICCEG	SCL2-DSエッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

11.2.23　ディープスタンバイインタラプトエッジレジスタ 3（DPSIEGR3）

アドレス　0008 C28Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DCANIEG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCANIEG	CRX1-DSエッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIEGR3 レジスタはディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、**「表 6.2　リセット種別ごとの初期化対象」**を参照してください。

11.2.24　ディープスタンバイバックアップレジスタ（DPSBKRy）（y=0 ～ 31）

アドレス　0008 C2A0h～0008 C2BFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

DPSBKRy レジスタは、ディープソフトウェアスタンバイモード中、データを退避するための 32 バイトのレジスタで、読み出し、書き込みいずれも可能です。

RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRy レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

11.3　クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0] ビットで設定した動作クロックで動作します。

フラッシュインタフェースは FCK[3:0] ビットで設定した動作クロックで動作します。

外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は**「9.　クロック発生回路」**を参照してください。

11.4　モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ～ MSTPCRD レジスタに対応する MSTPmi ビット (m=A ～ D、i=31 ～ 0) を “1” にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを “0” にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5　動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することができます。

11.5.1　動作電力制御モードの設定方法

動作電力制御モードの移行手順例を以下に示します。

(1)　消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

例：高速動作モードから低速動作モード 1 への切替

（切り替え前の動作電力制御モードでの高速動作）
↓
HOCO クロックから LOCO クロックへの切り替え設定（クロックソース、分周比）
↓
OPCCR レジスタへの書き込み
↓
OPCCR.OPCMTSF フラグが “0” であることの確認
↓
（切り替え後の動作電力制御モードでの低速動作）

(2)　消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

例：低速動作モード 2 から高速動作モードへの切替

（切り替え前の動作電力制御モードでの低速動作）
↓
OPCCR レジスタへの書き込み
↓
OPCCR.OPCMTSF フラグが “0” であることの確認
↓
LOCO クロックから HOCO クロックへの切り替え設定（クロックソース、分周比）
↓
（切り替え後の動作電力制御モードでの高速動作）

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが “0” の状態で WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット（注 1）を “0” にする。
(2) スリープモードからの復帰に使用する割込みの伝達先を CPU に設定する。
(3) スリープモードからの復帰に使用する割込みの優先レベル（注 2）を、CPU の PSW.IPL[3:0] ビット（注 1）よりも高く設定する。
(4) スリープモードからの復帰に使用する割込みの IERm.IENj ビット（注 2）を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
(6) WAIT 命令の実行（WAIT 命令の実行により CPU の PSW.I ビット（注 1）は自動的に “1” になります）。

注 1. 詳細は「2. CPU」を参照してください。
注 2. 詳細は「15. 割り込みコントローラ（ICUb）」を参照しください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
  割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合（割り込み優先レベルが（注 1）CPU の PSW.IPL[3:0] ビット（注 2）以下に設定されている場合）には、スリープモードは解除されません。
- RES# 端子リセットによる解除
  RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
  パワーオンリセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
  電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- 独立ウォッチドッグタイマリセットによる解除
  IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープ

モード時に IWDT がカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSTPR.SLCSTP=1）では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1.　詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。
注 2.　詳細は「2.　CPU」を参照してください。

11.6.1.3　スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロックソース切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ（RSTCKCR）による復帰後のクロックの設定と、各クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.7　スリープモード復帰クロックソース切り替えレジスタ（RSTCKCR）」を参照してください。また、発振安定待ち時間の設定については、「11.2.8　メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）」を参照してください。

11.6.2　全モジュールクロックストップモード

11.6.2.1　全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットを “1” にして、かつ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタで制御されるモジュールをモジュールストップ状態（MSTPCRA = FFFF FF[C-F]Fh、MSTPCRB = FFFF FFFFh、MSTPCRC[31:16] = FFFFh、MSTPCRD[31] = 1）にしたときに、SBYCR.SSBY ビットを “0” にした状態で WAIT 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ（注 1）、POE（注 5）、IWDT、RTC、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよび I/O ポートの動作が停止して、全モジュールクロックストップモードへ移行します（注 2）。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0”（低消費電力モード遷移時 IWDT カウント継続）のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット（注 3）を “0” にする。
(2) 全モジュールクロックストップモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
(3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル（注 4）を CPU の PSW.IPL[3:0] ビット（注 3）よりも高く設定する。
(4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット（注 4）を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
(6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注 3）は自動的に “1” になります）。

注 1.　MSTPCRA.MSTPA5、MSTPA4 ビットで動作 / 停止を選択できます。
注 2.　DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを “1” にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを “0” にして、DTC、DMAC が起動していない状態で行ってください。
注 3.　詳細は「2.　CPU」を参照してください。
注 4.　詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。
注 5.　POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

11.6.2.2　全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み（NMI 、IRQ0 ～ IRQ15）、周辺機能割り込み（8 ビットタイマ（注 1）、RTC アラーム、RTC 周期、IWDT（注 2）、USB サスペンド / レジューム、電圧監視 1、電圧監視 2、発振停止検出）、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスカブル割り込みが CPU でマスクされている場合（割り込みの優先レベル（注 3）が CPU の PSW.IPL[3:0] ビット（注 4）以下に設定されている場合）、または DTC、DMAC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注 1.　MSTPCRA.MSTPA5, MSTPA 4 ビットで動作 / 停止を選択できます。
注 2.　全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSTPR.SLCSTP=1）では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除は出来ません。
注 3.　詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。
注 4.　詳細は「2.　CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを “1” にし、DPSBYCR.DPSBY ビットを “0” にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンスとするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビット を “0” にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振停止検出機能有効（OSTDCR.OSTDE = 1）の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効（OSTDCR.OSTDE = 0）に設定後、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

(1) CPU の PSW.I ビット（注 1）を “0” にする。
(2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
(3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注 2）を CPU の PSW.IPL[3:0] ビット（注 1）よりも高く設定する。
(4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット（注 2）を “1” にする。
(5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
(6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注 1）は自動的に “1” になります）。

注 1. 詳細は、「2. CPU」を参照してください。
注 2. 詳細は、「15. 割り込みコントローラ（ICUb）」を参照してください。

11.6.3.2　ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み（NMI、IRQ0 ～ IRQ15）、周辺機能割り込み（RTC アラーム、RTC 周期、IWDT、USB サスペンド / レジューム、電圧監視 1、電圧監視 2）、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除
  NMI、IRQ0 ～ IRQ15、RTC アラーム、RTC 周期、IWDT、USB サスペンド / レジューム、および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビット、SOSCWTCR.SSTS[4:0] ビット、PLLWTCR.PSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。
- RES# 端子リセットによる解除
  RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、LSI にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
  電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。
- 電圧監視リセットによる解除
  電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。
- 独立ウォッチドッグタイマリセットによる解除
  IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。
  ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSTPR.SLCSTP=1）では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3　ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.2 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b”（立ち下がりエッジ）の状態で、IRQn 割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを “10b”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ（ICU）の設定も必要となります。詳細は、「15.　割り込みコントローラ（ICUb）」を参照してください。

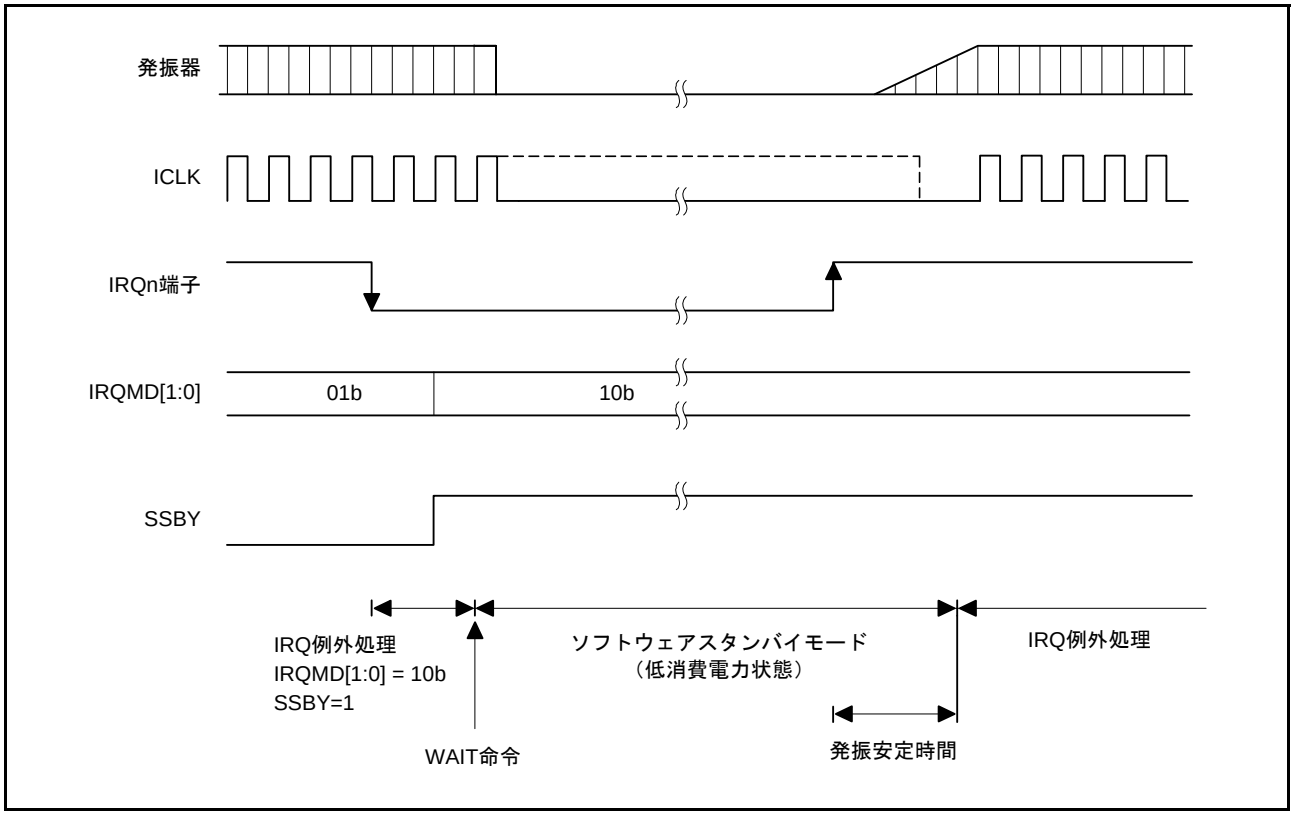


図 11.2　ソフトウェアスタンバイモードの応用例

11.6.4　ディープソフトウェアスタンバイモード

11.6.4.1　ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが “1” の状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します（注 1）。このとき、DPSBYCR.DPSBY ビットが “1” なら、ディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能（RTC アラーム、RTC 周期、SCL2-DS、SDA2-DS、CRX1-DS、USB サスペンド / レジューム検出部を除く）、RAM1（注 2）、および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能（RTC アラーム、RTC 周期、SCL2-DS、SDA2-DS、CRX1-DS、USB サスペンド / レジューム検出部を除く）のレジスタ内容はすべて不定となります。RAM1（注 2）のデータは DPSBYCR.DEEPCUT[1:0] ビットの設定にかかわらず、すべて不定となります。

RAM0（注 2）のデータについては、DEEPCUT[1:0] ビットを “00b” に設定しておくことにより、保持することができます。DEEPCUT[1:0] ビットを “01b” に設定した場合は、RAM0（注 2）、および USB レジューム検出部への内部電源の供給も停止しますので、消費電力が低減されます。このとき、RAM0（注 2）のデータは不定となります。DEEPCUT[1:0] ビットを “11b” に設定した場合は、RAM0（注 2）、および USB レジューム検出部への内部電源の供給停止に加え、LVD を停止し、パワーオンリセット回路の低消費電力機能を有効にしますので、消費電力がさらに低減されます。このとき、パワーオンリセット回路の電圧検知特性が変わります。詳細は、**「51.　電気的特性」**を参照してください。

WDT を使用しているとき、ディープソフトウェアスタンバイモードへ移行すると発振器は停止し、また WDT への電源供給が停止され、カウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “1” のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT ともに電源供給が停止され、カウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “1” のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT ともに電源供給が停止され、カウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが “0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSTPR.SLCSTP ビットが “0” のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。

また、電圧検出回路において電圧監視 1 リセットの機能（LVD1CR0.LVD1RI=1）、または電圧監視 2 リセットの機能（LVD2CR0.LVD2RI=1）を選択している場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合はソフトウェアスタンバイモードへ移行します。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

注 1.　WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「11.6.3　ソフトウェアスタンバイモード」を参照してください。

注 2.　RAM のアドレス空間は、RAM0 ～ RAM3 の領域に分かれています。アドレス空間は表 11.2 を参照してください。

11.6.4.2　ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部端子割り込み発生元となる一部の端子（NMI、IRQ0-DS ～ IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS）、周辺機能割り込み（RTC アラーム、RTC 周期、USB サスペンド / レジューム、電圧監視 1、電圧監視 2）、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセットによって行われます。

(1) 外部割り込み端子および内部割り込み信号による解除

ディープソフトウェアスタンバイモードの解除は、DPSIERn(n=3 ～ 0) レジスタと DPSIFRn(n=3 ～ 0) レジスタで制御されます。ディープソフトウェアスタンバイモードを解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが “1” になります。このとき、DPSIERn レジスタで解除要因が許可されている場合にディープソフトウェアスタンバイモードは解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn(n=0 ～ 3) にて設定可能です。エッジ選択可能な割り込みは、NMI、IRQ0-DS ～ IRQ15-DS、SCL2-DS、SDA2-DS、CRX1-DS、電圧監視 1、電圧監視 2 となります。

ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源の供給と LOCO クロックの発振を開始し、LSI 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）を発生します。その後、安定した LOCO クロックが LSI 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込み端子および内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが “1” になります。

(2) RES# 端子による解除

RES# 端子を Low にすると、ディープソフトウェアスタンバイモードは解除されます。このとき RES# 端子は「51.　電気的特性」に従って Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

(4) 電圧監視 0 リセットによる解除

電源電圧の低下によって電圧監視 0 リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

11.6.4.3　ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI 内部は初期化され、ディープソフトウェアスタンバイモードが解除されるとリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEP ビットによって、I/O ポートを初期状態とするか、ソフトウェアスタンバイモード時の I/O ポートの状態を保持するかを選択することができます。

- DPSBYCR.IOKEEP ビットが “0” のとき
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートの状態は初期状態になります。
- DPSBYCR.IOKEEP ビットが “1” のとき
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、LSI 内部は初期化されていますが、I/O ポートは LSI 内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。このとき、I/O ポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時の I/O ポートの状態を保持します。その後、IOKEEP ビットを “0” にすることによって、I/O ポートの状態保持は解除され、内部状態に応じた動作となります。

DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

11.6.4.4　ディープソフトウェアスタンバイモードの応用例

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 11.3 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b”（立ち下がりエッジ）に設定されている状態で、IRQn 割り込みを受け付けた後、DPSIEGRy.DIRQnEG ビット（y=0, 1、n=0 ～ 15）を “1”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

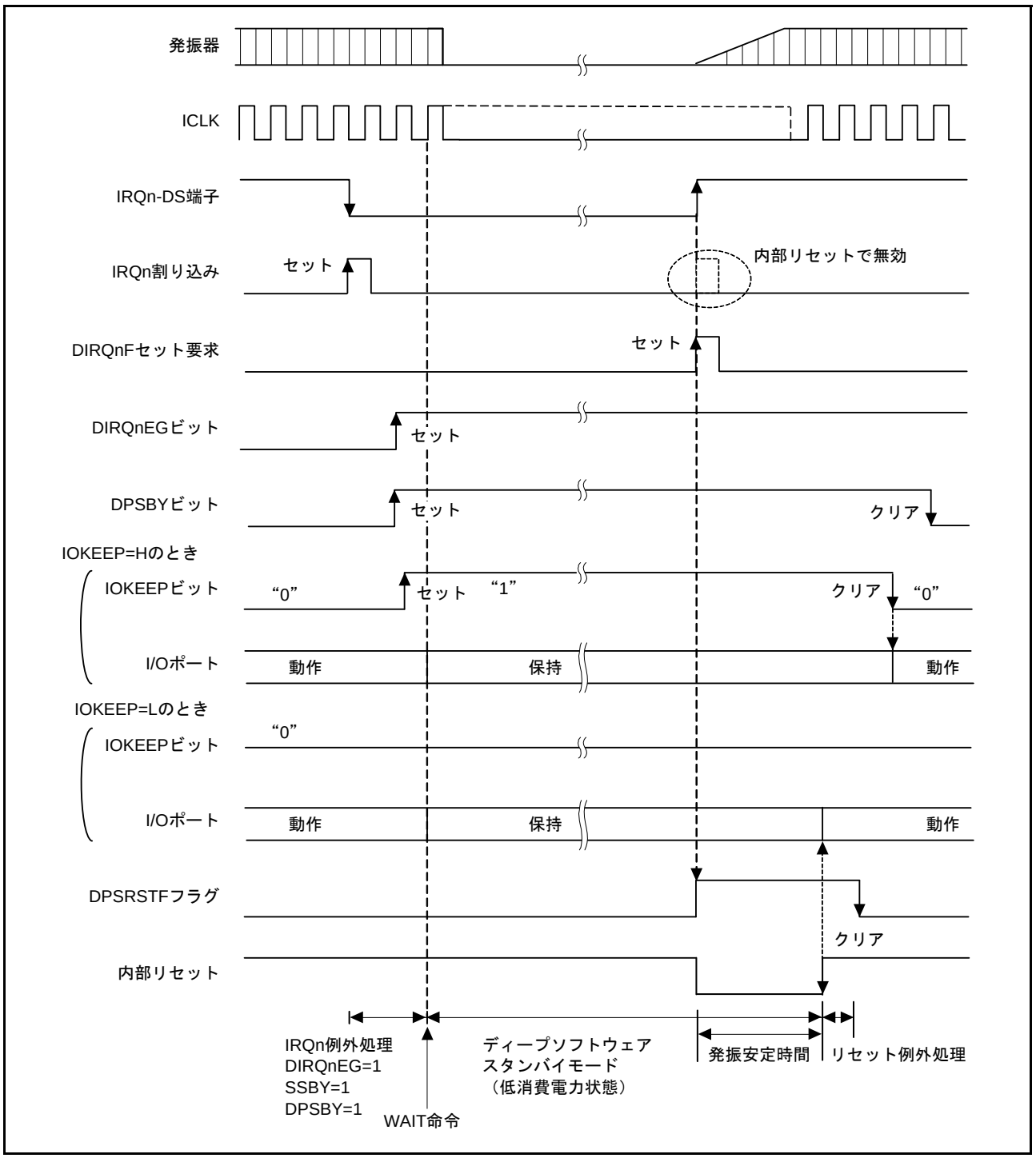


図 11.3　ディープソフトウェアスタンバイモードの応用例

11.6.4.5　ディープソフトウェアスタンバイモードのフローチャート

図 11.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを “0” にしています。

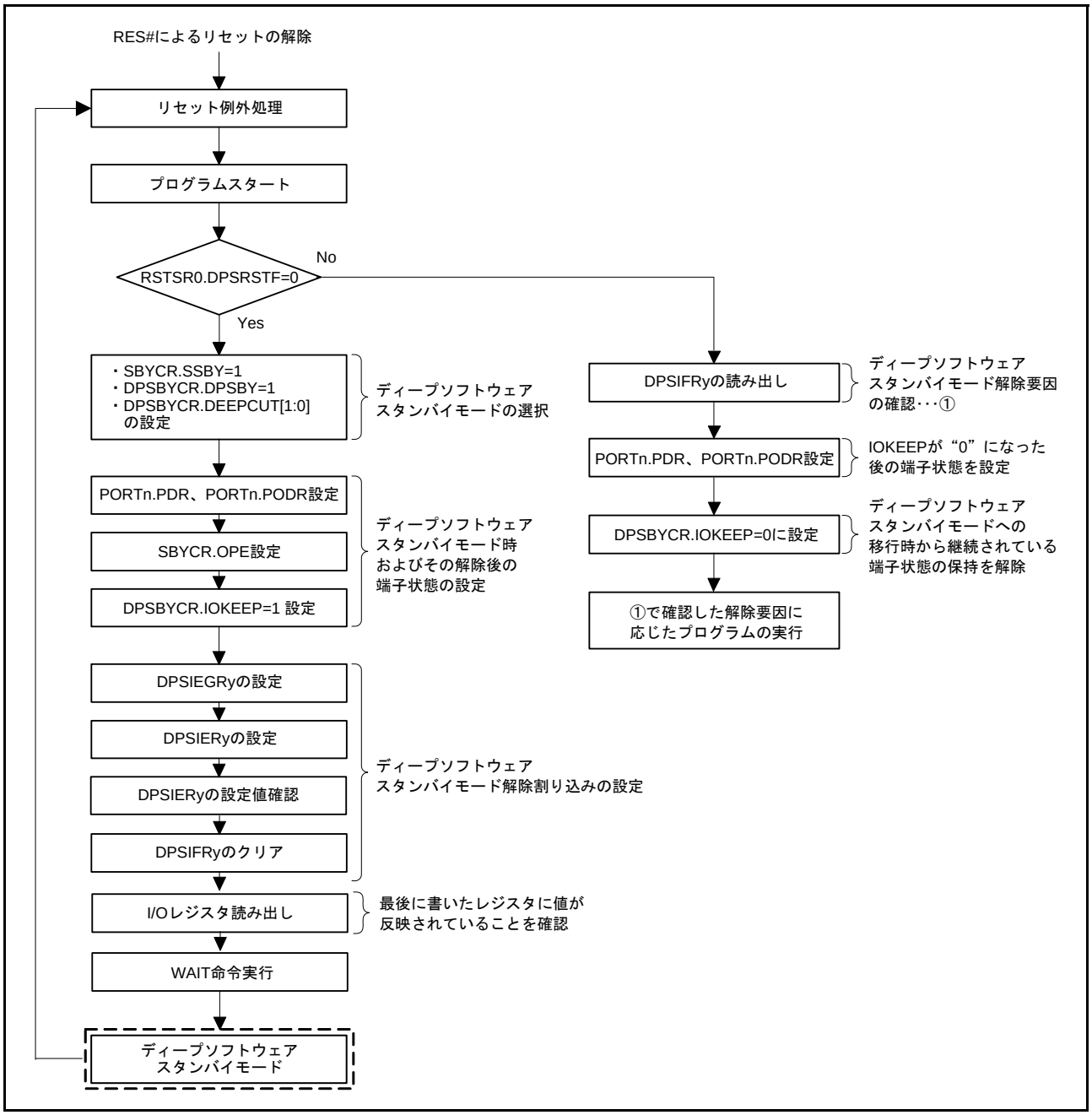


図 11.4　ディープソフトウェアスタンバイモードのフローチャート例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

11.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを “1” にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを “0” にして、DTC、DMAC が起動していない状態にしてください。

詳細は「18. DMA コントローラ（DMACA）」、「20. データトランスファコントローラ（DTCa）」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC および MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 DIRQnE ビット (n=0 ～ 15) による入力バッファ制御

DPSIERy.DIRQnE（y=0, 1、n=0 ～ 15）ビットを “1” にすることで、IRQ0-DS ～ IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF（y=0, 1、n=0 ～ 15）ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

11.7.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。I/O レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き変えないでください。

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き変えないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き変えないでください。

11.7.8 全モジュールクロックストップモードの解除

ICLK が PCLKA、PCLKB よりも遅く設定されている場合には、全モジュールクロックストップモードの解除に TMR 割り込みを使用することができません。全モジュールクロックストップモードの解除に TMR

割り込みを使用する場合は、あらかじめ ICLK を PCLKA、PCLKB 以上の周波数に変更してから、全モジュールクロックストップモードに移行してください。

11.7.9　サブクロックをシステムクロックのクロックソースに使用する場合の注意事項

サブクロックをシステムクロックのクロックソースに使用する場合は、ソフトウェアスタンバイモードへ移行する際に、RTC（RCR3.RTCEN = 1）、または低速オンチップオシレータ（LOCOCR.LCSTP = 0）を動作させておいてください。

11.7.10　ソフトウェアスタンバイモードから復帰するときの注意事項

IRQ0 ～ IRQ15 割り込みをソフトウェアスタンバイモードの解除要因として設定しない場合、ソフトウェアスタンバイモードにおいて対応する端子の入力バッファが無効となるため、LSI 内部への入力信号が High に固定されます。そのため端子の状態によっては、ソフトウェアスタンバイモードへ移行することにより、割り込みステータスフラグ（ICU.IRi.IR）が “1” になる可能性があります。

ソフトウェアスタンバイモードへの移行時には、解除要因としない IRQ0 ～ IRQ15 割り込みを IERi.IENj ビットで割り込み禁止にした上で、WAIT 命令を実行してください。また、ソフトウェアスタンバイモードからの復帰後は、割り込みステータスフラグをクリアしてください。

11.7.11　低速動作モードからソフトウェアスタンバイモードへ移行するための注意事項

ソフトウェアスタンバイモードから復帰した後は、高速動作モードになります。なお、WAIT 命令を実行しても、ソフトウェアスタンバイモードへの移行が完了する前に解除された場合は、WAIT 命令実行前のモードから変化しません。このことが問題になる場合は、復帰割り込み処理中で OPCCR.OPCM[2:0] を “000b” にしてください。

12. バッテリバックアップ機能

12.1 概要

VCC 端子の電圧が低下したとき、専用のバッテリバックアップ用電源端子（VBATT 端子）からリアルタイムクロック（RTC）とサブクロック発振器に電源を供給することができます。VCC 端子の電圧低下を検出すると、VBATT 端子に接続が切り替わります。

図 12.1 にバッテリバックアップ機能の構成図を示します。

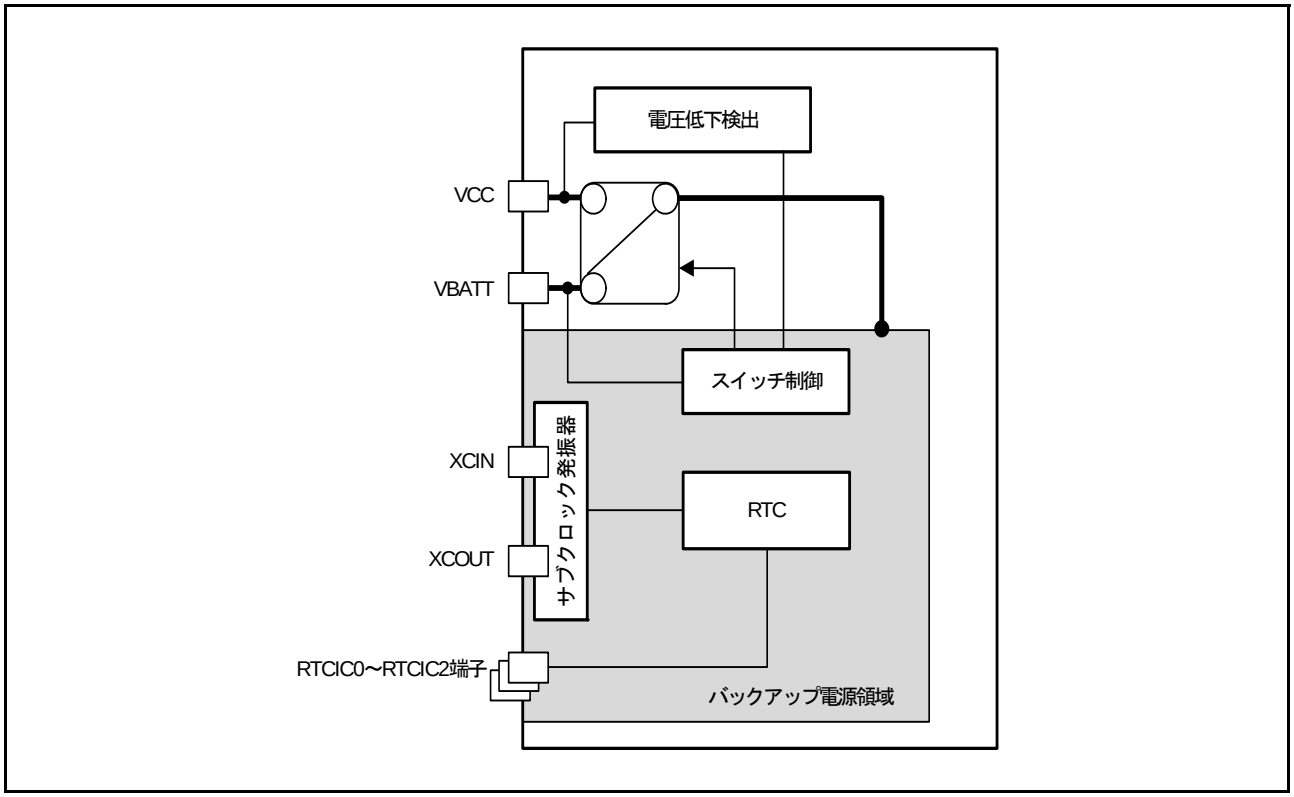


図 12.1　バッテリバックアップ機能の構成図

12.2 動作説明

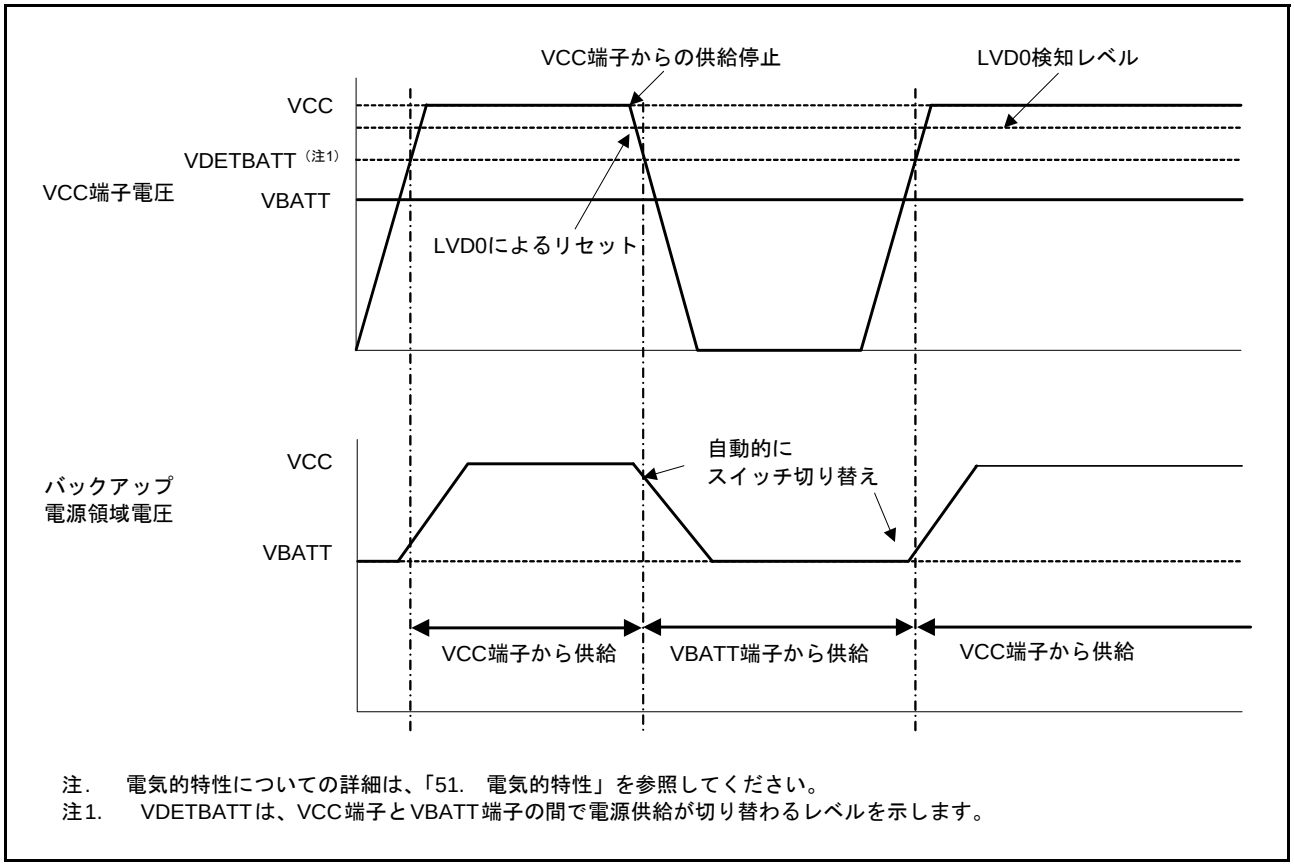
12.2.1 バッテリバックアップ機能

VCC 端子からの電圧が低下したとき、VBATT 端子から RTC とサブクロック発振器に電源を供給することができます。VCC 端子からの供給電圧の低下を検出すると、VBATT 端子からの電源供給に切り替わります。また、VBATT 端子からの電源供給による RTC 動作中に VCC 電圧が VDETBATT を超えると VCC 端子からの電源供給に戻ります。このとき、RTC の動作には影響しません。VBATT 端子からの電圧が動作保証範囲を下回った場合は、RTC の動作は保証されません。なお、バッテリバックアップ機能は、電圧監視 0 リセットを有効に設定したうえで使用してください。

VBATT 端子からは、以下のモジュールに電源が供給されます。

- RTC
- サブクロック発振器 (XCIN、XCOUT 端子含む)

図 12.2 にバッテリバックアップ機能への切り替わり動作を示します。



注.　電気的特性についての詳細は、「51.　電気的特性」を参照してください。
注1.　VDETBATTは、VCC端子とVBATT端子の間で電源供給が切り替わるレベルを示します。

図 12.2　バッテリバックアップ機能への切り替わり動作

12.3 使用上の注意事項

(1) VBATT 端子を使用しない場合は、VBATT 端子を VCC 端子に接続してください。

(2) VBATT が動作保証範囲を下回ったときは、サブクロック、RTC の動作は保証されません。VBATT が動作保証電圧を下回った後、再度電源を立ち上げたときには、RTC の初期設定を行ってください。

(3) RTC のレジスタへの書き込みは VCC が供給されているときに実施してください。

(4) VCC が VDETBATT を上回っているときは、VCC 端子と VBATT 端子は電気的に分離されます。VCC が VDETBATT を下回りスイッチが VBATT 端子に接続されているとき、VBATT が VCC − 0.6V より低くなると VCC − VBATT 端子間にある寄生ダイオードを介して VBATT 端子に電流が流れ込む可能性があります。

(5) VBATT 端子からの電圧供給による RTC 動作時において、バックアップ電源領域内の I/O ポート（P30、P31、P32）は、RTC の時間キャプチャイベント入力端子としてのみ使用できます。

13. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 13.1 に PRCR レジスタと保護されるレジスタの対応を示します。

表13.1　PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	• クロック発生回路関連レジスタ SCKCR、SCKCR2、SCKCR3、PLLCR、PLLCR2、BCKCR、MOSCCR、SOSCCR、LOCOCR、ILOCOCR、HOCOCR、OSTDCR、OSTDSR
PRC1 ビット	• 動作モード関連レジスタ SYSCR0、SYSCR1 • 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD、OPCCR、RSTCKCR、MOSCWTCR、SOSCWTCR、PLLWTCR、DPSBYCR、DPSIER0～3、DPSIFR0～3、DPSIEGR0～3 • クロック発生回路関連レジスタ MOFCR、HOCOPCR • ソフトウェアリセットレジスタ SWRR
PRC3 ビット	• LVD 関連レジスタ LVCMPCR、LVDLVLR、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR

13.1 レジスタの説明

13.1.1 プロテクトレジスタ（PRCR）

アドレス 0008 03FEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) （注1）

注1.　書き込みデータは保持されません。

PRCi ビット（プロテクトビット i）(i=0、1、3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが “1” のとき、保護されるレジスタへの書き込みができます。PRCi ビットが “0” のとき、レジスタへの書き込みができません。

14. 例外処理

14.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要が生じる場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、7 種類の例外に対応します。図 14.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパバイザモードに移行します。

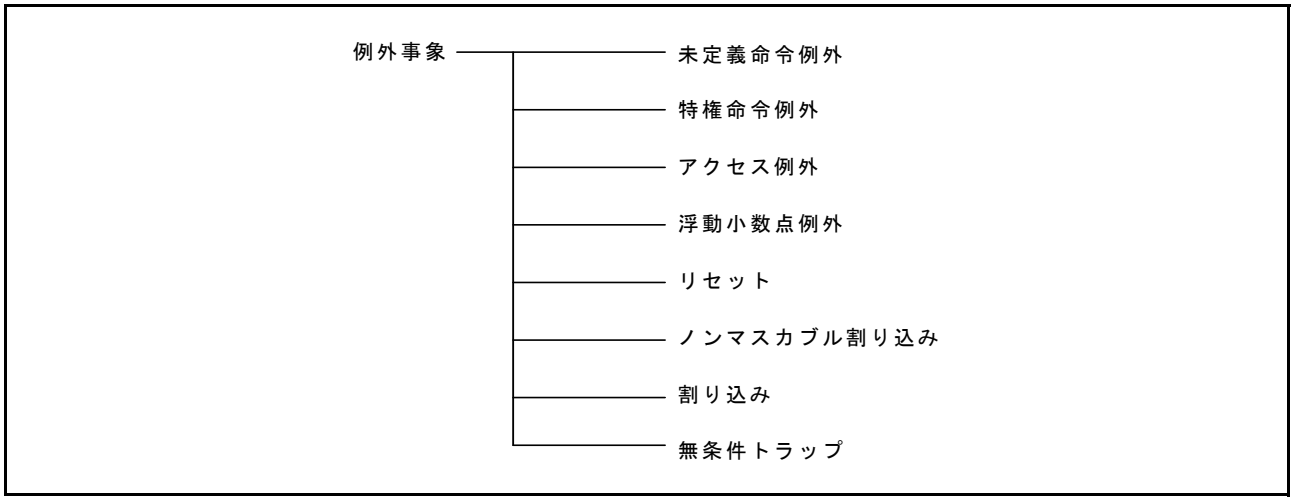


図 14.1 例外事象の種類

14.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

14.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパバイザモードでのみ実行可能です。

14.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

14.1.4 浮動小数点例外

浮動小数点例外は、IEEE754 規格で規定された 5 つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSW の EX、EU、EZ、EO、EV ビットが “0” のとき、例外処理が禁止されます。

14.1.5 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

14.1.6 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

14.1.7 割り込み

CPU に割り込み信号を入力することによって発生します。割り込みのうち 1 つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは 15（最高）です。

PSW の I ビットが “0” のとき、割り込みの受け付けは禁止されます。

14.1.8 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

14.2　例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 14.2 に示します。

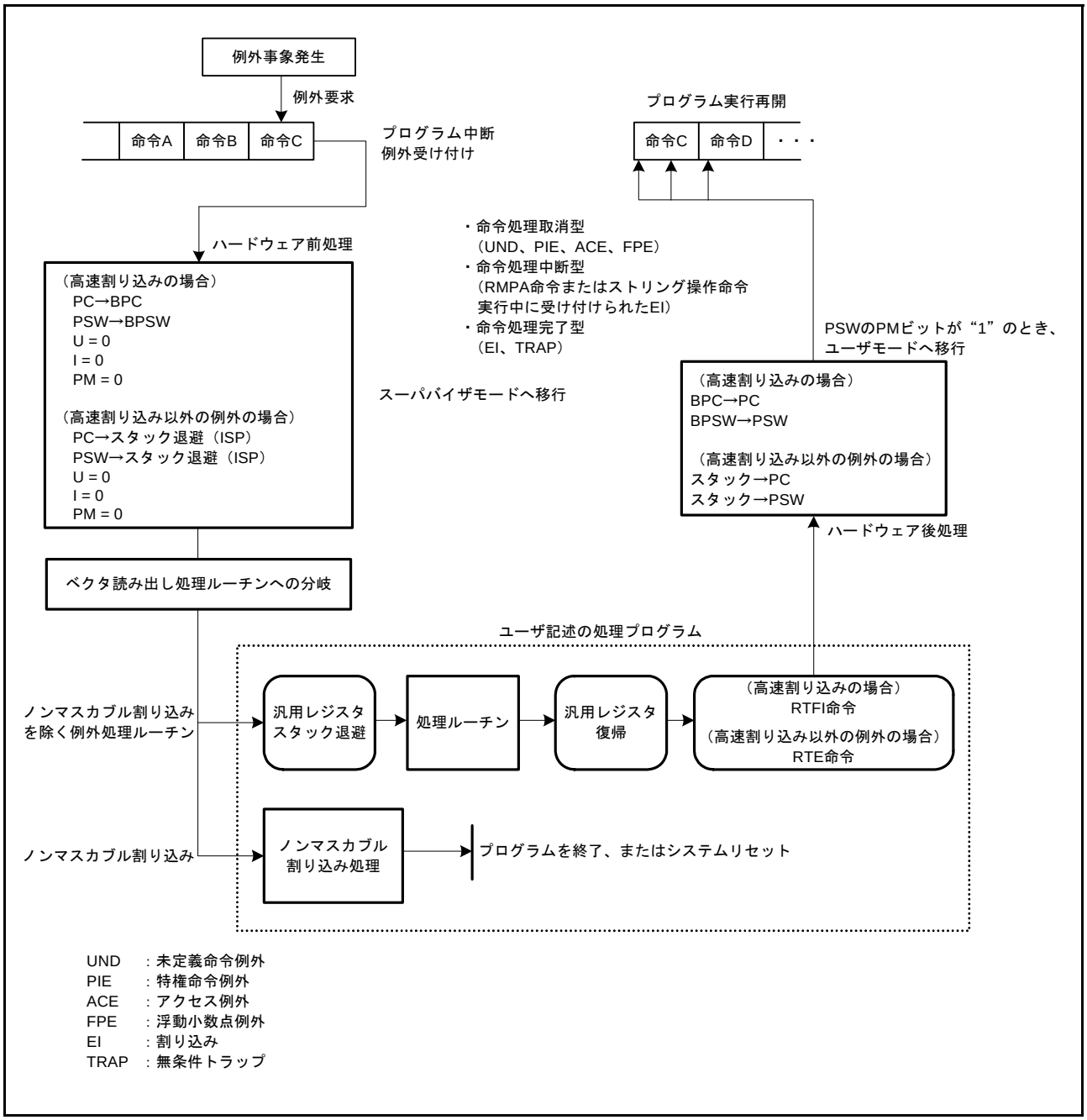


図 14.2　例外の処理手順の概要

例外が受け付けられると、RX CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ（PC）の内容をバックアップ PC（BPC）に、プロセッサステータスワード（PSW）の内容をバックアップ PSW（BPSW）へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ハンドラ処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

14.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

14.3.1 受け付けタイミングと退避されるPC値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ（PC）の値を**表14.1**に示します。

表14.1　受け付けタイミングと退避されるPC値

例外事象		処理型	受け付けタイミング	BPC／スタックに退避されるPC値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ		命令処理完了型	命令の区切り	次の命令のPC値

14.3.2 ベクタとPC、PSWの退避場所

各例外事象のベクタとプログラムカウンタ（PC）、プロセッサステータスワード（PSW）の退避場所を**表14.2**に示します。

表14.2　ベクタとPC、PSWの退避場所

例外事象		ベクタ	PC、PSWの退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
アクセス例外		固定ベクタテーブル	スタック
浮動小数点例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスカブル割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	可変ベクタテーブル（INTB）	スタック
無条件トラップ		可変ベクタテーブル（INTB）	スタック

14.4　例外の受け付け／復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1)　例外受け付け時のハードウェア前処理

(a)　PSW の退避

（高速割り込みの場合）
PSW → BPSW
（高速割り込み以外の例外の場合）
PSW →スタック領域

注 .　FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b)　PSW の PM、U、I ビットの更新

I :　0 にする
U :　0 にする
PM : 0 にする

(c)　PC の退避

（高速割り込みの場合）
PC → BPC
（高速割り込み以外の例外の場合）
PC →スタック領域

(d)　PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2)　RTE 命令、RTFI 命令実行時のハードウェア後処理

(a)　PSW の復帰

（高速割り込みの場合）
BPSW → PSW
（高速割り込み以外の例外の場合）
スタック領域→ PSW

(b)　PC の復帰

（高速割り込みの場合）
BPC → PC
（高速割り込み以外の例外の場合）
スタック領域→ PC

14.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

14.5.1 未定義命令例外

1. プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
2. PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
3. プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。
4. FFFFFFDCh 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.2 特権命令例外

1. プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
2. PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
3. プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。
4. FFFFFFD0h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.3 アクセス例外

1. プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
2. PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
3. プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。
4. FFFFFFD4h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.4 浮動小数点例外

1. プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
2. PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
3. プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。
4. FFFFFFE4h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.5 リセット

1. 制御を初期化します。
2. FFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ（PC）にセットします。

14.5.6 ノンマスカブル割り込み

1. プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
2. PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ（PC）の内容を、それ以外の状態では次の命令の PC の内容をスタック領域（ISP）に退避します。
4. PSW のプロセッサ割り込み優先レベル（IPL[3:0]）を “Fh” にします。
5. FFFFFFF8h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.7 割り込み

1. プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。高速割り込みの場合は、バックアップ PSW（BPSW）に退避します。
2. PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ（PC）の内容を、それ以外の状態では次の命令の PC の内容をスタック領域（ISP）に退避します。高速割り込みの場合は、バックアップ PC（BPC）に退避します。
4. PSW のプロセッサ割り込み優先レベル（IPL[3:0]）に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ（FINTV）からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.5.8 無条件トラップ

1. プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
2. PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
3. 次の命令のプログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。
4. INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。
   BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

14.6　例外処理ルーチンからの復帰

例外処理ルーチンの最後で**表 14.3** に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 14.3　例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

14.7　例外事象の優先順位

例外事象の優先順位を**表 14.4** に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 14.4　例外事象の優先順位

優先順位		例外事象
高い ▲	1	リセット
	2	ノンマスカブル割り込み
	3	割り込み
	4	命令アクセス例外
	5	未定義命令例外 特権命令例外
	6	無条件トラップ
	7	オペランドアクセス例外
低い	8	浮動小数点例外

15. 割り込みコントローラ（ICUb）

15.1 概要

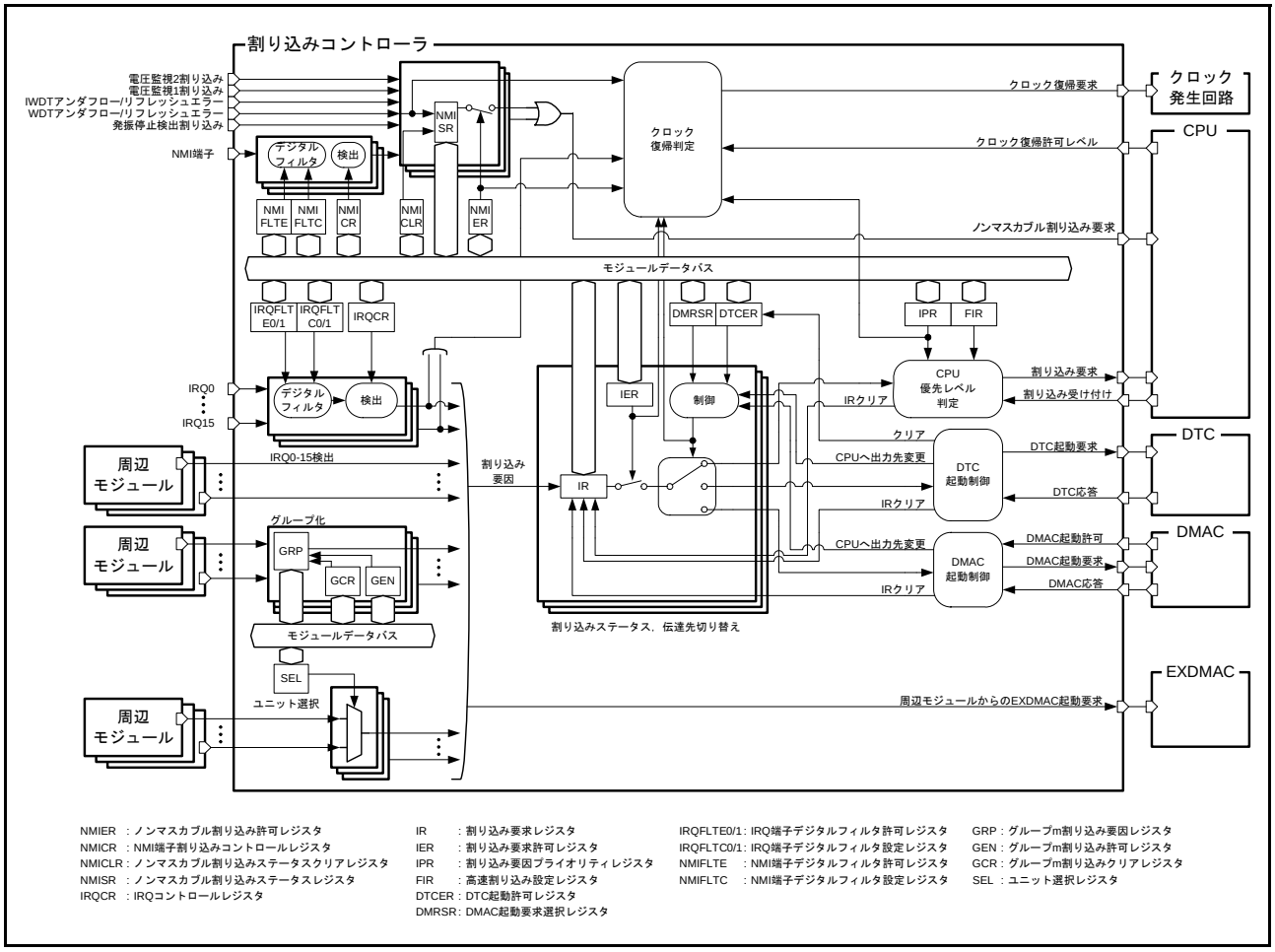
割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC、DMAC の起動を行います。

表 15.1 に割り込みコントローラの仕様を、**図 15.1** に割り込みコントローラのブロック図を示します。

表15.1　割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	• 周辺モジュールからの割り込み • 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定 • グループ割り込み機能：複数の割り込みを1つの割り込みベクタに割り当て エッジ検出割り込みグループ数：7（グループ0～6） レベル検出割り込みグループ数：1（グループ12） • ユニット選択機能：2つの割り込み要求のうち一方の割り込み要求を選択 ユニット数：6
	外部端子割り込み	• IRQ0～IRQ15端子からの割り込み • 要因数：16 • 割り込み検出：Lowレベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 • デジタルフィルタ機能：あり
	ソフトウェア割り込み	• レジスタ書き込みによる割り込み • 要因数：1
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC、DMAC制御	割り込み要因によりDTCやDMACを起動可能（注1）
ノンマスカブル割り込み	NMI端子割り込み	• NMI端子からの割り込み • 割り込み検出：立ち下がりエッジ/立ち上がりエッジ • デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	WDTアンダフロー/リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	IWDTアンダフロー/リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1（LVD1）の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2（LVD2）の電圧監視割り込み
低消費電力状態からの復帰		• スリープモード：ノンマスカブル割り込み、全割り込み要因で復帰 • 全モジュールクロックストップモード：ノンマスカブル割り込み、IRQ0～IRQ15割り込み、TMR割り込み、USBレジューム割り込み、RTCアラーム/周期割り込みで復帰 • ソフトウェアスタンバイモード：ノンマスカブル割り込み、IRQ0～IRQ15割り込み、USBレジューム割り込み、RTCアラーム/周期割り込みで復帰

注1.　DTCおよびDMACの起動要因については、「表15.3　割り込みのベクタテーブル」を参照してください。



NMIER　：ノンマスカブル割り込み許可レジスタ
NMICR　：NMI端子割り込みコントロールレジスタ
NMICLR：ノンマスカブル割り込みステータスクリアレジスタ
NMISR　：ノンマスカブル割り込みステータスレジスタ
IRQCR　：IRQコントロールレジスタ
IR　　：割り込み要求レジスタ
IER　　：割り込み要求許可レジスタ
IPR　　：割り込み要因プライオリティレジスタ
FIR　　：高速割り込み設定レジスタ
DTCER：DTC起動許可レジスタ
DMRSR：DMAC起動要求選択レジスタ
IRQFLTE0/1：IRQ端子デジタルフィルタ許可レジスタ
IRQFLTC0/1：IRQ端子デジタルフィルタ設定レジスタ
NMIFLTE　：NMI端子デジタルフィルタ許可レジスタ
NMIFLTC　：NMI端子デジタルフィルタ設定レジスタ
GRP：グループm割り込み要因レジスタ
GEN：グループm割り込み許可レジスタ
GCR：グループm割り込みクリアレジスタ
SEL　：ユニット選択レジスタ

図 15.1　　割り込みコントローラのブロック図

表 15.2 に割り込みコントローラで使用する入出力端子を示します。

表 15.2　　割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ0～IRQ15	入力	外部割り込み要求端子

15.2　レジスタの説明

15.2.1　割り込み要求レジスタ n（IRn）（n = 割り込みベクタ番号）

アドレス　0008 7010h ～ 0008 70FDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R/(W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
　　レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、**「表 15.3　割り込みのベクタテーブル」**を参照してください。

IR フラグ（割り込みステータスフラグ）

割り込み要求のステータスフラグです。割り込み要求が発生すると “1” になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出 / レベル検出が決まっています。IRQi 端子からの割り込みは、IRQCRi.IRQMD[1:0] ビット（i = 0 ～ 15）の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、**「表 15.3　割り込みのベクタテーブル」**を参照してください。

グループ化された割り込み要求は、グループ m 割り込み要因レジスタ（GRPm）(m= グループ番号) で検出します。GRPm レジスタで検出された割り込み要求は、レベル割り込み要求としてグループに対応する IR フラグで検出します。割り込みグループ化機能の詳細は**「15.4　周辺モジュール割り込み要求のグループとユニット選択機能」**を参照してください。

グループ化された割り込み要求は**「表 15.4　グループ m 割り込み要求」**を参照してください。

(1)　エッジ検出の場合

[“1” になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると “1” になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0” になる条件]

- 割り込み要求先が割り込み要求を受け付けると “0” になります。
- IR フラグに “0” を書くと “0” になります。ただし、割り込み要求先を DTC または DMAC に設定している場合、IR フラグへの “0” 書き込みは禁止です。

(2)　レベル検出の場合

[“1” になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は “1” になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。
- グループ化された割り込み要求の場合、グループ m 割り込み許可レジスタの割り込み要求許可ビット j

（GENm.ENj）(m= グループ番号、j= ビット番号) が “1” で、グループ m 割り込み要因レジスタの割り込みステータスフラグ（GRPm.ISj）が “1” のときは “1” になります。

[“0” になる条件]

- 割り込み要求の出力元をクリアすると “0” になります。(割り込み要求先が割り込み要求を受け付けても “0” になりません。）周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。
- グループ化された割り込み要求の場合、GENm.ENj ビットが “0”、もしくは GRPm.ISj フラグが “0” になると、“0” になります。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。レベル検出時は、IR フラグへの “0”、“1” ともに書き込みは禁止です。

15.2.2　割り込み要求許可レジスタ m（IERm）（m = 02h ～ 1Fh）

アドレス　0008 7202h ～ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット 0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット 1		R/W
b2	IEN2	割り込み要求許可ビット 2		R/W
b3	IEN3	割り込み要求許可ビット 3		R/W
b4	IEN4	割り込み要求許可ビット 4		R/W
b5	IEN5	割り込み要求許可ビット 5		R/W
b6	IEN6	割り込み要求許可ビット 6		R/W
b7	IEN7	割り込み要求許可ビット 7		R/W

注．　予約となっているベクタ番号に対応するビットへの書き込みは “0” としてください。読むと “0” が読み出されます。

IENj ビット（割り込み要求許可ビット j）（j ＝ 7 ～ 0）

IENj ビットが “1” のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが “0” のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグは、IENj ビットの影響を受けません。IENj ビットが “0” であっても、**「15.2.1　割り込み要求レジスタ n（IRn）（n = 割り込みベクタ番号）」**に示す条件で IR フラグは変化します。

IERm.IENj ビットは、割り込み要因（ベクタ番号）ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、**「表 15.3　割り込みのベクタテーブル」**を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、**「15.5.3　割り込み要求先の選択」**を参照してください。

15.2.3　割り込み要因プライオリティレジスタ n（IPRn）（n = 000 ～ 253）

アドレス　0008 7300h～0008 73FDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IPR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0：レベル0（割り込み禁止）（注1） 0 0 0 1：レベル1 0 0 1 0：レベル2 0 0 1 1：レベル3 0 1 0 0：レベル4 0 1 0 1：レベル5 0 1 1 0：レベル6 0 1 1 1：レベル7 1 0 0 0：レベル8 1 0 0 1：レベル9 1 0 1 0：レベル10 1 0 1 1：レベル11 1 1 0 0：レベル12 1 1 0 1：レベル13 1 1 1 0：レベル14 1 1 1 1：レベル15（最高）	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、**「表 15.3　割り込みのベクタテーブル」**を参照してください。

IPR[3:0] ビット（割り込み優先レベル設定ビット）

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC への起動要求には影響を与えません。

CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止（IERm.IENj ビット = “0”）した状態で行ってください。

15.2.4　高速割り込み設定レジスタ（FIR）

アドレス　0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIEN	—	—	—	—	—	—	—	FVCT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0：高速割り込みを禁止 1：高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMAC への起動要求には影響を与えません。

書き込みは、割り込み要求を禁止（IERm.IENj ビット =“0”）した状態で行ってください。

FVCT[7:0] ビット（高速割り込みベクタ設定ビット）

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット（高速割り込み許可ビット）

高速割り込みを許可するビットです。

FIEN ビットを “1” にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが “1” のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合については**「15.7.3　ソフトウェアスタンバイモードからの復帰」**を参照してください。

IERm.IENj ビット (m=02h ～ 1Fh、j=7 ～ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、**「表 15.3　割り込みのベクタテーブル」**を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、**「14.　例外処理」**および**「15.5.5　高速割り込み」**を参照してください。

15.2.5　ソフトウェア割り込み起動レジスタ（SWINTR）

アドレス　0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W)（注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“1”のみ書けます。

SWINT ビット（ソフトウェア割り込み起動ビット）

SWINT ビットに “1” を書くと、割り込み要求レジスタ 027（IR027）が “1” になります。

DTC 起動許可レジスタ 027（DTCER027）を “0” にして、SWINT ビットに “1” を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 027（DTCER027）を “1” にして、SWINT ビットに “1” を書くと DTC 起動要求を発行します。

15.2.6　DTC 起動許可レジスタ n（DTCERn）（n = 割り込みベクタ番号）

アドレス　0008 711Bh～0008 71FBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC起動許可ビット	0：DTC起動禁止 1：DTC起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMAC 起動要求に選択したものと同一の要因に DTC 起動許可を設定するのは禁止です。割り込み要因との対応は**「表 15.3　割り込みのベクタテーブル」**を参照してください。

DTCE ビット（DTC 起動許可ビット）

DTCE ビットを “1” にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1” になる条件]

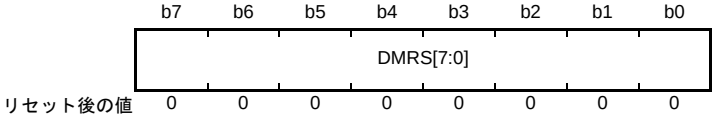
- DTCE ビットに “1” を書いたとき

[“0” になる条件]

- 指定した回数のデータ転送が終了したとき（チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき）
- DTCE ビットに “0” を書いたとき

15.2.7　DMAC 起動要求選択レジスタ m（DMRSRm）（m = DMAC チャネル番号）

アドレス　DMRSR0 0008 7400h、DMRSR1 0008 7404h
DMRSR2 0008 7408h、DMRSR3 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMAC起動要因選択ビット	DMAC起動要求ベクタ番号を設定します	R/W

複数の DMRSRm レジスタに同一要因を設定するのは禁止です。DMRSRm レジスタに設定したものと同一要因に DTC 起動許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット（DMAC 起動要因選択ビット）

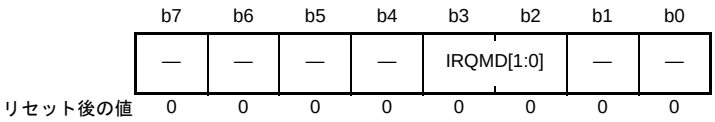
DMAC を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMAC の起動要因として割り当てられていないベクタ番号は、設定しないでください。

割り込み要因のベクタ番号は、**「表 15.3　割り込みのベクタテーブル」**を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット（DMACm.DMCNT.DTE）が “0” のときに行ってください。

15.2.8　IRQ コントロールレジスタ i（IRQCRi）（i =0 ～ 15）

アドレス　0008 7500h～0008 750Fh



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止（IERm.IENj ビットが “0”）の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット（IRQ 検出設定ビット）

外部端子割り込み要因（IRQ0 ～ IRQ15）の検出方法を設定します。

外部端子割り込みの検出設定手順は、**「15.5.7　外部端子割り込み」**を参照してください。

15.2.9　IRQ 端子デジタルフィルタ許可レジスタ 0（IRQFLTE0）

アドレス　0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN7	FLTEN6	FLTEN5	FLTEN4	FLTEN3	FLTEN2	FLTEN1	FLTEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7デジタルフィルタ許可ビット		R/W

FLTENi ビット（IRQi デジタルフィルタ許可ビット）（i ＝ 0 ～ 7）

外部端子割り込み要因（IRQ0 ～ IRQ7）のデジタルフィルタの使用を許可するビットです。

FLTENi ビットが “1” のとき、デジタルフィルタが有効になります。FLTENi ビットが “0” のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSELi[1:0] ビットで設定したサンプリングクロックごとに IRQi 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「15.5.6　**デジタルフィルタ**」を参照してください。

15.2.10　IRQ 端子デジタルフィルタ許可レジスタ 1（IRQFLTE1）

アドレス　0008 7511h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN15	FLTEN14	FLTEN13	FLTEN12	FLTEN11	FLTEN10	FLTEN9	FLTEN8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN8	IRQ8デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b1	FLTEN9	IRQ9デジタルフィルタ許可ビット		R/W
b2	FLTEN10	IRQ10デジタルフィルタ許可ビット		R/W
b3	FLTEN11	IRQ11デジタルフィルタ許可ビット		R/W
b4	FLTEN12	IRQ12デジタルフィルタ許可ビット		R/W
b5	FLTEN13	IRQ13デジタルフィルタ許可ビット		R/W
b6	FLTEN14	IRQ14デジタルフィルタ許可ビット		R/W
b7	FLTEN15	IRQ15デジタルフィルタ許可ビット		R/W

FLTENi ビット（IRQi デジタルフィルタ許可ビット）（i ＝ 8 ～ 15）

外部端子割り込み要因（IRQ8 ～ IRQ5）のデジタルフィルタの使用を許可するビットです。

FLTENi ビットが “1” のとき、デジタルフィルタが有効になります。FLTENi ビットが “0” のとき、デジタルフィルタ機能は無効です。

IRQFLTC1.FCLKSELi[1:0] ビットで設定したサンプリングクロックごとに IRQi 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「15.5.6　**デジタルフィルタ**」を参照してください。

15.2.11　IRQ 端子デジタルフィルタ設定レジスタ 0（IRQFLTC0）

アドレス　0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0：PCLK 0 1：PCLK/8 1 0：PCLK/32 1 1：PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット（IRQi デジタルフィルタサンプリングクロック設定ビット）（i ＝ 0 ～ 7）

外部端子割り込み要求端子（IRQ0 ～ IRQ7）のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK（毎クロック）、PCLK/8（8 クロックに 1 回）、PCLK/32（32 クロックに 1 回）、PCLK/64（64 クロックに 1 回）より選択します。

デジタルフィルタの詳細は、「15.5.6　**デジタルフィルタ**」を参照してください。

15.2.12　IRQ 端子デジタルフィルタ設定レジスタ 1（IRQFLTC1）

アドレス　0008 7516h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL15[1:0]		FCLKSEL14[1:0]		FCLKSEL13[1:0]		FCLKSEL12[1:0]		FCLKSEL11[1:0]		FCLKSEL10[1:0]		FCLKSEL9[1:0]		FCLKSEL8[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL8[1:0]	IRQ8 デジタルフィルタサンプリングクロック設定ビット	0 0：PCLK 0 1：PCLK/8 1 0：PCLK/32 1 1：PCLK/64	R/W
b3-b2	FCLKSEL9[1:0]	IRQ9 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL10[1:0]	IRQ10 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL11[1:0]	IRQ11 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL12[1:0]	IRQ12 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL13[1:0]	IRQ13 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL14[1:0]	IRQ14 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL15[1:0]	IRQ15 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット（IRQi デジタルフィルタサンプリングクロック設定ビット）（i ＝ 8 ～ 15）

外部端子割り込み要求端子（IRQ8 ～ IRQ15）のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK（毎クロック）、PCLK/8（8 クロックに 1 回）、PCLK/32（32 クロックに 1 回）、PCLK/64（64 クロックに 1 回）より選択します。

デジタルフィルタの詳細は、「15.5.6　**デジタルフィルタ**」を参照してください。

15.2.13　ノンマスカブル割り込みステータスレジスタ（NMISR）

アドレス　0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2ST	LVD1ST	IWDTST	WDTST	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0：NMI端子割り込み要求なし 1：NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0：発振停止検出割り込み要求なし 1：発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0：WDTアンダフロー/リフレッシュエラー割り込み要求なし 1：WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTST	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0：IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1：IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0：電圧監視1割り込み要求なし 1：電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0：電圧監視2割り込み要求なし 1：電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ（NMIER）の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが “0” であることを確認してから、ハンドラを終了してください。

NMIST フラグ（NMI ステータスフラグ）

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1” になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0” になる条件]

- NMICLR.NMICLR ビットに “1” を書いたとき

OSTST フラグ（発振停止検出割り込みステータスフラグ）

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

[“1” になる条件]

- 発振停止検出割り込みが発生したとき

[“0” になる条件]

- NMICLR.OSTCLR ビットに “1” を書いたとき

WDTST フラグ（WDT アンダフロー / リフレッシュエラーステータスフラグ）

WDT アンダフロー / リフレッシュエラー割り込み要求を示します。

WDTST フラグは読み出しのみ可能で、クリアは NMICLR.WDTCLR ビットによって行います。

[“1” になる条件]

- WDT アンダフロー / リフレッシュエラー割り込みが発生したとき

[“0” になる条件]

- NMICLR.WDTCLR ビットに “1” を書いたとき

IWDTST フラグ（IWDT アンダフロー / リフレッシュエラーステータスフラグ）

IWDT アンダフロー / リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

[“1” になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー / リフレッシュエラー割り込みが発生したとき

[“0” になる条件]

- NMICLR.IWDTCLR ビットに “1” を書いたとき

LVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

[“1” になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD1CLR ビットに “1” を書いたとき

LVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

[“1” になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

[“0” になる条件]

- NMICLR.LVD2CLR ビットに “1” を書いたとき

15.2.14　ノンマスカブル割り込み許可レジスタ（NMIER）

アドレス　0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2EN	LVD1EN	IWDTEN	WDTEN	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0：NMI端子割り込み禁止 1：NMI端子割り込み許可	R/(W)（注1）
b1	OSTEN	発振停止検出割り込み許可ビット	0：発振停止検出割り込み禁止 1：発振停止検出割り込み許可	R/(W)（注1）
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0：WDTアンダフロー/リフレッシュエラー割り込み禁止 1：WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W)（注1）
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0：IWDTアンダフロー/リフレッシュエラー割り込み禁止 1：IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W)（注1）
b4	LVD1EN	電圧監視1割り込み許可ビット	0：電圧監視1割り込み禁止 1：電圧監視1割り込み許可	R/(W)（注1）
b5	LVD2EN	電圧監視2割り込み許可ビット	0：電圧監視2割り込み禁止 1：電圧監視2割り込み許可	R/(W)（注1）
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット（NMI 端子割り込み許可ビット）

NMI 端子割り込みの使用を許可するビットです。
1 回だけ “1” を書くことができます。以後の書き込みは無効です。
“0” を書くことはできません。

OSTEN ビット（発振停止検出割り込み許可ビット）

発振停止検出割り込みの使用を許可するビットです。
1 回だけ “1” を書くことができます。以後の書き込みは無効です。
“0” を書くことはできません。

WDTEN ビット（WDT アンダフロー / リフレッシュエラー許可ビット）

WDT アンダフロー / リフレッシュエラー割り込みの使用を許可するビットです。
1 回だけ “1” を書くことができます。以後の書き込みは無効です。
“0” を書くことはできません。

IWDTEN ビット（IWDT アンダフロー / リフレッシュエラー許可ビット）

IWDT アンダフロー / リフレッシュエラー割り込みの使用を許可するビットです。
1 回だけ “1” を書くことができます。以後の書き込みは無効です。
“0” を書くことはできません。

LVD1EN ビット（電圧監視 1 割り込み許可ビット）

電圧監視 1 割り込みの使用を許可するビットです。
1 回だけ “1” を書くことができます。以後の書き込みは無効です。
“0” を書くことはできません。

LVD2EN ビット（電圧監視 2 割り込み許可ビット）

電圧監視 2 割り込みの使用を許可するビットです。

1 回だけ “1” を書くことができます。以後の書き込みは無効です。

“0” を書くことはできません。

15.2.15　ノンマスカブル割り込みステータスクリアレジスタ（NMICLR）

アドレス　0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2CLR	LVD1CLR	IWDTCLR	WDTCLR	OSTCLR	NMICLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMI クリアビット	読むと “0” が読み出されます。“1” 書き込みで、NMISR.NMIST フラグをクリアします。“0” 書き込みは無効です	R/(W)（注1）
b1	OSTCLR	OST クリアビット	読むと “0” が読み出されます。“1” 書き込みで、NMISR.OSTST フラグをクリアします。“0” 書き込みは無効です	R/(W)（注1）
b2	WDTCLR	WDT クリアビット	読むと “0” が読み出されます。“1” 書き込みで、NMISR.WDTST フラグをクリアします。“0” 書き込みは無効です	R/(W)（注1）
b3	IWDTCLR	IWDT クリアビット	読むと “0” が読み出されます。“1” 書き込みで、NMISR.IWDTST フラグをクリアします。“0” 書き込みは無効です	R/(W)（注1）
b4	LVD1CLR	LVD1 クリアビット	読むと “0” が読み出されます。“1” 書き込みで、NMISR.LVD1ST フラグをクリアします。“0” 書き込みは無効です	R/(W)（注1）
b5	LVD2CLR	LVD2 クリアビット	読むと “0” が読み出されます。“1” 書き込みで、NMISR.LVD2ST フラグをクリアします。“0” 書き込みは無効です	R/(W)（注1）
b7-b6	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

注1.　“1” のみ書けます。

NMICLR ビット（NMI クリアビット）

“1” を書くと、NMISR.NMIST フラグは “0” になります。読むと “0” が読めます。

OSTCLR ビット（OST クリアビット）

“1” を書くと、NMISR.OSTST フラグは “0” になります。読むと “0” が読めます。

WDTCLR ビット（WDT クリアビット）

“1” を書くと、NMISR.WDTST フラグは “0” になります。読むと “0” が読めます。

IWDTCLR ビット（IWDT クリアビット）

“1” を書くと、NMISR.IWDTST フラグは “0” になります。読むと “0” が読めます。

LVD1CLR ビット（LVD1 クリアビット）

“1” を書くと、NMISR.LVD1ST フラグは “0” になります。読むと “0” が読めます。

LVD2CLR ビット（LVD2 クリアビット）

“1” を書くと、NMISR.LVD2ST フラグは “0” になります。読むと “0” が読めます。

15.2.16 NMI 端子割り込みコントロールレジスタ（NMICR）

アドレス 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可（NMIER.NMIEN ビットを “1” にする）する前に行ってください。

15.2.17 NMI 端子デジタルフィルタ許可レジスタ（NMIFLTE）

アドレス 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMIデジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット（NMI デジタルフィルタ許可ビット）

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが “1” のとき、デジタルフィルタが有効になります。NFLTEN ビットが “0” のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「15.5.6 **デジタルフィルタ**」を参照してください。

15.2.18　NMI 端子デジタルフィルタ設定レジスタ（NMIFLTC）

アドレス　0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMIデジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0：PCLK 0 1：PCLK/8 1 0：PCLK/32 1 1：PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット（NMI デジタルフィルタサンプリングクロック設定ビット）

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK（毎クロック）、PCLK/8（8 クロックに 1 回）、PCLK/32（32 クロックに 1 回）、PCLK/64（64 クロックに 1 回）より選択します。

デジタルフィルタの詳細は、「15.5.6　デジタルフィルタ」を参照してください。

15.2.19 グループ m 割り込み要因レジスタ（GRPm）(m= グループ番号)

- GRP00、GRP01、GRP02 レジスタ

アドレス GRP00 0008 C300h、GRP01 0008 C304h、GRP02 0008 C308h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ 0	0：割り込み要求なし 1：割り込み要求あり	R
b1	IS1	割り込みステータスフラグ 1		R
b2	IS2	割り込みステータスフラグ 2		R
b31-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

- GRP03、GRP04、GRP05、GRP06 レジスタ

アドレス GRP03 0008 C30Ch、GRP04 0008 C310h、GRP05 0008 C314h、GRP06 0008 C318h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IS4	IS3	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ 0	0：割り込み要求なし 1：割り込み要求あり	R
b1	IS1	割り込みステータスフラグ 1		R
b2	IS2	割り込みステータスフラグ 2		R
b3	IS3	割り込みステータスフラグ 3		R
b4	IS4	割り込みステータスフラグ 4		R
b31-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

- GRP12 レジスタ

アドレス　GRP12 0008 C330h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ0	0：割り込み要求なし 1：割り込み要求あり	R
b1	IS1	割り込みステータスフラグ1		R
b2	IS2	割り込みステータスフラグ2		R
b3	IS3	割り込みステータスフラグ3		R
b4	IS4	割り込みステータスフラグ4		R
b5	IS5	割り込みステータスフラグ5		R
b6	IS6	割り込みステータスフラグ6		R
b7	IS7	割り込みステータスフラグ7		R
b8	IS8	割り込みステータスフラグ8		R
b9	IS9	割り込みステータスフラグ9		R
b10	IS10	割り込みステータスフラグ10		R
b11	IS11	割り込みステータスフラグ11		R
b12	IS12	割り込みステータスフラグ12		R
b13	IS13	割り込みステータスフラグ13		R
b14	IS14	割り込みステータスフラグ14		R
b15	IS15	割り込みステータスフラグ15		R
b31-b16	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

GRPm レジスタはグループごとに存在し、m はグループ番号（m=00 ～ 06、12）を示します。

グループ化の詳細は「15.4.1　割り込み要求グループ」を参照してください。各グループに割り当てられた割り込み要求と GRPm レジスタ内のビット番号との対応は、「表 15.4　グループ m 割り込み要求」を参照してください。グループ化された割り込み要因と割り込みベクタ番号の対応は「表 15.3　割り込みのベクタテーブル」を参照してください。

ISj フラグ（割り込みステータスフラグ）(j= ビット番号)

グループ m の第 j ビットに割り当てられた周辺モジュールからの割り込み要求のステータスフラグです。割り込み要求が発生し、グループ m 割り込み許可レジスタの割り込要求許可ビット j（GENm.ENj）(m= グループ番号、j= ビット番号) で割り込みが許可されていると “1” になります。

グループ内のいずれかの要因が GENm.ENj ビットが “1”、かつ ISj フラグが “1” となるとき、グループに対応する割り込み要求レジスタ n の割り込みステータスフラグ（IRn.IR）(n= 割り込みベクタ番号) が “1” になります。

グループ 0 ～グループ 6 はエッジ検出の割り込み要求が、グループ 12 はレベル検出の割り込み要求がグループ化されています。

（1）グループ 0 ～グループ 6 の場合

[“1” になる条件]

- GENm.ENj ビットが “1” で、かつ周辺モジュールの割り込み要求が発生すると、割り込み要求に対応する ISj ビットが “1” になります。

[“0” になる条件]

- グループ m 割り込みクリアレジスタの割り込み要因クリアビット j（GCRm.CLRj）に “1” を書くと “0” になります。

（2）グループ 12 の場合

[“1” になる条件]

- GENm.ENj ビットが “1” で、かつ周辺モジュールの割り込み要求が発生している間、割り込み要求に対応する ISj フラグが “1” になります。

[“0” になる条件]

- 割り込み要求の出力元をクリアすると “0” になります。
- GENm.ENj ビットが “0” のとき、ISj フラグは “0” になります。

ISj フラグへの書き込みはできません。

15.2.20 グループ m 割り込み許可レジスタ（GENm）(m= グループ番号)

- GEN00、GEN01、GEN02 レジスタ

アドレス GEN00 0008 C340h、GEN01 0008 C344h、GEN02 0008 C348h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット 0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット 1		R/W
b2	EN2	割り込み要求許可ビット 2		R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- GEN03、GEN04、GEN05、GEN06 レジスタ

アドレス GEN03 0008 C34Ch、GEN04 0008 C350h、GEN05 0008 C354h、GEN06 0008 C358h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット 0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット 1		R/W
b2	EN2	割り込み要求許可ビット 2		R/W
b3	EN3	割り込み要求許可ビット 3		R/W
b4	EN4	割り込み要求許可ビット 4		R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- GEN12 レジスタ

アドレス GEN12 0008 C370h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット 0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット 1		R/W
b2	EN2	割り込み要求許可ビット 2		R/W
b3	EN3	割り込み要求許可ビット 3		R/W
b4	EN4	割り込み要求許可ビット 4		R/W
b5	EN5	割り込み要求許可ビット 5		R/W
b6	EN6	割り込み要求許可ビット 6		R/W
b7	EN7	割り込み要求許可ビット 7		R/W
b8	EN8	割り込み要求許可ビット 8		R/W
b9	EN9	割り込み要求許可ビット 9		R/W
b10	EN10	割り込み要求許可ビット 10		R/W
b11	EN11	割り込み要求許可ビット 11		R/W
b12	EN12	割り込み要求許可ビット 12		R/W
b13	EN13	割り込み要求許可ビット 13		R/W
b14	EN14	割り込み要求許可ビット 14		R/W
b15	EN15	割り込み要求許可ビット 15		R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

グループ化の詳細は「15.4.1　割り込み要求グループ」を参照してください。

GENm レジスタはグループごとに存在し、m はグループ番号（m=00 ～ 06、12）を示します。

ENj ビット（割り込み要求許可ビット j）(j= ビット番号)

- グループ 00 ～ 06 の場合

ENj ビットが “1” のとき、対応する GRPm.ISj フラグ (m= グループ番号、j= ビット番号) の割り込み要求の検出が可能です。割り込みを検出すると GRPm.ISj フラグが “1” になります。

ENj ビットが “0” のとき、割り込み要求の検出はできません

ENj ビットに “0” を書いても、 対応する GRPm.ISj フラグは変化しません。

- グループ 12 の場合

ENj ビットが “1” のとき、対応する GRPm.ISj フラグ (m= グループ番号、j= ビット番号) の割り込み要求の検出が可能です。割り込みを検出すると GRPm.ISj フラグが “1” になります。

ENj ビットが “0” のとき、割り込み要求の検出はできません。

ENj ビットに “0” を書くと、 対応する GRPm.ISj フラグは “0” になります。

15.2.21　グループ m 割り込みクリアレジスタ（GCRm）(m= グループ番号)

- GCR00、GCR01、GCR02 レジスタ

アドレス　GCR00 0008 C380h、GCR01 0008 C384h、GCR02 0008 C388h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR2	CLR1	CLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0		割り込み要因クリアビット 0	読むと “0” が読めます。“1” を書くと、同一グループで同一ビットの割り込みステータスフラグ（GRPm.ISj）をクリアします。“0” を書いても無効です	R(/W) （注1）
b1	CLR1	割り込み要因クリアビット 1		R(/W) （注1）
b2	CLR2	割り込み要因クリアビット 2		R(/W) （注1）
b31-b3	—	予約ビット	読むと “0” が読めます。書き込みは無効になります	R

注1.　“1” のみ書けます。

- GCR03、GCR04、GCR05、GCR06 レジスタ

アドレス　GCR03 0008 C38Ch、GCR04 0008 C390h、GCR05 0008 C394h、GCR06 0008 C398h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	CLR4	CLR3	CLR2	CLR1	CLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR0	割り込み要因クリアビット 0	“1” を書くと、同一グループで同一ビットの割り込みステータスフラグ（GRPm.ISj）をクリアします。“0” を書いても無効です	R(/W) （注1）
b1	CLR1	割り込み要因クリアビット 1		R(/W) （注1）
b2	CLR2	割り込み要因クリアビット 2		R(/W) （注1）
b3	CLR3	割り込み要因クリアビット 3		R(/W) （注1）
b4	CLR4	割り込み要因クリアビット 4		R(/W) （注1）
b31-b5	—	予約ビット	読むと “0” が読めます。書き込みは無効になります	R/W

注1.　“1” のみ書けます。

グループ化の詳細は「15.4.1　割り込み要求グループ」を参照してください。
GCRm レジスタはグループごとに存在し、m はグループ番号（m=00 ～ 06）を示します。

CLRj ビット（割り込み要因クリアビット）(j= ビット番号)

CLRj ビットを “1” にすると、対応する GRPm.ISj フラグ (m= グループ番号、j= ビット番号) を “0” にします。

15.2.22　ユニット選択レジスタ（SEL）

アドレス　0008 C3C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CN5	CN4	CN3	CN2	CN1	CN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CN0	ユニット選択ビット0	0：MTU0の割り込み要求を選択 1：TPU6の割り込み要求を選択	R/W
b1	CN1	ユニット選択ビット1	0：MTU1の割り込み要求を選択 1：TPU7の割り込み要求を選択	R/W
b2	CN2	ユニット選択ビット2	0：MTU2の割り込み要求を選択 1：TPU8の割り込み要求を選択	R/W
b3	CN3	ユニット選択ビット3	0：MTU3の割り込み要求を選択 1：TPU9の割り込み要求を選択	R/W
b4	CN4	ユニット選択ビット4	0：MTU4の割り込み要求を選択 1：TPU10の割り込み要求を選択	R/W
b5	CN5	ユニット選択ビット5	0：MTU5の割り込み要求を選択 1：TPU11の割り込み要求を選択	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ユニット選択機能の詳細、およびMTUn(n=0 ～ 5)、TPUn(n=6 ～ 11)の各割り込み要因は「15.4.2　ユニット選択機能」を参照してください。

CNj ビット（ユニット選択ビット j）(j=0 ～ 5)

CNj ビットが “0” の場合、MTUn(n=0 ～ 5) を選択します。

CNj ビットが “1” の場合、TPUn(n=6 ～ 11) を選択します。

CNj ビットの設定は、ユニットに割り当てられた周辺モジュールからの割り込み要求を発生させる前に行ってください。割り込み要求発生後に CNj ビットを設定した場合の動作は保証しません。

15.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから 4 バイトのベクタアドレスを取得します。

15.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPU の割り込みテーブルレジスタ（INTB）に設定した番地から、1024 バイト（4 バイト ×256 要因分）の領域に連続に配置されます。INTB レジスタは割り込みを許可する前に設定してください。INTB レジスタに 4 の倍数を設定してください。

なお、INT 命令、および BRK 命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、**表 15.3** の割り込みのベクタテーブルと同じ領域を利用します。BRK 命令はベクタ番号 0 のみ、INT 命令は指定した番号（0 ～ 255）のベクタとなります。

表 15.3 に割り込みのベクタテーブルを示します。**表 15.3** の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
DMAC起動	DMAC起動要因を“○”で示します
sstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
sacs復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表15.3　割り込みのベクタテーブル（1 / 7）

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレスオフセット	割り込みの検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	sacs 復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	×	×	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	×	×	×	×	×	—	—	—
—	予約	18	0048h	—	×	×	×	×	×	—	—	—
—	予約	19	004Ch	—	×	×	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	×	×	—	—	—
FCU	FIFERR	21	0054h	レベル	○	×	×	×	×	IER02.IEN5	IPR001	—
—	予約	22	0058h	—	×	×	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	×	×	—	—	—
—	予約	26	0068h	—	×	×	×	×	×	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	×	×	×	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	○	×	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	×	×	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	○	×	×	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	○	×	×	IER03.IEN7	IPR007	DTCER031
Ether	EINT	32	0080h	レベル	○	×	×	×	×	IER04.IEN0	IPR032	—
USB0	D0FIFO0	33	0084h	エッジ	○	○	○	×	×	IER04.IEN1	IPR033	DTCER033
	D1FIFO0	34	0088h	エッジ	○	○	○	×	×	IER04.IEN2	IPR034	DTCER034
	USBI0	35	008Ch	エッジ	○	×	×	×	×	IER04.IEN3	IPR035	—
USB1	D0FIFO1	36	0090h	エッジ	○	○	○	×	×	IER04.IEN4	IPR036	DTCER036
	D1FIFO1	37	0094h	エッジ	○	○	○	×	×	IER04.IEN5	IPR037	DTCER037
	USBI1	38	0098h	エッジ	○	×	×	×	×	IER04.IEN6	IPR038	—
RSPI0	SPRI0	39	009Ch	エッジ	○	○	○	×	×	IER04.IEN7	IPR039	DTCER039
	SPTI0	40	00A0h	エッジ	○	○	○	×	×	IER05.IEN0		DTCER040
	SPII0	41	00A4h	レベル	○	×	×	×	×	IER05.IEN1		—
RSPI1	SPRI1	42	00A8h	エッジ	○	○	○	×	×	IER05.IEN2	IPR042	DTCER042
	SPTI1	43	00ACh	エッジ	○	○	○	×	×	IER05.IEN3		DTCER043
	SPII1	44	00B0h	レベル	○	×	×	×	×	IER05.IEN4		—

表15.3　割り込みのベクタテーブル（２／７）

割り込み要求発生元	名称	ベクタ番号（注1）	ベクタアドレスオフセット	割り込みの検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	sacs 復帰	IER	IPR	DTCER
RSPI2	SPRI2	45	00B4h	エッジ	○	○	○	×	×	IER05.IEN5	IPR045	DTCER045
	SPTI2	46	00B8h	エッジ	○	○	○	×	×	IER05.IEN6		DTCER046
	SPII2	47	00BCh	レベル	○	×	×	×	×	IER05.IEN7		—
CAN0	RXF0	48	00C0h	エッジ	○	×	×	×	×	IER06.IEN0	IPR048	—
	TXF0	49	00C4h	エッジ	○	×	×	×	×	IER06.IEN1		—
	RXM0	50	00C8h	エッジ	○	×	×	×	×	IER06.IEN2		—
	TXM0	51	00CCh	エッジ	○	×	×	×	×	IER06.IEN3		—
CAN1	RXF1	52	00D0h	エッジ	○	×	×	×	×	IER06.IEN4	IPR052	—
	TXF1	53	00D4h	エッジ	○	×	×	×	×	IER06.IEN5		—
	RXM1	54	00D8h	エッジ	○	×	×	×	×	IER06.IEN6		—
	TXM1	55	00DCh	エッジ	○	×	×	×	×	IER06.IEN7		—
CAN2	RXF2	56	00E0h	エッジ	○	×	×	×	×	IER07.IEN0	IPR056	—
	TXF2	57	00E4h	エッジ	○	×	×	×	×	IER07.IEN1		—
	RXM2	58	00E8h	エッジ	○	×	×	×	×	IER07.IEN2		—
	TXM2	59	00ECh	エッジ	○	×	×	×	×	IER07.IEN3		—
—	予約	60	00F0h	—	×	×	×	×	×	—	—	—
—	予約	61	00F4h	—	×	×	×	×	×	—	—	—
RTC	CUP	62	00F8h	エッジ	○	×	×	×	×	IER07.IEN6	IPR062	—
—	予約	63	00FCh	—	×	×	×	×	×	—	—	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	×	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	×	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	×	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	×	○	○	IER08.IEN7	IPR071	DTCER071
	IRQ8	72	0120h	エッジ/レベル	○	○	×	○	○	IER09.IEN0	IPR072	DTCER072
	IRQ9	73	0124h	エッジ/レベル	○	○	×	○	○	IER09.IEN1	IPR073	DTCER073
	IRQ10	74	0128h	エッジ/レベル	○	○	×	○	○	IER09.IEN2	IPR074	DTCER074
	IRQ11	75	012Ch	エッジ/レベル	○	○	×	○	○	IER09.IEN3	IPR075	DTCER075
	IRQ12	76	0130h	エッジ/レベル	○	○	×	○	○	IER09.IEN4	IPR076	DTCER076
	IRQ13	77	0134h	エッジ/レベル	○	○	×	○	○	IER09.IEN5	IPR077	DTCER077
	IRQ14	78	0138h	エッジ/レベル	○	○	×	○	○	IER09.IEN6	IPR078	DTCER078
	IRQ15	79	013Ch	エッジ/レベル	○	○	×	○	○	IER09.IEN7	IPR079	DTCER079
—	予約	80	0140h	—	×	×	×	×	×	—	—	—

表15.3　割り込みのベクタテーブル（3 / 7）

割り込み要求発生元	名称	ベクタ番号（注1）	ベクタアドレスオフセット	割り込みの検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	sacs復帰	IER	IPR	DTCER
—	予約	81	0144h	—	×	×	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	×	×	—	—	—
—	予約	88	0160h	—	×	×	×	×	×	—	—	—
—	予約	89	0164h	—	×	×	×	×	×	—	—	—
USB	USBR0	90	0168h	レベル	○	×	×	○	○	IER0B.IEN2	IPR090	—
	USBR1	91	016Ch	レベル	○	×	×	○	○	IER0B.IEN3	IPR091	—
RTC	ALM	92	0170h	エッジ	○	×	×	○	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	×	×	○	○	IER0B.IEN5	IPR093	—
—	予約	94	0178h	—	×	×	×	×	×	—	—	—
—	予約	95	017Ch	—	×	×	×	×	×	—	—	—
—	予約	96	0180h	—	×	×	×	×	×	—	—	—
—	予約	97	0184h	—	×	×	×	×	×	—	—	—
AD	ADI0	98	0188h	エッジ	○	○	○	×	×	IER0C.IEN2	IPR098	DTCER098
—	予約	99	018Ch	—	×	×	×	×	×	—	—	—
—	予約	100	0190h	—	×	×	×	×	×	—	—	—
—	予約	101	0194h	—	×	×	×	×	×	—	—	—
S12AD	S12ADI0	102	0198h	エッジ	○	○	○	×	×	IER0C.IEN6	IPR102	DTCER102
—	予約	103	019Ch	—	×	×	×	×	×	—	—	—
—	予約	104	01A0h	—	×	×	×	×	×	—	—	—
—	予約	105	01A4h	—	×	×	×	×	×	—	—	—
ICU（注2）	GROUP0	106	01A8h	レベル	○	×	×	×	×	IER0D.IEN2	IPR106	—
	GROUP1	107	01ACh	レベル	○	×	×	×	×	IER0D.IEN3	IPR107	—
	GROUP2	108	01B0h	レベル	○	×	×	×	×	IER0D.IEN4	IPR108	—
	GROUP3	109	01B4h	レベル	○	×	×	×	×	IER0D.IEN5	IPR109	—
	GROUP4	110	01B8h	レベル	○	×	×	×	×	IER0D.IEN6	IPR110	—
	GROUP5	111	01BCh	レベル	○	×	×	×	×	IER0D.IEN7	IPR111	—
	GROUP6	112	01C0h	レベル	○	×	×	×	×	IER0E.IEN0	IPR112	—
—	予約	113	01C4h	—	×	×	×	×	×	—	—	—
ICU（注2）	GROUP12	114	01C8h	レベル	○	×	×	×	×	IER0E.IEN2	IPR114	—
—	予約	115	01CCh	—	×	×	×	×	×	—	—	—
—	予約	116	01D0h	—	×	×	×	×	×	—	—	—
—	予約	117	01D4h	—	×	×	×	×	×	—	—	—
—	予約	118	01D8h	—	×	×	×	×	×	—	—	—
—	予約	119	01DCh	—	×	×	×	×	×	—	—	—
—	予約	120	01E0h	—	×	×	×	×	×	—	—	—
—	予約	121	01E4h	—	×	×	×	×	×	—	—	—
SCI12	SCIX0	122	01E8h	レベル	○	×	×	×	×	IER0F.IEN2	IPR122	—
	SCIX1	123	01ECh	レベル	○	×	×	×	×	IER0F.IEN3		—
	SCIX2	124	01F0h	レベル	○	×	×	×	×	IER0F.IEN4		—
	SCIX3	125	01F4h	レベル	○	×	×	×	×	IER0F.IEN5		—

表15.3　割り込みのベクタテーブル（4 / 7）

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレスオフセット	割り込みの検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	sacs復帰	IER	IPR	DTCER
TPU0	TGI0A	126	01F8h	エッジ	○	○	○	×	×	IER0F.IEN6	IPR126	DTCER126
	TGI0B	127	01FCh	エッジ	○	○	×	×	×	IER0F.IEN7		DTCER127
	TGI0C	128	0200h	エッジ	○	○	×	×	×	IER10.IEN0		DTCER128
	TGI0D	129	0204h	エッジ	○	○	×	×	×	IER10.IEN1		DTCER129
TPU1	TGI1A	130	0208h	エッジ	○	○	○	×	×	IER10.IEN2	IPR130	DTCER130
	TGI1B	131	020Ch	エッジ	○	○	×	×	×	IER10.IEN3		DTCER131
TPU2	TGI2A	132	0210h	エッジ	○	○	○	×	×	IER10.IEN4	IPR132	DTCER132
	TGI2B	133	0214h	エッジ	○	○	×	×	×	IER10.IEN5		DTCER133
TPU3	TGI3A	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
	TGI3B	135	021Ch	エッジ	○	○	×	×	×	IER10.IEN7		DTCER135
	TGI3C	136	0220h	エッジ	○	○	×	×	×	IER11.IEN0		DTCER136
	TGI3D	137	0224h	エッジ	○	○	×	×	×	IER11.IEN1		DTCER137
TPU4	TGI4A	138	0228h	エッジ	○	○	○	×	×	IER11.IEN2	IPR138	DTCER138
	TGI4B	139	022Ch	エッジ	○	○	×	×	×	IER11.IEN3		DTCER139
TPU5	TGI5A	140	0230h	エッジ	○	○	○	×	×	IER11.IEN4	IPR140	DTCER140
	TGI5B	141	0234h	エッジ	○	○	×	×	×	IER11.IEN5		DTCER141
TPU6/MTU0	TGI6A(TPU6)/ TGIA0(MTU0)	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6	IPR142	DTCER142
	TGI6B(TPU6)/ TGIB0(MTU0)	143	023Ch	エッジ	○	○	×	×	×	IER11.IEN7		DTCER143
	TGI6C(TPU6)/ TGIC0(MTU0)	144	0240h	エッジ	○	○	×	×	×	IER12.IEN0		DTCER144
	TGI6D(TPU6)/ TGID0(MTU0)	145	0244h	エッジ	○	○	×	×	×	IER12.IEN1		DTCER145
	TGIE0(MTU0)	146	0248h	エッジ	○	×	×	×	×	IER12.IEN2	IPR146	—
	TGIF0(MTU0)	147	024Ch	エッジ	○	×	×	×	×	IER12.IEN3		—
TPU7/MTU1	TGI7A(TPU7)/ TGIA1(MTU1)	148	0250h	エッジ	○	○	○	×	×	IER12.IEN4	IPR148	DTCER148
	TGI7B(TPU7)/ TGIB1(MTU1)	149	0254h	エッジ	○	○	×	×	×	IER12.IEN5		DTCER149
TPU8/MTU2	TGI8A(TPU8)/ TGIA2(MTU2)	150	0258h	エッジ	○	○	○	×	×	IER12.IEN6	IPR150	DTCER150
	TGI8B(TPU8)/ TGIB2(MTU2)	151	025Ch	エッジ	○	○	×	×	×	IER12.IEN7		DTCER151
TPU9/MTU3	TGI9A(TPU9)/ TGIA3(MTU3)	152	0260h	エッジ	○	○	○	×	×	IER13.IEN0	IPR152	DTCER152
	TGI9B(TPU9)/ TGIB3(MTU3)	153	0264h	エッジ	○	○	×	×	×	IER13.IEN1		DTCER153
	TGI9C(TPU9)/ TGIC3(MTU3)	154	0268h	エッジ	○	○	×	×	×	IER13.IEN2		DTCER154
	TGI9D(TPU9)/ TGID3(MTU3)	155	026Ch	エッジ	○	○	×	×	×	IER13.IEN3		DTCER155
TPU10/MTU4	TGI10A(TPU10)/ TGIA4(MTU4)	156	0270h	エッジ	○	○	○	×	×	IER13.IEN4	IPR156	DTCER156
	TGI10B(TPU10)/ TGIB4(MTU4)	157	0274h	エッジ	○	○	×	×	×	IER13.IEN5		DTCER157
	TGIC4(MTU4)	158	0278h	エッジ	○	○	×	×	×	IER13.IEN6		DTCER158
	TGID4(MTU4)	159	027Ch	エッジ	○	○	×	×	×	IER13.IEN7		DTCER159
	TCIV4(MTU4)	160	0280h	エッジ	○	○	×	×	×	IER14.IEN0	IPR160	DTCER160

表15.3　割り込みのベクタテーブル（5 / 7）

割り込み要求発生元	名称	ベクタ番号（注1）	ベクタアドレスオフセット	割り込みの検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	sacs 復帰	IER	IPR	DTCER
TPU11/MTU5	TGIU5(MTU5)	161	0284h	エッジ	○	○	×	×	×	IER14.IEN1	IPR161	DTCER161
	TGIV5(MTU5)	162	0288h	エッジ	○	○	×	×	×	IER14.IEN2		DTCER162
	TGIW5(MTU5)	163	028Ch	エッジ	○	○	×	×	×	IER14.IEN3		DTCER163
	TGI11A(TPU11)	164	0290h	エッジ	○	○	○	×	×	IER14.IEN4	IPR164	DTCER164
	TGI11B(TPU11)	165	0294h	エッジ	○	○	×	×	×	IER14.IEN5		DTCER165
POE	OEI1	166	0298h	レベル	○	×	×	×	×	IER14.IEN6	IPR166	—
	OEI2	167	029Ch	レベル	○	×	×	×	×	IER14.IEN7		—
—	予約	168	02A0h	—	×	×	×	×	×	—	—	—
—	予約	169	02A4h	—	×	×	×	×	×	—	—	—
TMR0	CMIA0	170	02A8h	エッジ	○	○	×	×	○（注3）	IER15.IEN2	IPR170	DTCER170
	CMIB0	171	02ACh	エッジ	○	○	×	×	○（注3）	IER15.IEN3		DTCER171
	OVI0	172	02B0h	エッジ	○	×	×	×	○（注3）	IER15.IEN4		—
TMR1	CMIA1	173	02B4h	エッジ	○	○	×	×	○（注3）	IER15.IEN5	IPR173	DTCER173
	CMIB1	174	02B8h	エッジ	○	○	×	×	○（注3）	IER15.IEN6		DTCER174
	OVI1	175	02BCh	エッジ	○	×	×	×	○（注3）	IER15.IEN7		—
TMR2	CMIA2	176	02C0h	エッジ	○	○	×	×	○（注3）	IER16.IEN0	IPR176	DTCER176
	CMIB2	177	02C4h	エッジ	○	○	×	×	○（注3）	IER16.IEN1		DTCER177
	OVI2	178	02C8h	エッジ	○	×	×	×	○（注3）	IER16.IEN2		—
TMR3	CMIA3	179	02CCh	エッジ	○	○	×	×	○（注3）	IER16.IEN3	IPR179	DTCER179
	CMIB3	180	02D0h	エッジ	○	○	×	×	○（注3）	IER16.IEN4		DTCER180
	OVI3	181	02D4h	エッジ	○	×	×	×	○（注3）	IER16.IEN5		—
RIIC0	ICEEI0	182	02D8h	レベル	○	×	×	×	×	IER16.IEN6	IPR182	—
	ICRXI0	183	02DCh	エッジ	○	○	○	×	×	IER16.IEN7	IPR183	DTCER183
	ICTXI0	184	02E0h	エッジ	○	○	○	×	×	IER17.IEN0	IPR184	DTCER184
	ICTEI0	185	02E4h	レベル	○	×	×	×	×	IER17.IEN1	IPR185	—
RIIC1	ICEEI1	186	02E8h	レベル	○	×	×	×	×	IER17.IEN2	IPR186	—
	ICRXI1	187	02ECh	エッジ	○	○	○	×	×	IER17.IEN3	IPR187	DTCER187
	ICTXI1	188	02F0h	エッジ	○	○	○	×	×	IER17.IEN4	IPR188	DTCER188
	ICTEI1	189	02F4h	レベル	○	×	×	×	×	IER17.IEN5	IPR189	—
RIIC2	ICEEI2	190	02F8h	レベル	○	×	×	×	×	IER17.IEN6	IPR190	—
	ICRXI2	191	02FCh	エッジ	○	○	○	×	×	IER17.IEN7	IPR191	DTCER191
	ICTXI2	192	0300h	エッジ	○	○	○	×	×	IER18.IEN0	IPR192	DTCER192
	ICTEI2	193	0304h	レベル	○	×	×	×	×	IER18.IEN1	IPR193	—
RIIC3	ICEEI3	194	0308h	レベル	○	×	×	×	×	IER18.IEN2	IPR194	—
	ICRXI3	195	030Ch	エッジ	○	○	○	×	×	IER18.IEN3	IPR195	DTCER195
	ICTXI3	196	0310h	エッジ	○	○	○	×	×	IER18.IEN4	IPR196	DTCER196
	ICTEI3	197	0314h	レベル	○	×	×	×	×	IER18.IEN5	IPR197	—

表15.3　割り込みのベクタテーブル（6 / 7）

割り込み要求発生元	名称	ベクタ番号（注1）	ベクタアドレスオフセット	割り込みの検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	sacs復帰	IER	IPR	DTCER
DMAC	DMAC0I	198	0318h	エッジ	○	○	×	×	×	IER18.IEN6	IPR198	DTCER198
	DMAC1I	199	031Ch	エッジ	○	○	×	×	×	IER18.IEN7	IPR199	DTCER199
	DMAC2I	200	0320h	エッジ	○	○	×	×	×	IER19.IEN0	IPR200	DTCER200
	DMAC3I	201	0324h	エッジ	○	○	×	×	×	IER19.IEN1	IPR201	DTCER201
EXDMAC	EXDMAC0I	202	0328h	エッジ	○	○	×	×	×	IER19.IEN2	IPR202	DTCER202
	EXDMAC1I	203	032Ch	エッジ	○	○	×	×	×	IER19.IEN3	IPR203	DTCER203
—	予約	204	0330h	—	×	×	×	×	×	—	—	—
—	予約	205	0334h	—	×	×	×	×	×	—	—	—
DEU	DEU0	206	0338h	エッジ	○	○	○	×	×	IER19.IEN6	IPR206	DCTER206
	DEU1	207	033Ch	エッジ	○	○	○	×	×	IER19.IEN7	IPR207	DCTER207
PDC	PCDFI	208	0340h	エッジ	○	○	○	×	×	IER1A.IEN0	IPR208	DCTER208
	PCFEI	209	0344h	レベル	○	×	×	×	×	IER1A.IEN1	IPR209	—
	PCERI	210	0348h	レベル	○	×	×	×	×	IER1A.IEN2	IPR210	—
—	予約	211	034Ch	—	×	×	×	×	×	—	—	—
—	予約	212	0350h	—	×	×	×	×	×	—	—	—
—	予約	213	0354h	—	×	×	×	×	×	—	—	—
SCI0	RXI0	214	0358h	エッジ	○	○	○	×	×	IER1A.IEN6	IPR214	DTCER214
	TXI0	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7		DTCER215
	TEI0	216	0360h	レベル	○	×	×	×	×	IER1B.IEN0		—
SCI1	RXI1	217	0364h	エッジ	○	○	○	×	×	IER1B.IEN1	IPR217	DTCER217
	TXI1	218	0368h	エッジ	○	○	○	×	×	IER1B.IEN2		DTCER218
	TEI1	219	036Ch	レベル	○	×	×	×	×	IER1B.IEN3		—
SCI2	RXI2	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4	IPR220	DTCER220
	TXI2	221	0374h	エッジ	○	○	○	×	×	IER1B.IEN5		DTCER221
	TEI2	222	0378h	レベル	○	×	×	×	×	IER1B.IEN6		—
SCI3	RXI3	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7	IPR223	DTCER223
	TXI3	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0		DTCER224
	TEI3	225	0384h	レベル	○	×	×	×	×	IER1C.IEN1		—
SCI4	RXI4	226	0388h	エッジ	○	○	○	×	×	IER1C.IEN2	IPR226	DTCER226
	TXI4	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3		DTCER227
	TEI4	228	0390h	レベル	○	×	×	×	×	IER1C.IEN4		—
SCI5	RXI5	229	0394h	エッジ	○	○	○	×	×	IER1C.IEN5	IPR229	DTCER229
	TXI5	230	0398h	エッジ	○	○	○	×	×	IER1C.IEN6		DTCER230
	TEI5	231	039Ch	レベル	○	×	×	×	×	IER1C.IEN7		—
SCI6	RXI6	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0	IPR232	DTCER232
	TXI6	233	03A4h	エッジ	○	○	○	×	×	IER1D.IEN1		DTCER233
	TEI6	234	03A8h	レベル	○	×	×	×	×	IER1D.IEN2		—
SCI7	RXI7	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3	IPR235	DTCER235
	TXI7	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4		DTCER236
	TEI7	237	03B4h	レベル	○	×	×	×	×	IER1D.IEN5		—
SCI8	RXI8	238	03B8h	エッジ	○	○	○	×	×	IER1D.IEN6	IPR238	DTCER238
	TXI8	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7		DTCER239
	TEI8	240	03C0h	レベル	○	×	×	×	×	IER1E.IEN0		—

表15.3　割り込みのベクタテーブル (7 / 7)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレスオフセット	割り込みの検出方法	CPU割り込み	DTC起動	DMAC起動	sstb復帰	sacs 復帰	IER	IPR	DTCER
SCI9	RXI9	241	03C4h	エッジ	○	○	○	×	×	IER1E.IEN1	IPR241	DTCER241
	TXI9	242	03C8h	エッジ	○	○	○	×	×	IER1E.IEN2		DTCER242
	TEI9	243	03CCh	レベル	○	×	×	×	×	IER1E.IEN3		—
SCI10	RXI10	244	03D0h	エッジ	○	○	○	×	×	IER1E.IEN4	IPR244	DTCER244
	TXI10	245	03D4h	エッジ	○	○	○	×	×	IER1E.IEN5		DTCER245
	TEI10	246	03D8h	レベル	○	×	×	×	×	IER1E.IEN6		—
SCI11	RXI11	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247
	TXI11	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0		DTCER248
	TEI11	249	03E4h	レベル	○	×	×	×	×	IER1F.IEN1		—
SCI12	RXI12	250	03E8h	エッジ	○	○	○	×	×	IER1F.IEN2	IPR250	DTCER250
	TXI12	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3		DTCER251
	TEI12	252	03F0h	レベル	○	×	×	×	×	IER1F.IEN4		—
IEB	IEBINT	253	03F4h	レベル	○	×	×	×	×	IER1F.IEN5	IPR253	—
—	予約	254	03F8h	—	×	×	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	×	×	—	—	—

注．　本表は最大仕様の割り込みベクタを示しています。各製品の割り込みベクタは、表1.2に示した機能に対応します。詳細は「表1.2　パッケージ別機能比較一覧」を参照してください。

注1.　ベクタ番号が小さいほど、優先順位は高くなります。
注2.　各グループ割り込みに割り当てられた割り込み要求は「表15.4　グループm割り込み要求」を参照してください。
注3.　ICLKがPCLKBよりも遅く設定されている場合には、全モジュールクロックストップモードの解除にTMR割り込みを使用することはできません。

15.3.2　高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPU の高速割り込みベクタレジスタ（FINTV）です。

15.3.3　ノンマスカブル割り込みのベクタテーブル

ノンマスカブル割り込みのベクタ領域は “FFFF FFF8h” です。

15.4　周辺モジュール割り込み要求のグループとユニット選択機能

15.4.1　　割り込み要求グループ

最大 32 本の周辺モジュールからの割り込み信号をグルーピングし、1 つの割り込み要求として扱います。

グループ 0 ～ 6 はエッジ検出の割り込み要求が、グループ 12 はレベル検出の割り込み要求がグルーピングされています。

GENm.ENj ビット (m= グループ番号、j= ビット番号) が “1” のときに割り込み要求を検出すると、GRPm.ISj フラグが “1” となります。

グループ m 内のいずれかの GRPm.ISj フラグが “1” のとき、そのグループに対応する IRn.IR フラグ (n= 割り込みベクタ番号) が “1” になります。

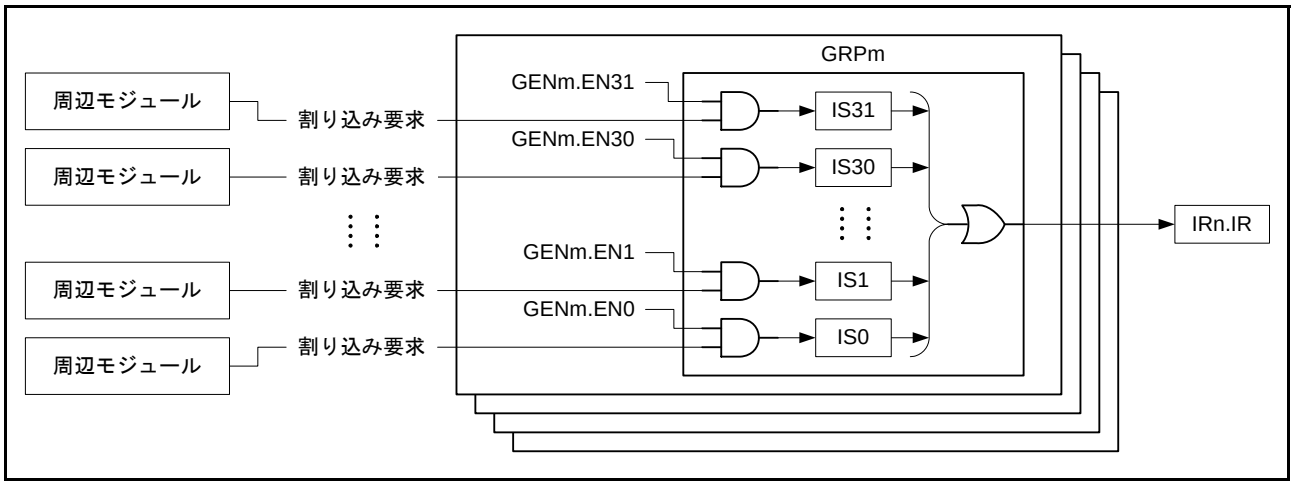


図 15.2　　割り込み要求グループ機能

(1)　エッジ検出の割り込み要求

グループ 0 ～ 6 は、エッジ検出の割り込み要求がグルーピングされています。

GENm.ENj ビット (m= グループ番号、j= ビット番号) が “1” のときに割り込み要求を検出すると、GRPm.ISj フラグが “1” となります。GENm.ENj ビットが “0” のときは、割り込み要求を検出しません。

GRPm.ISj フラグは、GCRm.CLRj ビットに “1” を書くと “0” になります。

GRPm.ISj フラグが “1” のときに GENm.ENj ビットを “0” にしても、GRPm.ISj フラグはその状態を保持します。

動作例は「15.5.1.3　エッジ検出グループ割り込みと割り込みステータスフラグ」を参照してください。

(2)　レベル検出の割り込み要求

グループ 12 は、レベル検出の割り込み要求がグルーピングされています。

GENm.ENj ビット (m= グループ番号、j= ビット番号）が “1” のときに割り込み要求を検出すると、GRPm.ISj フラグが “1” となります。割り込み要求が “0” になると、GRPm.ISj フラグも “0” になります。

GENm.ENj ビットが “0” のときは、割り込み要求を検出せず GRPm.ISj フラグは “0” になります。

動作例は「15.5.1.4　レベル検出グループ割り込みと割り込みステータスフラグ」を参照してください。

(3) 各グループの割り込み要求一覧

グループ化された割り込み要求を「表 15.4 グループ m 割り込み要求」に示します。

表 15.4　グループ m 割り込み要求

グループ	割り込み要求発生元	名称	GENm.ENj ビット	GRPm.ISj フラグ	GCRm.CLRj フラグ	ベクタ番号（IRn.IR）
グループ 0	CAN0	ERS0（エラー割り込み）	GEN00.EN0	GRP00.IS0	GCR00.CLR0	106
	CAN1	ERS1（エラー割り込み）	GEN00.EN1	GRP00.IS1	GCR00.CLR1	
	CAN2	ERS2（エラー割り込み）	GEN00.EN2	GRP00.IS2	GCR00.CLR2	
グループ 1	MTU0	TCIV0（オーバフロー）	GEN01.EN0	GRP01.IS0	GCR01.CLR0	107
	MTU1	TCIV1（オーバフロー）	GEN01.EN1	GRP01.IS1	GCR01.CLR1	
		TCIU1（アンダフロー）	GEN01.EN2	GRP01.IS2	GCR01.CLR2	
グループ 2	MTU2	TCIV2（オーバフロー）	GEN02.EN0	GRP02.IS0	GCR02.CLR0	108
		TCIU2（アンダフロー）	GEN02.EN1	GRP02.IS1	GCR02.CLR1	
	MTU3	TCIV3（オーバフロー）	GEN02.EN2	GRP02.IS2	GCR02.CLR2	
グループ 3	TPU0	TCI0V（オーバフロー）	GEN03.EN0	GRP03.IS0	GCR03.CLR0	109
	TPU1	TCI1V（オーバフロー）	GEN03.EN1	GRP03.IS1	GCR03.CLR1	
		TCI1U（アンダフロー）	GEN03.EN2	GRP03.IS2	GCR03.CLR2	
	TPU5	TCI5V（オーバフロー）	GEN03.EN3	IGRP03.S3	GCR03.CLR3	
		TCI5U（アンダフロー）	GEN03.EN4	IGRP03.S4	GCR03.CLR4	
グループ 4	TPU2	TCI2V（オーバフロー）	GEN04.EN0	GRP04.IS0	GCR04.CLR0	110
		TCI2U（アンダフロー）	GEN04.EN1	GRP04.IS1	GCR04.CLR1	
	TPU3	TCI3V（オーバフロー）	GEN04.EN2	GRP04.IS2	GCR04.CLR2	
	TPU4	TCI4V（オーバフロー）	GEN04.EN3	GRP04.IS3	GCR04.CLR3	
		TCI4U（アンダフロー）	GEN04.EN4	GRP04.IS4	GCR04.CLR4	
グループ 5	TPU6	TCI6V（オーバフロー）	GEN05.EN0	GRP05.IS0	GCR05.CLR0	111
	TPU7	TCI7V（オーバフロー）	GEN05.EN1	GRP05.IS1	GCR05.CLR1	
		TCI7U（アンダフロー）	GEN05.EN2	GRP05.IS2	GCR05.CLR2	
	TPU11	TCI11V（オーバフロー）	GEN05.EN3	GRP05.IS3	GCR05.CLR3	
		TCI11U（アンダフロー）	GEN05.EN4	GRP05.IS4	GCR05.CLR4	
グループ 6	TPU8	TCI8V（オーバフロー）	GEN06.EN0	GRP06.IS0	GCR06.CLR0	112
		TCI8U（アンダフロー）	GEN06.EN1	GRP06.IS1	GCR06.CLR1	
	TPU9	TCI9V（オーバフロー）	GEN06.EN2	GRP06.IS2	GCR06.CLR2	
	TPU10	TCI10V（オーバフロー）	GEN06.EN3	GRP06.IS3	GCR06.CLR3	
		TCI10U（アンダフロー）	GEN06.EN4	GRP06.IS4	GCR06.CLR4	

表15.4　グループm割り込み要求

グループ	割り込み要求発生元	名称	GENm.ENjビット	GRPm.ISjフラグ	ベクタ番号（IRn.IR）
グループ12	SCI0	ERI0（SCI0受信エラー）	GEN12.EN0	GRP12.IS0	114
	SCI1	ERI1（SCI1受信エラー）	GEN12.EN1	GRP12.IS1	
	SCI2	ERI2（SCI2受信エラー）	GEN12.EN2	GRP12.IS2	
	SCI3	ERI3（SCI3受信エラー）	GEN12.EN3	GRP12.IS3	
	SCI4	ERI4（SCI4受信エラー）	GEN12.EN4	GRP12.IS4	
	SCI5	ERI5（SCI5受信エラー）	GEN12.EN5	GRP12.IS5	
	SCI6	ERI6（SCI6受信エラー）	GEN12.EN6	GRP12.IS6	
	SCI7	ERI7（SCI7受信エラー）	GEN12.EN7	GRP12.IS7	
	SCI8	ERI8（SCI8受信エラー）	GEN12.EN8	GRP12.IS8	
	SCI9	ERI9（SCI9受信エラー）	GEN12.EN9	GRP12.IS9	
	SCI10	ERI10（SCI10受信エラー）	GEN12.EN10	GRP12.IS10	
	SCI11	ERI11（SCI11受信エラー）	GEN12.EN11	GRP12.IS11	
	SCI12	ERI12（SCI12受信エラー）	GEN12.EN12	GRP12.IS12	
	RSPI0	SPEI0（エラー割り込み）	GEN12.EN13	GRP12.IS13	
	RSPI1	SPEI1（エラー割り込み）	GEN12.EN14	GRP12.IS14	
	RSPI2	SPEI2（エラー割り込み）	GEN12.EN15	GRP12.IS15	

15.4.2　ユニット選択機能

ユニット選択機能とは、2 つの周辺モジュールからの割り込みを 1 つの割り込み要求として共有化する機能です。対となる 2 つのユニット（MTUn、TPUn）を SEL.CNj ビット (j=0 ～ 5) で選択し、選択されたユニットの割り込みが検出可能となります。

動作例は「15.5.1.5　ユニット選択と割り込みステータスフラグ」を参照してください。

各ユニットの割り込み要求の対応を「表 15.5　ユニット n 割り込み要因 (n=0 ～ 5)」に示します。

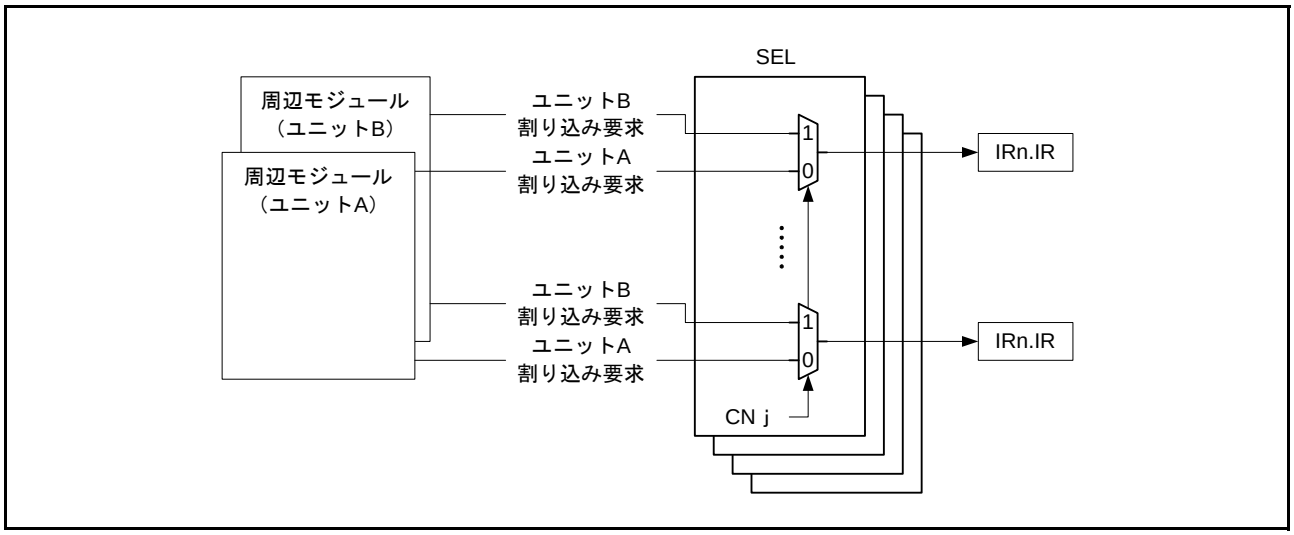


図 15.3　ユニット選択機能

表15.5　ユニットn割り込み要因(n=0～5)

ユニット番号（SEL.CN j ビット）	TPU		MTU		割り込み種別	ベクタ番号（IRn.IR）
	割り込み要因発生元	名称	割り込み要因発生元	名称		
ユニット0（SEL.CN0ビット）	TPU6	TGI6A	MTU0	TGIA0	インプットキャプチャ/コンペアマッチ	142
	TPU6	TGI6B	MTU0	TGIB0	インプットキャプチャ/コンペアマッチ	143
	TPU6	TGI6C	MTU0	TGIC0	インプットキャプチャ/コンペアマッチ	144
	TPU6	TGI6D	MTU0	TGID0	インプットキャプチャ/コンペアマッチ	145
	—	—	MTU0	TGIE0	コンペアマッチ	146
	—	—	MTU0	TGIF0	コンペアマッチ	147
ユニット1（SEL.CN1ビット）	TPU7	TGI7A	MTU1	TGIA1	インプットキャプチャ/コンペアマッチ	148
	TPU7	TGI7B	MTU1	TGIB1	インプットキャプチャ/コンペアマッチ	149
ユニット2（SEL.CN2ビット）	TPU8	TGI8A	MTU2	TGIA2	インプットキャプチャ/コンペアマッチ	150
	TPU8	TGI8B	MTU2	TGIB2	インプットキャプチャ/コンペアマッチ	151
ユニット3（SEL.CN3ビット）	TPU9	TGI9A	MTU3	TGIA3	インプットキャプチャ/コンペアマッチ	152
	TPU9	TGI9B	MTU3	TGIB3	インプットキャプチャ/コンペアマッチ	153
	TPU9	TGI9C	MTU3	TGIC3	インプットキャプチャ/コンペアマッチ	154
	TPU9	TGI9D	MTU3	TGID3	インプットキャプチャ/コンペアマッチ	155
ユニット4（SEL.CN4ビット）	TPU10	TGI10A	MTU4	TGIA4	インプットキャプチャ/コンペアマッチ	156
	TPU10	TGI10B	MTU4	TGIB4	インプットキャプチャ/コンペアマッチ	157
	—	—	MTU4	TGIC4	インプットキャプチャ/コンペアマッチ	158
	—	—	MTU4	TGID4	インプットキャプチャ/コンペアマッチ	159
	—	—	MTU4	TCIV4	オーバフロー/アンダフロー	160
ユニット5（SEL.CN5ビット）	—	—	MTU5	TGIU5	インプットキャプチャ/コンペアマッチ	161
	—	—	MTU5	TGIV5	インプットキャプチャ/コンペアマッチ	162
	—	—	MTU5	TGIW5	インプットキャプチャ/コンペアマッチ	163
	TPU11	TGI11A	—	—	インプットキャプチャ/コンペアマッチ	164
	TPU11	TGI11B	—	—	インプットキャプチャ/コンペアマッチ	165

注.　TPUnまたはMTUnのみが割り当てられている割り込みは、選択時に有効となり、非選択時はマスクされます。

15.5　割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先（CPU 割り込み、DTC 起動、DMAC 起動）の選択
- 割り込み優先順位判定

15.5.1　割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の 2 種類があります。

IRQi 端子 (i=0 ～ 15) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

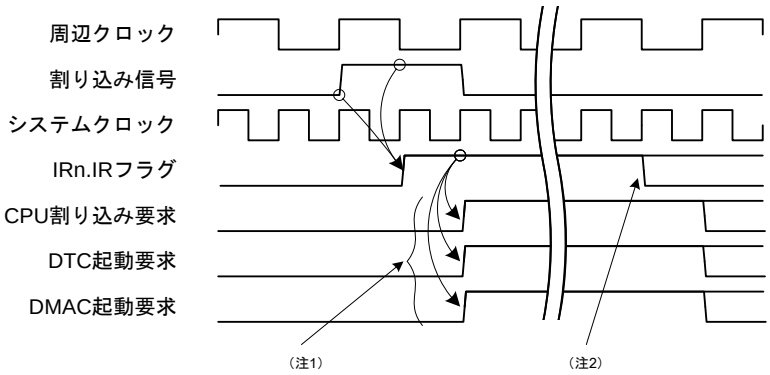
各要因に対応する検出方法は、**「表 15.3　割り込みのベクタテーブル」**を参照してください。

グループ化された割り込み要求は、エッジ検出グループ、レベル検出グループに分かれており、GRPm レジスタ (m= グループ番号　0 ～ 6、12) で保持されます。エッジ検出グループ、レベル検出グループともに IRn.IR フラグはレベル割り込みとして動作します。割り込みグループ化機能の詳細は**「15.4　周辺モジュール割り込み要求のグループとユニット選択機能」**を参照してください。グループ化された割り込み要求は**「表 15.4　グループ m 割り込み要求」**を参照してください。

15.5.1.1　エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IRn.IR フラグの動作を**図 15.4** に示します。

割り込み要求が発生したときの割り込み信号の変化点で IRn.IR フラグが “1” になります。割り込み要求先が CPU の場合、割り込みを受け付けると IRn.IR フラグは自動的に “0” になります。割り込み要求先が DMAC、DTC の場合は、DMAC/DTC の転送設定、転送回数によって異なります。詳細は**「表 15.6　DMAC/DTC 起動時の動作」**を参照してください。ソフトウェアで IRn.IR フラグをクリアする必要はありません。



注1.　CPU割り込み要求、DTC起動要求、DMAC起動要求のいずれか1つを発行します。
　　設定方法は「15.5.3　割り込み要求先の選択」を参照してください。
注2.　CPU割り込み要求の場合、CPUの割り込み受付け時に“0”になります。DTC起動、DMAC起動時の
　　“0”になるタイミングは、「表15.6　DMAC/DTC起動時の動作」を参照してください。

図 15.4　エッジ検出の IRn.IR フラグの動作

図 15.5 ～図 15.8 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ～ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ～ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延＋ 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ～ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロック、周辺クロックの周波数の遅い方のクロックで 2 サイクル以上間隔をあけてください。

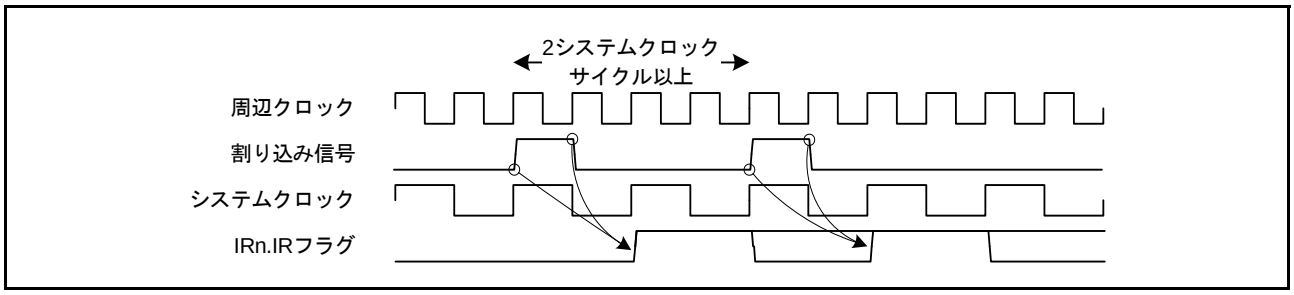


図 15.5　連続する割り込み要求発行の間隔（システムクロック周波数＜周辺クロック周波数の場合）

割り込み要求が発生し IRn.IR フラグが “1” の状態では、再度発生した割り込み要求は無視されます。(注 1) IRn.IR フラグの再セットのタイミングを図 15.6 に示します。

注 1.　ただし、SCI、RSPI、RIIC の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが “1” の状態で発生した割り込み要求は保持され、IRn.IR フラグが “0” になった後、保持された要求によって再度 IRn.IR フラグが “1” になります。詳細は、「35.　シリアルコミュニケーションインタフェース（SCIc、SCId）」、「36.　I²C バスインタフェース（RIIC）」、「38.　シリアルペリフェラルインタフェース（RSPI）」の各割り込みの説明を参照してください。

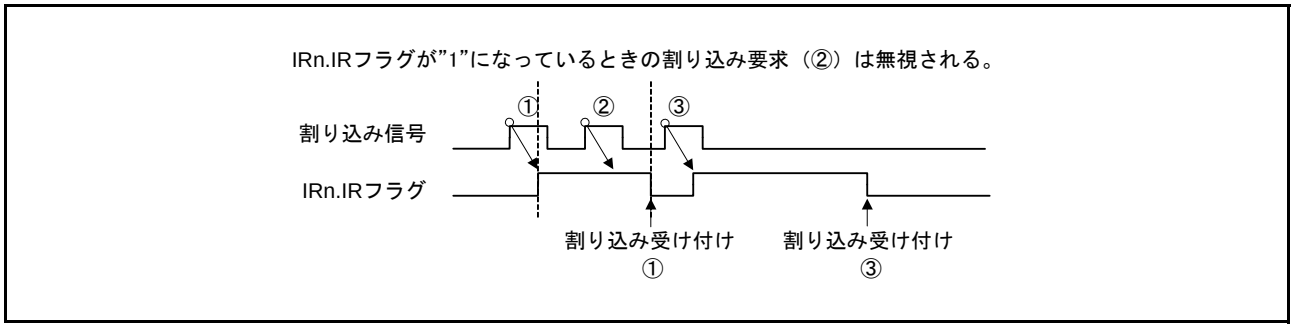


図 15.6　IRn.IR フラグの再セットのタイミング

IRn.IR フラグが “1” になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 15.7 に示します。

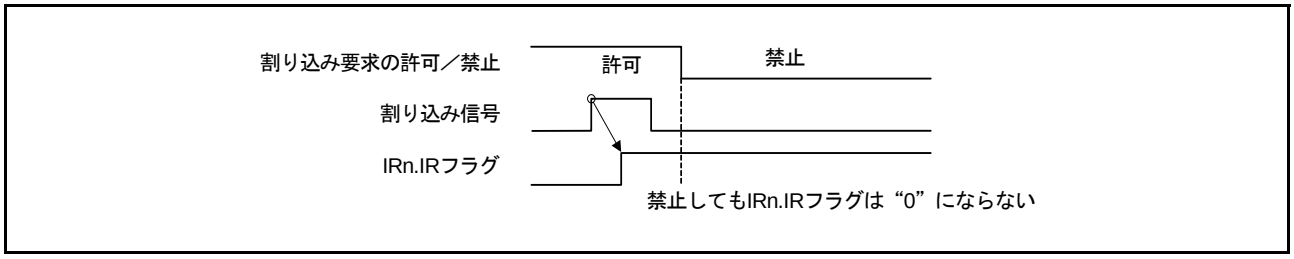


図 15.7　割り込み要求の禁止と IRn.IR フラグの関係

15.5.1.2　レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRn.IR フラグの動作を図 15.8 に示します。

割り込み信号がアサートされている間、IRn.IR フラグを “1” にし続けます。IRn.IR フラグを “0” にするためには、割り込み発生元の割り込み要求を “0” にしてください。割り込み要求発生元の割り込み要求フラグが “0” になったことを確認、および IRn.IR フラグが “0” になったことを確認してから、割り込みハンドラを終了してください。

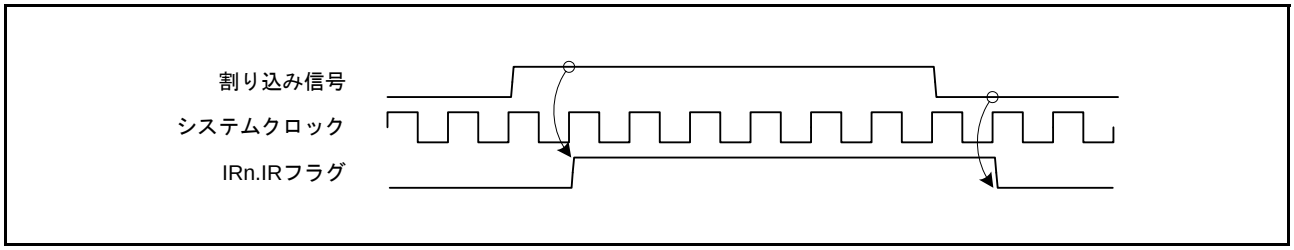


図 15.8　レベル検出時の IRn.IR フラグの動作

レベル検出割り込みの処理手順を図 15.9 に示します。

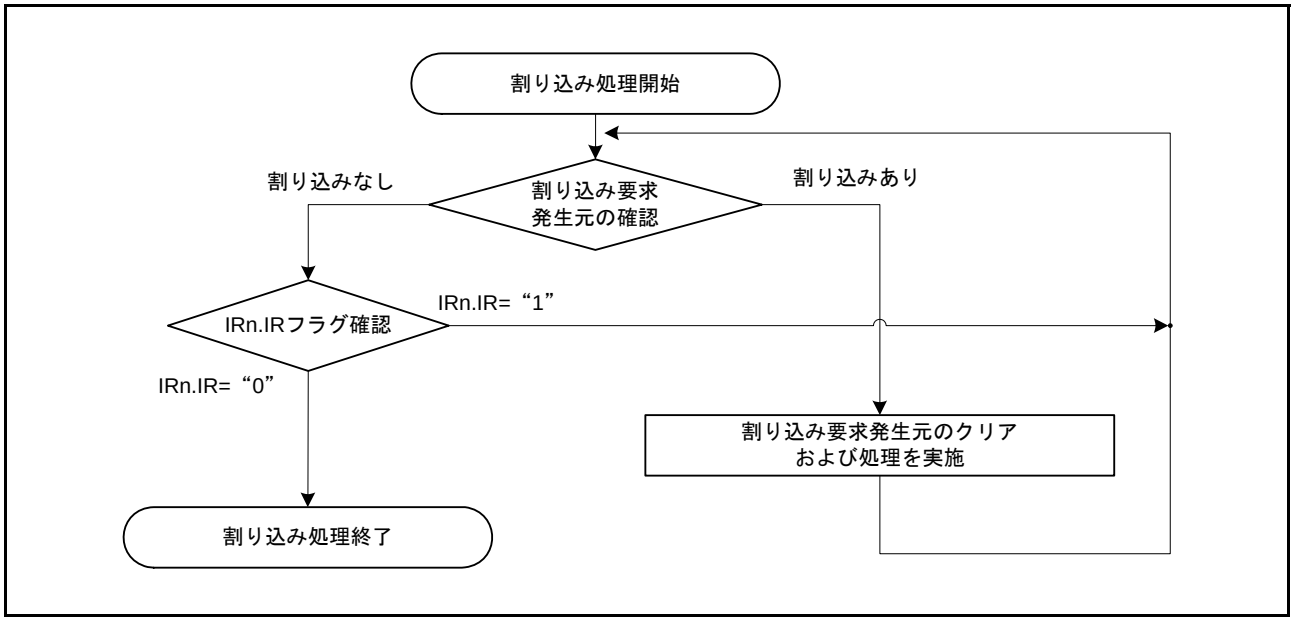


図 15.9　レベル検出割り込み処理手順

15.5.1.3　エッジ検出グループ割り込みと割り込みステータスフラグ

グループ 0 ～グループ 6 はエッジ検出の割り込み要求がグルーピング化されています。グループに対応する IRn.IR フラグはレベル検出割り込みとして動作します。

図 15.10 にエッジ検出割り込み要求の検出動作例を、図 15.11 に 1 グループに割り当てられた複数のエッジ検出割り込み要求が発生した場合の動作例を示します。

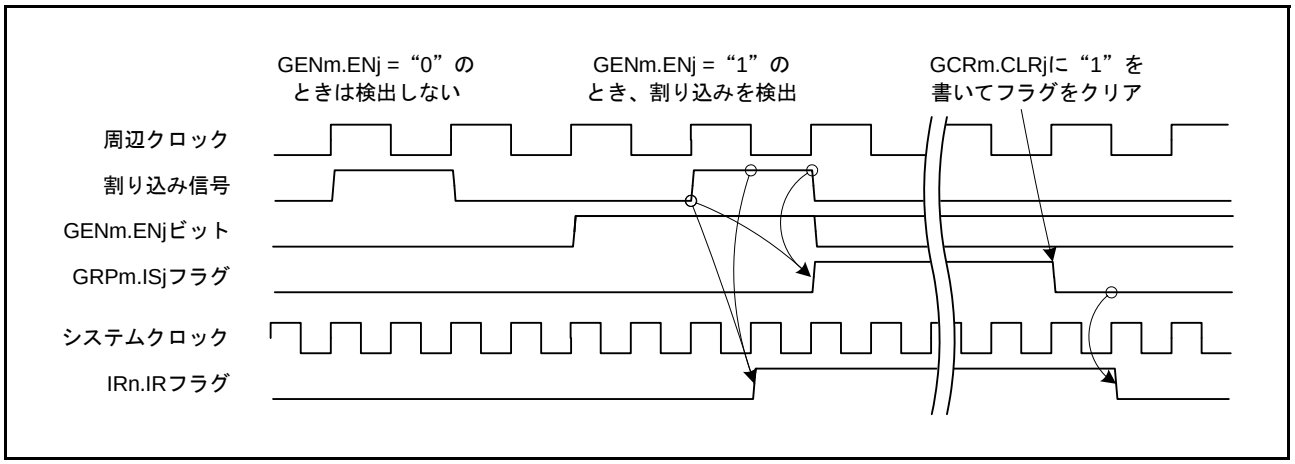


図 15.10　グループ割り込みのエッジ検出割り込み要求動作例

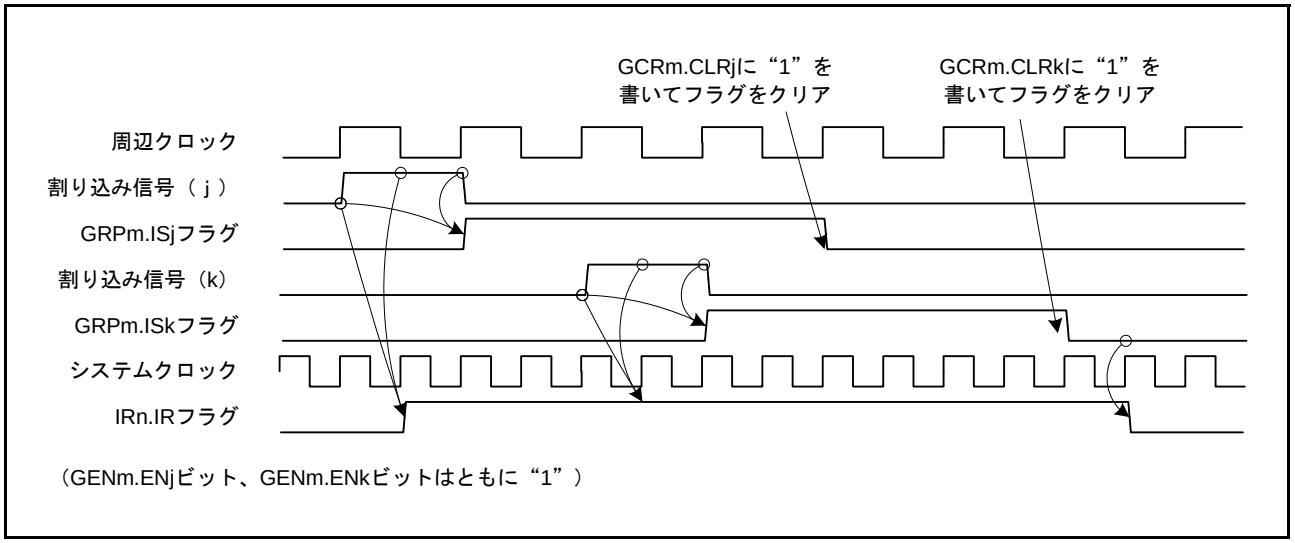


図 15.11　1 グループに割り当てられた複数のエッジ検出割り込み要求が発生した場合の動作例

エッジ検出グループ 0 の割り込みの処理は、図 15.12 に示す手順で行ってください。
エッジ検出グループ 1 ～ 6 の割り込みの処理は、図 15.13 に示す手順で行ってください。

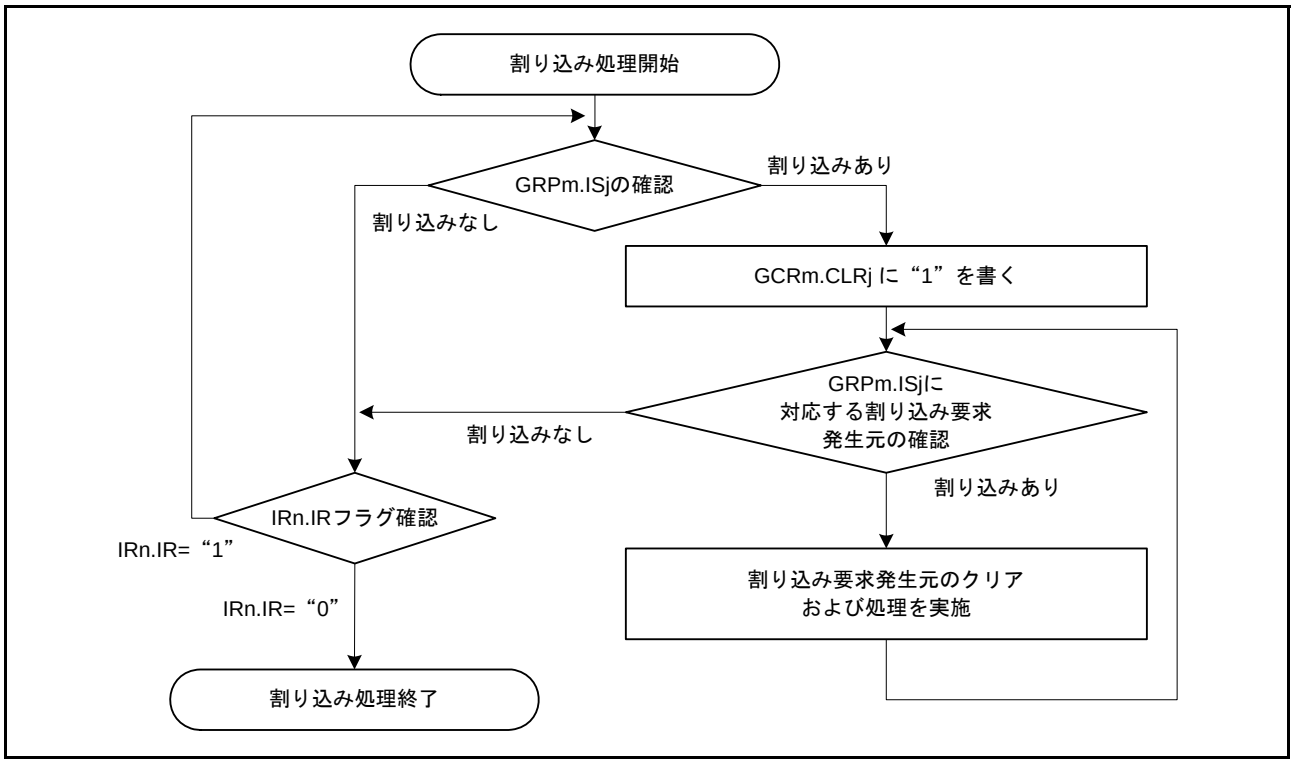


図 15.12　エッジ検出グループ 0 の割り込み処理手順

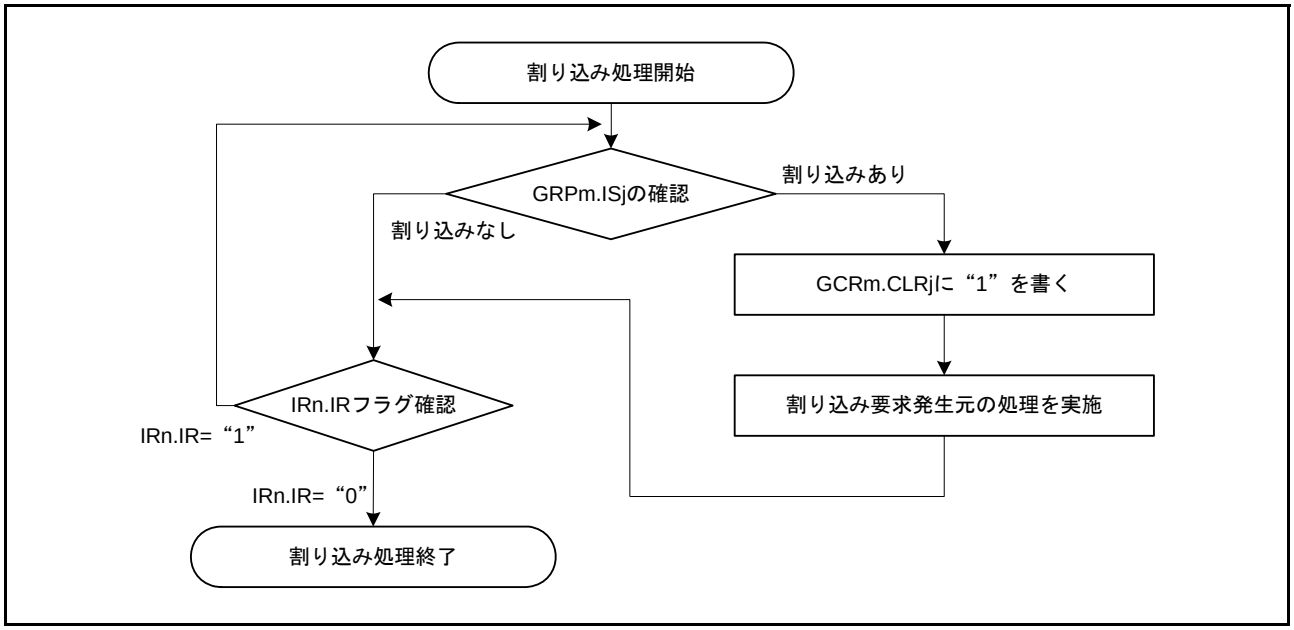


図 15.13　エッジ検出グループ 1 ～ 6 の割り込み処理手順

15.5.1.4　レベル検出グループ割り込みと割り込みステータスフラグ

グループ 12 は、レベル検出の割り込み要求がグルーピングされています。グループに対応する IRn.IR フラグはレベル検出割り込みとして動作します。

図 15.14 にレベル検出割り込み要求の検出動作例を、**図 15.15** に 1 グループに割り当てられた複数のレベル検出割り込み要求が発生した場合の動作例を示します。

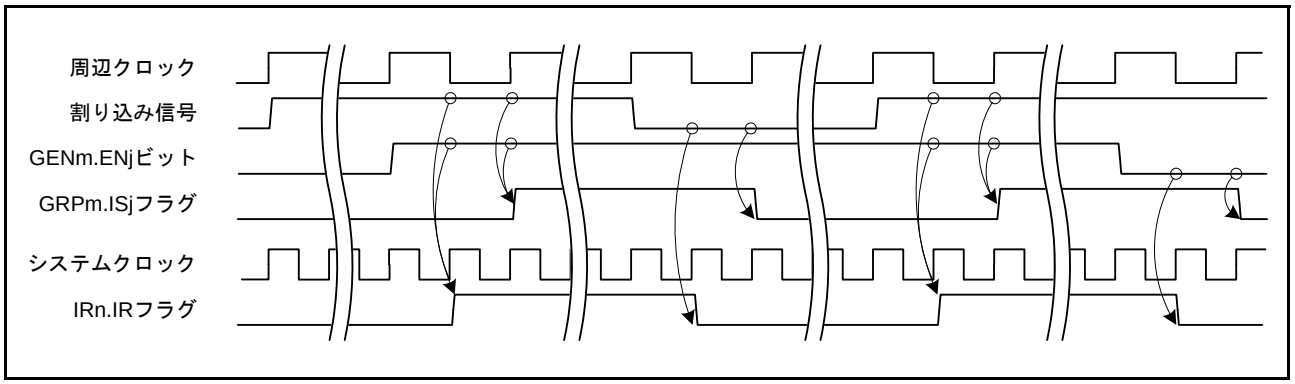


図 15.14　レベル検出グループ割り込みの割り込み要求動作例

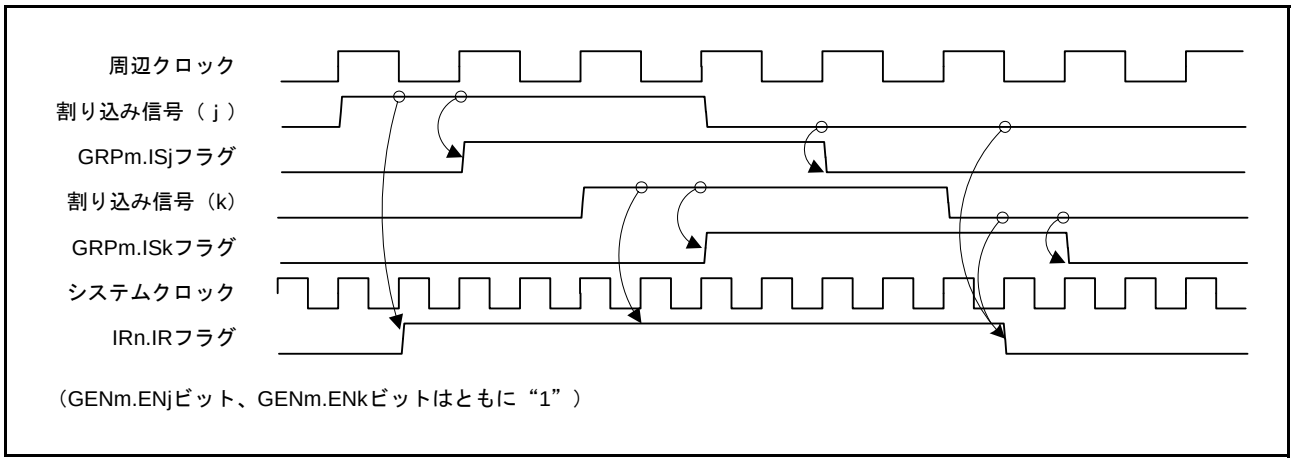


図 15.15　1 グループに割り当てられた複数のレベル検出割り込み要求が発生した場合の動作例

レベル検出グループ割り込みの処理は、**図 15.16** に示す手順で行ってください。

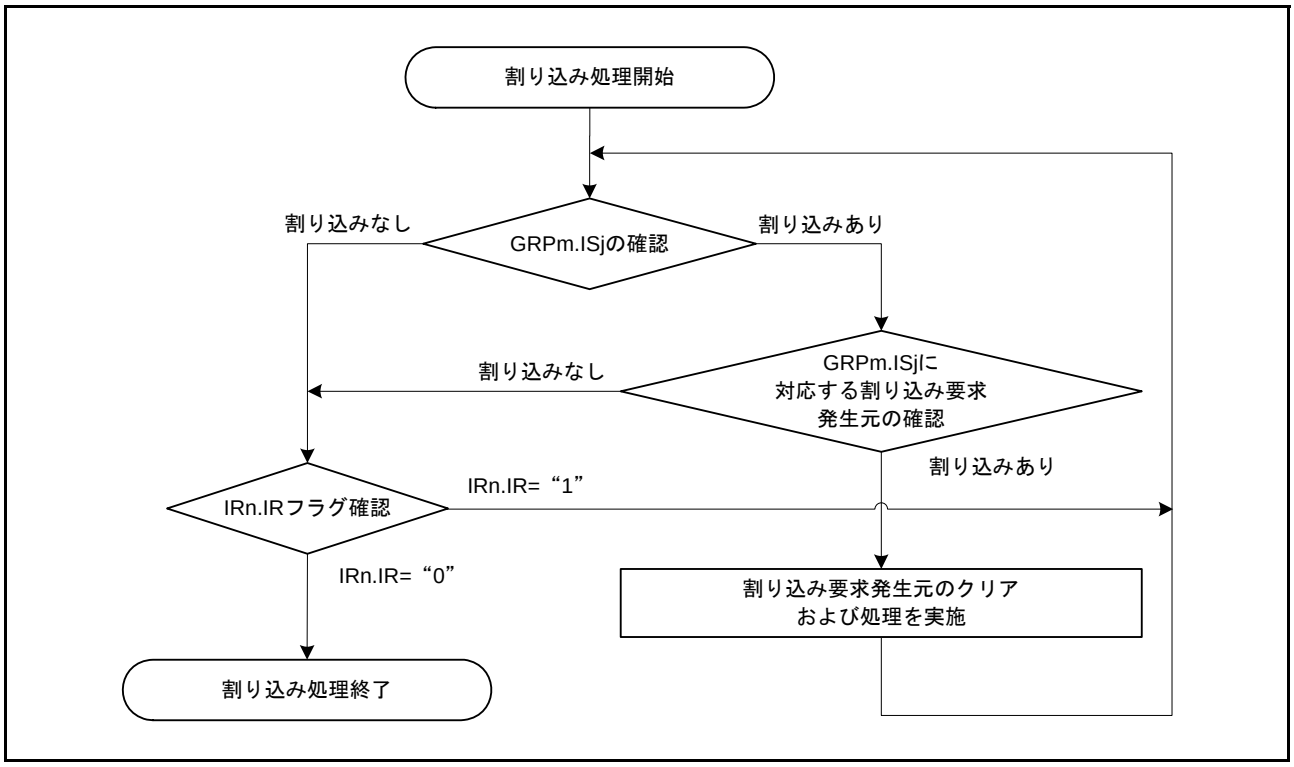


図 15.16　レベル検出グループ割り込みの処理手順

15.5.1.5　ユニット選択と割り込みステータスフラグ

ユニット切り替えを行う場合は、以下の手順で行ってください。

- MTUn(n=0 ～ 5)、TPUn(n=6 ～ 11) の各割り込み要求出力元で、MTUn、TPUn ともに割り込み出力を禁止にして、最後に書き込みを行ったレジスタを読んで、書き込み完了を確認する。
- IRn.IR フラグが “0” であることを確認する。
- SEL.CNj ビットの書き換えを行う。
- MTUn(n=0 ～ 5)、TPUn(n=6 ～ 11)、の各割り込み要求出力元で、使用する割り込み出力を許可にする。

図 15.17 にユニット選択機能動作例を示します。

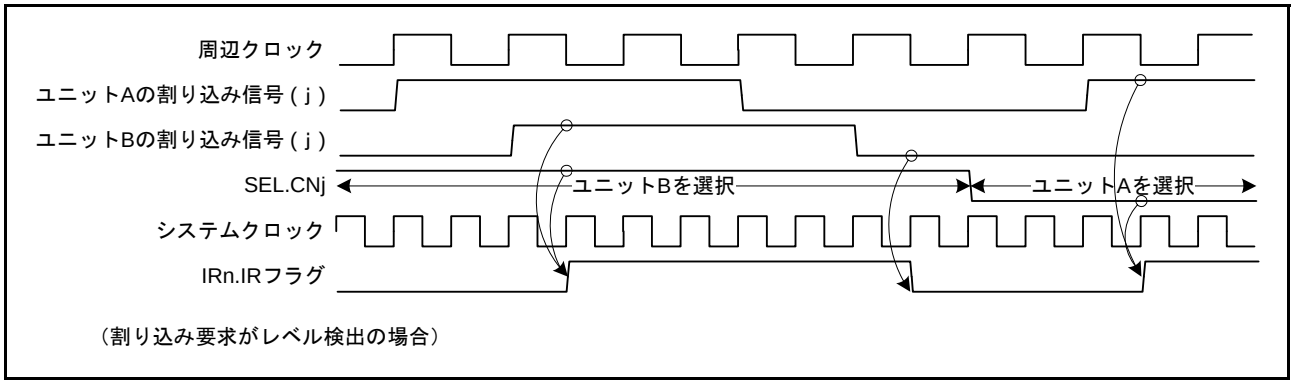


図 15.17　ユニット選択機能動作例

15.5.2　割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. グループ化された割り込み要求は、GENm.ENj ビットによって割り込み要求を許可
3. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグが “1” になります。

グループ化された割り込み要求が発生すると、対応する GRPm.ISj フラグが “1” になるとともに、グループに対応する IRn.IR フラグが “1” になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが “1” である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが “1” になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. グループ化された割り込み要求の場合、GENm.ENj ビットを禁止に設定する。
3. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
4. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを “0” にする。（注 1）
   グループ化された割り込み要求の場合、GRPm.ISj フラグを確認、もしくは GRPm.ISj フラグを “0” にする。

注 1.　SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを “0” にしてください。詳細は、「35.　シリアルコミュニケーションインタフェース（SCIc、SCId）」、「36.　I²C バスインタフェース（RIIC）」、「38.　シリアルペリフェラルインタフェース（RSPI）」の各割り込みの説明を参照してください。

15.5.3　割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、**「表 15.3　割り込みのベクタテーブル」**に示された要求先が設定できます。**表 15.3** に「○」の記載がない割り込み要求先を選択しないでください。

IRQ 端子で DTC/DMAC を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1)　DMAC 起動

各要因ごとに、IERm.IENj ビットが “0” のときに以下の設定を行ってください。

1. DMAC のチャネルごとに用意されている DMAC 起動要求選択レジスタ（DMRSRm）に該当割り込み要因ベクタ番号を指定（注 1）
2. DMAC 該当チャネルの起動要因（DMACm.DMTMD.DCTG[1:0]）を “01b”（割り込みモジュール検出）に設定
3. DMAC の該当チャネルの DMAC 転送許可（DMACm.DMCNT.DTE）を “1” に設定する

上記の状態で、IERm.IENj ビットを “1” にしてください。

また、DMAC 動作許可ビット（DMAST.DMST）を “1” にしてください。各要因ごとの設定と DMAC 動作許可ビットの設定はどちらを先に行っても構いません。

DMAC の設定手順は、「18. DMA コントローラ（DMACA）」の「18.3.7 DMAC の起動」を参照してください。

(2) DTC 起動

各要因ごとに、IERm.IENj ビットが “0” のときに以下の設定を行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット（DTCERn.DTCE）を “1” に設定する（注 1）

上記の状態で、IERm.IENj ビットを “1” にしてください。

また、DTC モジュール起動ビット（DTCST.DTCST）を “1” にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「20. データトランスファコントローラ（DTCa）」の「20.5 DTC の設定手順」を参照してください。

注 1. DTC 起動許可（DTCERn.DTCE）と DMAC 起動要求選択（DMRSRm）に同一の要因を設定しないでください。また、複数の DMRSRm に同一の要因を設定しないでください。

(3) CPU 割り込み要求

割り込み要求先が DMAC でも DTC でもない要因は、CPU 割り込み対象となります。

上記の DMAC 起動、DTC 起動の設定がされていない状態で、IERm.IENj ビットを “1” にしてください。

DMAC や DTC を割り込み要求先に設定した場合の動作は、表 15.6 に示すとおりになります。

表 15.6　DMAC/DTC 起動時の動作

割り込み要求先	DISEL	残り転送回数	1 要求ごとの動作	IR（注 1）	転送後の割り込み要求先
DMAC	1	≠ 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMAC
		= 0	DMA 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DMACm.DMCNT.DTE ビットがクリアされ CPU に切り替え
	0	≠ 0	DMA 転送	DMAC 転送開始時にクリア	DMAC
		= 0	DMA 転送（注 2）	DMAC 転送開始時にクリア（注 2）	DMACm.DMCNT.DTE ビットがクリアされ CPU に切り替え
DTC（注 3）	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされ CPU に切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み（注 2）	CPU 割り込み受け付け時にクリア（注 2）	DTCER.DTCE ビットがクリアされ CPU に切り替え

DMAC の DISEL は DMACm.DMCSL.DISEL ビットで、DTC の DISEL は DTC.MRB.DISEL ビットで設定します。

注 1. IRn.IR フラグが “1” のとき、再度発生した割り込み要求（DTC/DMAC 起動要求）は無視されます。

注 2. DISEL=“0” で、残り転送回数が “0” のときの動作は DTC と DMAC で異なります。

注 3. チェーン転送の場合は、チェーン最終転送まで DTC 転送を継続します。チェーン最終転送時の CPU 割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送の DISEL、および残り転送回数によって決まります。チェーン転送については、「20. データトランスファコントローラ（DTCa）」の「表 20.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが “0” のときに行ってください。

「(1) DMAC 起動」を設定してから転送が完了していない状態（DMACm.DMCNT.DTE ビットがクリアされていない状態）で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更を行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを “0” にする。
2. DMAC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1)　DMAC 起動」の設定を行う。

「(2)　DTC 起動」を設定してから転送が完了していない状態（DTCERn.DTCE ビットがクリアされていない状態）で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを “0” にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(2)　DTC 起動」の設定を行う。

15.5.4　優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1)　割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット（IPRn.IPR[3:0]）の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2)　割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3)　割り込み要求先が DMAC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。DMAC チャネルの優先順位については「18.　DMA コントローラ（DMACA）」を参照してください。

15.5.5　高速割り込み

高速割り込みは、CPU の割り込み処理を高速に行う機能で、CPU への割り込み要求のみ有効です。DTC や DMAC への起動要求には影響を与えません。

FIR.FVCT[7:0] ビットで高速割り込みにする要因のベクタ番号の設定と、FIR.FIEN ビットで高速割り込みの許可を設定された状態で、該当する割り込み要因が発生すると高速割り込みとして CPU へ出力することができます。

高速割り込みに設定した要因は、IPRn.IPR[3:0] ビットの設定に関わらず最優先の要因になります。

高速割り込みについての詳細は「14.　例外処理」を参照してください。

15.5.6　デジタルフィルタ

外部割り込み要求端子 IRQi(i=0 ～ 15) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。

デジタルフィルタは入力信号をフィルタ用サンプリングクロック（PCLK）でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQi 端子のデジタルフィルタを使用する場合、IRQFLTCn.FCLKSELi[1:0] ビット (n=0 ～ 1、i=0 ～ 15) でサンプリング周波数（PCLK、PCLK/8、PCLK/32、PCLK/64）を設定し、IRQFLTEn.FLTENi ビットを “1”（デジタルフィルタ有効）にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、NMIFLTC.NFCLKSEL[1:0] ビットでサンプリング周波数（PCLK、PCLK/8、PCLK/32、PCLK/64）を設定し、NMIFLTE.NFLTEN ビットを “1”（デジタルフィルタ有効）にしてください。

図 15.18 にデジタルフィルタの動作例を示します。

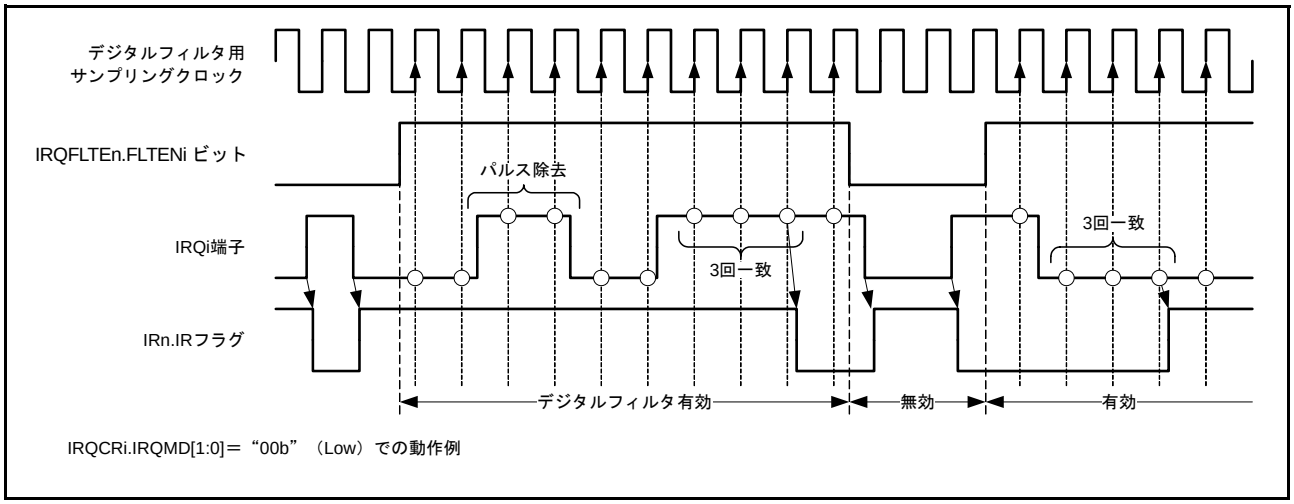


図 15.18　デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、IRQFLTEn.FLTENi ビット、および NMIFLTE.NFLTEN ビットを “0”（デジタルフィルタ無効）にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、IRQFLTEn.FLTENi ビット、もしくは NMIFLTE.NFLTEN ビットを “1”（デジタルフィルタ有効）にしてください。

15.5.7　外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビットを “0”（割り込み要求禁止）にする。
2. IRQFLTEn.FLTENi ビット (n=0 ～ 1、i=0 ～ 15) を “0”（デジタルフィルタ無効）にする。
3. IRQFLTEn.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグを “0” にする（エッジ検出の場合）。
7. IRQFLTEn.FLTENi ビットを “1”（デジタルフィルタ有効）にする。
8. DMAC 起動の場合 DMRSRm.DMRS[7:0] ビットを、DTC 起動の場合 DTCERn.DTCE ビットを設定する（どちらも設定しない場合は CPU 割り込み）。
9. IERm.IENj ビットを “1”（割り込み要求許可）にする。

15.6　ノンマスカブル割り込みの動作説明

ノンマスカブル割り込みにはNMI端子割り込み、発振停止検出割り込み、WDTアンダフロー/リフレッシュエラー、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込みがあります。ノンマスカブル割り込みはCPUへの割り込みのみであり、DTCやDMACの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスカブル割り込み要求は、CPUのPSW.Iビット（割り込み許可ビット）、PSW.IPL[3:0]ビット（プロセッサ割り込み優先レベル）の状態にかかわらず受け付けられます。ノンマスカブル割り込みの有無はノンマスカブル割り込みステータスレジスタ（NMISR）で確認できます。

ノンマスカブル割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してください。

初期状態では「ノンマスカブル割り込み禁止」となっています。ノンマスカブル割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスカブル割り込み使用手順

1. スタックポインタ（SP）を設定する。
2. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“0”（デジタルフィルタ無効）にする。
3. NMI端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子の検出センスを設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“1”（デジタルフィルタ有効）にする。
7. ノンマスカブル割り込み許可レジスタ（NMIER）の許可する割り込みに対応するビットを“1”にして、ノンマスカブル割り込みの使用を許可する。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスカブル割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスカブル割り込みの処理の流れは、**「14.　例外処理」**を参照してください。

NMIステータスフラグ（NMISR.NMIST）は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ（NMISR.OSTST）は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

WDTアンダフロー/リフレッシュエラーステータスフラグ（NMISR.WDTST）は、NMICLR.WDTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ（NMISR.IWDTST）は、NMICLR.IWDTCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ（NMISR.LVD1ST）は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ（NMISR.LVD2ST）は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

15.7　低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を**「表 15.3　割り込みのベクタテーブル」**に示します。

詳細は**「11.　消費電力低減機能」**を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

15.7.1　スリープモードからの復帰

ノンマスカブル割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み

(1) 割り込み要求先が CPU であること
(2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
(3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(4) グループ化された割り込み要求の場合、GENm.ENj ビットによって該当する割り込み要求が許可されていること

- ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求が許可されていること

15.7.2　全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み、および全モジュールクロックストップモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み

(1) 全モジュールクロックストップモードから復帰可能な要因であること
(2) 割り込み要求先が CPU であること
(3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
(4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

- ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求が許可されていること

15.7.3　ソフトウェアスタンバイモードからの復帰

ノンマスカブル割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み

(1) ソフトウェアスタンバイモードから復帰可能な要因であること
(2) 割り込み要求先が CPU であること
(3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
(4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
（高速割り込みに設定した要因には高速割り込み設定レジスタ（FIR）だけでなく、対応する割り込み優先レベル（IPRn）も CPU.PSW.IPL より高い設定にしてください。）

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求が許可されていること

- ソフトウェアスタンバイモードへの移行 / 復帰の手順

(1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効（IRQFLTEn.FLTENi ビットを “0”、NMIFLTE.NFLTEN ビットを “0”）にしてください。

(2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効（IRQFLTEn.FLTENi ビットを “1”、NMIFLTE.NFLTEN ビットを “1”）にしてください。

15.8 使用上の注意事項

15.8.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが “0” であることを確認した後で行ってください。

16. バス

16.1 概要

表 16.1 にバスの仕様を、図 16.1 にバスの構成図を、表 16.2 にバス種類別アドレス対応表を示します。

表16.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	• CPU（命令）を接続 • 内蔵メモリを接続（RAM、ROM） • システムクロック（ICLK）に同期して動作
	オペランドバス	• CPU（オペランド）を接続 • 内蔵メモリを接続（RAM、ROM） • システムクロック（ICLK）に同期して動作
メモリバス	メモリバス1	• RAMを接続
	メモリバス2	• ROMを接続
内部メインバス	内部メインバス1	• CPUを接続 • システムクロック（ICLK）に同期して動作
	内部メインバス2	• DTC、DMAC、EDMACを接続 • 内蔵メモリを接続（RAM、ROM） • システムクロック（ICLK）に同期して動作
内部周辺バス	内部周辺バス1	• 周辺機能（DTC、DMAC、EXDMAC、DEU、割り込みコントローラ、バスエラー監視部）を接続 • システムクロック（ICLK）に同期して動作（EXDMACは、BCLKに同期して動作）
	内部周辺バス2	• 周辺機能（内部周辺バス1、3、4、5以外の周辺機能）を接続 • 周辺モジュールクロック（PCLKB）に同期して動作
	内部周辺バス3	• 周辺機能（USB、PDC）を接続 • 周辺モジュールクロック（PCLKB）に同期して動作
	内部周辺バス4	• 周辺機能（EDMAC、ETHERC）を接続 • 周辺モジュールクロック（PCLKA）に同期して動作
	内部周辺バス5	予約領域
	内部周辺バス6	• ROM（P/E時）、E2データフラッシュを接続 • FlashIFクロック（FCLK）に同期して動作
外部バス	CS領域	• 外部デバイスを接続 • 外部バスクロック（BCLK）に同期して動作
	SDRAM領域	• SDRAMを接続 • SDRAMクロック（SDCLK）に同期して動作

P/E：プログラム / イレーズ

BCLK（外部バスクロック）：最大 100MHz のクロックです。CSC（CS 領域コントローラ）、EXDMAC は BCLK に同期して動作します。

SDCLK（SDRAM クロック）：最大 50MHz のクロックです。SDRAMC（SDRAM 領域コントローラ）は、SDCLK に同期して動作します。

BCLK 端子出力：デフォルトでは、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「9. クロック発生回路」を参照してください。

注. SDRAM使用時は、BCLKとSDCLKは同じ周波数で動作させる必要があります。

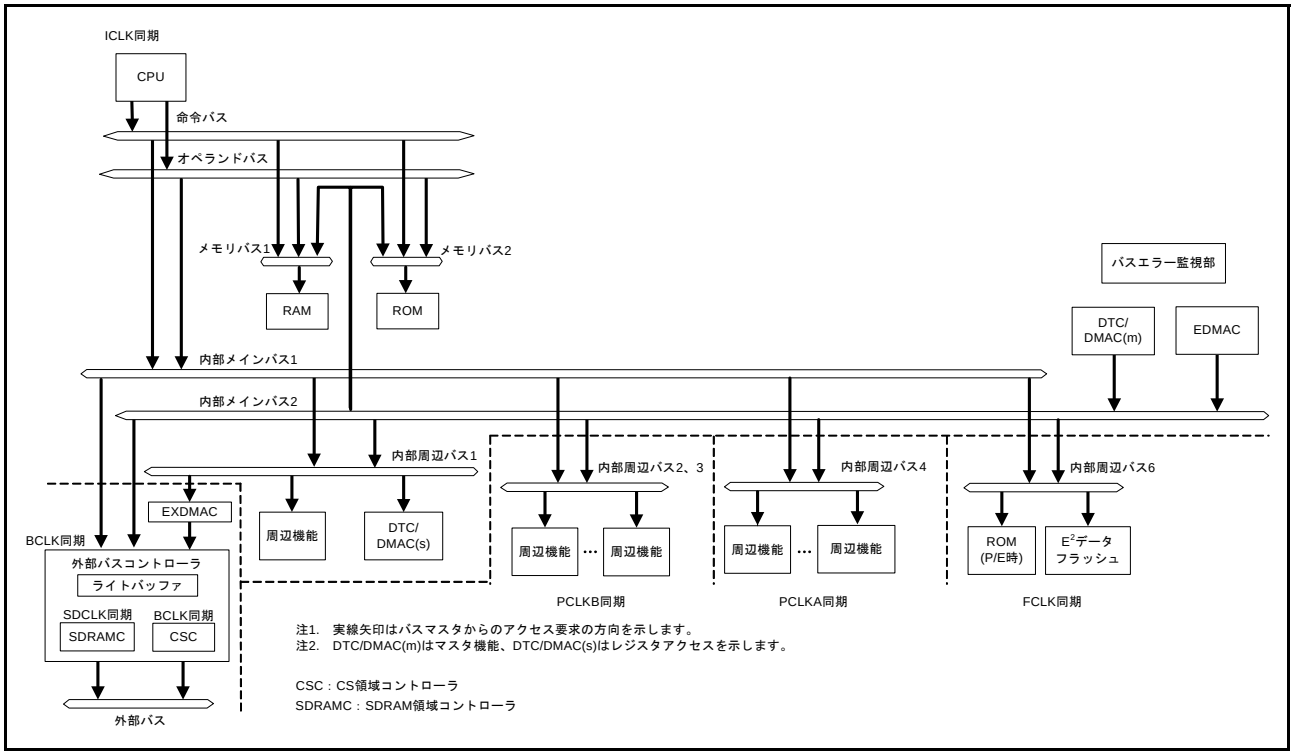


図 16.1 バスの構成図

表16.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ～ 0001 FFFFh	メモリバス 1		RAM	
0002 0000h ～ 0007 FFFFh			予約領域	
0008 0000h ～ 0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h ～ 0009 FFFFh	内部周辺バス 2			
000A 0000h ～ 000B FFFFh	内部周辺バス 3			
000C 0000h ～ 000D FFFFh	内部周辺バス 4			
000E 0000h ～ 000F FFFFh	予約領域			
0010 0000h ～ 00FF FFFFh	内部周辺バス6	予約領域	E2データフラッシュ、FCU RAM、ROM（書き換え専用）	予約領域
0100 0000h ～ 07FF FFFFh	外部バス		外部アドレス空間（CS1 ～ CS7）	
0800 0000h ～ 0FFF FFFFh			SDRAM領域	
1000 0000h ～ 7FFF FFFFh	予約領域		予約領域	
8000 0000h ～ FEFF FFFFh	メモリバス 2	予約領域	ROM（読み出し専用）	予約領域
FF00 0000h ～ FFFF FFFFh		外部バス		外部アドレス空間（CS0）

16.2　バスの説明

16.2.1　CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、プログラム / イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド＞命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM、ROM と外部アクセスなどの並列動作が可能となります。

16.2.2　メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1（RAM）プライオリティ制御ビット（BUSPRI.BPRA[1:0]）、メモリバス 2（ROM）プライオリティ制御ビット（BUSPRI.BPRO[1:0]）により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 ＞ CPU バス（オペランド＞命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

16.2.3　内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC、DMAC、EDMAC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド＞命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC、EDMAC のバス権要求を調停します。優先順位は、**表 16.3** に示すように、EDMAC ＞ DMAC ＞ DTC の順となります。

DTC と DMAC については、起動要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の起動要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 ＞ DMAC1 ＞ DMAC2 ＞ DMAC3 ＞ DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1 ～内部周辺バス 6、外部バス）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ（BUSPRI）の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 16.3　バスマスタ優先順位

優先度	バスマスタ
高 ↑	EDMAC
	DMAC
	DTC
低	CPU

16.2.4　内部周辺バス

表 16.4 に内部周辺バスに接続される周辺機能を示します。

表 16.4　内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	DTC、DMAC、EXDMAC、DEU、割り込みコントローラ、バスエラー監視部
内部周辺バス 2	内部周辺バス 1、3、4、5 以外の周辺機能
内部周辺バス 3	USB、PDC
内部周辺バス 4	EDMAC、ETHERC
内部周辺バス 5	予約領域
内部周辺バス 6	ROM(P/E 時) / E2 データフラッシュ、FCU RAM

内部周辺バス 1 ～ 6 は、それぞれ、CPU（内部メインバス 1）と CPU 以外のバスマスタ（内部メインバス 2）からのバス権要求を調停します。

2 本のバスの優先順位は、バスプライオリティ制御レジスタ（BUSPRI）により設定可能です。優先順位は、内部周辺バス 1 プライオリティ制御ビット（BUSPRI.BPIB[1:0]）、内部周辺バス 2、3 プライオリティ制御ビット（BUSPRI.BPGB[1:0]）、内部周辺バス 4、5 プライオリティ制御ビット（BUSPRI.BPHB[1:0]）、内部周辺バス 6 プライオリティ制御ビット（BUSPRI.BPFB[1:0]）によりバスごとに設定できます。優先順位固定の場合は、内部メインバス 2 ＞内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BUSPRI レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください（図 16.2 参照）。

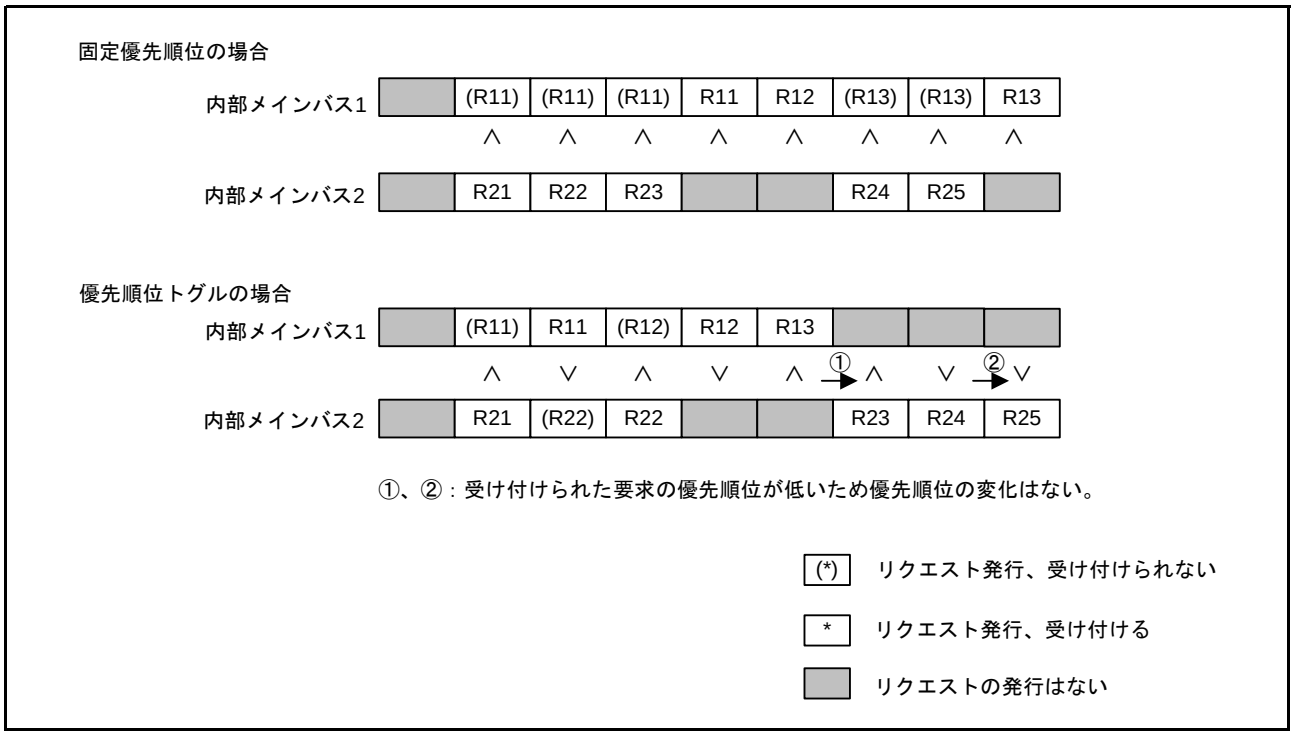


図 16.2　内部周辺バス優先順位

16.2.5　ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。（**図 16.3** 参照）

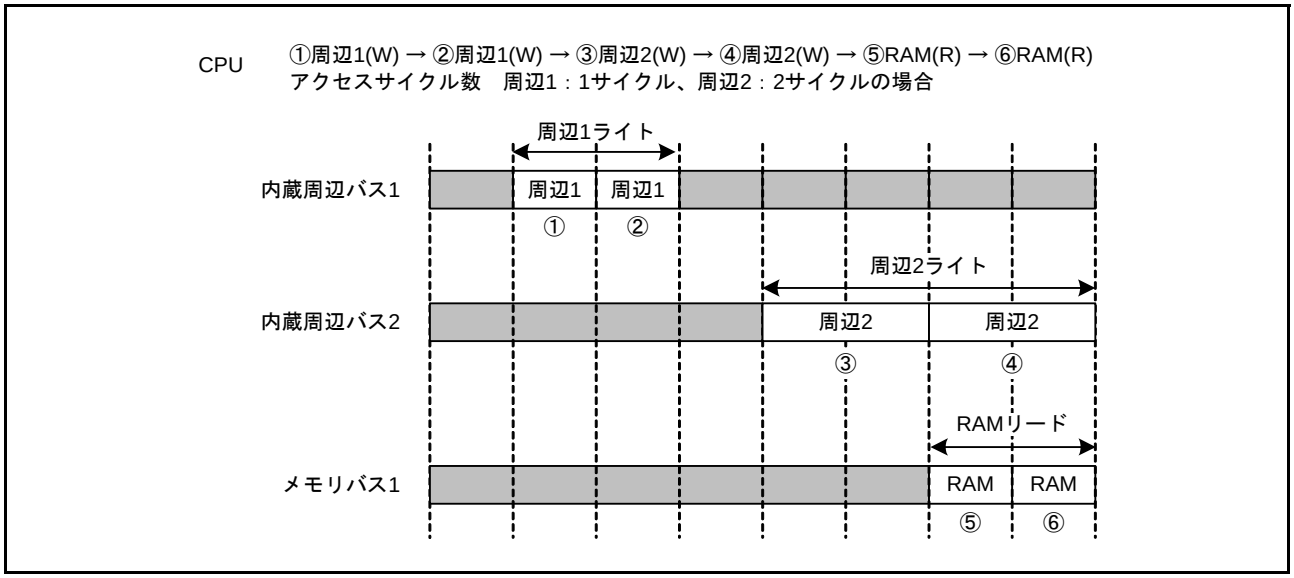


図 16.3　ライトバッファ機能

16.2.6　外部バス

表 16.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2、EXDMAC からの外部アドレス空間、外部バスコントローラのレジスタ（CSC、SDRAMC）に対するバス権要求を調停します。ただし、EXDMAC からは、外部アドレス空間のみアクセス可能です。

3 本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット（BUSPRI.BPEB[1:0]）により設定可能です。優先順位固定の場合は、EXDMAC ＞内部メインバス 2 ＞内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 とそれ以外（内部メインバス 2）とでバス要求を受け付けられた方の優先順位が低くなります。EXDMAC と内部メインバス 2 の優先順位は、外部バスプライオリティ制御ビットの設定にかかわらず固定（EXDMAC ＞内部メインバス 2）となります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください（図 16.4 参照）。

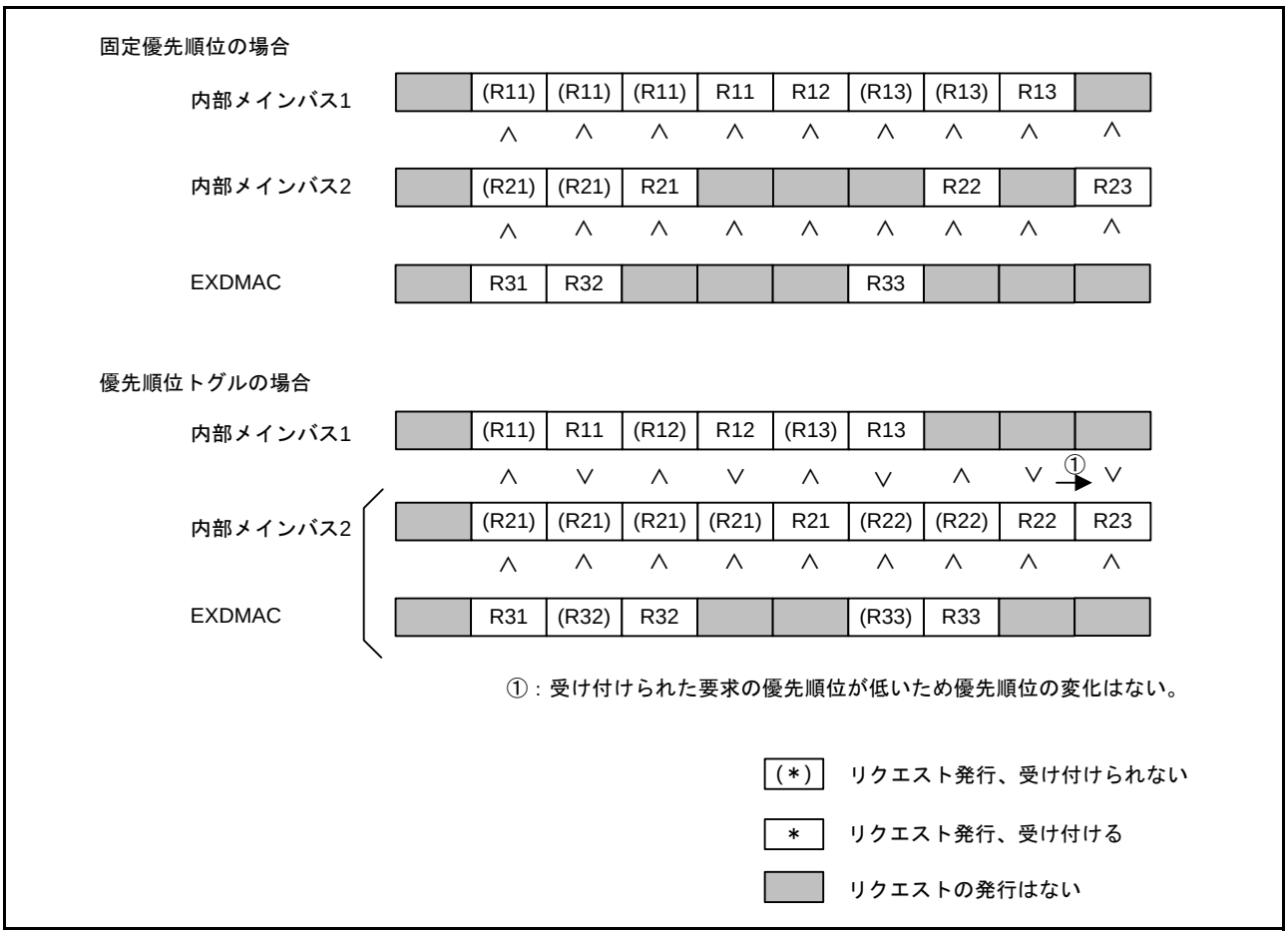


図 16.4　内部周辺バス優先順位

表16.5　外部バスの仕様

項目	内容
外部アドレス空間	• 外部アドレス空間を8つのCS領域（CS0～CS7）とSDRAM領域（SDCS）に分割して管理 • 領域ごとにチップセレクトを出力可能 • 領域ごとにバス幅を選択可能 セパレートバス：8ビットバス空間/16ビットバス空間/32ビットバス空間を選択可能 アドレス/データマルチプレクスバス：8ビットバス空間/16ビットバス空間を選択可能 • 領域ごとにエンディアンを設定可能
CS領域コントローラ	• リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 • サイクルウェイト機能：最大31サイクルウェイト（ページアクセス最大7サイクルウェイト） • ウェイト制御 チップセレクト信号（CS0#～CS7#）のアサート/ネゲートタイミング設定可能 リード信号（RD#）、ライト信号（WR0#/WR# ～WR3#）のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 • ライトアクセスモード：1ライトストローブモード/バイトストローブモード • セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
SDRAM領域 コントローラ	• ロウアドレス/カラムアドレスのマルチプレクス出力（8ビット/9ビット/10ビット/11ビット） • オートリフレッシュとセルフリフレッシュを選択可能 • CASレイテンシを1～3に設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	• CS領域コントローラ（CSC）は、BCLK（注1）に同期して動作 • SDRAM領域コントローラ（SDRAMC）は、SDCLKに同期して動作

注1.　SDRAM使用時、BCLKとSDCLKは同じ周波数で動作させる必要があります。

表 16.6 に外部バスの入出力端子を示します。

表16.6　外部バスの入出力端子 (1 / 2)

端子名	入出力	機能
A23～A0（注1）	出力	アドレス出力端子です
D31～D0	入出力	データ入出力端子です 32ビットバス空間を設定した場合、D31～D0が有効となります 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0#（注1）	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で（BC0#信号がLowの場合）、D7～D0が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なく常にLow出力となります
BC1#	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で（BC1#信号がLowの場合）、D15～D8が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、使用しません
BC2#	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で（BC2#信号がLowの場合）、D23～D16が有効であることを示すストローブ信号です 8ビットバス空間、16ビットバス空間を設定した場合、使用しません。
BC3#	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で（BC3#信号がLowの場合）、D31～D24が有効であることを示すストローブ信号です 8ビットバス空間、16ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0（CS0）チップセレクト信号です
CS1#	出力	領域1（CS1）チップセレクト信号です
CS2#	出力	領域2（CS2）チップセレクト信号です
CS3#	出力	領域3（CS3）チップセレクト信号です
CS4#	出力	領域4（CS4）チップセレクト信号です
CS5#	出力	領域5（CS5）チップセレクト信号です
CS6#	出力	領域6（CS6）チップセレクト信号です
CS7#	出力	領域7（CS7）チップセレクト信号です

表16.6　外部バスの入出力端子 (2 / 2)

端子名	入出力	機能
RD#	出力	外部アドレス空間（CS0～CS7）をリード中であることを示すストローブ信号です
WR0#/WR#（注2）	出力	WR0#信号は、バイトストローブモード時、外部アドレス空間をライト中で（WR0#信号がLowの場合）、D7～D0が有効であることを示すストローブ信号です WR#信号は、1ライトストローブモード時、外部アドレス空間をライト中であることを示すストローブ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されます
WR1#	出力	バイトストローブモード時、外部アドレス空間をライト中で（WR1#信号がLowの場合）、D15～D8が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間を設定した場合、使用しません
WR2#	出力	バイトストローブモード時、外部アドレス空間をライト中で（WR2#信号がLowの場合）、D23～D16が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間、16ビットバス空間を設定した場合、使用しません
WR3#	出力	バイトストローブモード時、外部アドレス空間をライト中で（WR3#信号がLowの場合）、D31～D24が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間、16ビットバス空間を設定した場合、使用しません
ALE	出力	アドレス/データマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間（CS0～CS7）をアクセスするときのウェイト要求信号です。（Low：ウェイト要求）
SDCLK	出力	SDRAMクロック
CKE	出力	SDRAMクロックイネーブル信号です
SDCS#	出力	SDRAMチップセレクト信号です
RAS#	出力	SDRAMロウアドレスストローブ信号です
CAS#	出力	SDRAMカラムアドレスストローブ信号です
WE#	出力	SDRAMライトイネーブル信号です
DQM0	出力	SDRAM入出力データマスクイネーブル信号です。D7～D0を制御します
DQM1	出力	SDRAM入出力データマスクイネーブル信号です。D15～D8を制御します
DQM2	出力	SDRAM入出力データマスクイネーブル信号です。D23～D16を制御します
DQM3	出力	SDRAM入出力データマスクイネーブル信号です。D31～D24を制御します

注1.　A0端子とBC0#端子は兼用しており、領域ごとにバイトストローブモード時はA0端子、1ライトストローブモード時はBC0#端子が有効になります。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「21.　I/Oポート」を参照してください。

注2.　WR0#端子とWR#端子は、同じ信号です。WR#端子は、1ライトストローブモード時のWR0#のことを示します。

16.2.7　並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU の命令フェッチが ROM を、オペランドが RAM をアクセス中に、DMAC は周辺－外部バス間の転送を行うことができます。**図 16.5** に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれ ROM と RAM を同時にアクセスすることが可能です。また、CPU が ROM と RAM をアクセス中に、DMAC は内部メインバス 2 を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

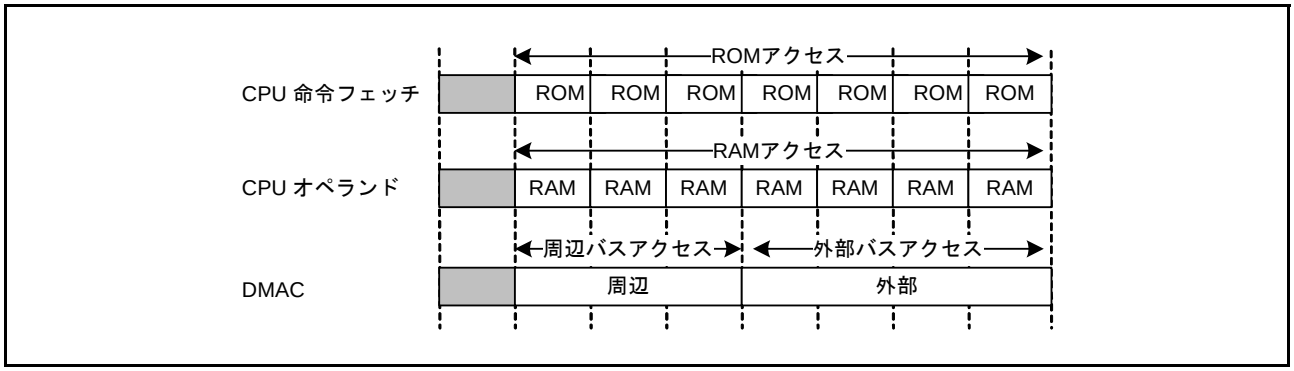


図 16.5　並列動作の例

16.2.8　バスの設定

(1) 外部バスのモードを、CSn モードレジスタ（CSnMOD）、CSn ウェイト制御レジスタ 1（CSnWCR1）、CSn ウェイト制御レジスタ 2（CSnWCR2）、CSn 制御レジスタ（CSnCR）、CSn リカバリサイクル設定レジスタ（CSnREC）、CS リカバリサイクル挿入許可レジスタ（CSRECEN）、バスエラー監視許可レジスタ（BEREN）、バスプライオリティ制御レジスタ（BUSPRI）で設定します。

(2) 端子の設定を、CS 出力許可レジスタ（PFCSE）、CS 出力端子選択レジスタ 0（PFCSS0）、CS 出力端子選択レジスタ 1（PFCSS1）、アドレス出力許可レジスタ 0（PFAOE0）、アドレス出力許可レジスタ 1（PFAOE1）、外部バス制御レジスタ 0（PFBCR0）、外部バス制御レジスタ 1（PFBCR1）で行います。

(3) 使用する端子を入力ポートに設定します。

(4) システムコントロールレジスタ 0（SYSCR0）の外部バス許可ビット（EXBE）を “1”（外部バス有効）に設定します。

16.2.9 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

(a) 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

(b) RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3　レジスタの説明

16.3.1　CSn 制御レジスタ（CSnCR）（n = 0 ～ 7）

アドレス　CS0CR 0008 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス　CS1CR 0008 3812h、CS2CR 0008 3822h、CS3CR 0008 3832h、
CS4CR 0008 3842h、CS5CR 0008 3852h、CS6CR 0008 3862h、CS7CR 0008 3872h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0：動作禁止 1：動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0：16 ビットバス空間に設定 0 1：32 ビットバス空間に設定 1 0：8 ビットバス空間に設定 1 1：設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0：領域 n のエンディアンは動作モードのエンディアンと同じ 1：領域 n のエンディアンは動作モードのエンディアンと異なる （n = 0～7）	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット	0：領域 n はセパレートバスインタフェース 1：領域 n はアドレス/データマルチプレクス I/O インタフェース （n = 0～7）	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット（動作許可ビット）

各領域の動作許可 / 禁止を設定します。

なお、リセット後は、領域 0（CS0）のみ動作許可（“1”）になり、それ以外の領域は動作禁止（“0”）になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット（BEREN.IGAEN = 1）が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット（外部バス幅選択ビット）

各領域のデータバス幅を設定します。

なお、リセット後の領域 0（CS0）のデータバス幅は、動作モードのバス幅の設定に依存します。

MPXEN ビットでアドレス / データマルチプレクス I/O インタフェースを設定した場合、32 ビットバス空間に設定することを禁止しており、設定した場合の動作を保証しません。

EMODE ビット（エンディアンモード指定ビット）

各領域のエンディアンを設定します。

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3.2　CSn リカバリサイクル設定レジスタ（CSnREC）（n = 0 ～ 7）

アドレス　CS0REC 0008 380Ah、CS1REC 0008 381Ah、CS2REC 0008 382Ah、CS3REC 0008 383Ah、CS4REC 0008 384Ah、CS5REC 0008 385Ah、CS6REC 0008 386Ah、CS7REC 0008 387Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	WRCV[3:0]				—	—	—	—	RRCV[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0：リカバリサイクルを挿入しない 0 0 0 1：リカバリサイクルを1サイクル挿入 0 0 1 0：リカバリサイクルを2サイクル挿入 0 0 1 1：リカバリサイクルを3サイクル挿入 0 1 0 0：リカバリサイクルを4サイクル挿入 0 1 0 1：リカバリサイクルを5サイクル挿入 0 1 1 0：リカバリサイクルを6サイクル挿入 0 1 1 1：リカバリサイクルを7サイクル挿入 1 0 0 0：リカバリサイクルを8サイクル挿入 1 0 0 1：リカバリサイクルを9サイクル挿入 1 0 1 0：リカバリサイクルを10サイクル挿入 1 0 1 1：リカバリサイクルを11サイクル挿入 1 1 0 0：リカバリサイクルを12サイクル挿入 1 1 0 1：リカバリサイクルを13サイクル挿入 1 1 1 0：リカバリサイクルを14サイクル挿入 1 1 1 1：リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0：リカバリサイクルを挿入しない 0 0 0 1：リカバリサイクルを1サイクル挿入 0 0 1 0：リカバリサイクルを2サイクル挿入 0 0 1 1：リカバリサイクルを3サイクル挿入 0 1 0 0：リカバリサイクルを4サイクル挿入 0 1 0 1：リカバリサイクルを5サイクル挿入 0 1 1 0：リカバリサイクルを6サイクル挿入 0 1 1 1：リカバリサイクルを7サイクル挿入 1 0 0 0：リカバリサイクルを8サイクル挿入 1 0 0 1：リカバリサイクルを9サイクル挿入 1 0 1 0：リカバリサイクルを10サイクル挿入 1 0 1 1：リカバリサイクルを11サイクル挿入 1 1 0 0：リカバリサイクルを12サイクル挿入 1 1 0 1：リカバリサイクルを13サイクル挿入 1 1 1 0：リカバリサイクルを14サイクル挿入 1 1 1 1：リカバリサイクルを15サイクル挿入	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット（CSRECEN.RCVENj）(j=0 ～ 7) により、アドレス / データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット（CSRECEN.RCVENMj）により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット（リードリカバリ設定ビット）

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b” 以外を設定すると、以下の場合に 1 ～ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット（ライトリカバリ設定ビット）

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b” 以外を設定すると、以下の場合に 1 ～ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

16.3.3　CS リカバリサイクル挿入許可レジスタ（CSRECEN）

アドレス　0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVENM7	RCVENM6	RCVENM5	RCVENM4	RCVENM3	RCVENM2	RCVENM1	RCVENM0	RCVEN7	RCVEN6	RCVEN5	RCVEN4	RCVEN3	RCVEN2	RCVEN1	RCVEN0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0：リカバリサイクルの挿入を禁止 1：リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVENn ビット（セパレートバス用リカバリサイクル挿入許可 0 ビット）(n=0 ～ 7)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可（“1”）、禁止（“0”）を設定します。

RCVENMn ビット（マルチプレクスバス用リカバリサイクル挿入許可 0 ビット）(n=0 ～ 7)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可（“1”）、禁止（“0”）を設定します。

表 16.7　リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット（セパレート/マルチプレクス）
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN7/RCVENM7

16.3.4　CSn モードレジスタ（CSnMOD）（n = 0 ～ 7）

アドレス　CS0MOD 0008 3002h、CS1MOD 0008 3012h、CS2MOD 0008 3022h、CS3MOD 0008 3032h、CS4MOD 0008 3042h、CS5MOD 0008 3052h、CS6MOD 0008 3062h、CS7MOD 0008 3072h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0：バイトストローブモード 1：1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0：外部ウェイト禁止 1：外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0：ページリードアクセス禁止 1：ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0：ページライトアクセス禁止 1：ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0：ノーマルアクセス互換モード 1：外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット（ライトアクセスモード選択ビット）

ライトアクセス時の動作モードを選択します。

“0” を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n =0 ～ 3) によりデータの書き込みの制御を行います。

“1” を設定すると、1 ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n =0 ～ 3) と WR# 信号によりデータの書き込みの制御を行います。ただし、1 ライトストローブモード時は、8 ビット外部バス幅の設定は禁止です。

表 16.8　ライトアクセスモードの制御信号

モード	端子名							
ライトアクセスモード	WR3#	WR2#	WR1#	WR0#/WR#	BC3#	BC2#	BC1#	BC0#
バイトストローブモード	○	○	○	○（WR0#）	×	×	×	×
1ライトストローブモード	×	×	×	○（WR#）	○	○	○	○

○：有効、×：無効

EWENB ビット（外部ウェイト許可ビット）

外部ウェイトの許可 / 禁止を設定します。

“1” を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0” を設定すると、WAIT# 信号は無効となります。

PRENB ビット（ページリードアクセス許可ビット）

ページリードアクセスの許可 / 禁止を設定します。

注 .　CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット（CSnCR.MPXEN ）でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット（ページライトアクセス許可ビット）

ページライトアクセスの許可 / 禁止を設定します。

注 .　CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット（CSnCR.MPXEN ）でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット（ページリードアクセスモード選択ビット）

ページリードアクセス時の動作モードを選択します。

“0” を設定すると、ノーマルアクセス互換モードになります。このとき、1 つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1” を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

16.3.5 CSn ウェイト制御レジスタ 1（CSnWCR1）（n = 0 ～ 7）

アドレス CS0WCR1 0008 3004h、CS1WCR1 0008 3014h、CS2WCR1 0008 3024h、CS3WCR1 0008 3034h、CS4WCR1 0008 3044h、CS5WCR1 0008 3054h、CS6WCR1 0008 3064h、CS7WCR1 0008 3074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CSRWAIT[4:0]					—	—	—	CSWWAIT[4:0]				
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSPRWAIT[2:0]			—	—	—	—	—	CSPWWAIT[2:0]		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット（注1）	b2 b0 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択ビット（注2）	b10 b8 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト選択ビット	b20 b16 0 0 0 0 0：ウェイトを挿入しない 0 0 0 0 1：ウェイトを1サイクル挿入 0 0 0 1 0：ウェイトを2サイクル挿入 0 0 0 1 1：ウェイトを3サイクル挿入 0 0 1 0 0：ウェイトを4サイクル挿入 0 0 1 0 1：ウェイトを5サイクル挿入 0 0 1 1 0：ウェイトを6サイクル挿入 0 0 1 1 1：ウェイトを7サイクル挿入 0 1 0 0 0：ウェイトを8サイクル挿入 0 1 0 0 1：ウェイトを9サイクル挿入 0 1 0 1 0：ウェイトを10サイクル挿入 0 1 0 1 1：ウェイトを11サイクル挿入 0 1 1 0 0：ウェイトを12サイクル挿入 0 1 1 0 1：ウェイトを13サイクル挿入 0 1 1 1 0：ウェイトを14サイクル挿入 0 1 1 1 1：ウェイトを15サイクル挿入 1 0 0 0 0：ウェイトを16サイクル挿入 1 0 0 0 1：ウェイトを17サイクル挿入 1 0 0 1 0：ウェイトを18サイクル挿入 1 0 0 1 1：ウェイトを19サイクル挿入 1 0 1 0 0：ウェイトを20サイクル挿入 1 0 1 0 1：ウェイトを21サイクル挿入 1 0 1 1 0：ウェイトを22サイクル挿入 1 0 1 1 1：ウェイトを23サイクル挿入 1 1 0 0 0：ウェイトを24サイクル挿入 1 1 0 0 1：ウェイトを25サイクル挿入 1 1 0 1 0：ウェイトを26サイクル挿入 1 1 0 1 1：ウェイトを27サイクル挿入 1 1 1 0 0：ウェイトを28サイクル挿入 1 1 1 0 1：ウェイトを29サイクル挿入 1 1 1 1 0：ウェイトを30サイクル挿入 1 1 1 1 1：ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト選択ビット	b28 b24 0 0 0 0 0：ウェイトを挿入しない 0 0 0 0 1：ウェイトを1サイクル挿入 0 0 0 1 0：ウェイトを2サイクル挿入 0 0 0 1 1：ウェイトを3サイクル挿入 0 0 1 0 0：ウェイトを4サイクル挿入 0 0 1 0 1：ウェイトを5サイクル挿入 0 0 1 1 0：ウェイトを6サイクル挿入 0 0 1 1 1：ウェイトを7サイクル挿入 0 1 0 0 0：ウェイトを8サイクル挿入 0 1 0 0 1：ウェイトを9サイクル挿入 0 1 0 1 0：ウェイトを10サイクル挿入 0 1 0 1 1：ウェイトを11サイクル挿入 0 1 1 0 0：ウェイトを12サイクル挿入 0 1 1 0 1：ウェイトを13サイクル挿入 0 1 1 1 0：ウェイトを14サイクル挿入 0 1 1 1 1：ウェイトを15サイクル挿入 1 0 0 0 0：ウェイトを16サイクル挿入 1 0 0 0 1：ウェイトを17サイクル挿入 1 0 0 1 0：ウェイトを18サイクル挿入 1 0 0 1 1：ウェイトを19サイクル挿入 1 0 1 0 0：ウェイトを20サイクル挿入 1 0 1 0 1：ウェイトを21サイクル挿入 1 0 1 1 0：ウェイトを22サイクル挿入 1 0 1 1 1：ウェイトを23サイクル挿入 1 1 0 0 0：ウェイトを24サイクル挿入 1 1 0 0 1：ウェイトを25サイクル挿入 1 1 0 1 0：ウェイトを26サイクル挿入 1 1 0 1 1：ウェイトを27サイクル挿入 1 1 1 0 0：ウェイトを28サイクル挿入 1 1 1 0 1：ウェイトを29サイクル挿入 1 1 1 1 0：ウェイトを30サイクル挿入 1 1 1 1 1：ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。
注2.　CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「16.5.7　制約事項 (1)　セパレートバスインタフェースの場合の制約事項」あるいは、「16.5.7　制約事項 (2)　アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。また、EXDMAC のシングルアドレス転送モードを使用時は、「16.5.7　制約事項 (5)　EXDMAC のシングルアドレス転送モード時の制約事項」に示す制約の範囲内で設定してください。

CSPWWAIT[2:0] ビット（ページライトサイクルウェイト選択ビット）

ページライトサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが “1” のとき有効になります。

注 .　1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

CSPRWAIT[2:0] ビット（ページリードサイクルウェイト選択ビット）

ページリードサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが “1” のとき有効になります。

注 .　CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。

CSWWAIT[4:0] ビット（ノーマルライトサイクルウェイト選択ビット）

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 .　1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSRWAIT[4:0] ビット（ノーマルリードサイクルウェイト選択ビット）

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 .　CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

16.3.6 CSn ウェイト制御レジスタ 2（CSnWCR2）（n = 0 ～ 7）

アドレス CS0WCR2 0008 3008h、CS1WCR2 0008 3018h、CS2WCR2 0008 3028h、CS2WCR2 0008 3038h、CS4WCR2 0008 3048h、CS5WCR2 0008 3058h、CS6WCR2 0008 3068h、CS7WCR2 0008 3078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 0 0：ウェイトを挿入しない 0 1：ウェイトを1サイクル挿入 1 0：ウェイトを2サイクル挿入 1 1：ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0：ウェイトを挿入しない 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、**「16.5.7　制約事項 (1)　セパレートバスインタフェースの場合の制約事項」**あるいは、**「16.5.7　制約事項 (2)　アドレス / データマルチプレクスバスの場合の制約事項」**に示す制約の範囲内で設定してください。また、EXDMAC のシングルアドレス転送モードを使用時は、**「16.5.7　制約事項 (5)　EXDMAC のシングルアドレス転送モード時の制約事項」**に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット（リード時 CS 延長サイクル選択ビット）

リードアクセス時のウェイトサイクル終了時（RD# 信号のネゲート時）から CSn# 信号 (n = 0 ～ 7) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット（ライト時 CS 延長サイクル選択ビット）

ライトアクセス時のウェイトサイクル終了時（WRn# 信号 (n = 0 ～ 3) のネゲート時）から CSn# 信号 (n = 0 ～ 7) をネゲートするまでのサイクル数を設定します。

注 .　CSnWCR2.WDOFF[2:0] ビット≦ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット（ライトデータ出力延長サイクル選択ビット）

ライトアクセス時のウェイトサイクル終了時（WRn# 信号 n = 0 ～ 3) のネゲート時）からライトデータ出力を終了するまでのサイクル数を設定します。

EXDMAC のクラスタ転送を除くシングルアドレス転送モード時には、チップからのライトデータ出力は行なわれませんが、ページアクセスのバス分割間のライトデータ出力延長サイクルの値は有効となります。

注 .　CSnWCR2.WDOFF[2:0] ビット≦ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット（アドレスサイクルウェイト選択ビット）

アドレス / データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトサイクルを挿入します。

注 . CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.AWAIT[1:0] ビット
リードアクセス時、CSnWCR2.AWAIT[1:0] ビット +2 ≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1CSRWAIT[4:0] ビット
ライトアクセス時、CSnWCR2.AWAIT[1:0] ビット +2 ≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット
また、CSnWCR2.AWAIT[1:0] ビット +2 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット
となるように設定してください。

RDON[2:0] ビット（RD アサートウェイト選択ビット）

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット ≦ CSnWCR1.CSRWAIT[4:0] ビット
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット ≦ CSnWCR1.CSPRWAIT[2:0] ビット
となるように設定してください。

注 . EXDMAC のクラスタ転送を除くシングルアドレス転送モード時のリードアクセスの場合には、上記条件に加えて、CSnWCR2.RDON[2:0] ビット≧ 1 となるように設定してください。

注 . アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット＋ 2 ≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

WRON[2:0] ビット（WR アサートウェイト選択ビット）

WRn# 信号 (n = 0 ～ 3) のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット、また、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSPWWAIT[2:0] ビット
となるように設定してください。

注 . EXDMAC のクラスタ転送を除くシングルアドレス転送モード時のライトアクセスの場合には、上記条件に加えて、CSnWCR2.WRON[2:0] ビット≧ 1 となるように設定してください。

注 . アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット＋ 2 ≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

WDON[2:0] ビット（ライトデータ出力ウェイト選択ビット）

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

注 . ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット
となるように設定してください。

注 . アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット＋ 2 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSON[2:0] ビット（CS アサートウェイト選択ビット）

CSn# 信号 (n = 0 ～ 7) のアサート前に挿入するウェイトサイクル数を設定します。

注 .　ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット
≦ CSnWCR1.CSRWAIT[4:0] ビット
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット
≦ CSnWCR1.CSPRWAIT[2:0] ビット
ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット
≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット
≦ CSnWCR1.CSPWWAIT[2:0] ビット
となるように設定してください。

注 .　アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0] ビット
≦ CSnWCR2.AWAIT[1:0] ビットとなるように設定してください。

16.3.7　SDC 制御レジスタ（SDCCR）

アドレス　0008 3C00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0：動作禁止 1：動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	SDRAM バス幅選択ビット	b5 b4 0 0 ：16 ビットバス空間に設定 0 1 ：32 ビットバス空間に設定 1 0 ：8 ビットバス空間に設定 1 1 ：設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EXENB ビット（動作許可ビット）

SDRAM アドレス空間の動作許可／禁止を設定します。リセット後は、動作禁止（“0”）になります。動作禁止に設定した領域をアクセスした場合は、SDRAM アクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット（BEREN.IGAEN=1）が検出許可に設定されていれば、バスエラーとなります。

16.3.8　SDC モードレジスタ（SDCMOD）

アドレス　0008 3C01h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EMODE	エンディアン指定ビット	0：SDRAM アドレス空間のエンディアンは動作モードのエンディアンと同じ 1：SDRAM アドレス空間のエンディアンは動作モードのエンディアンと異なる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

EMODE ビット（エンディアンモード指定ビット）

SDRAM アドレス空間のエンディアンを設定します。

エンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを SDRAM アドレス空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.3.9　SDRAM アクセスモードレジスタ（SDAMOD）

アドレス　0008 3C02h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BE	連続アクセス許可ビット	0：連続アクセス禁止 1：連続アクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDAMOD レジスタの設定は、**「表 16.15　レジスタの書き替え条件」**を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

BE ビット（連続アクセス許可ビット）

SDRAM 空間の連続アクセスの許可または禁止を設定します。

注 .　EXDMAC 以外のバスマスタから SDRAM 領域へアクセスする場合、連続アクセス許可に設定することは禁止しており、設定された場合の動作は保証していません。

16.3.10 SDRAM セルフリフレッシュ制御レジスタ（SDSELF）

アドレス 0008 3C10h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFEN	SDRAMセルフリフレッシュ動作有効ビット	0：セルフリフレッシュ無効 1：セルフリフレッシュ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDSELF レジスタの設定は、**「表 16.15 レジスタの書き替え条件」**を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

SFEN ビット（SDRAM セルフリフレッシュ動作有効ビット）

セルフリフレッシュ動作を制御します。

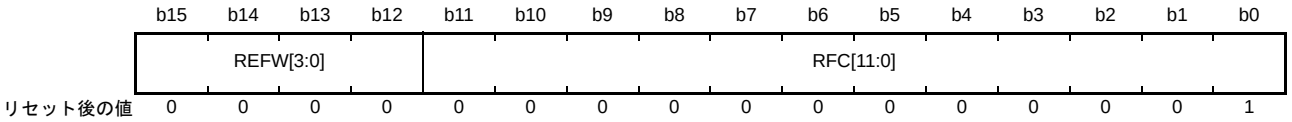
“1” にした場合、オートリフレッシュサイクル動作を行い、その後セルフリフレッシュ動作を開始します。

“0” にした場合、セルフリフレッシュ動作を終了し、その後オートリフレッシュ動作を行います。

SFEN ビットに書き込んだ値は、“1” をセットした場合はセルフリフレッシュ動作開始時に、“0” にした場合はセルフリフレッシュ動作終了後のオートリフレッシュ開始時点では、その値が反映されています。

16.3.11　SDRAM リフレッシュ制御レジスタ（SDRFCR）

アドレス　0008 3C14h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RFC[11:0]	オートリフレッシュ要求間隔設定ビット	b11　b0 0 0 0 0 0 0 0 0 0 0 0 0 : 設定しないでください 0 0 0 0 0 0 0 0 0 0 0 1 : 2サイクル 0 0 0 0 0 0 0 0 0 0 1 0 : 3サイクル : 1 1 1 1 1 1 1 1 1 1 1 1 : 4096サイクル	R/W
b15-b12	REFW[3:0]	オートリフレッシュサイクル／ セルフリフレッシュ解除サイクル数設定ビット	b15　b12 0 0 0 0 : 1サイクル 0 0 0 1 : 2サイクル 0 0 1 0 : 3サイクル 0 0 1 1 : 4サイクル 0 1 0 0 : 5サイクル 0 1 0 1 : 6サイクル 0 1 1 0 : 7サイクル 0 1 1 1 : 8サイクル 1 0 0 0 : 9サイクル 1 0 0 1 : 10サイクル 1 0 1 0 : 11サイクル 1 0 1 1 : 12サイクル 1 1 0 0 : 13サイクル 1 1 0 1 : 14サイクル 1 1 1 0 : 15サイクル 1 1 1 1 : 16サイクル	R/W

RFC[11:0] ビット（オートリフレッシュ要求間隔設定ビット）

オートリフレッシュ要求間隔を設定します。

SDRAM オートリフレッシュ制御レジスタのオートリフレッシュ動作有効ビット（SDRFEN.RFEN）の状態にかかわらず、書けます。

オートリフレッシュ有効時に書いた値は、オートリフレッシュサイクル終了後にリフレッシュカウンタに反映されます。リフレッシュカウンタは、SDCLK でカウントされます。

REFW[3:0] ビット（オートリフレッシュサイクル / セルフリフレッシュ解除サイクル数設定ビット）

オートリフレッシュサイクル数、セルフリフレッシュ解除サイクル数を設定します。

SDRFEN.RFEN ビットの状態にかかわらず、書けます。

オートリフレッシュ有効時に書いた値は、オートリフレッシュサイクル中であれば、オートリフレッシュサイクル終了後に反映されます。

注 .　SDRAM アクセス中はオートリフレッシュ要求が受け付けられず、アクセス終了まで待たされますので、オートリフレッシュ間隔が広がることがあります。使用する SDRAM のオートリフレッシュ間隔規定を満たすようにオートリフレッシュ要求間隔を決定し、RFC[11:0] ビットを設定してください。このとき、オートリフレッシュ要求間隔はオートリフレッシュサイクルより長くなるように設定してください。また、動作中に周波数を変更したときのオートリフレッシュ間隔の自動追随はできませんので、セルフリフレッシュを行い、周波数に対応したオートリフレッシュ間隔を設定し直すようにしてください。

- オートリフレッシュ要求間隔と RFC[11:0] ビット設定値の関係

SDRAMC（SDRAM 領域コントローラ）には 12 ビットのリフレッシュカウンタが内蔵されており、定期的にオートリフレッシュ要求を発生します。オートリフレッシュ要求間隔から RFC[11:0] ビットの設定値を求める計算式を以下に示します。

RFC =（オートリフレッシュ要求間隔 /SDCLK 周期）-1

注 . オートリフレッシュ要求は SDRAM アクセス中には受け付けられず、アクセス終了まで待たされますが、要求が受け付けられたか否かに関わらずカウンタ値は更新されます。SDRAM アクセス中に 2 回以上オートリフレッシュ要求が発生した場合、2 回目以降のリフレッシュ要求は無視されますので注意してください。

16.3.12 SDRAM オートリフレッシュ制御レジスタ（SDRFEN）

アドレス 0008 3C16h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFEN	オートリフレッシュ動作有効ビット	0：オートリフレッシュ無効 1：オートリフレッシュ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFEN ビット（オートリフレッシュ動作有効ビット）

オートリフレッシュ有効時に RFEN ビットを “0” にすると、オートリフレッシュサイクル終了後に RFEN ビットが “0” になって、オートリフレッシュ動作が停止します。ただし、オートリフレッシュサイクルが終了する前に再度、RFEN ビットを “1” にすると、オートリフレッシュ動作を開始し、その後カウンタにより定期的にリフレッシュ要求が発生します。リフレッシュ要求の発生間隔は、SDRAM リフレッシュ制御レジスタのオートリフレッシュ要求間隔選択ビット（SDRFCR.RFC[11:0]）で設定した値に従います。

リフレッシュ要求は、SDRAM へのアクセス中は受け付けられず、アクセス完了まで待たされます。

SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。

16.3.13　SDRAM 初期化シーケンス制御レジスタ（SDICR）

アドレス　0008 3C20h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	INIRQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INIRQ	初期化シーケンス開始ビット	0：無効 1：初期化シーケンス開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

INIRQ ビット（初期化シーケンス開始ビット）

“1” にすると SDRAM 初期化シーケンスが開始され、自動的に SDRAM ステータスレジスタの初期化ステータスビット（SDSR.INIST）が “1” になります。初期化シーケンス終了後、SDSR.INIST ビットは自動的に “0” になります。

INIRQ ビットへ書いた値は保持されません。

初期化シーケンス起動後に、外部アドレス空間、外部バスコントローラのレジスタへのアクセスを行った場合は、初期化シーケンスが終了するまで待たされます。

注 .　INIRQ ビットへの書き込みによる初期化シーケンスの起動は、「表 16.15　レジスタの書き替え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

16.3.14　SDRAM 初期化レジスタ（SDIR）

アドレス　0008 3C24h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PRC[2:0]			ARFC[3:0]				ARFI[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ARFI[3:0]	初期化オートリフレッシュ間隔ビット	b3　b0 0 0 0 0 : 3サイクル 0 0 0 1 : 4サイクル 0 0 1 0 : 5サイクル 0 0 1 1 : 6サイクル 0 1 0 0 : 7サイクル 0 1 0 1 : 8サイクル 0 1 1 0 : 9サイクル 0 1 1 1 : 10サイクル 1 0 0 0 : 11サイクル 1 0 0 1 : 12サイクル 1 0 1 0 : 13サイクル 1 0 1 1 : 14サイクル 1 1 0 0 : 15サイクル 1 1 0 1 : 16サイクル 1 1 1 0 : 17サイクル 1 1 1 1 : 18サイクル	R/W
b7-b4	ARFC[3:0]	初期化オートリフレッシュ回数ビット	b7　b4 0 0 0 0 : 設定しないでください 0 0 0 1 : 1回 0 0 1 0 : 2回 0 0 1 1 : 3回 0 1 0 0 : 4回 0 1 0 1 : 5回 0 1 1 0 : 6回 0 1 1 1 : 7回 1 0 0 0 : 8回 1 0 0 1 : 9回 1 0 1 0 : 10回 1 0 1 1 : 11回 1 1 0 0 : 12回 1 1 0 1 : 13回 1 1 1 0 : 14回 1 1 1 1 : 15回	R/W
b10-b8	PRC[2:0]	初期化プリチャージサイクル数設定ビット	b10　b8 0 0 0 : 3サイクル 0 0 1 : 4サイクル 0 1 0 : 5サイクル 0 1 1 : 6サイクル 1 0 0 : 7サイクル 1 0 1 : 8サイクル 1 1 0 : 9サイクル 1 1 1 : 10サイクル	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

ARFI[3:0] ビット（初期化オートリフレッシュ間隔ビット）

SDRAM の初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔を設定します。

ARFC[3:0] ビット（初期化オートリフレッシュ回数ビット）

SDRAM の初期化シーケンスにおけるオートリフレッシュ回数を設定します。

PRC[2:0] ビット（初期化プリチャージサイクル数設定ビット）

SDRAM の初期化シーケンスにおけるプリチャージサイクル数を設定します。

注 .　初期化シーケンス開始前に、接続する SDRAM の仕様を満たすように設定してください。

16.3.15　SDRAM アドレスレジスタ（SDADR）

アドレス　0008 3C40h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MXC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MXC[1:0]	アドレスマルチプレクス選択ビット	b1 b0 0 0 ：8 ビットシフト 0 1 ：9 ビットシフト 1 0 ：10 ビットシフト 1 1 ：11 ビットシフト	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDADR レジスタの設定は「表 16.15　レジスタの書き替え条件」を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

MXC[1:0] ビット（アドレスマルチプレクス選択ビット）

ロウアドレス / カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に SDRAMC の連続アクセス動作時に比較するロウアドレスを選択します。

詳細は「表 16.20　アドレスマルチプレクス」を参照してください。

16.3.16　SDRAM タイミングレジスタ（SDTR）

アドレス　0008 3C44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RCD[1:0]		RP[2:0]			WR	—	—	—	—	—	CL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CL[2:0]	SDRAMCカラムレイテンシ設定ビット	b2　b0 0 0 0：設定しないでください 0 0 1：1サイクル 0 1 0：2サイクル 0 1 1：3サイクル 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	WR	ライトリカバリ期間設定ビット	0：1サイクル 1：2サイクル	R/W
b11-b9	RP[2:0]	ロウプリチャージ期間設定ビット	b11　b9 0 0 0：1サイクル 0 0 1：2サイクル 0 1 0：3サイクル 0 1 1：4サイクル 1 0 0：5サイクル 1 0 1：6サイクル 1 1 0：7サイクル 1 1 1：8サイクル	R/W
b13-b12	RCD[1:0]	ロウカラムレイテンシ設定ビット	b13 b12 0 0：1サイクル 0 1：2サイクル 1 0：3サイクル 1 1：4サイクル	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RAS[2:0]	ロウアクティブ期間設定ビット	b18　b16 0 0 0：1サイクル 0 0 1：2サイクル 0 1 0：3サイクル 0 1 1：4サイクル 1 0 0：5サイクル 1 0 1：6サイクル 1 1 0：7サイクル 1 1 1：設定しないでください	R/W
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDTR レジスタは、SDRAM のリード／ライトアクセスのタイミングを設定するレジスタです。（アクセスタイミングの詳細は、**「16.6.12.3　タイミングレジスタ設定値とアクセスタイミング」**を参照）。

SDTR レジスタの設定は**「表 16.15　レジスタの書き替え条件」**を満たしているときのみ行ってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

CL[2:0] ビット（SDRAMC カラムレイテンシ設定ビット）

SDRAMC のカラムレイテンシを設定します。この設定は、SDRAMC 側のレイテンシ設定のみに影響し、外部に接続する SDRAM へのカラムレイテンシ設定は、後述する別途 SDRAM モードレジスタ（SDMOD）で行う必要があります。

WR ビット（ライトリカバリ期間設定ビット）

SDRAM のライト（WRIT）コマンドから非活性化（PALL）までの期間を設定します。

RP[2:0] ビット（ロウプリチャージ期間設定ビット）

SDRAM の非活性化（PALL）コマンドから次の有効なコマンドまでの最短サイクル数を設定します。

RAS[2:0] ビット（ロウアクティブ期間設定ビット）

SDRAM の行活性化（ACTV）コマンドから非活性化（PALL）までの最短期間を設定します。

RAS[2:0] ビットの値は、ロウーカラムレイテンシ（RCD[1:0]）+ カラムレイテンシ (CL[2:0]) 以下に設定してください。

16.3.17　SDRAM モードレジスタ（SDMOD）

アドレス　0008 3C48h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MR[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	MR[14:0]	モードレジスタ設定ビット	書き込み実行：モードレジスタセットコマンド発行	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDMOD レジスタは、SDRAM のモードレジスタに書く値を設定するレジスタです。

SDMOD レジスタへ書くと、自動的に SDRAM へのモードレジスタセットコマンド発行が行われます。

SDMOD レジスタの設定は、**「表 16.15　レジスタの書き替え条件」**の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行なった場合の動作は保証されません。

リセット解除以降、一度だけ書き込みを行うことができます。以後、ライトアクセスを行った場合の動作は保証されません。

MR[14:0] ビット（モードレジスタ設定ビット）

SDRAM に対しモードレジスタセットコマンドを発行します。このとき、MR[14:0] ビットで設定した値をアドレスの下位側に出力します。詳細は、**「16.6.11　モードレジスタ設定」**を参照してください。

モードレジスタ書き込み後に、外部アドレス空間、外部バスコントローラのレジスタへのアクセスを行った場合は、モードレジスタセットコマンド発行が終了するまで待たされます。

注 .　SDMOD レジスタの設定においては、以下の点に注意してください。
- SDRAM に対してバースト長 1 が設定されるように指定してください。バースト長 1 以外を設定した場合動作は保証されません。
- SDRAM のカラムレイテンシは、SDRAM タイミングレジスタの SDRAMC カラムレイテンシ設定ビット（SDTR.CL[2:0] ビット）の設定と必ず一致させてください。異なるレイテンシが設定された場合、動作は保証されません。
- SDRAM ステータスレジスタのステータスビット（SDSR.SRFST, INIST, MRSST）がすべて “0” になっていることを必ず確認してください。

16.3.18　SDRAM ステータスレジスタ（SDSR）

アドレス　0008 3C50h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SRFST	INIST	—	—	MRSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MRSST	モードレジスタセットステータスビット	0：モードレジスタセット動作中ではない 1：モードレジスタセット動作中	R
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	INIST	初期化ステータスビット	0：初期化シーケンス中ではない 1：初期化シーケンス中	R
b4	SRFST	セルフリフレッシュ移行/復帰ステータスビット	0：移行/復帰動作中ではない 1：移行/復帰動作中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MRSST ビット（モードレジスタセットステータスビット）

“1” になっているときは、SDRAM がモードレジスタセット動作中であることを示します。モードレジスタセット動作中に、SDSR レジスタをアクセスすると、モードレジスタセット動作が終了するまで、CPU の処理を待たせることができます。

INIST ビット（初期化ステータスビット）

“1” になっているときは、SDRAM が SDRAM 初期化シーケンス実行中であることを示します。初期化シーケンス中に、SDSR レジスタをアクセスすると、初期化シーケンスが終了するまで、CPU の処理を待たせることができます。

SRFST ビット（セルフリフレッシュ移行 / 復帰ステータスビット）

“1” になっているときは、SDRAM がセルフリフレッシュへの移行 / 復帰動作中であることを示します。

移行 / 復帰動作中とは、**表 16.9** に示す各ビットへの書き込みからそれぞれのコマンドが発行されるまでの期間です。

注 .　セルフリフレッシュ、初期化シーケンス、およびモードレジスタセットの実行は、すべてのステータスビットが “0” のときのみに行なってください。ステータスビット（SRFST、INIST、MRSST）のいずれかが “1” のときは、表 16.9 に示すレジスタ、ビットを書き替えないでください。

表 16.9　ステータスビット確認が必要なレジスタ、ビット名一覧

機能	レジスタ名	ビット名
セルフリフレッシュ	SDSELF	SFEN
初期化シーケンス	SDICR	INIRQ
モードレジスタセット	SDMOD	MR[14:0]

16.3.19　バスエラーステータスクリアレジスタ（BERCLR）

アドレス　0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0：無効 1：バスエラーステータスレジスタクリア	（W） （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット（ステータスクリアビット）

“1” を書き込むと、バスエラーステータスレジスタ 1（BERSR1）とバスエラーステータスレジスタ 2（BERSR2）がクリアされます。

“0” 書き込みは無効です。読むと “0” が読み出されます。

16.3.20　バスエラー監視許可レジスタ（BEREN）

アドレス　0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0：不正アドレスアクセス検出禁止 1：不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット（注1、注2）	0：バスタイムアウト検出禁止 1：バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　検出禁止（TOENビット = 0）にしてバスアクセスを行った場合、バスがフリーズすることがあります。
注2.　タイムアウトエラー検出中にTOENビットを“0”（検出禁止）にしないようにしてください。

16.3.21　バスエラーステータスレジスタ 1（BERSR1）

アドレス　0008 1308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MST[2:0]			—	—	TO	IA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0：不正アドレスアクセスの発生なし 1：不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0：タイムアウトの発生なし 1：タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0：CPU 0 0 1：予約 0 1 0：予約 0 1 1：DTC/DMAC 1 0 0：予約 1 0 1：予約 1 1 0：EDMAC 1 1 1：EXDMAC	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット（バスマスタコードビット）

バスエラーを発生させたアクセスのバスマスタを示します。

16.3.22　バスエラーステータスレジスタ 2（BERSR2）

アドレス　0008 130Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDR[12:0]													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット（512Kバイト単位）	R

16.3.23 バスプライオリティ制御レジスタ（BUSPRI）

アドレス 0008 1310h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BPEB[1:0]		BPFB[1:0]		BPHB[1:0]		BPGB[1:0]		BPIB[1:0]		BPRO[1:0]		BPRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1（RAM）プライオリティ制御ビット	b1 b0 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) （注1）
b3-b2	BPRO[1:0]	メモリバス2（ROM）プライオリティ制御ビット	b3 b2 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) （注1）
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) （注1）
b7-b6	BPGB[1:0]	内部周辺バス2、3プライオリティ制御ビット	b7 b6 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) （注1）
b9-b8	BPHB[1:0]	内部周辺バス4、5プライオリティ制御ビット	b9 b8 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) （注1）
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) （注1）
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0：優先順位固定 0 1：優先順位トグル 1 0：設定しないでください 1 1：設定しないでください	R(/W) （注1）
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMAC、EXDMAC、EDMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット（メモリバス 1（RAM）プライオリティ制御ビット）

メモリバス 1（RAM）に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 ＞ CPU バスとなります。

優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット（メモリバス 2（ROM）プライオリティ制御ビット）

メモリバス 2（ROM）に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 ＞ CPU バスとなります。

優先順位トグルの場合は、内部メインバス 1 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット（内部周辺バス 1 プライオリティ制御ビット）

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 ＞内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット（内部周辺バス 2、3 プライオリティ制御ビット）

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 ＞内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット（内部周辺バス 4、5 プライオリティ制御ビット）

内部周辺バス 4 と内部周辺バス 5 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 ＞内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット（内部周辺バス 6 プライオリティ制御ビット）

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 ＞内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット（外部バスプライオリティ制御ビット）

外部バスに対する優先順位を設定します。

優先順位固定の場合は、EXDMAC ＞内部メインバス 2 ＞内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 とそれ以外（内部メインバス 2、EXDMAC）とでバス要求を受け付けられた方の優先順位が低くなります。EXDMAC と内部メインバス 2 の優先順位は、BPEB[1:0] ビットの設定にかかわらず固定（EXDMAC ＞内部メインバス 2）となります。

16.4　エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間（CS 領域および SDRAM 領域）をアクセスするときデータバス D31 ～ D24、D23 ～ D16、D15 ～ D8、D7 ～ D0 のどれを使用するかを、アクセスする領域のバス仕様（8 ビットバス空間、16 ビットバス空間、32 ビットバス空間）とデータサイズ、およびエンディアンモードによって制御します。

16.4.1　CS 領域のデータアライメント制御

(1)　32 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 32 ビットバス空間を選択すると、アドレスバス（A23 ～ A2）が 32 ビット単位のアドレス出力信号として有効になり、アドレスバス（A1、A0）は無効（Low 固定）になります。

バイトストローブモード（CSnMOD.WRMOD ビット =“0”）を選択した場合、WR0# ～ WR3# 端子が有効になります。BC0# ～ BC3# 端子は使用しません。

1 ライトストローブモード（CSnMOD.WRMOD ビット =“1”）を選択した場合、WR0# 端子のみ有効となり、データサイズにかかわらずライトアクセス時には WR0# 端子より Low が出力されます。このとき、WR1# ～ WR3# 端子は無効（High 固定）になります。有効なバイト位置は、BC0# ～ BC3# 端子により表します。

32 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

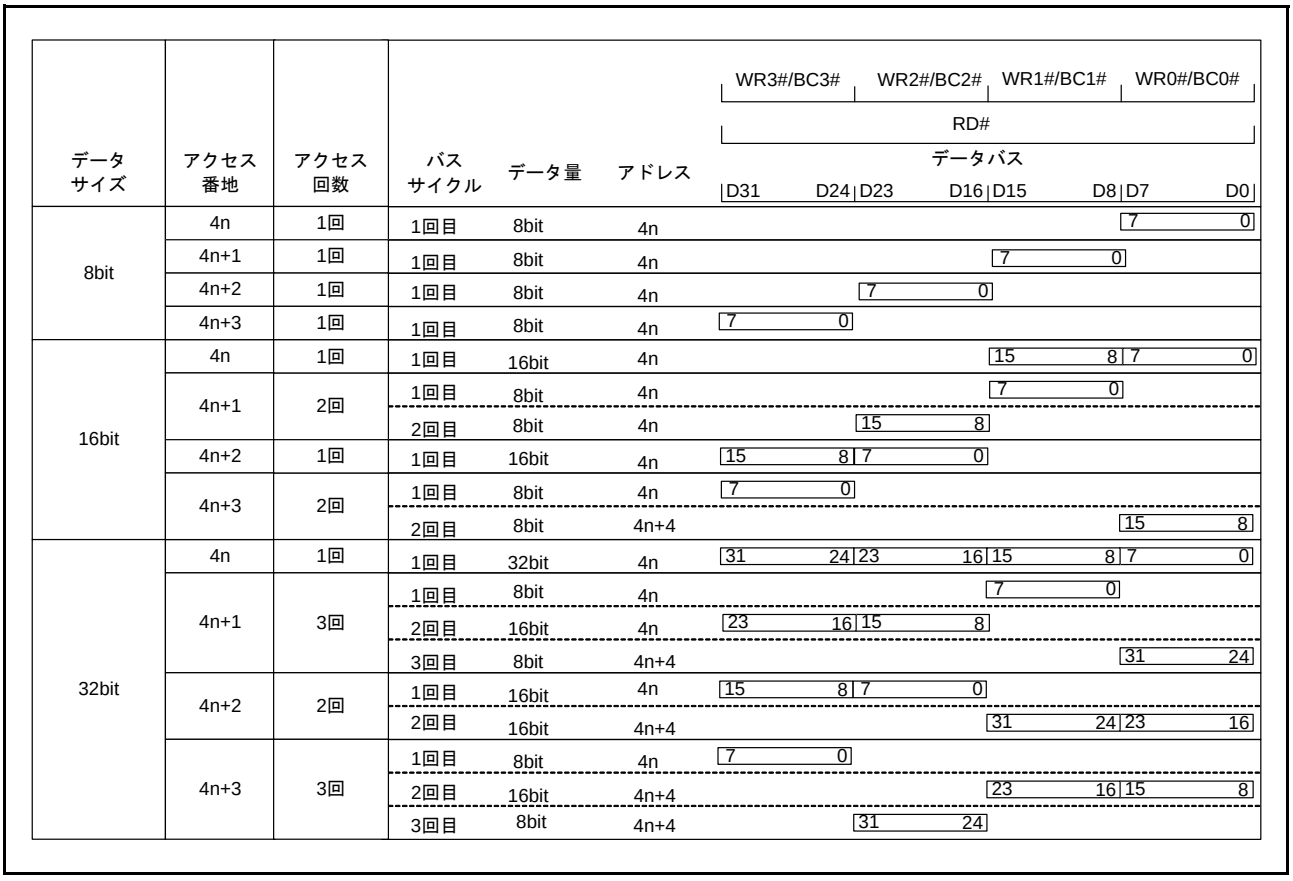
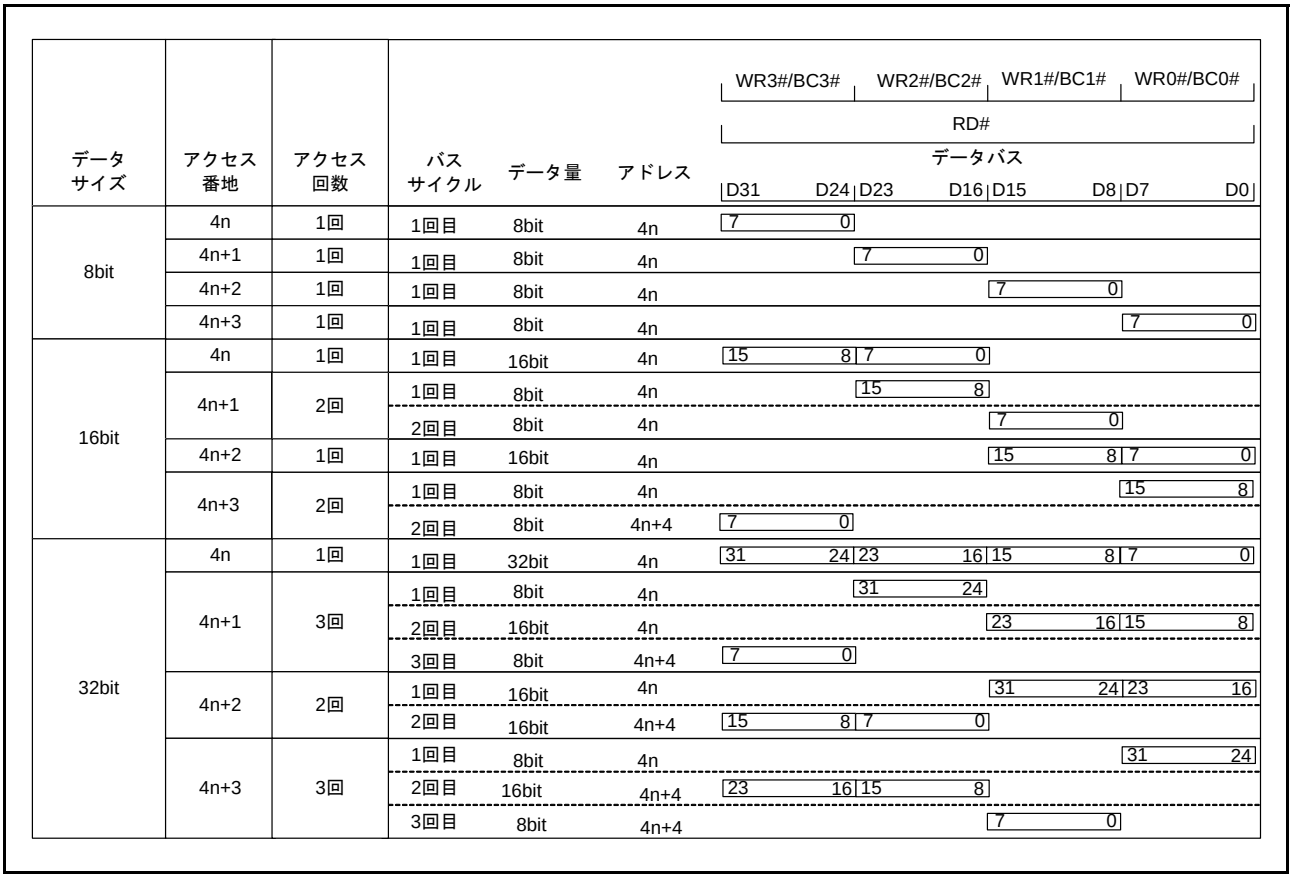


図 16.6　32 ビットバス空間のデータアライメント（リトルエンディアン）



データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス
8bit	4n	1回	1回目	8bit	4n
	4n+1	1回	1回目	8bit	4n
	4n+2	1回	1回目	8bit	4n
	4n+3	1回	1回目	8bit	4n
16bit	4n	1回	1回目	16bit	4n
	4n+1	2回	1回目	8bit	4n
			2回目	8bit	4n
	4n+2	1回	1回目	16bit	4n
	4n+3	2回	1回目	8bit	4n
			2回目	8bit	4n+4
32bit	4n	1回	1回目	32bit	4n
	4n+1	3回	1回目	8bit	4n
			2回目	16bit	4n
			3回目	8bit	4n+4
	4n+2	2回	1回目	16bit	4n
			2回目	16bit	4n+4
	4n+3	3回	1回目	8bit	4n
			2回目	16bit	4n+4
			3回目	8bit	4n+4

図 16.7　32 ビットバス空間のデータアライメント（ビッグエンディアン）

(2)　16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス（A23 ～ A1）が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効（Low 固定）になります。

バイトストローブモード（CSnMOD.WRMOD ビット =“0”）を選択した場合、WR0#、WR1# 端子が有効になり、WR2#、WR3# 端子は無効（High 固定）となります。BC0# ～ BC3# 端子は使用しません。

1 ライトストローブモード（CSnMOD.WRMOD ビット =“1”）を選択した場合、WR0# 端子のみ有効となり、データサイズにかかわりなくライトアクセス時には WR0# 端子より Low が出力されます。このとき、WR1# ～ WR3# 端子は無効（High 固定）になります。有効なバイト位置は、BC0#、BC1# 端子により表します。BC2#、BC3# 端子は使用しません。

16 ビットバス空間では、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えず、かつ BC0#、BC1# 信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 16.8、図 16.9 に（p）で示します。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1#/BC1#, WR0#/BC0#, RD#, データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7 0
	4n+1	1回	1回目	8bit	4n	7 0
	4n+2	1回	1回目	8bit	4n+2	7 0
	4n+3	1回	1回目	8bit	4n+2	7 0
16bit	4n	1回	1回目	16bit	4n	15 8 7 0
	4n+1	2回	1回目	8bit	4n	7 0
			2回目	8bit	4n+2	15 8
	4n+2	1回	1回目	16bit	4n+2	15 8 7 0
	4n+3	2回	1回目	8bit	4n+2	7 0
			2回目	8bit	4n+4	15 8
32bit	4n	2回	1回目	16bit	4n	15 8 7 0
			2回目	16bit	4n+2 (p)	31 24 23 16
	4n+1	3回	1回目	8bit	4n	7 0
			2回目	16bit	4n+2	23 16 15 8
			3回目	8bit	4n+4	31 24
	4n+2	2回	1回目	16bit	4n+2	15 8 7 0
			2回目	16bit	4n+4	31 24 23 16
	4n+3	3回	1回目	8bit	4n+2	7 0
			2回目	16bit	4n+4	23 16 15 8
			3回目	8bit	4n+6	31 24

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.8　16 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1#/BC1# | WR0#/BC0# RD# データバス D15 D8 | D7 D0
8bit	4n	1回	1回目	8bit	4n	7 0
	4n+1	1回	1回目	8bit	4n	7 0
	4n+2	1回	1回目	8bit	4n+2	7 0
	4n+3	1回	1回目	8bit	4n+2	7 0
16bit	4n	1回	1回目	16bit	4n	15 8 | 7 0
	4n+1	2回	1回目	8bit	4n	15 8
			2回目	8bit	4n+2	7 0
	4n+2	1回	1回目	16bit	4n+2	15 8 | 7 0
	4n+3	2回	1回目	8bit	4n+2	15 8
			2回目	8bit	4n+4	7 0
32bit	4n	2回	1回目	16bit	4n	31 24 | 23 16
			2回目	16bit	4n+2 (p)	15 8 | 7 0
	4n+1	3回	1回目	8bit	4n	31 24
			2回目	16bit	4n+2	23 16 | 15 8
			3回目	8bit	4n+4	7 0
	4n+2	2回	1回目	16bit	4n+2	31 24 | 23 16
			2回目	16bit	4n+4	15 8 | 7 0
	4n+3	3回	1回目	8bit	4n+2	31 24
			2回目	16bit	4n+4	23 16 | 15 8
			3回目	8bit	4n+6	7 0

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.9　16 ビットバス空間のデータアライメント（ビッグエンディアン）

(3)　8 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス（A23 ～ A0）がバイト単位のアドレス信号として有効になります。

8 ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0# 端子のみが有効になります。WR0# 端子にはライトアクセス時に Low が出力されます。WR1# ～ WR3#、BC0# ～ BC3# 端子は使用しません。

8 ビットバス空間では、16 ビット、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合を**図 16.10**、**図 16.11** に（p）で示します。

8 ビットバス空間では、エンディアンにかかわらずチップの外部データは D7 ～ D0、制御信号は WR0# 信号を使用します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1#/BC1# / WR0#/BC0# / RD# / データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n		7 0
	4n+1	1回	1回目	8bit	4n+1		7 0
	4n+2	1回	1回目	8bit	4n+2		7 0
	4n+3	1回	1回目	8bit	4n+3		7 0
16bit	4n	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1	(p)	15 8
	4n+1	2回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2	(p)	15 8
	4n+2	2回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3	(p)	15 8
	4n+3	2回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
32bit	4n	4回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1	(p)	15 8
			3回目	8bit	4n+2	(p)	23 16
			4回目	8bit	4n+3	(p)	31 24
	4n+1	4回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2	(p)	15 8
			3回目	8bit	4n+3	(p)	23 16
			4回目	8bit	4n+4		31 24
	4n+2	4回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3	(p)	15 8
			3回目	8bit	4n+4		23 16
			4回目	8bit	4n+5	(p)	31 24
	4n+3	4回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
			3回目	8bit	4n+5	(p)	23 16
			4回目	8bit	4n+6	(p)	31 24

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.10　8 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1#/BC1# WR0#/BC0# RD# データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n		7 0
	4n+1	1回	1回目	8bit	4n+1		7 0
	4n+2	1回	1回目	8bit	4n+2		7 0
	4n+3	1回	1回目	8bit	4n+3		7 0
16bit	4n	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n+1	(p)	7 0
	4n+1	2回	1回目	8bit	4n+1		15 8
			2回目	8bit	4n+2	(p)	7 0
	4n+2	2回	1回目	8bit	4n+2		15 8
			2回目	8bit	4n+3	(p)	7 0
	4n+3	2回	1回目	8bit	4n+3		15 8
			2回目	8bit	4n+4		7 0
32bit	4n	4回	1回目	8bit	4n		31 24
			2回目	8bit	4n+1	(p)	23 16
			3回目	8bit	4n+2	(p)	15 8
			4回目	8bit	4n+3	(p)	7 0
	4n+1	4回	1回目	8bit	4n+1		31 24
			2回目	8bit	4n+2	(p)	23 16
			3回目	8bit	4n+3	(p)	15 8
			4回目	8bit	4n+4		7 0
	4n+2	4回	1回目	8bit	4n+2		31 24
			2回目	8bit	4n+3	(p)	23 16
			3回目	8bit	4n+4		15 8
			4回目	8bit	4n+5	(p)	7 0
	4n+3	4回	1回目	8bit	4n+3		31 24
			2回目	8bit	4n+4		23 16
			3回目	8bit	4n+5	(p)	15 8
			4回目	8bit	4n+6	(p)	7 0

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 16.11　8 ビットバス空間のデータアライメント（ビッグエンディアン）

16.4.2　SDRAM 領域のデータアライメント制御

(1)　32 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 32 ビットバス空間を選択すると、アドレスバス（A27 ～ A2）が 32 ビット単位のアドレス出力信号として有効になり、アドレスバス（A0 ～ A1）は無効（Low 固定）になります。

外部データは、D31 ～ D24、D23 ～ D16、D15 ～ D8、D7 ～ D0 を使ってアクセスを行います。1 回にアクセスできるデータサイズは、8 ビット、16 ビット、32 ビットです。有効なバイト位置は、DQM0 ～ DQM3 信号により表します。

32 ビットバス空間では、ビッグエンディアンとリトルエンディアンで外部データ、SDRAM 制御信号（DQM0 ～ DQM3）の有効位置は異なります。**図 16.12** にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメント制御を、**図 16.13** にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

32 ビットバス空間では、8 ビット、16 ビット、32 ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1 転送要求により、1 回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を**図 16.12**、**図 16.13** に (r1) で示します。また、連続アクセスの動作例を**図 16.18** に示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM3 / DQM2 / DQM1 / DQM0 / WE# / データバス D31 D24 D23 D16 D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n	(r1)	7 0
	4n+2	1回	1回目	8bit	4n	(r1)	7 0
	4n+3	1回	1回目	8bit	4n	(r1)	7 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+1	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n		15 8
	4n+2	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+3	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n+4		15 8
32bit	4n	1回	1回目	32bit	4n	(r1)	31 24 23 16 15 8 7 0
	4n+1	3回	1回目	8bit	4n		7 0
			2回目	16bit	4n		23 16 15 8
			3回目	8bit	4n+4		31 24
	4n+2	2回	1回目	16bit	4n		15 8 7 0
			2回目	16bit	4n+4		31 24 23 16
	4n+3	2回	1回目	8bit	4n		7 0
			2回目	16bit	4n+4		23 16 15 8
			3回目	8bit	4n+4		31 24

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、
(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.12　32 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM3 / DQM2 / DQM1 / DQM0 / WE# / データバス D31 D24 D23 D16 D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n	(r1)	7 0
	4n+2	1回	1回目	8bit	4n	(r1)	7 0
	4n+3	1回	1回目	8bit	4n	(r1)	7 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+1	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n		7 0
	4n+2	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+3	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n+4		7 0
32bit	4n	1回	1回目	32bit	4n	(r1)	31 24 23 16 15 8 7 0
	4n+1	3回	1回目	8bit	4n		31 24
			2回目	16bit	4n		23 16 15 8
			3回目	8bit	4n+4		7 0
	4n+2	2回	1回目	16bit	4n		31 24 23 16
			2回目	16bit	4n+4		15 8 7 0
	4n+3	2回	1回目	8bit	4n		31 24
			2回目	16bit	4n+4		23 16 15 8
			3回目	8bit	4n+4		7 0

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、
(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.13　32 ビットバス空間のデータアライメント（ビッグエンディアン）

(2)　16 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス（A27 ～ A1）が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効（Low 固定）になります。

有効なバイト位置は、DQM0、DQM1 端子により表します。DQM2、DQM3 信号は使用しません。

16 ビットバス空間では、外部データは D15 ～ D8、D7 ～ D0、制御信号は DQM0、DQM1 を使ってアクセスを行います。1 回にアクセスできるデータサイズは、8 ビット、16 ビットです。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。**図 16.14** にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメント制御を、**図 16.15** にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

16 ビットバス空間では、8 ビット、16 ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1 転送要求により、1 回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を**図 16.14**、**図 16.15** に (r1) で示します。また、連続アクセスの動作例を**図 16.18** に示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE# / データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n	(r1)	7 0
	4n+2	1回	1回目	8bit	4n+2	(r1)	7 0
	4n+3	1回	1回目	8bit	4n+2	(r1)	7 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+1	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n+2		15 8
	4n+2	1回	1回目	16bit	4n+2	(r1)	15 8 7 0
	4n+3	2回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+4		15 8
32bit	4n	2回	1回目	16bit	4n		15 8 7 0
			2回目	16bit	4n+2		31 24 23 16
	4n+1	3回	1回目	8bit	4n		7 0
			2回目	16bit	4n+2		23 16 15 8
			3回目	8bit	4n+4		31 24
	4n+2	2回	1回目	16bit	4n+2		15 8 7 0
			2回目	16bit	4n+4		31 24 23 16
	4n+3	3回	1回目	8bit	4n+2		7 0
			2回目	16bit	4n+4		23 16 15 8
			3回目	8bit	4n+6		31 24

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.14　16 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE# / データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n	(r1)	7 0
	4n+2	1回	1回目	8bit	4n+2	(r1)	7 0
	4n+3	1回	1回目	8bit	4n+2	(r1)	7 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+1	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n+2		7 0
	4n+2	1回	1回目	16bit	4n+2	(r1)	15 8 7 0
	4n+3	2回	1回目	8bit	4n+2		15 8
			2回目	8bit	4n+4		7 0
32bit	4n	2回	1回目	16bit	4n		31 24 23 16
			2回目	16bit	4n+2		15 8 7 0
	4n+1	3回	1回目	8bit	4n		31 24
			2回目	16bit	4n+2		23 16 15 8
			3回目	8bit	4n+4		7 0
	4n+2	2回	1回目	16bit	4n+2		31 24 23 16
			2回目	16bit	4n+4		15 8 7 0
	4n+3	3回	1回目	8bit	4n+2		31 24
			2回目	16bit	4n+4		23 16 15 8
			3回目	8bit	4n+6		7 0

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.15　16 ビットバス空間のデータアライメント（ビッグエンディアン）

(3) 8 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス（A27 ～ A0）が 8 ビット単位のアドレス信号として有効になります。

8 ビットバス空間では、エンディアンにかかわらず、外部データは D7 ～ D0、制御信号は DQM0 信号を使って、アクセスを行います。1 回にアクセスできるデータサイズは 8 ビットで、16 ビットアクセスでは 2 回、32 ビットアクセスでは 4 回の 8 ビットアクセスを実行します。

図 16.16 にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメントと制御を、**図 16.17** にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

8 ビットバス空間では、8 ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1 転送要求により、1 回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を**図 16.16**、**図 16.17** に（r1）で示します。また、連続アクセスの動作例を**図 16.18** に示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	DQM1 / DQM0 / WE# / データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n (r1)	7 0
	4n+1	1回	1回目	8bit	4n+1 (r1)	7 0
	4n+2	1回	1回目	8bit	4n+2 (r1)	7 0
	4n+3	1回	1回目	8bit	4n+3 (r1)	7 0
16bit	4n	2回	1回目	8bit	4n	7 0
			2回目	8bit	4n+1	15 8
	4n+1	2回	1回目	8bit	4n+1	7 0
			2回目	8bit	4n+2	15 8
	4n+2	2回	1回目	8bit	4n+2	7 0
			2回目	8bit	4n+3	15 8
	4n+3	2回	1回目	8bit	4n+3	7 0
			2回目	8bit	4n+4	15 8
32bit	4n	4回	1回目	8bit	4n	7 0
			2回目	8bit	4n+1	15 8
			3回目	8bit	4n+2	23 16
			4回目	8bit	4n+3	31 24
	4n+1	4回	1回目	8bit	4n+1	7 0
			2回目	8bit	4n+2	15 8
			3回目	8bit	4n+3	23 16
			4回目	8bit	4n+4	31 24
	4n+2	4回	1回目	8bit	4n+2	7 0
			2回目	8bit	4n+3	15 8
			3回目	8bit	4n+4	23 16
			4回目	8bit	4n+5	31 24
	4n+3	4回	1回目	8bit	4n+3	7 0
			2回目	8bit	4n+4	15 8
			3回目	8bit	4n+5	23 16
			4回目	8bit	4n+6	31 24

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.16　8 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 DQM0 / WE# / データバス D15 D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n+1	(r1)	7 0
	4n+2	1回	1回目	8bit	4n+2	(r1)	7 0
	4n+3	1回	1回目	8bit	4n+3	(r1)	7 0
16bit	4n	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n+1		7 0
	4n+1	2回	1回目	8bit	4n+1		15 8
			2回目	8bit	4n+2		7 0
	4n+2	2回	1回目	8bit	4n+2		15 8
			2回目	8bit	4n+3		7 0
	4n+3	2回	1回目	8bit	4n+3		15 8
			2回目	8bit	4n+4		7 0
32bit	4n	4回	1回目	8bit	4n		31 24
			2回目	8bit	4n+1		23 16
			3回目	8bit	4n+2		15 8
			4回目	8bit	4n+3		7 0
	4n+1	4回	1回目	8bit	4n+1		31 24
			2回目	8bit	4n+2		23 16
			3回目	8bit	4n+3		15 8
			4回目	8bit	4n+4		7 0
	4n+2	4回	1回目	8bit	4n+2		31 24
			2回目	8bit	4n+3		23 16
			3回目	8bit	4n+4		15 8
			4回目	8bit	4n+5		7 0
	4n+3	4回	1回目	8bit	4n+3		31 24
			2回目	8bit	4n+4		23 16
			3回目	8bit	4n+5		15 8
			4回目	8bit	4n+6		7 0

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 16.17　8 ビットバス空間のデータアライメント（ビッグエンディアン）

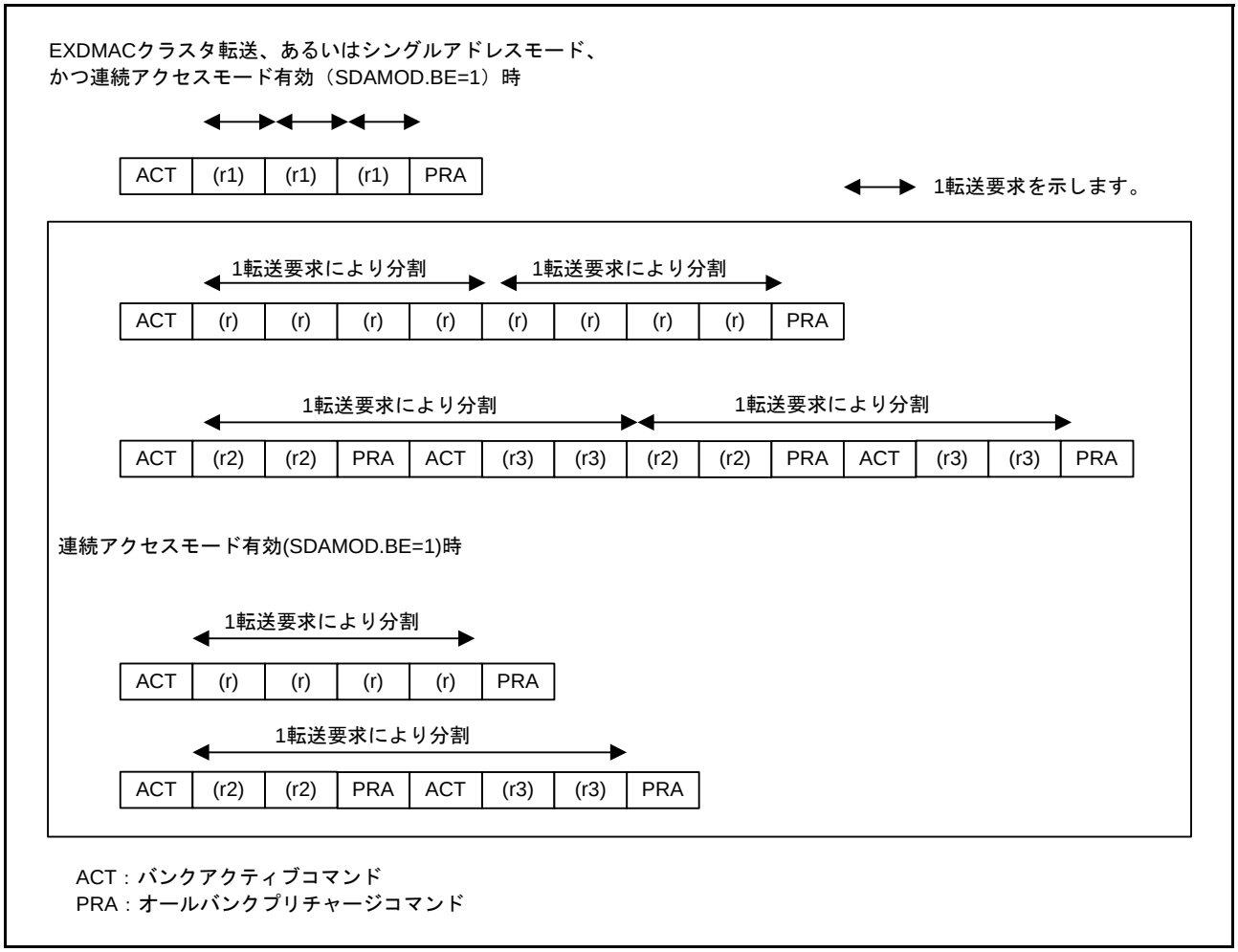


図 16.18　連続アクセスの動作例

16.5　CS 領域コントローラの動作説明

16.5.1　セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC（CS 領域コントローラ）は外部バスクロック（BCLK）に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック（BCLK）と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック（BCLK）と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります（**図 16.26 ～図 16.30** 参照）。また、直前の外部バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります（**図 16.46** 参照）。

① Tw1 ～ Twn（ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト）

外部バスアクセス開始からストローブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ～ 31 サイクルを選択できます。この期間内に CSn#、RD#、WRn# 信号が、ウェイト設定に応じて “Low” アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2（CSnWCR2）の CS アサートウェイト選択ビット（CSON）、RD アサートウェイト選択ビット（RDON）、WR アサートウェイト選択ビット（WRON）、ライトデータ出力ウェイト選択ビット（WDON）によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ～ 7 サイクルを選択可能です。選択可能なサイクル数は、リード / ライトサイクルウェイトのサイクル数以内です。

② Tend（ストローブ信号有効サイクル）

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが “0” の場合、バスアクセス開始のサイクルがストローブ信号有効サイクルとなります。ストローブ信号有効サイクルの次のサイクルで RD#、WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストローブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。（Tend）は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストローブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている（“0” 以外の値）場合（④）を除いて、次のサイクル 2 回目以降のページアクセス（⑤）が開始されます。RD アサートウェイト、WR アサートウェイトの設定が “0” 以外の場合、次のサイクルで RD#、WRn# 信号がネゲートされます。“0” の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

③　Tn1 ～ Tnm（CS 延長サイクル）

ノーマルアクセスの場合、ストローブ信号有効サイクル（Tend）の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2（CSnWCR2）のリード時 CS 延長サイクル選択ビット（CSROFF）、ライトアクセス時、ライト時 CS 延長サイクル選択ビット（CSWOFF）により制御可能です。

サイクル数は、ストローブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストローブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

④ Tdw1 ～ Tdwn（ライトデータ出力延長サイクル）

ライトアクセス時、ライトデータ出力延長ウェイトが “0” 以外の設定の場合、ライトデータ出力延長サイクルがストローブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル（③）の期間内に挿入されます。

ページアクセスの場合、ストローブ信号有効サイクル（Tend）と後続のページアクセスの間、および CS 延長サイクル（③）の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

⑤ Tpw1 ～ Tpwn（ページリードサイクルウェイト、ページライトサイクルウェイト）

ページアクセスの 2 回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1 回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード（CSnMOD.PRMOD ビット）の設定により動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合：1 回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合：ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

⑥ Tr1 ～ Trn（リカバリサイクル）

バスサイクルの終了時点（CSn# 信号のネゲート時点）からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ（CSnREC）のリードリカバリ設定ビット（RRCV）、ライトリカバリ設定ビット（WRCV）により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点（CSn# 信号のネゲート時点）を起点に数え、0 ～ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「16.5.4　リカバリサイクルの挿入」を参照してください。

(1)　ノーマルアクセス

CSnMOD.PRENB ビットを “0”（ページリードアクセス禁止）、CSnMOD.PWENB ビットを “0”（ページライトアクセス禁止）に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを “1”（ページリードアクセス許可）、CSnMOD.PWENB ビットを “1”（ページライトアクセス許可）に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 16.19 ～図 16.21 にノーマルアクセスの動作例を示します。

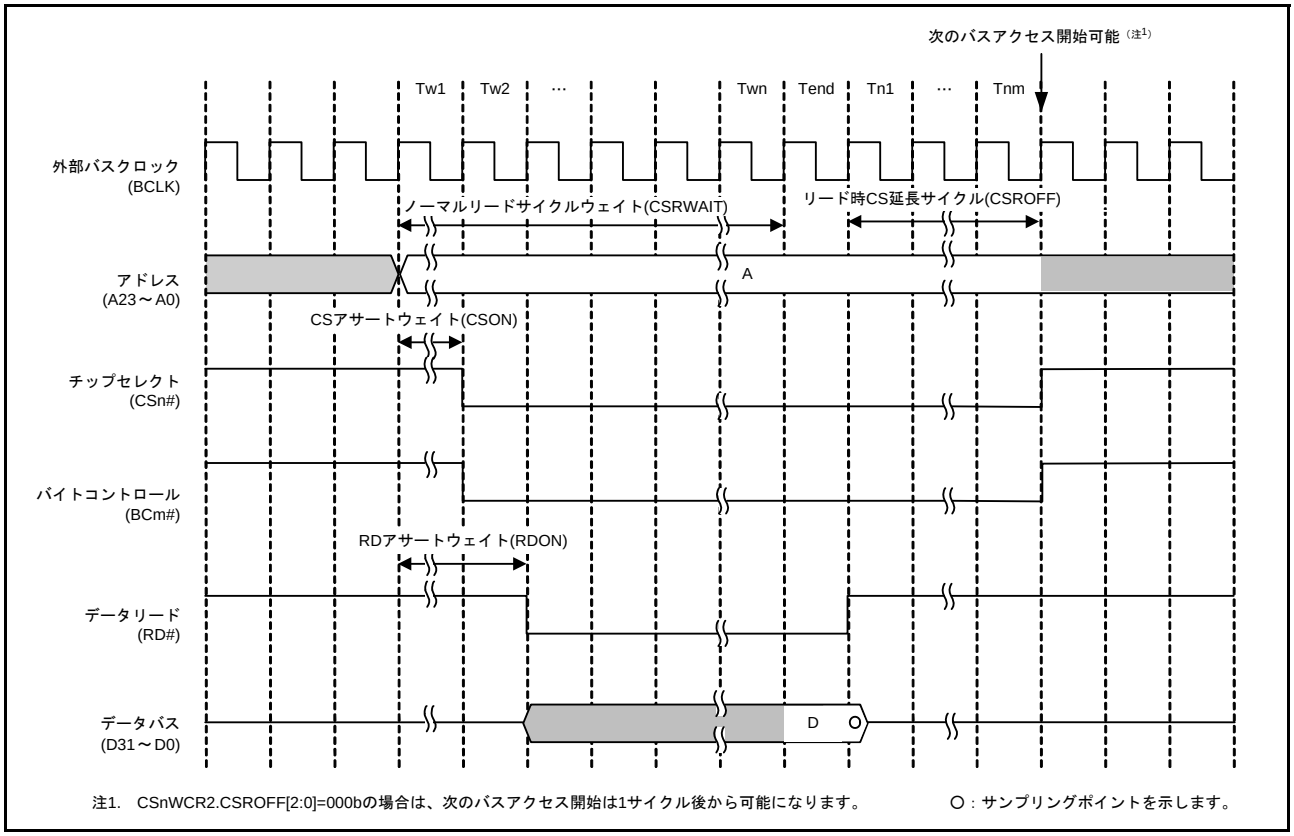


図 16.19 バスタイミング（ノーマルリード）（n=0 ～ 7、m=0 ～ 3）

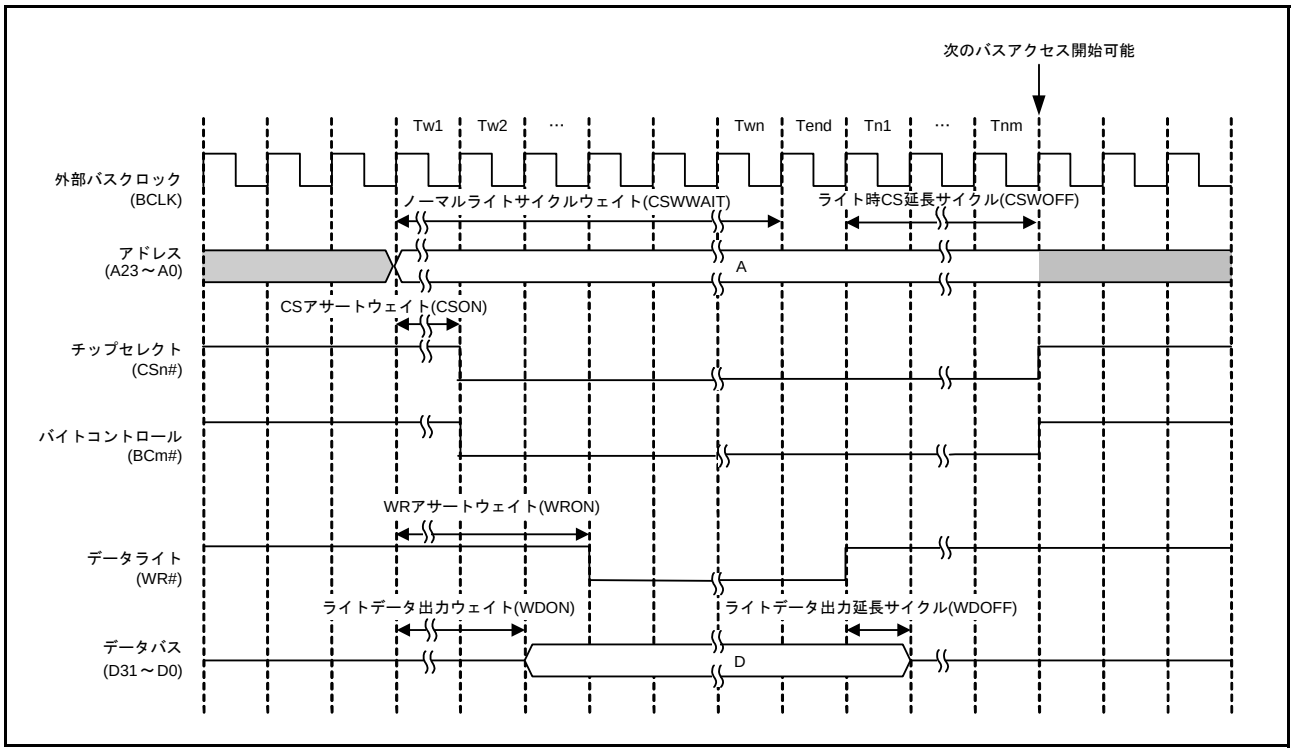


図 16.20 バスタイミング（ノーマルライト、1 ライトストローブモード）（n=0 ～ 7、m=0 ～ 3）

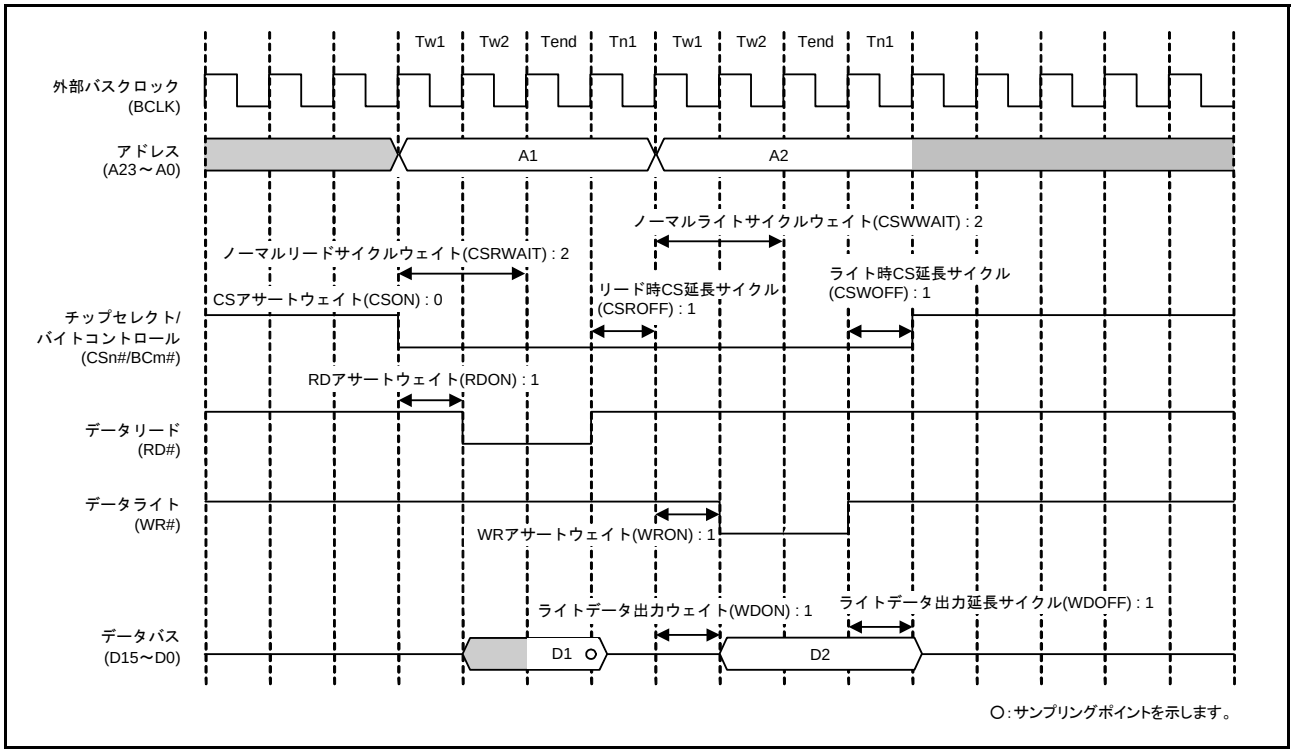


図 16.21　ノーマルアクセスの動作例（リード、ライト）（n=0 ～ 7、m=0 ～ 3）

バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作（①から④）を繰り返します。**図 16.22**、**図 16.23** に、1 転送要求に対して 2 回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2 回目以降の外部バスアクセスにもリカバリサイクル（⑥）の挿入が行われます（**図 16.44** 参照）。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

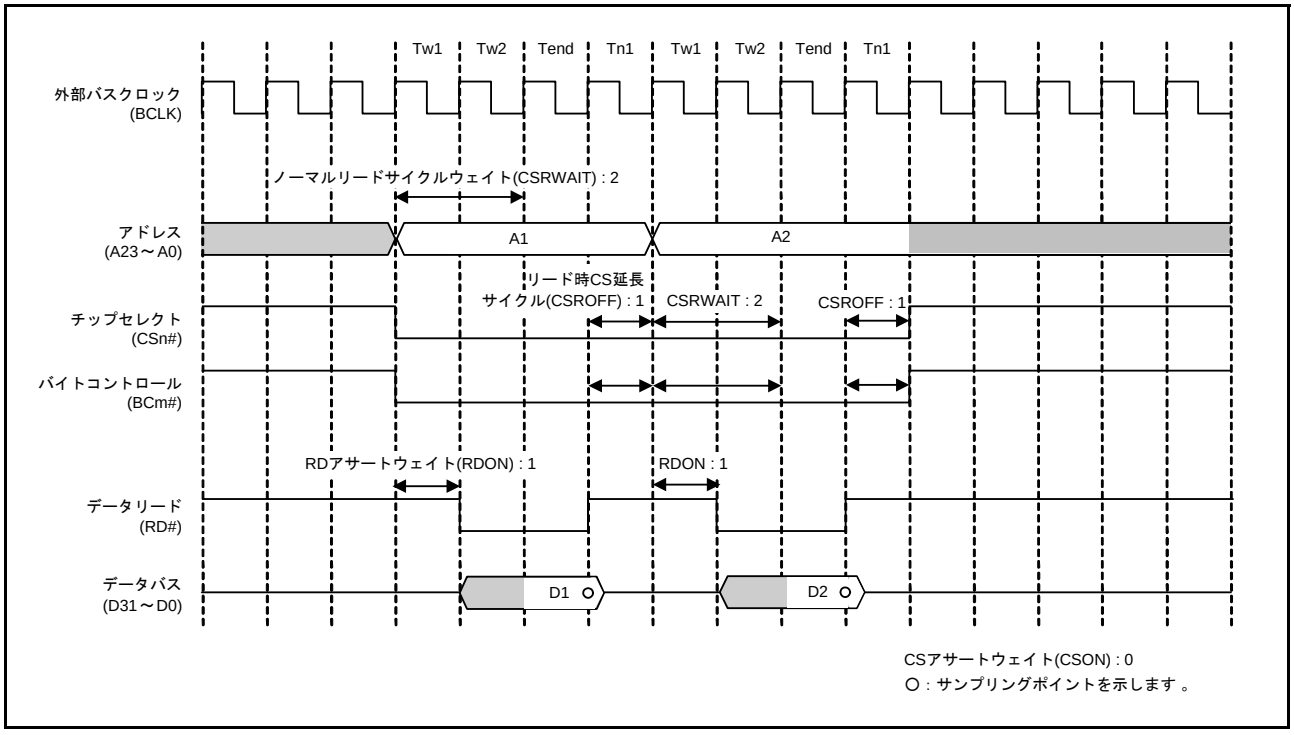


図 16.22　ノーマルリードアクセスの動作例（1 転送要求に対して 2 回バスアクセスが発生する場合）（n=0 ～ 7、m=0 ～ 3）

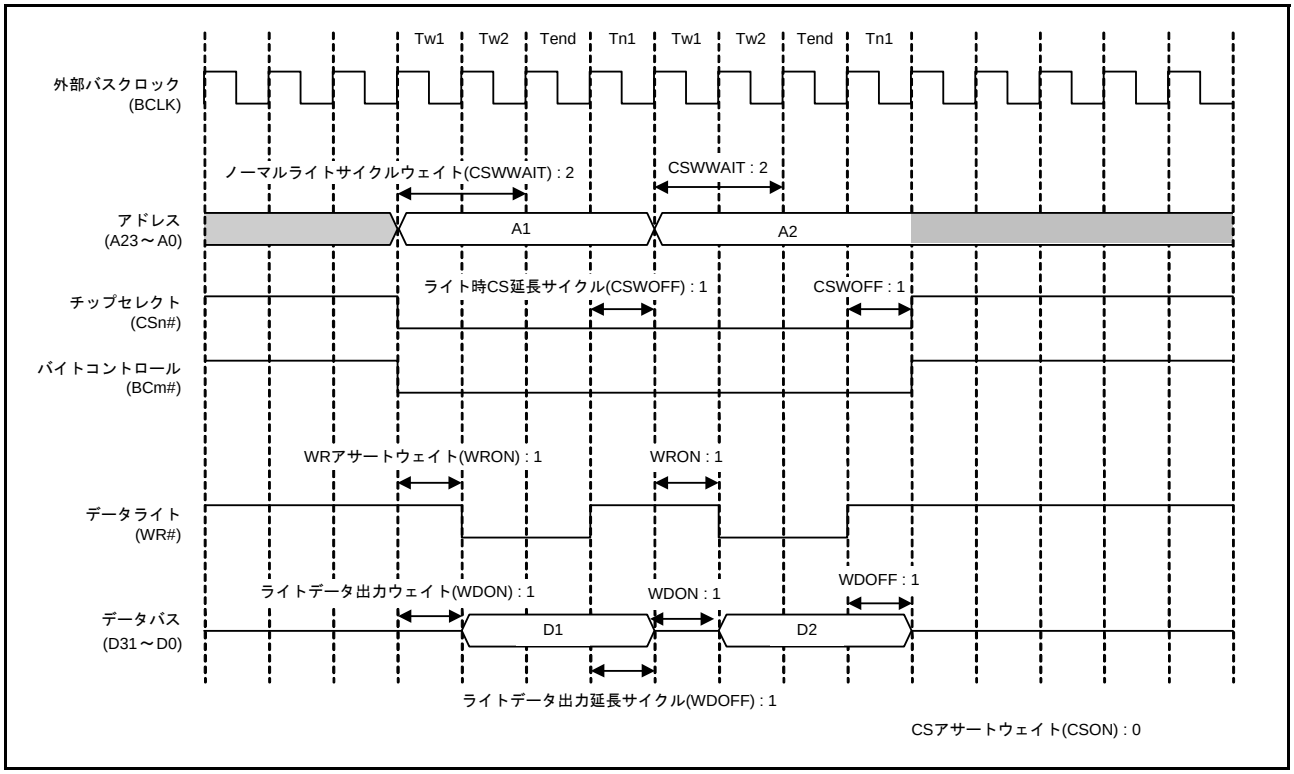


図 16.23　ノーマルライトアクセスの動作例（1 転送要求に対して 2 回バスアクセスが発生する場合：1 ライトストローブモード時）（n=0 ～ 7、m=0 ～ 3）

図 16.24、図 16.25 に、32 ビットバス空間に対して 16 ビットアクセスした場合のノーマルリード、ノーマルライトアクセスの動作例を示します。

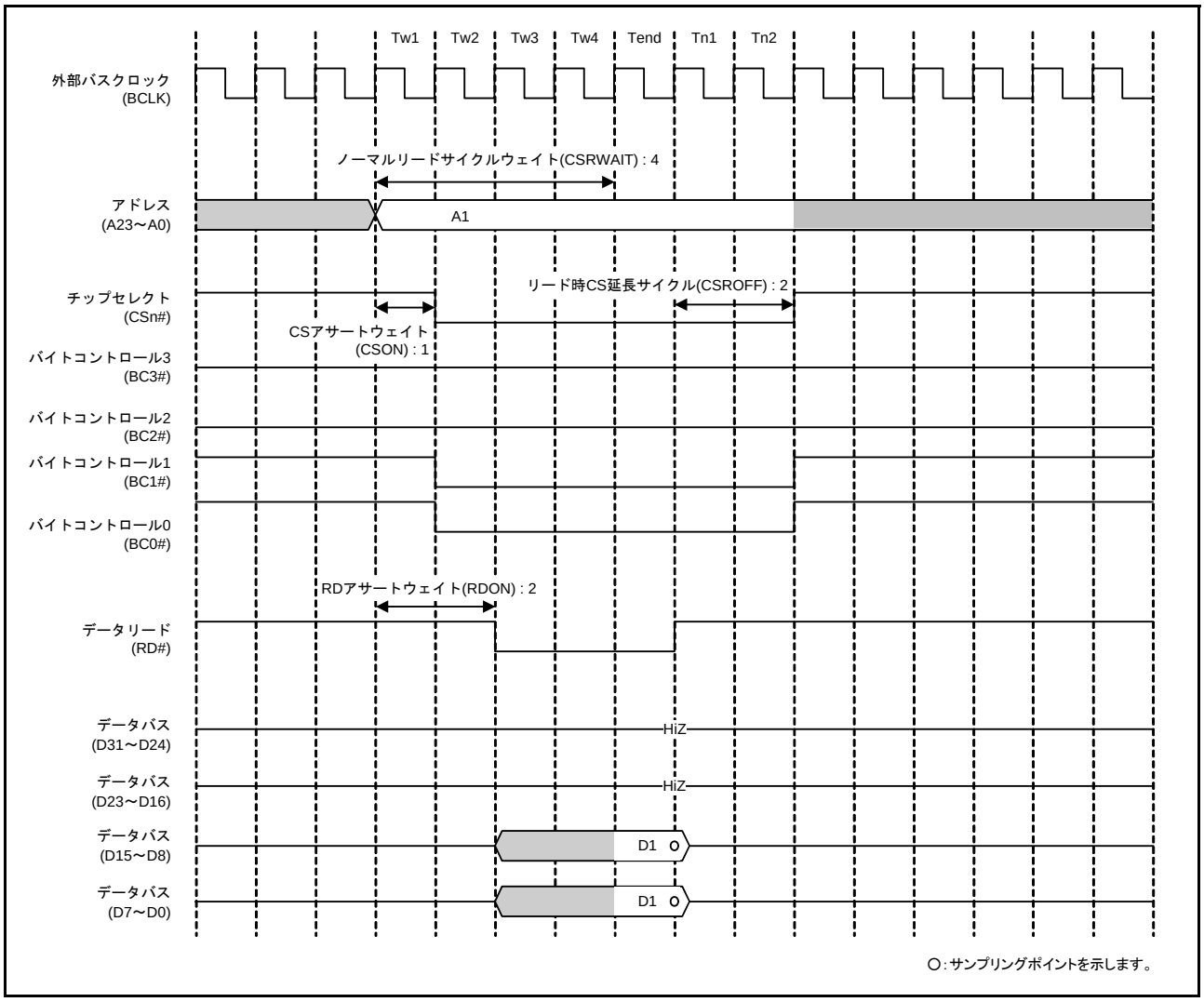


図 16.24　ノーマルリードアクセスの動作例（32 ビットバス空間に対して 16 ビットアクセスした場合）（n=0 ～ 7）

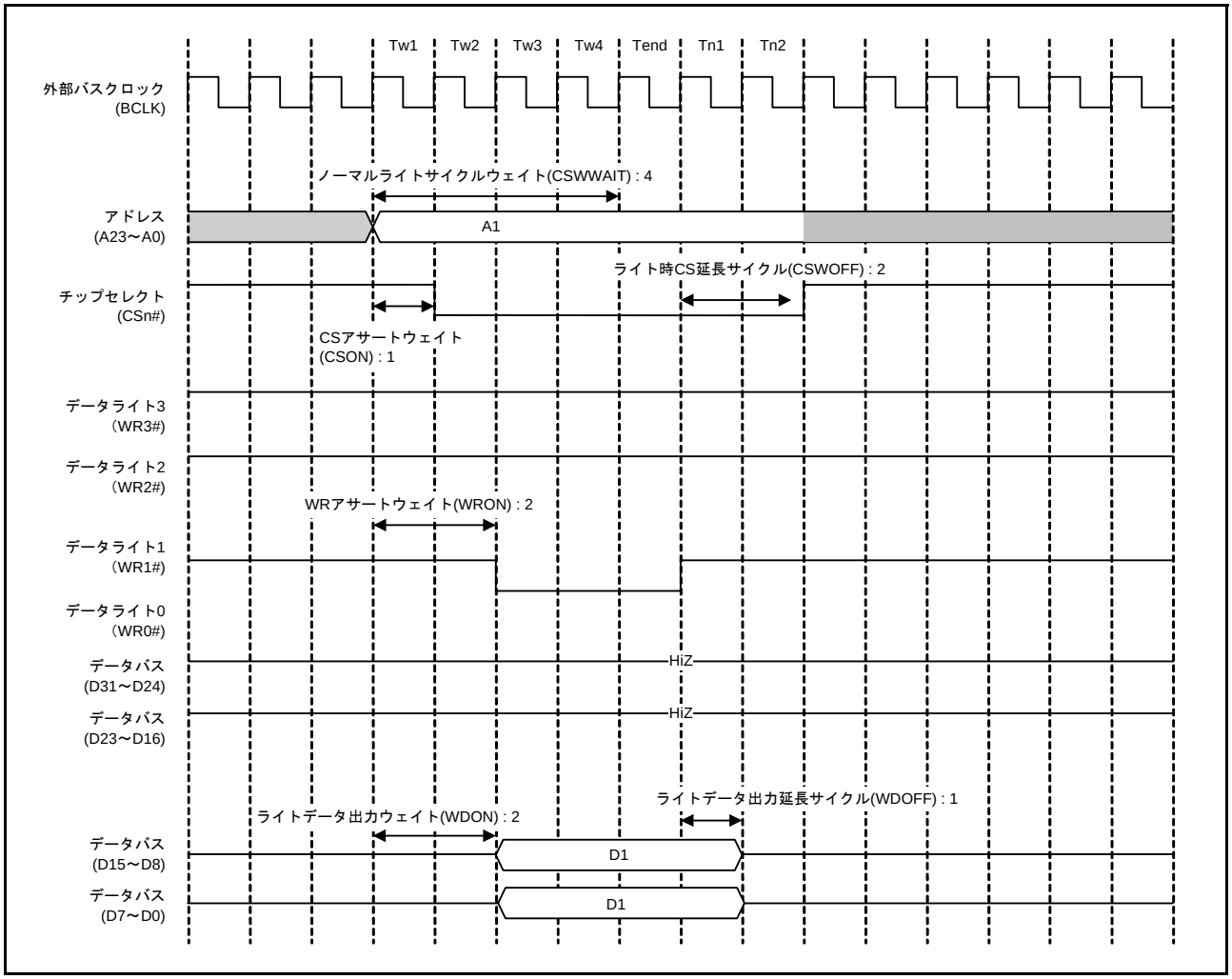


図 16.25　ノーマルライトアクセスの動作例（32 ビットバス空間に対して 16 ビットアクセスした場合：バイトストローブモード時）（n=0 ～ 7）

図 16.26 ～図 16.30 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

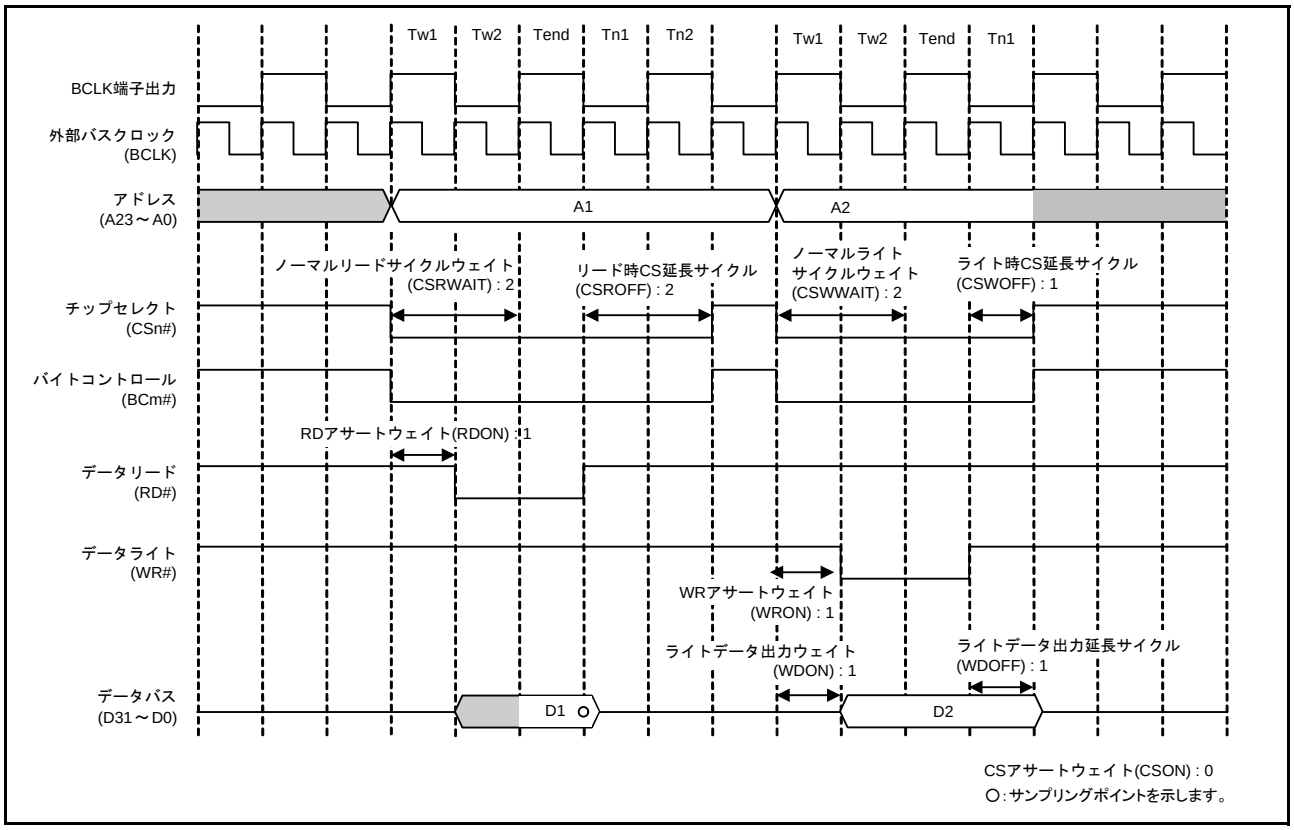


図 16.26　ノーマルアクセスの動作例（BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合）（n=0 ～ 7、m=0 ～ 3）

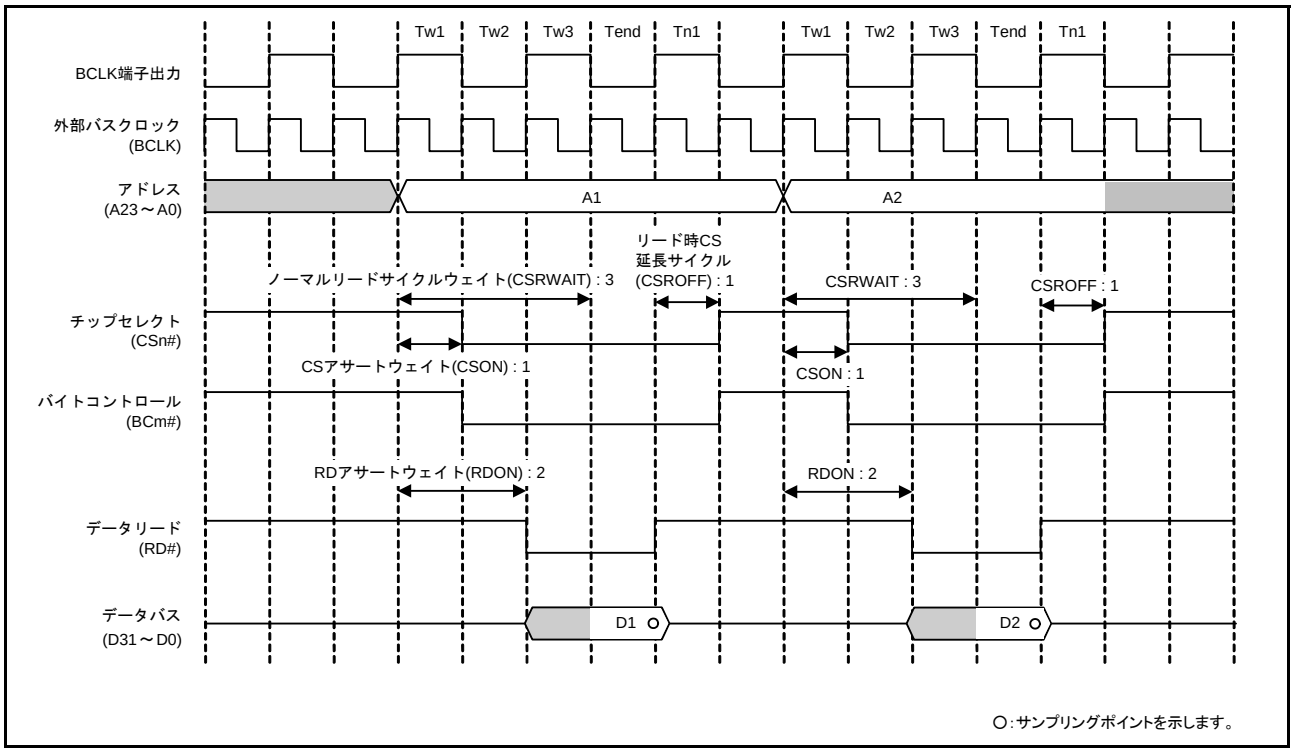


図 16.27　ノーマルリードアクセスの動作例（BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合）（n=0 ～ 7、m=0 ～ 3）

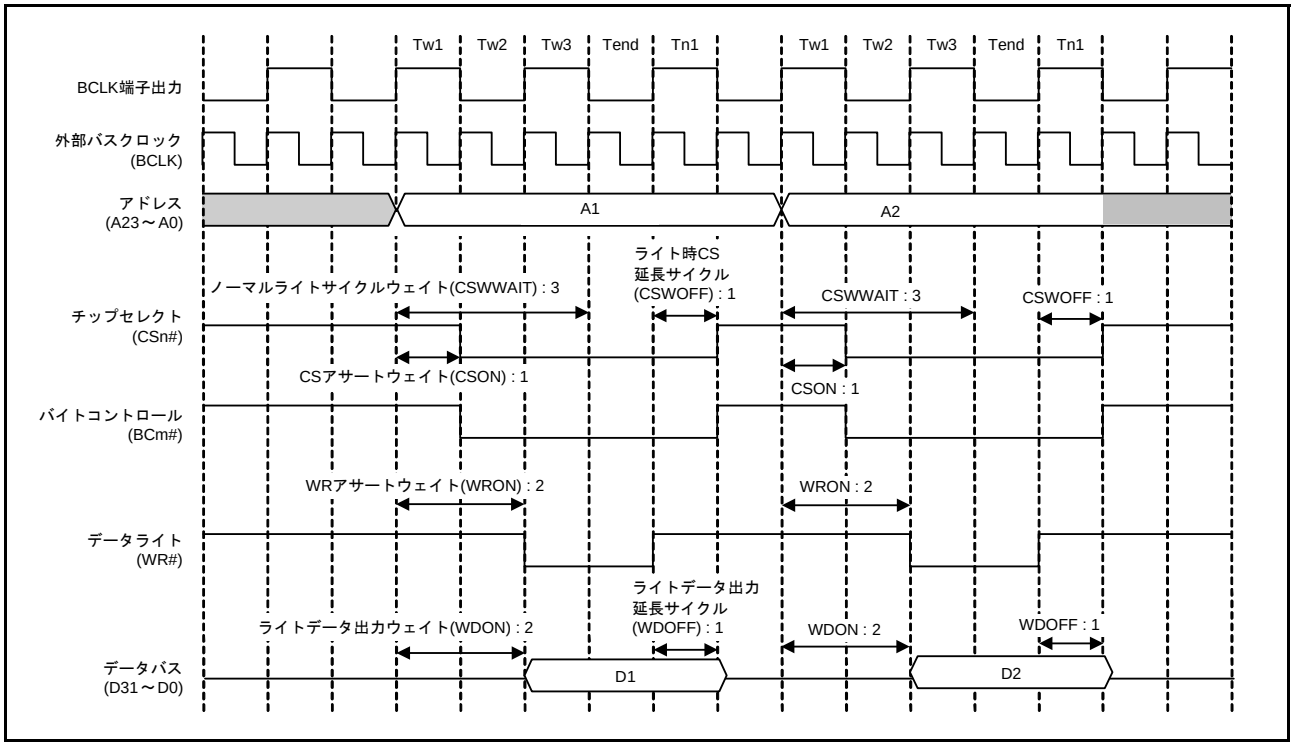


図 16.28　ノーマルライトアクセスの動作例（BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合）（n=0 ～ 7、m=0 ～ 3）

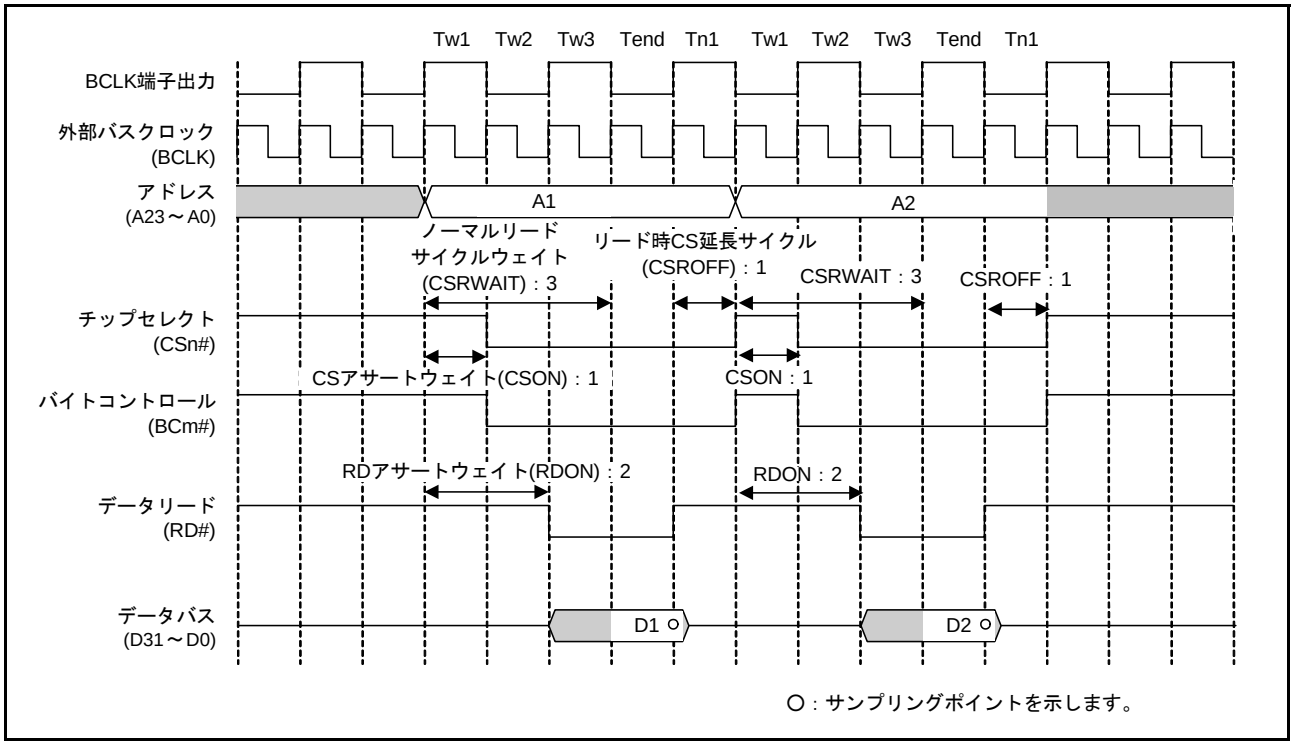


図 16.29　ノーマルリードアクセスの動作例（BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合）（n=0 ～ 7、m=0 ～ 3）

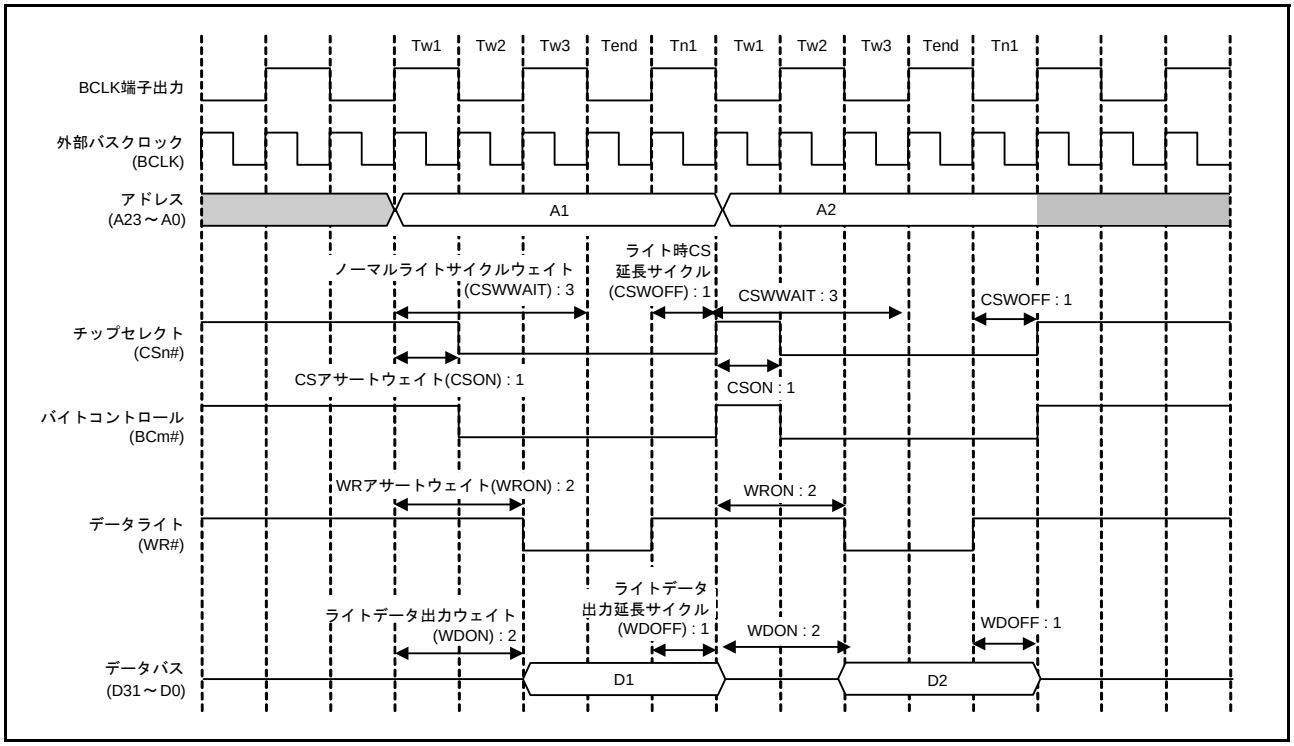


図 16.30 ノーマルライトアクセスの動作例（BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合）（n=0 ～ 7、m=0 ～ 3）

(2) ページアクセス

CSnMOD.PRENB ビットを “1”（ページリードアクセス許可）、CSnMOD.PWENB ビットを “1”（ページライトアクセス許可）に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非アラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 16.8 ～図 16.11 を参照してください。

図 16.31、図 16.32 にページアクセスの動作例を示します。

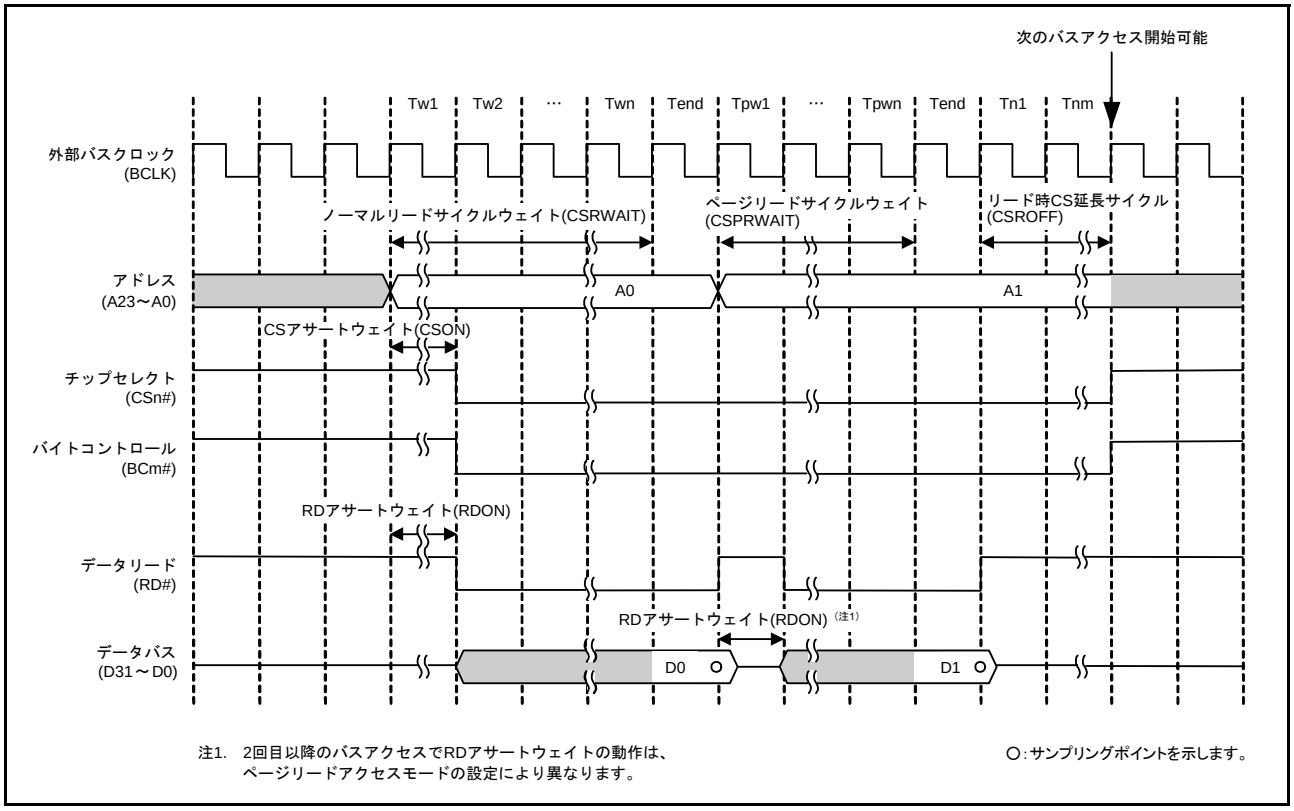


図 16.31 ページリードアクセスタイミング（n=0 ～ 7、m=0 ～ 3）

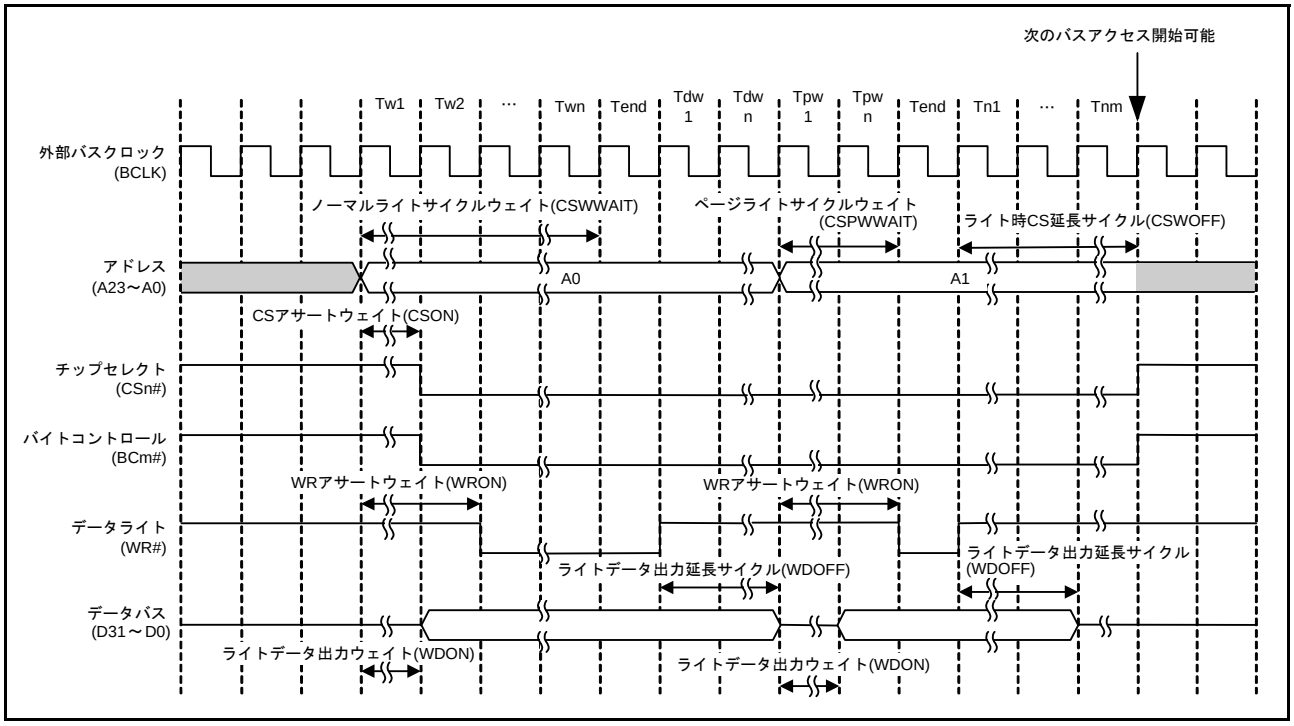


図 16.32 ページライトアクセスタイミング（n=0 ～ 7、m=0 ～ 3）

図 16.33、図 16.34 に 16 ビットバス空間に対して 32 ビットバスアクセスした場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

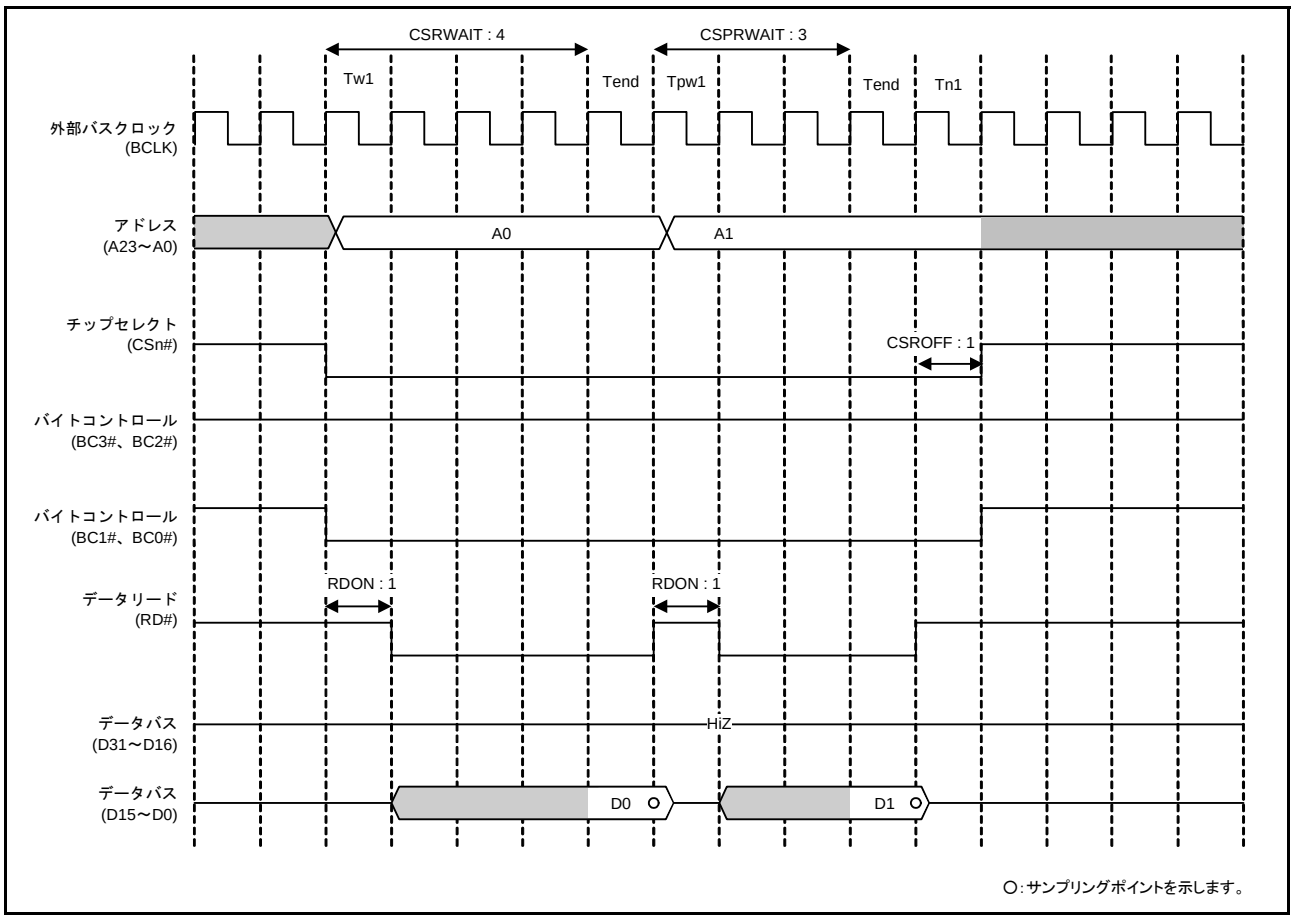


図 16.33　ページリードアクセスの動作例（16 ビットバス空間に対して 32 ビットアクセスした場合）（n=0 ～ 7）

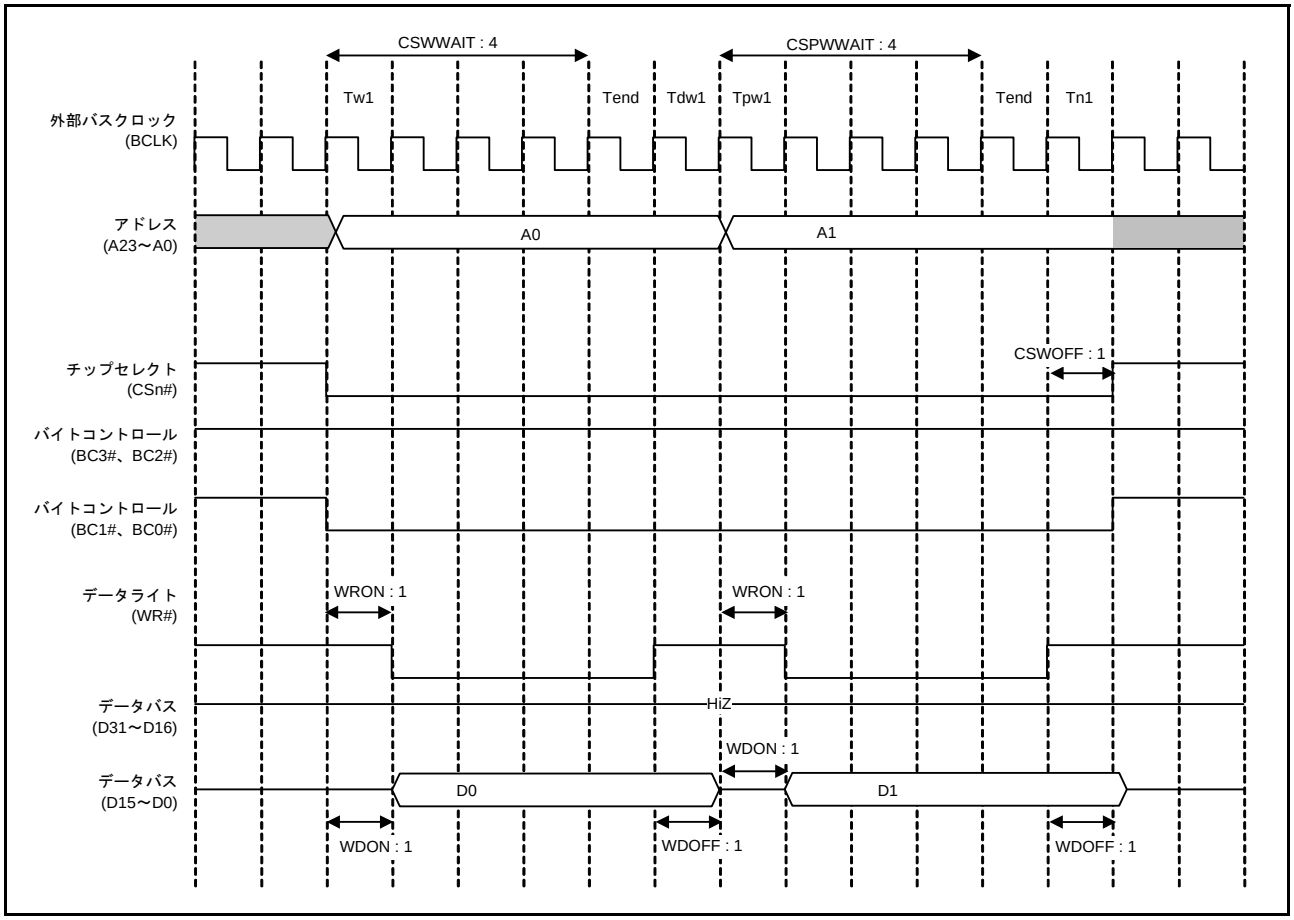


図 16.34　ページライトアクセスの動作例（16 ビットバス空間に対して 32 ビットアクセスした場合：1 ライトストローブモード時）（n=0 ～ 7）

図 16.35、図 16.36 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

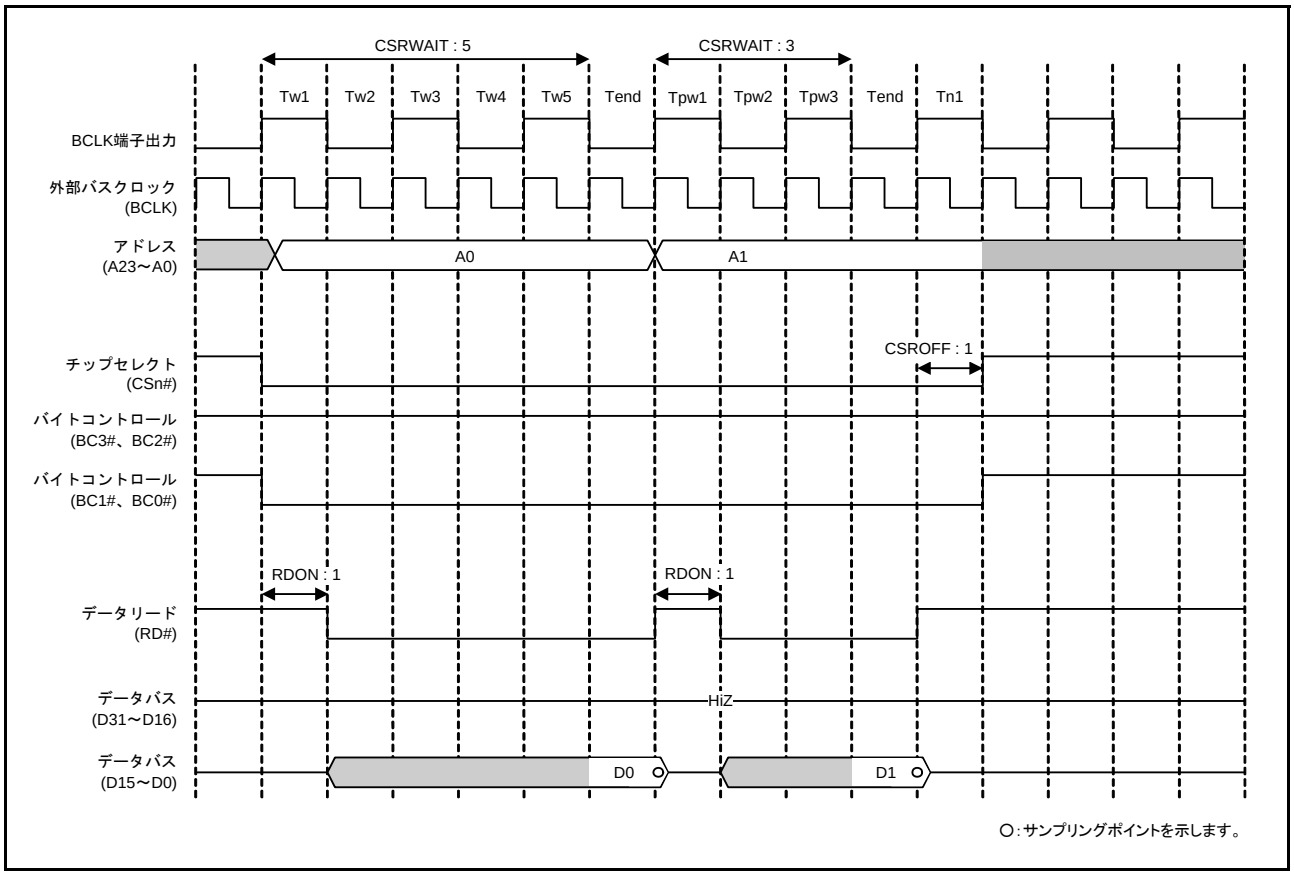


図 16.35　ページリードアクセスの動作例（BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合）（n=0 ～ 7）

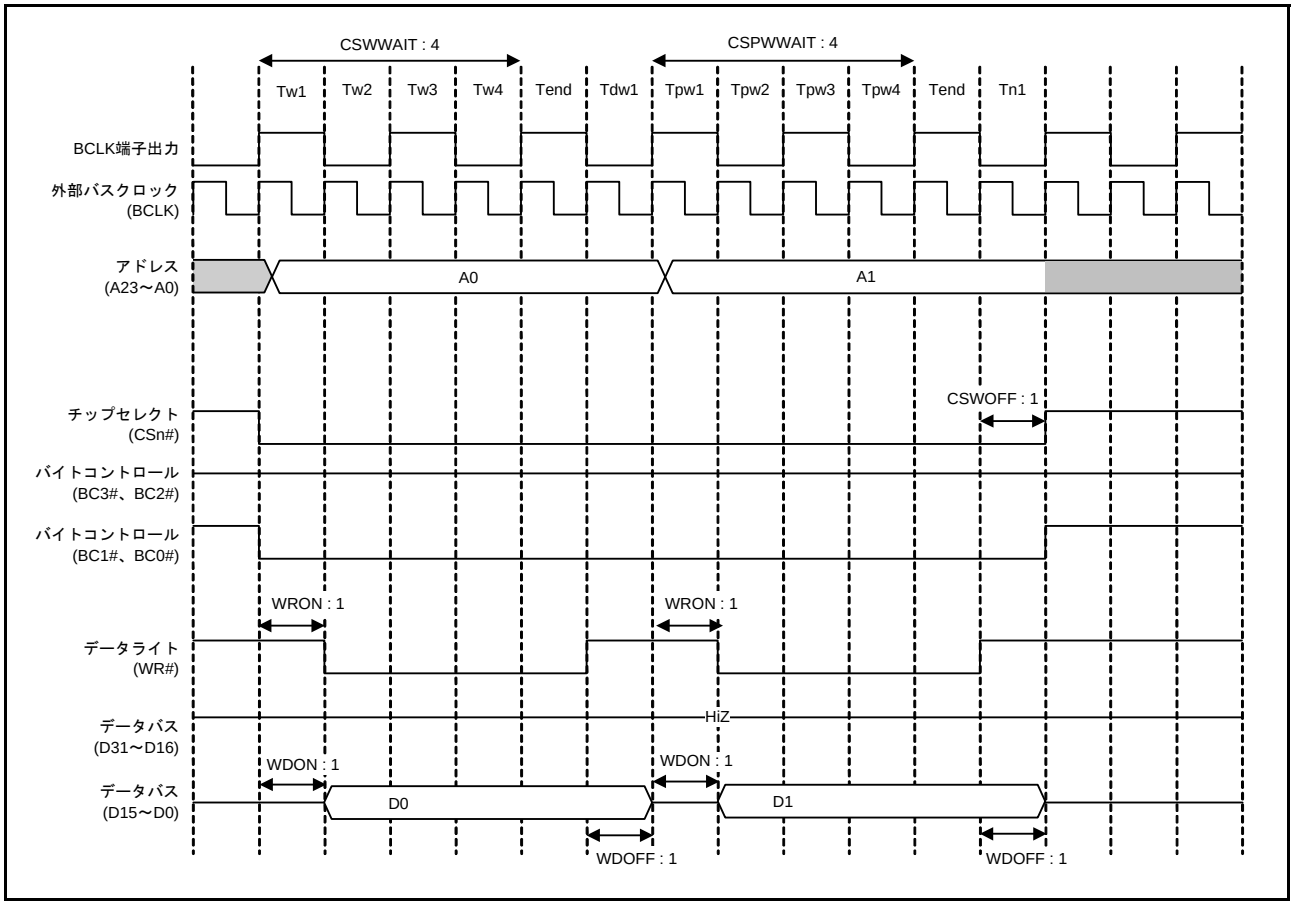


図 16.36　ページライトアクセスの動作例（BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合：1 ライトストローブモード時）（n=0 ～ 7）

16.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット（CSnCR.MPXEN）を “1” に設定することにより、対応する領域で D15 ～ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ～ D0 が A7 ～ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ～ D0 が A15 ～ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE、RD#、WRn# 、BCn# 信号でアクセスが制御されます。セパレートバスと同様、バイトストローブモードと 1 ライトストローブモードを選択可能です。ただし、アドレスサイクル中の BCn ＃信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット（CSnWCR2.AWAIT[1:0]）で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- Ta1 ～ Tan（アドレスサイクルウェイト）

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ（ALE）信号がネゲートされる 1 サイクル前までの期間です。0 ～ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます（アドレスサイクル）。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1、CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可（CSnMOD.PRENB ビット = 1）、ページライトアクセス許可（CSnMOD.PWENB ビット = 1）に設定した場合、設定は無視されノーマルアクセスを行います。

図 16.37 ～図 16.39 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。

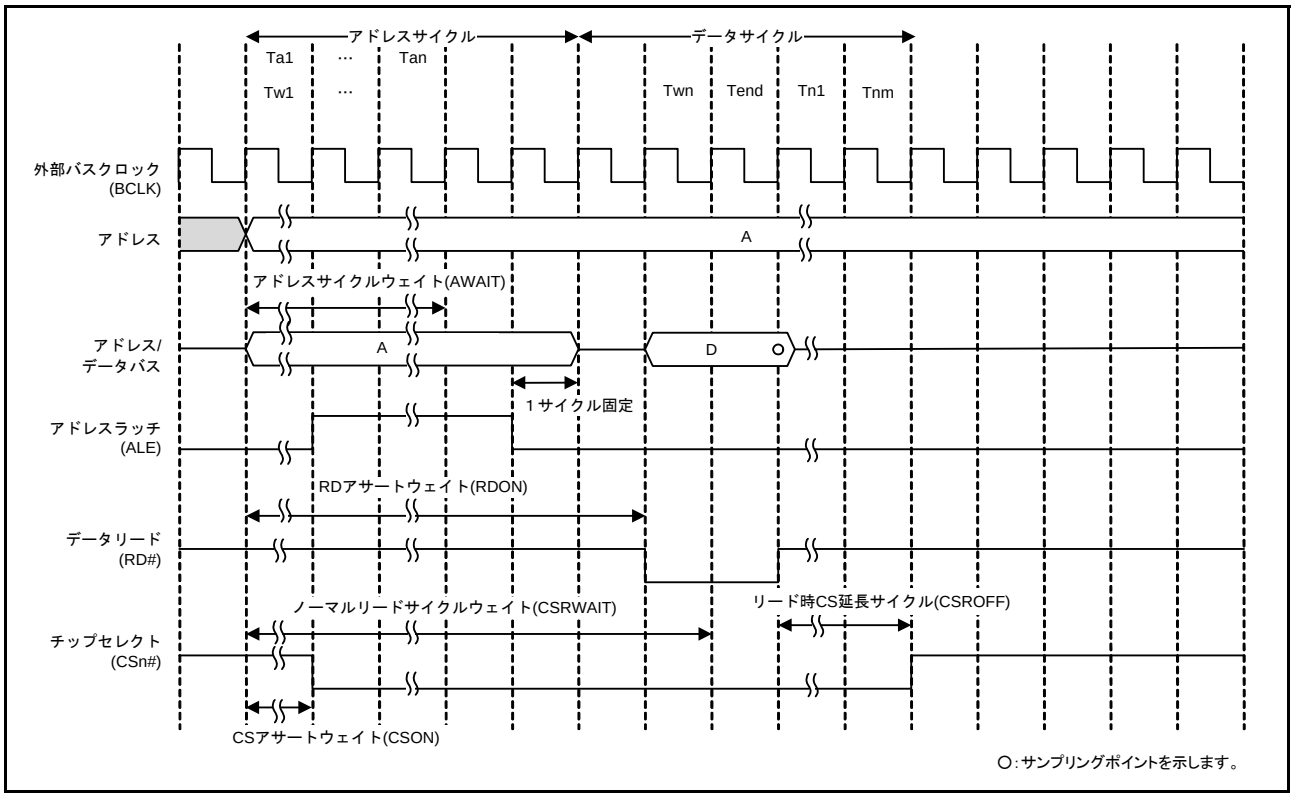


図 16.37　アドレス / データマルチプレクス I/O インタフェース時のリードアクセスの動作例

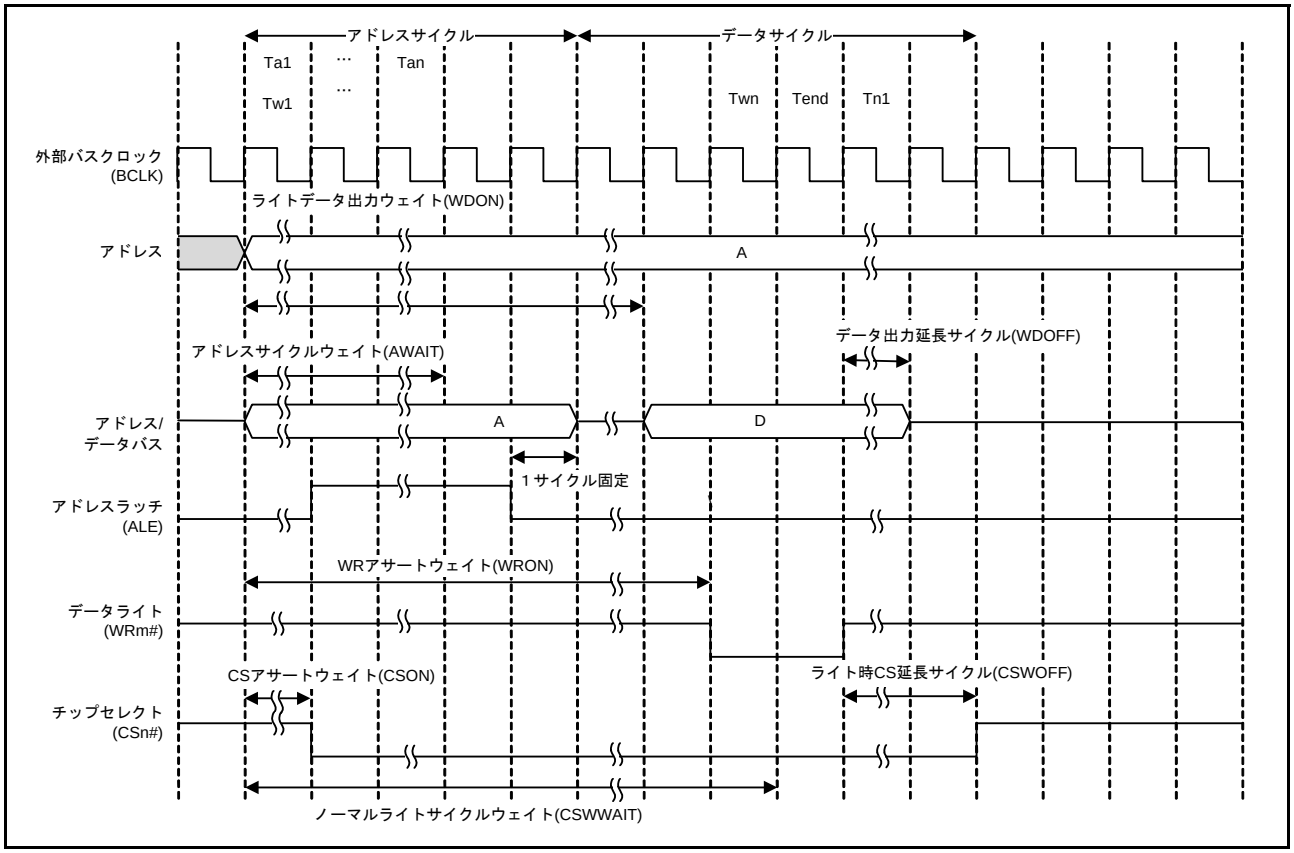


図 16.38　アドレス / データマルチプレクス I/O インタフェース時のライトアクセスの動作例（m=0、1）

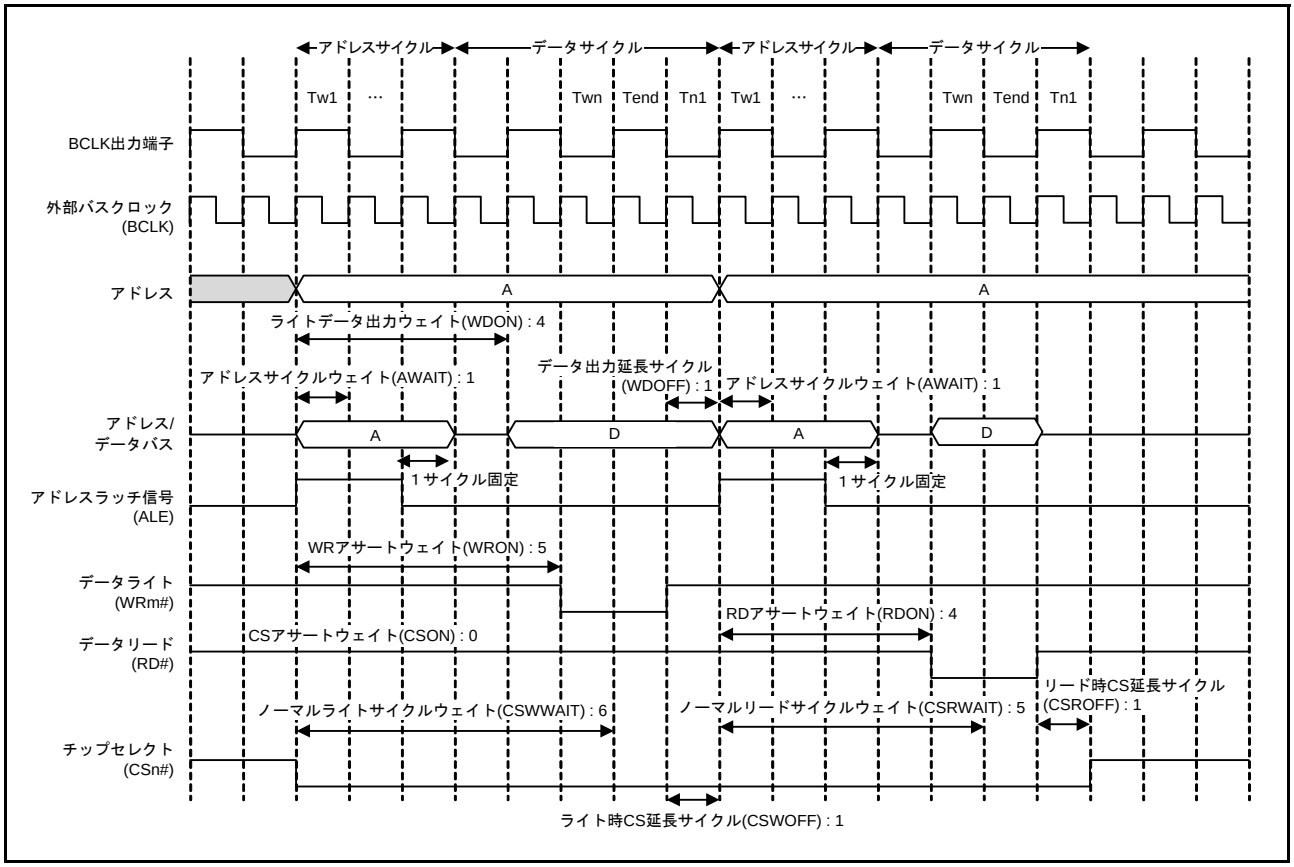


図 16.39　アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例（m=0、1）

16.5.3　外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1（CSnWCR1）で設定したノーマルアクセスサイクルウェイト（CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット）や、ページアクセスサイクルウェイト（CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット）を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可（CSnMOD.EWENB ビット = 1）にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止（CSnMOD.EWENB ビット = 0）であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1)　ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点（Tend）から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

(2)　ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。ウェイト制御レジスタに設定したサイクルウェイト数が完了した時点（Tend）から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点（Tend）から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

図 16.40、図 16.41 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

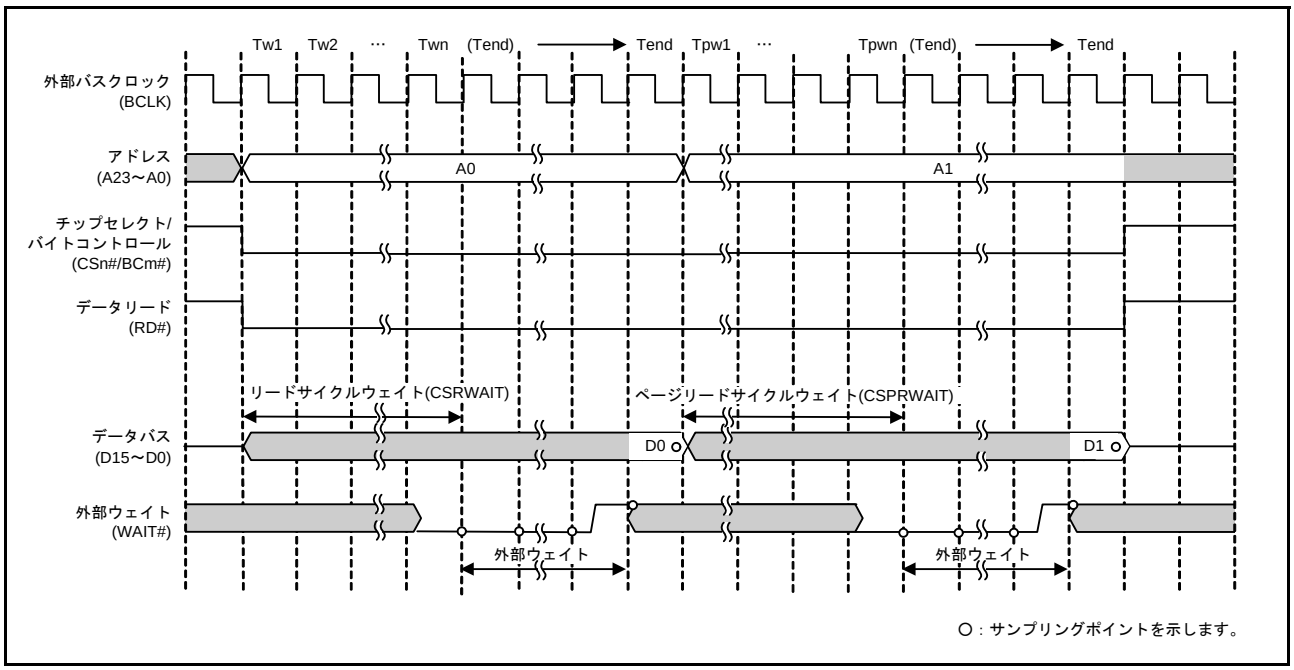


図 16.40　外部ウェイトタイミング例（16 ビットバス空間へのページリードアクセス）
（n=0 ～ 7、m=0、1）

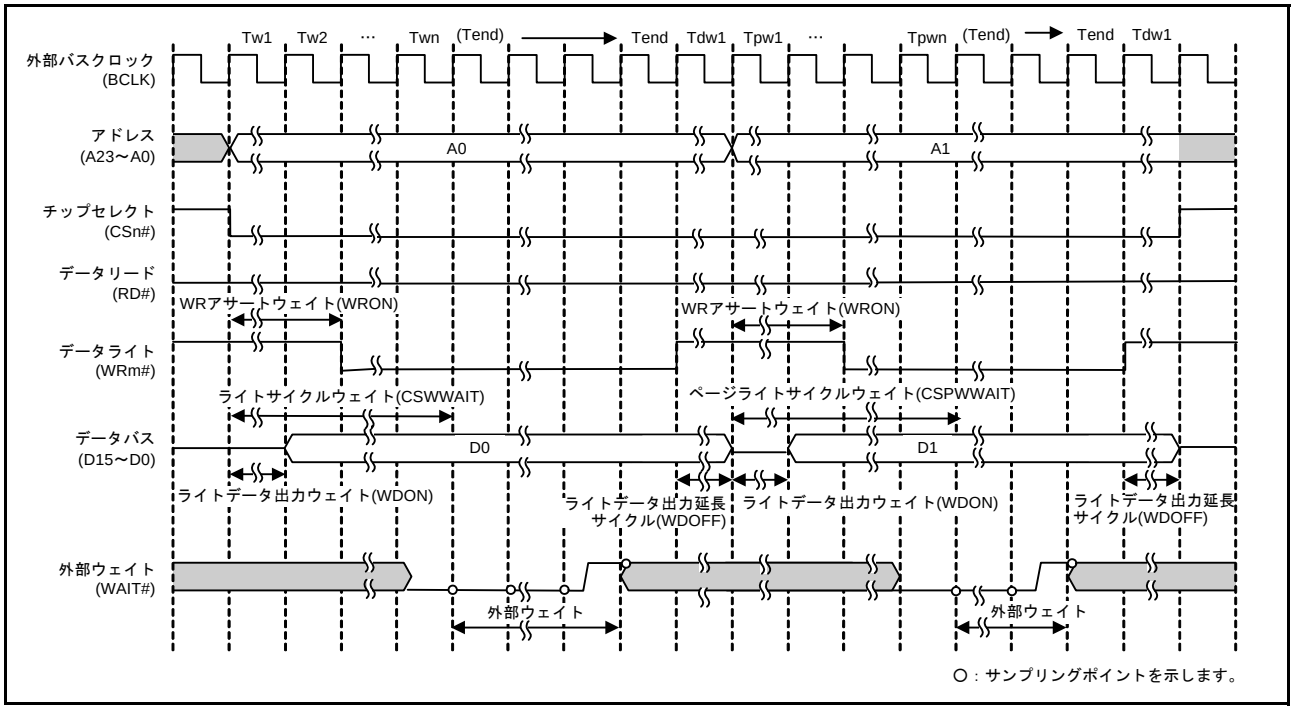


図 16.41　外部ウェイトタイミング例（16 ビットバス空間へのページライトアクセス：バイトストローブモード時）（n=0 ～ 7、m=0、1）

(3)　アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 16.42 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

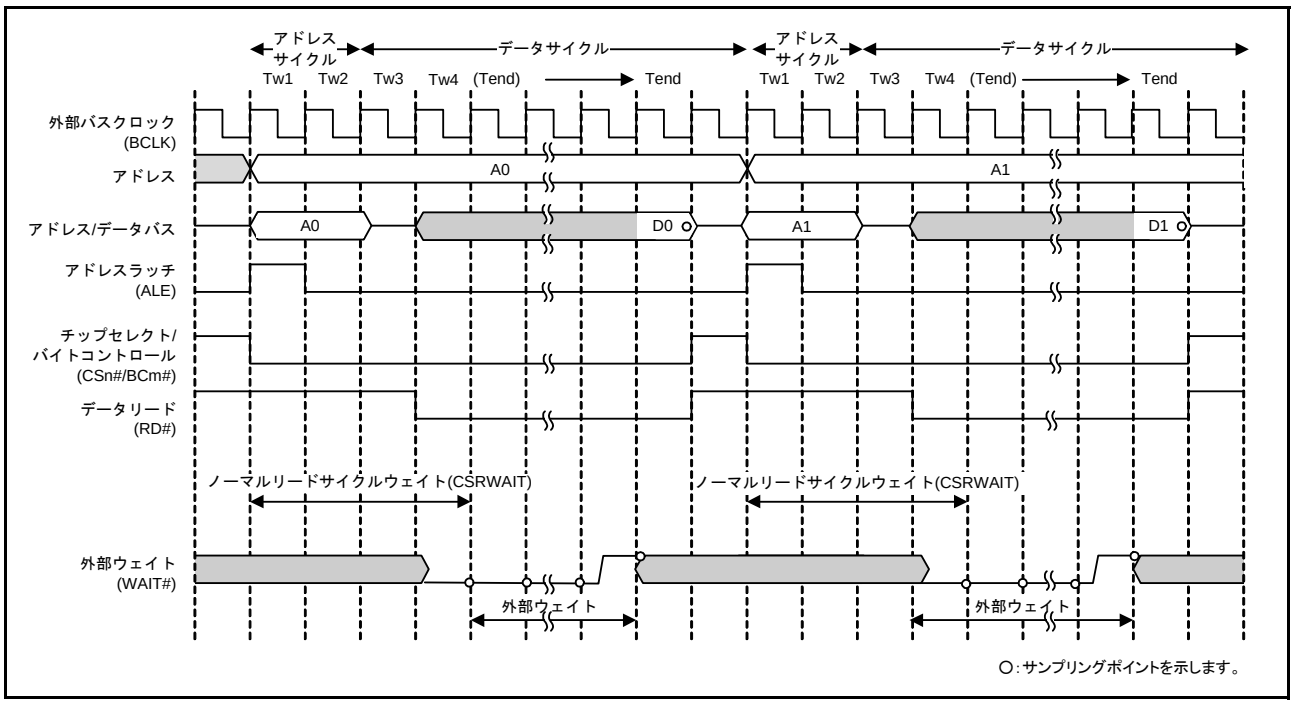


図 16.42　アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例（m=0、1）

16.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ（CSRECEN）のリカバリサイクル挿入許可ビットを “1” に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ（CSnREC）で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット（CSnREC.WRCV[3:0]）で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット（CSnREC.RRCV[3:0]）で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット（CSRECEN.RCVENj）(j=0 ～ 7) により、アドレス / データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット（CSRECEN.RCVENMj）(j=0 ～ 7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点（CSn# 信号 (n=0 ～ 7) のネゲート時点）です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可（CSnMOD.PRENB = 1）、あるいは、ページライトアクセス許可（CSnMOD.PWENB = 1）に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます（図 16.45 参照）。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス / データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 16.43 ～図 16.45 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

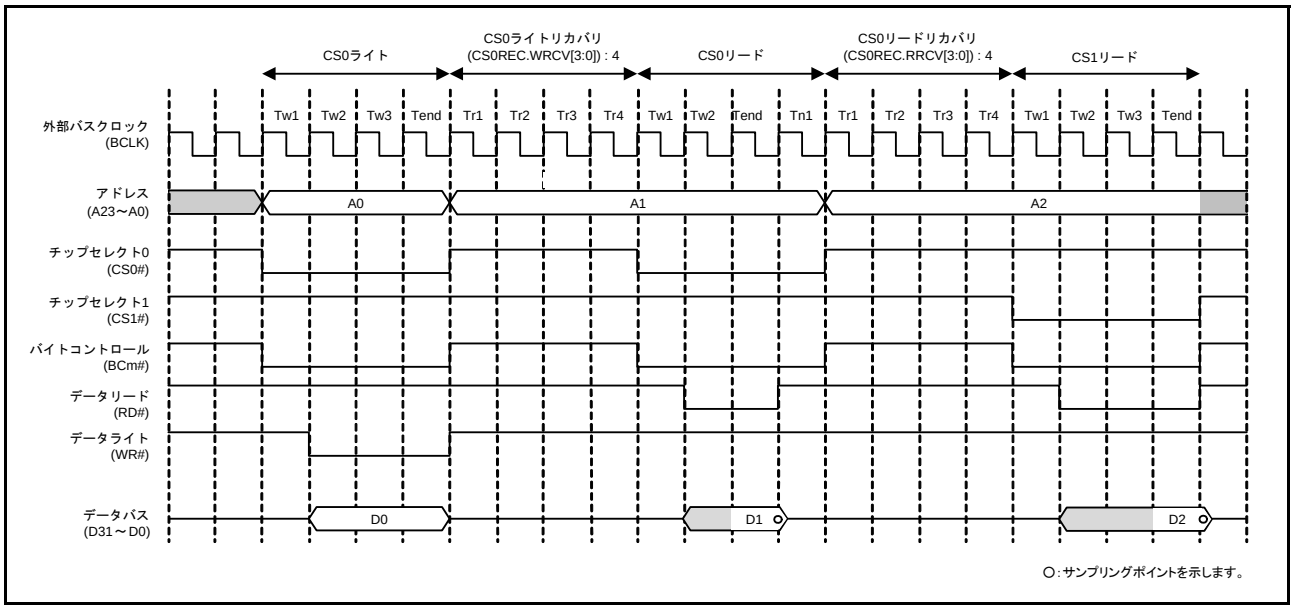


図 16.43　セパレートバスインタフェース時のリカバリサイクルの動作例（m=0 ～ 3）

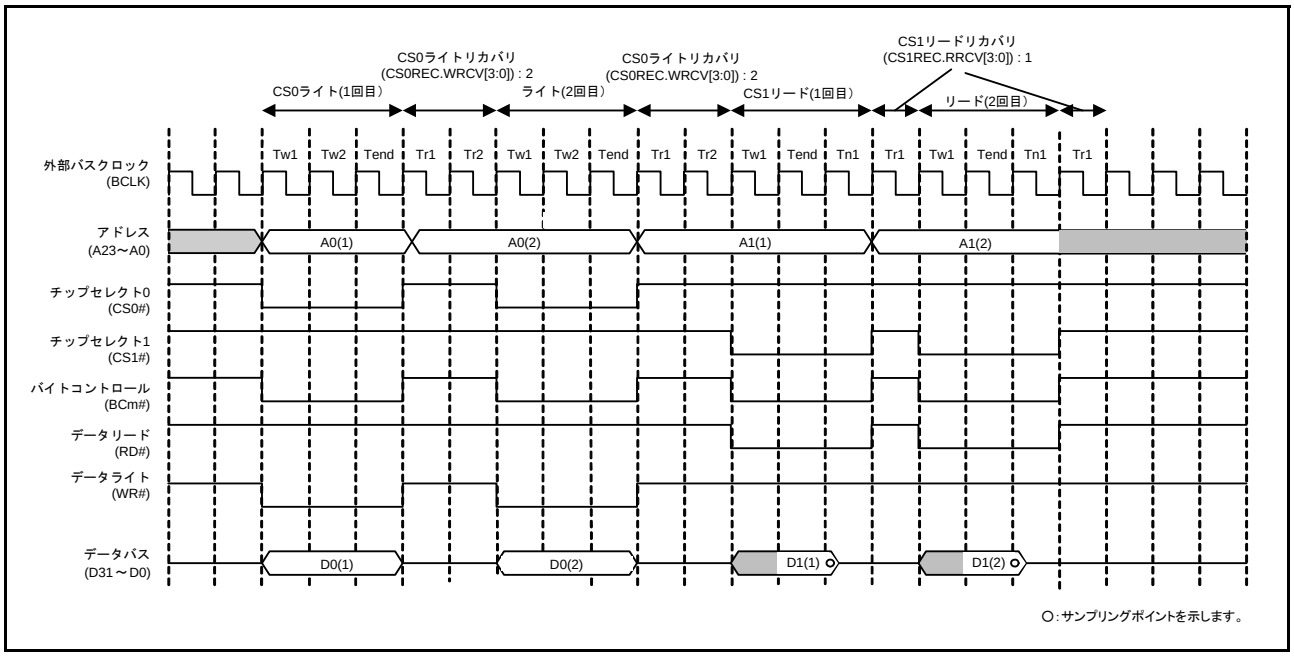


図 16.44　バスアクセスが分割された場合のリカバリサイクルの動作例（セパレートバスインタフェース、ノーマルアクセスの場合）（m=0 ～ 3）

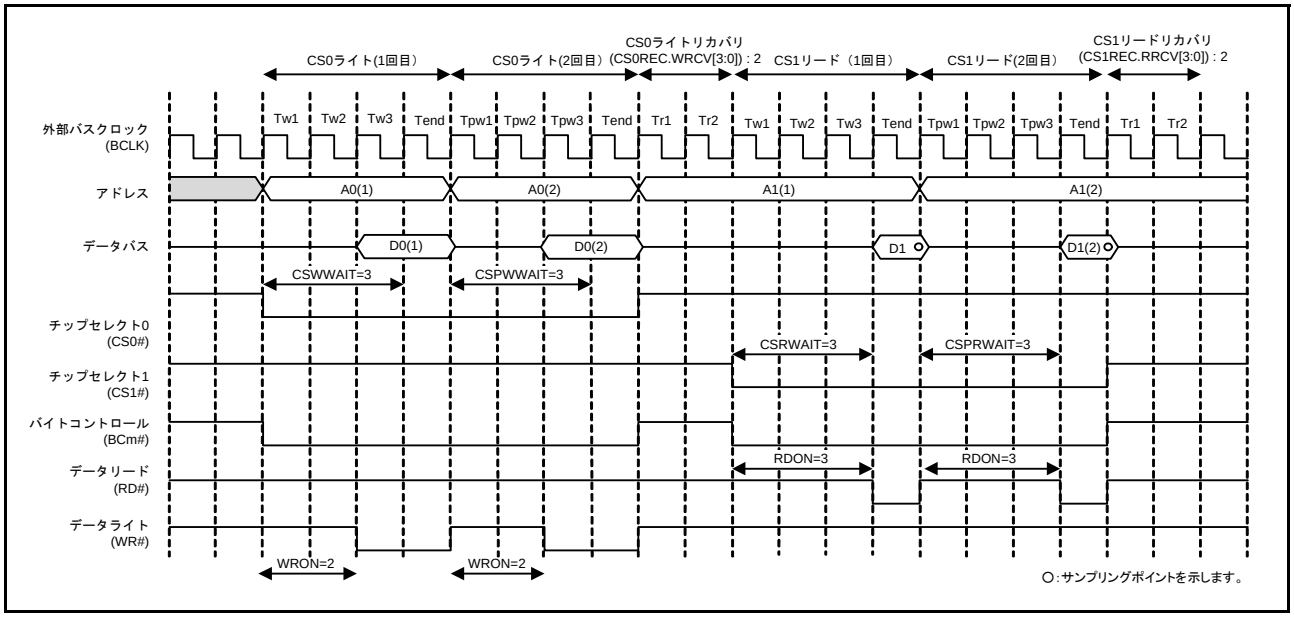


図 16.45　バスアクセスが分割された場合のリカバリサイクルの動作例（セパレートバスインタフェース、ページアクセスの場合）（m=0 ～ 3）

図 16.46 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

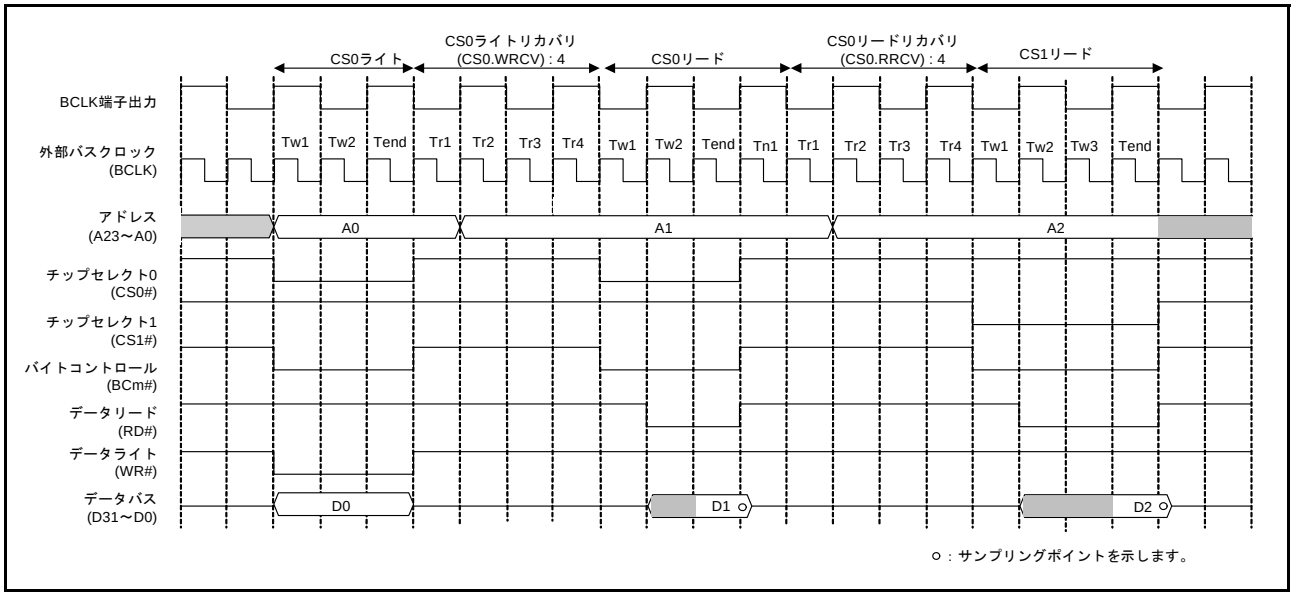


図 16.46　BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例（セパレートバスインタフェース、ノーマルアクセスの場合）（m=0 ～ 3）

アドレス / データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 16.47、図 16.48 に、アドレス／データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

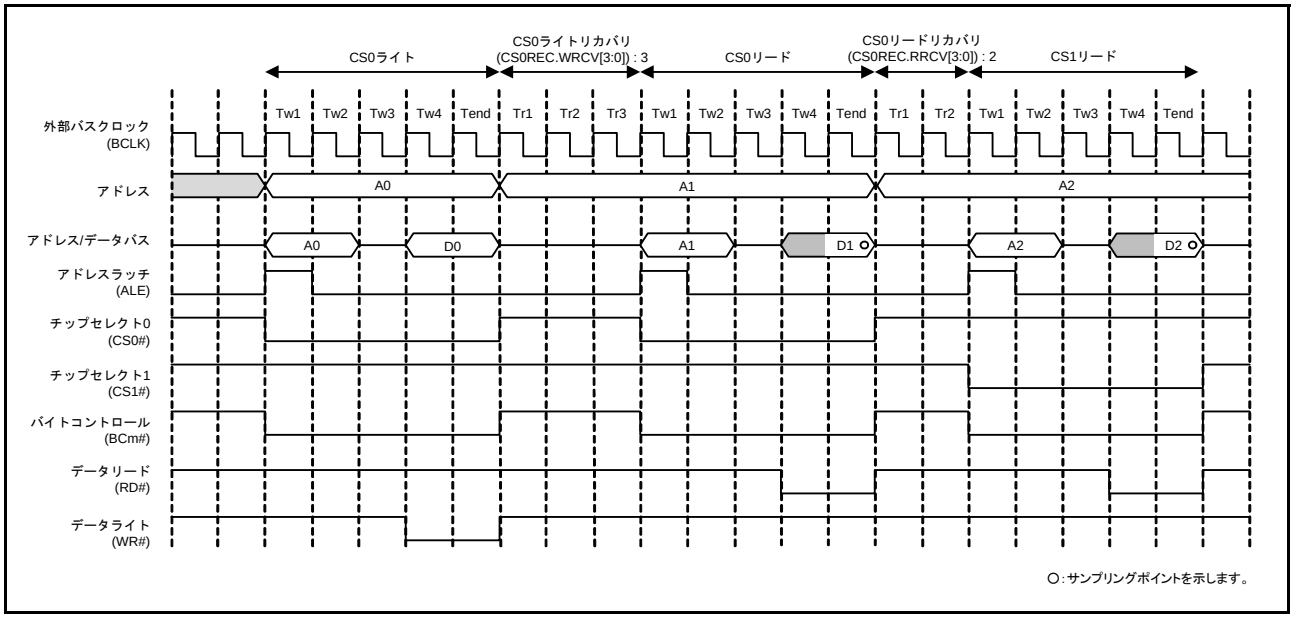


図 16.47　アドレス / データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例（m=0、1）

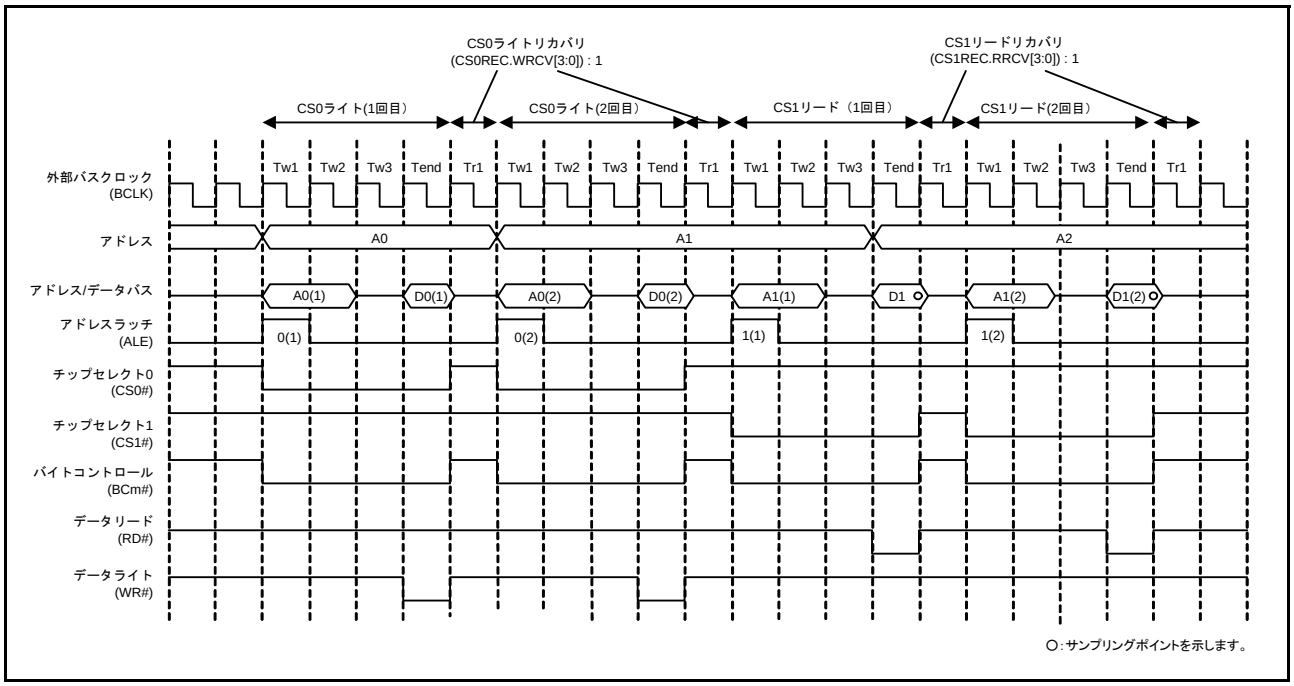


図 16.48　アドレス / データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例（m=0、1）

16.5.5　非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには CSn# 信号、BCn# 信号、WRn# 信号、RD# 信号は High に、ALE 信号は Low に、D31 ～ D0 はハイインピーダンスになります。

16.5.6　ライトバッファ機能（外部バス）

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 16.49 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス（内蔵メモリ、周辺モジュールのアクセス）が並列して実行されます。

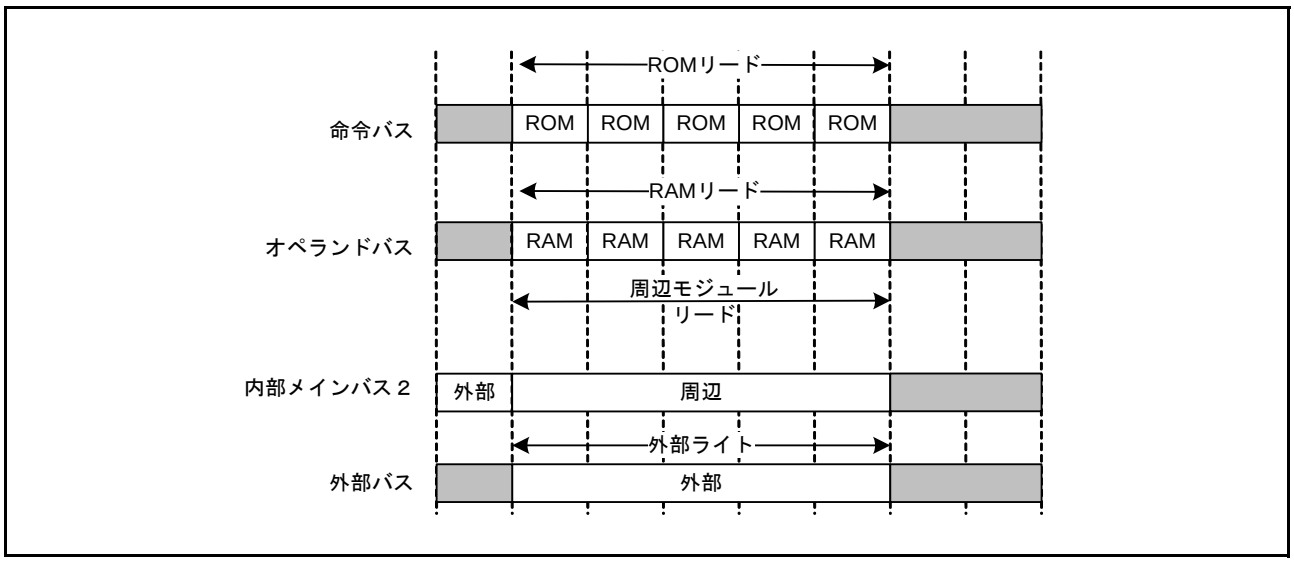


図 16.49　ライトバッファ機能使用時の動作例

16.5.7　制約事項

(1)　セパレートバスインタフェースの場合の制約事項

- 表 16.10 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1（CSnWCR1）と、CSn ウェイト制御レジスタ 2（CSnWCR2）の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効（CSnMOD.PRENB=“1”）、あるいはページライトアクセス許可ビットが有効（CSnMOD.PWENB=“1”）であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 16.10　ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON	1≦WDON[2:0] CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ≦ CSPRWAIT CSON[2:0] ≦ RDON	1≦WDON[2:0] CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦ CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON

- バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可（CSnMOD.PRENB = “1”）、あるいは、ページライトアクセス許可（CSnMOD.PWENB = “1”）に設定された場合、途中のバスアクセスにはリカバリサ

イクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

(2) アドレス / データマルチプレクスバスの場合の制約事項

- アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。
- アドレス / データマルチプレクス I/O インタフェースを設定した場合、CSn 制御レジスタの外部バス幅選択ビット（CSnCR.BSIZE[1:0]）で、32 ビットバス空間に設定することは禁止しており、設定した場合の動作は保証しません。

表 16.11 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON AWAIT[1:0]+2 ≦ RDON CSON[2:0] ≦ AWAIT	CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON AWAIT[1:0]+2 ≦ WRON AWAIT[1:0]+2 ≦ WDON CSON[2:0] ≦ AWAIT

(3) A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、 8 ビットバス空間では 1 ライトストローブモードの設定は禁止しており、 設定した場合の動作は保証していません。

(4) BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

(5) EXDMAC のシングルアドレス転送モード時の制約事項

- EXDMAC のシングルアドレス転送時の EDACK 信号のネゲートタイミングを、EXDMA 出力設定レジスタの EDACKn 端子ネゲートウエイトビット (EDMOMD.DACKW) により、リードアクセスの場合は、RD# 信号の 1 サイクル前に、ライトアクセスの場合は、WR# 信号の 1 サイクル後に設定可能です。この場合、CS# 信号のアサート中に EDACK 信号が有効になるように、CS# 信号のアサート、ネゲートタイミングを設定する必要があります。表 16.12、表 16.13 に EXDMAC のシングルアドレス転送モード時の CSn ウェイト制御レジスタ 1（CSnWCR1）と、CSn ウェイト制御レジスタ 2（CSnWCR2）の各ビットの設定値の制約事項を示します。
- EXDMAC のシングルアドレス転送モード時、EDACK 信号出力を有効にする場合には、外部ウェイト機能は、無効（CSnMOD.EWENB ビット =“0”）にしておく必要があります。
- ページリードアクセスの場合で、外部データリード連続アサートモード (CSnMOD.PRMOD=“1”）設定時には、EXDMAC のシングルアドレス転送は禁止しており、その場合の動作は保証しません。
- アドレス / データマルチプレクス I/O 空間では、EXDMAC のシングルアドレス転送は禁止しており、その場合の動作は保証しません。

表 16.12　EXDMAC のシングルアドレス転送モード時の制約事項（EDMOMD.DACKW="0" の場合）

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON 1 ≦ RDON	CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ≦ CSPRWAIT CSON[2:0] ≦ RDON 1 ≦ RDON	CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦ CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON

表 16.13　EXDMAC のシングルアドレス転送モード時の制約事項（EDMOMD.DACKW="1" の場合）

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ＜ CSRWAIT CSON[2:0] ≦ RDON 1 ≦ RDON	CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON 1 ≦ WDOFF	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ＜ CSPRWAIT CSON[2:0] ≦RDON 1 ≦ RDON	CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON 1 ≦ WDOFF

(6)　アドレス空間の各領域をまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

また、EXDMAC のシングルアドレスモードブロック転送およびクラスタ転送中に、アドレス空間の各領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。EXDMAC のシングルアドレスモードブロック転送、クラスタ転送によりアドレス空間の各領域境界をはさんで 2 つの領域にまたがらないようにしてください。

(7)　RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(8)　命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.6 SDRAM 領域コントローラの動作説明

SDRAMC（SDRAM 領域コントローラ）の動作許可、SDRAM バス幅の設定、SDRAM に対して行う各動作（リード、ライト、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定）について説明します。

16.6.1 SDRAM のアクセス有効／無効、SDRAM バス幅設定

SDRAM のアクセス有効／無効の設定は、SDC 制御レジスタ（SDCCR）で SDRAM アクセスの動作許可／禁止に設定することにより行います。また、SDRAM バス幅の設定も SDCCR レジスタで行います。

SDRAM アクセス空間を動作禁止状態に設定した場合でも、セルフリフレッシュもしくはオートリフレッシュ動作が有効に設定されているときには、リフレッシュ動作は行われます。

16.6.2 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには、SDCS# 信号、WE# 信号、RAS# 信号、CAS# 信号は High になります。

16.6.3 リカバリサイクルの挿入

CS 領域のアクセス後に SDRAM アクセスが起こる場合には、CSC（CS 領域コントローラ）に対するデータリカバリサイクルの挿入が行われます。CSC に対するリカバリサイクルがない場合は、最短で、CSn# 信号がネゲート直後に、次の SDRAM アクセスの ACT コマンドが発行されます。リカバリサイクルが 0 以外の場合は、最短で、CSn# 信号のネゲートからリカバリサイクル数経過後の 2 サイクル後に、ACT コマンドが発行されます。また、SDRAM に対するアクセスの場合、タイミング的にバス上のデータ衝突はありません。したがって、SDRAM に対するデータリカバリサイクルの設定はありません（“0” サイクル固定）。

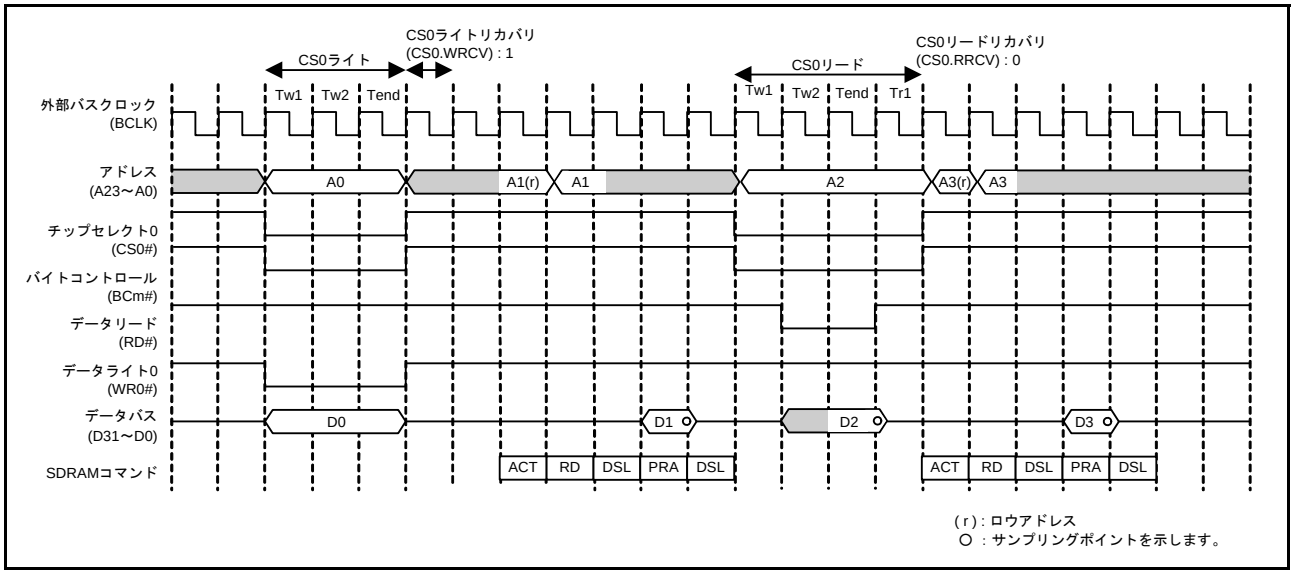


図 16.50 リカバリサイクルの動作例（SDRAM アクセス時）

16.6.4 ライトバッファ機能

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

16.6.5 SDRAM コマンド

SDRAMC は、バスサイクルごとにコマンドを発行することにより SDRAM の制御を行います。コマンドは、SDCS#/RAS#/CAS#/WE#/CKE 信号等の組み合わせにより定義します。

表 16.14 に SDRAMC が発行するコマンドを示します。

表 16.14　SDRAMC コマンド

一般	略称	コマンド	SDCS#	RAS#	CAS#	WE#	CKE		BA1	BA0
							n-1	n		
DESL	DSL	デバイス非選択	H	x	x	x	H	x	x	x
ACTV	ACT	バンクアクティブ	L	L	H	H	H	x	V	V
READ	RD	リード	L	H	L	H	H	x	V	V
WRIT	WRI	ライト	L	H	L	L	H	x	V	V
PALL	PRA	オールバンクプリチャージ	L	L	H	L	H	x	x	x
REF	RFA	オートリフレッシュ	L	L	L	H	H	x	x	x
MRS	MRS	モードレジスタセット	L	L	L	L	H	x	L	L
SELF	RFS	セルフリフレッシュエントリ	L	L	L	H	H	L	x	x
SELFX	RFX	セルフリフレッシュ終了	H	x	x	x	L	H	x	x

注．　H：High 、L：Low 、V：Valid、x：Don’t Care（High あるいは Low）
「n」は、コマンド発行サイクル、「n-1」は、コマンド発行の 1 サイクル前を示します。

16.6.6 SDRAMC レジスタの設定条件

SDRAMC の各レジスタを書き換える場合は、**表 16.15** の各条件をすべて満たしている場合にのみ行ってください。

表 16.15　レジスタの書き替え条件

機能／動作	書き換え対象	条件
セルフリフレッシュ	SDSELF レジスタ（注 1）	• SDRAM アクセス無効（SDCCR.EXENB = 0（注 2）） • オートリフレッシュ有効（SDRFEN.RFEN = 1）
オートリフレッシュ	SDRFCR レジスタ	セルフリフレッシュ無効（SDSELF.SFEN = 0）
	SDRFEN レジスタ	セルフリフレッシュ無効（SDSELF.SFEN = 0）
初期化シーケンス	SDIR レジスタ（注 1）	SDICR 設定前、かつ SDICR の書き換えと同じ条件
	SDICR レジスタ（注 1）	• SDRAM アクセス無効（SDCCR.EXENB = 0（注 2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0 ）
アドレスレジスタ設定	SDADR レジスタ	• SDRAM アクセス無効（SDCCR.EXENB = 0（注 2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0）
タイミングレジスタ設定	SDTR	• セルフリフレッシュ動作中（SDSELF.SFEN = 1） または、 • SDRAM アクセス無効（SDCCR.EXENB = 0（注 2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0）
モードレジスタ設定	SDMOD レジスタ（注 1）	• SDRAM アクセス無効（SDCCR.EXENB = 0（注 2）） • セルフリフレッシュ無効（SDSELF.SFEN = 0）
アクセスモードレジスタ設定	SDAMOD レジスタ	• SDRAM アクセス無効（SDCCR.EXENB = 0（注 2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0 ）

注 1.　書き替え前に SDRAM ステータスレジスタ（SDSR）のステータスビットがすべて“0”になっていることを確認してください。
注 2.　EXENB ビットに“0”を書いた後に、EXENB ビットが“0”になっていることを確認してください。

16.6.7　セルフリフレッシュ

SDRAM セルフリフレッシュ制御レジスタ（SDSELF）の設定により、セルフリフレッシュモードへの移行／復帰を制御することができます。

セルフリフレッシュモードへの移行直前には、オートリフレッシュサイクル動作が行われます。セルフリフレッシュモード中は、CKE 信号が Low になります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図 16.51 にセルフリフレッシュモードへの移行タイミングを、図 16.52 に復帰タイミング例を示します。

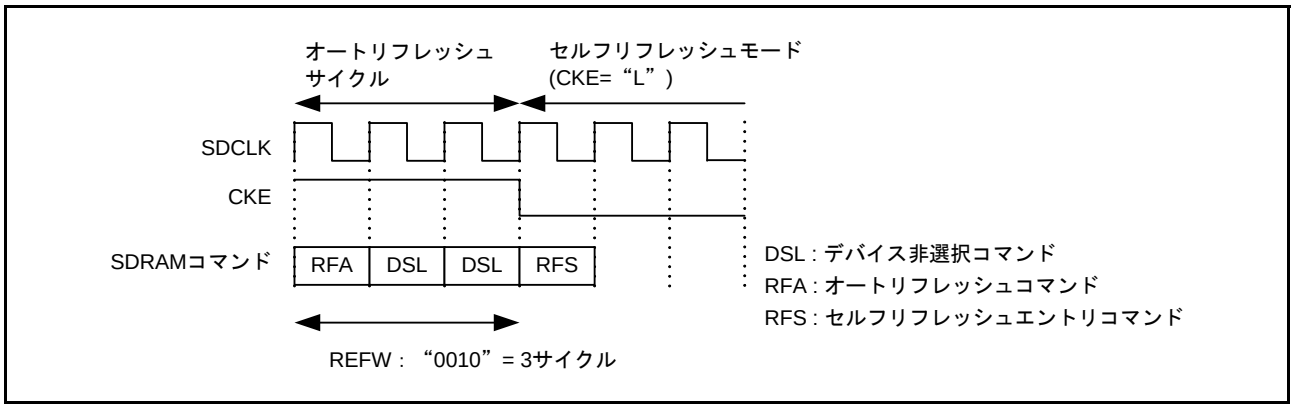


図 16.51　セルフリフレッシュモード移行タイミング例
（SDRFCR.REFW[3:0] ビット = “0010b” : 3 サイクルの場合）

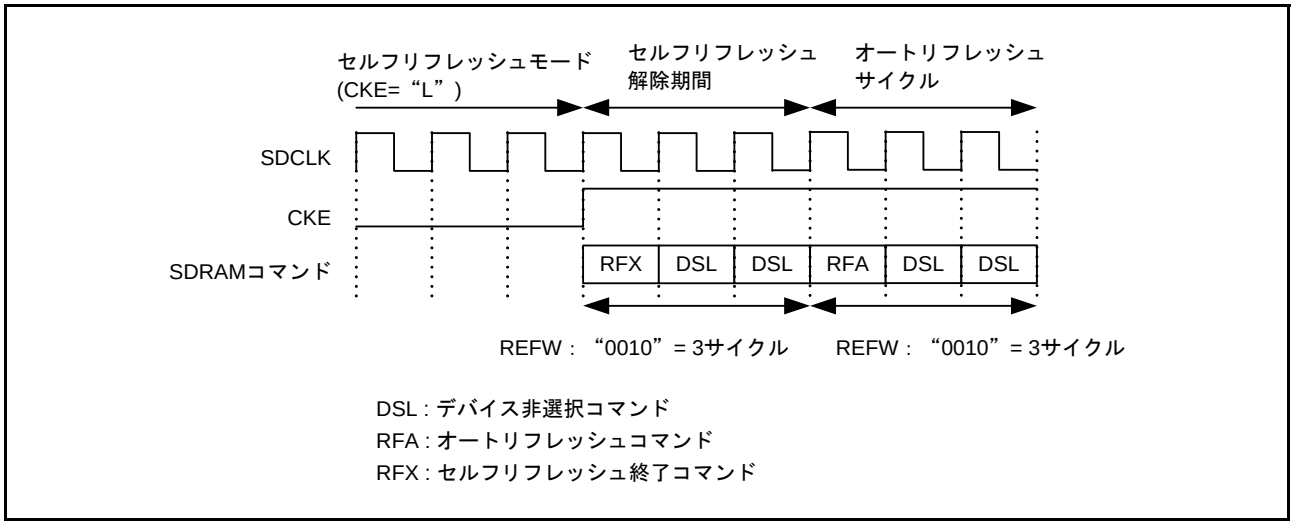


図 16.52　セルフリフレッシュモード復帰タイミング例

(1)　全モジュールクロックストップモードでのセルフリフレッシュ

全モジュールクロックストップモードでのセルフリフレッシュモードへの移行は、「16.6.12.2　セルフリフレッシュモードへの移行 / 復帰手順」に従い、セルフリフレッシュモードに移行後、全モジュールクロックストップモードへの移行のための設定を行ってください。

全モジュールクロックストップモード解除後は、「16.6.12.2　セルフリフレッシュモードへの移行 / 復帰手順」に従ってください。

全モジュールクロックストップモードへの移行、解除の詳細については、「11.　消費電力低減機能」を参照してください。

(2) ソフトウェアスタンバイモードでのセルフリフレッシュ

ソフトウェアスタンバイモードでのセルフリフレッシュモードへの移行は、**「16.6.12.2 セルフリフレッシュモードへの移行 / 復帰手順」**に従い、セルフリフレッシュモードに移行後、ソフトウェアスタンバイモードへの移行のための設定を行ってください。ソフトウェアスタンバイモードでは、スタンバイコントロールレジスタの出力ポートイネーブルビット（SBYCR.OPE ビット）を “1” にし、アドレスバス、バス制御信号の出力状態を保持してください。

ソフトウェアスタンバイモード解除後は、**「16.6.12.2 セルフリフレッシュモードへの移行 / 復帰手順」**に従ってください。

ソフトウェアスタンバイモードへの移行、解除の詳細については、**「11. 消費電力低減機能」**を参照してください。

(3) ディープソフトウェアスタンバイモードでのセルフリフレッシュ

ディープソフトウェアスタンバイモードへは、ソフトウェアスタンバイモードを介して移行します。ディープソフトウエアスタンバイモード時の端子状態はソフトウェアスタンバイモード時の状態を保持しています。したがって、ディープソフトウェアスタンバイモードにおいてもソフトウェアスタンバイモードと同様の手順で、セルフリフレッシュに移行することができます。

ディープソフトウェアスタンバイモードでは、ソフトウェアスタンバイモードでのセルフリフレッシュの設定に加え、ディープスタンバイコントロールレジスタの I/O ポート保持（DPSBYCR.IOKEEP ビット）を 1 にセットした上で、セルフリフレッシュモードへ移行してください。

ディープソフトウェアスタンバイモード解除時には、内部リセットにより SDRAMC の内部状態がリセットされますので、SDRAM 関連の制御レジスタの再設定が必要になります。ディープソフトウエアスタンバイモード解除後は、セルフリフレッシュを解除するために以下の手順に従ってください。図 16. 53 にディープソフトウェアスタンバイモードでのセルフリフレッシュタイミング例を示します。

ディープソフトウェアスタンバイモードへの移行、解除の詳細については、**「11. 消費電力低減機能」**を参照してください。

1. ディープソフトウェアスタンバイモード時は、DPSBYCR.IOKEEP ビットによる端子状態の保持により、CKE 信号は Low 出力の状態が保持されています。
2. SDRAMC へのクロックの供給を開始してください。
3. ディープソフトウエアスタンバイモードにともなう内部リセットで初期化された SDRAM 関連の制御レジスタ（SDCMOD、SDAMOD、SDADR、SDTR）を再設定後、オートリフレッシュを有効（SDRFEN.RFEN=“1”）にしてください。
4. SDSR レジスタのすべてのステータスビットが “0” にクリアされていることを確認し、SDSELF.SFEN ビットに “1” を設定し、セルフリフレッシュモードに再設定してください。
5. 以下の手順に従って、ポートの設定を SDRAM インタフェースに変更してください。
   (1) SDRAM 端子のイネーブルビット（PFBCR1.MDSDE、PFBCR1.DQM1E）を、それぞれ、“1” に設定し、ポートの設定を SDRAM に再設定してください。
   (2) SDCLK 端子のイネーブルビット（PFBCR1.SDCLKE）を “1” に設定し、SDCLK 端子の設定を出力有効に再設定してください。
   (3) DPSBYCR.IOKEEP ビットを “0” にして I/O ポートの保持状態を解除してください。
6. CKCR.PSTOP0 ビットを “0” にして、SDCLK 端子から SDRAM へのクロックの供給を開始してください。
7. SDSR レジスタのすべてのステータスフラグが “0” になっていることを確認後、SDSELF.SFEN ビットに “0” を設定し、セルフリフレッシュを解除してください。

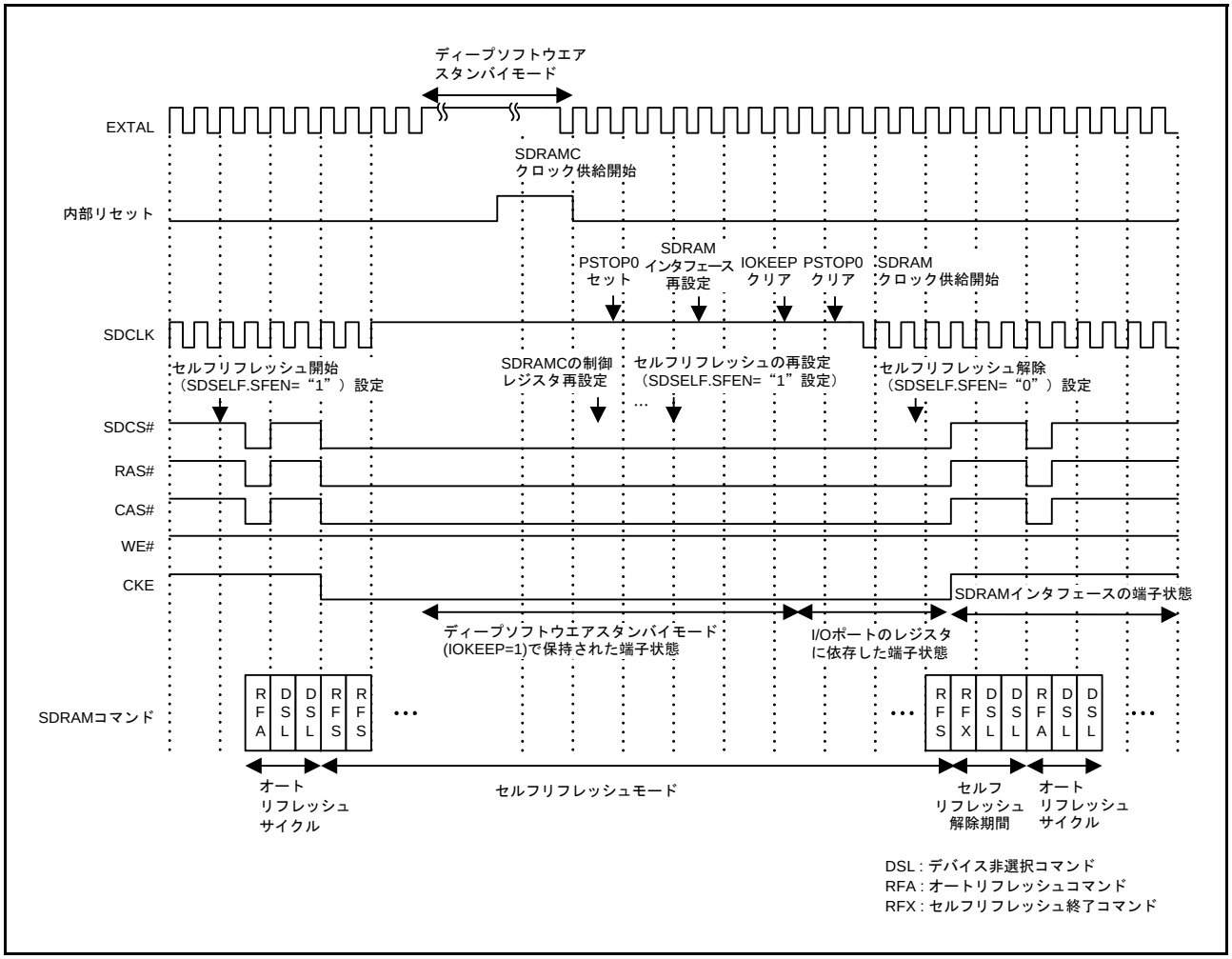


図 16.53　セルフリフレッシュタイミング例（ディープソフトウェアスタンバイモード時）

16.6.8　オートリフレッシュ

オートリフレッシュサイクルは、SDRAM オートリフレッシュ制御レジスタのオートリフレッシュ動作有効ビット（SDRFEN.RFEN）に “1” にすると開始されます。以後リフレッシュカウンタにより定期的にリフレッシュ要求が発生し、オートリフレッシュサイクルが起動されます。ただし、リフレッシュ要求はリード／ライトアクセス中には受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。連続アクセス中にオートリフレッシュ要求が発生した場合は、バスマスタからの 1 転送要求に対するバスアクセスが終了した後に、オートリフレッシュサイクルが開始されます。

SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。また、CS 領域アクセスとリフレッシュ要求は同時に行うことができます。ただし、リフレッシュコマンド発行に必要な SDCS#/RAS#/CAS#/WE#/CKE 信号は、SDRAM アクセス専用の信号でなければなりません。

なお、オートリフレッシュサイクル開始後、再度 SDRFEN.RFEN ビットを “1” にすると、リフレッシュ要求が発生します。ただし、リード／ライトアクセス中の場合は、アクセス終了後にリフレッシュ要求が発生します。

リフレッシュカウンタは、セルフリフレッシュ中は停止します。セルフリフレッシュ復帰後は、オートリフレッシュサイクルを起動した後、カウンタ値がリセットされカウントが再開されます。

図 16.54 にオートリフレッシュサイクルのタイミング例を示します。

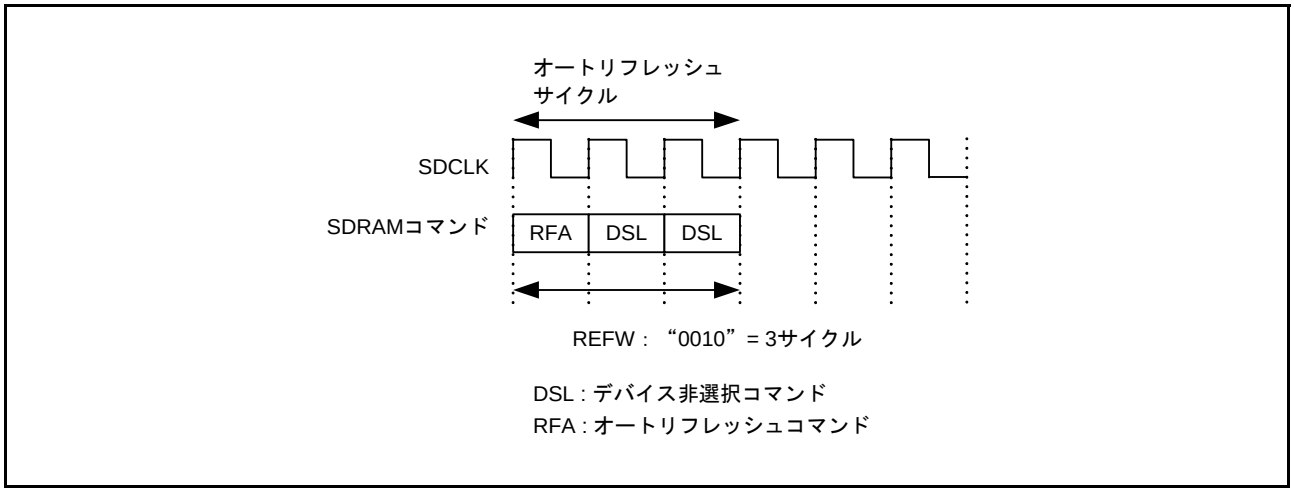


図 16.54　オートリフレッシュサイクルタイミング例（1）

図 16.55 にシングルアクセス中にオートリフレッシュ要求が発生した場合、図 16.56 に連続アクセス中にオートリフレッシュ要求が発生した場合の動作例を示します。

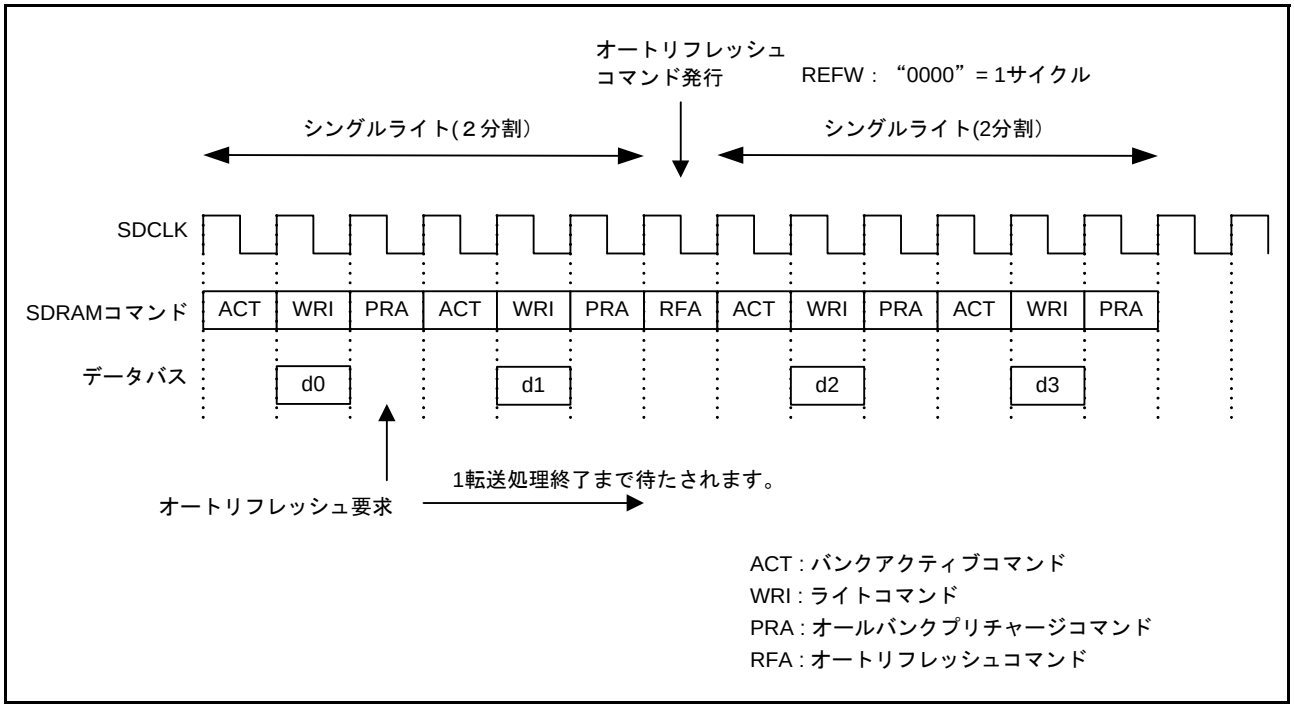


図 16.55　オートリフレッシュサイクルタイミング例（2）
（シングルアクセス中にオートリフレッシュ要求があった場合）

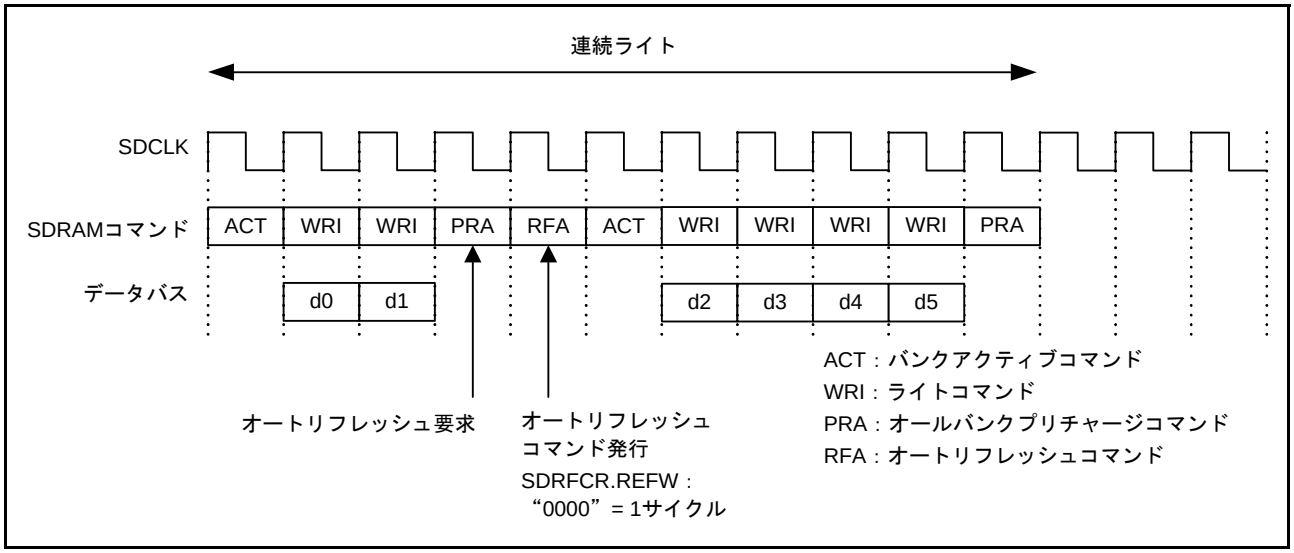


図 16.56　オートリフレッシュサイクルタイミング例（3）
（連続アクセス中にオートリフレッシュ要求があった場合）

16.6.9　初期化シーケンサ

SDRAMC は、SDRAM を初期化するためのコマンドを発行するシーケンサを備えています。初期化シーケンスの起動はリセット後に必ず行ってください。初期化しなかった場合の動作は保証されません。

SDRAM の初期化シーケンサは、オールバンクプリチャージコマンドの発行、および n(n=1~15) 回のオートリフレッシュコマンドの発行を順に行います。初期化シーケンサのタイミング設定は SDRAM 初期化レジスタ（SDIR）で行ってください。初期化シーケンスの起動は SDRAM 初期化シーケンス制御レジスタ（SDICR）で行ってください。これらのレジスタの設定は、**「表 16.15　レジスタの書き替え条件」**の条件を満たしているときのみ行ってください。

図 16.57 に初期化シーケンスタイミング例を示します。SDIR.ARFC[3:0] ビットが 2 回以上に設定されている場合は、初期化オートリフレッシュサイクルが繰り返されます。

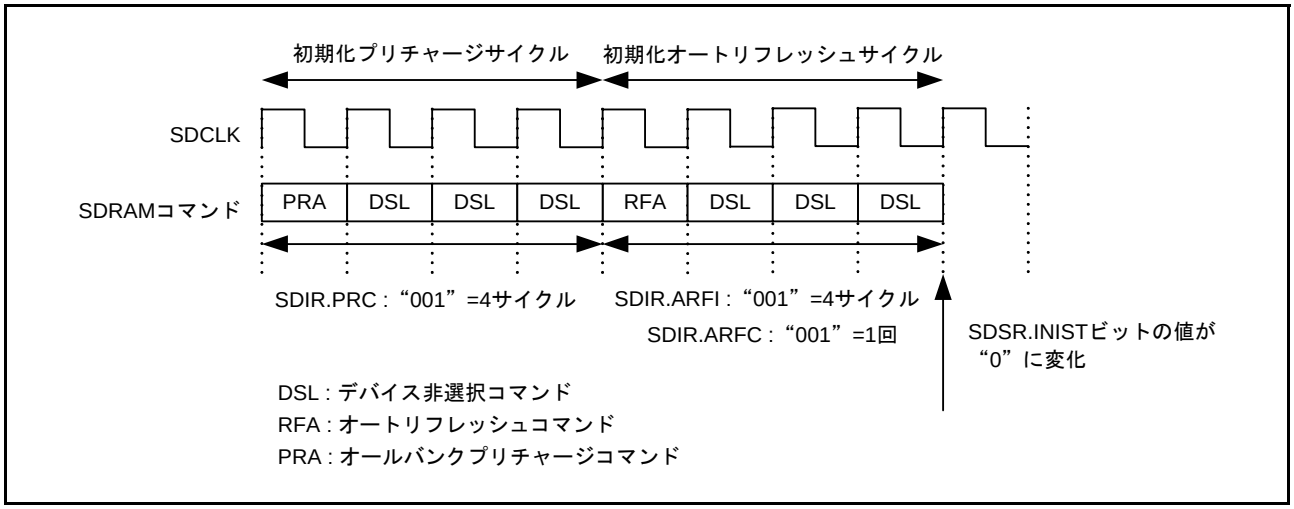


図 16.57　初期化シーケンスタイミング例

16.6.10 リード／ライトアクセス

SDRAMC のリード / ライトアクセスには、以下の 2 種類があります。

- シングルアクセス：アクセスの度にロウアドレスを出力してデータをアクセスします。
- 連続アクセス：同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後は、カラムアドレスを変更するだけでデータに高速にアクセスします。

EXDMAC のクラスタ転送、あるいはシングルアドレスモードブロック転送の場合、SDRAM アクセスモードレジスタの連続アクセスイネーブルビット（SDAMOD.BE ＝ 1）の設定により、SDRAM の連続アクセス動作が可能になります。

EXDMAC からの 1 転送データサイズが外部バス幅以下、かつ非アライメントアクセスでない場合のように、1 回の転送要求によりバスアクセスが 1 回で終わるときのみ、連続アクセス動作が可能となります。

上記の条件を満たさない場合は、連続アクセスモードに設定することは禁止しており、設定された場合の動作は保証していません。

また、連続アクセスモード時に SDTR レジスタの SDRAMC カラムレイテンシ設定ビット (SDTR.CL[2:0]) に “1”（CL=1）を設定することは禁止しており、設定された場合の動作は保証していません。

SDAMOD.BE ＝ 0 のときは、EXDMAC のクラスタ転送、シングルアドレスモードブロック転送についてもシングルアクセスとなります。

(1) シングルアクセス

図 16.58、図 16.59 にシングルリード、図 16.60 にシングルライトを行う場合のタイミング例を示します。アクセスタイミングは、SDRAM タイミングレジスタ（SDTR）の設定によって変化します。詳細は「16.6.12.3 **タイミングレジスタ設定値とアクセスタイミング**」を参照してください。

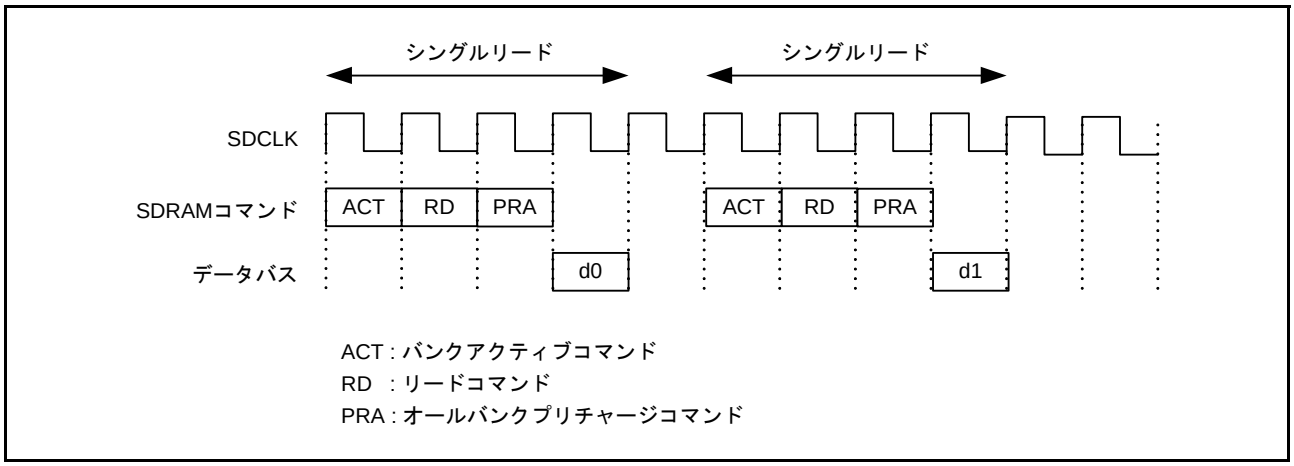


図 16.58 シングルリードタイミング例（SDTR.CL[2:0] ビット = 010b：2 サイクルの場合）

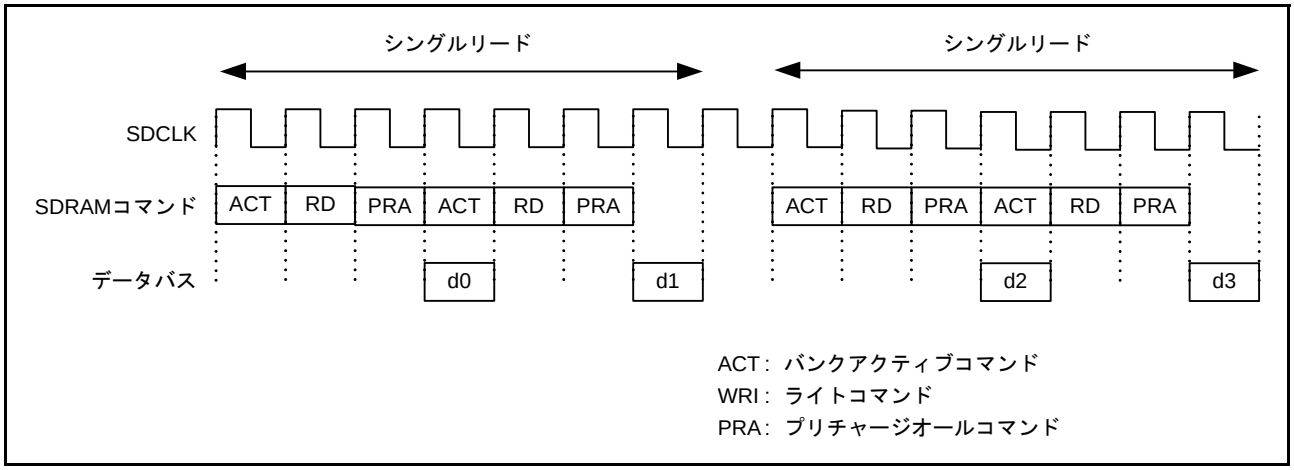


図 16.59　シングルリードタイミング例（EXDMAC のクラスタ転送、またはシングルアドレスモード ブロック転送、SDAMOD.BE = 0、SDTR.CL[2:0] = 010b：2 サイクルの場合）

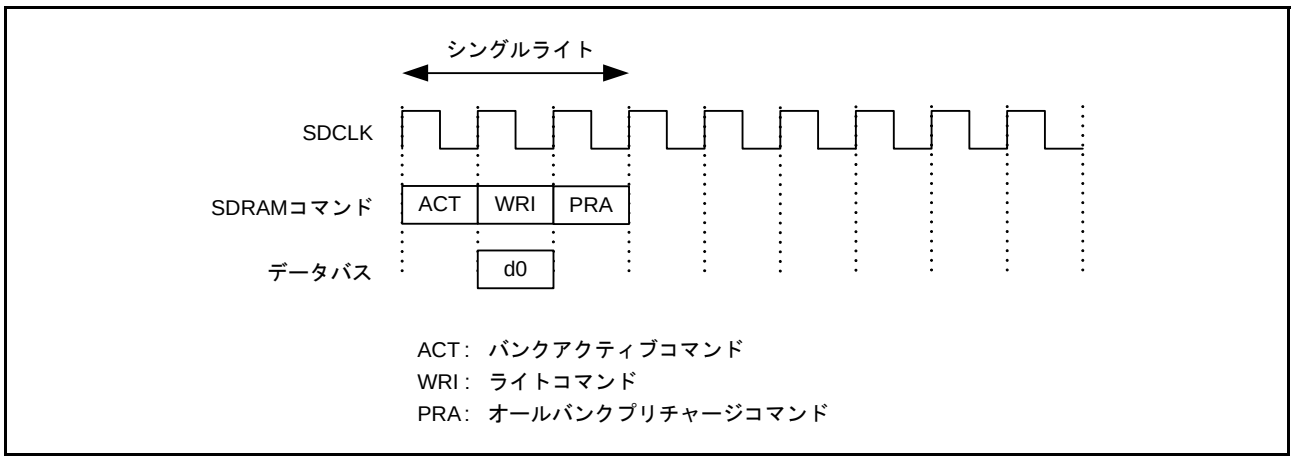


図 16.60　シングルライトタイミング例（最短タイミング設定時）

(2)　連続アクセス

図 16.61 に連続リードを、図 16.62 に連続ライトを行う場合のタイミング例を示します。

また、転送中に SDRAM のロウアドレスが変化する場合、自動的にロウの非活性化、活性化を行います。

図 16.63 に連続ライトでロウアドレスが変化する場合のタイミング例を示します。

アクセスタイミングは、SDRAM タイミングレジスタ（SDTR）の設定によって変化します。詳細は「16.6.12.3　タイミングレジスタ設定値とアクセスタイミング」を参照してください。

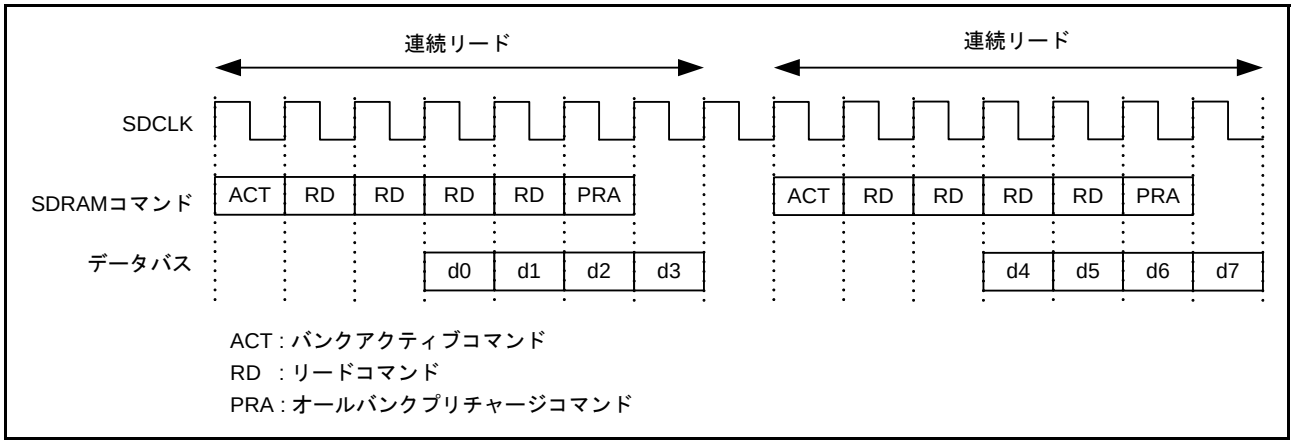


図 16.61　連続リードタイミング例（SDAMOD.BE = 1、SDTR.CL[2:0] = 010b：2 サイクルの場合）

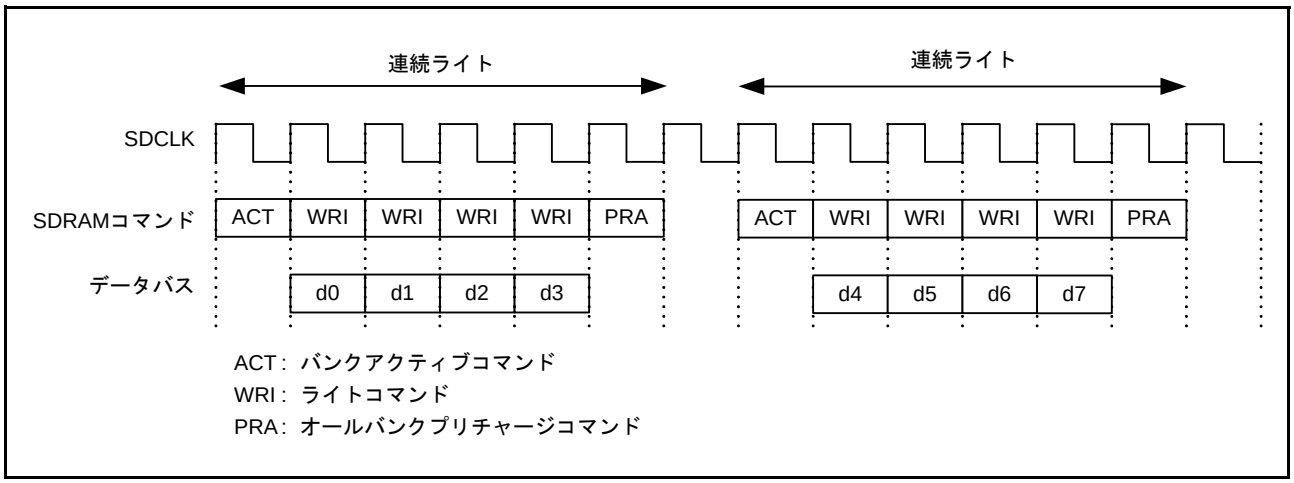


図 16.62　連続ライトタイミング例（SDAMOD.BE = 1、最短タイミング設定時）

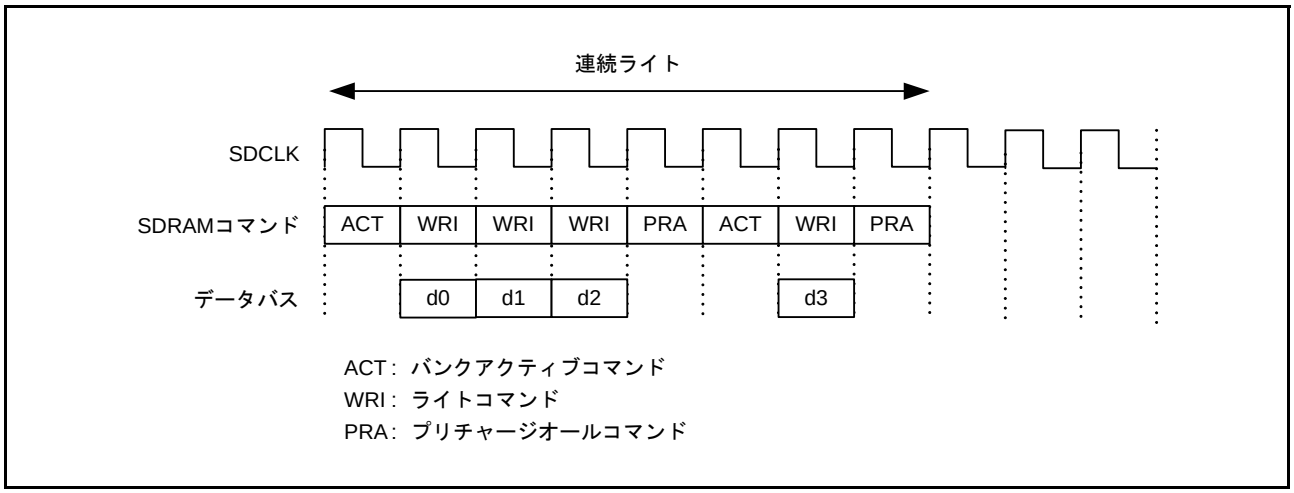


図 16.63　連続ライトタイミング例（SDAMOD.BE = 1、最短タイミング設定時）／ロウアドレスが変換

16.6.11 モードレジスタ設定

SDRAM モードレジスタ（SDMOD）に書くことにより、SDRAM に対しモードレジスタ設定コマンドを発行し、アドレスの下位側に SDMOD.MR[14:0] ビットに設定した値が出力されます。データバス幅が 8 ビットの場合は A14 ～ A0 に、16 ビットの場合は A15 ～ A1 に、32 ビットの場合は A16 ～ A2 に出力されます。したがって、モードレジスタ設定前に、SDCCR.BSIZE[1:0] を設定し、SDRAM のデータバス幅を確定させておく必要があります。

図 16.64 にモードレジスタ設定動作タイミングを示します。

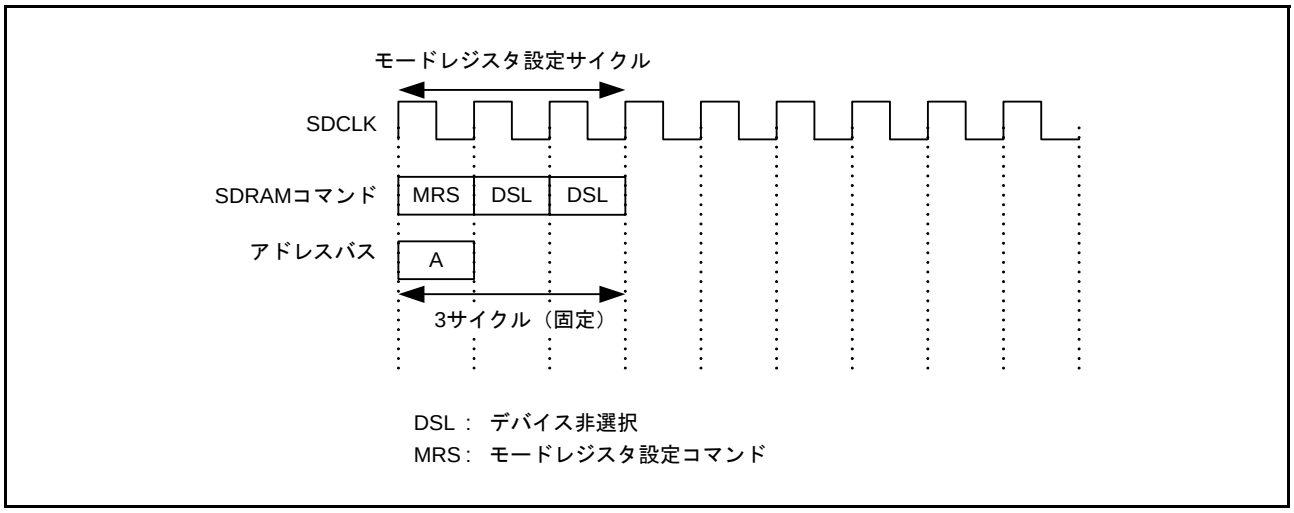


図 16.64 モードレジスタ設定動作タイミング

16.6.12　SDRAMC 設定例

ここでは SDRAMC の設定手順、タイミングレジスタの設定例、セルフリフレッシュモードへの移行／復帰手順について説明します。

16.6.12.1　SDRAMC のアクセス設定手順

図 16.65 に SDRAMC の設定手順を示します。

なお、使用される SDRAM により、パワーアップシーケンス等の仕様が異なる場合があります。SDRAM の仕様を十分ご検討の上、システム設計を行なってください。

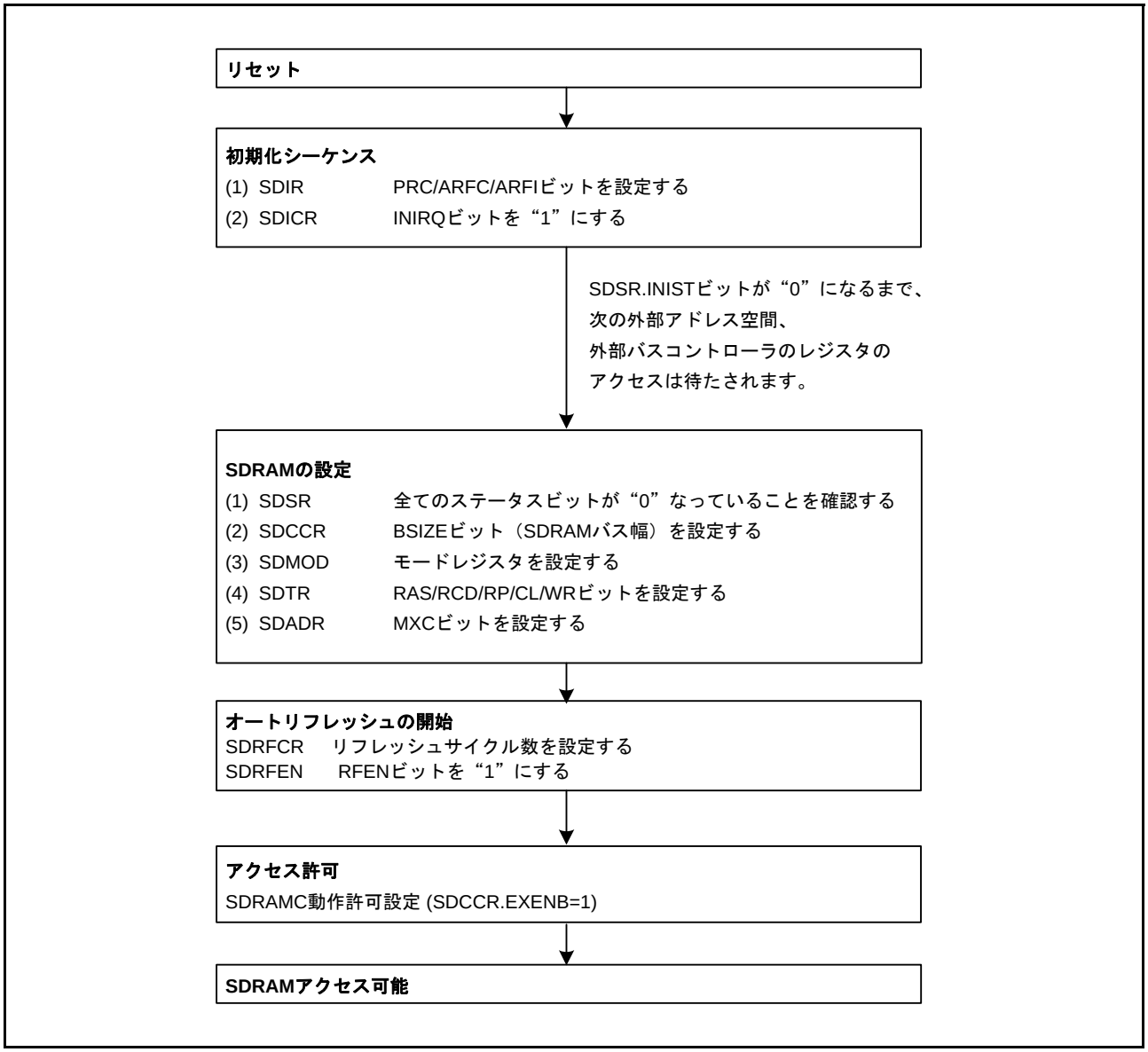


図 16.65　SDRAMC の設定手順

16.6.12.2　セルフリフレッシュモードへの移行 / 復帰手順

図 16.66 にセルフリフレッシュモードへの移行／復帰手順を示します。

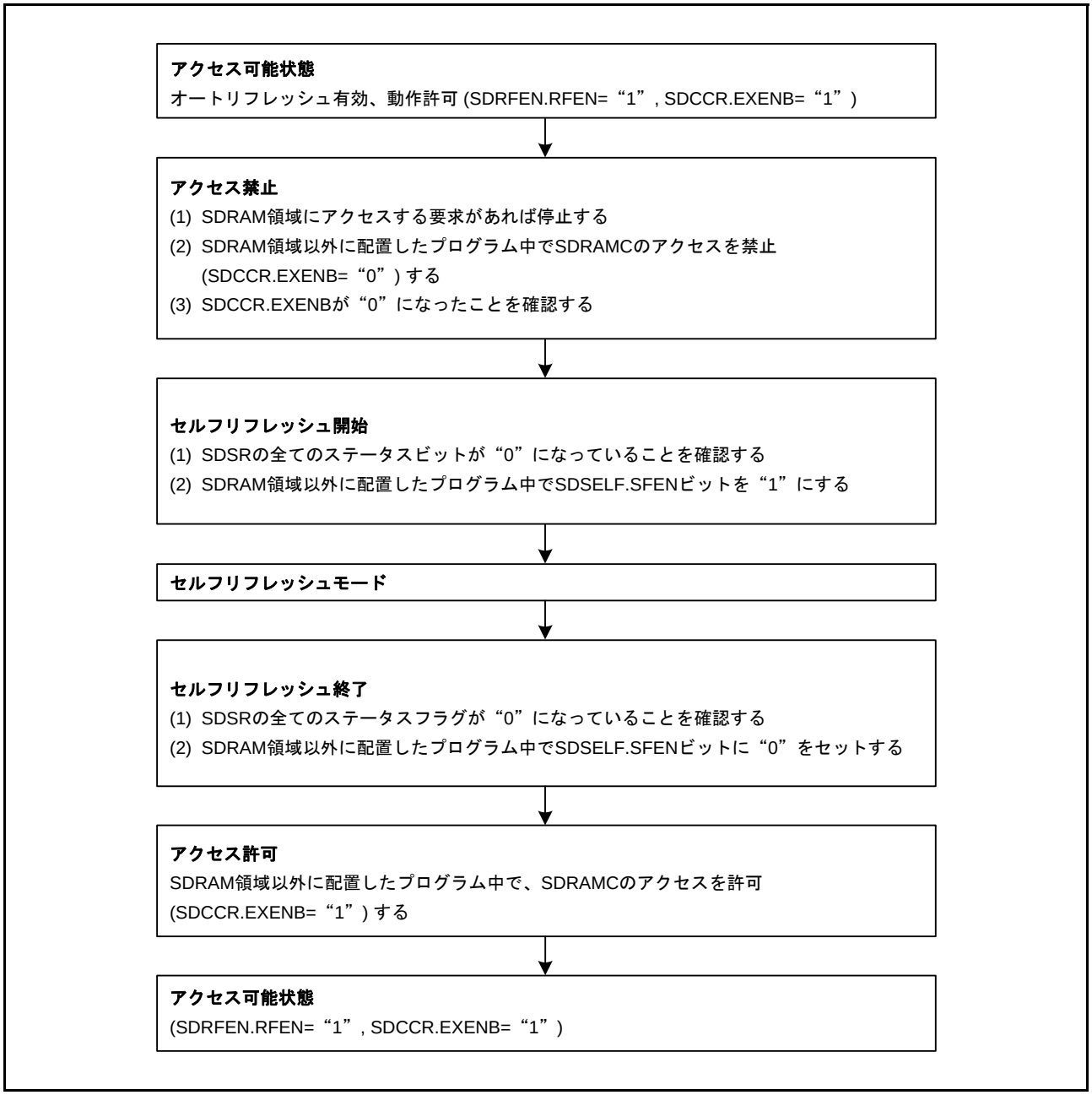


図 16.66　セルフリフレッシュモードへの移行／復帰手順

注 .　セルフリフレッシュモードへの移行／復帰時には、SDRAM アクセスを禁止する必要があります。従って、SDRAM をアクセス中は、セルフリフレッシュモードへの移行／復帰はできません。プログラミングの際には、以下の点に注意してください。
・セルフリフレッシュモードに移行する前に、SDRAM 領域のアクセスを禁止してください。
・セルフリフレッシュ移行時、セルフリフレッシュモード中、セルフリフレッシュモード復帰に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ（プリフェッチを含む）が生じないようにしてください。

図 16.67 にディープスタンバイモードでのセルフリフレッシュモードへの移行／復帰手順を示します。

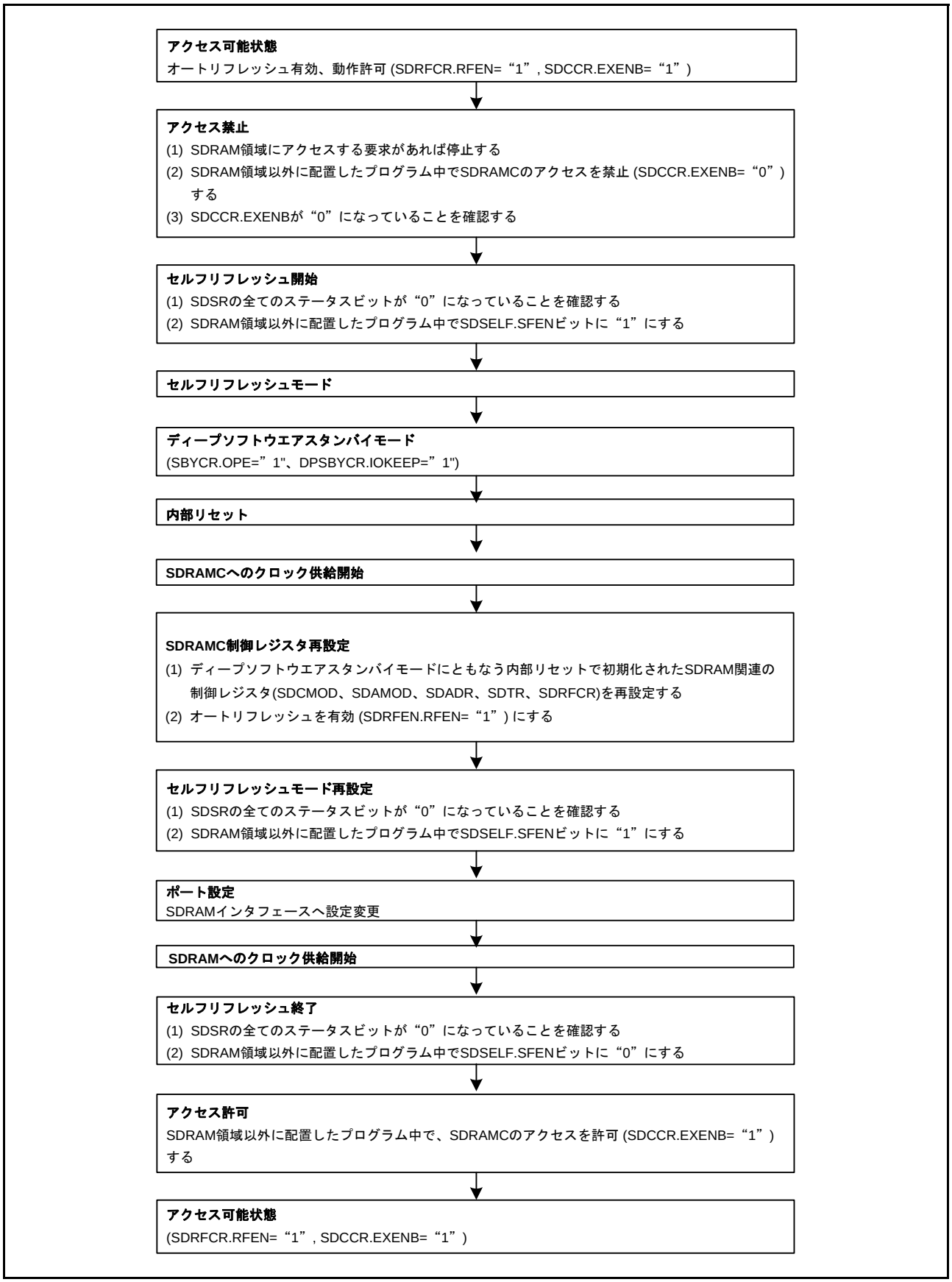


図 16.67　ディープソフトウェアスタンバイモードでのセルフリフレッシュモード移行・復帰手順

16.6.12.3 タイミングレジスタ設定値とアクセスタイミング

リード／ライトアクセスタイミングと、SDRAM タイミングレジスタ（SDTR）設定値の関連について説明します。

(1) シングルリードタイミング設定例

図 16.68 ～**図 16.72** に、シングルリードタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。**表 16.16** にそれぞれの図と SDTR レジスタ設定値の対応を示します。

リードアクセスの場合は、最短でリードデータが有効になった 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合には、**図 16.72** のように、最短でリードデータ有効の次のサイクルからバスアクセスが可能となります。

表 16.16 SDTR レジスタ設定値対応表（シングルリードタイミング）

図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図16.68	010	3	00	1	001	2	010	2
図16.69	000	1	01	2	001	2	010	2
図16.70	000	1	01	2	001	2	011	3
図16.71、図16.72	010	3	00	1	000	1	010	2

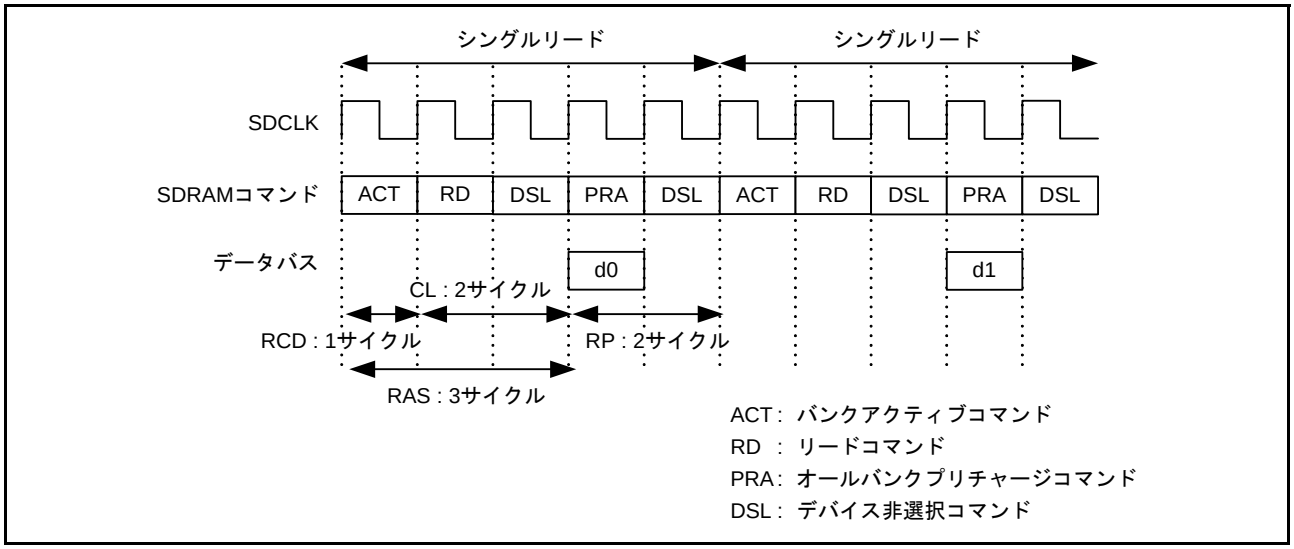


図 16.68 シングルリードタイミング例（1）

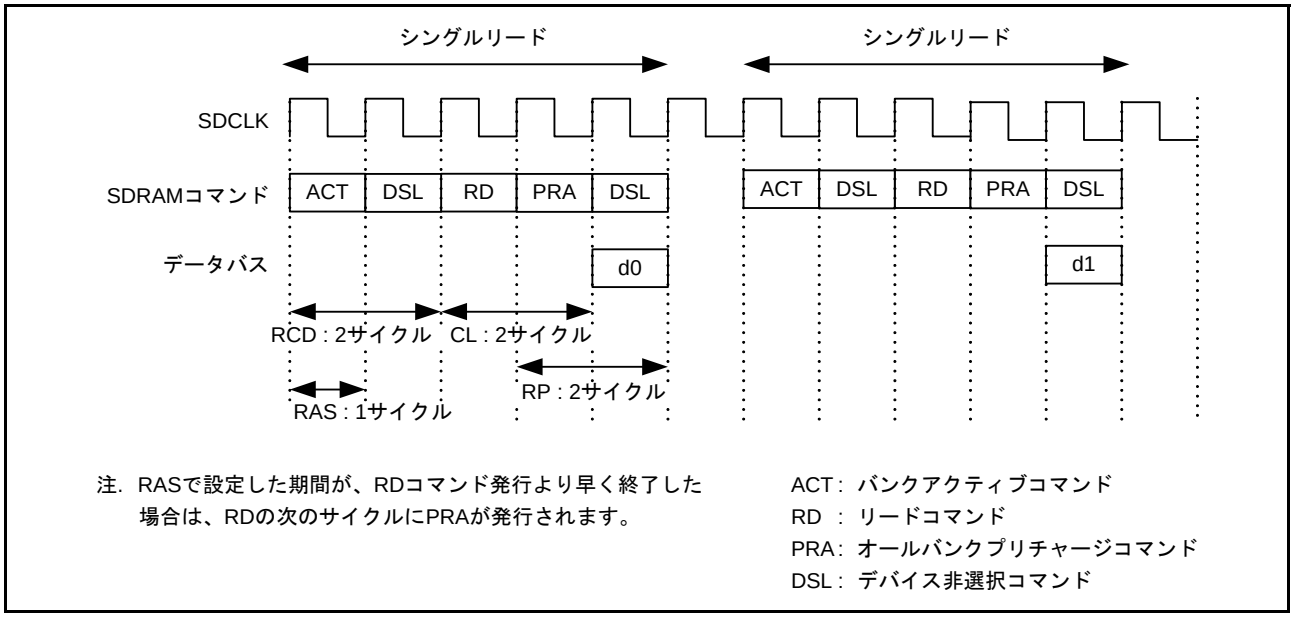


図 16.69 シングルリードタイミング例（2）

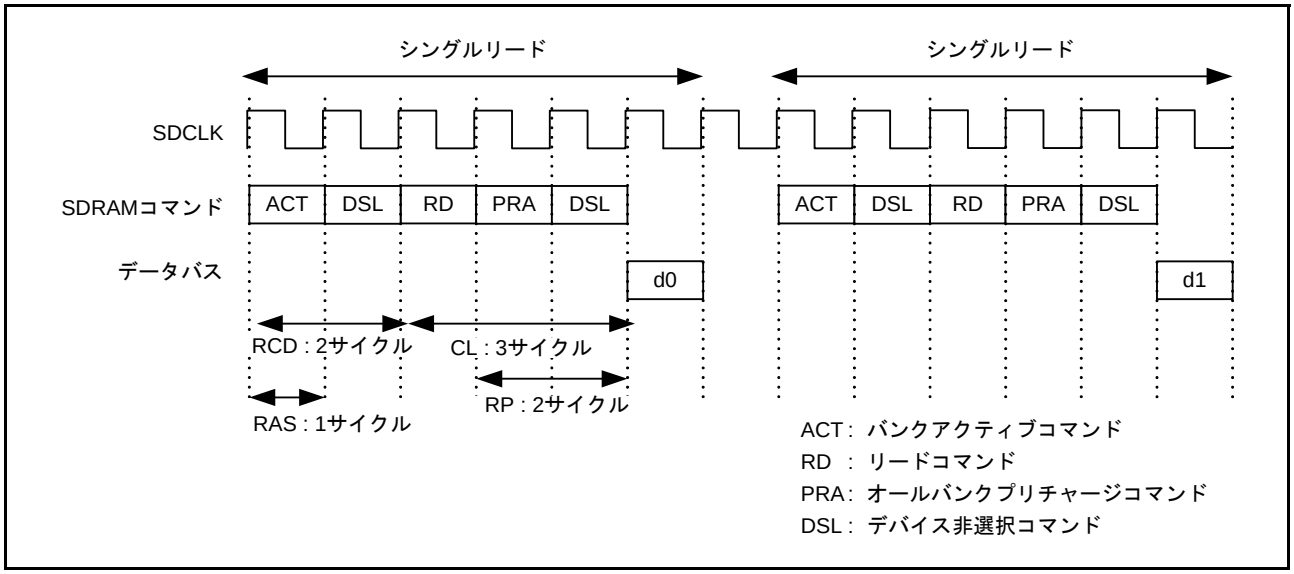


図 16.70 シングルリードタイミング例（3）

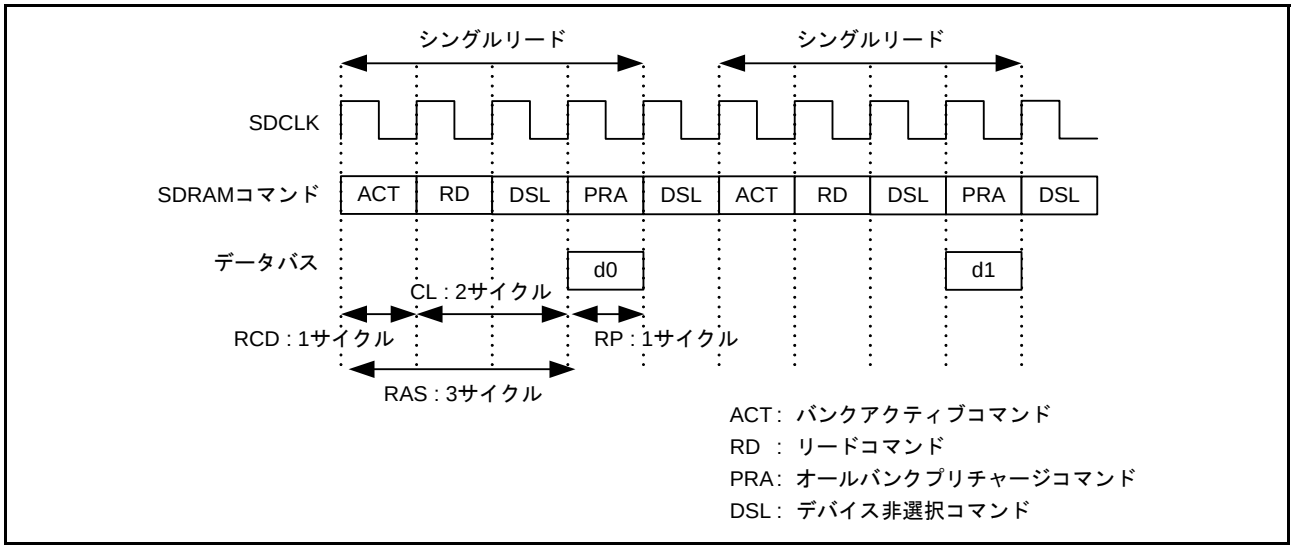


図 16.71 シングルリードタイミング例（4）

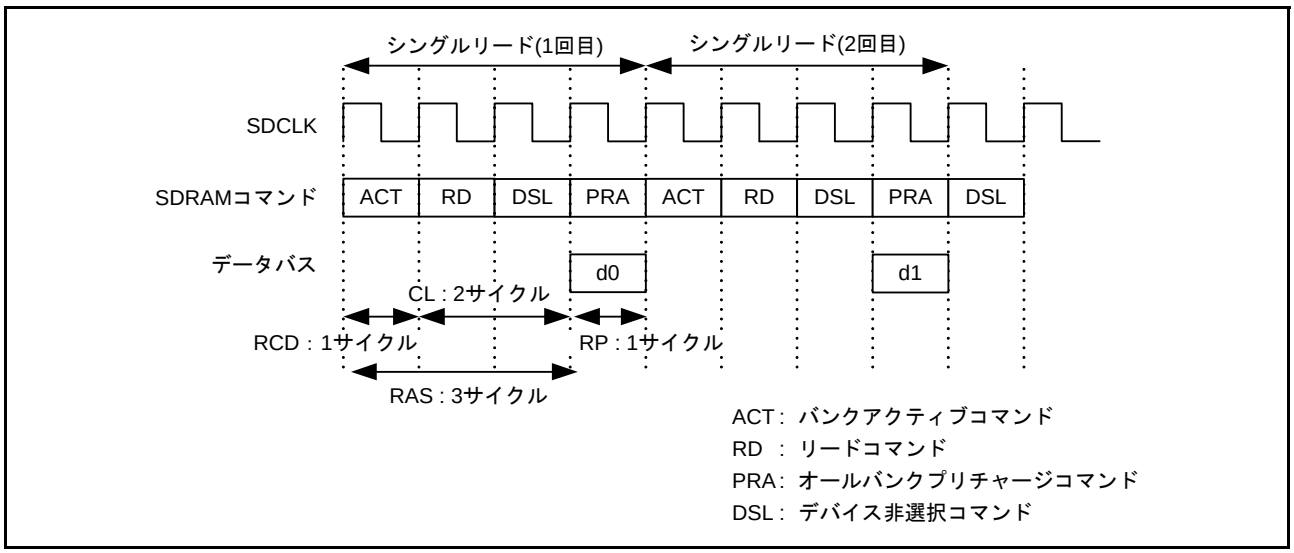


図 16.72 シングルリードタイミング例（5）（1 転送要求に対して 2 回バスアクセスが発生する場合）

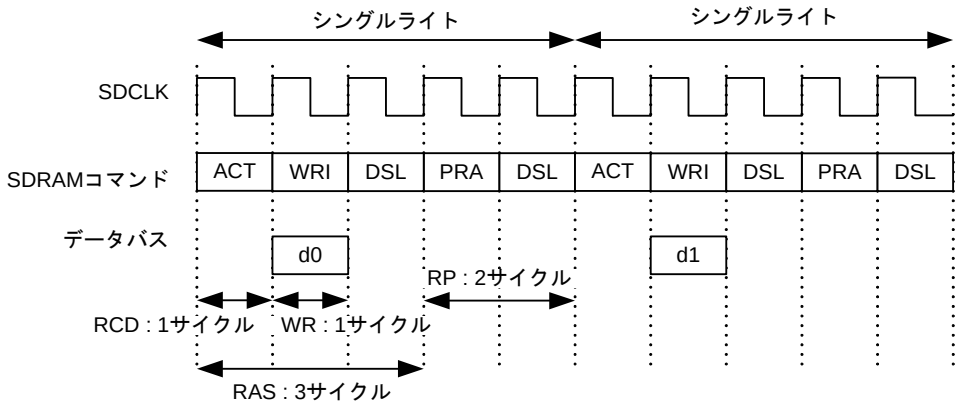
(2) シングルライトタイミング設定例

図 16.73 ～図 16.77 に、シングルライトタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。表 16.17 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

ライトアクセスの場合は、最短でオールバンクプリチャージコマンド（PRA）が発行された 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合には、図 16.77 のように、最短で PRA 発行の次のサイクルからバスアクセスが可能となります。

表16.17　SDTRレジスタ設定値対応表（シングルライトタイミング）

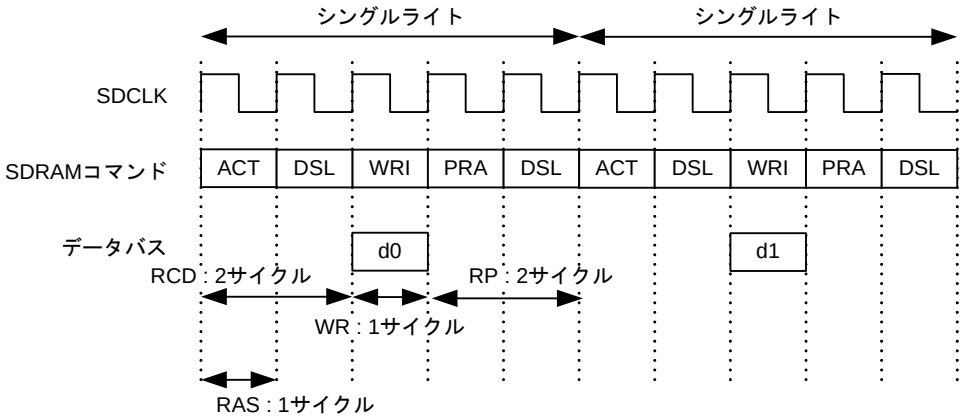
図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図16.73	010	3	00	1	001	2	0	1
図16.74	000	1	01	2	001	2	0	1
図16.75	000	1	01	2	001	2	1	2
図16.76、図16.77	010	3	00	0	000	2	0	1



注.　RASで設定した期間が、WRIコマンド発行から
WR期間経過するよりも長い場合、RASが適用
されます。

ACT : バンクアクティブコマンド
WRI : ライトコマンド
PRA : オールバンクプリチャージコマンド
DSL : デバイス非選択コマンド

図 16.73　シングルライトタイミング例（1）



注.　RASで設定した期間が、WRIコマンド発行から
WR期間経過するよりも短い場合、
WRが適用されます。

ACT : バンクアクティブコマンド
WRI : ライトコマンド
PRA : オールバンクプリチャージコマンド
DSL : デバイス非選択コマンド

図 16.74　シングルライトタイミング例（2）

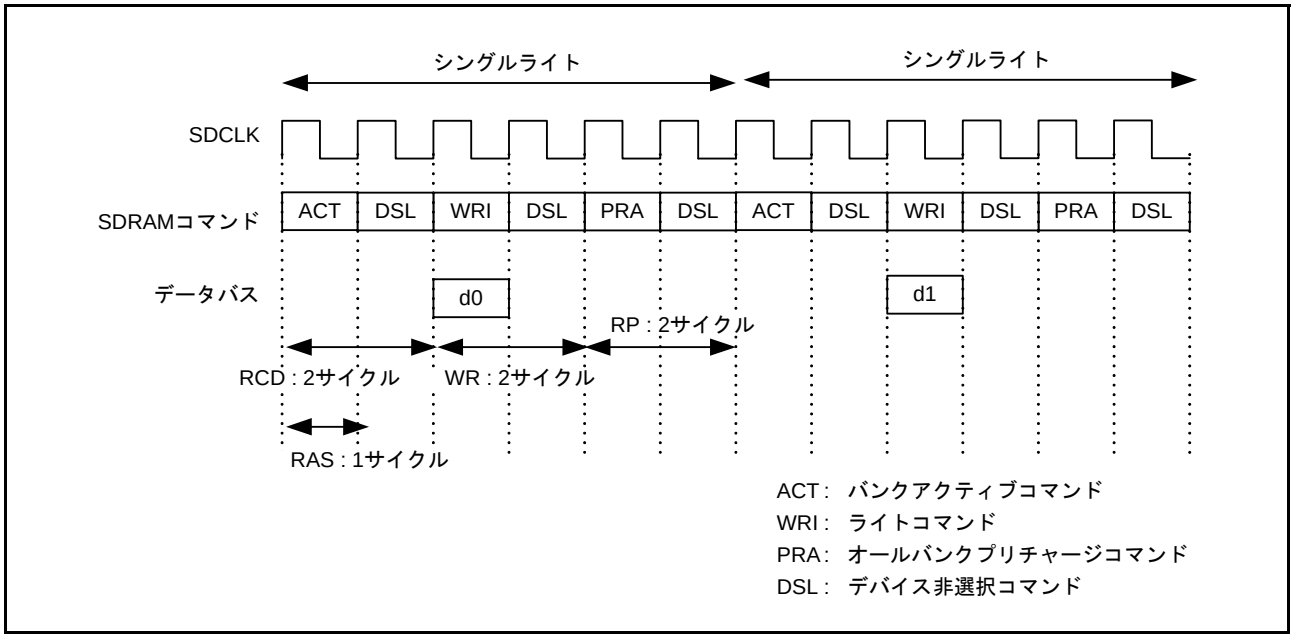


図 16.75 シングルライトタイミング例（3）

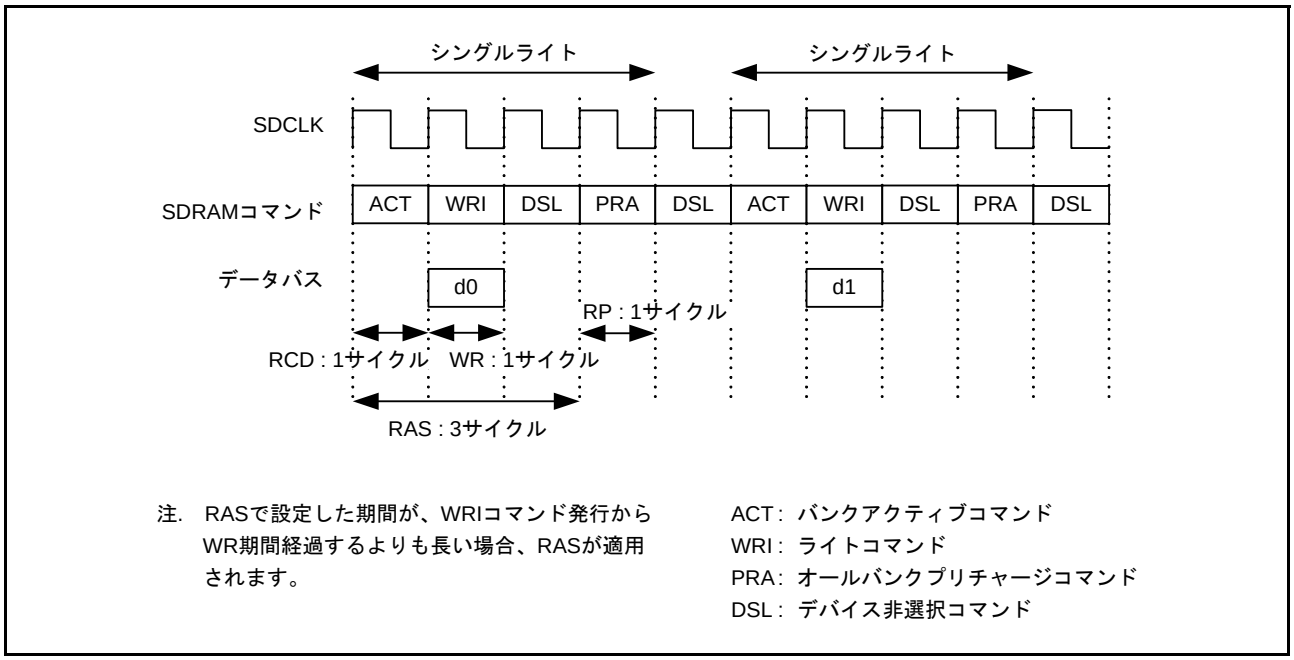
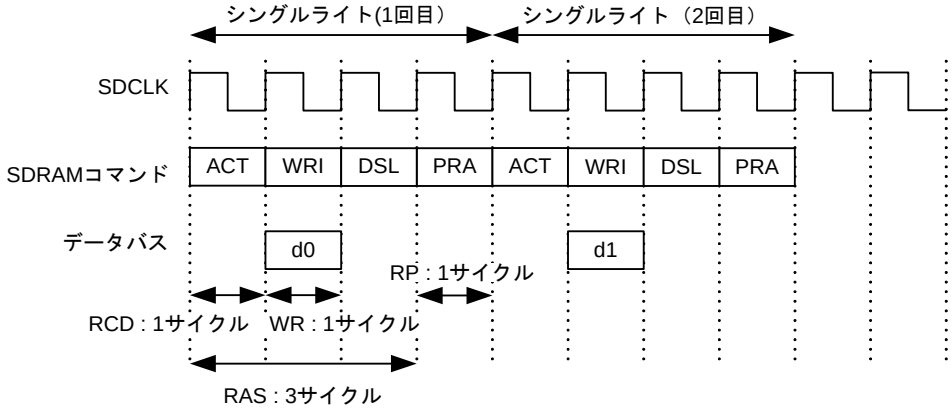


図 16.76 シングルライトタイミング例（4）



注. RASで設定した期間が、WRIコマンド発行から WR期間経過するよりも長い場合、RASが適用 されます。

ACT : バンクアクティブコマンド
WRI : ライトコマンド
PRA : オールバンクプリチャージコマンド
DSL : デバイス非選択コマンド

図 16.77 シングルライトタイミング例（5）（1 転送要求に対して 2 回バスアクセスが発生する場合）

(3) 連続リードタイミング設定例

図 16.78 ～図 16.80 に、4 データの連続リード時のタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。表 16.18 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

表16.18 SDTR設定値対応表（連続リードタイミング）

図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図16.78	010	3	00	1	001	2	010	2
図16.79	000	1	01	2	001	2	010	2
図16.80	000	1	01	2	001	2	011	3

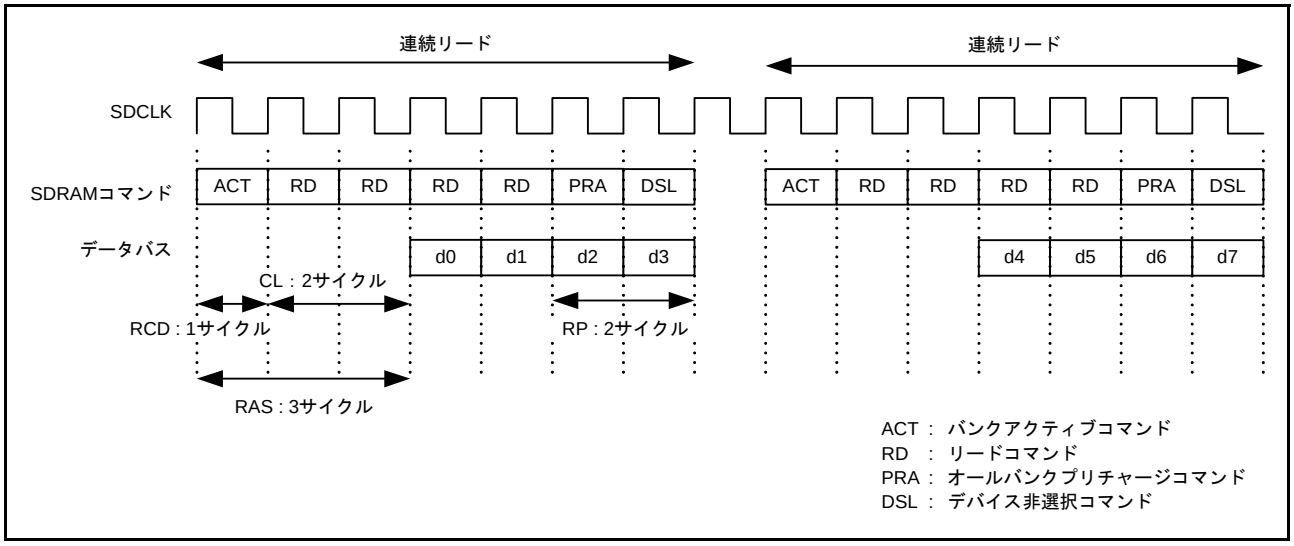


図 16.78 連続リードタイミング例（1）

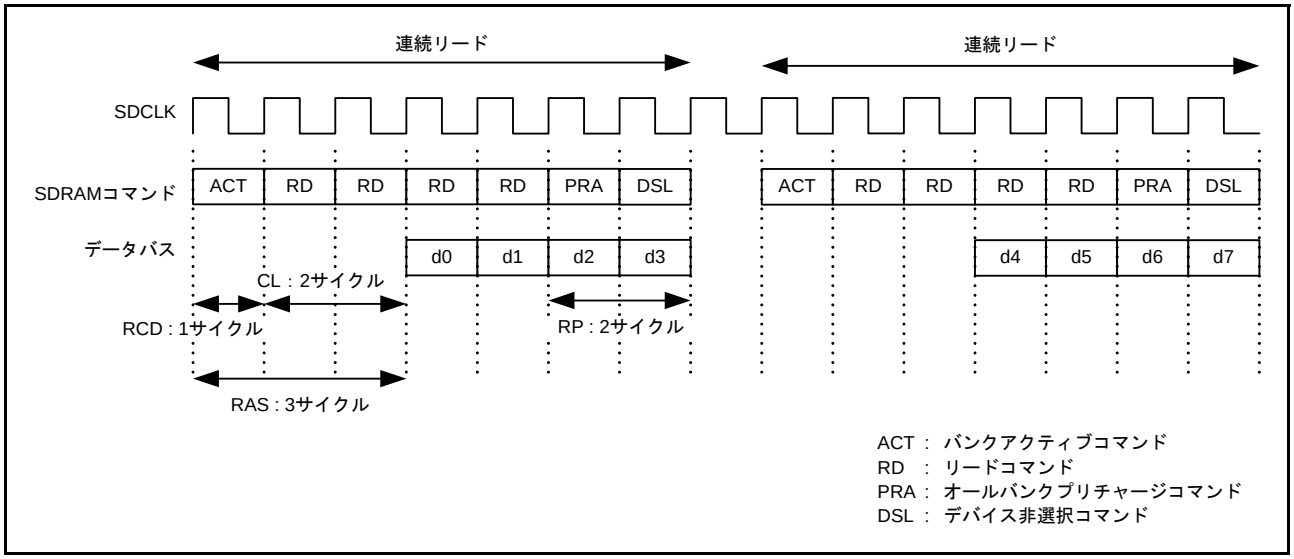


図 16.79 連続リードタイミング例（2）

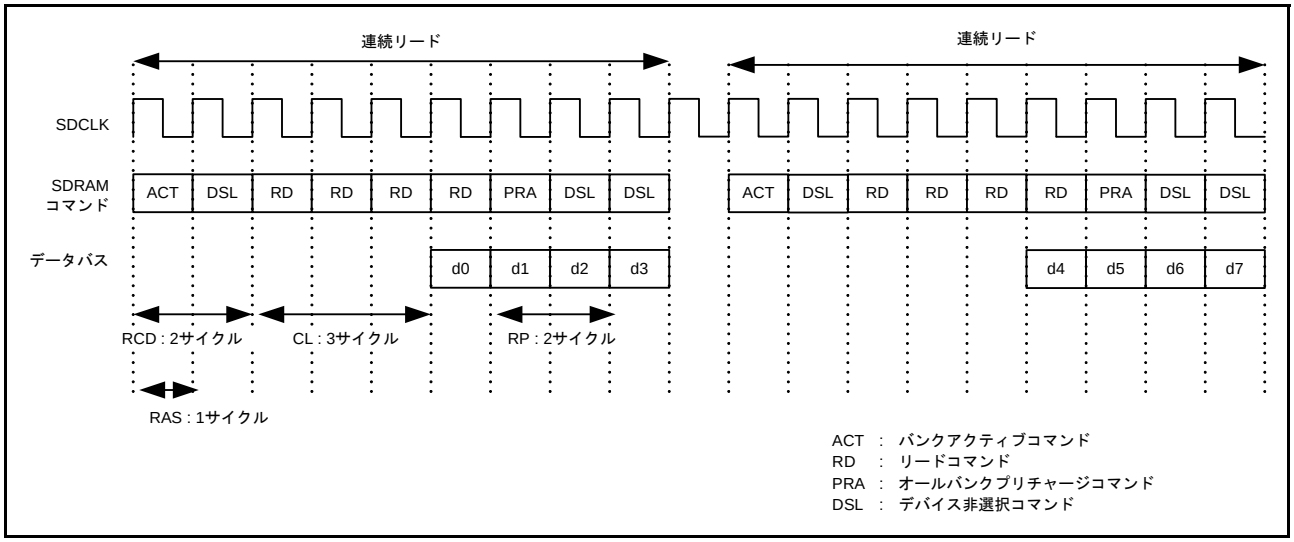


図 16.80 連続リードタイミング例（3）

(4) 連続ライトタイミング設定例

図 16.81 ～図 16.83 に、4 データの連続ライト時のタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。表 16.19 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

表16.19 SDTR設定値対応表（連続ライトタイミング）

図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図16.81	010	3	00	1	001	2	0	1
図16.82	000	1	01	2	001	2	0	1
図16.83	000	1	01	2	001	2	1	2

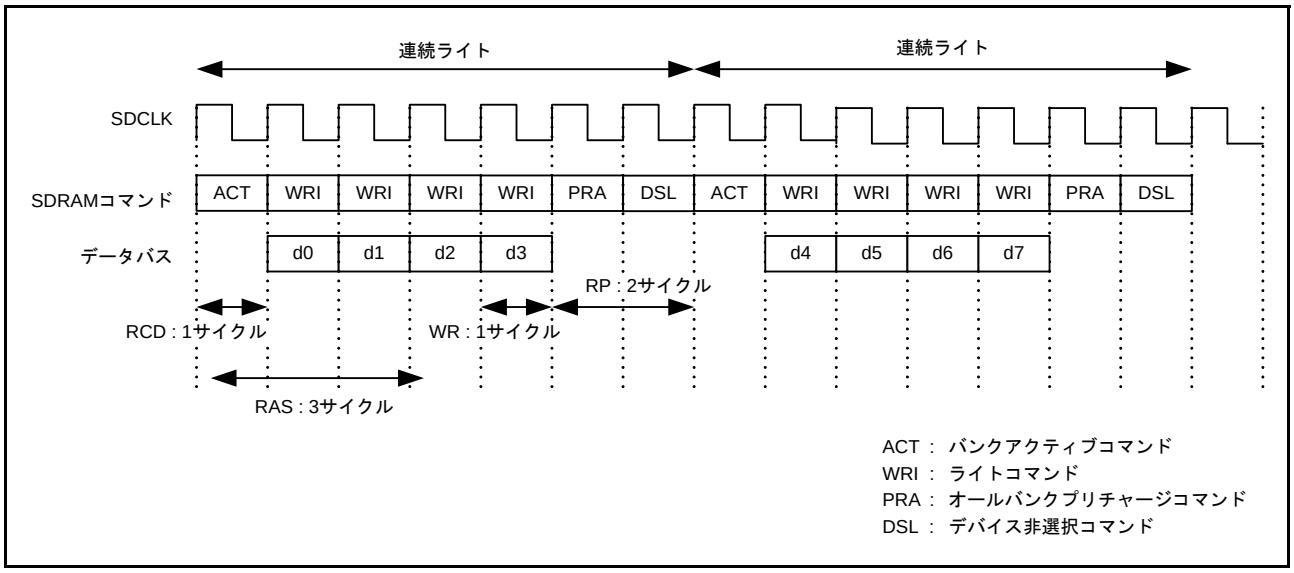


図 16.81 連続ライトタイミング例（1）

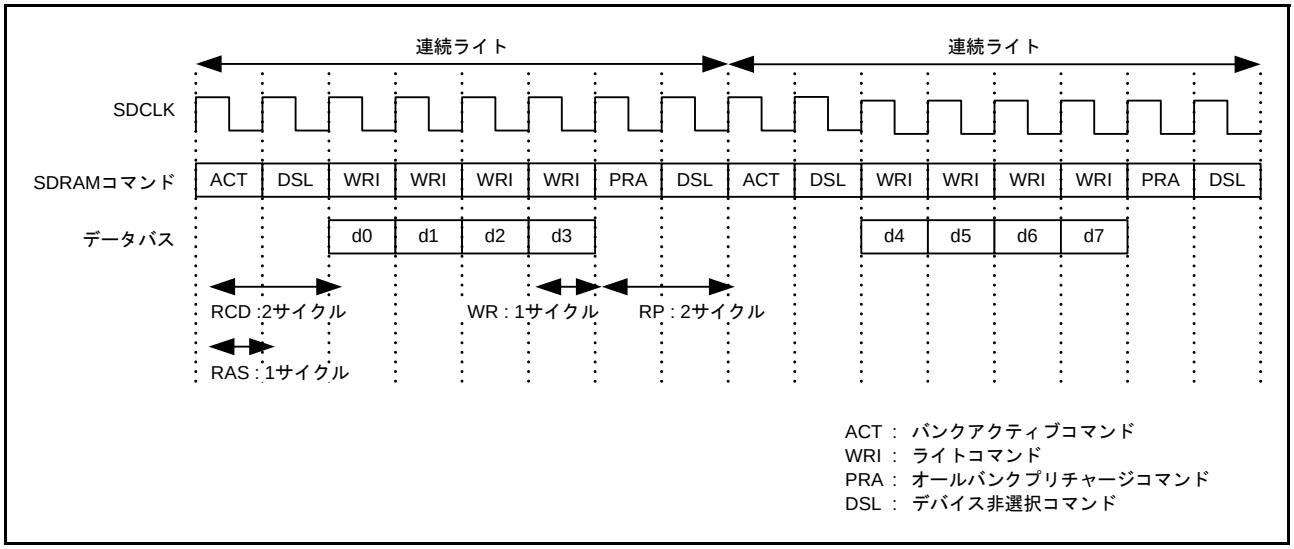


図 16.82 連続ライトタイミング例（2）

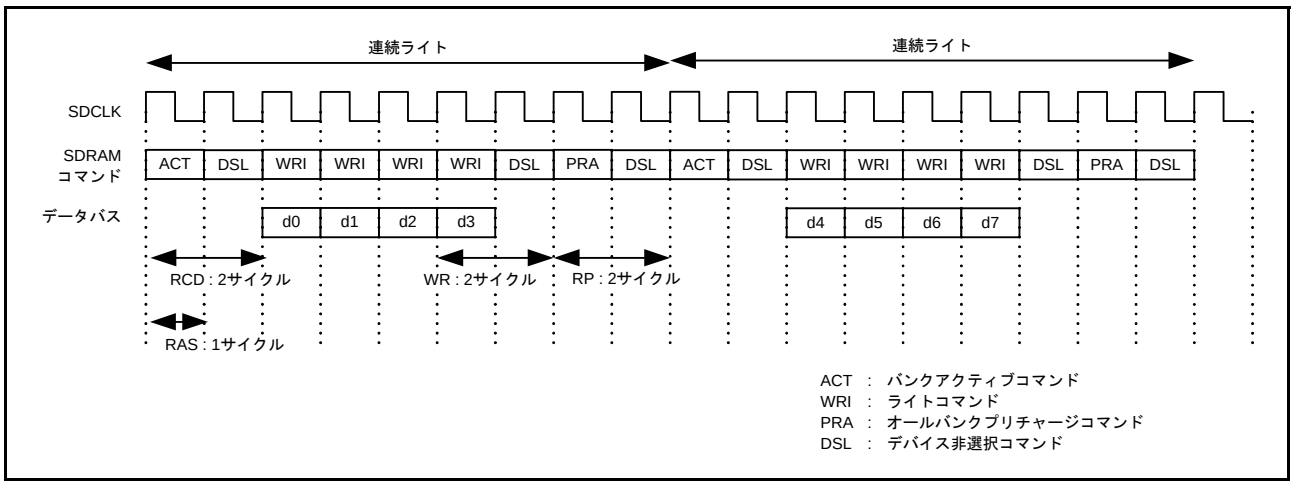


図 16.83 連続ライトタイミング例（3）

16.6.13　アドレスマルチプレクス

SDRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、SDRAM アドレスレジスタ（SDADR）のアドレスマルチプレクス選択ビット (SDADR.MXC[1:0]) により、ロウアドレスのシフト量を選択します。また、SDRAM 空間では、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。**表 16.20** に SDADR.MXC[1:0] ビットの設定値とシフト量の関係を示します。

表 16.20　アドレスマルチプレクス

MXC [1:0]	シフト量	データバス幅	アドレス	マイコン外部アドレス端子																		
				A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
00	8 ビット	8 ビット	ロウ	A26	A25	A24	A23	A22	A21	A20	A19	A18*	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	A20	A19	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16 ビット	ロウ	A26	A25	A24	A23	A22	A21	A20	A19*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	A20	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32 ビット	ロウ	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
01	9 ビット	8 ビット	ロウ	—	A26	A25	A24	A23	A22	A21	A20	A20*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	—	A26	A25	A24	A23	A22	A21	A20	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16 ビット	ロウ	—	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	—	A26	A25	A24	A23	A22	A21	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32 ビット	ロウ	—	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	—	A26	A25	A24	A23	A22	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
10	10 ビット	8 ビット	ロウ	—	—	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	—	—	A26	A25	A24	A23	A22	A21	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16 ビット	ロウ	—	—	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	—	—	A26	A25	A24	A23	A22	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32 ビット	ロウ	—	—	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	—	—	A26	A25	A24	A23	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
11	11 ビット	8 ビット	ロウ	—	—	—	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	—	—	—	A26	A25	A24	A23	A10	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16 ビット	ロウ	—	—	—	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	—	—	—	A26	A25	A24	A11	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32 ビット	ロウ	—	—	—	A26	A25	A24	A23*	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム				A26	A25	A12	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

注.　P ：　プリチャージ設定コマンド(Precharge-sel)を出力します。
　　＊ ：　PALL コマンド発行時は Precharge-sel=1(High) を、Active コマンド発行時は対応するアドレスを出力します。
　　— ：　Don't care を示します。

16.6.14　SDRAM 接続例

16.6.14.1　32 ビットバス空間の場合

図 16.84 にロウアドレス 13 ビット、カラムアドレス 10 ビット、512M ビット品、16 ビットバスの SDRAM を 2 個接続する場合の例を示します。

RX63N (LSI)（シフト量10ビット）					SDRAM（512Mビット、16ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A16	A26	A26	→	BA1(A14)	BA1	-	-
10	A15	A25	A25	→	BA0(A13)	BA0	-	-
11	A14	A24	A24	→	A12		A12	-
12	A13	A23	A23	→	A11		A11	-
13	A12	A22	P	→	A10	AP	A10	-
14	A11	A21	A11	→	A9		A9	A9
15	A10	A20	A10	→	A8		A8	A8
16	A9	A19	A9	→	A7		A7	A7
17	A8	A18	A8	→	A6		A6	A6
18	A7	A17	A7	→	A5		A5	A5
19	A6	A16	A6	→	A4		A4	A4
20	A5	A15	A5	→	A3		A3	A3
21	A4	A14	A4	→	A2		A2	A2
22	A3	A13	A3	→	A1		A1	A1
23	A2	A12	A2	→	A0		A0	A0
24	D15～D8			⇔	DQ[15:8]			
25	D7～D0			⇔	DQ[7:0]			
No.					SDRAM（512Mビット、16ビットバス）			
同(1)	RAS#			→	RAS#			
同(2)	CAS#			→	CAS#			
同(3)	WE#			→	WE#			
同(4)	CKE			→	CKE			
同(5)	SDCS#			→	CS#			
同(6)	SDCLK			→	CLK			
26	DQM3			→	UDQM			
27	DQM2			→	LDQM			
同(9)	A16	A26	A26	→	BA1(A14)	BA1	-	-
同(10)	A15	A25	A25	→	BA0(A13)	BA0	-	-
同(11)	A14	A24	A24	→	A12		A12	-
同(12)	A13	A23	A23	→	A11		A11	-
同(13)	A12	A22	P	→	A10	AP	A10	-
同(14)	A11	A21	A11	→	A9		A9	A9
同(15)	A10	A20	A10	→	A8		A8	A8
同(16)	A9	A19	A9	→	A7		A7	A7
同(17)	A8	A18	A8	→	A6		A6	A6
同(18)	A7	A17	A7	→	A5		A5	A5
同(19)	A6	A16	A6	→	A4		A4	A4
同(20)	A5	A15	A5	→	A3		A3	A3
同(21)	A4	A14	A4	→	A2		A2	A2
同(22)	A3	A13	A3	→	A1		A1	A1
同(23)	A2	A12	A2	→	A0		A0	A0
28	D31～D24			⇔	DQ[15:8]			
29	D23～D16			⇔	DQ[7:0]			

図 16.84　SDRAM 接続例（512M ビット品 ×2 個、16 ビットバス）

図 16.85 にロウアドレス 12 ビット、カラムアドレス 9 ビット、256M ビット品、32 ビットバスの SDRAM を 1 個接続する場合の例を示します。

RX63N (LSI)（シフト量9ビット）					SDRAM（256Mビット、32ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM3			→	DQM3			
8	DQM2			→	DQM2			
7	DQM1			→	DQM1			
8	DQM0			→	DQM0			
9	A15	A24	A24	→	BA1(A13)	BA1	-	-
10	A14	A23	A23	→	BA0(A12)	BA0	-	-
11	A13	A22	A22	→	A11		A11	-
12	A12	A21	P	→	A10	AP	A10	-
13	A11	A20	A11	→	A9		A9	-
14	A10	A19	A10	→	A8		A8	A8
15	A9	A18	A9	→	A7		A7	A7
16	A8	A17	A8	→	A6		A6	A6
17	A7	A16	A7	→	A5		A5	A5
18	A6	A15	A6	→	A4		A4	A4
19	A5	A14	A5	→	A3		A3	A3
20	A4	A13	A4	→	A2		A2	A2
21	A3	A12	A3	→	A1		A1	A1
22	A2	A11	A2	→	A0		A0	A0
23	D31～D24			⇔	DQ[31:24]			
24	D23～D16			⇔	DQ[23:16]			
25	D15～D8			⇔	DQ[15:8]			
26	D7～D0			⇔	DQ[7:0]			

図 16.85　SDRAM 接続例（256M ビット品 ×1 個、32 ビットバス）

図 16.86 にロウアドレス 12 ビット、カラムアドレス 9 ビット、128M ビット品、16 ビットバスの SDRAM を 2 個接続する場合の例を示します。

RX63N (LSI)（シフト量9ビット）					SDRAM（128Mビット、16ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A15	A24	A24	→	BA1(A13)	BA1	-	-
10	A14	A23	A23	→	BA0(A12)	BA0	-	-
11	A13	A22	A22	→	A11		A11	-
12	A12	A21	P	→	A10	AP	A10	-
13	A11	A20	A11	→	A9		A9	-
14	A10	A19	A10	→	A8		A8	A8
15	A9	A18	A9	→	A7		A7	A7
16	A8	A17	A8	→	A6		A6	A6
17	A7	A16	A7	→	A5		A5	A5
18	A6	A15	A6	→	A4		A4	A4
19	A5	A14	A5	→	A3		A3	A3
20	A4	A13	A4	→	A2		A2	A2
21	A3	A12	A3	→	A1		A1	A1
22	A2	A11	A2	→	A0		A0	A0
23	D15～D8			⇔	DQ[15:8]			
24	D7～D0			⇔	DQ[7:0]			
No.					SDRAM（128Mビット、16ビットバス）			
同(1)	RAS#			→	RAS#			
同(2)	CAS#			→	CAS#			
同(3)	WE#			→	WE#			
同(4)	CKE			→	CKE			
同(5)	SDCS#			→	CS#			
同(6)	SDCLK			→	CLK			
25	DQM3			→	UDQM			
26	DQM2			→	LDQM			
同(9)	A15	A24	A24	→	BA1(A13)	BA1	-	-
同(10)	A14	A23	A23	→	BA0(A12)	BA0	-	-
同(11)	A13	A22	A22	→	A11		A11	-
同(12)	A12	A21	P	→	A10	AP	A10	-
同(13)	A11	A20	A11	→	A9		A9	-
同(14)	A10	A19	A10	→	A8		A8	A8
同(15)	A9	A18	A9	→	A7		A7	A7
同(16)	A8	A17	A8	→	A6		A6	A6
同(17)	A7	A16	A7	→	A5		A5	A5
同(18)	A6	A15	A6	→	A4		A4	A4
同(19)	A5	A14	A5	→	A3		A3	A3
同(20)	A4	A13	A4	→	A2		A2	A2
同(21)	A3	A12	A3	→	A1		A1	A1
同(22)	A2	A11	A2	→	A0		A0	A0
27	D31～D24			⇔	DQ[15:8]			
28	D23～D16			⇔	DQ[7:0]			

図 16.86　SDRAM 接続例（128M ビット品 ×2 個、16 ビットバス）

16.6.14.2　16 ビットバス空間の場合

図 16.87 にロウアドレス 13 ビット、カラムアドレス 11 ビット、512M ビット品、8 ビットバスの SDRAM を 2 個接続する場合の例を示します。

RX63N (LSI)（シフト量11ビット）					SDRAM（512Mビット、8ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM0			→	LDQM			
8	A15	A26	A26	→	BA1(A14)	BA1	-	-
9	A14	A25	A25	→	BA0(A13)	BA0	-	-
10	A13	A24	A24	→	A12		A12	-
11	A12	A23	A11	→	A11		A11	A11
12	A11	A22	P	→	A10	AP	A10	-
13	A10	A21	A10	→	A9		A9	A9
14	A9	A20	A9	→	A8		A8	A8
15	A8	A19	A8	→	A7		A7	A7
16	A7	A18	A7	→	A6		A6	A6
17	A6	A17	A6	→	A5		A5	A5
18	A5	A16	A5	→	A4		A4	A4
19	A4	A15	A4	→	A3		A3	A3
20	A3	A14	A3	→	A2		A2	A2
21	A2	A13	A2	→	A1		A1	A1
22	A1	A12	A1	→	A0		A0	A0
23	D7～D0			⟷	DQ[7:0]			
No.					SDRAM（512Mビット、8ビットバス）			
同(1)	RAS#			→	RAS#			
同(2)	CAS#			→	CAS#			
同(3)	WE#			→	WE#			
同(4)	CKE			→	CKE			
同(5)	SDCS#			→	CS#			
同(6)	SDCLK			→	CLK			
24	DQM1			→	LDQM			
同(8)	A15	A26	A26	→	BA1(A14)	BA1	-	-
同(9)	A14	A25	A25	→	BA0(A13)	BA0	-	-
同(10)	A13	A24	A24	→	A12		A12	-
同(11)	A12	A23	A11	→	A11		A11	A11
同(12)	A11	A22	P	→	A10	AP	A10	-
同(13)	A10	A21	A10	→	A9		A9	A9
同(14)	A9	A20	A9	→	A8		A8	A8
同(15)	A8	A19	A8	→	A7		A7	A7
同(16)	A7	A18	A7	→	A6		A6	A6
同(17)	A6	A17	A6	→	A5		A5	A5
同(18)	A5	A16	A5	→	A4		A4	A4
同(19)	A4	A15	A4	→	A3		A3	A3
同(20)	A3	A14	A3	→	A2		A2	A2
同(21)	A2	A13	A2	→	A1		A1	A1
同(22)	A1	A12	A1	→	A0		A0	A0
25	D15～D8			⟷	DQ[7:0]			

図 16.87　SDRAM 接続例（512M ビット品 ×2 個、8 ビットバス）

図 16.88 にロウアドレス 13 ビット、カラムアドレス 10 ビット、512M ビット品、16 ビットバスの SDRAM を 1 個接続する場合の例を示します。

RX63N (LSI)（シフト量10ビット）					SDRAM（512Mビット、16ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A15	A25	A25	→	BA1(A14)	BA1	-	-
10	A14	A24	A24	→	BA0(A13)	BA0	-	-
11	A13	A23	A23	→	A12		A12	-
12	A12	A22	A22	→	A11		A11	-
13	A11	A21	P	→	A10	AP	A10	-
14	A10	A20	A10	→	A9		A9	A9
15	A9	A19	A9	→	A8		A8	A8
16	A8	A18	A8	→	A7		A7	A7
17	A7	A17	A7	→	A6		A6	A6
18	A6	A16	A6	→	A5		A5	A5
19	A5	A15	A5	→	A4		A4	A4
20	A4	A14	A4	→	A3		A3	A3
21	A3	A13	A3	→	A2		A2	A2
22	A2	A12	A2	→	A1		A1	A1
23	A1	A11	A1	→	A0		A0	A0
24	D15～D8			⇒	DQ[15:8]			
25	D7～D0			⇒	DQ[7:0]			

図 16.88　SDRAM 接続例（512M ビット品 ×1 個、16 ビットバス）

図 16.89 にロウアドレス 13 ビット、カラムアドレス 9 ビット、256M ビット品、16 ビットバスの SDRAM を 1 個接続する場合の例を示します。

RX63N (LSI)（シフト量9ビット）					SDRAM（256Mビット、16ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A15	A24	A24	→	BA1(A14)	BA1	-	-
10	A14	A23	A23	→	BA0(A13)	BA0	-	-
11	A13	A22	A22	→	A12		A12	-
12	A12	A21	A21	→	A11		A11	-
13	A11	A20	P	→	A10	AP	A10	-
14	A10	A19	A10	→	A9		A9	-
15	A9	A18	A9	→	A8		A8	A8
16	A8	A17	A8	→	A7		A7	A7
17	A7	A16	A7	→	A6		A6	A6
18	A6	A15	A6	→	A5		A5	A5
19	A5	A14	A5	→	A4		A4	A4
20	A4	A13	A4	→	A3		A3	A3
21	A3	A12	A3	→	A2		A2	A2
22	A2	A11	A2	→	A1		A1	A1
23	A1	A10	A1	→	A0		A0	A0
24	D15～D8			⇒	DQ[15:8]			
25	D7～D0			⇒	DQ[7:0]			

図 16.89　SDRAM 接続例（256M ビット品 X1 個、16 ビットバス）

16.6.15 制約事項

(1) 外部アドレス空間の各領域をまたがるアクセスの禁止

一つのアクセスでアドレス空間の各領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界をはさんで 2 つの領域にまたがらないようにしてください。

また、EXDMAC のシングルアドレスモードブロック転送およびクラスタ転送中に、アドレス空間の各領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。EXDMAC のシングルアドレスモードブロック転送、クラスタ転送によりアドレス空間の各領域境界をはさんで 2 つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) 低消費電力状態

全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時には、SDRAMC のクロックが停止しますので、オートリフレッシュが実行されません。外部に SDRAM を接続し、SDRAM のデータを保持したい場合には、セルフリフレッシュ機能を使用してください。セルフリフレッシュモードへの移行、復帰の手順については、「16.6.7 セルフリフレッシュ」を参照してください。

(4) 連続アクセスモード

EXDMAC のシングルアドレスモードブロック転送およびクラスタ転送の場合、CL=1 を設定することは禁止しており、設定された場合の動作は保証していません。

(5) SDRAM タイミングレジスタ設定

SDRAM タイミングレジスタ (SDTR) の RAS[2:0] ビットの値は、ロウーカラムレイテンシ（SDTR .RCD[1:0]）+ カラムレイテンシ (SDTR .CL[2:0]) 以下に設定してください。この条件が満たされない場合の動作は保証していません。

(6) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

16.7 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

16.7.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの 2 種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが 768 サイクル以内に終了しない場合に検出します。

16.7.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効（BEREN.IGAEN = 1）に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止（CSnCR.EXENB = 0、SDCCR.EXENB ＝ 0）に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを**表 16.21** に示します。

16.7.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効（BEREN.TOEN = 1）に設定された場合で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- CS 領域（CS0 ～ CS7）：バスアクセス開始後、外部バスクロック（BCLK）で 768 サイクル以内にバスアクセスが終了しない（WAIT# 信号がネゲートされない）場合
  タイムアウトが発生すると BCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの 1 回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。
- 内部周辺バス（2、3）：バスアクセス開始後、周辺モジュールクロック（PCLKB）で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると PCLKB で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス（4、5）：バスアクセス開始後、周辺モジュールクロック（PCLKA）で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると PCLKA で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス（6）：バスアクセス開始後、FlashIF クロック（FCLK）で 768 サイクル以内にバスアクセスが終了しない場合
  タイムアウトが発生すると FCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。

16.7.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
  割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

16.7.3　バスエラーの発生条件

表 16.21 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n（BERSRn）(n = 1、2) がクリアされている場合）で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 16.21　発生するバスエラーの種類

アドレス	内容		種類			
			不正アドレスアクセス		タイムアウト	
	内蔵 ROM 有効	内蔵 ROM 無効	内蔵 ROM 有効	内蔵 ROM 無効	内蔵 ROM 有効	内蔵 ROM 無効
0000 0000h ～ 0007 FFFFh	メモリバス 1		—		—	
0008 0000h ～ 0008 7FFFh	内部周辺バス 1		—		—	
0008 8000h ～ 0009 FFFFh	内部周辺バス 2		△		—	
000A 0000h ～ 000B FFFFh	内部周辺バス 3		△		—	
000C 0000h ～ 000D FFFFh	内部周辺バス 4		△		—	
000E 0000h ～ 000F FFFFh	予約領域		—		—	
0010 0000h ～ 00FF FFFFh	内部周辺バス 6	予約領域	△	○	—	—
0100 0000h ～ 07FF FFFFh	外部バス（CS1～CS7）		[IA]		[TO]	
0800 0000h～0FFF FFFFh	外部バス（SDRAM 領域）		[IA]		—	
1000 0000h ～ 7FFF FFFFh	予約領域		○		—	—
8000 0000h ～ FEFF FFFFh	メモリバス 2	予約領域	—	○	—	—
FF00 0000h ～ FF7F FFFFh		外部バス（CS0）	—	[IA]	—	[TO]
FF80 0000h ～ FFFF FFFFh			—		—	

—：バスエラーは発生しません。

△：バスエラーは不定です。

○：バスエラーを発生します。

[IA]：これらの領域を動作禁止（CSnCR.EXENB = 0 (n = 0 ～ 7)、SDCCR.EXENB = 0）に設定している場合にバスエラーを検出します。

[TO]：768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注．　実装される RAM、E2 データフラッシュ、ROM の容量は製品により異なります。製品ごとの仕様については、「46.　RAM」、「47.　フラッシュメモリ」を参照してください。

17. メモリプロテクションユニット（MPU）

17.1 概要

RX CPUにはメモリプロテクションユニットが内蔵されており、全アドレス空間（0000 0000h～FFFF FFFFh）を対象にCPUによるアクセスのアドレスチェックを行います。

最大8つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPUのプロセッサモードがユーザモードのときに有効です。スーパバイザモードのときは、メモリ保護を行いません。

表17.1にメモリプロテクションユニットの仕様を、**図17.1**にブロック図を示します。

表17.1　メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h～FFFF FFFFh（ユーザモード時） スーパバイザモード時はメモリ保護なし
領域数	8
ページサイズ（最小保護単位）	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域n終了ページ番号レジスタ（REPAGEn）の有効ビット（V）で各領域の有効/無効を設定(n=0～7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ（MPDEA）に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ（MPESTS）に要因を格納
バックグラウンド領域設定	バックグラウンド領域（全アドレス空間）に対して、アクセス制御情報を設定可能
領域オーバラップの処理	あるアドレスに対して領域がオーバラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

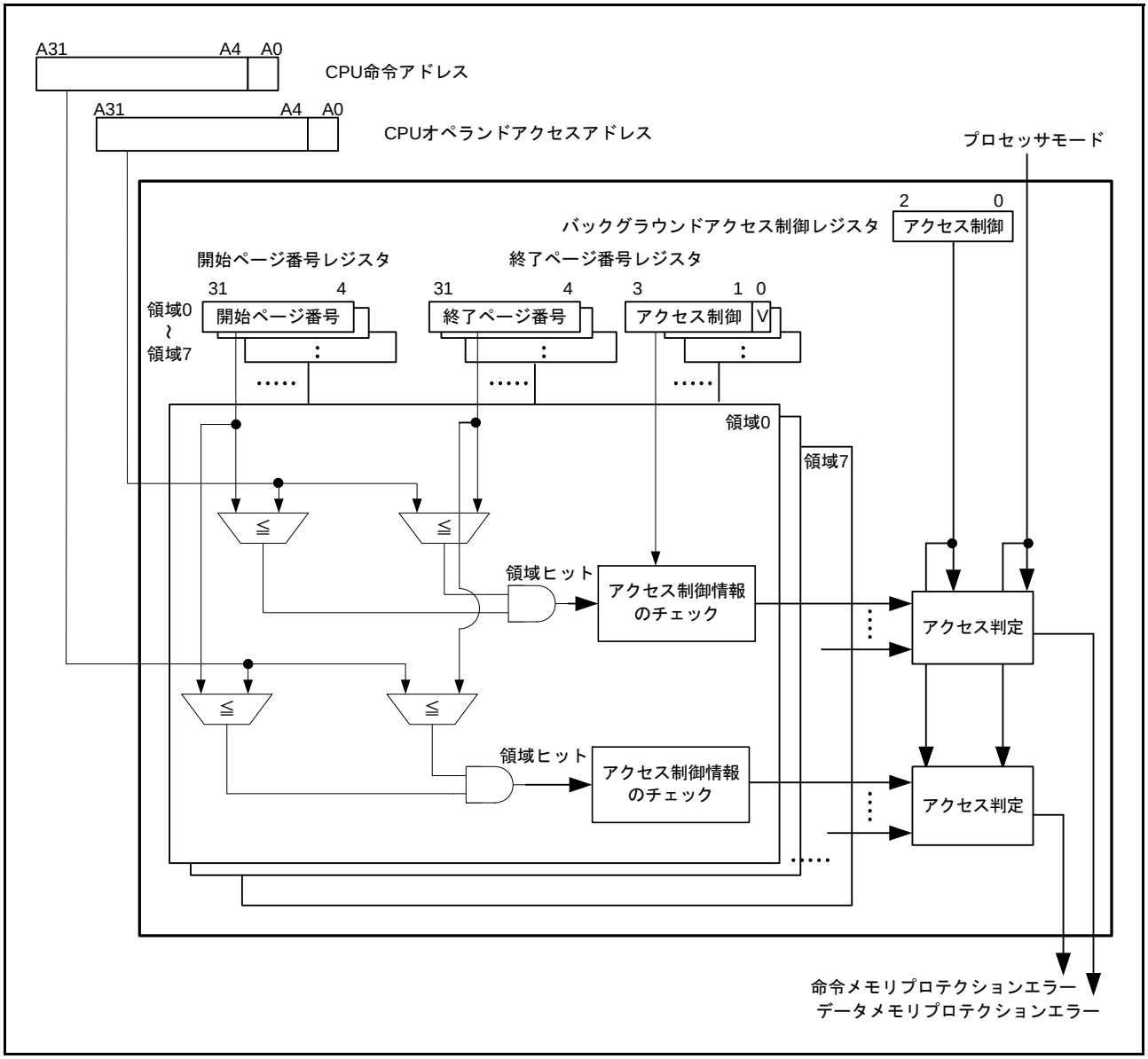


図 17.1　　メモリプロテクションユニットブロック図

17.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパバイザモードのプログラムに対しては違反を検出しません。

17.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ（RSPAGEn）および領域 n 終了ページ番号レジスタ（REPAGEn）で行います (n=0 ～ 7)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイト毎に区切ったものです。アドレス [31:0] の上位 28 ビット（[31:4]）がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

17.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間（0000 0000h ～ FFFF FFFFh）です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ（MPBAC）で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効（MPEN.MPEN ビットが “1”）であれば有効となります。

17.1.4 領域のオーバラップ

複数の領域がオーバラップした場合のアクセス制御情報は、オーバラップした領域（バックグラウンド領域を含む）のアクセス制御ビットの論理和となり、許可が優先して設定されます。

17.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

17.2　レジスタの説明

17.2.1　領域 n 開始ページ番号レジスタ（RSPAGEn）(n=0 ～ 7)

アドレス　RSPAGE0 0008 6400h、RSPAGE1 0008 6408h、RSPAGE2 0008 6410h、RSPAGE3 0008 6418h
RSPAGE4 0008 6420h、RSPAGE5 0008 6428h、RSPAGE6 0008 6430h、RSPAGE7 0008 6438h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RSPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RSPN[27:0]												—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	説明	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット（領域開始ページ番号ビット）

領域開始ページ番号を設定します。

17.2.2　領域 n 終了ページ番号レジスタ（REPAGEn）(n=0 ～ 7)

アドレス　REPAGE0 0008 6404h、REPAGE1 0008 640Ch、REPAGE2 0008 6414h、REPAGE3 0008 641Ch
REPAGE4 0008 6424h、REPAGE5 0008 642Ch、REPAGE6 0008 6434h、REPAGE7 0008 643Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	REPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REPN[27:0]												UAC[2:0]			V
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	説明	R/W
b0	V	有効ビット	0：領域設定無効 1：領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号	領域判定に使用する領域終了ページ番号情報	R/W

V ビット（有効ビット）

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ（MPOPI）により 全アクセス制御領域のインバリデート（無効化）を行った場合、V ビットは “0” になります。

UAC[2:0] ビット（ユーザモード時アクセス制御ビット）

ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット（領域終了ページ番号ビット）

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

17.2.3　メモリプロテクション機能有効化レジスタ（MPEN）

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1：メモリプロテクション機能有効 0：メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット（メモリプロテクション機能有効化ビット）

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに “1” を書いた後、ユーザモードへ移行する分岐命令（RTE、RTFI）の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

17.2.4　バックグラウンドアクセス制御レジスタ（MPBAC）

アドレス　0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット（ユーザモード時バックグラウンドアクセス制御ビット）

ユーザモード時のバックグラウンドアクセス制御を設定します。

17.2.5 メモリプロテクションエラーステータスクリアレジスタ（MPECLR）

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DA, IAビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット（エラーステータスクリアビット）

メモリプロテクションエラーステータスレジスタ（MPESTS）のデータリード / ライトビット（DRW）、データメモリプロテクションエラー発生ビット（DA）、命令メモリプロテクションエラー発生ビット（IA）を “0” にします。

17.2.6　メモリプロテクションエラーステータスレジスタ（MPESTS）

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DA	IA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	IA	命令メモリプロテクションエラー発生ビット	0：命令メモリプロテクションエラー発生なし 1：命令メモリプロテクションエラー発生	R
b1	DA	データメモリプロテクションエラー発生ビット	0：データメモリプロテクションエラー発生なし 1：データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0：データリード 1：データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IA ビット（命令メモリプロテクションエラー発生ビット）

命令実行によるメモリプロテクションエラー発生状態を示します。

IA ビットは、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることによってのみ、“0” になります。

DA ビット（データメモリプロテクションエラー発生ビット）

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DA ビットは、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることによってのみ、“0” になります。

DRW ビット（データリード / ライトビット）

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DA ビットが “1” の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることで、“0” になります。

17.2.7　データメモリプロテクションエラーアドレスレジスタ（MPDEA）

アドレス　0008 6514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット（データメモリプロテクションエラーアドレスビット）

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

17.2.8　領域サーチアドレスレジスタ（MPSA）

アドレス　0008 6520h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット（領域サーチ用アドレスビット）

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ（RSPAGEn）の領域開始アドレス、領域 n 終了ページ番号レジスタ（REPAGEn）の領域終了アドレスと比較するアドレスを設定します。

17.2.9　領域サーチオペレーションレジスタ（MPOPS）

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット（領域サーチオペレーション起動ビット）

S ビットを “1” にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ（MPSA）で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ（MHITD）のデータヒット領域ビット（HITD[7:0]）に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット（UHACD[2:0]）に格納されます。

17.2.10　領域インバリデートオペレーションレジスタ（MPOPI）

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：全アクセス制御領域のインバリデート（無効化）	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット（領域インバリデート起動ビット）

INV ビットを “1” にすることにより、すべての領域 n 終了ページ番号レジスタ（REPAGEn）の有効ビット（V）を “0” にします。REPAGEn.V ビットを “0” にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

17.2.11　命令ヒット領域レジスタ（MHITI）

アドレス　0008 6528h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITI[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット（MPESTS.IA）= “1”のとき、 [b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット（ユーザモード時命令ヒット領域アクセス制御ビット）

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット（REPAGEn.UAC[2:0]）を保持します。

オーバラップした領域でエラーが発生した場合、該当する領域（バックグラウンド領域も含む）のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット（命令ヒット領域ビット）

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーを発生したときは、HITI[7:0] ビットは “0000 0000b” にセットされます。

17.2.12　データヒット領域レジスタ（MHITD）

アドレス 0008 652Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACD[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ビット	シンボル	ビット名	説明	R/W
b23-b16	HITD[7:0]	データヒット領域ビット	データメモリプロテクションエラー発生ビット(DA) =1のとき、 [b23:b16] = 0000 0000b：バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0：領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0：領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0：領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0：領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0：領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0：領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0：領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0：領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット（ユーザモード時データヒット領域アクセス制御ビット）

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット（REPAGEn.UAC[2:0]）を保持します。

オーバラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域（バックグラウンド領域も含む）のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット（データヒット領域ビット）

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーを発生したとき、HITD[7:0] ビットは “0000 0000b” にセットされます。

注 . ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

17.3 機能

17.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反（メモリプロテクションエラー）を検出した場合は、メモリプロテクションユニットは CPU へその情報を通知し、CPU はアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ（MPEN）のメモリプロテクション機能有効化ビット（MPEN）を “1” にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

17.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが 8 つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報（実行許可、読み出し許可、書き込み許可）がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ（MPOPS）の領域サーチオペレーションビット（S）を “1” にすることにより、領域サーチアドレスレジスタ（MPSA）で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ（MHITD）は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

17.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPU のオペランドアクセス以外の手段ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパバイザモードでのみアクセスすることができます。ユーザモードで CPU のオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

17.3.4　メモリプロテクション機能のアクセス判定フロー

図 17.2 にデータアクセス判定フローを、図 17.3 に命令アクセス判定フローを示します。

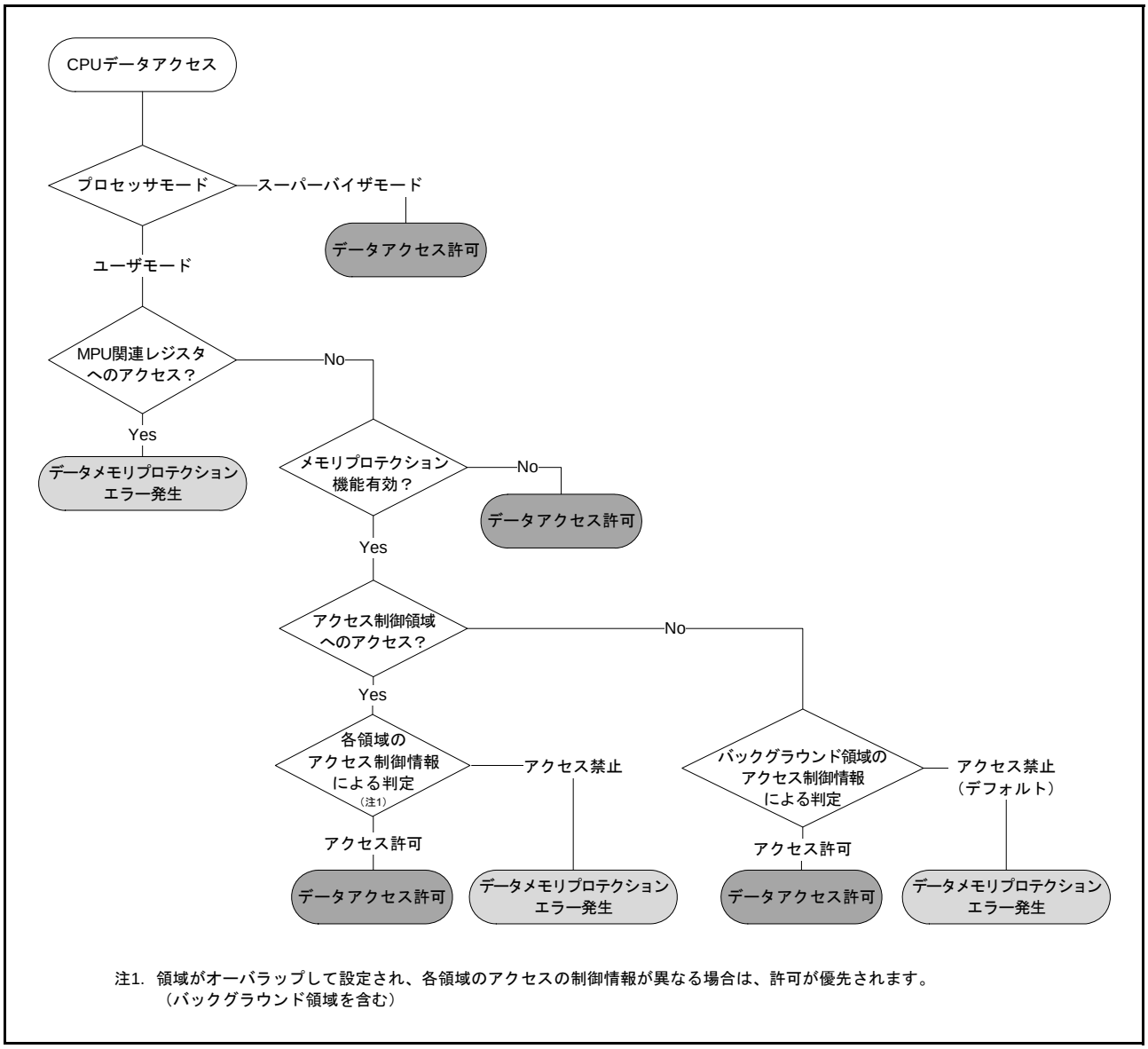
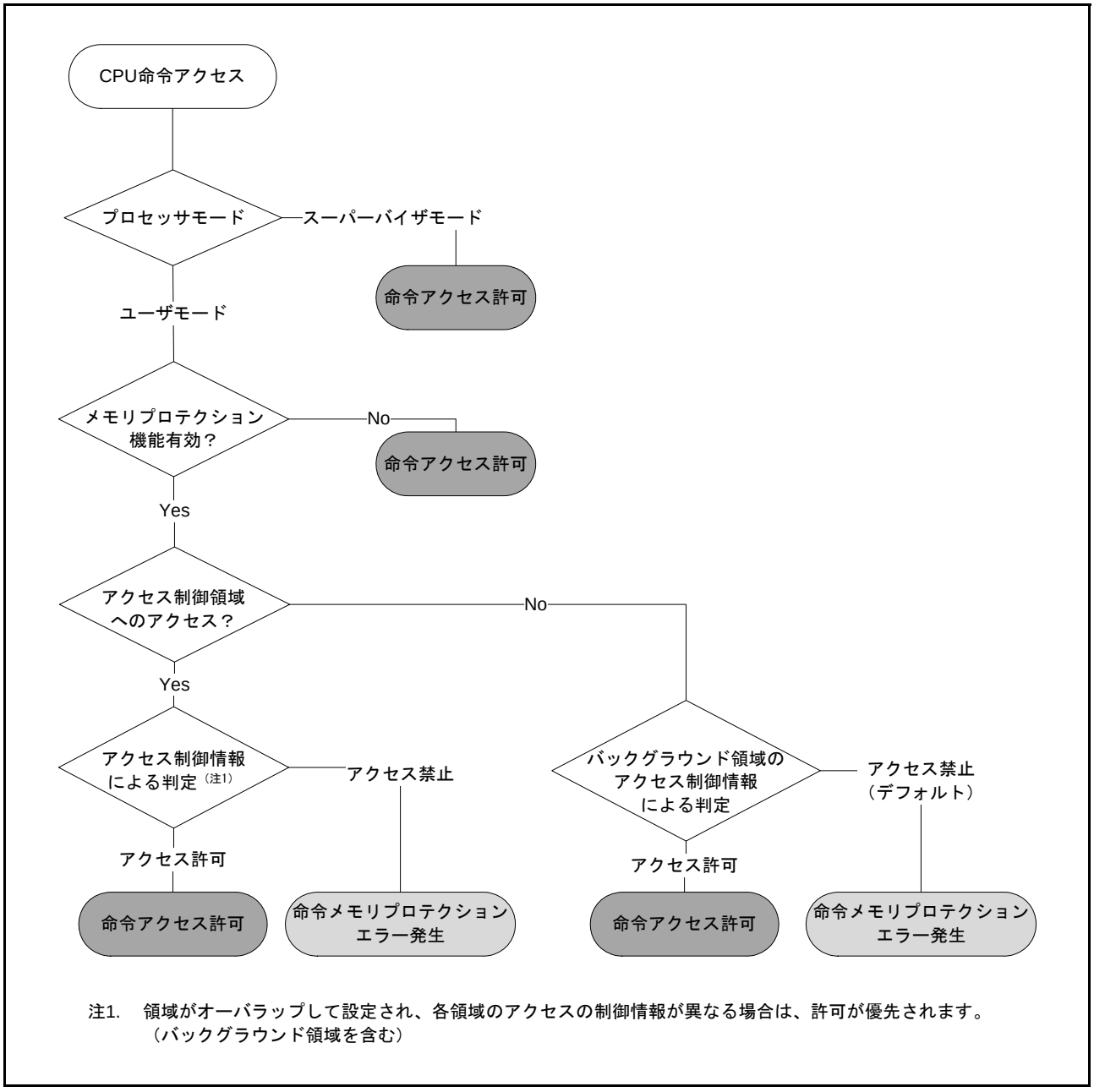


図 17.2　データアクセス判定フロー



注1.　領域がオーバラップして設定され、各領域のアクセスの制御情報が異なる場合は、許可が優先されます。
（バックグラウンド領域を含む）

図 17.3　命令アクセス判定フロー

17.4 メモリプロテクション機能使用手順

17.4.1 アクセス制御情報の設定

スーパバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ（RSPAGEn）および領域 n 終了ページ番号レジスタ（REPAGEn）で行います (n=0 ～ 7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

17.4.2 メモリプロテクション機能の有効化

スーパバイザモードで、メモリプロテクション機能有効化レジスタ（MPEN）のメモリプロテクション機能有効化ビット（MPEN）を “1” にします。

17.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、必ず最後に書き込みを行ったメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。

スーパバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード（PSW）のプロセッサモード設定ビット（PM）を “1”（ユーザモードに設定）にした後、RTE 命令を実行
- バックアップ PSW（BPSW）の PM ビットを “1” にした後、RTFI 命令を実行

注 . MVTC、POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

17.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反（メモリプロテクションエラー）を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、**「14. 例外処理」**を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ（MPESTS）の命令メモリプロテクションエラー発生ビット（IA）およびデータメモリプロテクションエラー発生ビット（DA）を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ（MPDEA）に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ（MHITD）に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応したデータヒット領域ビット（MHITD.HITD[7:0]）が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット（MHITD.UHACD[2:0]）にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合**

データヒット領域ビット（MHITD.HITD[7:0]）は、“0000 0000b” になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット（MHITD.UHACD[2:0]）にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ（MHITI）に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応した命令ヒット領域ビット（MHITI.HITI[7:0]）が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット（MHITI.UHACI[2:0]）にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合**

命令ヒット領域ビット（MHITI.HITI[7:0]）は、“0000 0000b” になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット（MHITI.UHACI[2:0]）にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

18. DMA コントローラ（DMACA）

RX63N グループ、RX631 グループは、4 チャネルの DMAC（Direct Memory Access Controller）を内蔵しています。

DMAC は、CPU を介さずにデータ転送を行います。DMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

18.1 概要

表 18.1 に DMAC の仕様を、**図 18.1** に DMAC のブロック図を示します。

表18.1　DMACの仕様

項目		内容
チャネル数		4チャネル（DMACm (m = 0～3)）
転送空間		512Mバイト （00000000h～0FFFFFFFhとF0000000h～FFFFFFFFhのうち予約領域を除く領域）
最大転送データ数		1Mデータ（ブロック転送モード最大総転送数：1024データ×1024ブロック）
DMA起動要因		• チャネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力（注1）
チャネル優先順位		チャネル0 ＞ チャネル1 ＞ チャネル2 ＞ チャネル3（チャネル0が最優先）
転送データ	1データ	ビット長：8ビット、16ビット、32ビット
	ブロックサイズ	データ数：1～1024 データ
転送モード	ノーマル転送モード	• 1回のDMA転送要求で1データを転送 • 総データ転送数を指定しない設定（フリーランニングモード）が可能
	リピート転送モード	• 1回のDMA転送要求で1データを転送 • 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • リピートサイズは最大1024回設定可能
	ブロック転送モード	• 1回のDMA転送要求で1ブロックのデータを転送 • ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	• 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 • 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能

注1.　DMACの起動要因は、「15.　割り込みコントローラ（ICUb）」の「表15.3　割り込みのベクタテーブル」を参照してください。

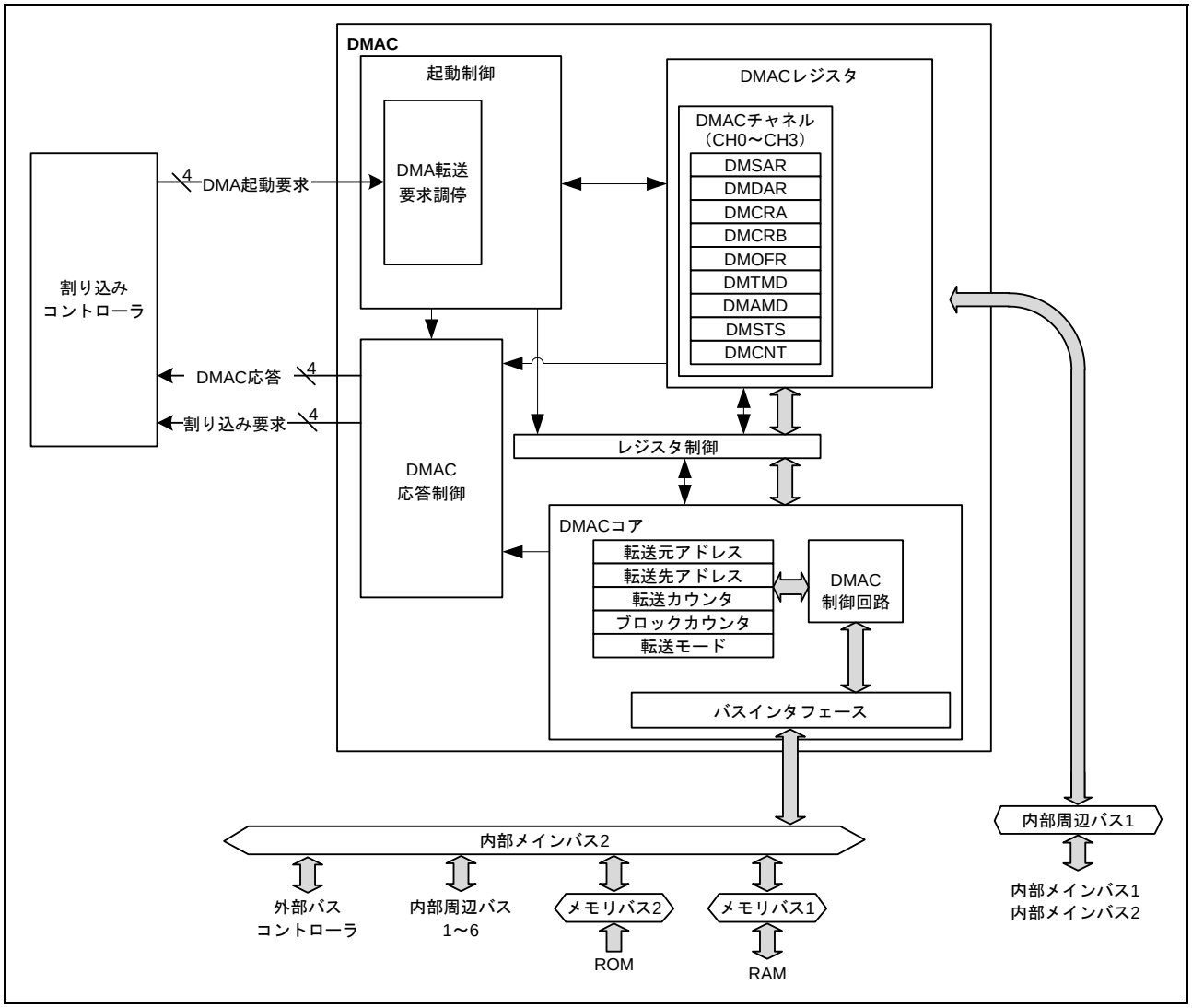


図 18.1　　DMAC のブロック図

18.2　レジスタの説明

18.2.1　DMA 転送元アドレスレジスタ（DMSAR）

アドレス　DMAC0.DMSAR 0008 2000h、DMAC1.DMSAR 0008 2040h
DMAC2.DMSAR 0008 2080h、DMAC3.DMSAR 0008 20C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

DMSAR レジスタを設定する場合は、DMAC 起動禁止（DMAST.DMST ビット = 0）、または DMA 転送禁止（DMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

18.2.2　DMA 転送先アドレスレジスタ（DMDAR）

アドレス　DMAC0.DMDAR 0008 2004h、DMAC1.DMDAR 0008 2044h
DMAC2.DMDAR 0008 2084h、DMAC3.DMDAR 0008 20C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

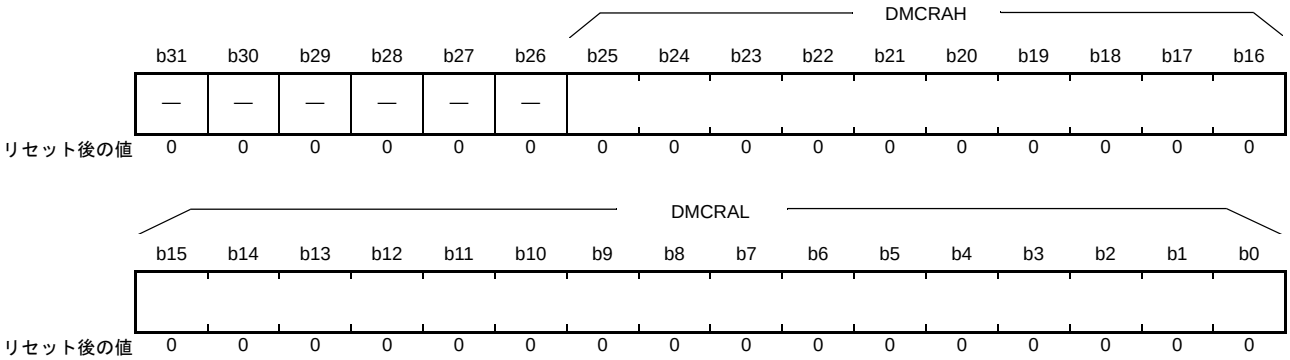
DMDAR レジスタを設定する場合は、DMAC 起動禁止（DMAST.DMST ビット = 0）、または DMA 転送禁止（DMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

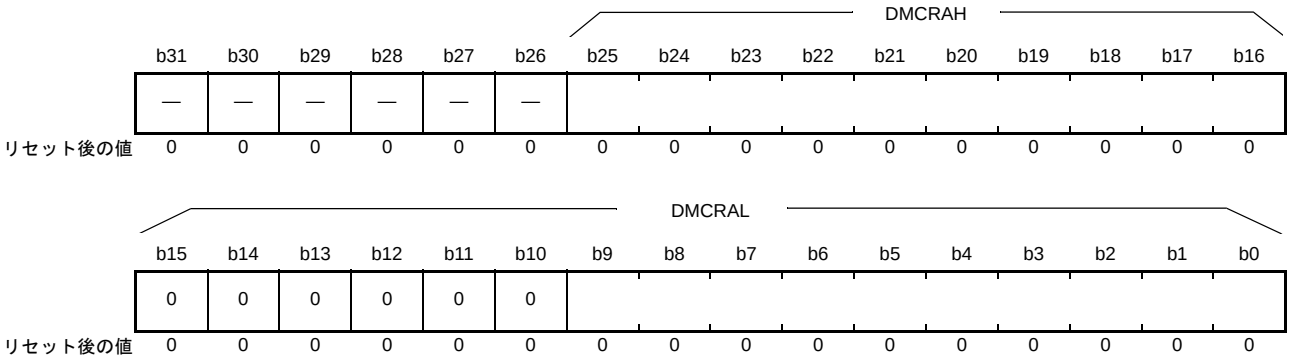
18.2.3　DMA 転送カウントレジスタ（DMCRA）

アドレス　DMAC0.DMCRA 0008 2008h、DMAC1.DMCRA 0008 2048h
DMAC2.DMCRA 0008 2088h、DMAC3.DMCRA 0008 20C8h

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント上位ビット		R/W

注．　リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAL レジスタには同じ値を設定してください。

(1)　ノーマル転送モード（DMACm.DMTMD.MD[1:0] ビット = 00b）のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。
転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント（–1）します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは “0000h” を書いてください。

(2)　リピート転送モード（DMACm.DMTMD.MD[1:0] ビット = 01b）のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ～ 3FFh（1 回～ 1024 回）です。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“000h” になると DMCRAH レジスタの値が転送されます。

(3)　ブロック転送モード（DMACm.DMTMD.MD[1:0] ビット = 10b）のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が “001h” のときはブロックサイズ 1、“3FFh” のときはブロックサイズ 1023、“000h” のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ～ 3FFh です。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“000h” になると DMCRAH レジスタの値が転送されます。

18.2.4　DMA ブロック転送カウントレジスタ（DMCRB）

アドレス　DMAC0.DMCRB 0008 200Ch、DMAC1.DMCRB 0008 204Ch
DMAC2.DMCRB 0008 208Ch、DMAC3.DMCRB 0008 20CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します	001h～3FFh（1～1023回） 000h　（1024回）	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRB レジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。

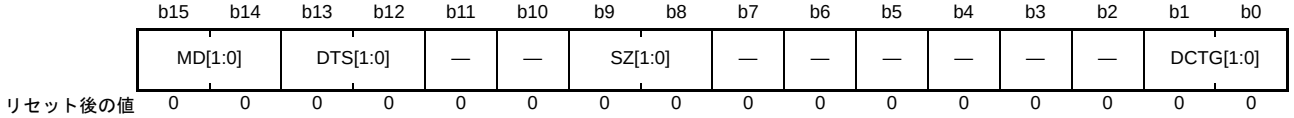
リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント（－ 1）されます。

ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント（－ 1）されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

18.2.5 DMA転送モードレジスタ（DMTMD）

アドレス　DMAC0.DMTMD 0008 2010h、DMAC1.DMTMD 0008 2050h
DMAC2.DMTMD 0008 2090h、DMAC3.DMTMD 0008 20D0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0：ソフトウェア 0 1：周辺モジュールおよび外部割り込み入力端子からの割り込み（注1） 1 0：設定しないでください 1 1：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0：8ビット転送 0 1：16ビット転送 1 0：32ビット転送 1 1：設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0：転送先側がリピート領域またはブロック領域 0 1：転送元側がリピート領域またはブロック領域 1 0：リピート領域、ブロック領域は設定しない 1 1：設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0：ノーマル転送 0 1：リピート転送 1 0：ブロック転送 1 1：設定しないでください	R/W

注1.　DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「15.　割り込みコントローラ（ICUb）」の「表15.3　割り込みのベクタテーブル」を参照してください。

DTS[1:0]ビット（リピート領域選択ビット）

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

18.2.6 DMA 割り込み設定レジスタ（DMINT）

アドレス　DMAC0.DMINT 0008 2013h、DMAC1.DMINT 0008 2053h
DMAC2.DMINT 0008 2093h、DMAC3.DMINT 0008 20D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送先アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送先アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送元アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送元アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0：リピートサイズ終了割り込みを禁止 1：リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0：エスケープ割り込みを禁止 1：エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0：転送終了割り込みを禁止 1：転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット（転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

DARIE ビットを “1” に設定したとき、転送先アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、転送先アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの DMACm.DMCNT.DTE ビットを “1” にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット（転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

SARIE ビットを “1” に設定したとき、転送元アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、転送元アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの DMACm.DMCNT.DTE ビットを “1” にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット（リピートサイズ終了割り込み許可ビット）

リピート転送モードにおいて、RPTIE ビットを “1” に設定したとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b”（リピート領域、ブロック領域に指定しない）のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを “1” に設定したときも同様に 1 ブロックの転送終了後に DMCNT.DTE ビットを “0” にクリアします。同時に DMSTS.ESIF フラグが “1” にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b”（リピート領域、ブロック領域に指定しない）に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット（転送エスケープ終了割り込み許可ビット）

DMA 転送中に発生したエスケープ割り込み要求（リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み）を許可または禁止します。

ESIE ビットを “1” にセットすると、DMSTS.ESIF フラグに “1” がセットされたとき、転送エスケープ終了割り込みを発生します。転送エスケープ終了割り込みは、ESIE ビットを “0” にクリアするか、DMSTS.ESIF フラグを “0” にクリアすると解除されます。

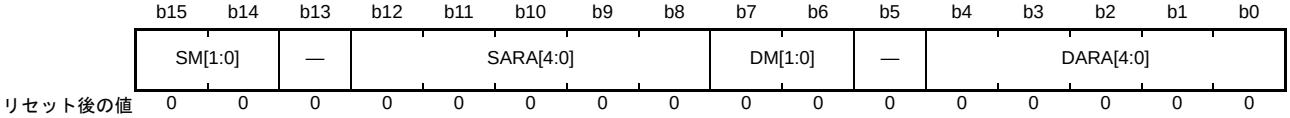
DTIE ビット（転送終了割り込み許可ビット）

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを “1” にセットすると、DMSTS.DTIF フラグに “1” がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを “0” にクリアするか、DMSTS.DTIF フラグを “0” にクリアすると解除されます。

18.2.7 DMA アドレスモードレジスタ（DMAMD）

アドレス　DMAC0.DMAMD 0008 2014h、DMAC1.DMAMD 0008 2054h
DMAC2.DMAMD 0008 2094h、DMAC3.DMAMD 0008 20D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表18.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0：アドレス固定 0 1：オフセット加算（注1） 1 0：インクリメント 1 1：デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表18.2を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0：アドレス固定 0 1：オフセット加算（注1） 1 0：インクリメント 1 1：デクリメント	R/W

注1.　オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット（転送先アドレス拡張リピートエリア設定ビット）

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b（転送先側がリピート領域またはブロック領域）に設定している場合、DARA[4:0] ビットには “00000b” を書いてください。

DMINT.DARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 18.2** に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット（転送先アドレス更新モード設定ビット）

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき－ 2、DMTMD.SZ[1:0] = 10b のとき－ 4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット（転送元アドレス拡張リピートエリア設定ビット）

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b（転送元側がリピート領域またはブロック領域）に設定している場合、SARA[4:0] ビットには “00000b” を書いてください。

DMINT.SARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 18.2** に拡張リピートエリアの設定と範囲を示します。

SM ビット（転送元アドレス更新モード設定ビット）

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき－ 2、DMTMD.SZ[1:0] = 10b のとき－ 4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表18.2　拡張リピートエリアの設定と範囲

SARA[4:0] / DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット（2バイト）を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット（4バイト）を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット（8バイト）を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット（16バイト）を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット（32バイト）を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット（64バイト）を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット（128バイト）を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット（256バイト）を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット（512バイト）を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット（1Kバイト）を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット（2Kバイト）を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット（4Kバイト）を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット（8Kバイト）を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット（16Kバイト）を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット（32Kバイト）を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット（64Kバイト）を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット（128Kバイト）を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット（256Kバイト）を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット（512Kバイト）を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット（1Mバイト）を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット（2Mバイト）を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット（4Mバイト）を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット（8Mバイト）を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット（16Mバイト）を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット（32Mバイト）を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット（64Mバイト）を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット（128Mバイト）を拡張リピートエリアに設定する
11100b ～ 11111b	設定しないでください

18.2.8 DMA オフセットレジスタ（DMOFR）

アドレス　DMAC0.DMOFR 0008 2018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h～00FFFFFFh（0バイト～(16M–1)バイト） FF000000h～FFFFFFFFh（–16Mバイト～–1バイト）	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ～ 25 への設定値は無効です、ビット 31 ～ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

18.2.9 DMA 転送許可レジスタ（DMCNT）

アドレス　DMAC0.DMCNT 0008 201Ch、DMAC1.DMCNT 0008 205Ch
DMAC2.DMCNT 0008 209Ch、DMAC3.DMCNT 0008 20DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可ビット	0：DMA転送を禁止 1：DMA転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット（DMA 転送許可ビット）

DMAST.DMST ビットが “1”（DMAC 起動を許可）で、DTE ビットが “1”（DMA 転送を許可）のとき、対応するチャネルの DMA 転送を開始することができます。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- “0” を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

18.2.10　DMA ソフトウェア起動レジスタ（DMREQ）

アドレス　DMAC0.DMREQ 0008 201Dh、DMAC1.DMREQ 0008 205Dh
DMAC2.DMREQ 0008 209Dh、DMAC3.DMREQ 0008 20DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0：DMA転送要求なし 1：DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0：ソフトウェア起動後にSWREQビットをクリアする 1：ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット（DMA ソフトウェア起動ビット）

SWREQ ビットに “1” を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが “0” に設定されている場合、SWREQ ビットは “0” にクリアされます。CLRS ビットが “1” に設定されている場合、SWREQ ビットは “0” にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを “00b”（DMA 起動要因がソフトウェア）に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが “00b” 以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが “0” でソフトウェア起動を行う場合、SWREQ ビットが “0” であることを確認してから SWREQ ビットに “1” を書いてください。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- CLRS ビットが “0”（ソフトウェア起動後に SWREQ ビットをクリアする）に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0” を書き込んだとき

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択

SWREQ ビットへ “1” 書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを “0” にクリアするかしないを設定します。CLRS ビットが “0” に設定されている場合、転送が開始されると SWREQ ビットは “0” にクリアされます。CLRS ビットが “1” に設定されている場合は、SWREQ ビットは “0” クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

18.2.11 DMA ステータスレジスタ（DMSTS）

アドレス　DMAC0.DMSTS 0008 201Eh、DMAC1.DMSTS 0008 205Eh
DMAC2.DMSTS 0008 209Eh、DMAC3.DMSTS 0008 20DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0：転送エスケープ割り込み発生なし 1：転送エスケープ割り込み発生あり	R/W （注1）
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0：転送終了割り込みなし 1：転送終了割り込みあり	R/W （注1）
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMAアクティブフラグ	0：DMACが停止中 1：DMACが動作中	R

注1.　“0”のみ書けます。

ESIF フラグ（転送エスケープ割り込みフラグ）

転送エスケープ割り込みが発生したことを示すフラグです。

[“1” になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが “1” に設定されており、ブロック転送モードにおいて 1 ブロックの転送終了後
- DMINT.SARIE ビットが “1” に設定され、DMAMD.SARA[4:0] ビットに “00000b” 以外（転送元アドレスを拡張リピートエリアに指定）に設定されているときに、転送元アドレスの拡張リピートエリアオーバフローが発生したとき
- DMINT.DARIE ビットが “1” に設定され、DMAMD.DARA[4:0] ビットに “00000b” 以外（転送先アドレスを拡張リピートエリアに指定）に設定されているときに、転送先アドレスの拡張リピートエリアオーバフローが発生したとき

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき（DMCRAL レジスタが “0” になり転送が終了したとき）
- リピート転送モードにおいて指定リピート回数の転送が終了したとき（DMCRB レジスタが “0” になり転送が終了したとき）
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき（DMCRB レジスタが “0” になり転送が終了したとき）

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ（DMA アクティブフラグ）

DMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- DMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

18.2.12　DMA 起動要因フラグ制御レジスタ（DMCSL）

アドレス　DMAC0.DMCSL 0008 201Fh、DMAC1.DMCSL 0008 205Fh
DMAC2.DMCSL 0008 209Fh、DMAC3.DMCSL 0008 20DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0：転送開始時に起動要因となった割り込みフラグを“0”クリアする 1：転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット（インタラプト選択ビット）

DMAC の転送開始時に起動要因となった割り込みフラグを “0” クリアするか、割り込みフラグにより CPU へ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b（ソフトウェアによる起動）に設定している場合は、DISEL ビットの設定値は無効です。

18.2.13　DMA モジュール起動レジスタ（DMAST）

アドレス　0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0：DMAC起動を禁止 1：DMAC起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット（DMAC 動作許可ビット）

DMST ビットが “1” のとき、DMAC 全チャネルの起動が許可されます。

複数チャネルの DMACm.DMCNT.DTE ビットに “1”（DMA 転送を許可）を書いた後に DMST ビットを “1”（DMAC 起動を許可）にすると、複数チャネルを同時に転送要求受け付け可能状態にすることができます。

また、DMST ビットを DMAC 動作中に “0” にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを “1” にすることにより継続して DMA 転送を行うことが可能です。

[“1” になる条件]

- “1” を書き込んだとき

[“0” になる条件]

- “0” を書き込んだとき

18.3 動作説明

18.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。DMACm.DMCRBレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を**表18.3**に、ノーマル転送モードの動作を**図18.2**に示します。

表18.3　ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）
DMACm.DMCRAL	転送カウント	1減算/更新なし（フリーランニングモード時）
DMACm.DMCRAH	—	更新されません。（ノーマル転送モードでは使用しません）
DMACm.DMCRB	—	更新されません。（ノーマル転送モードでは使用しません）

注1.　オフセット加算はDMAC0のみ指定可能です。

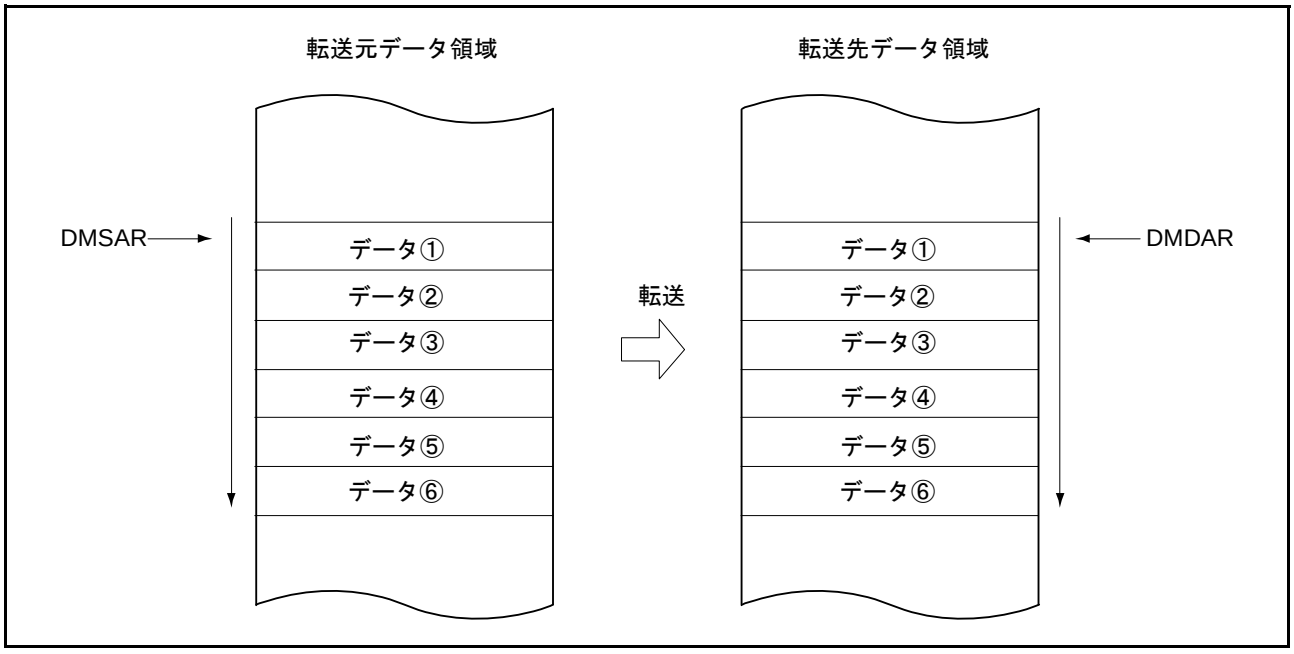


図18.2　ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ ×1K リピート回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（DMACm.DMSAR または DMACm.DMDAR）は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA 転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに “1” を書き込むと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を**表** 18.4 に、リピート転送モードの動作を**図** 18.3 に示します。

表18.4　リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRAL レジスタが1以外のとき	DMACm.DMCRAL レジスタが1のとき（リピートサイズの最終データ転送）
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算（注1） • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）	• DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算（注1） • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウント	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウント	保持	1減算

注1.　オフセット加算はDMAC0のみ指定可能です。

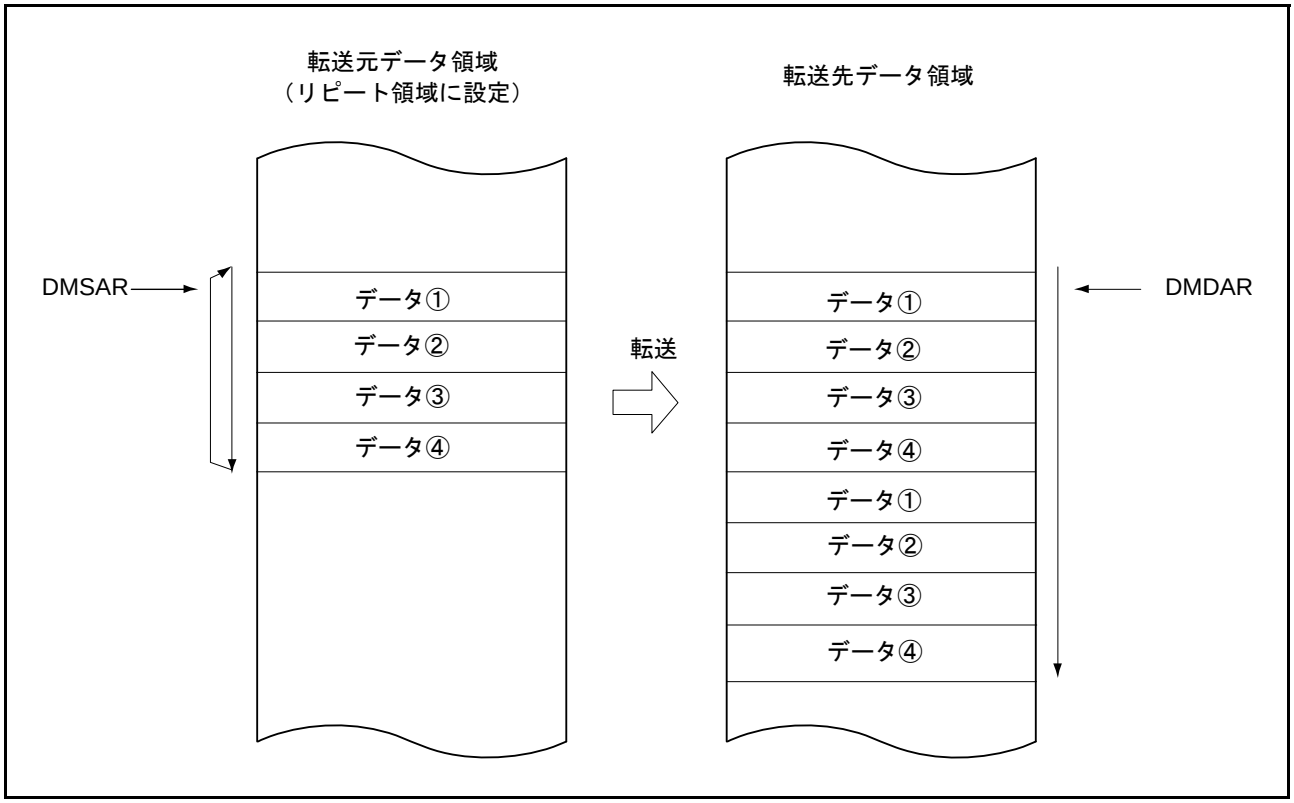


図 18.3　リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ ×1K ブロック回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（DMACm.DMSAR または DMACm.DMDAR）は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに “1” を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を**表 18.5** に、ブロック転送モードの動作を**図 18.4** に示します。

表18.5　ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算（注1） • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
DMACm.DMDAR	転送先アドレス	• DMACm.DMTMD.DTS[1:0] = 00 b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01 b インクリメント/デクリメント/固定/オフセット加算（注1） • DMACm.DMTMD.DTS[1:0] = 10 b インクリメント/デクリメント/固定/オフセット加算（注1）
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック回数カウント	1減算

注1.　オフセット加算はDMAC0のみ指定可能です。

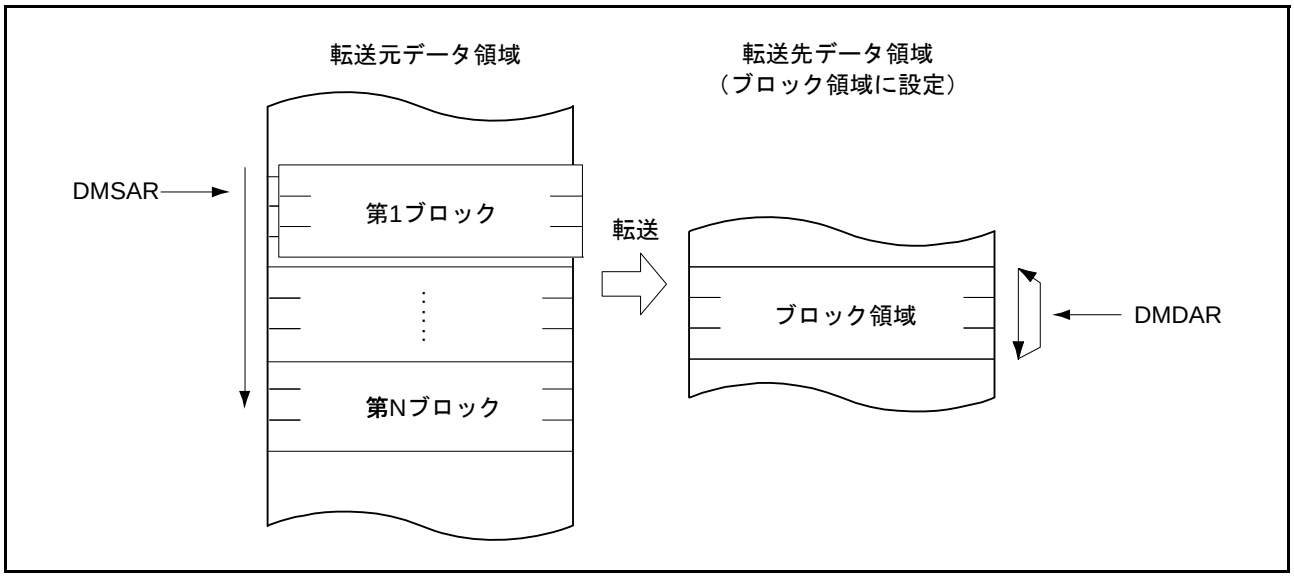


図 18.4　ブロック転送モードの動作

18.3.2　拡張リピートエリア機能

DMAC には転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSAR レジスタ（転送元アドレスレジスタ）、DMACm.DMDAR レジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアは DMACm.DMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアは DMACm.DMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア（転送元または転送先）を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバフローすると、DMA 転送を一時停止させて、拡張リピートエリアオーバフロー割り込み要求を発生することができます。DMACm.DMINT.SARIE ビットを “1” にすると、転送元アドレスの拡張リピートエリアがオーバフローしたときに DMACm.DMSTS.ESIF フラグが “1” になり、DMACm.DMCNT.DTE ビットを “0” にして DMA 転送を終了します。このとき、DMACm.DMINT.ESIE ビットが “1” になっていると、拡張リピートエリアオーバフロー割り込み要求が発生します。

DMACm.DMINT.DARIE ビットを “1” にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバフロー割り込み処理で、DMACm.DMCNT.DTE ビットを “1” にすると、DMA 転送を再開することができます。

図 18.5 に拡張リピートエリア機能の例を示します。

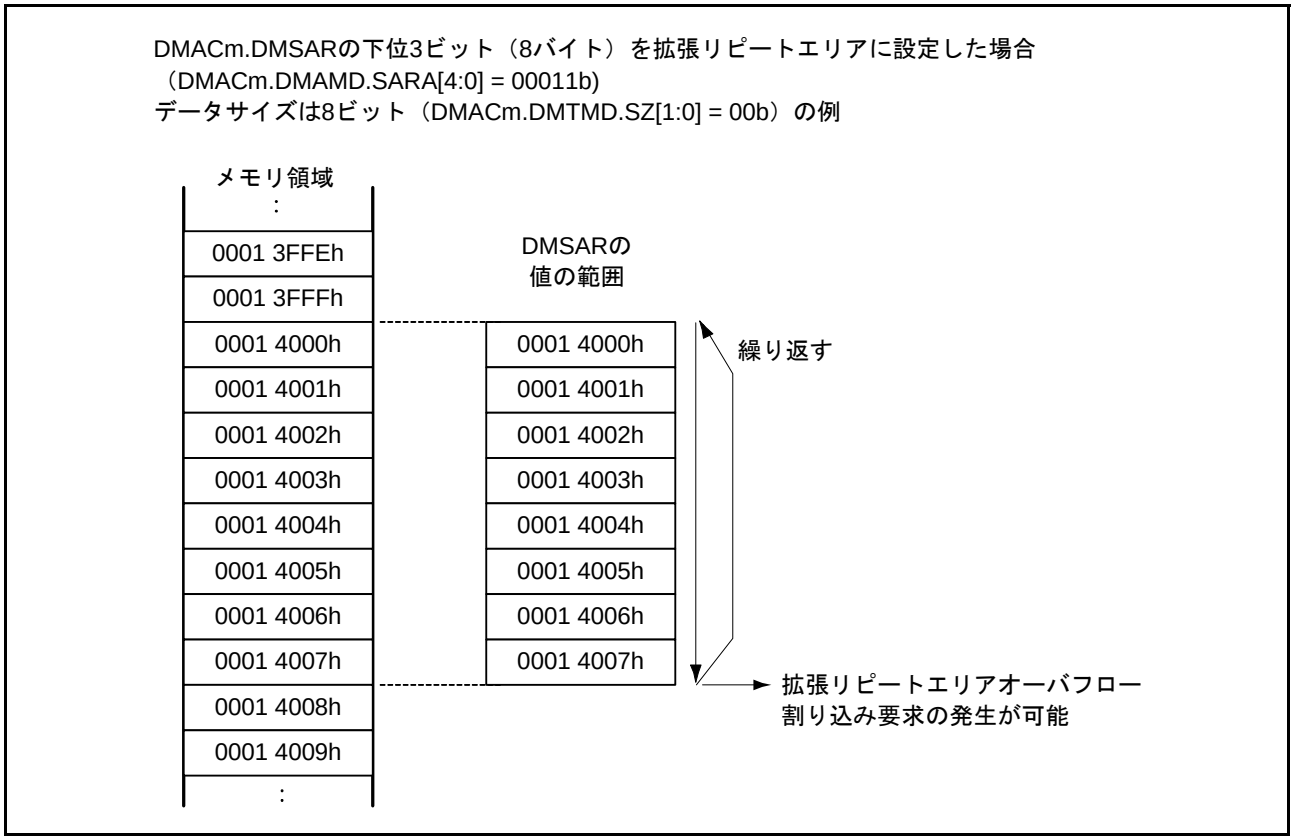


図 18.5　拡張リピートエリア機能の例

拡張リピートエリアオーバフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバフローの発生で転送を終了させる場合は、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックのデータを転送中に拡張リピートエリアにオーバフローが発生した場合は、1 ブロックのデータ転送が終了するまで拡張リピートエリアオーバフロー割り込み要求は保留され、転送はオーバランします。

図 18.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

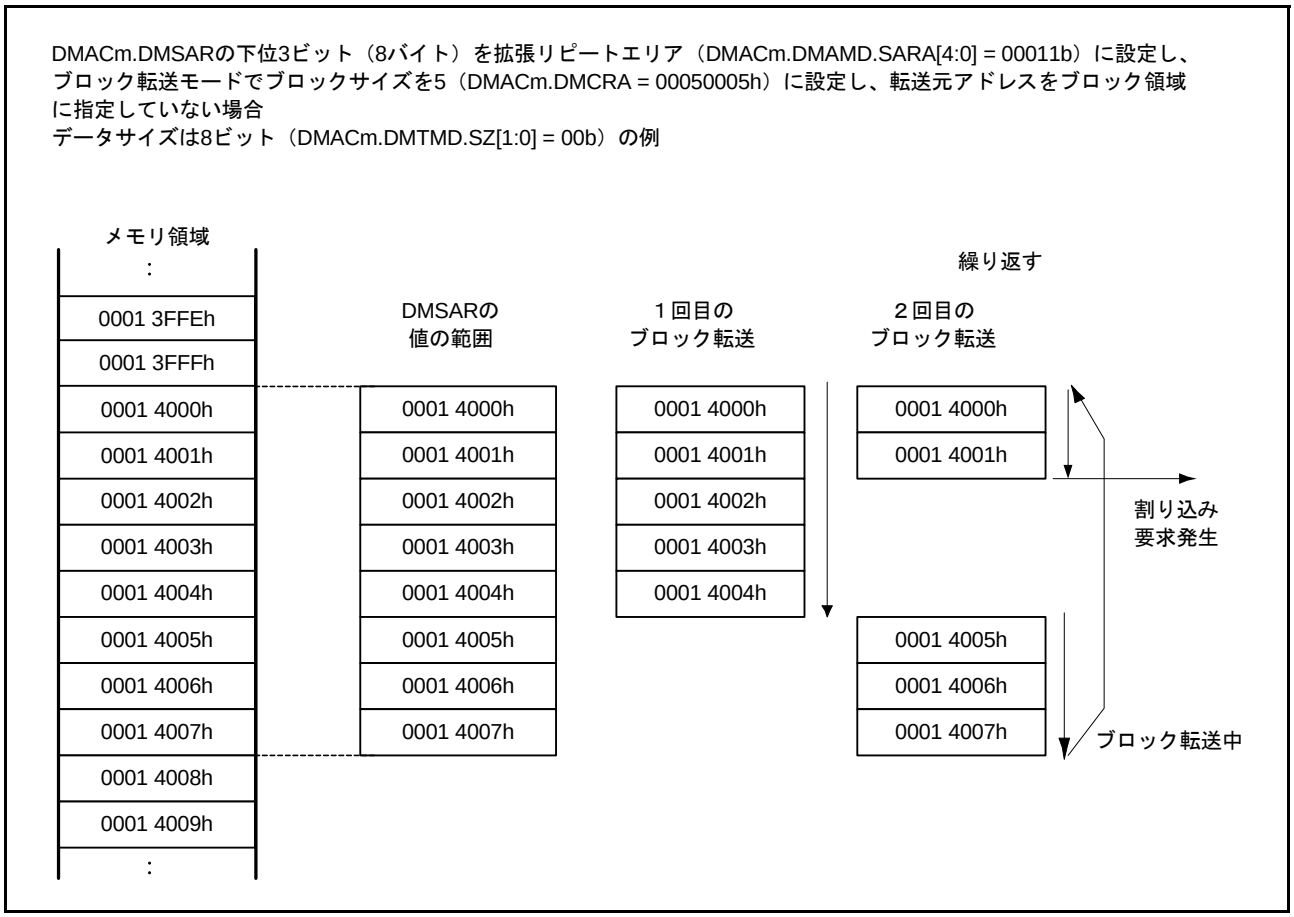


図 18.6　ブロック転送モードと拡張リピートエリア機能を併用した例

18.3.3　オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定 / インクリメント / デクリメントの他にオフセット加算があります。オフセット加算では、1 データの転送を行うたびに DMA オフセットレジスタ（DMAC0.DMOFR）に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR に 2 の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャネルは DMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を**表 18.6** に示します。

表 18.6　各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 （DMACm.DMTMD.SZ[1:0] 設定値別更新方法）		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR（注1）		
インクリメント	10b	+1	+2	+4
デクリメント	11b	–1	–2	–4

注1.　オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = ～（オフセット値）+1 （～：ビット反転）

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図 18.7 に示します。

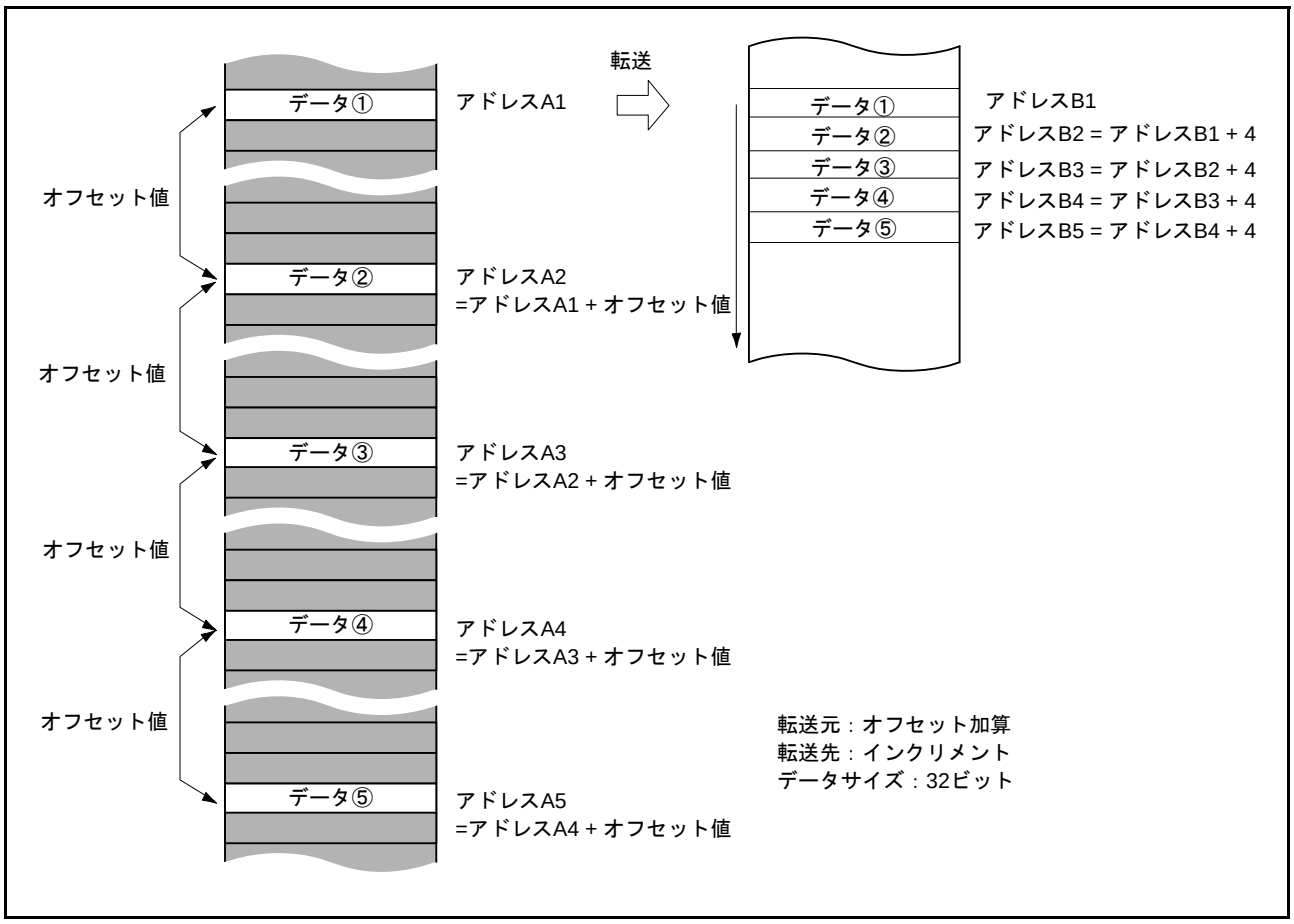


図 18.7　オフセットによるアドレス更新機能の動作例

図 18.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 18.8 にリピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リピート転送
- DMAC0.DMTMD レジスタ：リピート領域選択ビット：転送元側がリピート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リピートサイズ：4h
- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

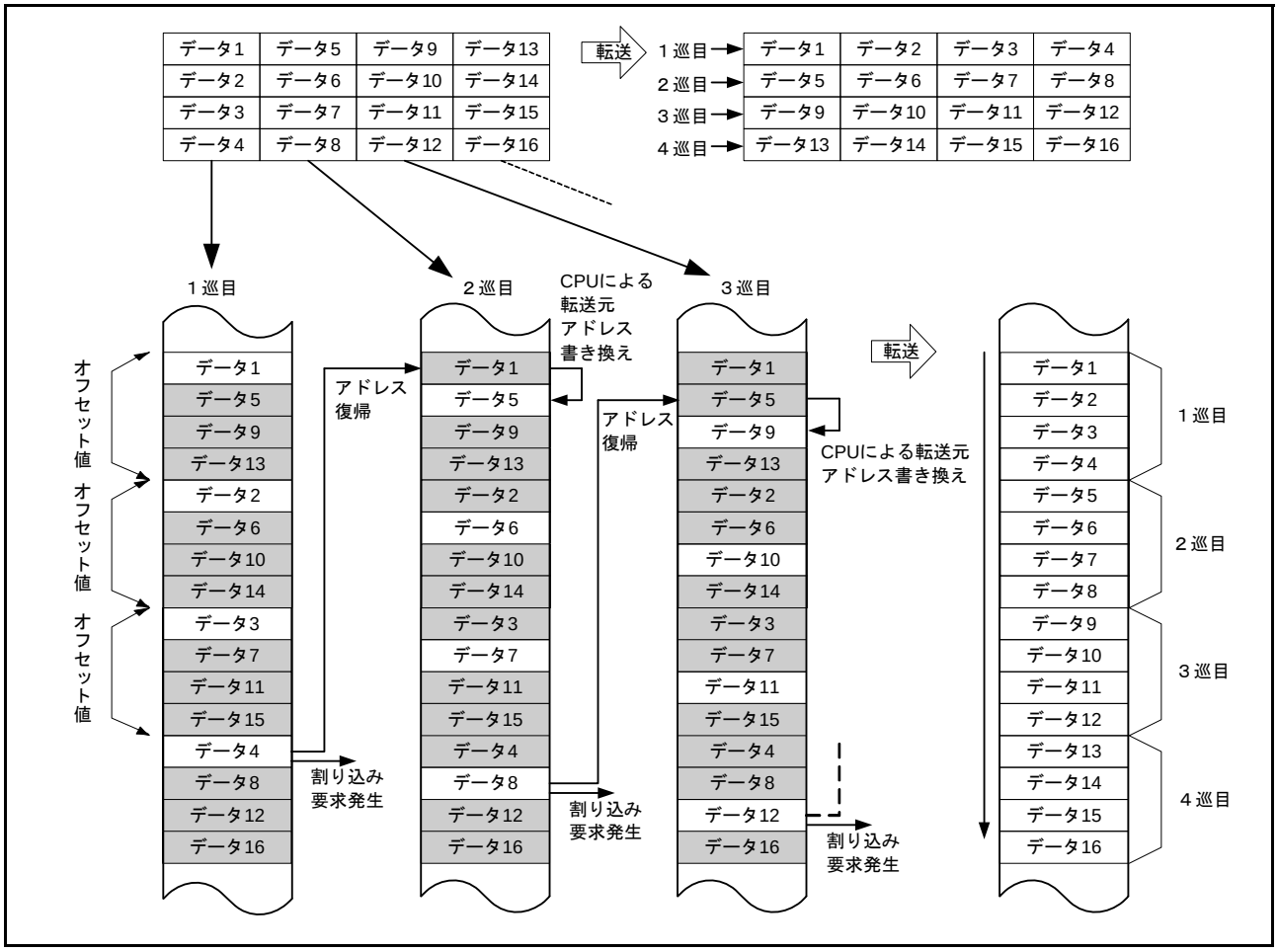


図 18.8　リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“ データ 4” までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス（転送元 “ データ 1” のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA 転送元アドレスを “ データ 5” のアドレスに書き換え
  （上記の例では “ データ 1” のアドレスに 4 を加算した値に書き換え）
- DMAC0.DMCNT レジスタ：DTE ビットに “1” 書き込み

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 18.9 に XY 変換の処理フローを示します。

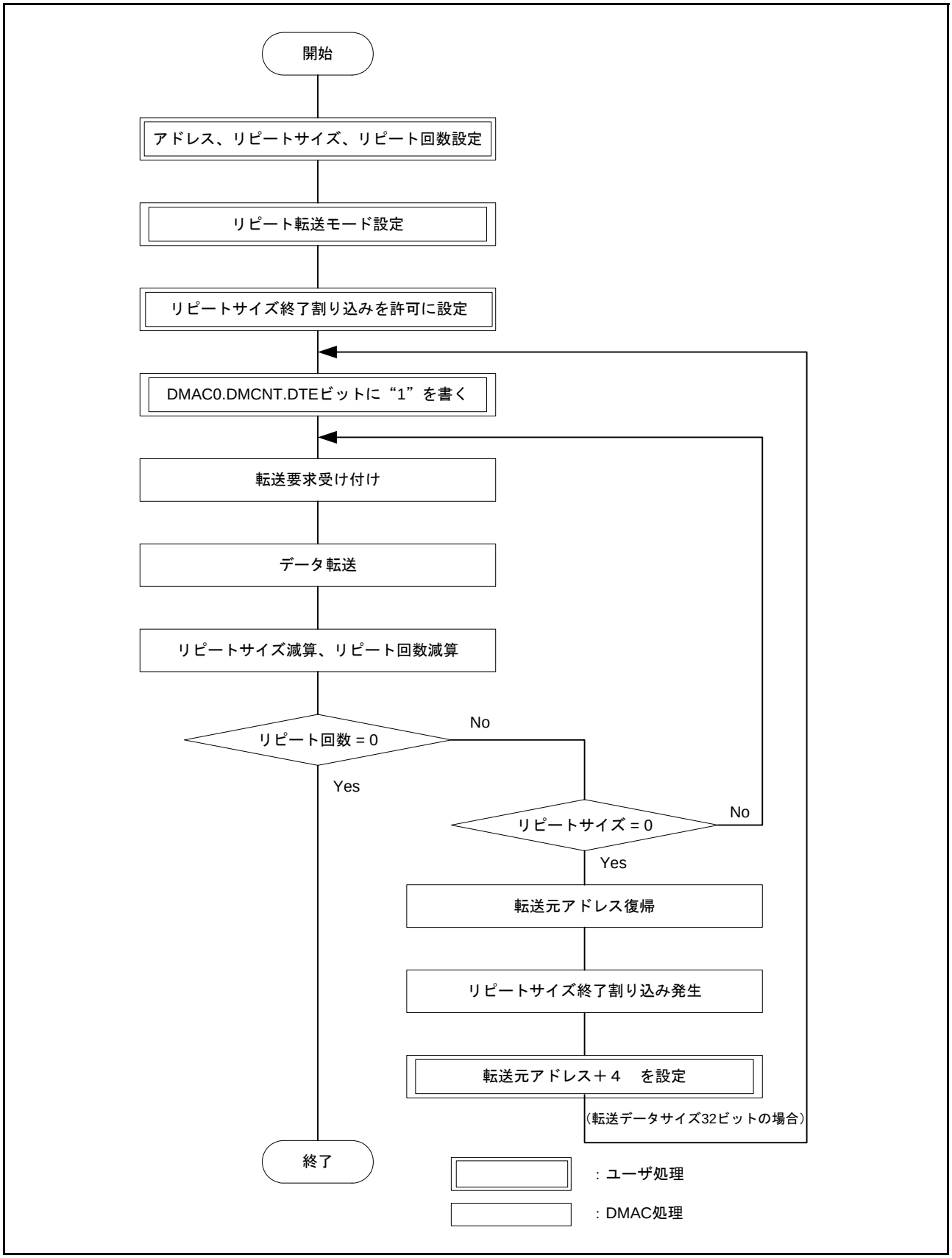


図 18.9　リピート転送モード + オフセット加算による XY 変換のフロー

18.3.4　起動要因

DMAC の起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択は DMACm.DMTMD.DCTG[1:0] ビットで設定できます。

(1)　ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動により DMA 転送を開始するには、DMACm.DMTMD.DCTG[1:0] ビットを “00b” にした後に、DMACm.DMCNT.DTE ビットを “1”（DMA 転送許可）にしてください。また、DMAST.DMST ビットを “1”（DMAC 起動許可）にしてください。その後、DMACm.DMREQ.SWREQ ビットに “1”（DMA 転送要求あり）を書くと DMA 動作が開始します。

DMACm.DMREQ.CLRS ビットが “0” でソフトウェア起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが “0” になります。DMACm.DMREQ.CLRS ビットが “1” でソフトウェア起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求を発生します。

(2)　周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求を DMA 転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ（ICU）の ICU.DMRSRm レジスタ（m = 0 ～ 3）で選択します。チャネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求により DMA を起動するには、DMACm.DMTMD.DCTG[1:0] ビットを “01b”（周辺モジュールおよび外部割り込み端子からの割り込み）にした後に、DMACm.DMCNT.DTE ビットを “1” （DMA 転送を許可）にしてください。また、DMAST.DMST ビットを “1”（DMAC 起動を許可）にしてください。その後に割り込み要求が発生すると、DMA 動作を開始します。

DMAC の起動要因となる割り込み要因一覧は、**「15.　割り込みコントローラ（ICUb）」**の**「表 15.3　割り込みのベクタテーブル」**を参照してください。

18.3.5　動作タイミング

図 18.10、図 18.11 に DMAC の動作タイミングの例を示します。

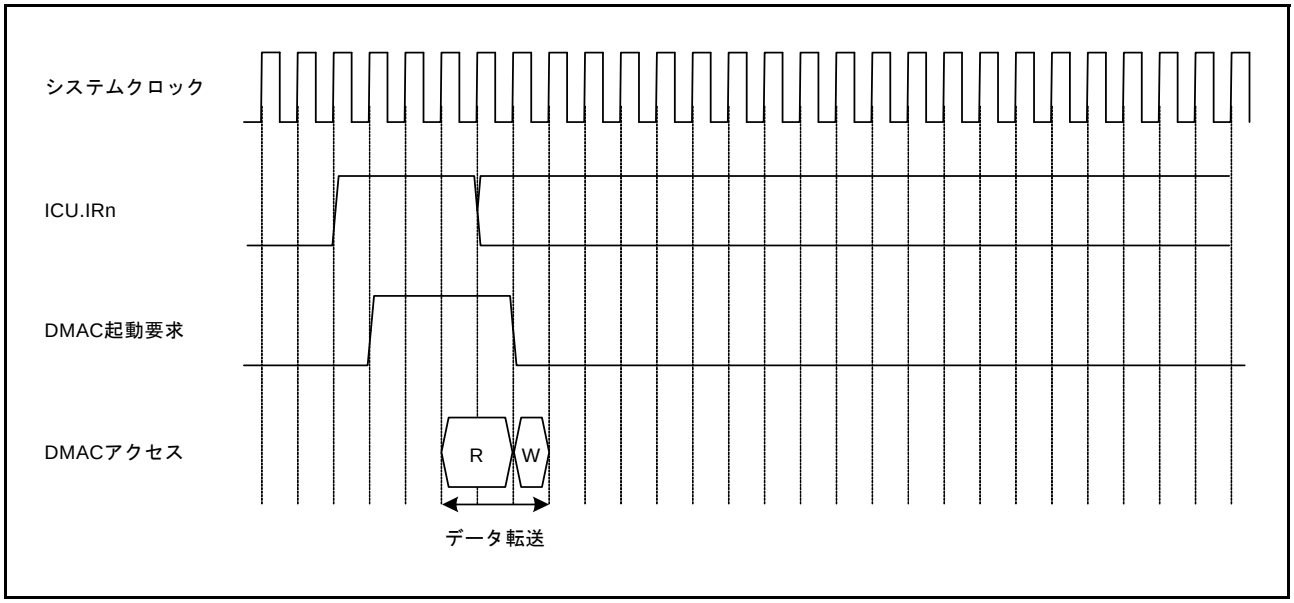


図 18.10　DMAC 動作タイミング例（1）（周辺モジュール／外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合）

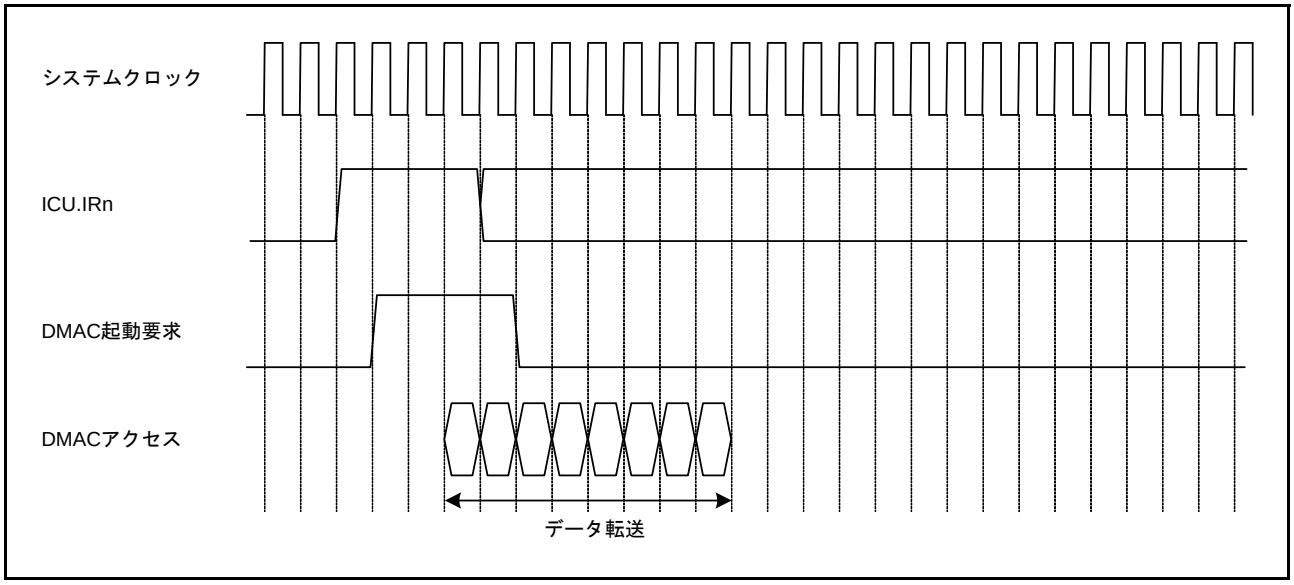


図 18.11　DMAC 動作タイミング例（2）（周辺モジュール／外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ＝ 4 の場合）

18.3.6 DMAC の実行サイクル

表 18.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表18.7　DMACの実行サイクル

転送モード	データ転送（リード）	データ転送（ライト）
ノーマル	Cr＋1	Cw
リピート	Cr＋1	Cw
ブロック（注1）	P × Cr	P × Cw

注1.　ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ（DMCRAH レジスタの設定値）
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「46.　RAM」、「47.　フラッシュメモリ」、「5.　I/O レジスタ」、「16.2.6　外部バス」を参照してください。
データ転送（リード）の「+1」の単位はシステムクロック（ICLK）です。
動作例は「18.3.5　動作タイミング」を参照してください。）

18.3.7 DMAC の起動

図 18.12 にレジスタの設定手順を示します。

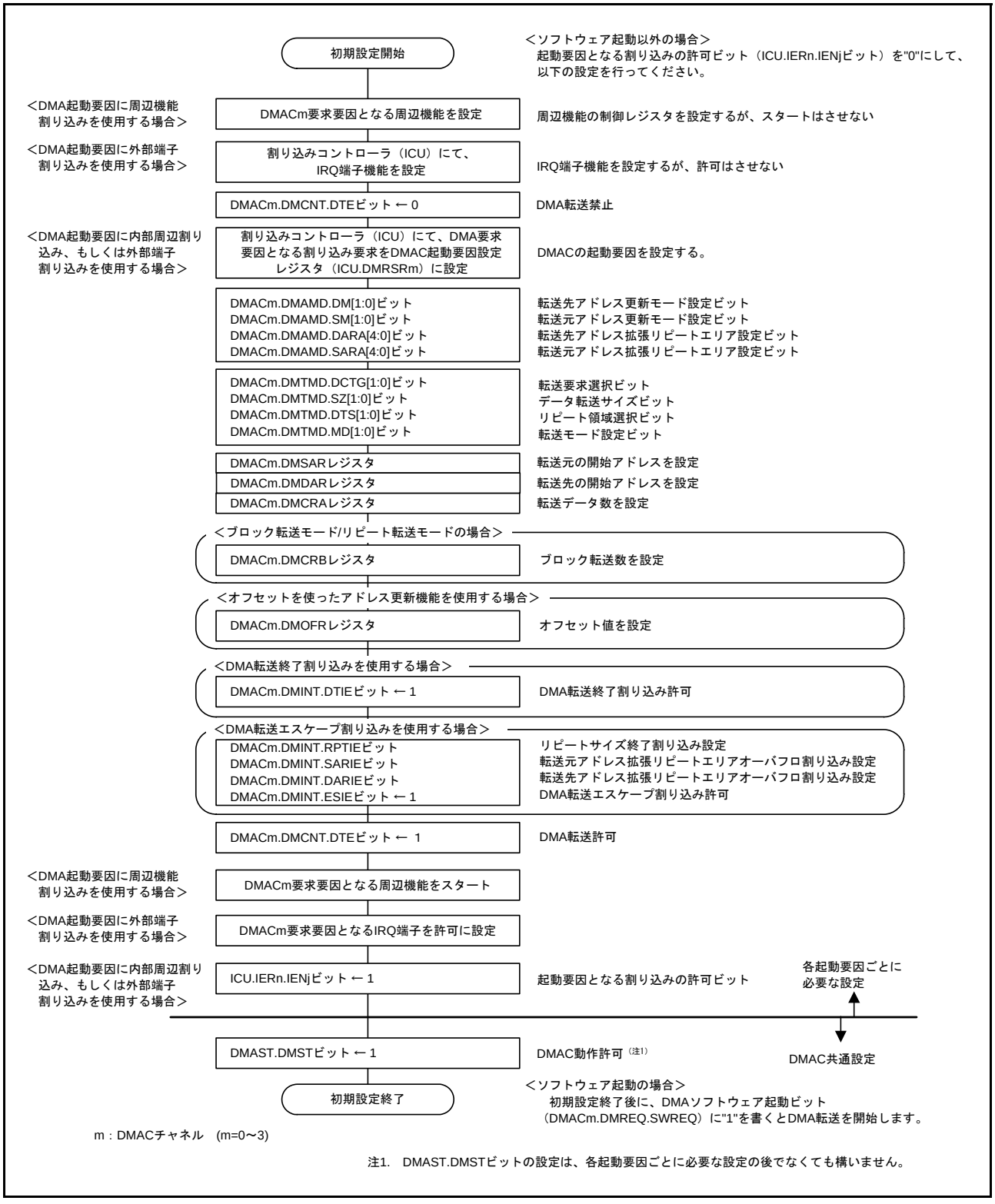


図 18.12　レジスタの設定手順

18.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを “1”（DMA 転送許可）にして、DMAST.DMST ビットを “1”（DMAC 起動許可）にすると、チャネル m（m = 0 ～ 3）の DMA 転送が可能になります。

他の DMAC チャネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが “1”（DMAC 動作中）になります。

18.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ（DMACm.DMSAR）

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は**表 18.3 ～表 18.5** を参照してください。

(2) DMA 転送先アドレスレジスタ（DMACm.DMDAR）

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は**表 18.3 ～表 18.5** を参照してください。

(3) DMA 転送カウントレジスタ（DMACm.DMCRA）

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は**表 18.3 ～表 18.5** を参照してください。

(4) DMA ブロック転送カウントレジスタ（DMACm.DMCRB）

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は**表 18.3 ～表 18.5** を参照してください。

(5) DMA 転送許可ビット（DMACm.DMCNT.DTE）

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが “0” になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが “1” になっているチャネルのレジスタの書き込みは禁止です（DMACm.DMCNT レジスタを除く）。DMACm.DMCNT.DTE ビットに “0” を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ（DMACm.DMSTS.ACT ビット）

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると “1” にセットされ、1 転送要求に対するデータ転送を終了すると “0” になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに “0” をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで “1” を保持します。

(7) 転送終了割り込みフラグ（DMACm.DMSTS.DTIF フラグ）

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは “1” にセットされます。

DMACm.DMSTS.DTIF フラグが “1” にセットされ、DMACm.DMINT.DTIE ビットが “1” にセットされていると転送終了割り込み要求を発生します。

DMACm.DMSTS.DTIF フラグが “1” にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが “0” になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに “1” を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが “0” クリアされます。

(8) 転送エスケープ割り込みフラグ（DMACm.DMSTS.ESIF）

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは “1” にセットされます。DMACm.DMSTS.ESIF フラグが “1” にセットされ、DMACm.DMINT.ESIE ビットが “1” にセットされていると転送エスケープ割り込み要求を発生します。

DMACm.DMSTS.ESIF フラグに “1” がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが “0“ になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに “1” を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが “0” にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。

18.3.10　チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 ＞ チャネル 1 ＞ チャネル 2 ＞ チャネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

18.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが “1” から “0” になり、DMA 転送が終了したことを示します。

18.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード（DMACm.DMTMD.MD[1:0] = 00b）のとき

DMACm.DMCRAL レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード（DMACm.DMTMD.MD[1:0] = 01b）のとき

DMACm.DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード（DMACm.DMTMD.MD[1:0] = 10b）のとき

DMACm.DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.DTIF フラグが “1” にセットされます。このとき DMACm.DMINT.DTIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ（ICUb）」を参照してください。

18.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが “1” にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求を発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.ESIF フラグが “1” にセットされます。このとき DMACm.DMINT.ESIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを “1” にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求を発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ（ICUb）」を参照してください。

18.4.3　拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが “1” にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが “0” にクリアされ、同時に DMACm.DMSTS.ESIF フラグが “1” にセットされます。このとき DMACm.DMINT.ESIE ビットが “1” にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。

18.5　割り込み

DMAC はチャネルごとに、1 要求分の転送完了後に CPU または DTC に割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を**表** 18.8 に、割り込み出力の概略論理図を**図** 18.13 に示します。また、DMAC 割り込み処理で、DMA 転送を再開 / 中止する手順を**図** 18.14 に示します。

表 18.8　割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバフロー	DMACm.DMINT.DARIE		

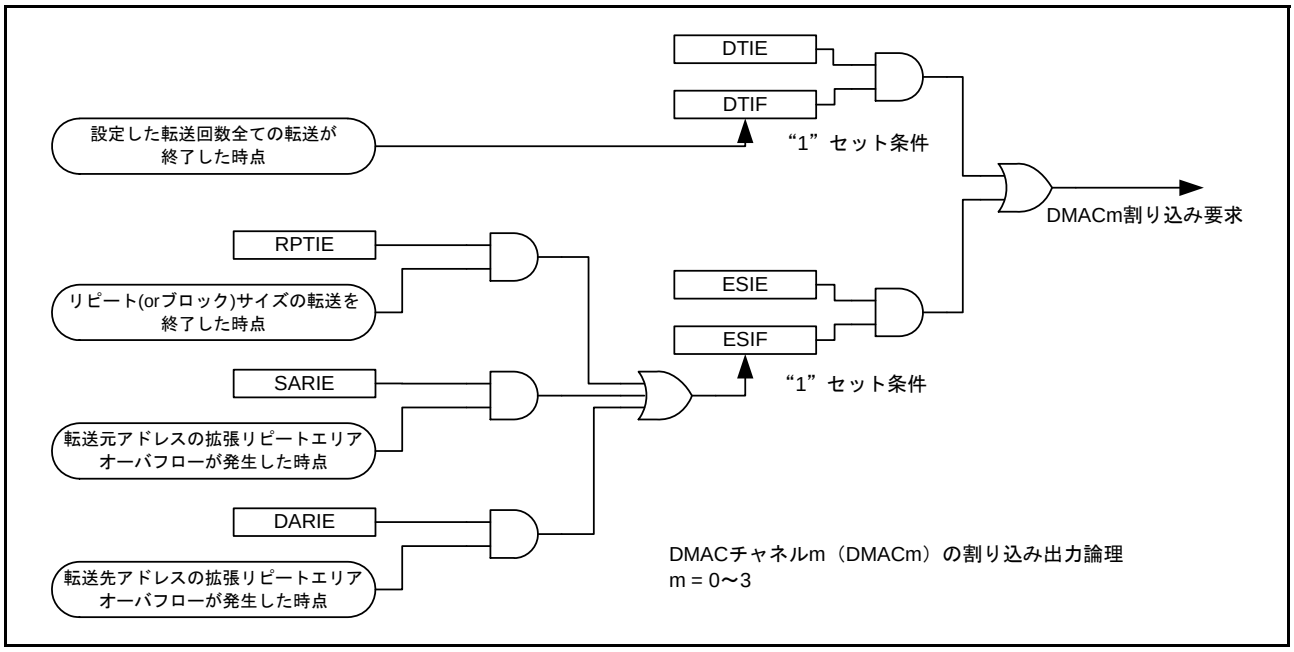


図 18.13　割り込み出力の概略論理図

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに “0” を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに “1”（DMA 転送許可）を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに “1” を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが “0” にクリア（割り込み要因がクリア）され、転送が再開します。

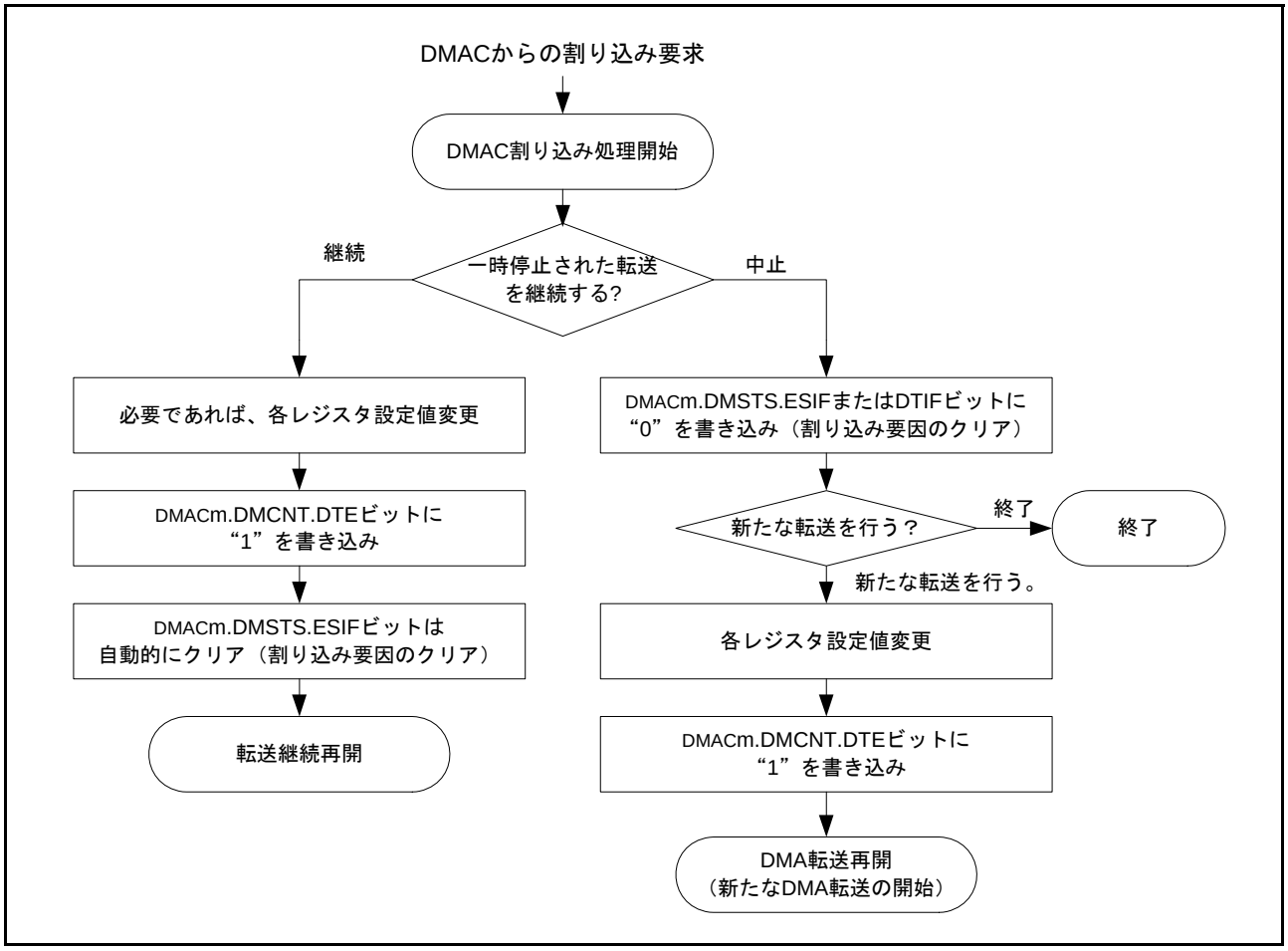


図 18.14　DMAC 割り込み処理で DMA 転送を再開／中止する手順

18.6　消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに “0”（DMAC モジュール停止）を書いた後、それぞれ以下の処理をしてください。

(1)　モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1”（モジュールストップ状態への遷移）を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが “1” のとき、DMAC のレジスタにアクセスしないください。

MSTPCRA.MSTPA28 ビットに “0”（モジュールストップ状態の解除）を書くことにより、DMAC のモジュールストップが解除されます。

(2)　全モジュールクロックストップモード

「11.　消費電力低減機能」の**「11.6.2.1　全モジュールクロックストップモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DMAC のモジュールストップが解除されます。

(3)　ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11.　消費電力低減機能」の**「11.6.3.1　ソフトウェアスタンバイモードへの移行」**、もしくは**「11.6.4.1　ディープソフトウェアスタンバイモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4)　消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、**「11.　消費電力低減機能」**の**「11.7.6　WAIT 命令の実行タイミング」**を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに “1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、**「15.　割り込みコントローラ（ICUb）」**の**「15.5.3　割り込み要求先の選択」**の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.7 使用上の注意事項

18.7.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが “0”（DMAC 停止中）になることがあります。

18.7.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが “0”（DMAC 停止中）になることがあります。

18.7.3 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが “1”（DMAC 動作中）、または DMACm.DMCNT.DTE ビットが “1”（DMA 転送許可）の状態で、同じチャネルの設定レジスタ（DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、DMCSL）へのアクセスは行わないでください。

18.7.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。
予約領域についての詳細は「4. アドレス空間」を参照してください。

18.7.5 DMA 起動要因フラグ制御レジスタ（DMCSL）設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを “1” に設定すると、1 回の DMA 起動要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に “0” クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。
割り込みフラグ、割り込み要求先変更については、「15. 割り込みコントローラ（ICUb）」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「18.2.12 DMA 起動要因フラグ制御レジスタ（DMCSL）」を参照してください。

18.7.6 割り込みコントローラの DMAC 起動要求選択レジスタ（ICU.DMRSRm）の設定

DMAC 起動要求選択レジスタ（ICU.DMRSRm）の設定は、DMA 転送許可ビット（DMACm.DMCNT.DTE ビット）が “0”（DMA 転送を禁止）のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ（ICU.DTCERn）を “1” にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「15. 割り込みコントローラ（ICUb）」を参照してください。

18.7.7 DMA 起動の保留 / 再開方法

DMA 起動要求を保留する場合は、起動要因の割り込み許可ビット（ICU.IERn.IENj ビット）を “0” にしてください。DMA 転送を再開する場合は「18.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを “1” にしてください。

19. EXDMA コントローラ（EXDMACa）

RX63N グループ、RX631 グループは、2 チャネルの外部バス転送専用 DMAC（EXDMAC）を内蔵しています。

EXDMAC は、CPU を介さずにデータ転送を行います。EXDMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

19.1 概要

表 19.1 に EXDMAC の仕様を、**図 19.1** に EXDMAC のブロック図を示します。

表19.1　EXDMACの仕様

項目		内容
チャネル数		2チャネル（EXDMAC0、EXDMAC1）
転送空間		512Mバイト （00000000h～0FFFFFFFhとF0000000h～FFFFFFFFhのうち予約領域を除く外部領域）
最大転送データ数		1Mデータ（ブロック転送モード最大総転送数：1024データ×1024ブロック）
DMA起動要因		• チャネルごとに3種類の起動要因を選択可能 ソフトウェアトリガ 外部DMA転送要求入力 周辺モジュール（MTU1あるいはTPU7のコンペアマッチA）からのDMA転送要求
チャネル優先順位		チャネル0 ＞ チャネル1（チャネル0が最優先）
転送データ	1データ	ビット長：8ビット、16ビット、32ビット
	ブロックサイズ	データ数：1～1024データ
	クラスタサイズ	データ数：1～8データ
転送モード	ノーマル転送モード	• 1回のDMA転送要求で1データを転送 • 総データ転送数を指定しない設定（フリーランニングモード）が可能
	リピート転送モード	• 1回のDMA転送要求で1データを転送 • 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • リピートサイズは最大1024回設定可能
	ブロック転送モード	• 1回のDMA転送要求で1ブロックのデータを転送 • ブロックサイズは最大1024データ設定可能
	クラスタ転送モード	• 1回のDMA転送要求で1クラスタのデータを転送 • クラスタサイズは最大8データ（32バイト）設定可能
アドレスモード	シングルアドレスモード	• 転送元または転送先の周辺デバイスをEDACKn信号(n=0、1)でアクセスし、もう一方をアドレス指定してデータを転送 • ノーマル転送モード、リピート転送モード、ブロック転送モードで使用可能
	デュアルアドレスモード	• 転送元、転送先双方をアドレス指定しデータを転送 • ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モードで使用可能
選択機能	拡張リピートエリア機能	• 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 • 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能

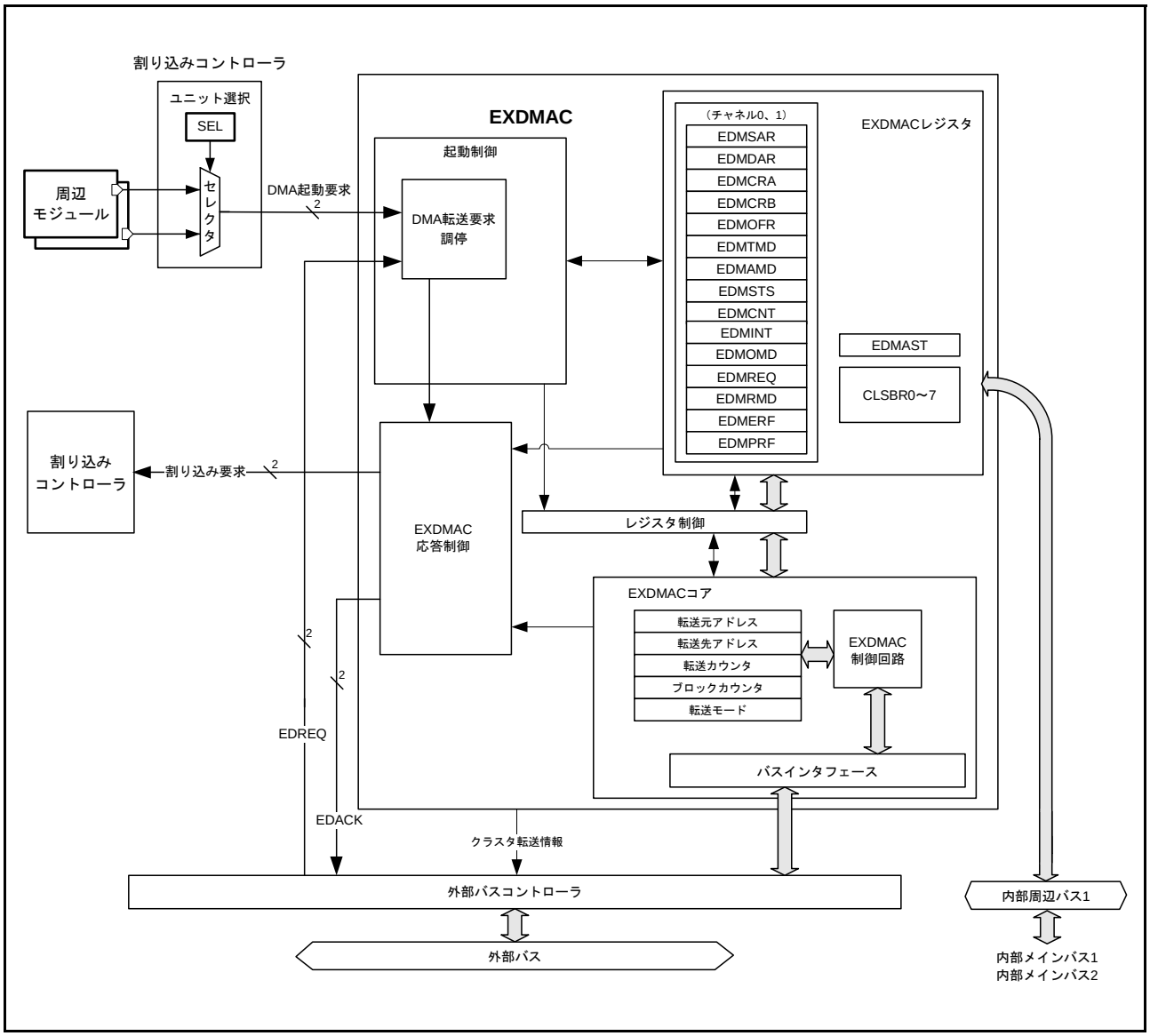


図 19.1　EXDMAC のブロック図

EXDMAC の入出力端子を**表 19.2** に示します。

表19.2　EXDMACの入出力端子

チャネル	端子	入出力	機能
EXDMAC0	EDREQ0	入力	EXDMAC0の外部DMA転送要求
	EDACK0	出力	EXDMAC0のシングルアドレス転送アクノリッジ
EXDMAC1	EDREQ1	入力	EXDMAC1の外部DMA転送要求
	EDACK1	出力	EXDMAC1のシングルアドレス転送アクノリッジ

19.2　レジスタの説明

19.2.1　EXDMA 転送元アドレスレジスタ（EDMSAR）

アドレス　EXDMAC0.EDMSAR：0008 2800h、EXDMAC1.EDMSAR：0008 2840h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

EDMSAR レジスタを設定する場合は、EXDMAC 起動禁止（EDMAST.DMST ビット = 0）、または DMA 転送禁止（EDMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。EDMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

19.2.2　EXDMA 転送先アドレスレジスタ（EDMDAR）

アドレス　EXDMAC0.EDMDAR：0008 2804h、EXDMAC1.EDMDAR：0008 2844h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

EDMDAR レジスタを設定する場合は、EXDMAC 起動禁止（EDMAST.DMST ビット = 0）、または DMA 転送禁止（EDMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。EDMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

19.2.3 EXDMA転送カウントレジスタ（EDMCRA）

アドレス EXDMAC0.EDMCRA：0008 2808h、EXDMAC1.EDMCRA：0008 2848h

・ノーマル転送モード

EDMCRAH

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

EDMCRAL

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・リピート転送モード、ブロック転送モード

EDMCRAH

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

EDMCRAL

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. 転送モードによって機能が異なります。

・クラスタ転送モード

EDMCRAH

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

EDMCRAL

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0	0	0	0	0	0	0	0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

シンボル	ビット名	機能	R/W
EDMCRAL	転送カウント下位ビット	転送回数を設定	R/W
EDMCRAH	転送カウント上位ビット		R/W

注. リピート転送モード時、ブロック転送モード時およびクラスタ転送モード時は、EDMCRAH、EDMCRALレジスタには同じ値を設定してください。

(1) ノーマル転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 00b）のとき

EDMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント（–1）します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。

ノーマル転送モードでは EDMCRAH レジスタを使用しません。EDMCRAH レジスタへは “0000h” を書いてください。

(2) リピート転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 01b）のとき

EDMCRAH レジスタはリピートサイズを保持し、EDMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。リピート転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲は、いずれも 000h ～ 3FFh（転送回数：1 ～ 1024）です。

EDMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。EDMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント（–1）され、“000h” になると EDMCRAH レジスタの値が転送されます。

(3) ブロック転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 10b）のとき

EDMCRAH レジスタはブロックサイズを保持し、EDMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。ブロック転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲は、いずれも 000h ～ 3FFh（1 回 ～ 1024 回）です。

EDMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。EDMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント（–1）され、“000h” になると EDMCRAH レジスタの値が転送されます。

(4) クラスタ転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 11b）のとき

EDMCRAH レジスタはクラスタサイズを保持し、EDMCRAL レジスタは 3 ビットのクラスタサイズカウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“007h” のときは 7 回、“000h” のときは 8 回となります。クラスタ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 000h ～ 007h（1 回～ 8 回）です。

EDMCRAL レジスタのビット 15 ～ 3 の設定値は無効です。EDMCRAL レジスタのビット 15 ～ 3 へは “0” を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント（–1）され、“000h” になると EDMCRAH レジスタの値が転送されます。

19.2.4 EXDMA ブロック転送カウントレジスタ（EDMCRB）

アドレス　EXDMAC0.EDMCRB：0008 280Ch、EXDMAC1.EDMCRB：0008 284Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b9-b0	ブロック転送モード時のブロック転送回数、リピート転送モード時のリピート転送回数、またはクラスタ転送モード時のクラスタ転送回数を設定	001h～3FFh　（1～1023回） 000h　（1024回）	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント（－ 1）されます。

ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント（－ 1）されます。

クラスタ転送モードの場合、1 クラスタサイズの最終データ転送時にデクリメント（－ 1）されます。

ノーマル転送モード設定時は、EDMCRB レジスタを使用しません。設定値は無効です。

19.2.5 EXDMA 転送モードレジスタ（EDMTMD）

アドレス EXDMAC0.EDMTMD：0008 2810h、EXDMAC1.EDMTMD：0008 2850h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0：ソフトウェア 0 1：設定しないでください 1 0：外部DMA転送要求端子（EDREQn端子） 1 1：周辺モジュール（MTU1あるいはTPU7のコンペアマッチA）からのDMA転送要求	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0：8ビット転送 0 1：16ビット転送 1 0：32ビット転送 1 1：設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0：転送先側がリピート領域またはブロック領域 0 1：転送元側がリピート領域またはブロック領域 1 0：リピート領域、ブロック領域は設定しない 1 1：設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0：ノーマル転送 0 1：リピート転送 1 0：ブロック転送 1 1：クラスタ転送	R/W

DTS[1:0] ビット（リピート領域選択ビット）

リピート転送モードあるいはブロック転送モード、クラスタ転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードでは DTS[1:0] ビットの設定値は無効です。

19.2.6 EXDMA 出力設定レジスタ（EDMOMD）

アドレス EXDMAC0.EDMOMD：0008 2812h、EXDMAC1.EDMOMD：0008 2852h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DACKS	DACKE	DACKW	DACKSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DACKSEL	EDACKn 端子トグル選択ビット	0：EDACKn 端子のトグルを禁止 1：EDACKn 端子のトグルを許可	R/W
b1	DACKW	EDACKn 端子ネゲートウェイトビット	0：EDACKn 端子は RDn# 端子、WRn# と同時にネゲート 1：EDACKn 端子は RDn# 端子の 1BCLK 前にネゲート、WRn＃端子の 1BCLK 後にネゲート	R/W
b2	DACKE	EDACKn 端子出力許可ビット	0：EDACKn 端子の出力を禁止 1：EDACKn 端子の出力を許可	R/W
b3	DACKS	EDACKn 端子極性設定ビット	0：EDACKn 端子の極性を Low アクティブ 1：EDACKn 端子の極性を High アクティブ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DACKSEL ビット（EDACKn 端子トグル選択ビット）

SDRAM 領域とのシングルアドレスモードでのノーマル転送、リピート転送、ブロック転送における EDACKn 端子のトグル出力の禁止 / 許可を設定します。

SDRAM 領域とのシングルアドレスモード（EDMAMD.AMS ビット = 1）でのノーマル転送、リピート転送またはブロック転送のとき、DACKSEL ビットが “0” であれば、EDACKn 端子は、データ有効期間中アサートされます。DACKSEL ビットが “1” であれば、EDACKn 端子は、データ有効期間の後半の 1/2 SDCLK のみアサートされます。

CS 領域の場合、DACKSEL ビットの値は無効です。

また、デュアルアドレスモードでの転送、およびクラスタ転送時は DACKSEL ビットの値は無効です。EDACKn 端子は出力されません。

DACKW ビット（EDACKn 端子ネゲートウェイトビット）

CS 領域とのシングルアドレスモードでのノーマル転送、リピート転送、ブロック転送における EDACKn 端子のネゲートタイミングを設定します。

CS 領域とのシングルアドレスモード（EDMAMD.AMS ビット = 1）でのノーマル転送、リピート転送またはブロック転送のとき、DACKW ビットが “0” であれば、EDACKn 端子は RDn# 端子もしくは WRn# 端子のネゲートタイミングと同時にネゲートします。DACKW ビットが “1” であれば、EDACKn 端子は RDn# 端子のネゲートタイミングの 1BCLK サイクル前に、もしくは WRn# 端子のネゲートタイミングの 1 BCLK サイクル後にネゲートされます。

SDRAM 領域の場合、DACKW ビットの値は無効です。EDACKn 端子のネゲートタイミングの変更はできません。

また、デュアルアドレスモードでの転送、およびクラスタ転送時は DACKW ビットの値は無効です。EDACKn 端子は出力されません。

DACKE ビット（EDACKn 端子出力許可ビット）

EDACKn 端子の出力を許可または禁止します。また、デュアルアドレスモードでの転送時、およびクラスタ転送時、DACKE ビットの値は無効です（EDACKn 端子出力なし）。

19.2.7 EXDMA 割り込み設定レジスタ（EDMINT）

アドレス EXDMAC0.EDMINT：0008 2813h、EXDMAC1.EDMINT：0008 2853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送先アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送先アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送元アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送元アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0：リピートサイズ終了割り込みを禁止 1：リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0：エスケープ割り込みを禁止 1：エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0：転送終了割り込みを禁止 1：転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット（転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

DARIE ビットを “1” にしたとき、転送先アドレスの拡張リピートエリアオーバフローが発生すると、EDMCNT.DTE ビットが “0”（DMA 転送禁止）になります。同時に EDMSTS.ESIF フラグが “1” になり、転送先アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みによって転送終了したチャネルの EDMCNT.DTE ビットを “1”（DMA 転送許可）にすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合は、DARIE ビットの設定値は無効です。

SARIE ビット（転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

SARIE ビットを “1” にしたとき、転送元アドレスの拡張リピートエリアオーバフローが発生すると、EDMCNT.DTE ビットが “0”（DMA 転送禁止）になります。同時に EDMSTS.ESIF フラグが “1” になり、転送元アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みによって転送終了したチャネルの EDMCNT.DTE ビットを “1”（DMA 転送許可）にすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット（リピートサイズ終了割り込み許可ビット）

リピート転送モードで、RPTIE ビットを “1” にしたとき、1 リピートサイズ分の転送終了後に EDMCNT.DTE ビットが “0”（DMA 転送禁止）になります。同時に EDMSTS.ESIF フラグが “1” になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが “10b”（リピート領域、ブロック領域に指定しない）のときでも、リピートサイズ終了割り込み要求を発生させることができます。

ブロック転送モードで、RPTIE ビットを “1” にしたときも同様に 1 ブロックの転送終了後に EDMCNT.DTE ビットが “0” になります。同時に EDMSTS.ESIF フラグが “1” になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが “10b” のときでも、リピートサイズ終了割り込み要求が発生させることができます。

クラスタ転送モードで、RPTIE ビットを “1” にしたときも同様に 1 クラスタの転送終了後に EDMCNT.DTE ビットが “0” になります。同時に EDMSTS.ESIF フラグが “1” になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが “10b” のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット（転送エスケープ終了割り込み許可ビット）

DMA 転送中に発生したエスケープ割り込み要求（リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み）を許可または禁止します。

ESIE ビットを “1” にすると、EDMSTS.ESIF フラグが “1” になったとき、転送エスケープ終了割り込みを発生します。転送エスケープ終了割り込みは ESIE ビットを “0” にするか、EDMSTS.ESIF フラグを “0” にすると解除されます。

DTIE ビット（転送終了割り込み許可ビット）

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを “1” にすると、EDMSTS.DTIF フラグが “1” になったとき、転送終了割り込みを発生します。転送終了割り込みは、DTIE ビットを “0” にするか、EDMSTS.DTIF フラグを “0” にすると解除されます。

19.2.8 EXDMA アドレスモードレジスタ（EDMAMD）

アドレス EXDMAC0.EDMAMD：0008 2814h、EXDMAC1.EDMAMD：0008 2854h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AMS	DIR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]		—	SARA[4:0]					DM[1:0]			DARA[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます。設定値詳細は表19.3を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0：アドレス固定 0 1：オフセット加算（注1） 1 0：インクリメント 1 1：デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます。設定値詳細は表19.3を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0：アドレス固定 0 1：オフセット加算（注1） 1 0：インクリメント 1 1：デクリメント	R/W
b16	DIR	シングルアドレス方向選択ビット	0：EDMSARレジスタを転送元アドレスとしてシングル転送。転送先へはEDACKn出力 1：EDMDARレジスタを転送先アドレスとしてシングル転送。転送元へはEDACKn出力	R/W
b17	AMS	アドレスモード選択ビット	0：デュアルアドレスモード 1：シングルアドレスモード	R/W
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. オフセット加算はEXDMAC0のみ設定可能です。

DARA[4:0] ビット（転送先アドレス拡張リピートエリア設定ビット）

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減によって拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送、ブロック転送またはクラスタ転送のとき、EDMTMD.DTS[1:0] を “00b”（転送先側がリピート領域またはブロック領域）に設定している場合、DARA[4:0] ビットには “00000b” を書いてください。

EDMINT.DARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 19.3** に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット（転送先アドレス更新モード設定ビット）

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき +1、EDMTMD.SZ[1:0] = 01b のとき +2、EDMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき -1、EDMTMD.SZ[1:0] = 01b のとき -2、EDMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択したとき、EXDMAC0.EDMOFR レジスタで設定した値が加算されます。オフセット加算設定は、EXDMAC0 のみ可能です。

SARA[4:0] ビット（転送元アドレス拡張リピートエリア設定ビット）

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減によって拡張リピートエリアからオーバフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送、ブロック転送またはクラスタ転送のとき、EDMTMD.DTS[1:0] ビットを “ 01b”（転送元側がリピート領域またはブロック領域）に設定している場合、SARA[4:0] ビットには “00000b” を書いてください。

EDMINT.SARIE ビットが “1” にされているとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 19.3** に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット（転送元アドレス更新モード設定ビット）

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき +1、EDMTMD.SZ[1:0] = 01b のとき +2、EDMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき -1、EDMTMD.SZ[1:0] = 01b のとき -2、EDMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択したとき、EXDMAC0.EDMOFR レジスタで設定した値が加算されます。オフセット加算設定は、EXDMAC0 のみ可能です。

DIR ビット（シングルアドレス方向選択ビット）

シングルアドレスモード時のアドレス方向を選択します。

- **ノーマル転送 / リピート転送 / ブロック転送のとき**

DIR ビットを “0” に設定すると、EDMSAR レジスタを転送元アドレスとして、シングル転送を行います。このとき EDMOMD.DACKE ビットを “1”（EDACKn を出力）にすると、転送先側のデバイスに EDACKn を出力することができます。

DIR ビットを “1” にすると、EDMDAR レジスタを転送先アドレスとしてシングル転送を行います。このとき EDMOMD.DACKE ビットを “1”（EDACKn を出力）にすると、転送元側のデバイスに EDACKn を出力することができます。DIR ビットの設定値は、AMS = 1（シングルアドレスモード）のときに有効となります。AMS = 0（デュアルアドレスモード）のときは無効です。

- **クラスタ転送のとき**

DIR ビットを “0” にすると EDMSAR レジスタを転送元アドレスとして、クラスタ転送リードアドレスモードで転送を行います。外部デバイスからクラスタバッファへの転送が行えます。

DIR ビットを “1” にすると EDMDAR レジスタを転送先アドレスとして、クラスタ転送ライトアドレスモードで転送を行います。クラスタバッファから外部デバイスへの転送が行えます。

DIR ビットの設定値は、AMS = 1（シングルアドレスモード）のときに有効となります。AMS = 0（デュアルアドレスモード）のときは無効です。

AMS ビット（アドレスモード選択ビット）

アドレスモードを選択します。

- **ノーマル転送 / リピート転送 / ブロック転送のとき**

AMS ビットを “0” にするとデュアルアドレスモードとなります。AMS ビットを “1” にするとシングルアドレスモードとなります。

シングルアドレスモードに設定する場合、転送元 / 転送先いずれにアドレスを出力するかを EDMAMD.DIR ビットで設定してください。

- **クラスタ転送のとき**

AMS ビットを “0” にするとデュアルアドレスモードとなります。AMS ビットを “1” にするとリードアドレスモードあるいはライトアドレスモードとなります。

リードアドレスモード、ライトアドレスモードの選択は EDMAMD.DIR ビットで設定してください。

表19.3　拡張リピートエリアの設定と範囲

SARA[4:0]/ DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット（2バイト）を拡張リピートエリアに設定
00010b	当該アドレスの下位2ビット（4バイト）を拡張リピートエリアに設定
00011b	当該アドレスの下位3ビット（8バイト）を拡張リピートエリアに設定
00100b	当該アドレスの下位4ビット（16バイト）を拡張リピートエリアに設定
00101b	当該アドレスの下位5ビット（32バイト）を拡張リピートエリアに設定
00110b	当該アドレスの下位6ビット（64バイト）を拡張リピートエリアに設定
00111b	当該アドレスの下位7ビット（128バイト）を拡張リピートエリアに設定
01000b	当該アドレスの下位8ビット（256バイト）を拡張リピートエリアに設定
01001b	当該アドレスの下位9ビット（512バイト）を拡張リピートエリアに設定
01010b	当該アドレスの下位10ビット（1Kバイト）を拡張リピートエリアに設定
01011b	当該アドレスの下位11ビット（2Kバイト）を拡張リピートエリアに設定
01100b	当該アドレスの下位12ビット（4Kバイト）を拡張リピートエリアに設定
01101b	当該アドレスの下位13ビット（8Kバイト）を拡張リピートエリアに設定
01110b	当該アドレスの下位14ビット（16Kバイト）を拡張リピートエリアに設定
01111b	当該アドレスの下位15ビット（32Kバイト）を拡張リピートエリアに設定
10000b	当該アドレスの下位16ビット（64Kバイト）を拡張リピートエリアに設定
10001b	当該アドレスの下位17ビット（128Kバイト）を拡張リピートエリアに設定
10010b	当該アドレスの下位18ビット（256Kバイト）を拡張リピートエリアに設定
10011b	当該アドレスの下位19ビット（512Kバイト）を拡張リピートエリアに設定
10100b	当該アドレスの下位20ビット（1Mバイト）を拡張リピートエリアに設定
10101b	当該アドレスの下位21ビット（2Mバイト）を拡張リピートエリアに設定
10110b	当該アドレスの下位22ビット（4Mバイト）を拡張リピートエリアに設定
10111b	当該アドレスの下位23ビット（8Mバイト）を拡張リピートエリアに設定
11000b	当該アドレスの下位24ビット（16Mバイト）を拡張リピートエリアに設定
11001b	当該アドレスの下位25ビット（32Mバイト）を拡張リピートエリアに設定
11010b	当該アドレスの下位26ビット（64Mバイト）を拡張リピートエリアに設定
11011b	当該アドレスの下位27ビット（128Mバイト）を拡張リピートエリアに設定
11100b～11111b	設定しないでください

19.2.9 EXDMA オフセットレジスタ（EDMOFR）

アドレス EXDMAC0.EDMOFR：0008 2818h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定	00000000h～00FFFFFFh（0バイト～(16M –1)バイト） FF000000h～FFFFFFFFh（–16Mバイト～–1バイト）	R/W

EDMOFR レジスタを設定する場合は、データ転送中でなく、EXDMAC 停止、または DMA 転送が禁止されているときに書いてください。

ビット 31 ～ 25 への設定値は無効です、ビット 31 ～ 25 へはビット 24 の値がビット拡張されます。EDMOFR レジスタを読んだ場合、ビット拡張された値が読めます。

19.2.10 EXDMA 転送許可レジスタ（EDMCNT）

アドレス EXDMAC0.EDMCNT：0008 281Ch、EXDMAC1.EDMCNT：0008 285Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0：DMA 転送を禁止 1：DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット（DMA 転送許可ビット）

EDMAST.DMST ビットが “1”（EXDMAC 起動許可）で、DTE ビットが “1”（DMA 転送を許可）のとき、対応するチャネルの DMA 転送を開始することができます。

また、DMA 転送中に DTE ビットを “0” にすると、実行中の 1 転送要求に対するデータ転送が終了した後に、DMA 転送が一時停止します。この状態で、再度 DTE ビットを “1” にすることにより、継続して DMA 転送を行うことが可能です。

DTE ビットが “1” のとき、対応する EXDMAC チャネルの DTE ビット以外のレジスタへの書き込みは禁止です。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みによって DMA 転送が停止したとき

19.2.11 EXDMA ソフトウェア起動レジスタ（EDMREQ）

アドレス EXDMAC0.EDMREQ：0008 281Dh、EXDMAC1.EDMREQ：0008 285Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0：DMA転送要求なし 1：DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択ビット	0：ソフトウェア起動後にSWREQビットをクリアする 1：ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット（DMA ソフトウェア起動ビット）

SWREQ ビットを “1” にすると DMA 転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが “0” の場合、SWREQ ビットは “0” になります。CLRS ビットが “1” の場合、SWREQ ビットは “0” になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、EDMTMD.DCTG[1:0] ビットを ”00b”（DMA 起動要因がソフトウェア）に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

EDMTMD.DCTG[1:0] ビットが “00b“ 以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS=0 でソフトウェア起動を行う場合、SWREQ ビットが “0” であることを確認してから SWREQ ビットに “1” を書いてください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- CLRS ビットが “0”（ソフトウェア起動後に SWREQ ビットをクリアする）のときに、ソフトウェアによる要求が受け付けられデータ転送が開始したとき
- “0” を書いたとき

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択ビット）

SWREQ ビットへの “1” 書き込みによる DMA 転送要求に対する転送が開始したときに、SWREQ ビットを “0” にするかしないを設定します。CLRS ビットが “0” の場合、転送が開始されると SWREQ ビットは “0” になります。CLRS ビットが “1” の場合は、SWREQ ビットは “0” になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

19.2.12 EXDMA ステータスレジスタ（EDMSTS）

アドレス EXDMAC0.EDMSTS：008 281Eh、EXDMAC1.EDMSTS：0008 285Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0：転送エスケープ割り込み発生なし 1：転送エスケープ割り込み発生あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0：転送終了割り込みなし 1：転送終了割り込みあり	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	EXDMAアクティブフラグ	0：EXDMACが停止中 1：EXDMACが動作中	R

ESIF フラグ（転送エスケープ割り込みフラグ）

転送エスケープ割り込みが発生したことを示すフラグです。

[“1” になる条件]

- EDMINT.RPTIE ビットが “1” に設定されており、リピート転送モードにおいて 1 リピートサイズ分の転送終了後
- EDMINT.RPTIE ビットが “1” に設定されており、ブロック転送モードにおいて 1 ブロックの転送終了後
- EDMINT.RPTIE ビットが “1” に設定されており、クラスタ転送モードにおいて 1 クラスタの転送終了後
- EDMINT.SARIE ビットが “1” に設定され、EDMAMD.SARA[4:0] ビットが “00000b” 以外（転送元アドレスを拡張リピートエリアに指定）に設定されているときに、転送元アドレスの拡張リピートエリアオーバフローが発生したとき
- EDMINT.DARIE ビットが “1” に設定され、EDMAMD.DARA[4:0] ビットが “00000b” 以外（転送先アドレスを拡張リピートエリアに指定）に設定されているときに、転送先アドレスの拡張リピートエリアオーバフローが発生したとき

[“0” になる条件]

- “0” を書いたとき
- EDMCNT.DTE ビットに “1” を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき
  （EDMCRAL レジスタが “0” になり転送が終了したとき）
- リピート転送モードにおいて指定リピート回数の転送が終了したとき
  （EDMCRB が “0” になり転送が終了したとき）
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき
  （EDMCRB が “0” になり転送が終了したとき）

- クラスタ転送モードにおいて指定クラスタ数の転送が終了したとき
  （EDMCRB が “0” になり転送が終了したとき）

[“0” になる条件]

- “0” を書いたとき
- EDMCNT.DTE ビットに “1” を書いたとき

ACT フラグ（EXDMA アクティブフラグ）

EXDMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- EXDMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

19.2.13　EXDMA 外部要求センスモードレジスタ（EDMRMD）

アドレス　EXDMAC0.EDMRMD：0008 2820h、EXDMAC1.EDMRMD：0008 2860h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DREQS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DREQS[1:0]	要求入力センスモード設定ビット	b1 b0 0 0：立ち上がりエッジ 0 1：立ち下りエッジ 1 0：Low 1 1：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DREQS[1:0] ビット（要求入力センスモード設定ビット）

外部 DMA 転送要求信号（EDREQn 端子）のセンスモードを設定します。

19.2.14 EXDMA 外部要求フラグレジスタ（EDMERF）

アドレス EXDMAC0.EDMERF：0008 2821h、EXDMAC1.EDMERF：0008 2861h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EREQ	外部要求フラグ	0：要求なし 1：要求あり	R/(W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“0”書き込みは無効です。

EREQ フラグ（外部要求フラグ）

外部 DMA 転送要求信号（EDREQn 端子）からの DMA 転送要求検出フラグです。

[“1” になる条件]

- EXDMACn.EDMRMD.DREQS[1:0] = “00b”（立ち上がりエッジ）の ときに EDREQn 端子が “0” から “1” に変化したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “01b”（立ち下がりエッジ）のときに EDREQn 端子が “1” から “0” に変化したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “10b”（Low）のときに EDREQn 端子が “0” のとき

[“0” になる条件]

- EXDMACn.EDMRMD.DREQS[1:0] = “00b”（立ち上がりエッジ）または “01b”（立ち下がりエッジ）のときに DMA 転送が開始したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “00b”（立ち上がりエッジ）または “01b”（立ち下がりエッジ）のときに “1” を書いたとき
- EXDMACn.EDMRMD.DREQS[1:0] = 10b（Low）のときに EDREQn 端子が “1” のとき

19.2.15 EXDMA 周辺要求フラグレジスタ（EDMPRF）

アドレス EXDMAC0.EDMPRF：0008 2822h、EXDMAC1.EDMPRF：0008 2862h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PREQ	周辺モジュール要求フラグ	0：要求なし 1：要求あり	R/(W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“0”書き込みは無効です。

PREQ フラグ（周辺モジュール要求フラグ）

周辺モジュールからの DMA 転送要求検出フラグです。

［“1” になる条件］

- 周辺モジュールから DMA 転送要求が発生したとき

［“0” になる条件］

- 周辺モジュールから DMA 転送要求が発生し、DMA 転送が開始したとき
- “1” を書いたとき

19.2.16 EXDMA モジュール起動レジスタ（EDMAST）

アドレス 0008 2A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	EXDMAC 動作許可ビット	0：EXDMAC 起動を禁止 1：EXDMAC 起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット（EXDMAC 動作許可ビット）

DMST ビットを “1” にすると、EXDMAC 全チャネルの起動が許可されます。

全チャネルの EXDMACn.EDMCNT.DTE ビットに “1”（DMA 転送を許可）を書いた後に DMST ビットを “1” にすると、全チャネルを同時に転送要求受け付け可能状態にすることができます。

また、DMA 転送中に DMST ビットを “0” にすると、実行中の 1 転送要求に対するデータ転送が終了した後に、全チャネルの DMA 転送動作が停止します。この状態で、再度 DMST ビットを “1” にすることによって継続して DMA 転送を行うことが可能です。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき

19.2.17　クラスタバッファレジスタ y（CLSBRy）(y=0 ～ 7)

アドレス　CLSBR0 0008 2BE0h、CLSBR1 0008 2BE4h、CLSBR2 0008 2BE8h、CLSBR3 0008 2BECh
CLSBR4 0008 2BF0h、CLSBR5 0008 2BF4h、CLSBR6 0008 2BF8h、CLSBR7 0008 2BFCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	R/W
b31-b0	クラスタ転送時の一時バッファとして使用	R/W

CLSBRy レジスタは、クラスタ転送時の転送用バッファレジスタです。クラスタ転送中は CLSBR0 レジスタから順に転送データが格納されます。クラスタ転送または CPU で書き込まれたデータは、次のクラスタ転送、または CPU による書き込みを行うまで値を保持します。なお、クラスタ転送によって格納されたデータを CPU で読む場合は、クラスタ転送の完了を確認し、転送の際に指定したクラスタサイズ分のデータのみ参照してください。それ以外のデータに関しては無効です。

クラスタ転送では、すべてのチャネルで同一の CLSBRy レジスタを使用します。CPU による CLSBRy レジスタへの書き込みとクラスタ転送が競合した場合は転送されるデータは保証されません。クラスタ転送リードアドレスモード、クラスタ転送ライトアドレスモードに設定した場合は、他のチャネルがクラスタ転送に設定されていると転送されるデータは書き換えられる可能性があります。

クラスタバッファは転送サイズ（EXDMACn.EDMTMD.SZ[1:0] ビット）の設定によって、データの格納方法が変わります。

(1)　転送サイズが 8 ビットのとき（EXDMACn.EDMTMD.SZ[1:0] = 00b）

クラスタバッファの下位 8 ビットに格納されます。このとき上位 24 ビットは無効です。クラスタサイズを最大値 8 にした場合、8 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ～ CLSBRj（j = クラスタサイズー 1）の順です。

(2)　転送サイズが 16 ビットのとき（EXDMACn.EDMTMD.SZ[1:0] = 01b）

クラスタバッファの下位 16 ビットに格納されます。このとき上位 16 ビットは無効です。クラスタサイズを最大値 8 にした場合、16 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ～ CLSBRj（j = クラスタサイズー 1）の順です。

(3)　転送サイズが 32 ビットのとき（EXDMACn.EDMTMD.SZ[1:0] = 10b）

クラスタバッファの全 32 ビットに格納されます。クラスタサイズを最大値 8 にした場合、32 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ～ CLSBRj（j = クラスタサイズー 1）の順です。

19.3 動作説明

19.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは 1 回の転送要求について 1 データの転送を行います。EXDMACn.EDMCRA レジスタで最大 65535 データの指定転送回数を設定できます。また EXDMACn.EDMCRAL レジスタを “0000h” に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。EXDMACn.EDMCRB レジスタはノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を**表 19.4** に、ノーマル転送モードの動作を**図 19.2** に示します。

表 19.4　ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMCRAL	転送カウント	1減算/更新なし（フリーランニングモード時）
EXDMACn.EDMCRAH	–	更新されません（ノーマル転送モードでは使用しません）
EXDMACn.EDMCRB	–	更新されません（ノーマル転送モードでは使用しません）

注1.　オフセット加算はEXDMAC0のみ設定可能です。

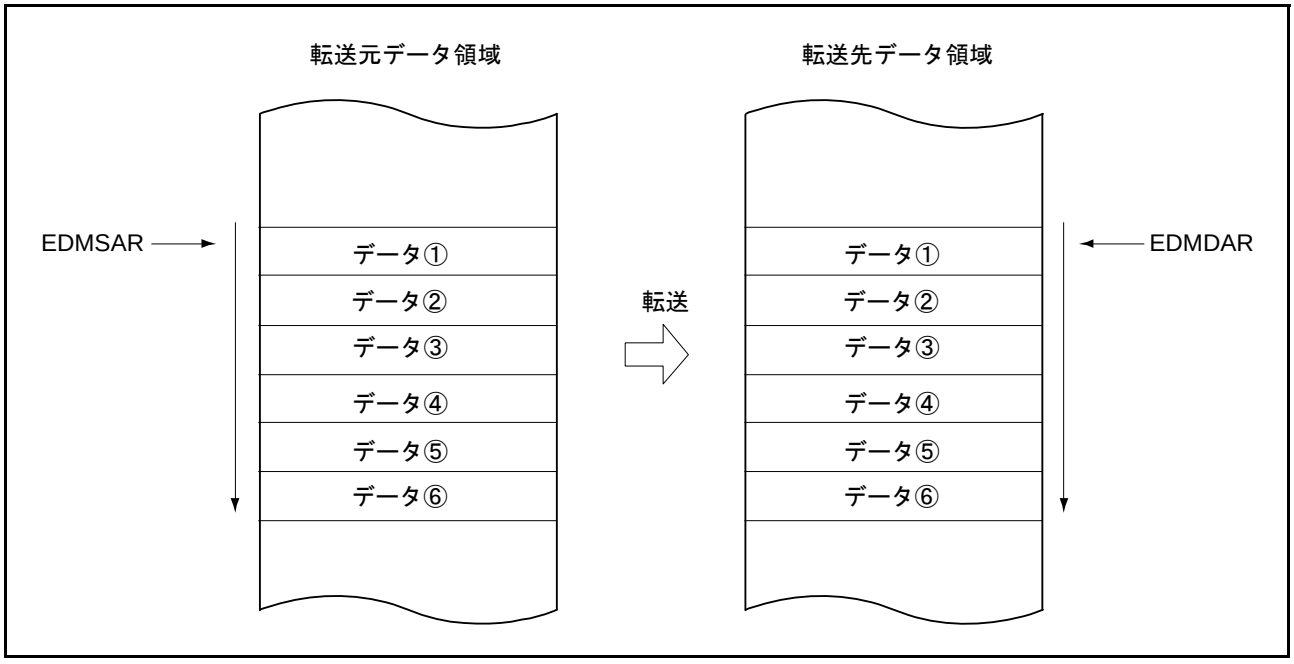


図 19.2　ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

EXDMACn.EDMCRA レジスタで最大 1K データのリピートサイズを設定できます。

また、EXDMACn.EDMCRB レジスタで最大 1K 回の指定リピート回数を設定できます。総データ転送数は最大 1K データ ×1K 回 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（EXDMACn.EDMSAR または EXDMACn.EDMDAR）は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に DMA を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTE ビットに “1” を書くと DMA 転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を**表** 19.5 に、リピート転送モードの動作を**図** 19.3 に示します。

表19.5　リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		EXDMACn.EDMCRAL レジスタが1以外のとき	EXDMACn.EDMCRAL レジスタが1のとき（リピートサイズの最終データ転送）
EXDMACn.EDMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）	• EXDMACn.EDMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 01b DMSARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算（注1）	• EXDMACn.EDMTMD.DTS[1:0] = 00b EDMDARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMCRAH	リピートサイズ	保持	保持
EXDMACn.EDMCRAL	転送カウント	1減算	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	リピート回数カウント	保持	1減算

注1.　オフセット加算はEXDMAC0のみ設定可能です。

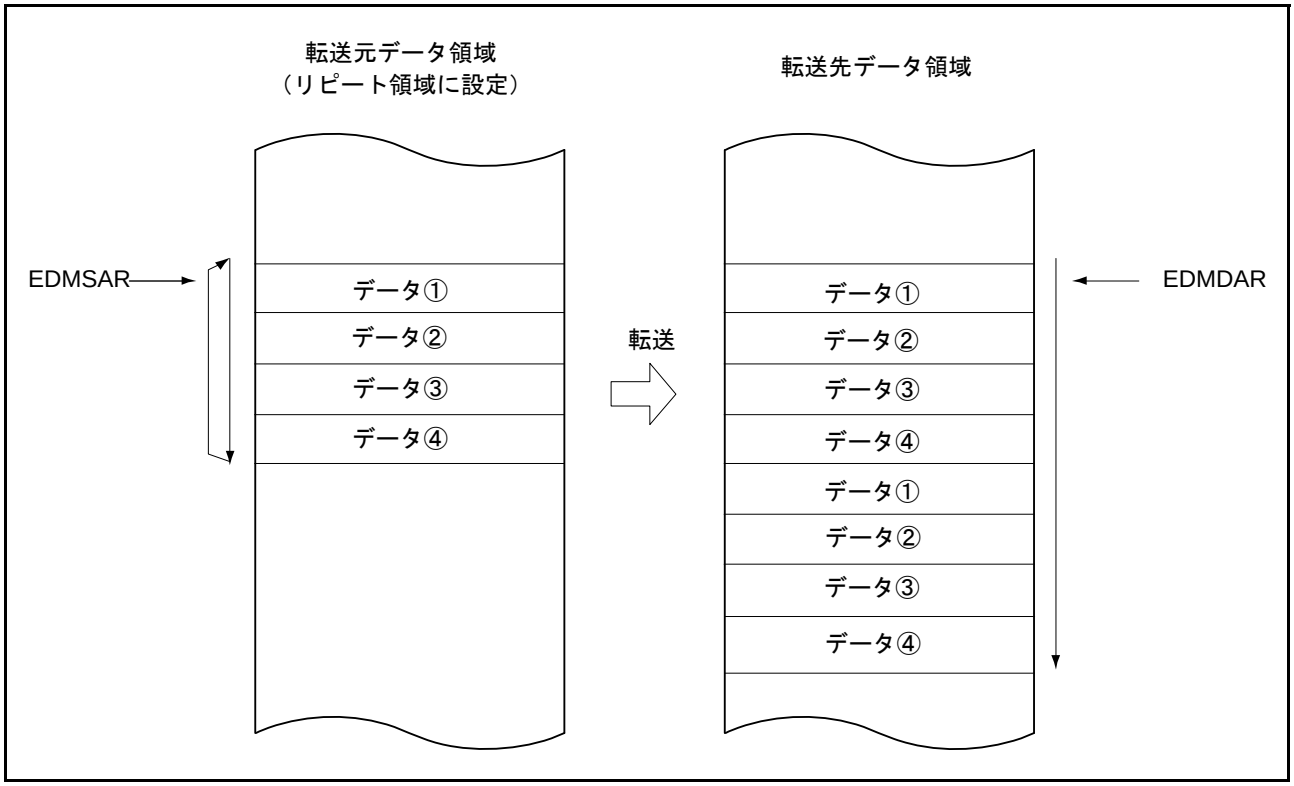


図 19.3　リピート転送モードの動作

(3)　ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックサイズの転送を行います。

EXDMACn.EDMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、EXDMACn.EDMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ ×1K ブロック = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（EXDMACn.EDMSAR または EXDMACn.EDMDAR）は、1 ブロックのデータ転送が終了すると、初期アドレスに回復します。ブロック転送モードでは、1 ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTE ビットに “1” を書くと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を**表** 19.6 に、ブロック転送モードの動作を**図** 19.4 に示します。

表19.6　ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 01b EDMSARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMDAR	転送先アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00b EDMDARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMCRAH	ブロックサイズ	保持
EXDMACn.EDMCRAL	転送カウント	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	ブロックカウント	1減算

注1.　オフセット加算はEXDMAC0のみ設定可能です。

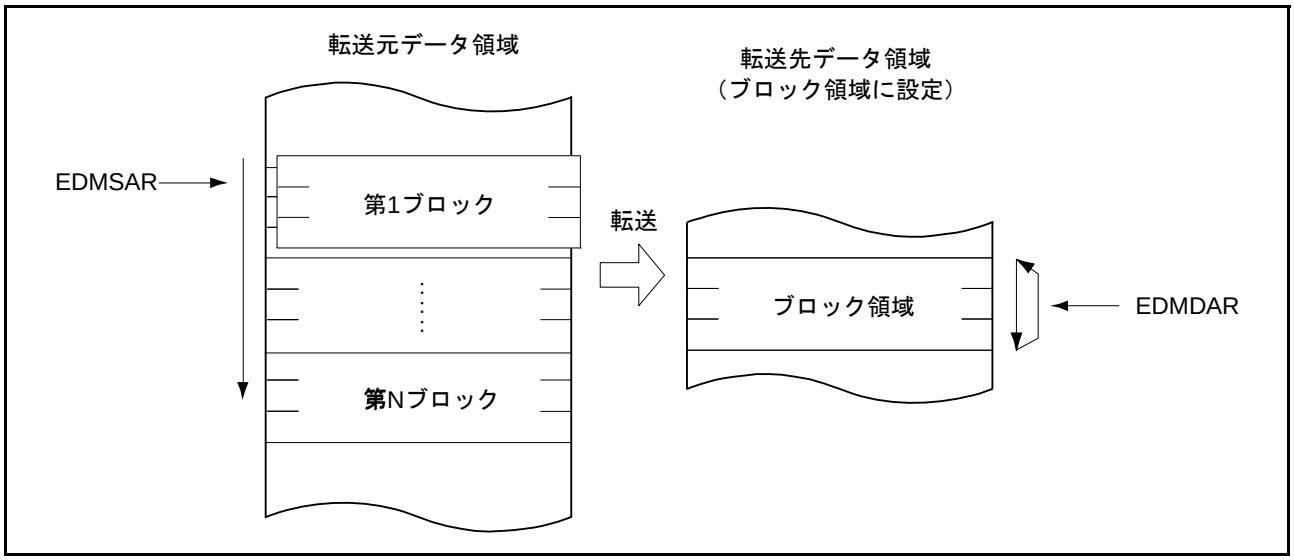


図 19.4　ブロック転送モードの動作

(4) クラスタ転送モード

クラスタ転送モードは、1回の転送要求について1クラスタサイズの転送を行います。

EXDMACn.EDMCRA レジスタで最大8データのクラスタサイズを設定できます。

また、EXDMACn.EDMCRB レジスタで最大1K回の指定クラスタ回数を設定できます。総データ転送数は最大8データ ×1K 回 = 8K データの指定が可能です。

クラスタ転送モードには、クラスタ転送デュアルアドレスモード、クラスタ転送リードアドレスモード、クラスタ転送ライトアドレスモードが選択できます。

- クラスタ転送デュアルアドレスモード

（EXDMACn.EDMTMD.MD[1:0] = 11b、EXDMACn.EDMAMD.AMS = 0）

1回の転送要求でまず、転送元アドレスからクラスタバッファへ1クラスタサイズ分のデータ転送を行います。その後、クラスタバッファから転送先アドレスで1クラスタ分のデータ転送を行います。

- クラスタ転送リードアドレスモード

（EXDMACn.EDMTMD.MD[1:0] = 11b、EXDMACn.EDMAMD.AMS = 1、EXDMACn.EDMAMD.DIR = 0）

1回の転送要求で、転送元アドレスからクラスタバッファへ1クラスタサイズ分のデータ転送を行います。

- クラスタ転送ライトアドレスモード

（EXDMACn.EDMTMD.MD[1:0] = 11b、EXDMACn.EDMAMD.AMS = 1、EXDMACn.EDMAMD.DIR = 1）

1回の転送要求で、クラスタバッファから転送先アドレスへ1クラスタサイズ分のデータ転送を行います。

クラスタ転送モードでは、1クラスタのデータ転送が終了した後にDMA転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTE ビットに “1” を書くと DMA 転送を再開することができます。

また、指定クラスタ回数の転送終了後に転送終了割り込み要求を発生させることができます。

クラスタ転送モードでのレジスタ更新値を**表** 19.7 に、クラスタ転送モードの動作を**図** 19.5 に示します。

表19.7　クラスタ転送モードでのレジスタ更新値（デュアルアドレスモード）

レジスタ	機能	1転送要求に対する1クラスタ転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 01b EDMSARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMDAR	転送先アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00b EDMDARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算（注1）
EXDMACn.EDMCRAH	クラスタサイズ	保持
EXDMACn.EDMCRAL	転送カウント	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	クラスタカウント	1減算

注1.　オフセット加算はEXDMAC0のみ設定可能です。
リードアドレスモード時は転送先アドレスEXDMACn.EDMADARは固定（無効）です。
ライトアドレスモード時は転送元アドレスEXDMACn.EDMASARは固定（無効）です。

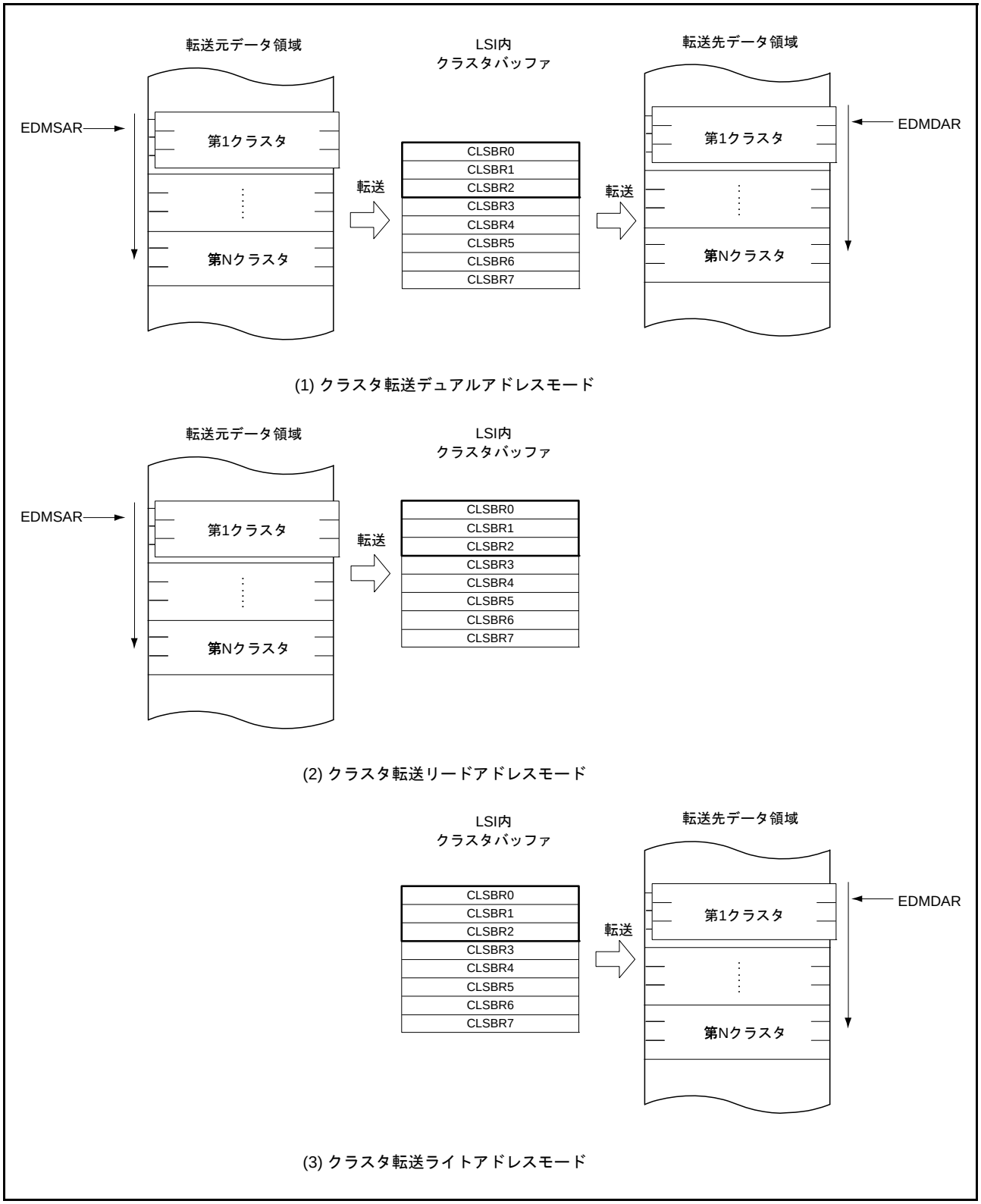


図 19.5　クラスタ転送モードの動作

19.3.2　拡張リピートエリア機能

EXDMAC には転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、EXDMACn.EDMSAR レジスタ（転送元アドレスレジスタ）、EXDMACn.EDMDAR レジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアは EXDMACn.EDMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアは EXDMACn.EDMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定した領域（転送元または転送先）を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバフローすると、DMA 転送を一時停止させて、拡張リピートエリアオーバフロー割り込み要求を発生することができます。EXDMACn.EDMINT.SARIE ビットを “1” にすると、転送元アドレスの拡張リピートエリアがオーバフローしたときに EXDMACn.EDMSTS.ESIF フラグが “1” になり、EXDMACn.EDMCNT.DTE ビットを “0” にして DMA 転送を終了します。このとき、EXDMACn.EDMINT.ESIE ビットが “1” であれば、拡張リピートエリアオーバフロー割り込み要求を発生します。

EXDMACn.EDMINT.DARIE ビットを “1” にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバフロー割り込み処理で、EXDMACn.EDMCNT.DTE ビットを “1” にすると、DMA 転送を再開することができます。

図 19.6 に拡張リピートエリア機能の例を示します。

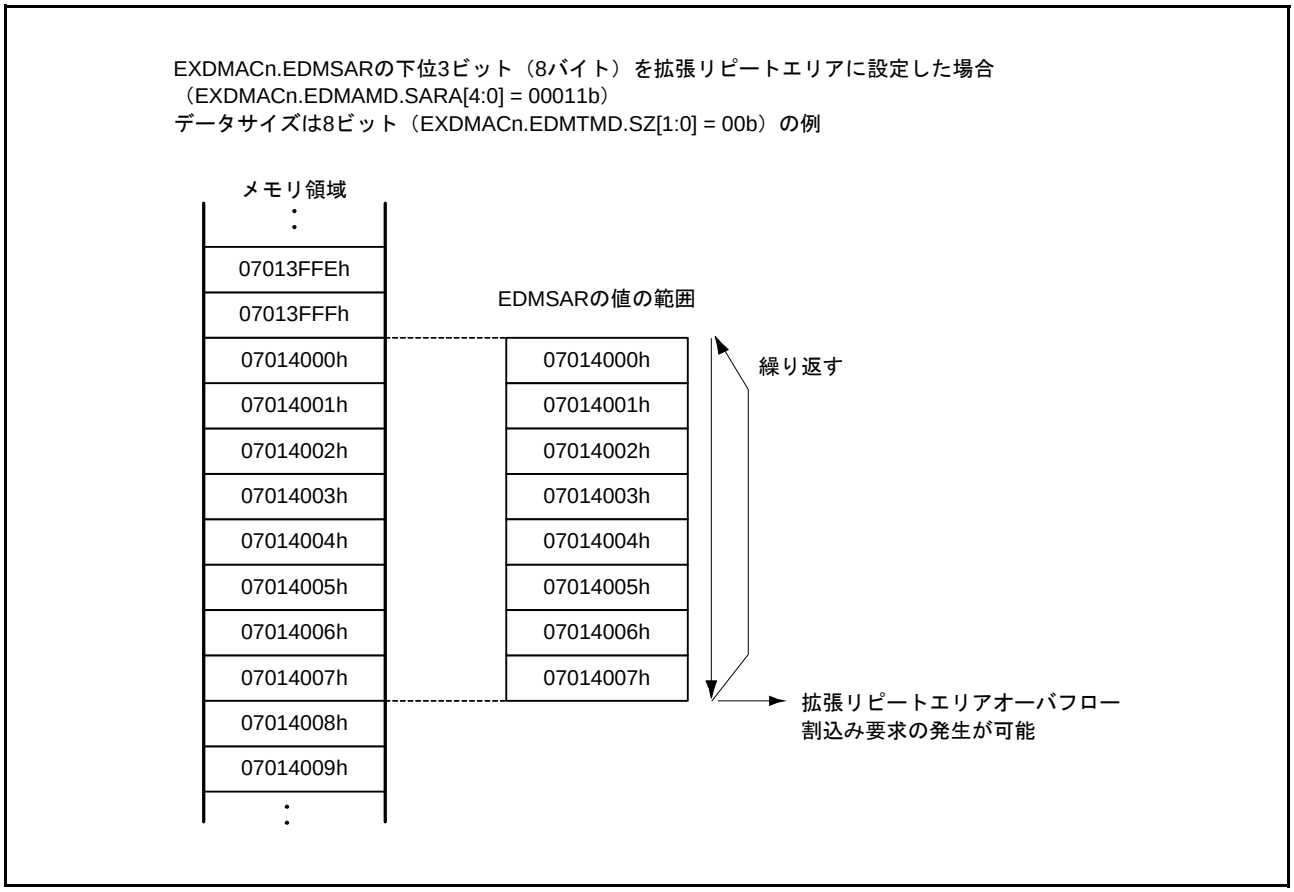


図 19.6　拡張リピートエリア機能の例

拡張リピートエリアオーバフロー割り込みをブロック転送モードまたはクラスタ転送モードと併用するときは、以下の注意が必要です。

拡張リピートエリアのオーバフローの発生で転送を終了させる場合は、ブロックサイズ（またはクラスタサイズ）を2のべき乗になるように設定するか、またはブロックサイズ（またはクラスタサイズ）の切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中（または1クラスタサイズを転送中）に拡張リピートエリアにオーバフローが発生した場合は、1ブロックサイズ（または1クラスタサイズ）の転送が終了するまで拡張リピートエリアオーバフロー割り込み要求は保留され、転送はオーバランします。

図 19.7 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

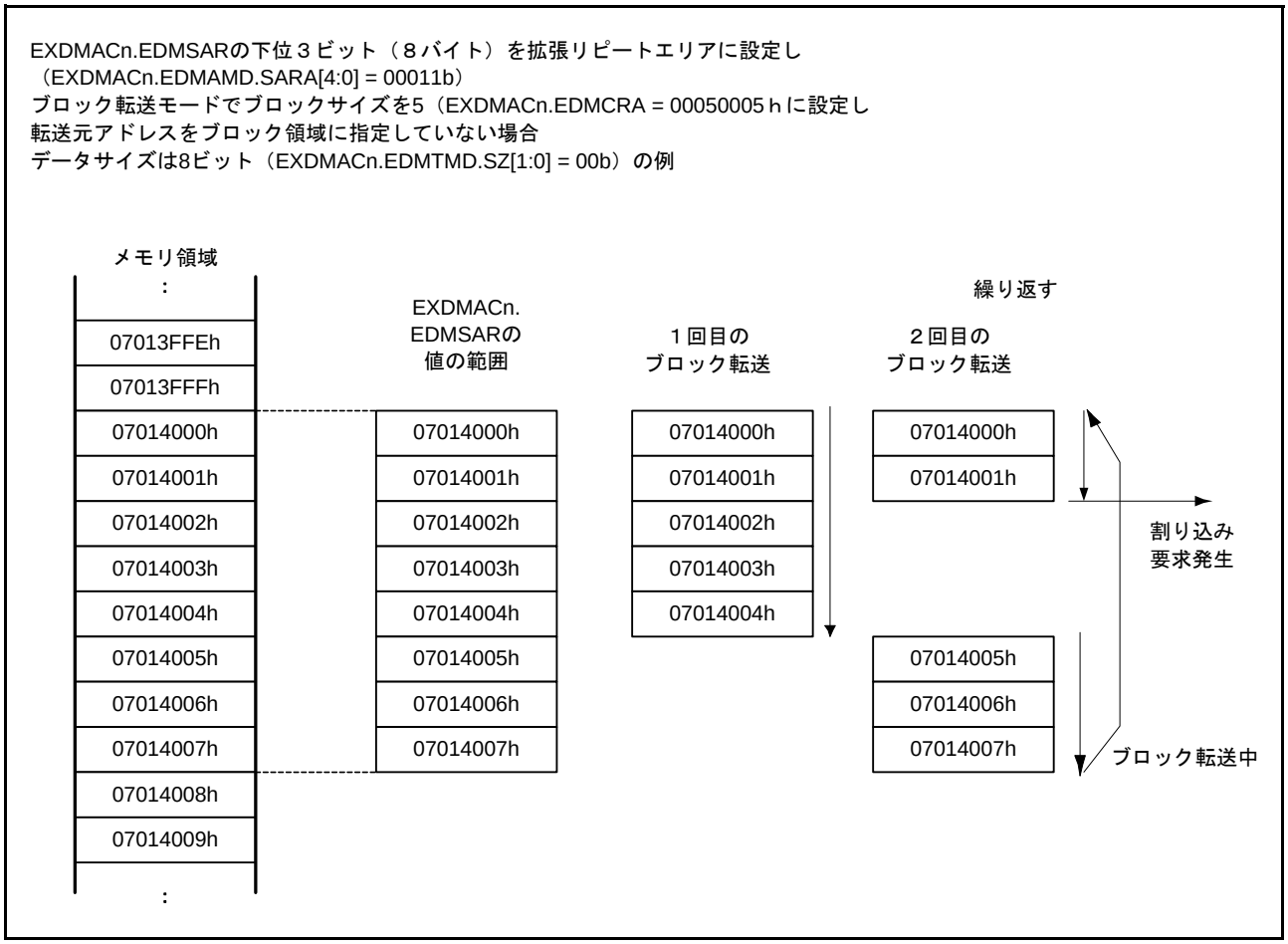


図 19.7　ブロック転送モードと拡張リピートエリア機能を併用した例

19.3.3　オフセットを使ったアドレス更新機能

転送元、転送先アドレスの更新方法は、固定、インクリメント、デクリメントの他にオフセット加算があります。オフセット加算では、1 データの転送を行うたびに、EXDMA オフセットレジスタ（EXDMAC0.EDMOFR）に設定した値を加算します。この機能によって、途中のアドレスを飛ばしてデータ転送ができます。

また、EXDMAC0.EDMOFR レジスタに 2 の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャネルは EXDMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を**表 19.8** に示します。

表 19.8　各アドレス更新モードでのアドレス更新方法

アドレス更新モード	EXDMACn.EDMAMD.SM[1:0] EXDMACn.EDMAMD.DM[1:0] アドレス更新モード設定値	更新方法 （EXDMACn.EDMTMD.SZ[1:0] 設定値別更新方法）		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+EXDMAC0.EDMOFR（注 1）		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1.　オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現= ～(オフセット値)＋1　（～：ビット反転）

(1) オフセット加算を使った基本的な転送

オフセットによるアドレス更新機能の動作例を図 19.8 に示します。

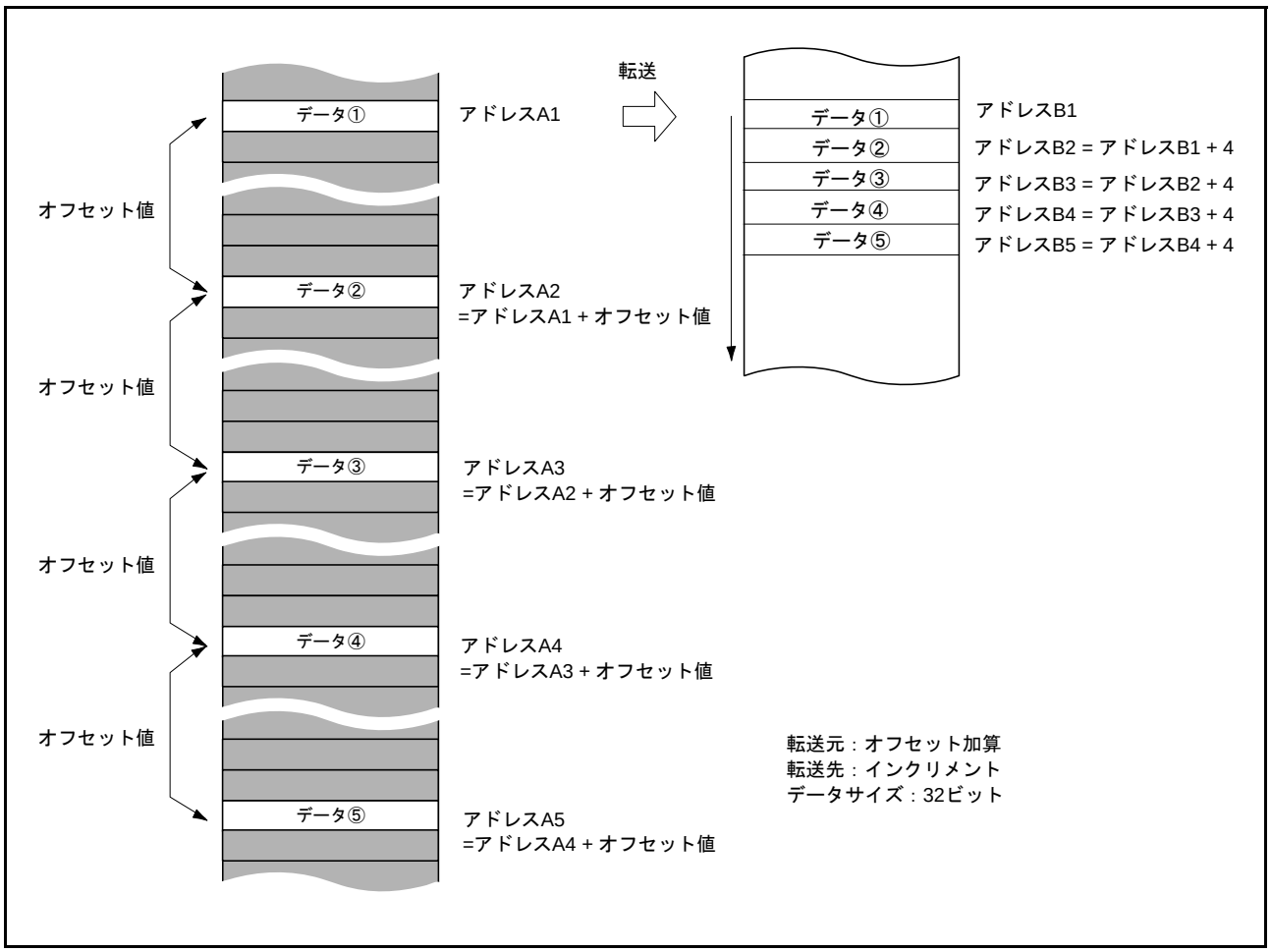


図 19.8　オフセットによるアドレス更新機能の動作例

図 19.8 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けて読み出したデータは、転送先では連続した領域に書き込まれます。

(2) オフセット加算を使った XY 変換例

図 19.9 にリピート転送モードと「オフセット加算」を組み合わせて XY 変換を行うときの動作を示します。

設定方法は以下のとおりです。

- EXDMAC0.EDMAMD レジスタ：転送元アドレス更新モード設定（オフセット加算）
- EXDMAC0.EDMAMD レジスタ：転送先アドレス更新モード設定（インクリメント）
- EXDMAC0.EDMTMD レジスタ：データ転送サイズ設定（32 ビット転送）
- EXDMAC0.EDMTMD レジスタ：転送モード設定（リピート転送）
- EXDMAC0.EDMTMD レジスタ：リピート領域選択（転送元側がリピート領域）
- EXDMAC0.EDMOFR レジスタ：アドレスオフセット値設定（10h）
- EXDMAC0.EDMCRA レジスタ：リピートサイズ設定（4h）
- EXDMAC0.EDMINT レジスタ：リピートサイズ終了割り込みを許可に設定

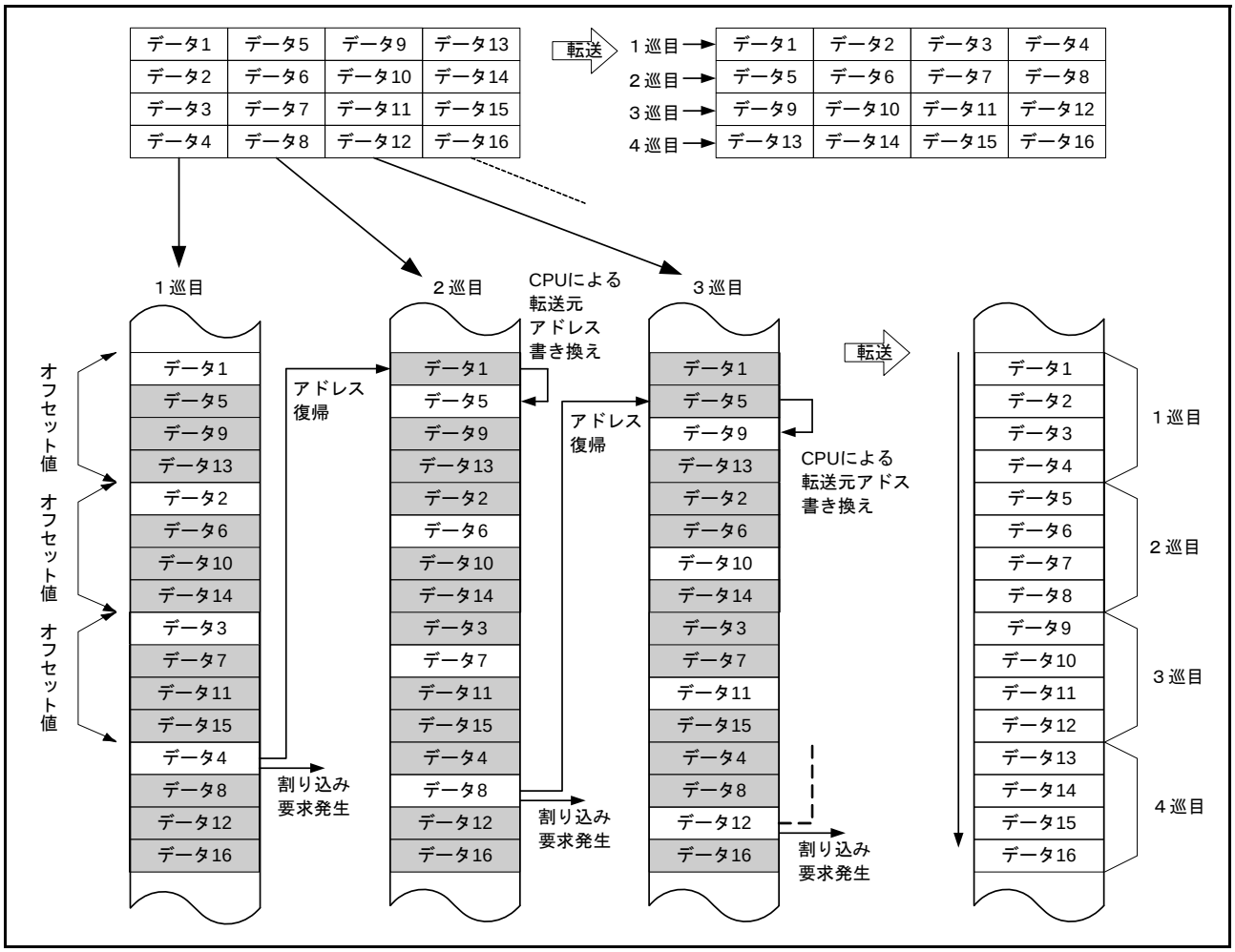


図 19.9　リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“ データ 4” までのデータが転送されると、リピートサイズ分のデータを転送したことになり、EXDMAC は転送元のアドレスを転送開始時のアドレス（転送元 “ データ 1” のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求によって、いったん転送が中断します。割り込みで以下の処理を行ってください。

・EXDMAC0.EDMSAR レジスタ：DMA 転送元アドレスを “ データ 5” のアドレスに書き換え
（上記の例では “ データ 1” のアドレスに 4 を加算した値に書き換え）
・EXDMAC0.EDMCNT レジスタ：DTE ビットに “1” を書く

DMA 転送が中断した状態から引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 19.10 に XY 変換の処理フローを示します。

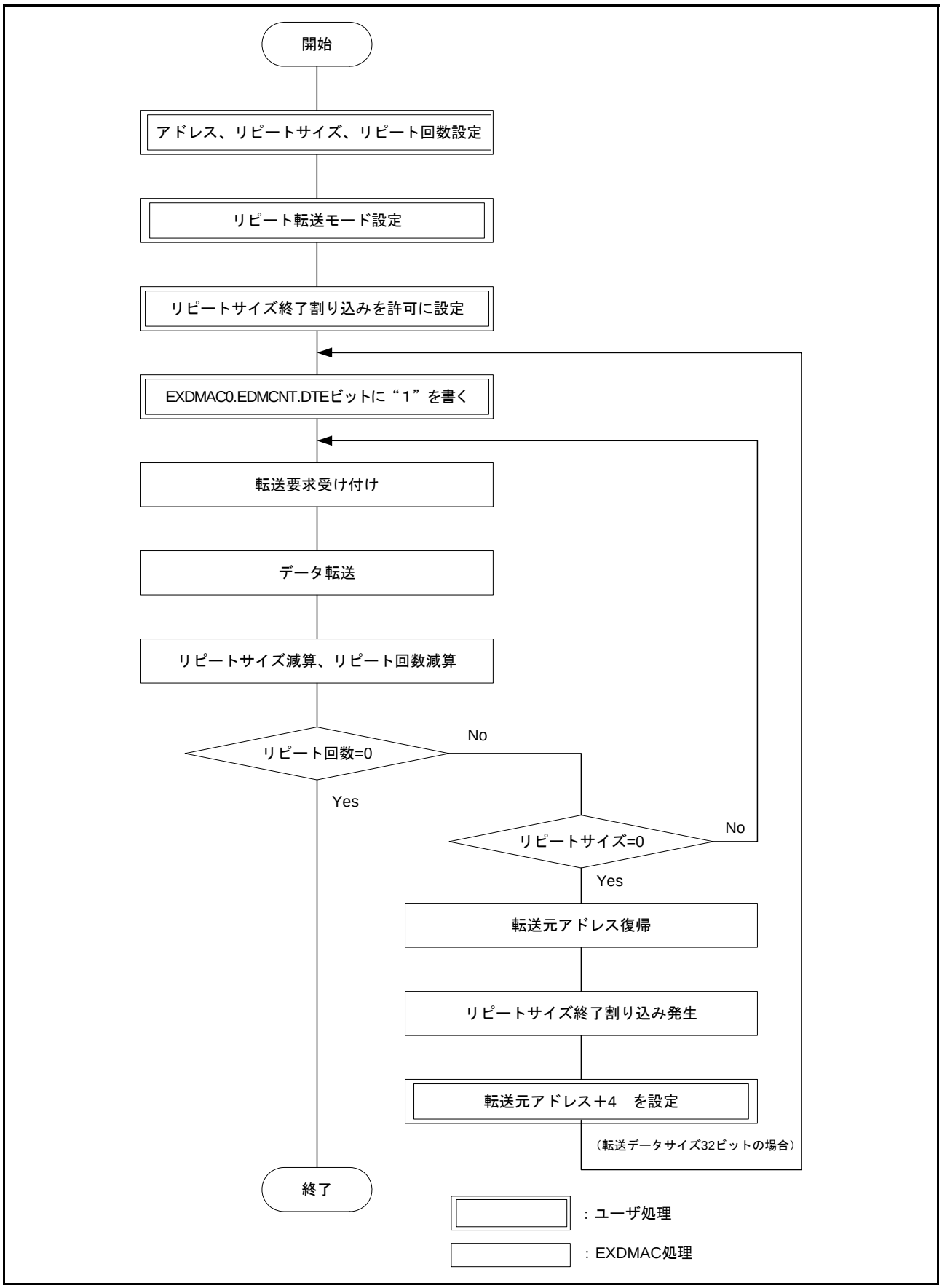


図 19.10　リピート転送モード + オフセット加算による XY 変換のフロー

19.3.4 アドレスモード

EXDMACはデュアルアドレスモードとシングルアドレスモード（クラスタ転送ではリードアドレスモードまたはライトアドレスモード）の設定が可能です。転送モードとアドレスモードの関係を表19.9に示します。

表19.9　転送モードとアドレスモードの関係

転送モード	アドレスモード	シングルアドレス方向	EXDMAC動作
ノーマル転送モード（EDMTMD.MD[1:0] = 00b）	デュアルアドレスモード（EDMAMD.AMS = 0）	—	リード動作の後にライト動作
	シングルアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	リード動作のみ、ライト側デバイスにEDACKnを出力。RX63N、RX631はリードデータを受け取らない
		転送先（EDMAMD.DIR = 1）	ライト動作のみ、リード側デバイスにはEDACKnを出力。RX63N、RX631はライトデータを出力しない
リピート転送モード（EDMTMD.MD[1:0] = 01b）	デュアルアドレスモード（EDMAMD.AMS = 0）	—	リード動作の後にライト動作
	シングルアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	リード動作のみ、ライト側デバイスにはEDACKnを出力。RX63N、RX631はリードデータを受け取らない
		転送先（EDMAMD.DIR = 1）	ライト動作のみ、リード側デバイスにはEDACKnを出力。RX63N、RX631はライトデータを出力しない
ブロック転送モード（EDMTMD.MD[1:0] = 10b）	デュアルアドレスモード（EDMAMD.AMS = 0）	—	EDMTMD.SZ[1:0]（転送データサイズ）ごとにリード/ライト交互に動作
	シングルアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	リード動作のみ、ライト側デバイスにはEDACKnを出力。RX63N、RX631はリードデータを受け取らない
		転送先（EDMAMD.DIR = 1）	ライト動作のみ、リード側デバイスにはEDACKnを出力。RX63N、RX631はライトデータを出力しない
クラスタ転送モード（EDMTMD.MD[1:0] = 11b）	デュアルアドレスモード（EDMAMD.AMS = 0）	—	クラスタサイズ分リード動作し、その後クラスタサイズ分ライト動作
	リードアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	クラスタサイズ分のリード動作のみ。転送先はクラスタバッファ
	ライトアドレスモード（EDMAMD.AMS = 1）	転送先（EDMAMD.DIR = 1）	クラスタサイズ分のライト動作のみ。転送元はクラスタバッファ

19.4　転送動作

EXDMAC 転送動作例を以下に示します。

EXDMAC は外部バスクロック（BCLK）に同期して動作します。以下、特にことわりがない場合、外部バスクロック（BCLK）と BCLK 端子出力が同一周波数とした場合の動作例を説明しています。

注 .　アクセスとアクセスの間には、外部バスのリカバリサイクルの設定によってアイドルサイクルが挿入されます。ただし、リードアクセスとライトアクセスの間は、リカバリサイクルの設定が “0” であっても 1 サイクルのアイドルサイクルが挿入されます。リカバリサイクルの詳細は「16.　バス」を参照してください。

19.4.1　ノーマル転送モード / リピート転送モードの転送動作

(1)　デュアルアドレスモード

ノーマル転送デュアルアドレスモードでのバスサイクル例を示します。図 19.11 は 16 ビット、2 サイクルアクセスのデバイスから 16 ビット 2 サイクルアクセスのデバイスへ、データサイズ 16 ビット（EXDMACn.EDMTMD.SZ[1:0] = 01b）で 1 データの転送を EDREQn 立ち下がりエッジ起動によって動作した例です。

リピート転送モードのバスサイクルはノーマル転送モードと同じです。

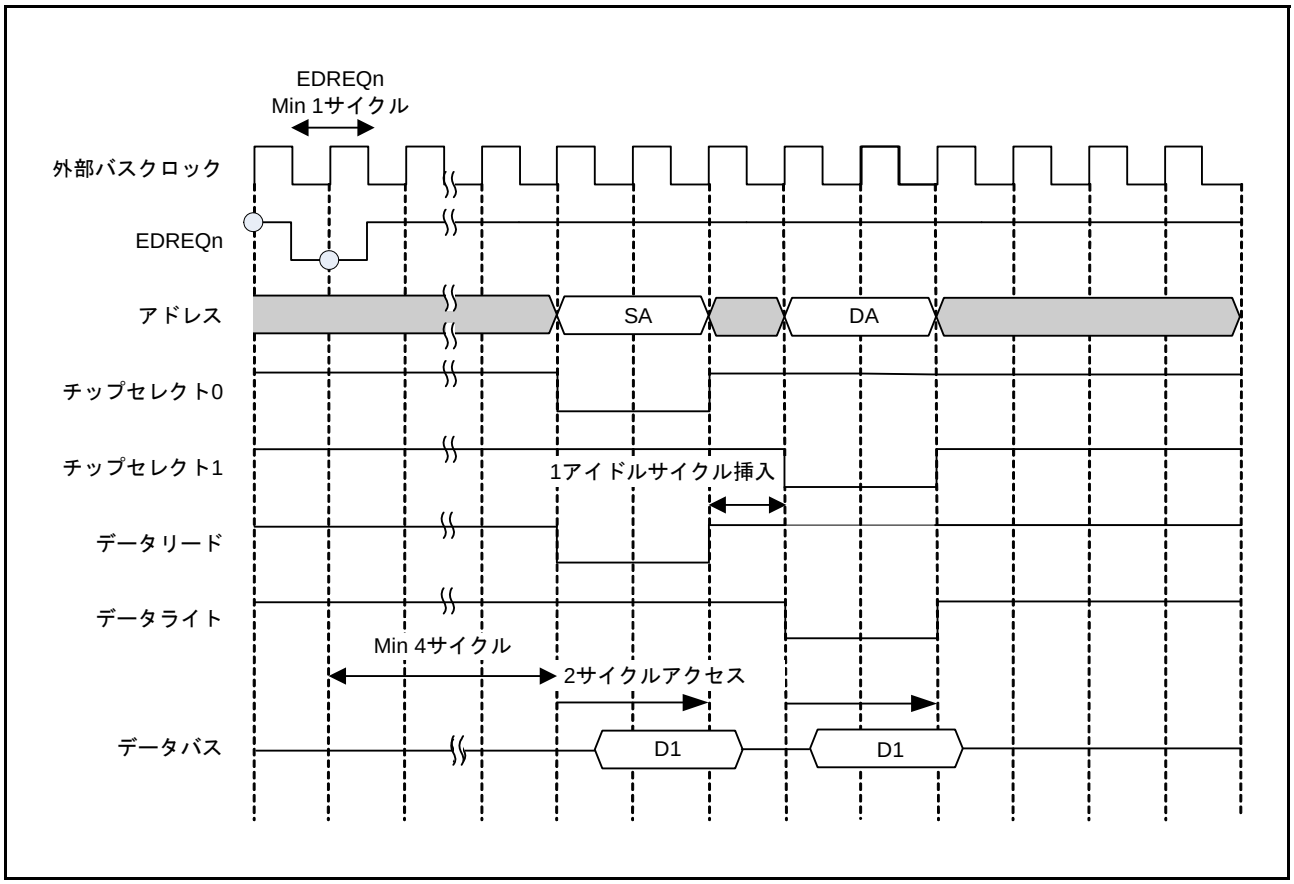


図 19.11　ノーマル転送デュアルアドレスモードでのバスサイクル例

(2)　シングルアドレスモード

シングルアドレスモードでは、転送元アドレスを読み出したときに読み出したデータを LSI に取り込まず、直接転送先デバイスへ転送を行います。このとき、EDACKn を転送元または転送先いずれか一方の外部デバイスに出力すると同時に、もう一方の転送相手にアドレスを出力してアクセスします。

EXDMACn.EDMAMD.DIR ビットが “0” のとき、外部バスには転送元アドレスを出力し、転送先に

EDACKn を出力します。EXDMACn.EDMAMD.DIR ビットが “1” のとき、外部バスには転送先アドレスを出力し、転送元に EDACKn を出力します。図 19.12 にシングルアドレスモードでのデータの流れ（EDMAMD.DIR=1 の場合）を示します。

図 19.13 にノーマル転送シングルアドレスモードで EXDMACn.EDMAMD.DIR ビットが “1”（転送先アドレス出力）のときと、EXDMACn.EDMAMD.DIR ビットが “0”（転送元アドレス出力）のときに、2 サイクルアクセスでそれぞれ 1 データを転送したときのバスサイクルの例を示します。

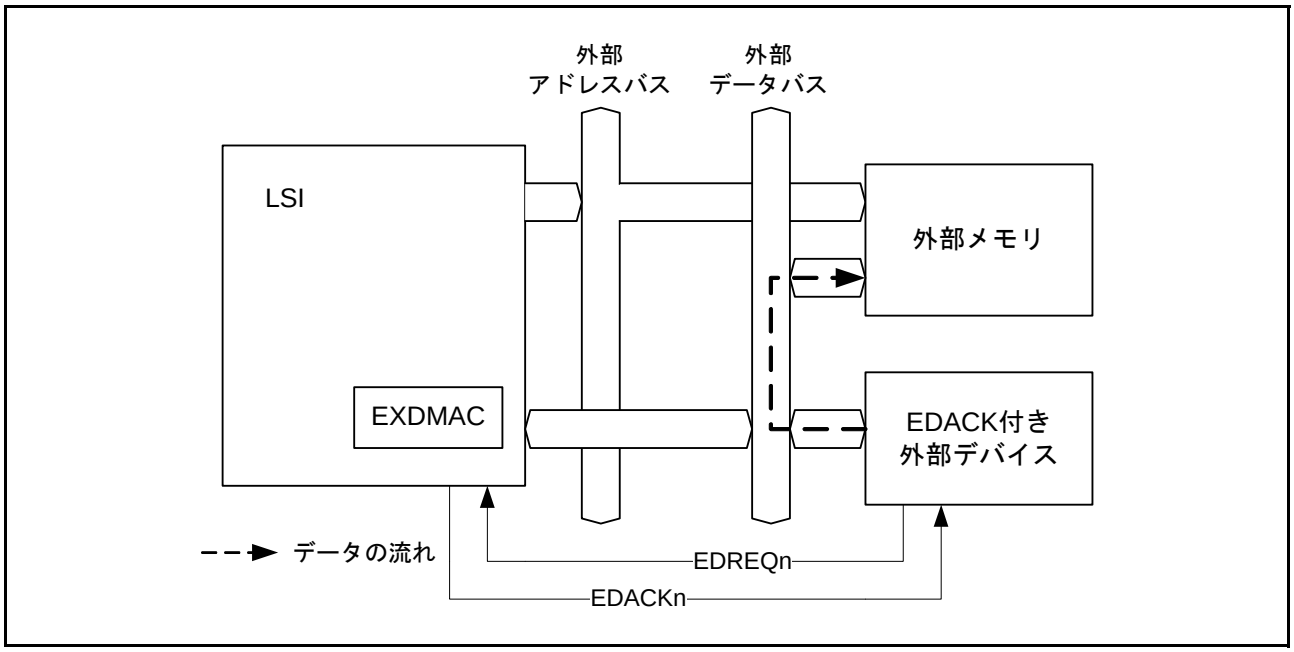


図 19.12　シングルアドレスモードでのデータの流れ（EDMAMD.DIR=1 の場合）

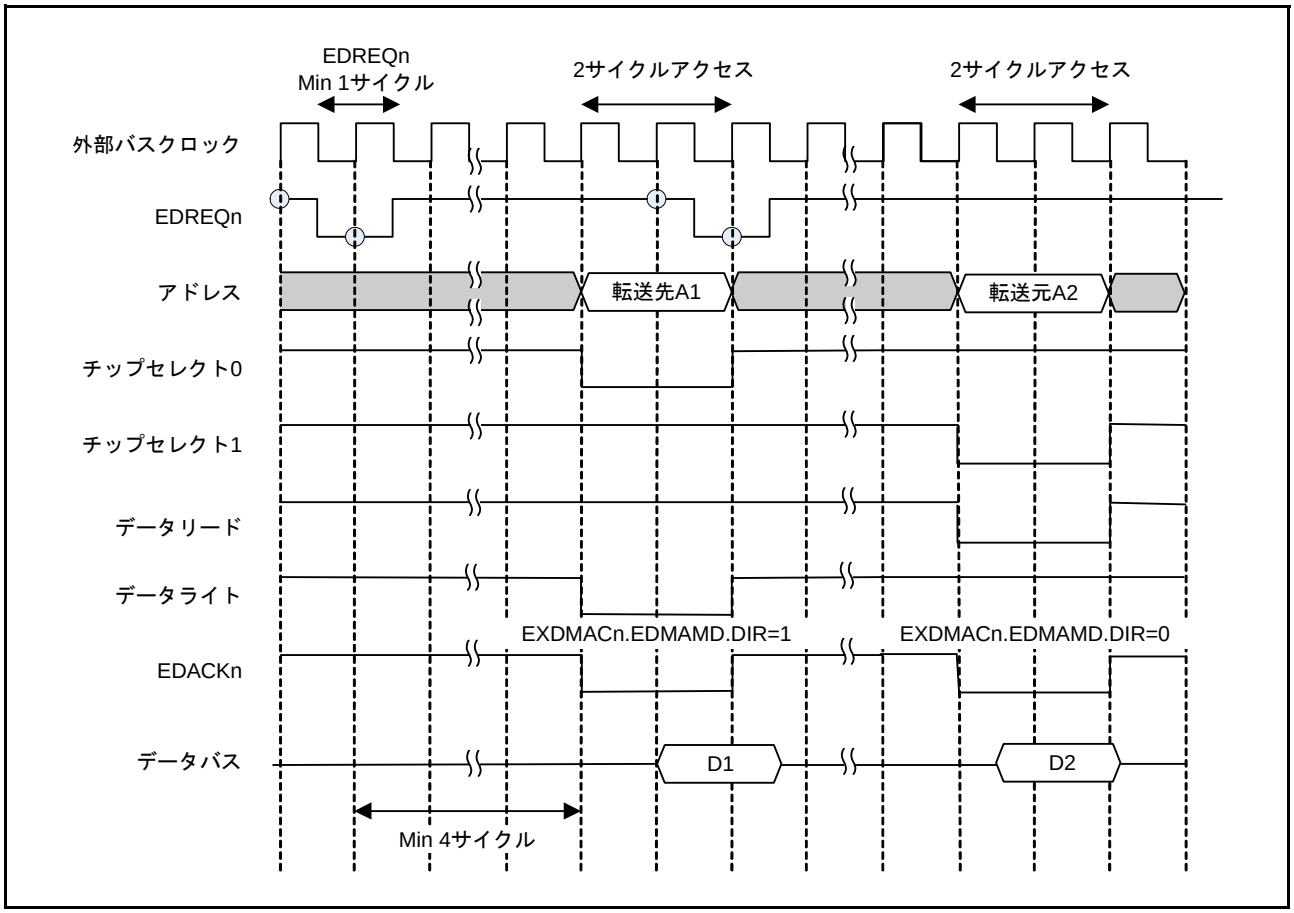


図 19.13　ノーマル転送シングルアドレスモードでのバスサイクル例

19.4.2　ブロック転送モードの転送動作

(1)　デュアルアドレスモード

ブロック転送デュアルアドレスモードでのバスサイクル例を示します。図 19.14 は 16 ビット、2 サイクルアクセスのデバイスから 16 ビット 2 サイクルアクセスのデバイスへ、データサイズ 16 ビット（EXDMACn.EDMTMD.SZ[1:0] = 01b）でブロックサイズ 3 を転送した動作例です。

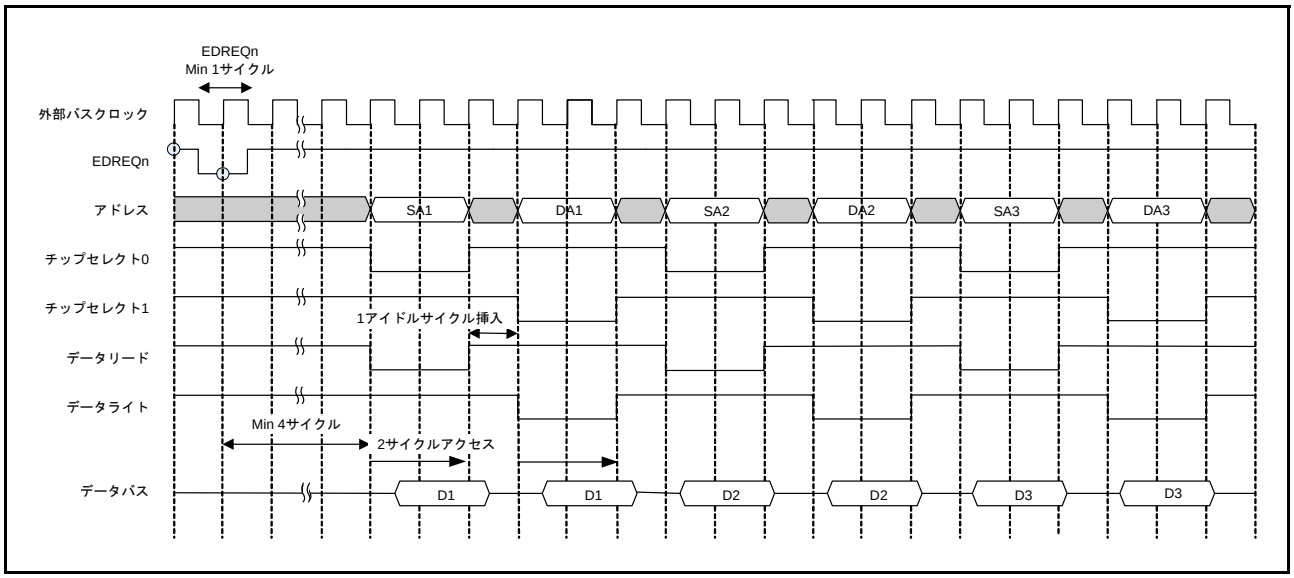


図 19.14　ブロック転送デュアルアドレスモードでのバスサイクル例

(2) シングルアドレスモード

ブロック転送シングルアドレスモードでのバスサイクル例を示します。**図 19.15** は 16 ビットアクセスの EDACKn 付きデバイスから 16 ビットアクセスのデバイスへ、データサイズ 16 ビット（EXDMACn.EDMTMD.SZ[1:0] = 01b）でブロックサイズ 3 を 1 バスサイクル 3 サイクルで転送した動作例です。

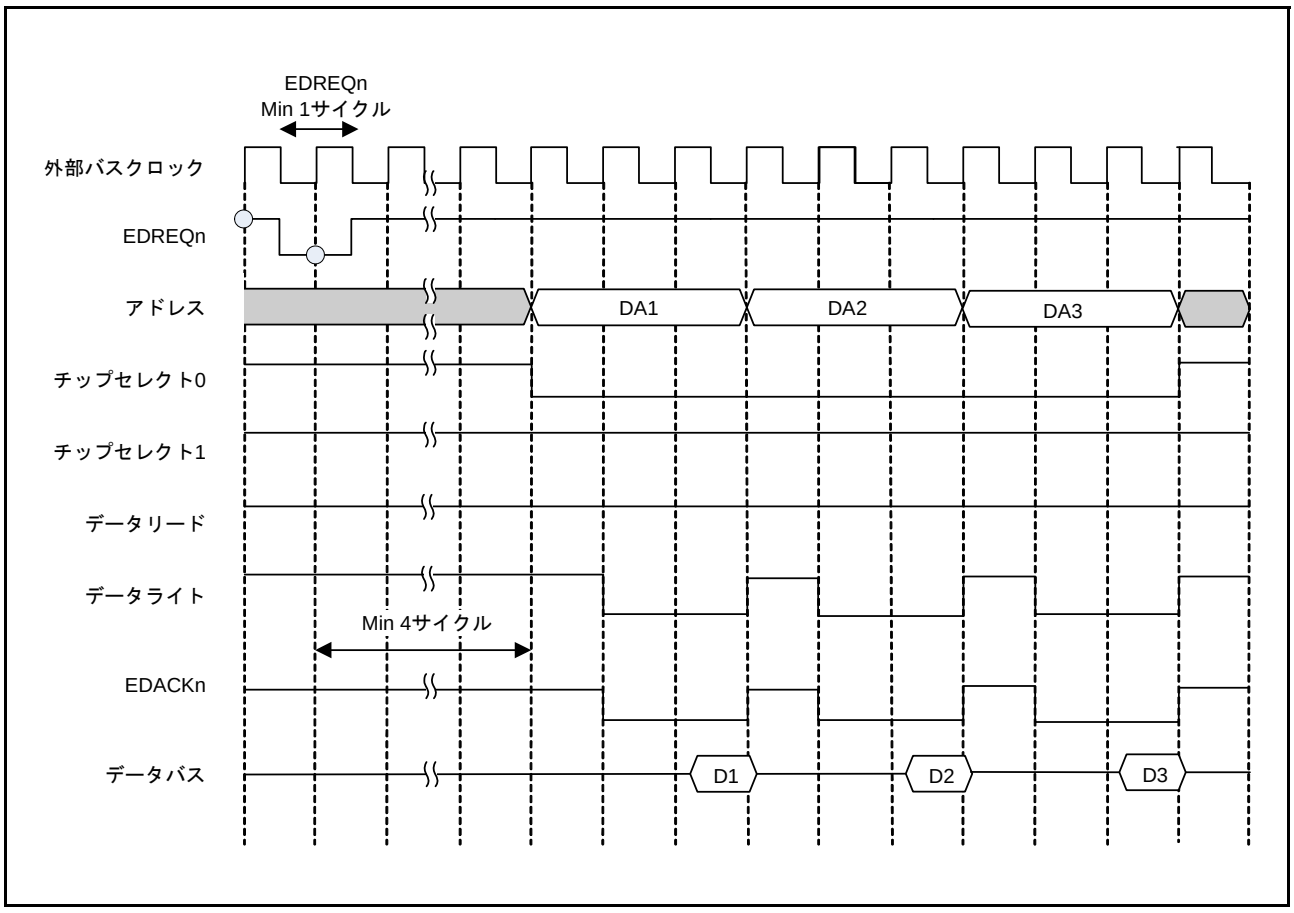


図 19.15　ブロック転送シングルアドレスモードでのバスサイクル例

19.4.3　クラスタ転送モードの転送動作

(1)　デュアルアドレスモード

クラスタ転送デュアルアドレスモードは、クラスタサイズのデータをクラスタバッファを中継して転送元外部デバイスから転送先外部デバイスへ転送を行います。図 19.16 にクラスタ転送デュアルアドレスモードのデータの流れを、図 19.17 にクラスタサイズ 3 で 1 クラスタを 2 クロックサイクルで転送したときのバスサイクルの例を示します。

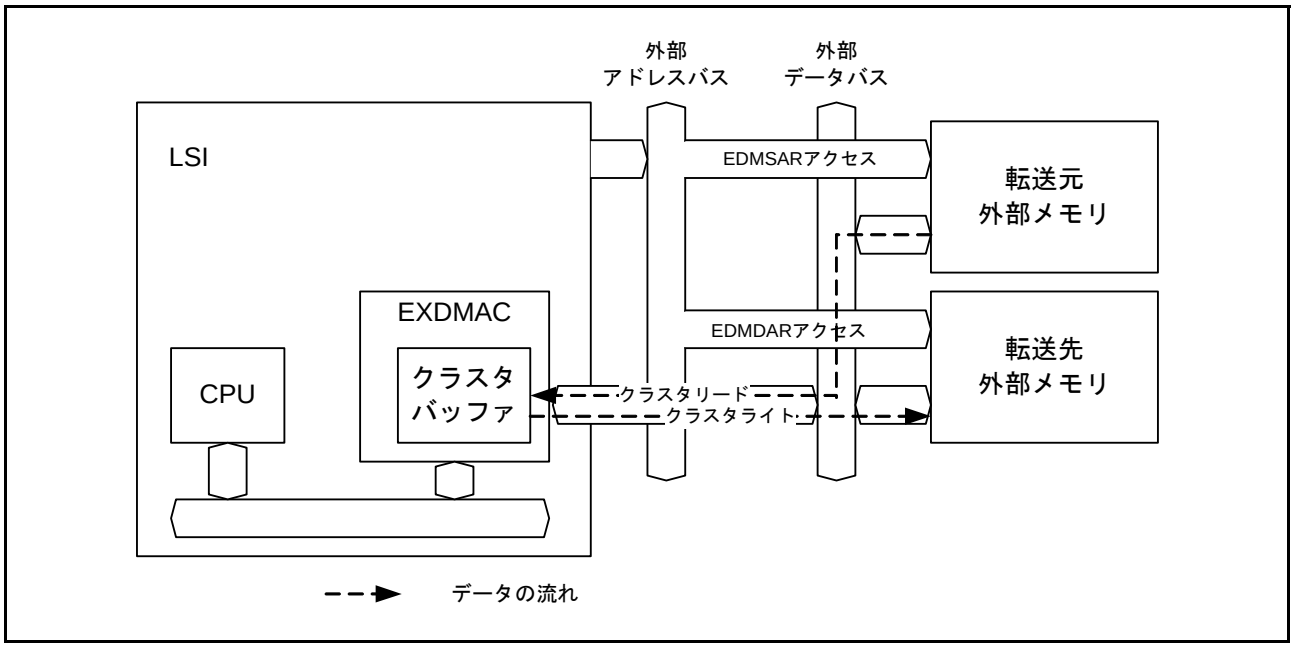


図 19.16　クラスタ転送デュアルアドレスモードのデータの流れ

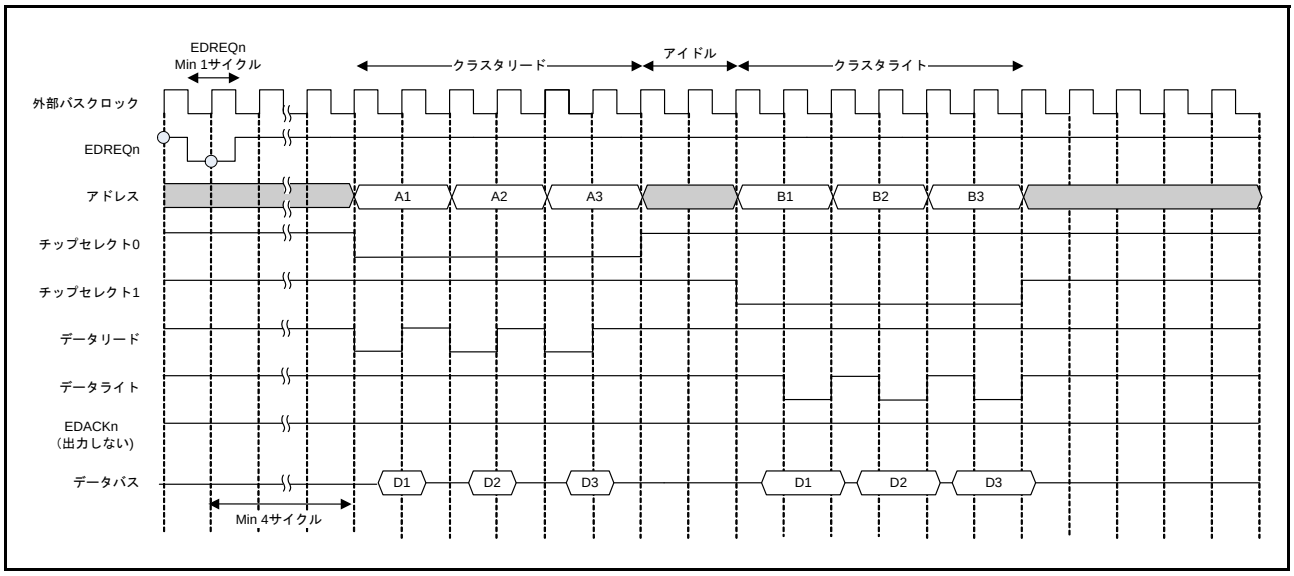


図 19.17　クラスタ転送デュアルアドレスモードでのバスサイクル例

(2) リードアドレスモード

クラスタ転送リードアドレスモードは、クラスタサイズのデータを転送元外部デバイスからクラスタバッファへ転送します。転送されたクラスタバッファ内のデータはCPUから読出しできます。図19.18にクラスタ転送リードアドレスモードのデータの流れを、図19.19にクラスタサイズ6で1クラスタを2クロックサイクルで転送したときのバスサイクルの例を示します。

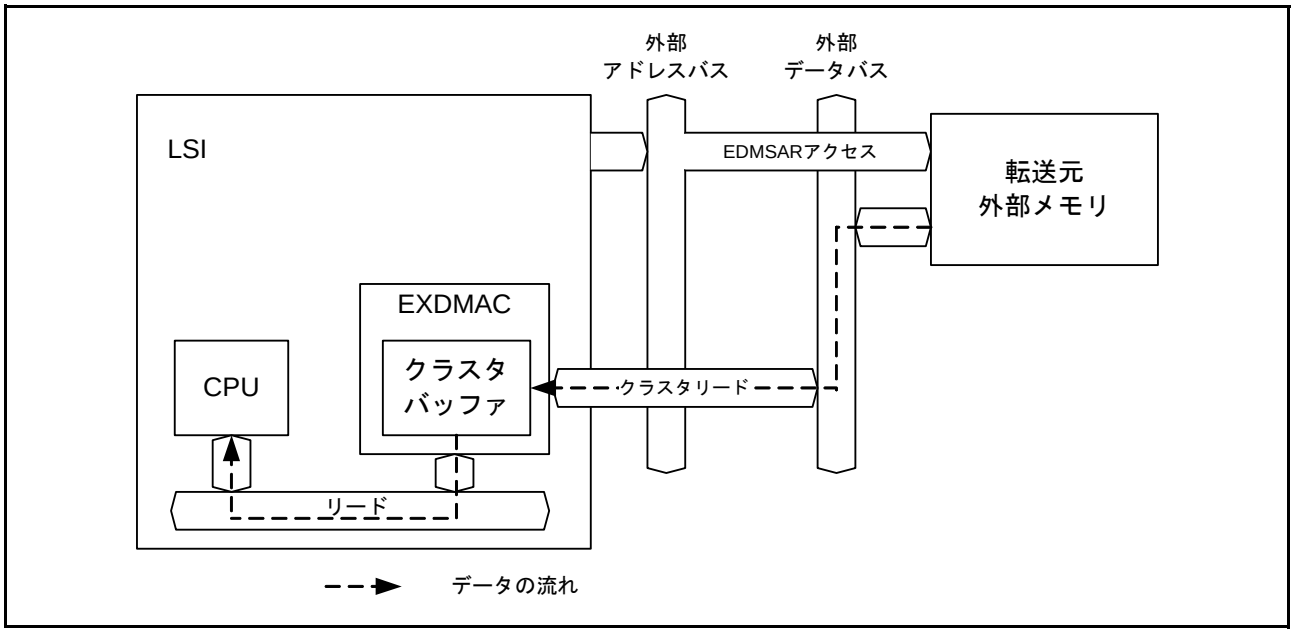


図19.18　クラスタ転送リードアドレスモードのデータの流れ

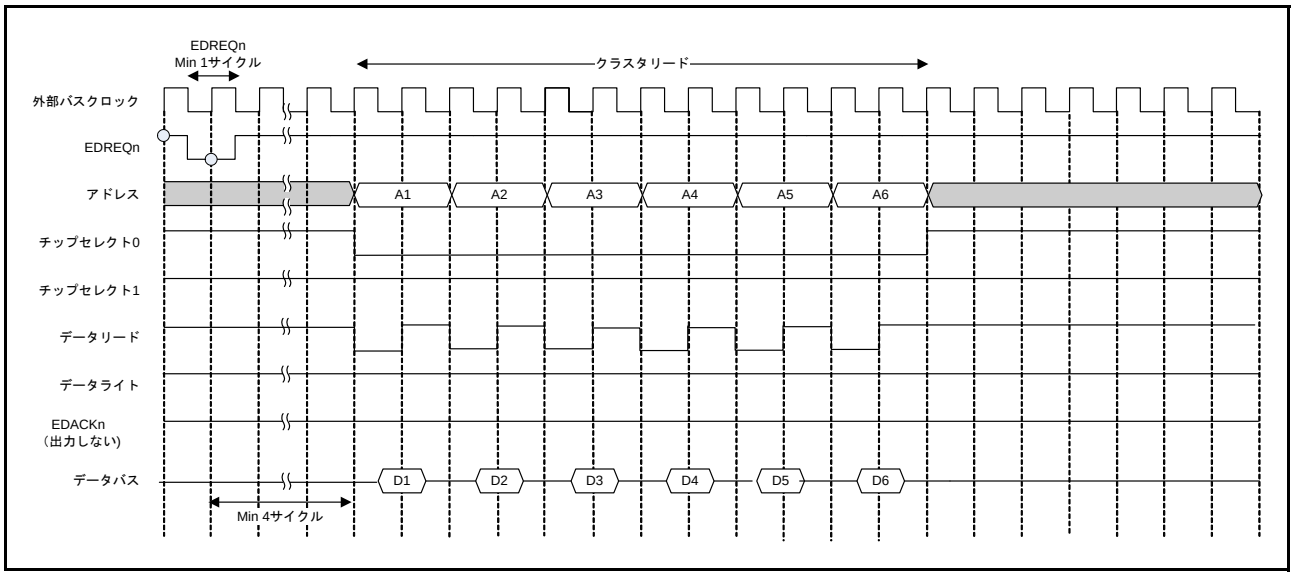


図19.19　クラスタ転送リードアドレスモードでのバスサイクル例

(3) ライトアドレスモード

クラスタ転送ライトアドレスモードは、CPU/DMAC/DTC など内部バスマスタによって書き込まれたクラスタバッファのデータを転送先外部デバイスへ転送します。図 19.20 にクラスタ転送ライトアドレスモードのデータの流れを、図 19.21 にクラスタサイズ 6 で 1 クラスタを 1 バスサイクル 2 サイクルで転送したときのバスサイクルの例を示します。

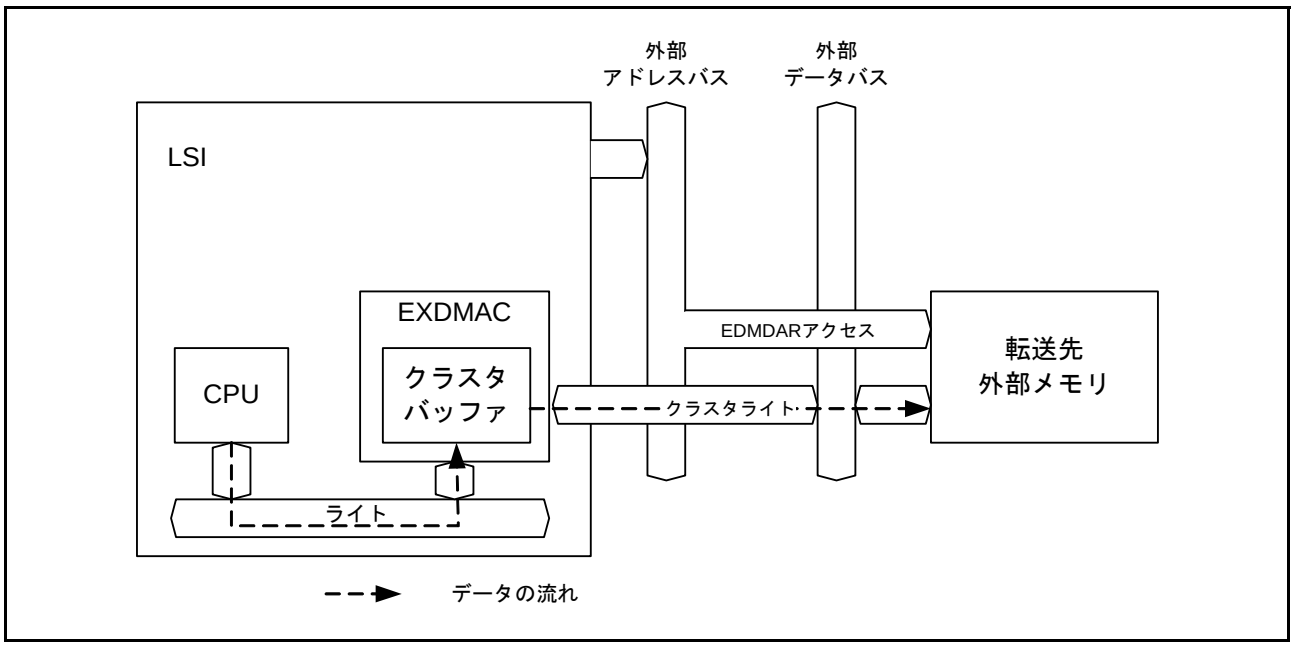


図 19.20　クラスタ転送ライトアドレスモードのデータの流れ

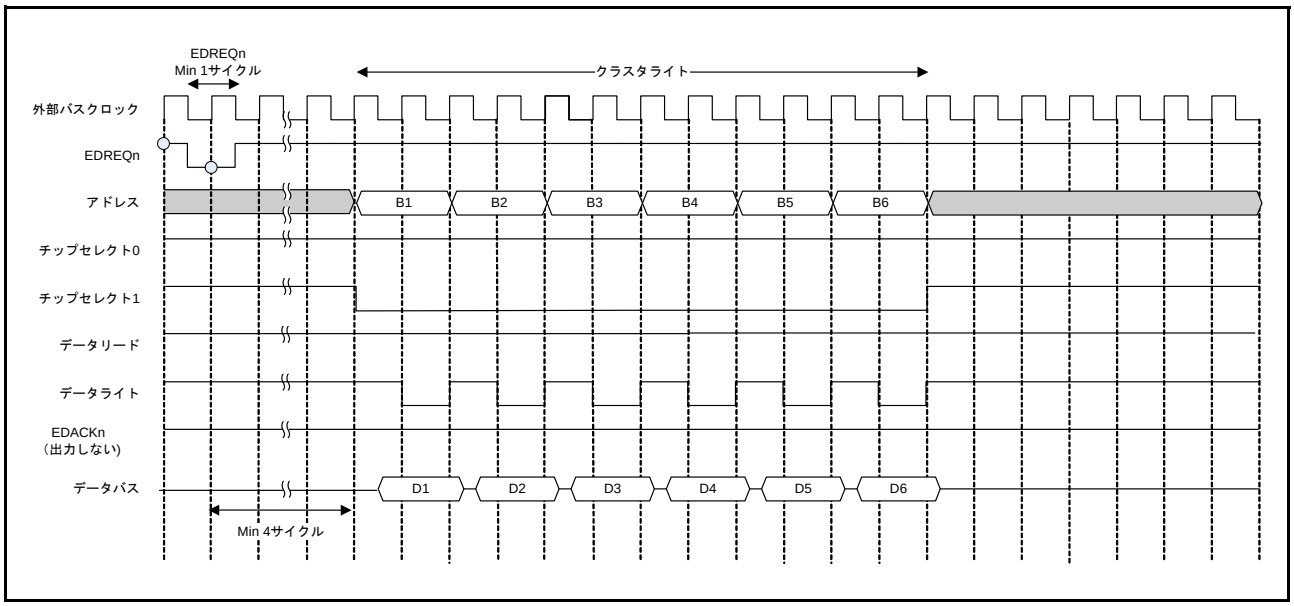


図 19.21　クラスタ転送ライトアドレスモードでのバスサイクル例

19.5　起動要因と起動手順

19.5.1　起動要因

EXDMAC の起動要因には、ソフトウェア、外部 DMA 転送要求端子（EDREQn 端子）、周辺モジュール（MTU1 あるいは TPU7 のコンペアマッチ A）からの DMA 転送要求があります。これらの起動要因は EXDMACn.EDMTMD.DCTG[1:0] ビットで選択します。

(1)　ソフトウェアによる起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。
ソフトウェアによる起動によって DMA 転送を開始するには、以下の手順で行ってください。

1. EXDMACn.EDMREQ.SWREQ ビットが “0”（DMA 転送要求なし）であることを確認する
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを “00b”（ソフトウェアによる起動）にする
3. EXDMACn.EDMCNT.DTE ビットを “1”（DMA 転送を許可）にする
4. EXDMACn.EDMREQ.CLRS　ビット（DMA　ソフトウェア起動ビット自動クリア選択）の設定、および EXDMACn.EDMREQ.SWREQ ビットを “1”（DMA 転送要求あり）にする

EXDMACn.EDMREQ.CLRS ビットが “0”（ソフトウェア起動後に SWREQ ビットをクリアする）の場合、要求に対する転送が開始されると、EXDMACn.EDMREQ.SWREQ ビットが “0” になります。
EXDMACn.EDMREQ.CLRS ビットが “1”（ソフトウェア起動後に SWREQ ビットをクリアしない）の場合、EXDMACn.EDMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求を発生します。

(2)　外部 DMA 転送要求端子（EDREQn）による起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “10b” にすると外部 DMA 転送要求端子による起動が可能となります。
外部 DMA 転送要求端子によって DMA 転送を開始するには、以下の手順で行ってください。

1. EXDMACn.EDMRMD.DREQS[1:0] ビットで検出方法を設定
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを “10b”（外部 DMA 転送要求端子）にする
3. EXDMACn.EDMERF.EREQ フラグに “1” を書いて、EREQ フラグを “0” にする
4. EXDMACn.EDMCNT.DTE ビットを “1”（DMA 転送許可）にする

EXDMACn.EDMRMD.DREQS[1:0] ビットで “ 立ち下がりエッジ検出 ” または “ 立ち上がりエッジ検出 ” を設定した場合、外部 DMA 転送要求端子のエッジを検出すると、EXDMACn.EDMERF.EREQ フラグが “1”（DMA 転送要求あり）になります。EXDMACn.EDMERF.EREQ フラグは、外部要求によって DMA 転送が開始すると “0”（DMA 転送要求なし）になります。また、“1” を書くことによって “0” になります。
EXDMACn.EDMRMD.DREQS[1:0] ビットで “Low 検出 ” に設定した場合、外部 DMA 転送要求端子が “Low” であれば EXDMACn.EDMERF.EREQ フラグは “1” になり、外部 DMA 転送要求端子が “High” であれば EXDMACn.EDMERF.EREQ フラグは “0” になります。また、“Low 検出 ” の場合は外部要求によって DMA 転送が開始されたとき、もしくは “1” を書いたときに EXDMACn.EDMERF.EREQ フラグは “0” になりません。
EXDMACn.EDMERF.EREQ フラグが “1” のとき、EDMAST.DMST ビットが “1”（EXDMAC 起動許可）で、EXDMACn.EDMCNT.DTE ビットが “1”（DMA 転送許可）であれば DMA 動作が開始します。
EDMAST.DMST ビット、EXDMACn.EDMCNT.DTE ビットの値にかかわらず、EXDMACn.EDMERF.EREQ フラグは保持されます。

図 19.22 に立ち下がりエッジ検出による外部 DMA 転送要求のタイミング、図 19.23 に Low 検出による外部 DMA 転送要求のタイミングを示します。

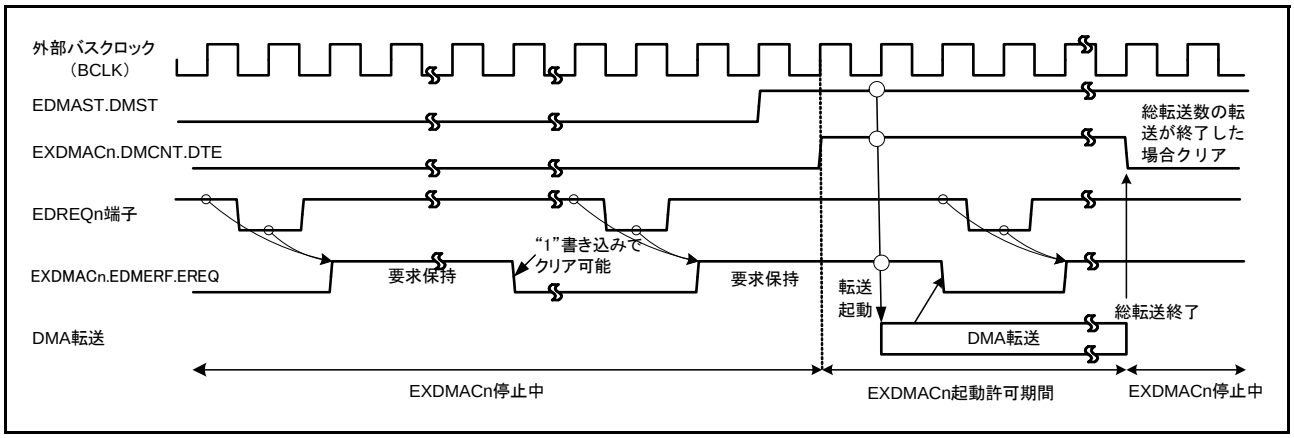


図 19.22　立ち下がりエッジ検出による外部 DMA 転送要求のタイミング

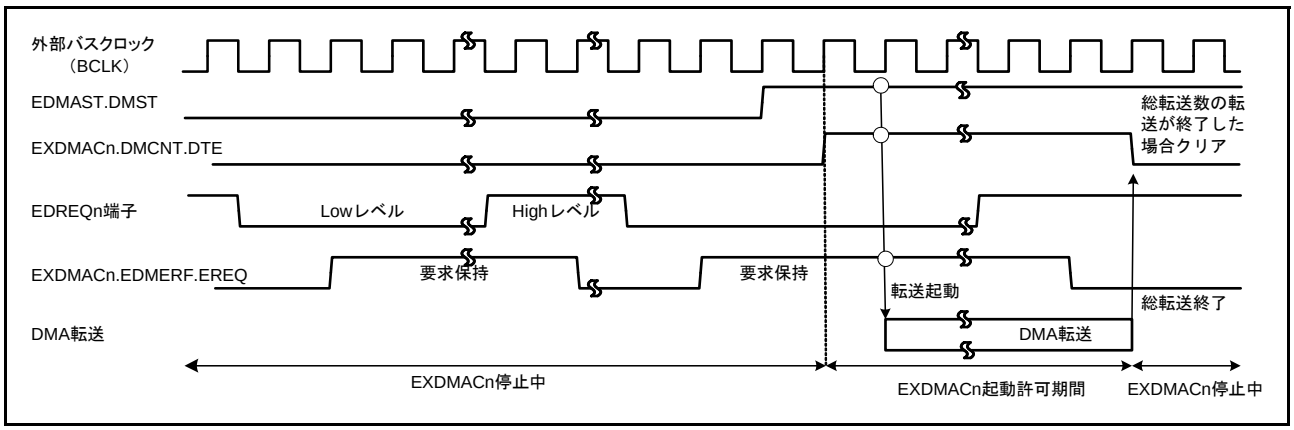


図 19.23　Low 検出による外部 DMA 転送要求のタイミング

(3)　周辺モジュール（MTU1 あるいは TPU7 のコンペアマッチ A）からの DMA 転送要求による起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “11b” に設定すると周辺モジュール（MTU1 あるいは TPU7 のコンペアマッチ A）からの DMA 転送要求による起動が可能となります。

周辺モジュールによって DMA 転送を開始するには、以下の手順で行ってください。

1. ユニット選択ビット（SEL.CNj）を設定（ユニット選択ビットの設定は、**「15.5.1.5　ユニット選択と割り込みステータスフラグ」**に記載の手順に従ってください。）
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを “11b”（周辺モジュールからの DMA 転送要求）にする
3. EXDMACn.EDMPRF.PREQ フラグに “1” を書いて、PREQ フラグを “0” にする
4. EXDMACn.EDMCNT.DTE ビットを “1”（DMA 転送許可）にする

周辺モジュールからの EXDMACn 起動は、割り込み要求許可ビット（IERm.IENj）の影響を受けません。

周辺モジュールからの DMA 転送要求が発生したときは、EXDMACn.EDMPRF.PREQ フラグが “1”（DMA 転送要求あり）になります。EXDMACn.EDMPRF.PREQ フラグは、周辺モジュールからの要求によって DMA 転送を開始すると “0”（DMA 転送要求なし）になります。また、“1” を書くことによって “0” になります。

EXDMACn.EDMPRF.PREQ フラグが “1” の状態で、EDMAST.DMST ビットが “1”（EXDMAC 起動許可）で、EXDMACn.EDMCNT.DTE ビットが “1”（DMA 転送許可）であれば DMA 動作が開始します。

EDMAST.DMST ビット、EXDMACn.EDMCNT.DTE ビットの値にかかわらず、EXDMACn.EDMPRF.PREQ フラグは保持されます。

モジュールストップビットの状態に関係なく、内部周辺モジュールからの EXDMACn 起動が発生すると、EXDMACn.EDMPRF.PREQ フラグは “1” になります。

19.5.2 EXDMAC の起動

図 19.24 にレジスタの設定手順を示します。

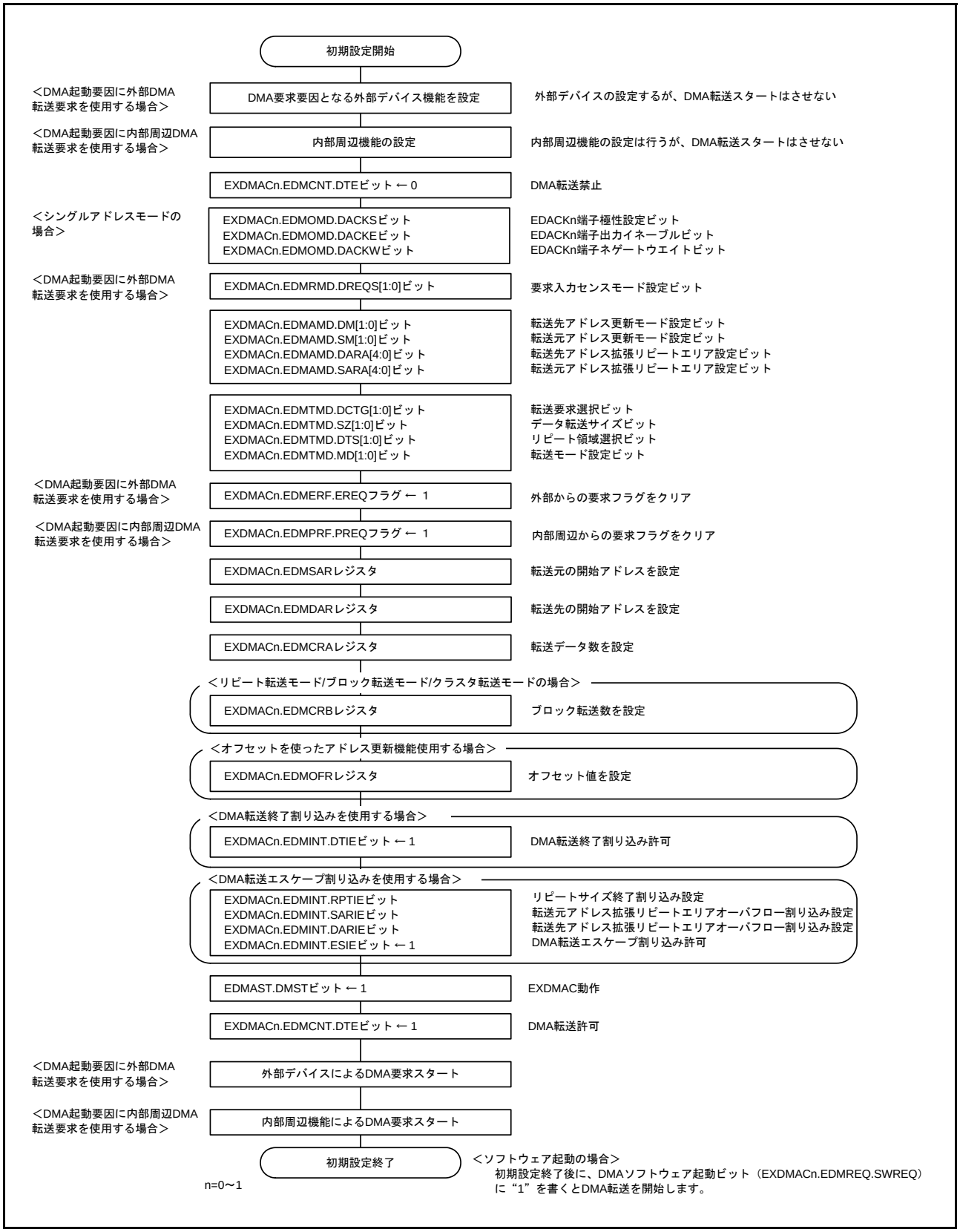


図 19.24　レジスタの設定手順

19.5.3 DMA 転送の開始

EXDMACn.EDMCNT.DTE ビットを “1”（DMA 転送許可）にして、EDMAST.DMST ビットを “1”（EXDMAC 動作）にすると、チャネル n(n= 0、1）の DMA 転送が可能になります。

DMA 転送要求が発生するとチャネル調停を行い、優先順位の高いチャネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送要求が受け付けられ DMA 転送が開始すると、EXDMACn.EDMSTS.ACT フラグが “1”（データ転送中）になります。

19.5.4 DMA 転送中のレジスタ

EXDMAC のレジスタは、DMA 転送処理によって値を更新します。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、EXDMACn.EDMSAR、EXDMACn.EDMDAR、EXDMACn.EDMCRA、EXDMACn.EDMCRB、EXDMACn.EDMCNT、EXDMACn.EDMSTS です。

(1) DMA 転送元アドレスレジスタ（EXDMACn.EDMSAR）

1 転送要求に対するデータ転送を終了すると、次の要求でアクセスするアドレスに更新されます。

各モードでのレジスタ更新は、**表 19.4 ～表 19.7** を参照してください。

(2) DMA 転送先アドレスレジスタ（EXDMACn.EDMDAR）

1 転送要求に対するデータ転送を終了すると、次の要求でアクセスするアドレスに更新されます。

各モードでのレジスタ更新は、**表 19.4 ～表 19.7** を参照してください。

(3) DMA 転送カウントレジスタ（EXDMACn.EDMCRA）

1 転送要求に対するデータ転送を終了すると、カウント値が更新されます。各モードで更新値が異なります。

各モードでのレジスタ更新は、**表 19.4 ～表 19.7** を参照してください。

(4) DMA ブロック転送カウントレジスタ（EXDMACn.EDMCRB）

1 転送要求に対するデータ転送を終了すると、カウント値が更新されます。各モードで更新値が異なります。

各モードでのレジスタ更新は、**表 19.4 ～表 19.7** を参照してください。

(5) DMA 転送許可ビット（EXDMACn.EDMCNT.DTE ビット）

EXDMACn.EDMCNT.DTE ビットはレジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送によって以下のいずれかの状態になると、EXDMACn.EDMCNT.DTE ビットは “0” になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき

EXDMACn.EDMCNT.DTE ビットが “1” のチャネルのレジスタへの書き込みは禁止です（EXDMACn.EDMCNT レジスタを除く）。

EXDMACn.EDMCNT.DTE ビットに “0” を書いてから、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ（EXDMACn.EDMSTS.ACT フラグ）

EXDMACn が停止中か動作中であることを示します。EXDMACn.EDMSTS.ACT フラグは EXDMACn が転送動作を開始すると “1” になり、1 転送要求に対するデータ転送を終了すると “0” になります。

DMA 転送中に EXDMACn.EDMCNT.DTE ビットに “0” を書いて、DMA 転送を停止させた場合でも、DMA 転送が終了するまで “1” を保持します。

(7) 転送終了割り込みフラグ（EXDMACn.EDMSTS.DTIF フラグ）

DMA 転送によって総転送サイズ分の転送を終了すると、EXDMACn.EDMSTS.DTIF フラグは “1” になります。

EXDMACn.EDMSTS.DTIF フラグが “1” で、EXDMACn.EDMINT.DTIE ビットが “1” のとき、転送終了割り込み要求を発生します。

EXDMACn.EDMSTS.DTIF フラグが “1” になるタイミングは、DMA 転送のバスサイクルが終了して、EXDMACn.EDMSTS.ACT フラグが “0“ になって転送を終了したときです。

割り込み処理中に EXDMACn.EDMCNT.DTE ビットに “1” を書いた場合、自動的に EXDMACn.EDMSTS.DTIF フラグが “0” になります。

(8) 転送エスケープ割り込みフラグ（EXDMACn.EDMSTS.ESIF フラグ）

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、EXDMACn.EDMSTS.ESIF フラグは “1” になります。EXDMACn.EDMSTS.ESIF フラグが “1” で、EXDMACn.EDMINT.ESIE ビットが “1” のとき、転送エスケープ割り込み要求を発生します。

EXDMACn.EDMINT.F フラグに “1” になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、EXDMACn.EDMSTS.ACT フラグが “0“ になって転送を終了したときです。

割り込み処理中に EXDMACn.EDMCNT.DTE ビットに “1” を書いた場合、自動的に EXDMACn.EDMSTS.ESIF フラグが “0” になります。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「15. 割り込みコントローラ（ICUb）」を参照してください。

19.5.5 チャネルの優先順位

EXDMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 ＞ チャネル 1 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行い、優先順位の高いチャネルの転送が開始されます。

19.6 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、EXDMACn.EDMCNT.DTE ビットと EXDMACn.EDMSTS.ACT フラグが “1” から “0” になり、DMA 転送が終了したことを示します。

19.6.1 設定した総データ転送による転送終了

(1) ノーマル転送モード（EXDMACn.EDMTMD.MD[1:0] = 00b）のとき

EXDMACn.EDMCRAL レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード（EXDMACn.EDMTMD.MD[1:0] = 01b）のとき

EXDMACn.EDMCRB の値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード（EXDMACn.EDMTMD.MD[1:0] = 10b）のとき

EXDMACn.EDMCRB の値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

(4) クラスタ転送モード（EXDMACn.EDMTMD.MD[1:0] = 11b）のとき

EXDMACn.EDMCRB の値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳しくは「15. 割り込みコントローラ（ICUb）」を参照してください。

19.6.2　リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、EXDMACn.EDMINT.RPTIE ビットが “1” のときに、1 リピートサイズ分の転送終了後に、リピートサイズ終了割り込み要求を発生します。割り込み要求の発生によって DMA 転送を終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.ESIF フラグが “1” になります。このとき EXDMACn.EDMINT.ESIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。また、この状態から EXDMACn.EDMCNT.DTE ビットを “1” にすると転送を再開させることができます。

ブロック転送モード（またはクラスタ転送モード）においても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モード（またはクラスタ転送モード）では、1 ブロック（または 1 クラスタ）分の転送終了後に、同様にリピートサイズ終了割り込み要求を発生します。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳しくは「15.　割り込みコントローラ（ICUb）」を参照してください。

19.6.3　拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、EXDMACn.EDMINT.SARIE ビットまたは EXDMACn.EDMINT.DARIE ビットが “1” のときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生によって DMA 転送は終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.ESIF フラグが “1” になります。このとき EXDMACn.EDMINT.ESIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モード（またはクラスタ転送モード）では、1 ブロック（または 1 クラスタ）分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても 1 ブロック（または 1 クラスタ）分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズ（クラスタサイズ）の区切りで発生します。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み割り込み制御レジスタの設定が必要です。詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。

19.7　割り込み

EXDMAC はチャネルごとに CPU または DTC に割り込み要求を出力させることができます。割り込みの要因、フラグ、許可ビットの関係を**表 19.10** に、割り込み出力の概略論理図を**図 19.25** に示します。また、EXDMAC 割り込み処理で DMA 転送を再開 / 中止する手順を**図 19.26** に示します。

表 19.10　割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力イネーブル
転送終了		—	EXDMACn.EDMSTS.DTIF	EXDMACn.EDMINT.DTIE
エスケープ転送終了	リピートサイズ終了	EXDMACn.EDMINT.RPTIE	EXDMACn.EDMSTS.ESIF	EXDMACn.EDMINT.ESIE
	転送元アドレス拡張リピートエリアオーバフロー	EXDMACn.EDMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバフロー	EXDMACn.EDMINT.DARIE		

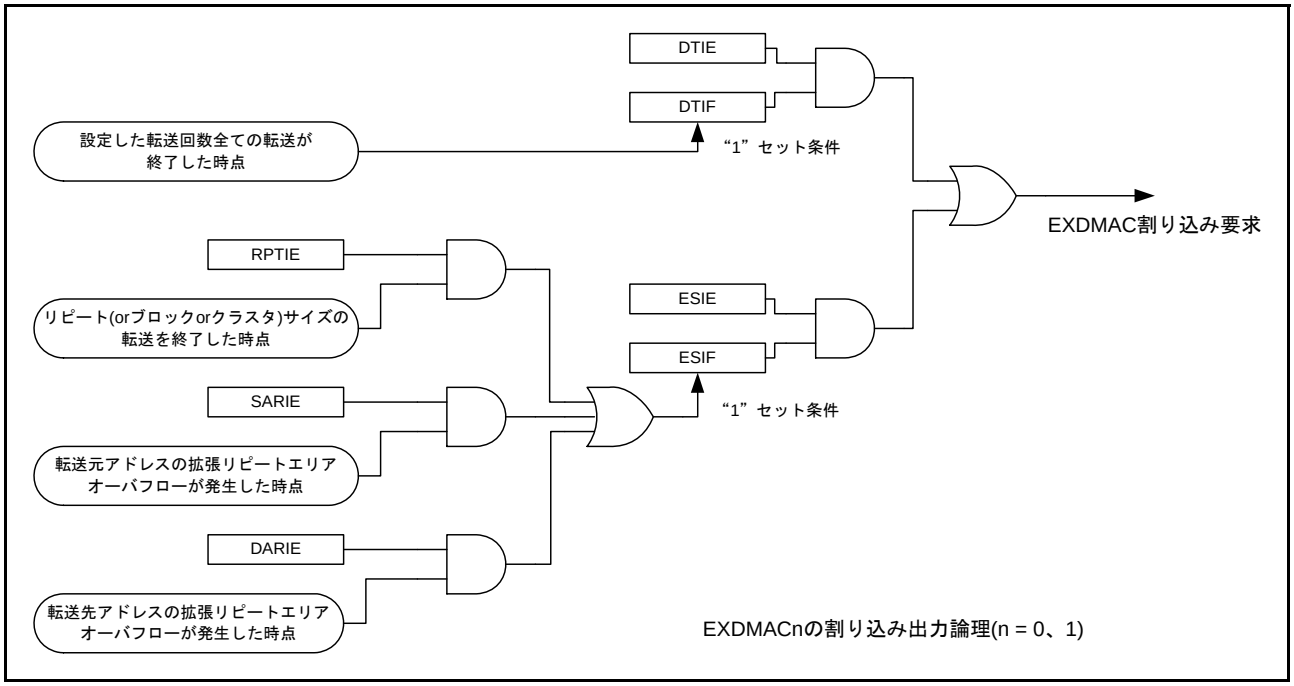


図 19.25　割り込み出力の概略論理図

割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1)　DMA 転送を終了または中止させる場合

転送終了割り込みの場合、EXDMACn.EDMSTS.DTIF フラグに “0” を書いて、割り込み要因をクリアしてください。リピートサイズ割り込み、および拡張リピートエリアオーバフロー割り込みの場合は、EXDMACn.EDMSTS.ESIF フラグに “0” を書いて、割り込み要因をクリアしてください。EXDMACn は停止状態を保ちます。その後、新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、EXDMACn.EDMCNT.DTE ビットに “1” を書いてください。

(2)　DMA 転送を継続させる場合

EXDMACn.EDMCNT.DTE ビットに “1” を書いてください。自動的に EXDMACn.EDMSTS.ESIF フラグがクリアされ（割り込み要因がクリアされ）転送が再開します。

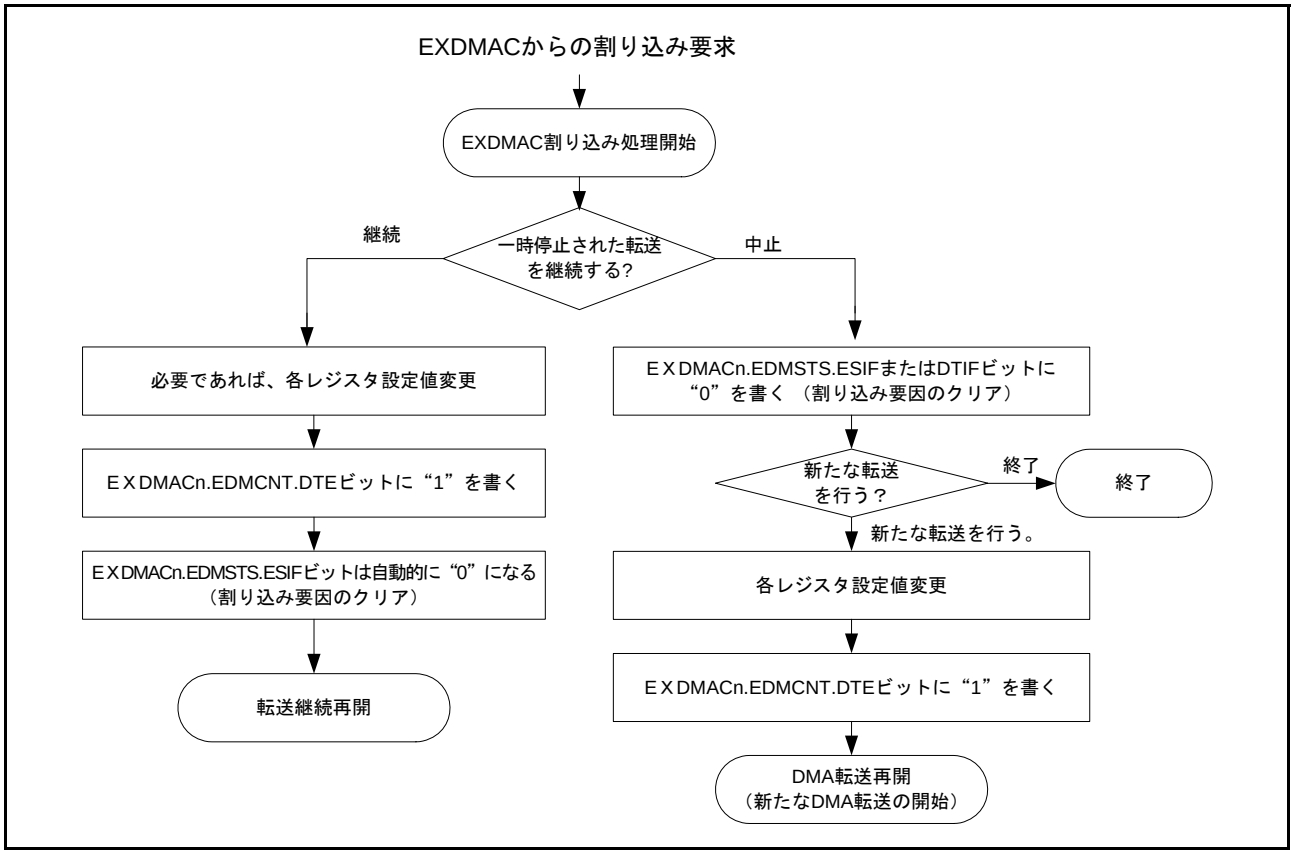


図 19.26　EXDMAC 割り込み処理で DMA 転送を再開 / 中止する手順

19.8　消費電力低減機能

EXDMAC のモジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、EDMAST.DMST ビットを “0”（EXDMAC 停止）にした後、以下の処理を行ってください。

(1)　モジュールストップ機能

MSTPCRA.MSTPA29 ビットに “1”（モジュールストップ状態への遷移）を書くことによって、EXDMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA29 ビットに “1” を書いた時点で DMA 転送動作中の場合、DMA 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA29 ビットが “1” のとき、EXDMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA29 ビットに “0”（モジュールストップ状態の解除）を書くことによって、EXDMAC のモジュールストップが解除されます。

(2)　全モジュールクロックストップモード

「11.　消費電力低減機能」の**「11.6.2.1　全モジュールクロックストップモードへの移行」**の手順に従って設定を行ってください。WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA29 ビットに “0” を書くことによって、EXDMAC のモジュールストップが解除されます。

(3)　ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11.　消費電力低減機能」の**「11.6.3.1　ソフトウェアスタンバイモードへの移行」**または**「11.6.4.1　ディープソフトウェアスタンバイモードへの移行」**の手順に従って設定を行ってください。WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後にソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードに移行します。

(4)　消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、**「11.　消費電力低減機能」**の**「11.7.6　WAIT 命令の実行タイミング」**を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 EDMAST.DMST ビットを “1” にしてください。

19.9　シングルアドレスモード時の EDACKn 動作

シングルアドレスモードでは、EDACKn を転送元または転送先いずれか一方の外部デバイスに出力すると同時に、もう一方の転送相手にアドレスを出力してアクセスします。

EDACKn を受ける外部デバイスの転送相手が CS 領域の場合、EXDMACn.EDMOMD.DACKW ビットを設定することによって、EDACKn のネゲートタイミングを 1BCLK サイクル調整（外部デバイスが転送先の場合 1BCLK サイクル前、転送元の場合 1BCLK サイクル後）することができます。転送相手が SDRAM 領域の場合、EXDMACn.EDMOMD.DACKW ビットでは、EDACKn のネゲートタイミング調整はできません。

EDACKn を受ける外部デバイスの転送相手が、SDRAM 領域アクセスの場合、EXDMACn.EDMOMD.DACKSEL ビットを “1” にすることにより、データ有効期間後半の 1/2 SDCLK サイクルのみ EDACKn 信号をアサートすることができます。転送相手が CS 領域の場合、EXDMACn.EDMOMD.DACKSEL ビットによる EDACKn 信号アサート期間の調整はできません。

CS 領域、SDRAM 領域のアドレスに関しては「4.　アドレス空間」を参照してください。

シングルアドレスモードでのノーマル転送、ブロック転送で CS 領域、SDRAM 領域それぞれに対して転送を行った場合の EDACKn 動作例を示します。

19.9.1　シングルアドレスモードノーマル転送（CS 領域）EDACKn 動作例

図 19.27 にノーマル転送で CS 領域から EDACKn 付きデバイスへ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることによって、データリード信号ネゲートタイミングの 1BCLK サイクル前に EDACKn をネゲートすることができます。

図 19.28 にノーマル転送で EDACKn 付きデバイスから CS 領域へ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることによって、データライト信号ネゲートタイミングの 1BCLK サイクル後に EDACKn をネゲートすることができます。

データリード信号、データライト信号および CS 領域アクセスタイミング設定レジスタの詳細に関しては「16.　バス」を参照してください。

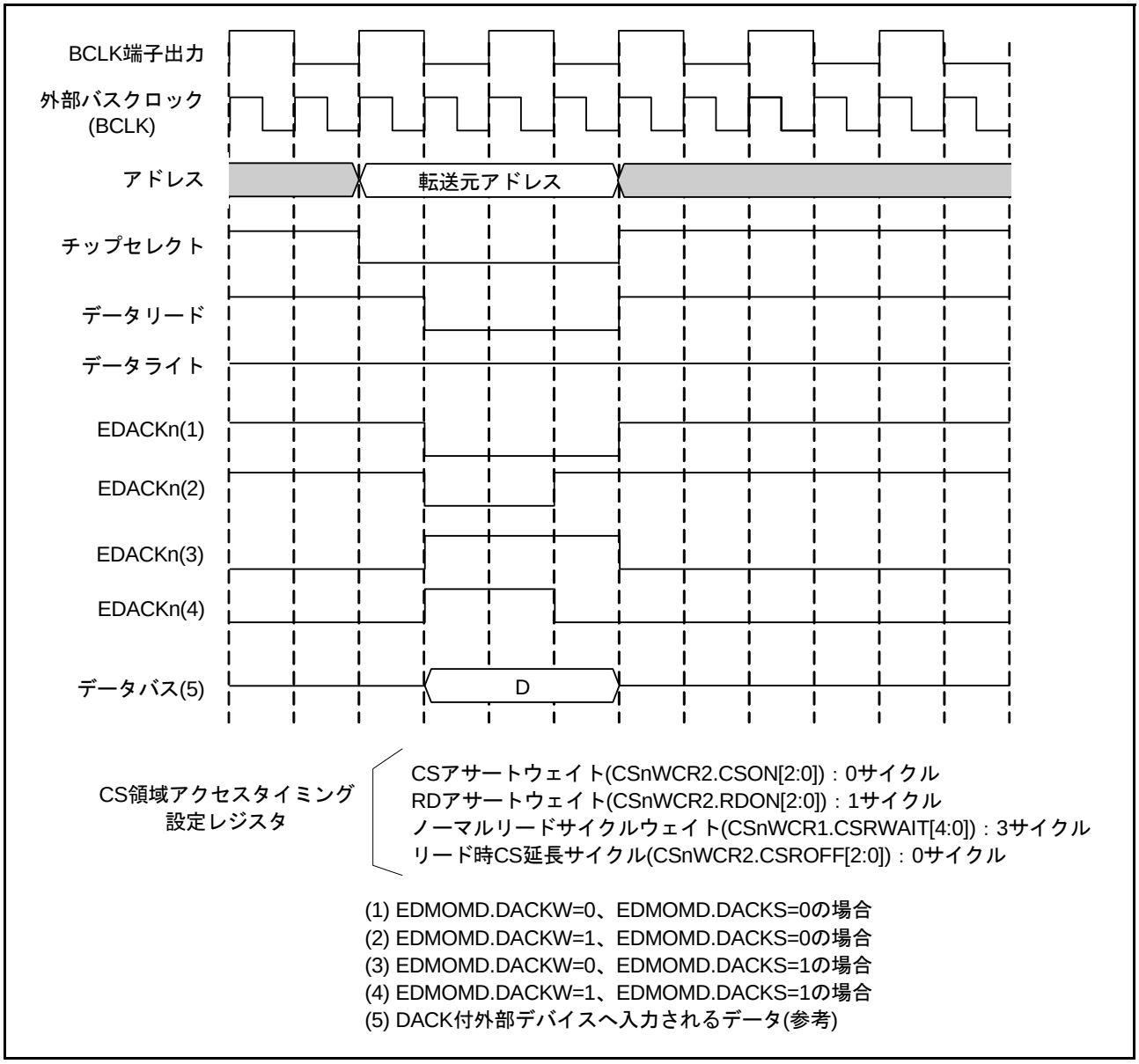


図 19.27　シングルアドレスモードノーマル転送（CS 領域　リード）動作例

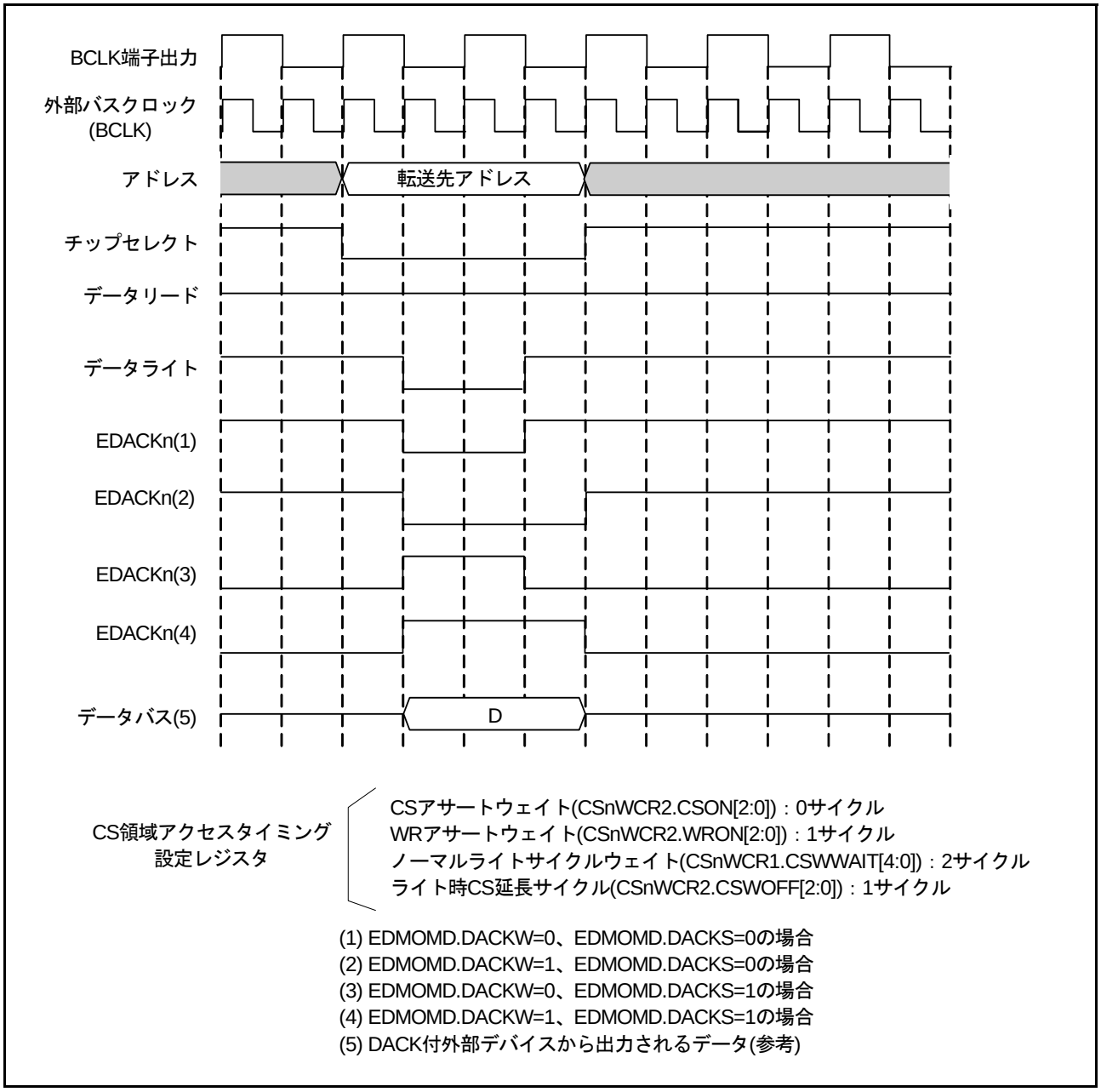


図 19.28　シングルアドレスモードノーマル転送（CS 領域　ライト）動作例

19.9.2　シングルアドレスモードノーマル転送（SDRAM 領域）EDACKn 動作例

図 19.29 にノーマル転送で SDRAM から EDACKn 付きデバイスへ転送した場合の動作例を示します。EDACKn は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.30 にノーマル転送で EDACKn 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACKn は SDRAM ライトサイクルの期間アサートします。

SDRAM コマンド、SDRAM アクセスタイミング設定レジスタの詳細に関しては「16.　バス」を参照してください。

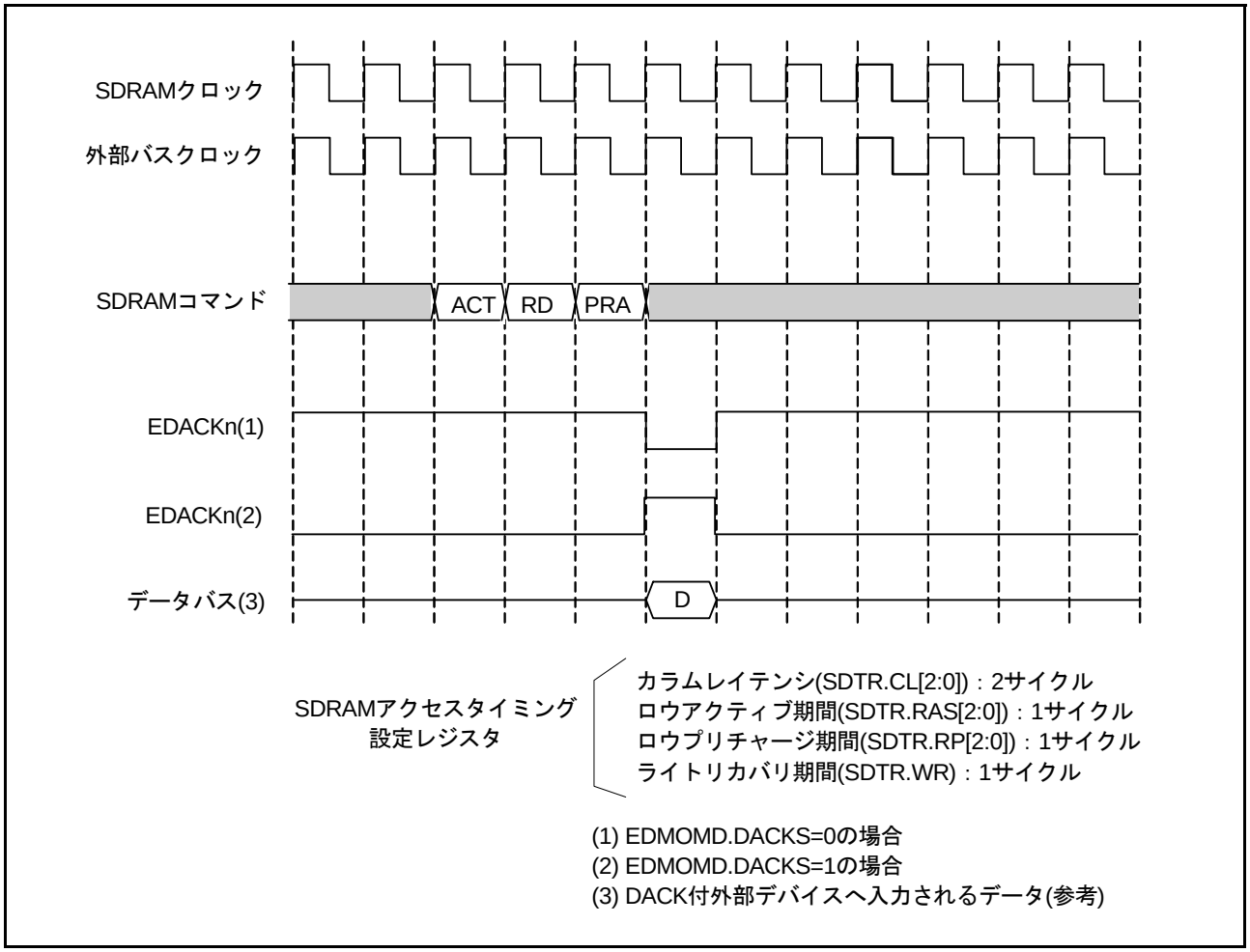


図 19.29　シングルアドレスモードノーマル転送（SDRAM 領域　リード）動作例

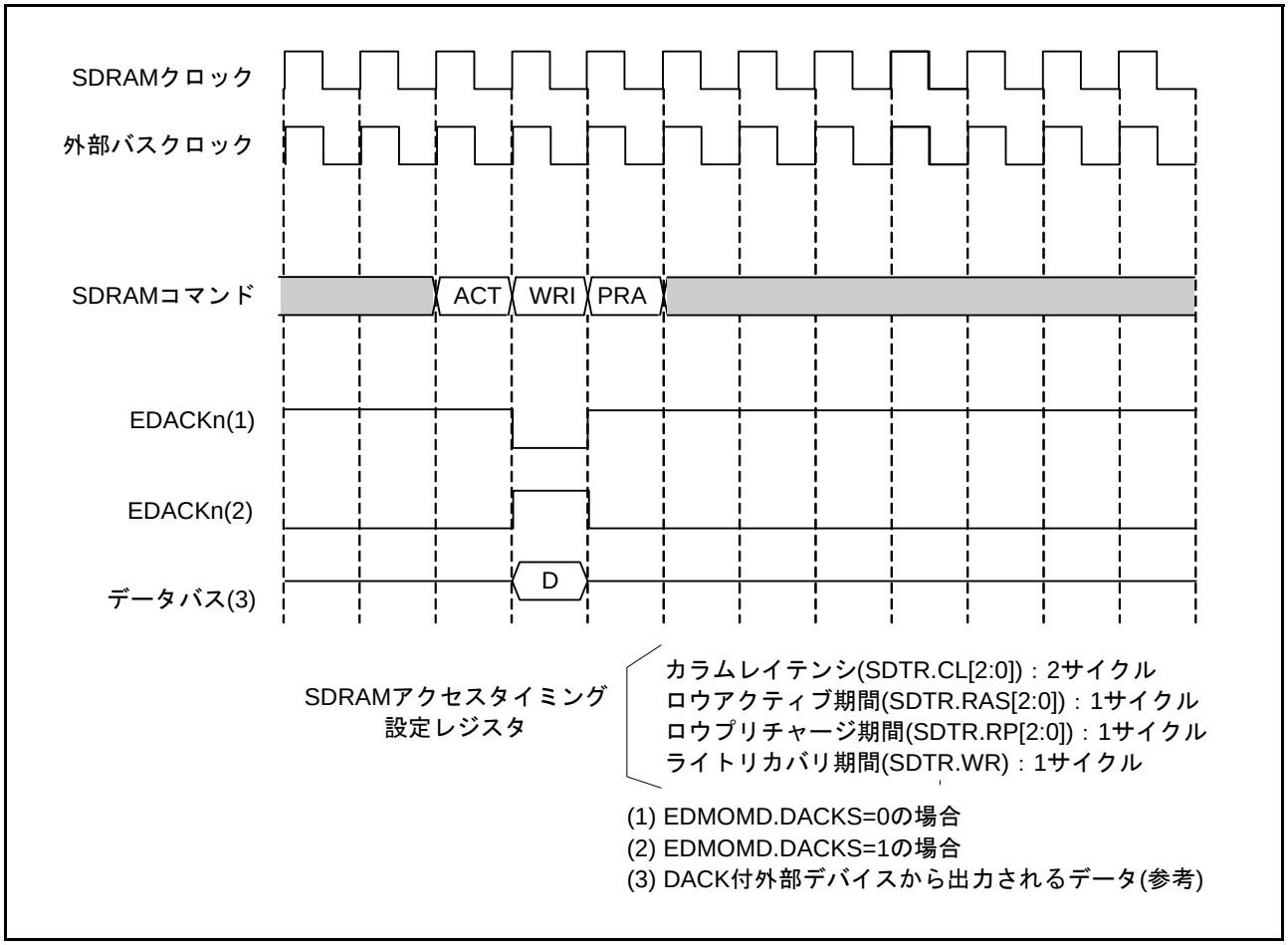


図 19.30　シングルアドレスモードノーマル転送（SDRAM 領域　ライト）動作例

19.9.3　シングルアドレスモードブロック転送（CS 領域）EDACKn 動作例

図 19.31 にブロック転送（ブロックサイズ 2）で CS 領域から EDACKn 付きデバイスへ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることによって、データリード信号ネゲートタイミングの 1BCLK サイクル前に EDACKn をネゲートすることができます。

図 19.32 にブロック転送（ブロックサイズ 2）で EDACKn 付きデバイスから CS 領域へ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることによって、データライト信号ネゲートタイミングの 1BCLK サイクル後に EDACKn をネゲートすることができます。

データリード信号、データライト信号および CS 領域アクセスタイミング設定レジスタの詳細に関しては「16.　バス」を参照してください。

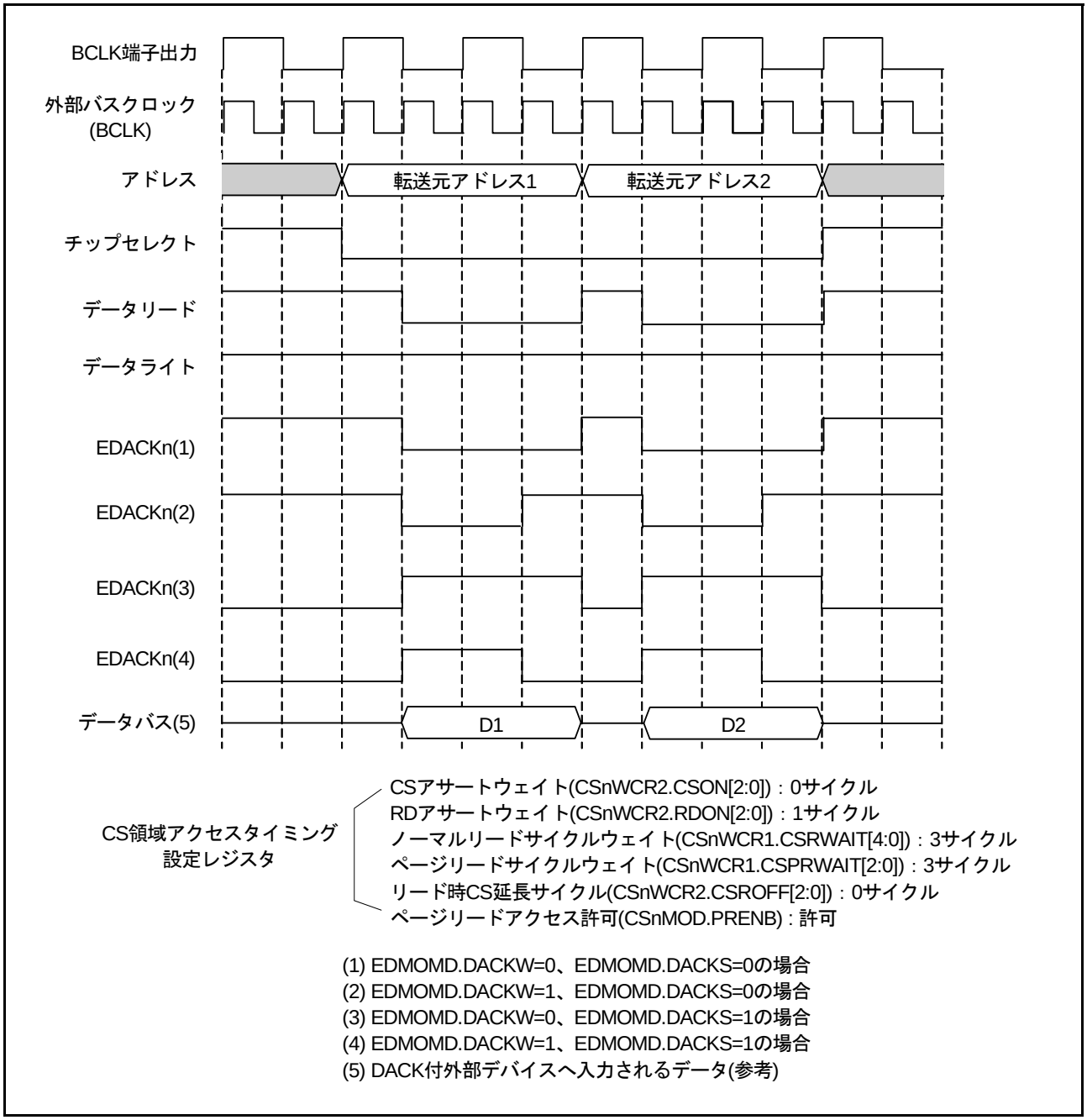


図 19.31　シングルアドレスモードブロック転送（CS 領域　リード）動作例

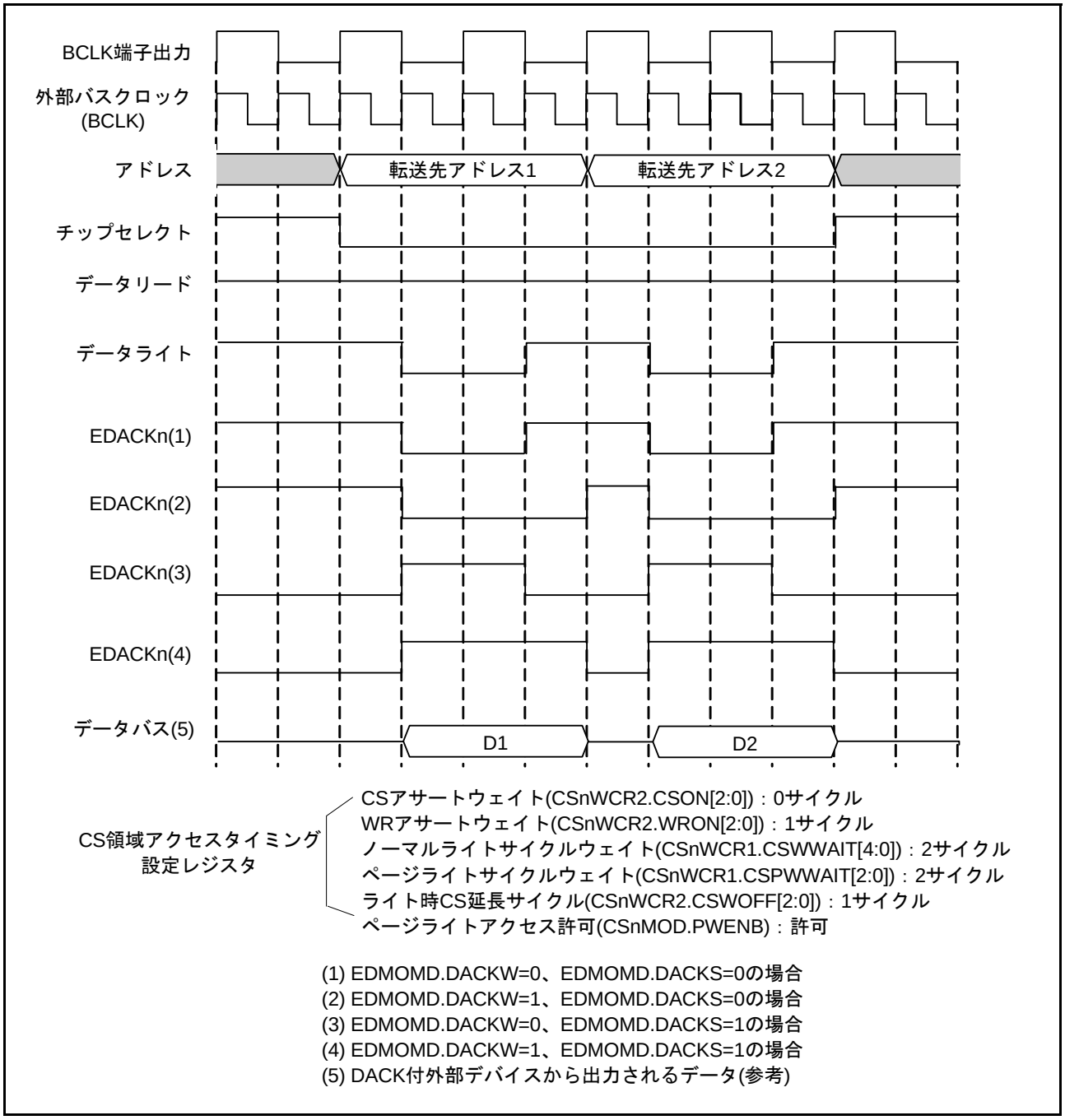


図 19.32　シングルアドレスモードブロック転送（CS 領域　ライト）動作例

19.9.4　シングルアドレスモードブロック転送（SDRAM 領域）EDACKn 動作例

図 19.33 に SDRAM 連続アクセスイネーブルを許可（SDAMOD.BE=1）、EXDMACn.EDMOMD.DACKSEL=0 にし、ブロック転送（ブロックサイズ 4）で SDRAM から EDACKn 付きデバイスへ転送した場合の動作例を示します。EDACKn は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.34 に SDRAM 連続アクセスイネーブルを許可（SDAMOD.BE=1）、EXDMACn.EDMOMD.DACKSEL=0 にし、ブロック転送（ブロックサイズ 4）で EDACKn 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACKn は SDRAM ライトサイクルの期間アサートします。

図 19.35 に SDRAM 連続アクセスイネーブルを許可（SDAMOD.BE=1）、EXDMACn.EDMOMD.DACKSEL=1 にし、ブロック転送（ブロックサイズ 4）で SDRAM から EDACKn 付きデバイスへ転送した場合の動作例を示します。EDACKn は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.36 に SDRAM 連続アクセスイネーブルを許可（SDAMOD.BE=1）、EXDMACn.EDMOMD.DACKSEL=1 にし、ブロック転送（ブロックサイズ 4）で EDACKn 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACKn は SDRAM ライトサイクルの期間アサートします。

図 19.37 に SDRAM 連続アクセスイネーブルを禁止（SDAMOD.BE=0）、EXDMACn.EDMOMD.DACKSEL=0 にし、ブロック転送（ブロックサイズ 2）で SDRAM から EDACKn 付きデバイスへ転送した場合の動作例を示します。EDACKn は SDRAM からのデータ出力サイクルの期間アサートします。

図 19.38 に SDRAM 連続アクセスイネーブルを禁止（SDAMOD.BE=0）、EXDMACn.EDMOMD.DACKSEL=0 にし、ブロック転送（ブロックサイズ 2）で EDACKn 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACKn は SDRAM ライトサイクルの期間アサートします。

SDRAM コマンド、SDRAM アクセスタイミング設定レジスタの詳細に関しては「16.　バス」を参照してください。

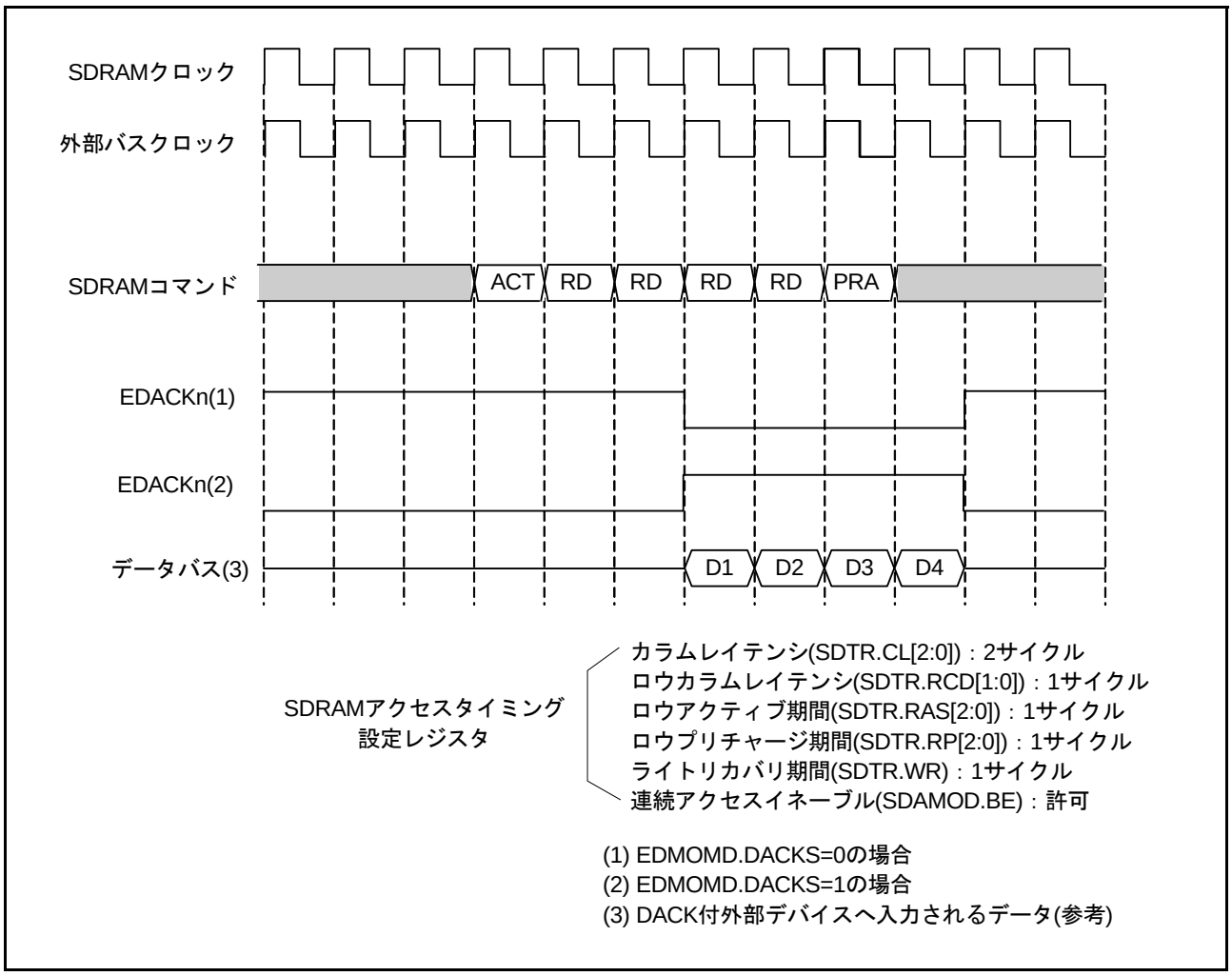


図 19.33　シングルアドレスモードブロック転送（SDRAM 領域　リード：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：0 設定時）動作例

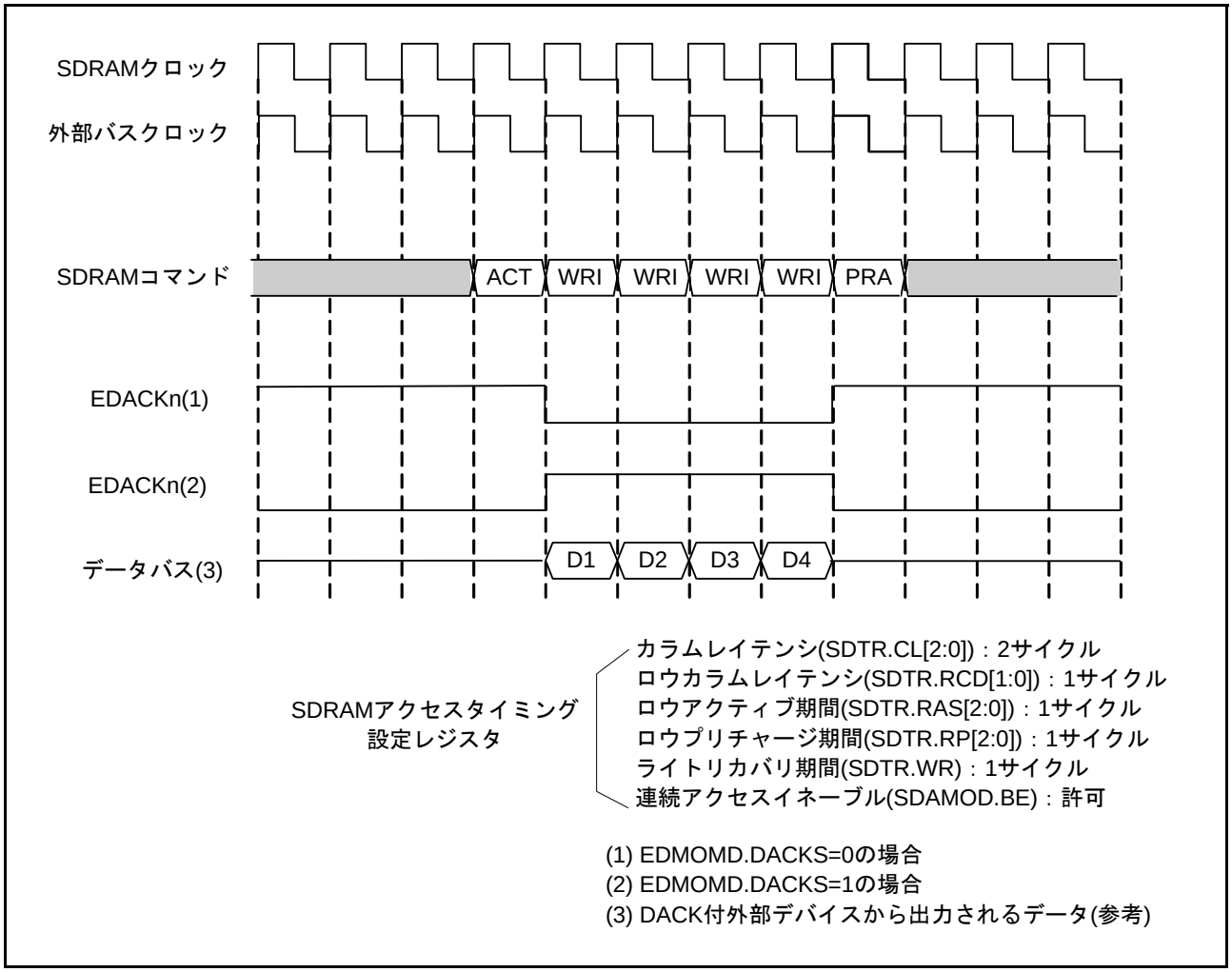


図 19.34　シングルアドレスモードブロック転送（SDRAM 領域　ライト：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：0 設定時）動作例

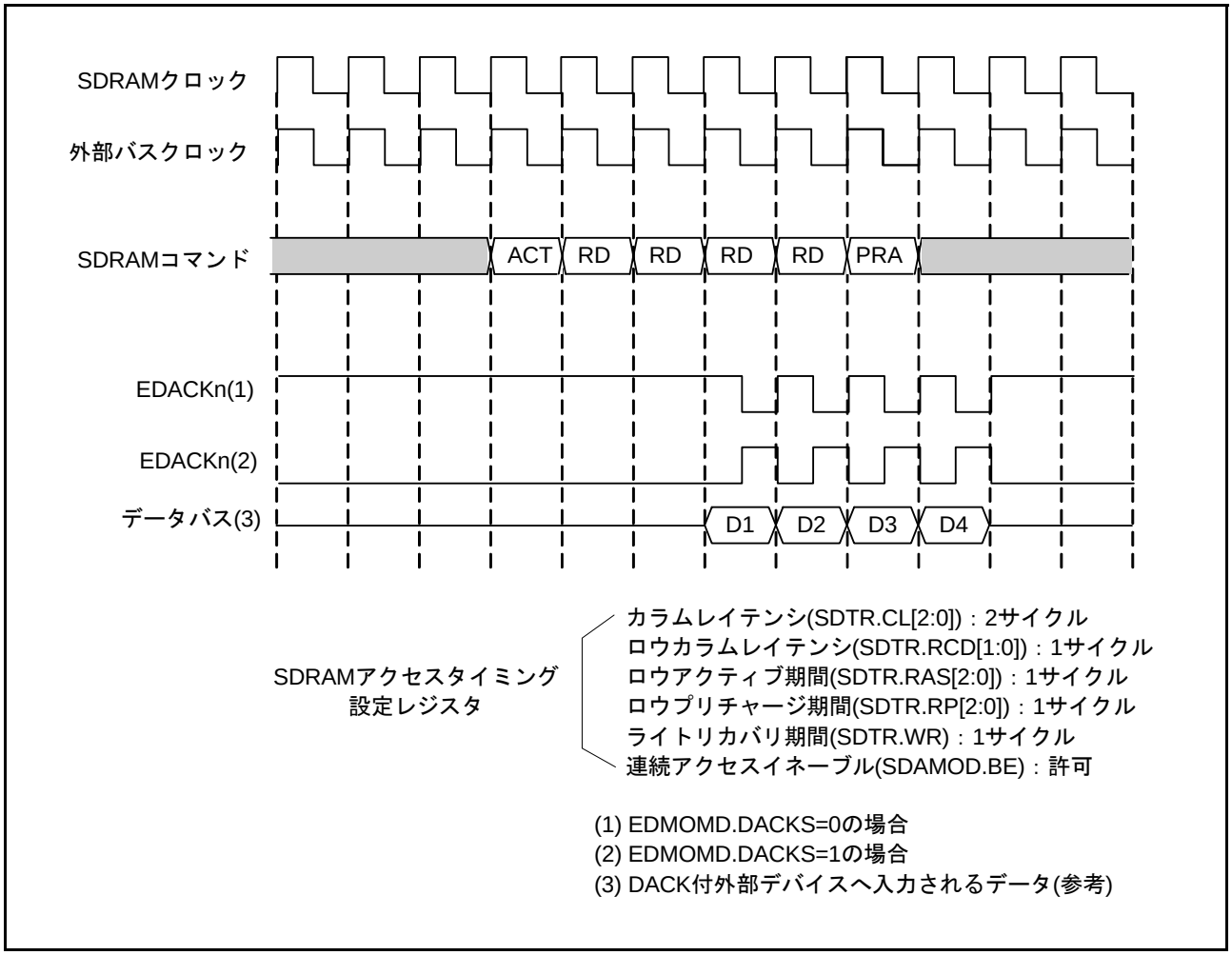


図 19.35　シングルアドレスモードブロック転送（SDRAM 領域　リード：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：1 設定時）動作例

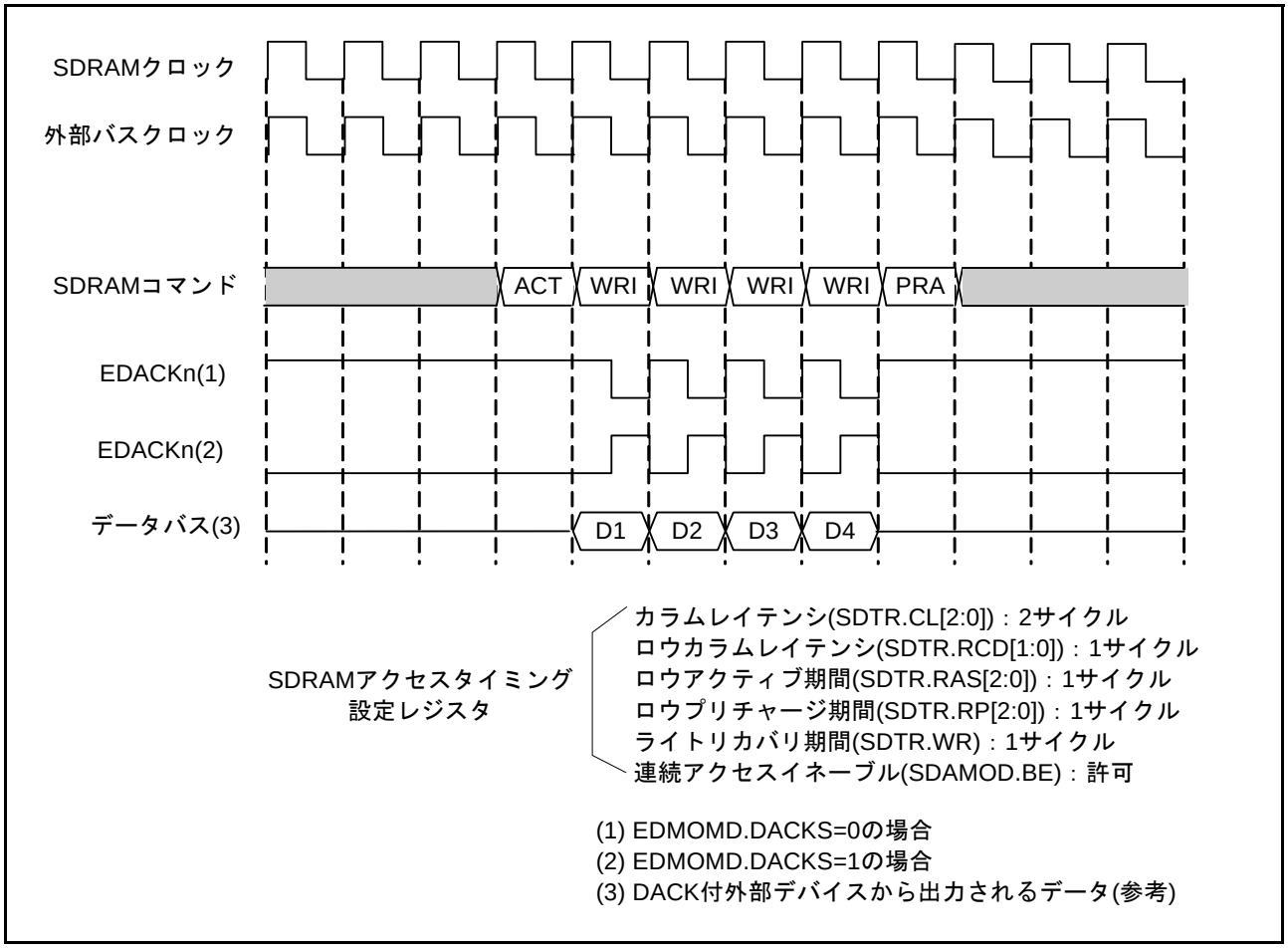


図 19.36　シングルアドレスモードブロック転送（SDRAM 領域　ライト：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：1 設定時）動作例

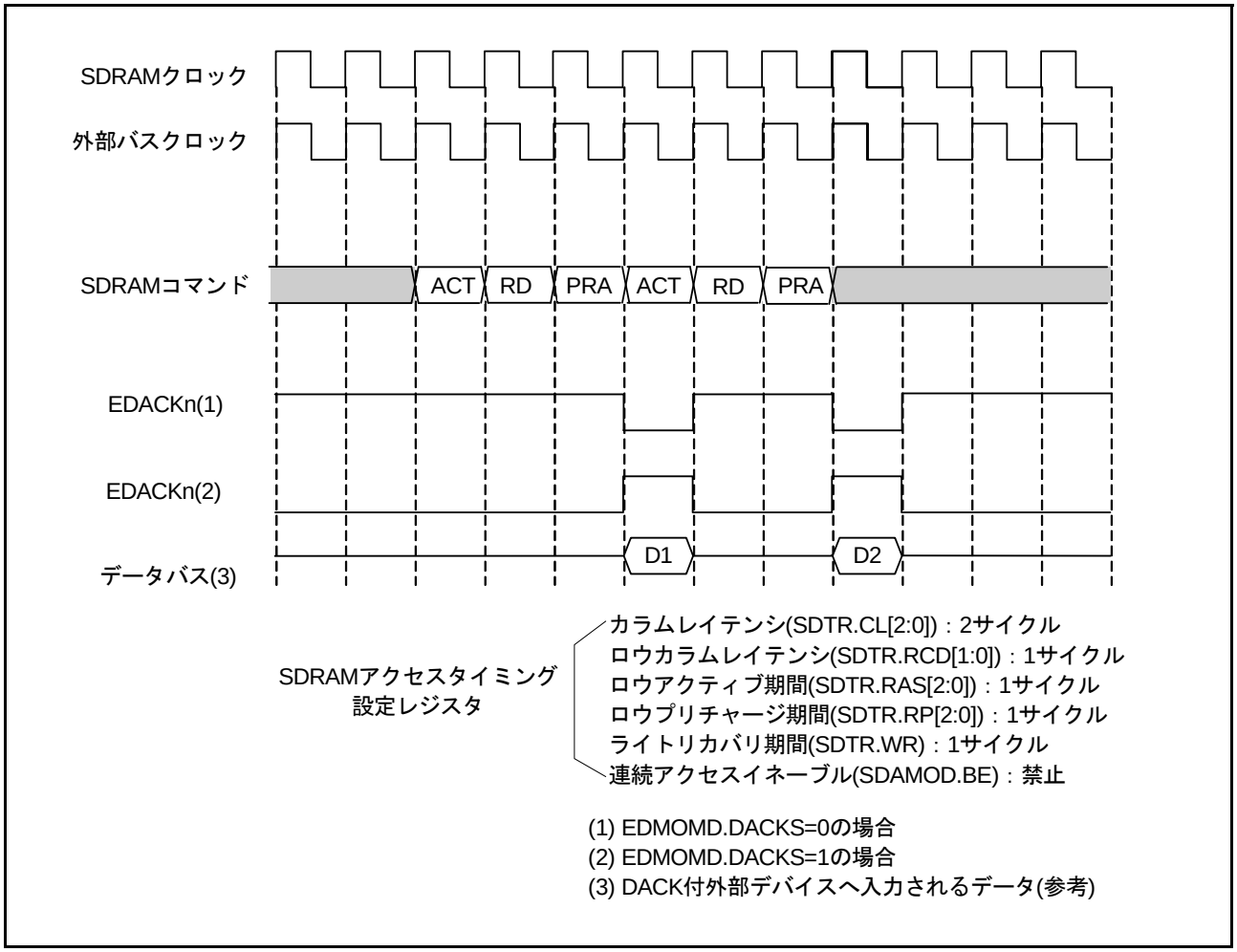


図 19.37　シングルアドレスモードブロック転送（SDRAM 領域　リード：連続アクセス禁止、EXDMACn.EDMOMD.DACKSEL：0 設定時）動作例

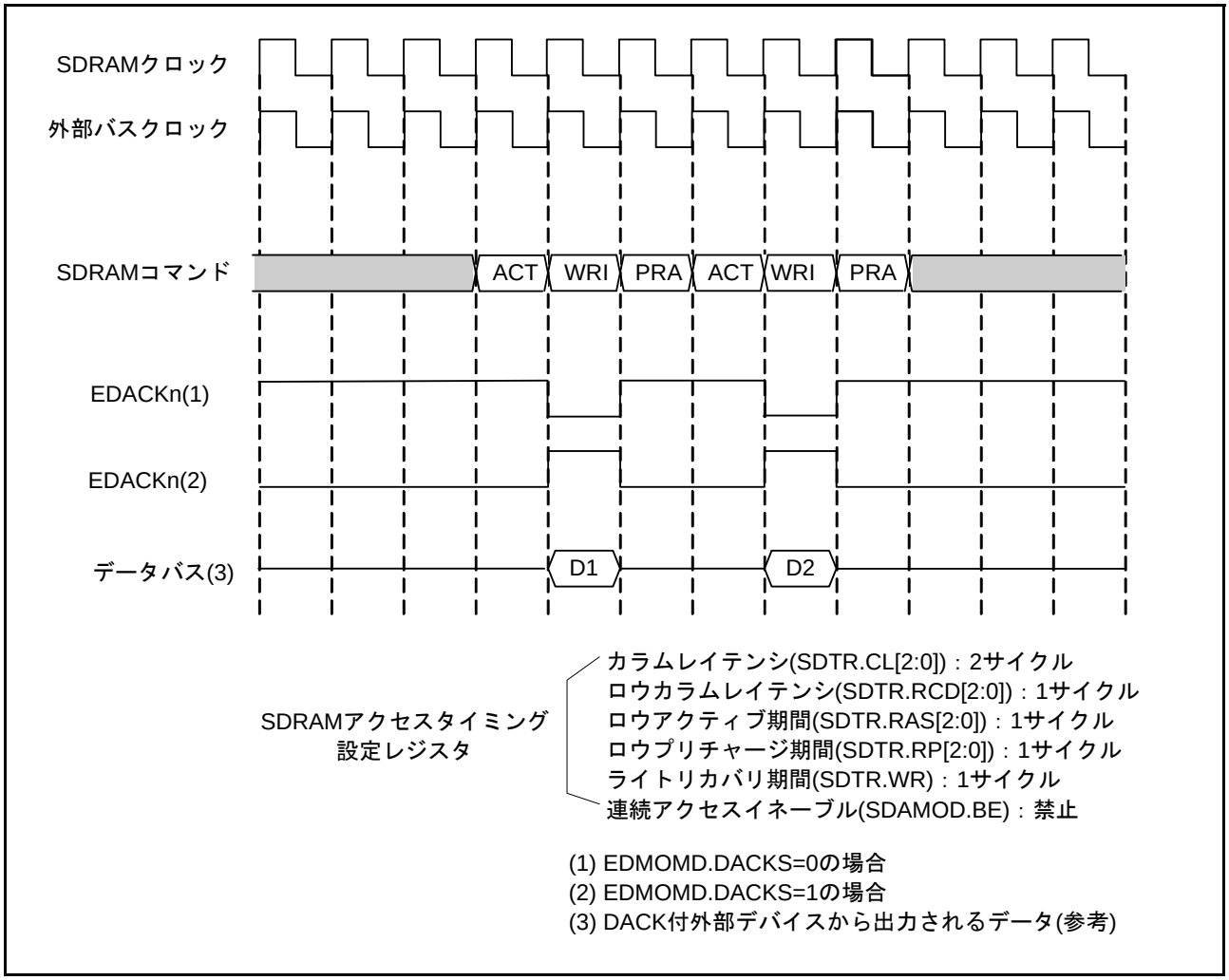


図 19.38　シングルアドレスモードブロック転送（SDRAM 領域　ライト：連続アクセス禁止、EXDMACn.EDMOMD.DACKSEL：0 設定時）動作例

19.10 使用上の注意事項

19.10.1 クラスタバッファについて

EXDMAC は、32 ビットのクラスタバッファを 8 本（CLSBR0 ～ CLSBR7）内蔵しています。転送サイズ（EXDMACn.EDMTMD.SZ[1:0] ビット）の設定によって、データの格納方法が変わります。

図 19.39 にクラスタバッファへのデータ格納方法を示します。

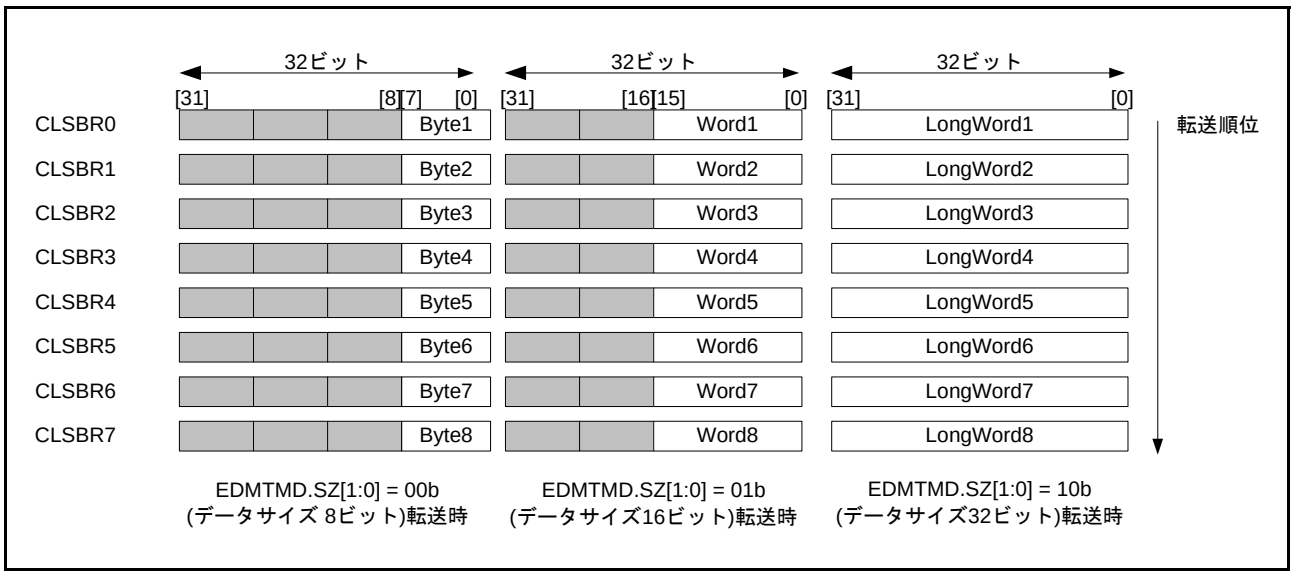


図 19.39　クラスタバッファへのデータ格納方法

19.10.2 DMA 動作中のレジスタアクセスについて

EXDMACn.EDMSTS.ACT フラグが “1”（DMA 動作中）または、EXDMACn.EDMCNT.DTE ビットが ”1”（DMA 転送を許可）のときに、同じチャネルの設定レジスタ（EDMSAR、EDMDAR、EDMCRA、EDMCRB、EDMTMD、EDMOMD、EDMINT、EDMAMD、EDMOFR、EDMRMD）へのアクセスは行わないでください。

19.10.3 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4.　アドレス空間」を参照してください。

20. データトランスファコントローラ（DTCa）

RX63N グループ、RX631 グループは、データトランスファコントローラ（DTC）を内蔵しています。DTC は、割り込み要求によって起動し、データ転送を行うことができます。

20.1 概要

表 20.1 に DTC の仕様を、**図 20.1** に DTC のブロック図を示します。

表20.1　DTCの仕様

項目	内容
転送モード	• ノーマル転送モード 1回の起動で1データ転送する • リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大256データ設定可能 • ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは最大256データ設定可能
転送チャネル	• 割り込み要因に対応するチャネルの転送が可能（ICUからのDTC起動要求で転送） • 1つの起動要因に対して複数のデータ転送が可能（チェーン転送） • チェーン転送は「カウンタ=0のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	• ショートアドレスモードのとき16Mバイト （0000 0000h～007F FFFFhとFF80 0000h～FFFF FFFFhのうち、予約領域以外の領域） • フルアドレスモードのとき4Gバイト （0000 0000h～FFFF FFFFhのうち、予約領域以外の領域）
データ転送単位	• 1データのビット長：8ビット、16ビット、32ビット • 1ブロックサイズのデータ数：1～256データ
CPU割り込み要求	• DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能
消費電力低減機能	モジュールストップ状態への設定が可能

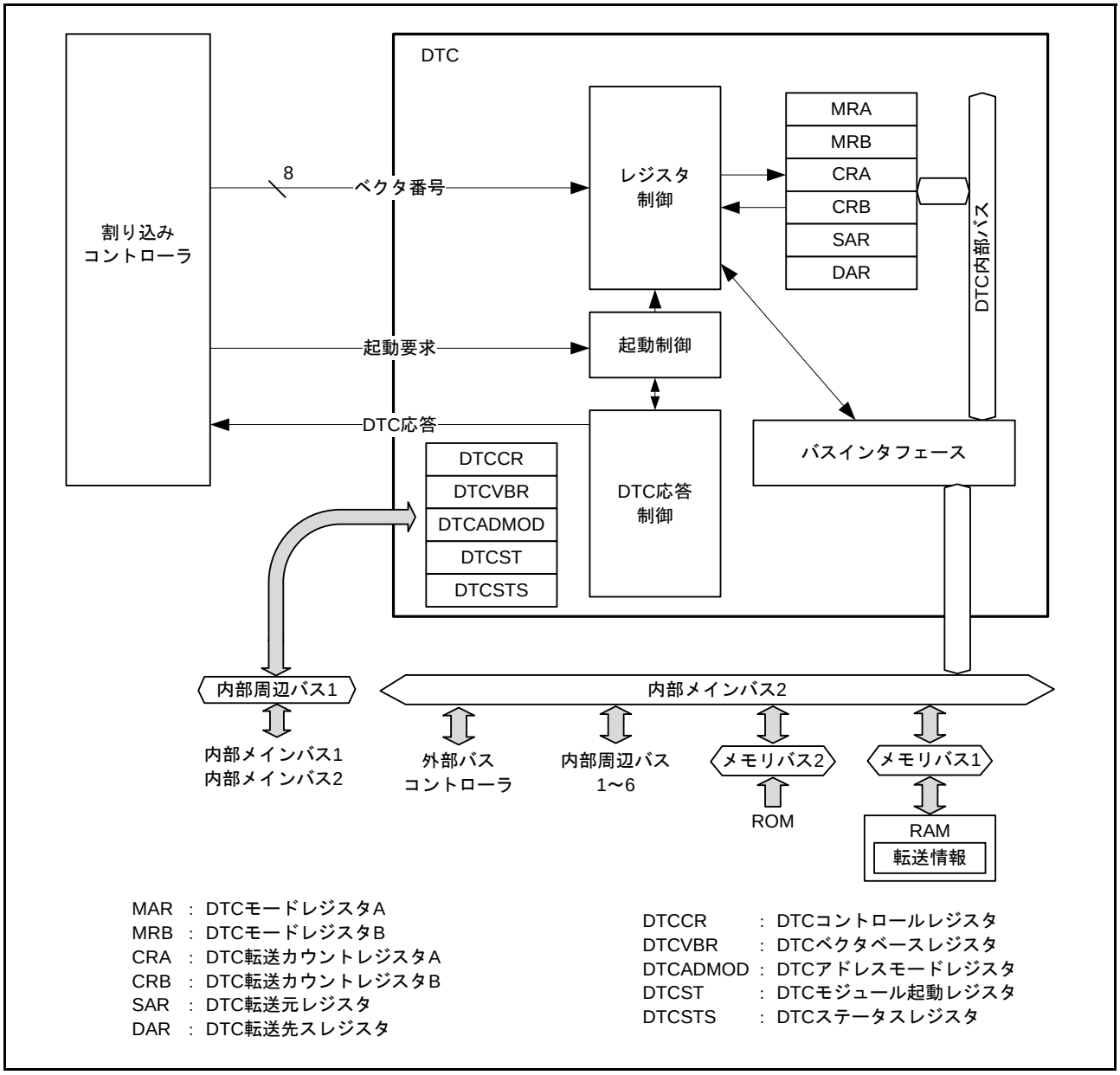


図 20.1　DTC のブロック図

20.2　レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は起動要求が発生すると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTC の内部レジスタは転送情報として RAM 領域にライトバックされます。

20.2.1　DTC モードレジスタ A（MRA）

アドレス （CPUから直接アクセス不可）

	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		SZ[1:0]		SM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0：SAR レジスタはアドレス固定 （SAR レジスタのライトバックはスキップされます） 0 1：SAR レジスタはアドレス固定 （SAR レジスタのライトバックはスキップされます） 1 0：転送後 SAR レジスタをインクリメント （SZ[1:0] ビットが“00b”のとき 1 、 “01b”のとき +2、“10b”のとき +4） 1 1：転送後 SAR レジスタをデクリメント （SZ[1:0] ビットが“00b”のとき –1 、 “01b”のとき –2、“10b”のとき –4）	—
b5-b4	SZ[1:0]	DTC データトランスファサイズビット	b5 b4 0 0：8 ビット（バイト）転送 0 1：16 ビット（ワード）転送 1 0：32 ビット（ロングワード）転送 1 1：設定しないでください	—
b7-b6	MD[1:0]	DTC 転送モード選択ビット	b7 b6 0 0：ノーマル転送モード 0 1：リピート転送モード 1 0：ブロック転送モード 1 1：設定しないでください	—

MRA レジスタは、CPU から直接アクセスすることはできません。

20.2.2 DTC モードレジスタ B（MRB）

アドレス（CPUから直接アクセス不可）

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0：DARレジスタはアドレス固定 （DARレジスタのライトバックはスキップされます） 0 1：DARレジスタはアドレス固定 （DARレジスタのライトバックはスキップされます） 1 0：転送後、DARレジスタをインクリメント （MAR.SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4） 1 1：転送後DARレジスタをデクリメント （MAR.SZ[1:0]ビットが“00b”のとき–1、 “01b”のとき–2、“10b”のとき–4）	—
b4	DTS	DTC転送モード選択ビット	0：転送先がリピート領域またはブロック領域 1：転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0：指定されたデータ転送終了時、CPUへの割り込みが発生 1：DTCデータ転送のたびに、CPUへの割り込みが発生	—
b6	CHNS	DTCチェーン転送選択ビット	0：連続してチェーン転送を行う 1：転送カウンタが1→0、または1→CRAHとなったとき、 チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0：チェーン転送禁止 1：チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。

DTS ビット（DTC 転送モード選択ビット）

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

CHNS ビット（DTC チェーン転送選択ビット）

チェーン転送の条件を選択します。

CHNE ビットが “0” のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、**「表 20.3　チェーン転送の条件」**を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可ビット）

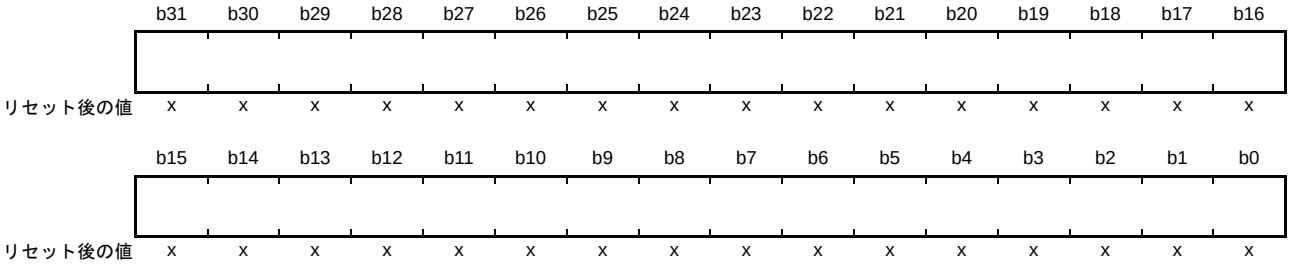
チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。

チェーン転送の詳細は、**「20.4.6　チェーン転送」**を参照してください。

20.2.3 DTC 転送元レジスタ（SAR）

アドレス（CPUから直接アクセス不可）



x：不定

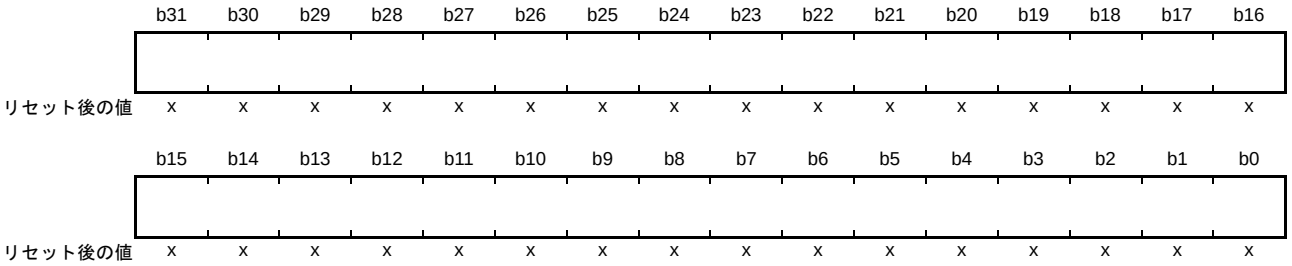
フルアドレスモードでは 32 ビット有効です。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット（b31~b24）の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

20.2.4 DTC 転送先レジスタ（DAR）

アドレス（CPUから直接アクセス不可）



x：不定

フルアドレスモードでは 32 ビット有効です。

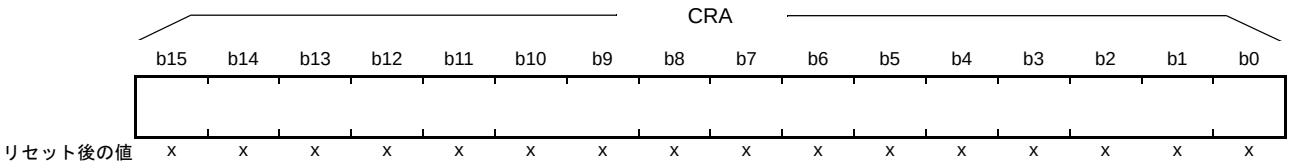
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット（b31~b24）の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

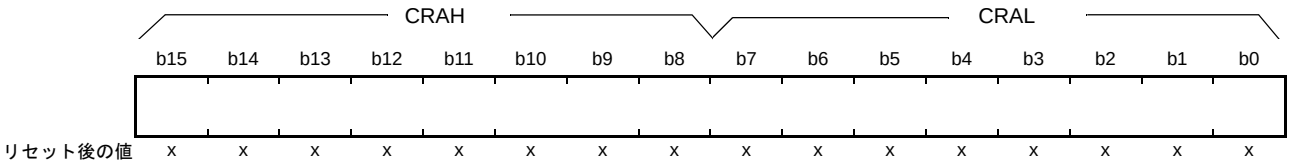
20.2.5　DTC 転送カウントレジスタ A（CRA）

アドレス （CPUから直接アクセス不可）

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



x：不定

注.　転送モードによって機能が異なります。

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタ A 下位レジスタ	転送回数を設定する	—
CRAH	転送カウンタ A 上位レジスタ		—

注.　リピート転送モード時およびブロック転送モード時は、CRAH、CRAL レジスタには同じ値を設定してください。

CRA レジスタは CPU から直接アクセスすることはできません。

(1)　ノーマル転送モードの場合（MRA.MD[1:0] ビット = “00b”）

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 回のデータ転送を行うたびにデクリメント（－ 1）します。

(2)　リピート転送モードの場合（MRA.MD[1:0] ビット = “01b”）

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント（－ 1）され、“00h” になると CRAH レジスタの値が転送されます。

(3)　ブロック転送モードの場合（MRA.MD[1:0] ビット = “10b”）

CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント（－ 1）され、“00h” になると CRAH レジスタの値が転送されます。

20.2.6 DTC 転送カウントレジスタ B（CRB）

アドレス （CPUから直接アクセス不可）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 ブロックサイズの最終データ転送時にデクリメント（－ 1）されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。

20.2.7 DTC コントロールレジスタ（DTCCR）

アドレス 0008 2400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RRS	—	—	—	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0：転送情報リードスキップを行わない 1：ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RRS ビット（DTC 転送情報リードスキップ許可ビット）

DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが “1” のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ（CRA レジスタ）が “0” になった場合と、ブロック転送で転送カウンタ（CRB レジスタ）が “0” になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

20.2.8　DTC ベクタベースレジスタ（DTCVBR）

アドレス　0008 2404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
					0	0	0	0	0	0	0	0	0	0	0	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	機能	R/W
b11-b0	DTC ベクタベースアドレス（下位12 ビット）	読むと“0”が読めます。書く場合、“0”としてください	R
b31-b12	DTC ベクタベースアドレス（上位20 ビット）	上位4ビット（b31～b28）への書き込みは無視され、b27で指定した値で拡張されます	R/W

DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。0000 0000h ～ 07FF F000h、および F800 0000h ～ FFFF F000h の範囲で、4K バイト 単位で設定可能です。

20.2.9　DTC アドレスモードレジスタ（DTCADMOD）

アドレス　0008 2408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHORT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0：フルアドレスモード 1：ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット（ショートアドレスモード設定ビット）

フルアドレスモードでは、4G バイト空間（00000000h ～ FFFFFFFFh）のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間（00000000h ～ 007FFFFFh と FF800000h ～ FFFFFFFFh）のアクセスが可能です。

20.2.10　DTC モジュール起動レジスタ（DTCST）

アドレス　0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTC モジュール起動ビット	0：DTC モジュール停止 1：DTC モジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット（DTC モジュール起動ビット）

DTC を転送要求受け付け可能とするためには、DTCST ビットを “1” にしてください。DTCST ビットを “0” にすると新たな転送要求を受け付けません。

動作中に “0” に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ機能、および全モジュールクロックストップモード、またはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを “0” にしてください。

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「20.8　**消費電力低減機能**」、および「11. **消費電力低減機能**」を参照してください。

20.2.11 DTC ステータスレジスタ（DTCSTS）

アドレス 0008 240Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタビット	DTC転送動作中にその起動要因をベクタ番号で示します DTC転送動作中（ACTフラグが“1”のとき）にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0：DTC転送動作なし 1：DTC転送動作中	R

VECN[7:0] ビット（DTC アクティブベクタ番号モニタビット）

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが “1”（DTC 転送動作中）であれば、読み出された VECN[7:0] は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが “0”（DTC 転送動作なし）であれば、読み出された VECN[7:0] は無効値です。

DTC 起動要因とベクタアドレスの関係は、**「15. 割り込みコントローラ（ICUb）」**の**「表 15.3 割り込みのベクタテーブル」**を参照してください。

ACT フラグ（DTC アクティブフラグ）

DTC の転送動作状態を示します。

［“1” になる条件］

- 転送要求に対して DTC が起動したとき

［“0” になる条件］

- 1 回の転送要求に対する DTC 動作が終了したとき

20.3　起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する割り込みコントローラ（ICU）の DTCERn.DTCE ビット（n = 割り込みベクタ番号）を “1” にすると DTC 起動要因となります。

DTC 起動要因とベクタアドレスの関係は、**「15.　割り込みコントローラ（ICUb）」**の**「表 15.3　割り込みのベクタテーブル」**を参照してください。また、ソフトウェア起動については、**「15.　割り込みコントローラ（ICUb）」**の**「15.2.5　ソフトウェア割り込み起動レジスタ（SWINTR）」**を参照してください。

DTC が一度、起動要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな起動要求を受け付けません。DMAC/DTC 転送中に複数の起動要因が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット（DTCST.DTCST）が “0” の状態で複数の起動要求が発生した場合、その後、DTCST.DTCST ビットを “1” にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送（チェーン転送の場合、連続した最後の転送）を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

20.3.1　転送情報の配置と DTC ベクタテーブル

DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

ベクタテーブルのベースアドレス（先頭アドレス）は下位 12 ビットが “0” になるように配置してください。DTC ベクタベースレジスタ（DTCVBR）に DTC ベクタテーブルのベースアドレスを設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n の転送情報（n）の先頭アドレスは、ベクタテーブルのベースアドレスに対し、+4n 番地としてください。

転送情報は、ショートアドレスモード（3 ロングワード）、フルアドレスモード（4 ロングワード）のいずれかで配置できます。DTCADMOD.SHORT ビットで、ショートアドレスモード（SHORT ビット = 1）、フルアドレスモード（SHORT ビット = 0）の設定を行います。

DTC ベクタテーブルと転送情報の対応を**図 20.2** に示します。

RAM 領域上の転送情報の配置を**図 20.3** に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、**「20.9.2　転送情報の配置」**を参照してください。

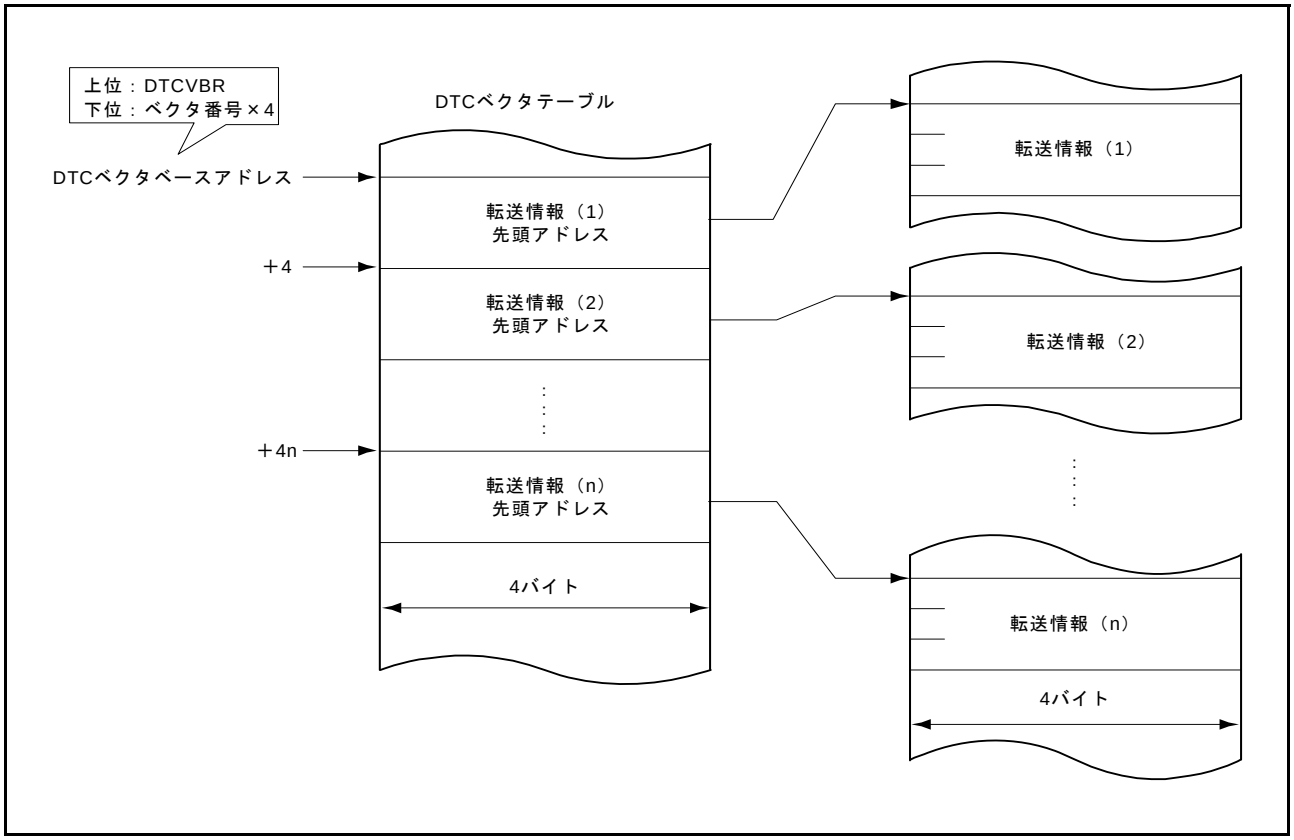


図 20.2　DTC ベクタテーブルと転送情報の対応

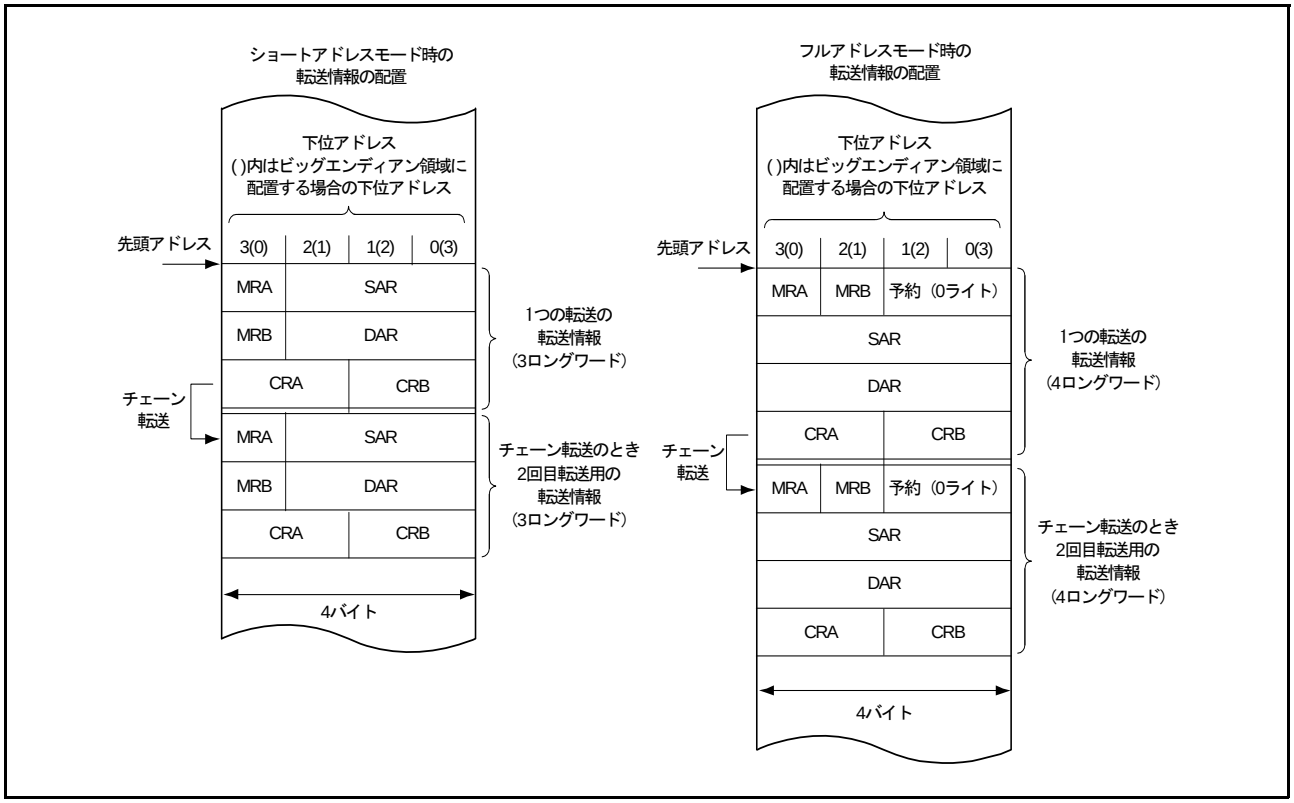


図 20.3　RAM 領域上の転送情報の配置

20.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを**表 20.2** に示します。

表 20.2　DTC の転送モード

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト/ワード/ロングワード	1、2 または 4 増減あるいはアドレス固定	1～65536 回
リピート転送モード（注 1）	1 バイト/ワード/ロングワード	1、2 または 4 増減あるいはアドレス固定	1～256 回（注 3）
ブロック転送モード（注 2）	CRAH レジスタで指定したブロックサイズ（1～256 バイト/ワード/ロングワード）	1、2 または 4 増減あるいはアドレス固定	1～65536 回

注 1.　転送元または転送先のいずれかをリピート領域に設定
注 2.　転送元または転送先のいずれかをブロック領域に設定
注 3.　指定回数の転送終了後は、初期状態を回復し動作を継続（リピート）する。

また、MRB.CHNE ビットを “1” にしておくことにより、1 つの起動要因で複数の転送を行うことができます（チェーン転送）。MRB.CHNS ビットの設定で、指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローチャートを**図 20.4** に示します。チェーン転送の条件を**表 20.3** に示します。

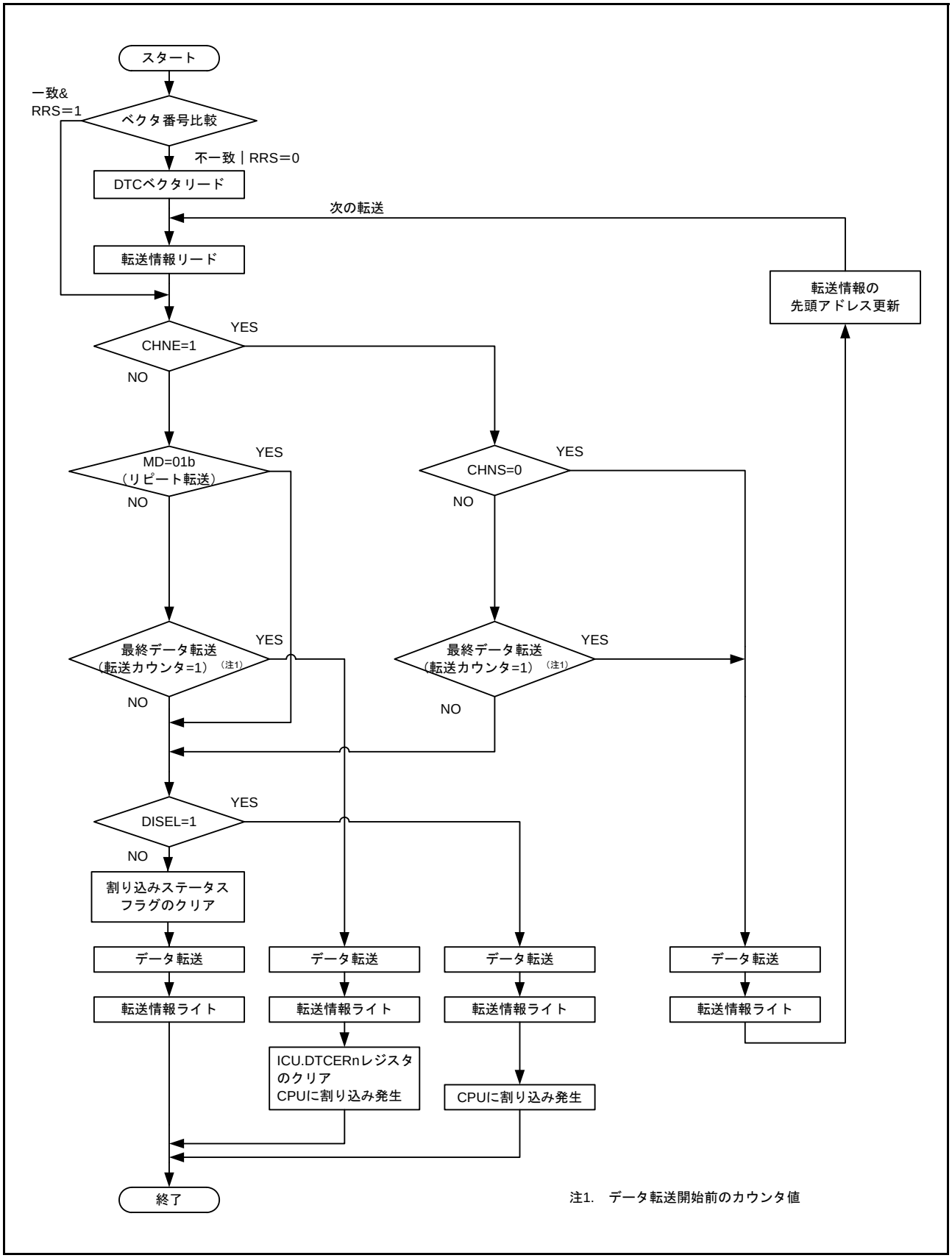


図 20.4　DTC 動作フローチャート

表20.3　チェーン転送の条件

第1の転送				第2の転送（注3）				DTC転送
CHNEビット	CHNSビット	DISELビット	転送カウンタ（注1、注2）	CHNEビット	CHNSビット	DISELビット	転送カウンタ（注1、注2）	
0	—	0	（1→0）以外	—	—	—	—	第1転送で終了
0	—	0	（1→0）	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	（1→0）以外	第2転送で終了
				0	—	0	（1→0）	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	（1→＊）以外	—	—	—	—	第1転送で終了
1	1	—	（1→＊）	0	—	0	（1→0）以外	第2転送で終了
				0	—	0	（1→0）	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	（1→＊）以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1.　転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。
ノーマル転送モード：CRAレジスタ、リピート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2.　転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは（1→0）、リピート転送モードでは（1→CRAH）となります。表中の（1→＊）はこの両方を指しています。

注3.　第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

20.4.1　転送情報リードスキップ機能

DTCCR.RRSビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC起動要求時、今回起動のDTCベクタ番号と前回起動のDTCベクタ番号は常に比較されます。比較結果が一致し、RRSビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTCのデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ（CRAレジスタ）が0になった場合と、ブロック転送で転送カウンタ（CRBレジスタ）が0になった場合も、RRSビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図20.13に示します。

DTCベクタテーブルと転送情報を更新する場合には、一度RRSビットを“0”にして、DTCベクタテーブルと転送情報を更新した後、RRSビットを設定してください。RRSビットを“0”にすると、保持されていたベクタ番号は破棄され、次回の起動時に更新されたDTCベクタテーブルおよび転送情報がリードされます。

20.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを**表 20.4** に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 20.4　転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

20.4.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワード、1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を**表20.5**に、ノーマル転送モードのメモリマップを**図20.5**に示します。

表20.5　ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定（注1）
DAR	転送先アドレス	インクリメント/デクリメント/固定（注1）
CRA	転送カウンタA	CRA－1
CRB	転送カウンタB	更新されない

注1.　アドレス固定のときはライトバックはスキップされます。

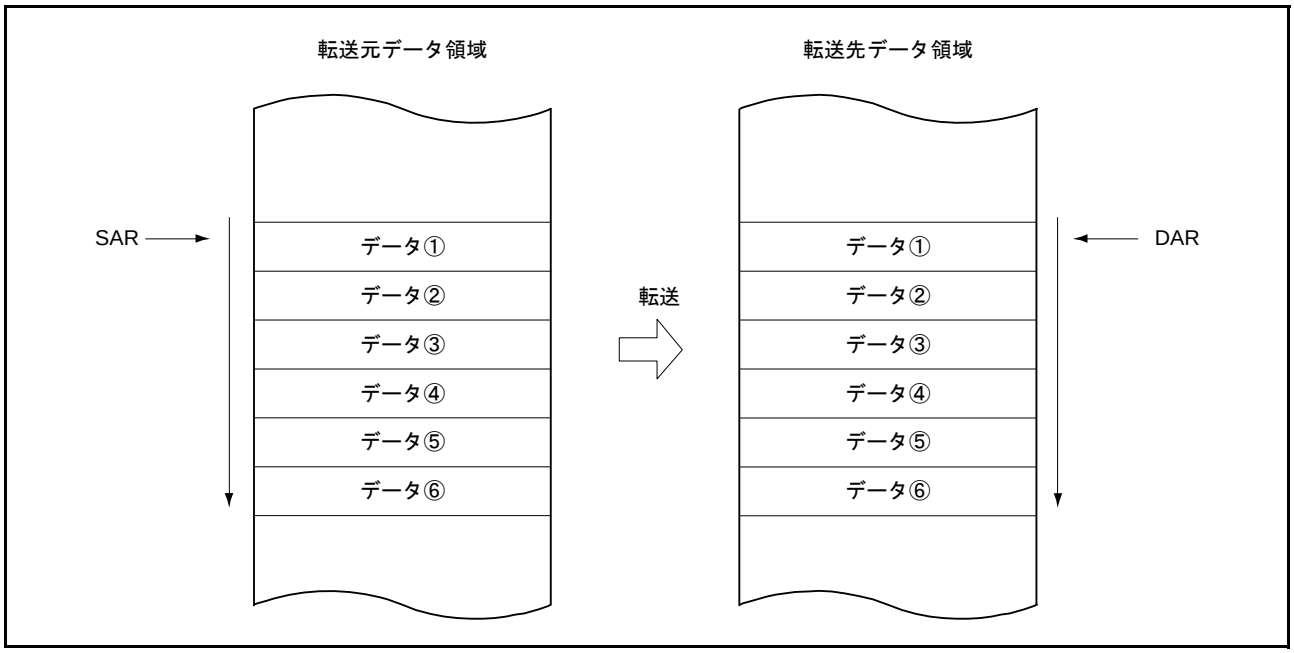


図20.5　ノーマル転送モードのメモリマップ

20.4.4　リピート転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTSビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタCRALレジスタが“00h”になると、CRALレジスタの値はCRAHレジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISELビットが“0”（指定されたデータ転送終了時、CPUへの割り込みが発生）のときにCPUへの割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表20.6に、リピート転送モードのメモリマップを図20.6に示します。

表20.6　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定（注1）	（MRB.DTSビット＝“0”のとき） インクリメント/デクリメント/固定（注1） （MRB.DTSビット＝“1”のとき） SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定（注1）	（MRB.DTSビット＝“0”のとき） DARレジスタの初期値 （MRB.DTSビット＝“1”のとき） インクリメント/デクリメント/固定（注1）
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタA	CRAL－1	CRAH
CRB	転送カウンタB	更新されない	更新されない

注1.　アドレス固定のときは、ライトバックはスキップされます。

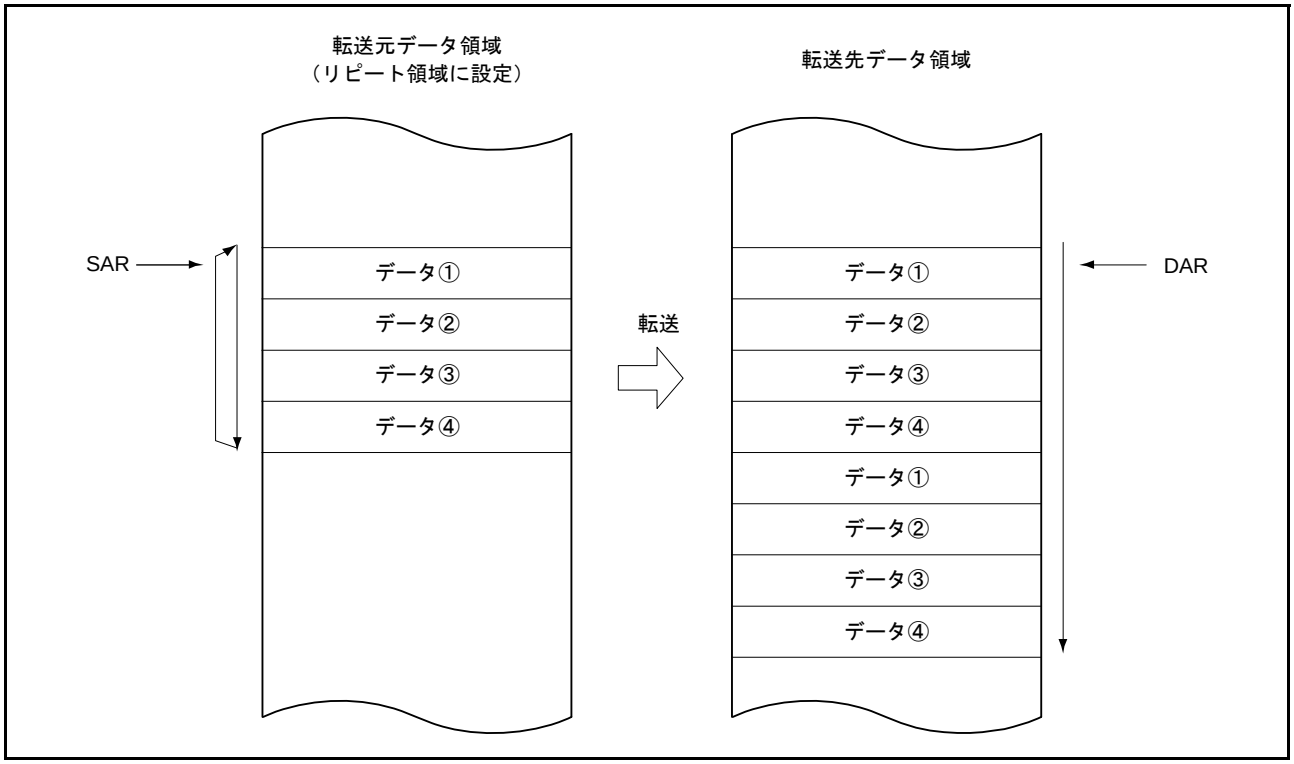


図20.6　リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）

20.4.5　ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト（または1～256ワード、1～256ロングワード）の指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ）の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数（ブロック回数）は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を**表 20.7** に、ブロック転送モードのメモリマップを**図 20.7** に示します。

表20.7　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	（MRB.DTSビット＝“0”のとき） インクリメント/デクリメント/固定（注1） （MRB.DTSビット＝“1”のとき） SARレジスタの初期値
DAR	転送先アドレス	（MRB.DTSビット＝“0”のとき） DARレジスタの初期値 （MRB.DTSビット＝“1”のとき） インクリメント/デクリメント/固定（注1）
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB－1

注1.　アドレス固定のときは、ライトバックはスキップされます。

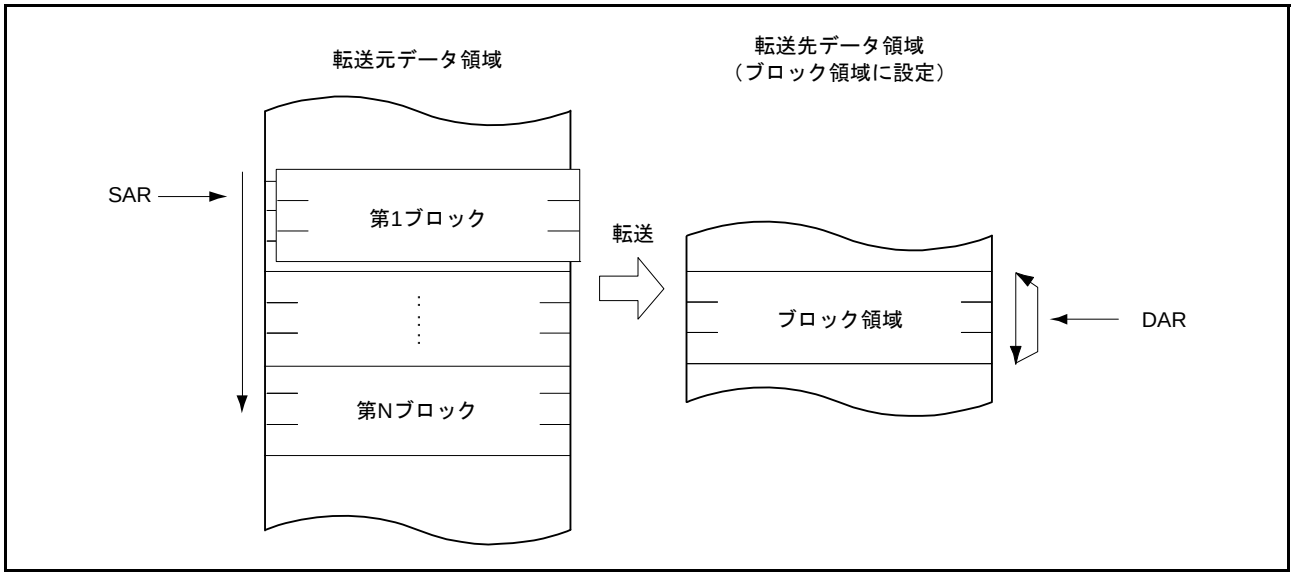


図 20.7　ブロック転送モードのメモリマップ（転送先をブロック領域に指定した場合）

20.4.6　チェーン転送

MRB.CHNE ビットを “1” にするとチェーン転送ができます。チェーン転送は、1 つの起動要因で複数のデータ転送を行います。

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “0” にした場合、指定した転送回数の終了による CPU への割り込み要求や、MRB.DISEL ビット =“1”（DTC データ転送のたびに、CPU に割り込み要求を発生）による CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義する SAR、DAR、CRA、CRB、および MRA、MRB レジスタはそれぞれ個別に設定できます。**図 20.8** にチェーン転送の動作を示します。

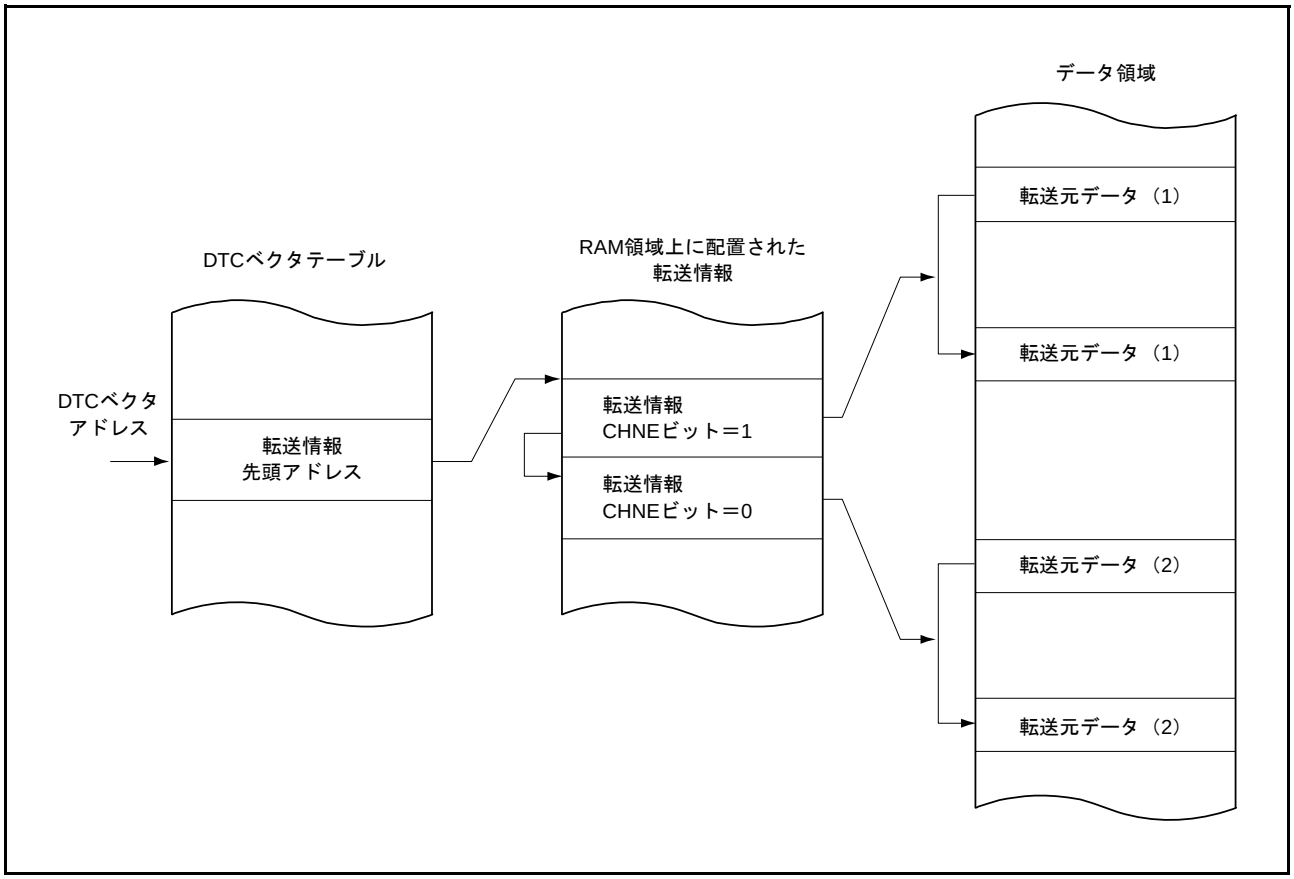


図 20.8　チェーン転送の動作

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “1” にした場合、指定されたデータ転送終了時のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件の詳細については、**表 20.3** のチェーン転送の条件を参照してください。

20.4.7　動作タイミング

DTC の動作タイミングの例を図 20.9 ～図 20.13 に示します。

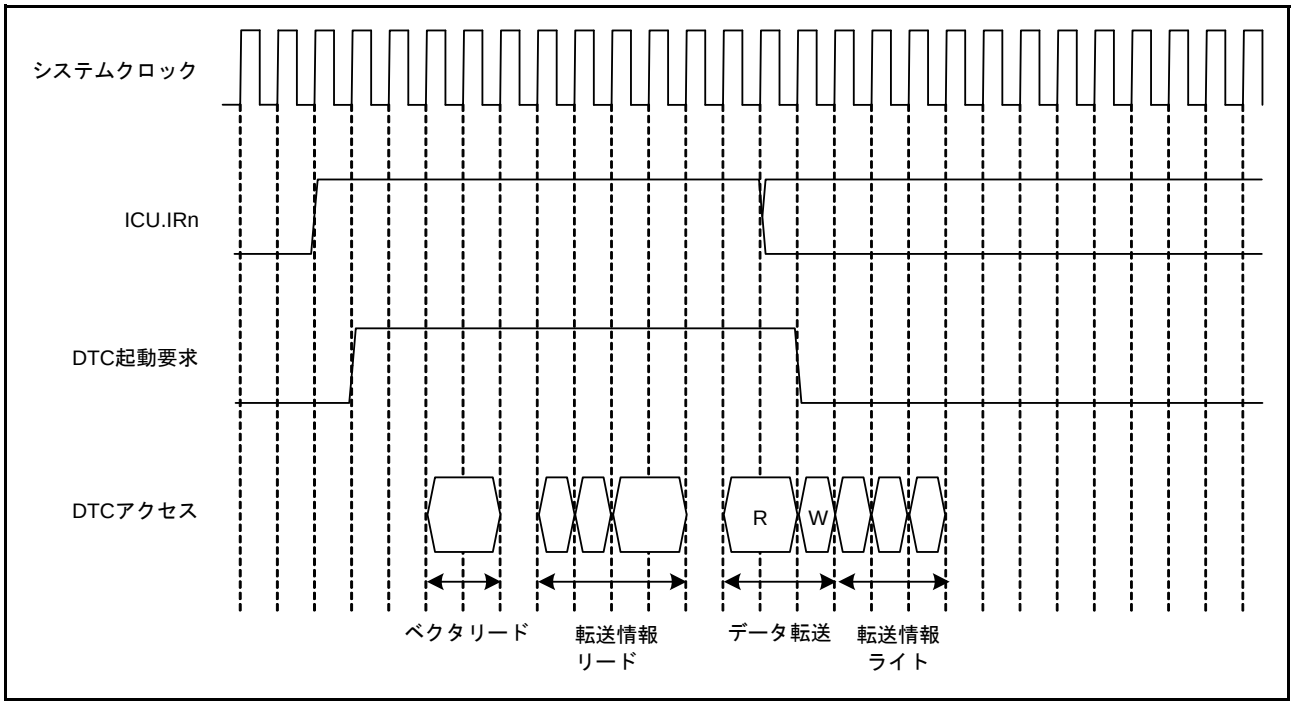


図 20.9　DTC 動作タイミング例（1）
（ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合）

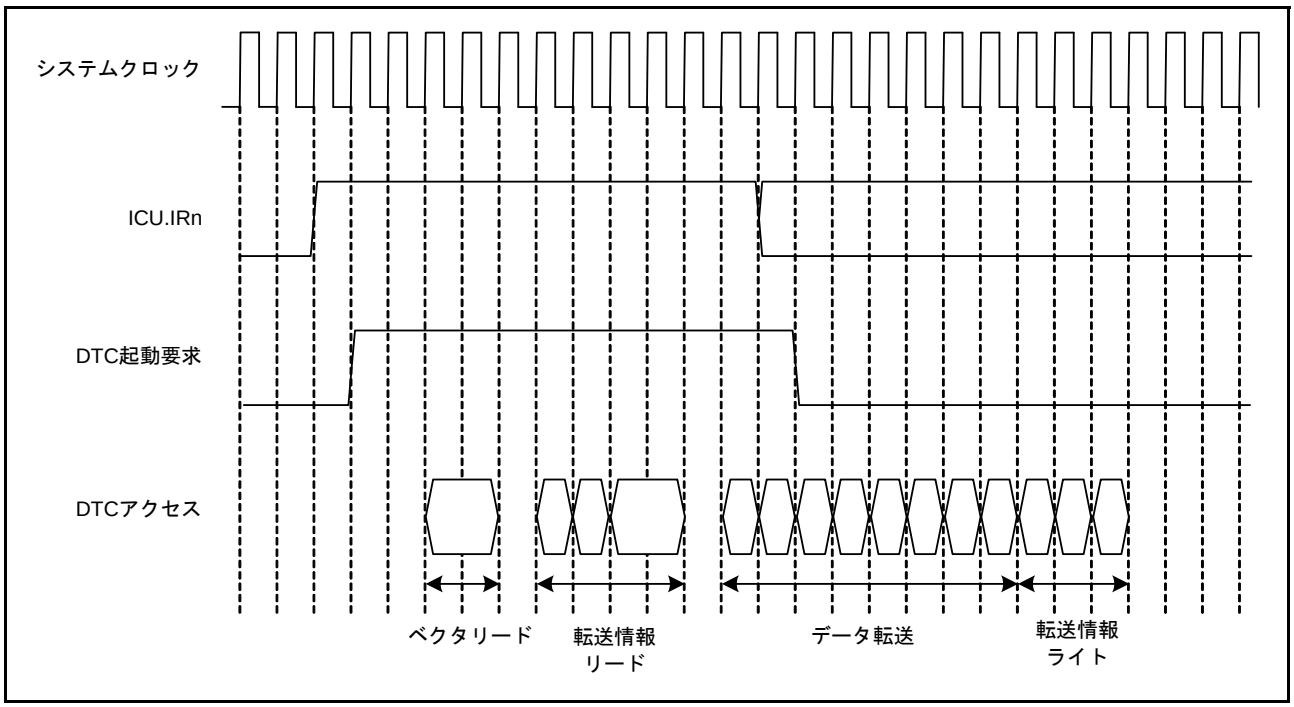


図 20.10　DTC 動作タイミング例（2）
（ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合）

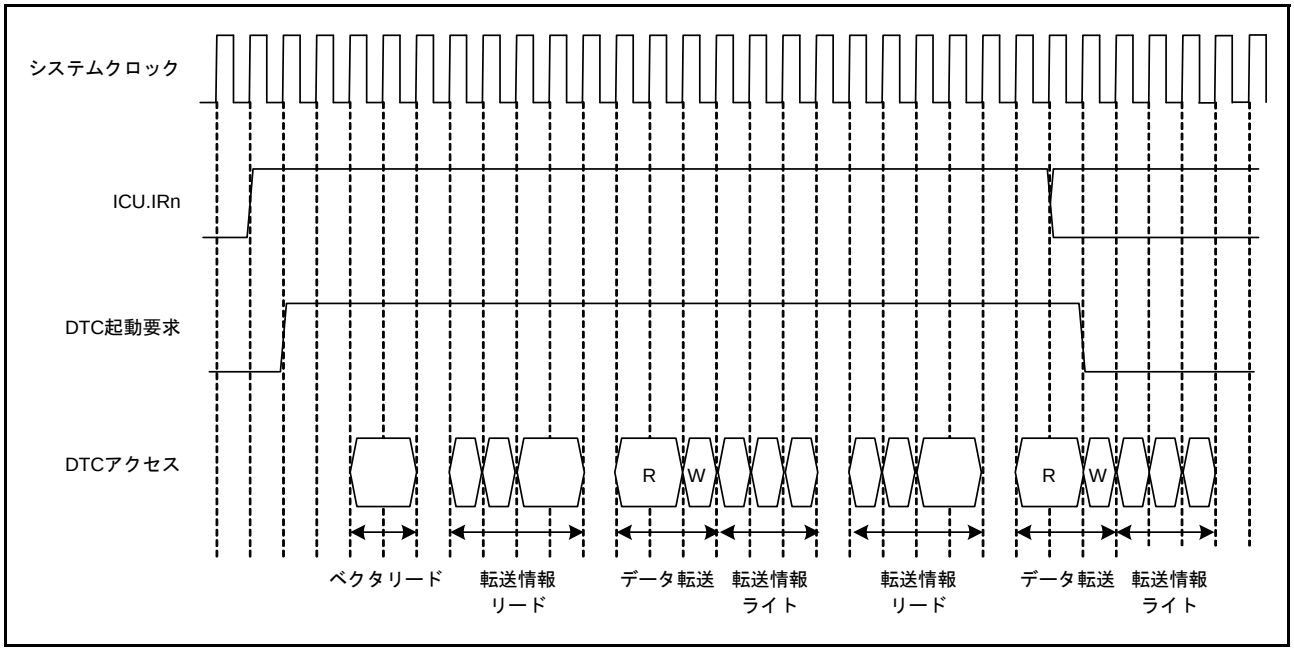


図 20.11　DTC 動作タイミング例（3）（ショートアドレスモード、チェーン転送の場合）

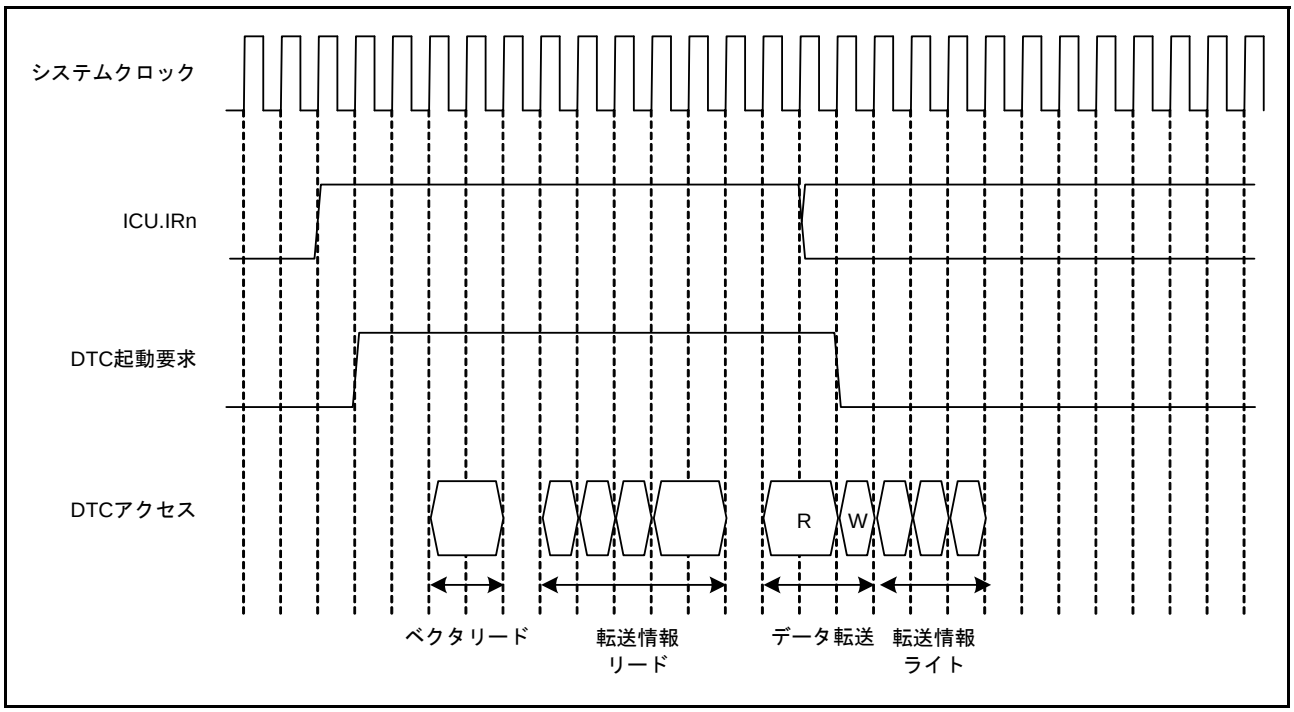
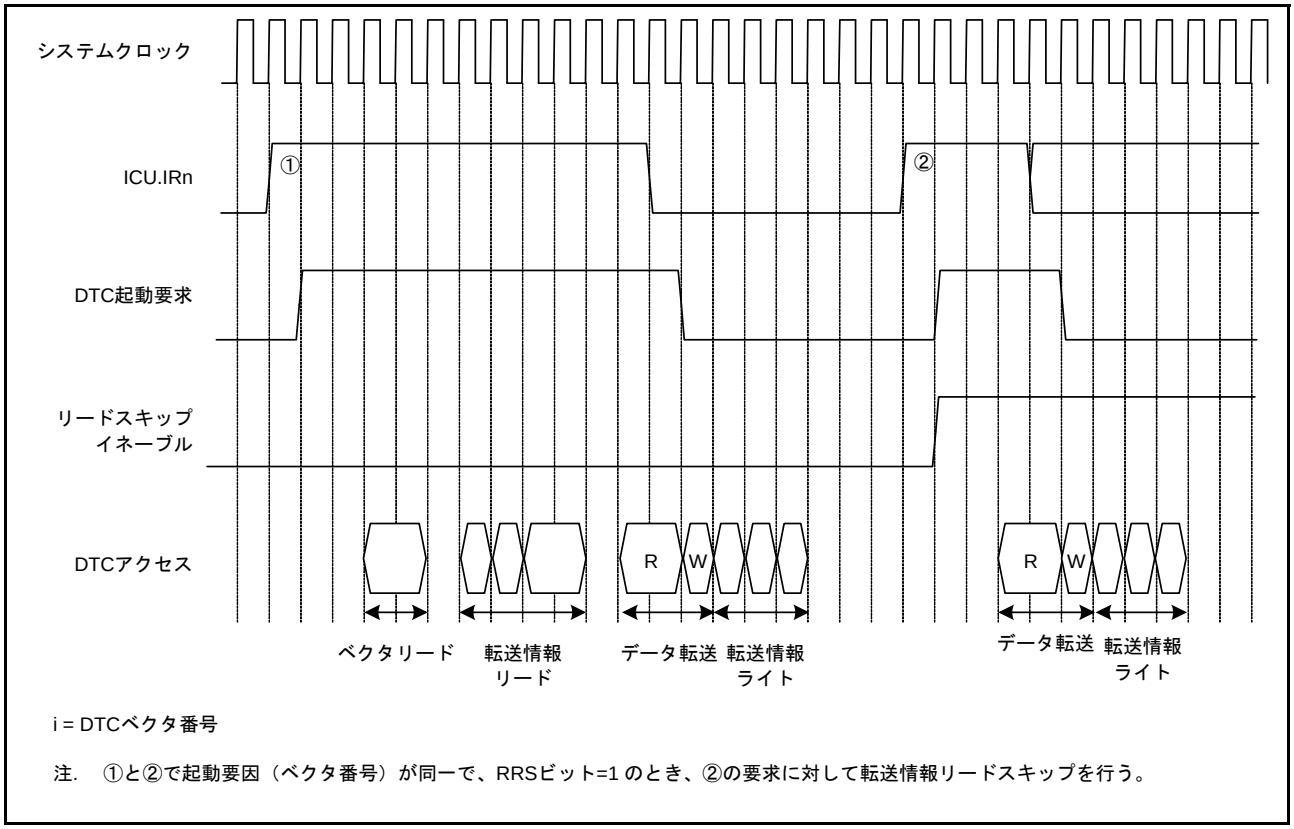


図 20.12　DTC 動作タイミング例（4）
（フルアドレスモード、ノーマル転送モード、リピート転送モードの場合）



注.　①と②で起動要因（ベクタ番号）が同一で、RRSビット=1 のとき、②の要求に対して転送情報リードスキップを行う。

図 20.13　転送情報スキップ時の動作例
（ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合）

20.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 20.8 に示します。
各処理状態の実施順序は、「20.4.7 動作タイミング」を参照してください。

表 20.8 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv+1	0（注1）	4×Ci+1（注2）	3×Ci+1（注3）	0（注1）	3×Ci（注4）	2×Ci（注5）	Ci（注6）	Cr+1	Cw	2	0（注1）
リピート									Cr+1	Cw		
ブロック（注7）									P×Cr	P×Cw		

注1. 転送情報スキップのとき
注2. フルアドレスモード動作のとき
注3. ショートアドレスモード動作のとき
注4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき
注5. SAR レジスタ、または DAR レジスタがアドレス固定のとき
注6. SAR レジスタと DAR レジスタがともにアドレス固定のとき
注7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ（CRAH、CRAL レジスタの設定値）
Cv：ベクタ転送情報格納先アクセスサイクル
Ci：転送情報格納先アドレスアクセスサイクル
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル
（ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック（ICLK）です。）
（Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「46. RAM」、「47. フラッシュメモリ」、「5. I/O レジスタ」、「16.2.6 外部バス」を参照してください。）

20.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。
バス調停については、「16. バス」を参照してください。

20.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ（DTCVBR）を設定してください。
図 20.14 に DTC の起動に必要な設定手順を示します。

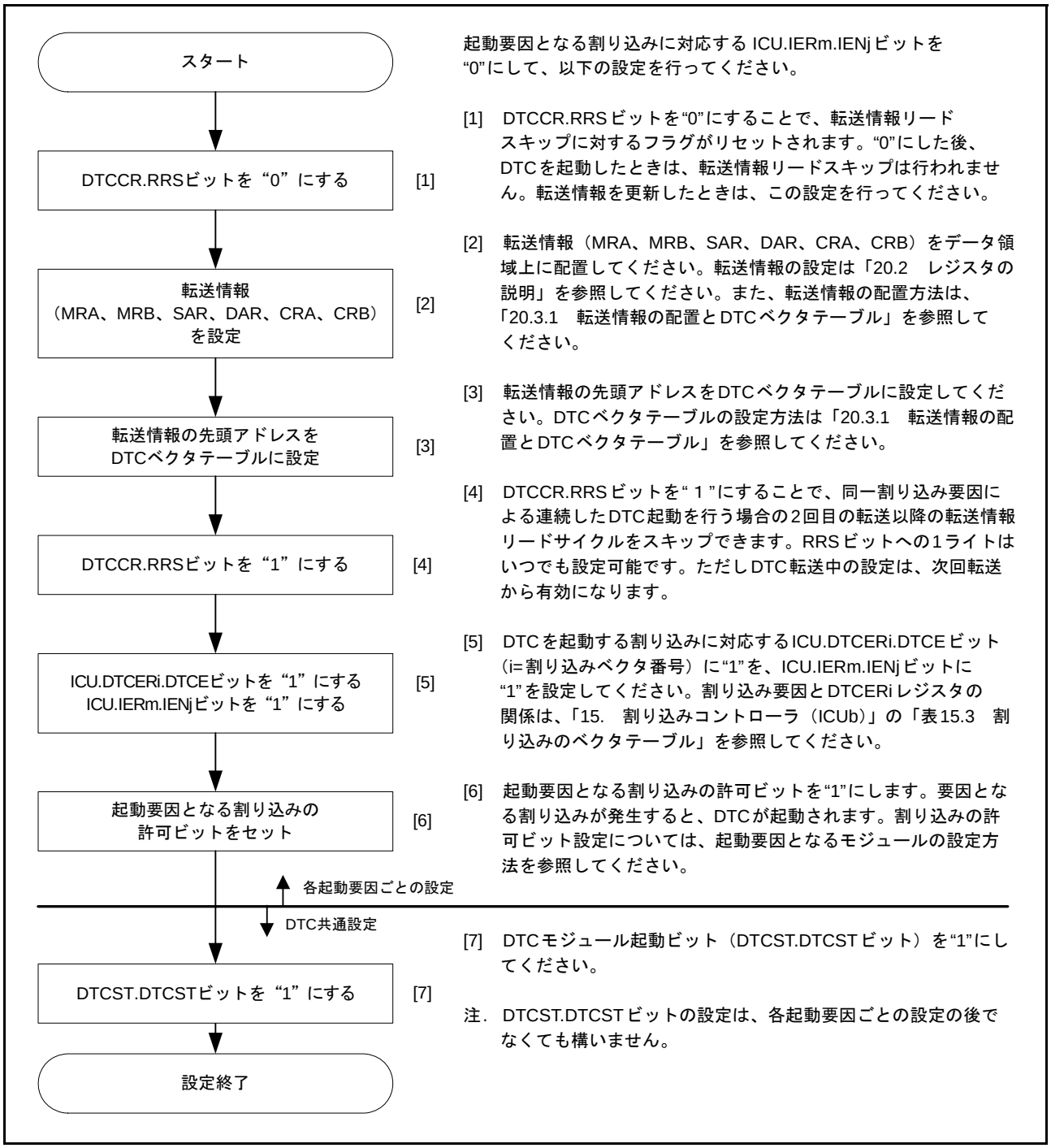


図 20.14 DTC の設定手順

20.6 DTC 使用例

20.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定（MRA.SM[1:0] ビット = “00b”）、ノーマル転送モード（MRA.MD[1:0] ビット = “00b”）、バイトサイズ（MRA.SZ[1:0] ビット = “00b”）を設定します。MRB レジスタは、転送先アドレスインクリメント（MRB.DM[1:0] ビット = “10b”）、1 回の割り込みで 1 回のデータ転送（MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”）を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCIm.RDR レジスタ（m = 0 ～ 12）のアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128（“0080h”）を設定します。CRB レジスタは、任意の値とすることができます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERi.DTCE ビットを “1” に、ICU.IERi.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCIm.SCR.RIE ビットを “1” にして、受信完了（RXI）割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動されます。DTC によって、受信データが SCIm.RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

20.6.2 チェーン転送

DTC のチェーン転送の例として、PPG によるパルス出力を行う例を示します。

チェーン転送を使ってパルス出力データの転送と、PPG 出力トリガの周期の変更を行うことができます。チェーン転送の前半で PPGm.NDRH、PPGm.NDRL レジスタ（m = 0、1）へのリピート転送モード、後半で MTUm.TGR レジスタ（m = 0 ～ 5）へのノーマル転送モードを設定します。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェーン転送の後半（MRB.CHNE ビット = “0” のときの転送）に限られるためです。

以下に MTUm.TRGA レジスタ（m ＝ 0 ～ 4）のコンペアマッチ割り込みを DTC の起動要因として使用する例を示します。

（1）第 1 転送の転送情報の設定

PPGm.NDRH、PPGm.NDRL レジスタへの転送の設定を行います。MRA レジスタに、転送元アドレスインクリメント（MRA.SM[1:0] ビット = “10b”）、リピート転送モード（MRA.MD[1:0] ビット = “01b”）、ワードサイズ（MRA.SZ[1:0] ビット = “01b”）を設定します。MRB レジスタは、転送先アドレス固定（MRB.DM[1:0] ビット = “00b”）、チェーン転送（MRB.CHNE ビット = “1”、MRB.CHNS ビット = “0” に設定します。転送元をリピート領域（MRB.DTS ビット = “1”）に設定します。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには PPGm.NDRH レジスタのアドレス、CRAH、CRAL レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値とすることができます。

（2）第 2 転送の転送情報の設定

MTUm.TGRA レジスタへの転送の設定を行います。MRA レジスタに、転送元アドレスインクリメント（MRA.SM[1:0] ビット = “10b”）、ノーマル転送モード（MRA.MD[1:0] ビット = “00b”）、ワードサイズ（MRA.SZ[1:0] ビット = “01b”）を設定します。MRB レジスタは、転送先アドレス固定（MRB.DM[1:0] ビット = “00b”）、1 回の割り込みで 1 回のデータ転送（MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”）を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには MTUm.TGRA レジスタのアドレス、CRA レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値とすることができます。

（3）転送情報の配置方法

PPGm.NDRH、PPGm.NDRL レジスタへデータ転送を行うための情報の後に連続して MTU へデータ転送を行うための転送情報を配置します。

（4）DTC ベクタテーブルの設定

PPGm.NDRH、PPGm.NDRL レジスタへデータ転送を行うための転送情報の先頭アドレスを DTC ベクタテーブルに設定します。

（5）ICU の設定と DTC モジュール起動

TGIA 割り込みに対応する ICU.DTCERi.DTCE ビットを “1” に、ICU.IERi.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

（6）MTU の設定

MTUm.TIOR レジスタで MTUm.TGRA レジスタをアウトプットコンペアレジスタ（出力禁止）に設定し、MTUm.TIER レジスタで TGImA 割り込み要求を許可します。

（7）PPG の設定

PPGm.PODRH、PPGm.PODRL レジスタに出力初期値を設定し、PPGm.NDRH、PPGm.NDRL レジスタに次の出力値を設定します。PORTm.DDR レジスタ（m = 1 ～ 3、7、8、A ～ D、E）、PPGm.NDRH、PPGm.NDRL レジスタの出力を行うビットを “1” にします。また、PPGm.PCR レジスタ（m = 0、1）で出力トリガとなる MTU のコンペアマッチ信号を選択します。

（8）MTU の起動

MTU.TSTR.CSTj ビット（j=0 ～ 4）を “1” にし、MTUm.TCNT カウンタのカウント動作を開始します。

（9）DTC 転送

MTUm.TGRA レジスタのコンペアマッチが発生するたびに次の出力値が PPGm.NDRH、PPGm.NDRL レジスタへ、次の出力トリガ周期の設定値が MTUm.TGRA レジスタへそれぞれ転送されます。

（10）割り込み処理

指定した回数の転送終了後（MTU 転送用 CRA レジスタが “0” になると）、CPU に TGIAm 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

20.6.3　カウンタ = 0 のときのチェーン転送

カウンタが 0 になったときのみ第 2 のデータ転送を行い、第 1 のデータ転送の再設定を行うことによって、転送回数が 256 回以上のリピート転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス “0000h” から始まるように設定するものとします。カウンタ = 0 のときのチェーン転送を**図 20.15** に示します。

(1) 第 1 のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタ = “0000h”（65536 回）、MRB.CHNE ビット = “1”（チェーン転送許可）、MRB.CHNS ビット = “1”（転送カウンタ = 0 のときのみチェーン転送を行う）、MRB.DISEL ビット = “0”（指定されたデータ転送終了時、CPU への割り込みが発生）としてください。

(2) 第 1 のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビットアドレスを別の領域（ROM など）に用意してください。たとえば、入力バッファを “200000h” ～ “21FFFFh” とするときには、“21h”、“20h” を用意します。

(3) 第 2 のデータ転送として、第 1 のデータ転送の転送先アドレス再設定用のリピート転送モード（転送元をリピート領域）とします。転送先は第 1 の転送情報領域の DAR レジスタの上位 8 ビットとします。このとき MRB.CHNE ビット = “0”（ チェーン転送禁止）、MRB.DISEL ビット = “0”（指定されたデータ転送終了時、CPU への割り込みが発生）としてください。上記入力バッファを “200000h” ～ “21FFFFh” とする場合には、転送カウンタ = 2 としてください。

(4) 割り込みによって第 1 のデータ転送を 65536 回実行します。第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が起動します。第 1 のデータ転送の転送元アドレス上位 8 ビットを “21h” にします。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは、“0000h” になっています。

(5) 引き続き割り込みによって第 1 のデータ転送を、第 1 のデータ転送で指定した 65536 回実行します。第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が起動します。第 1 のデータ転送の転送元アドレス上位 8 ビットを “20h” にします。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは “0000h” になっています。

(6) 上記 (4)、(5) を無限に繰り返します。第 2 のデータ転送がリピート転送モードのため、CPU には割り込みを要求しません。

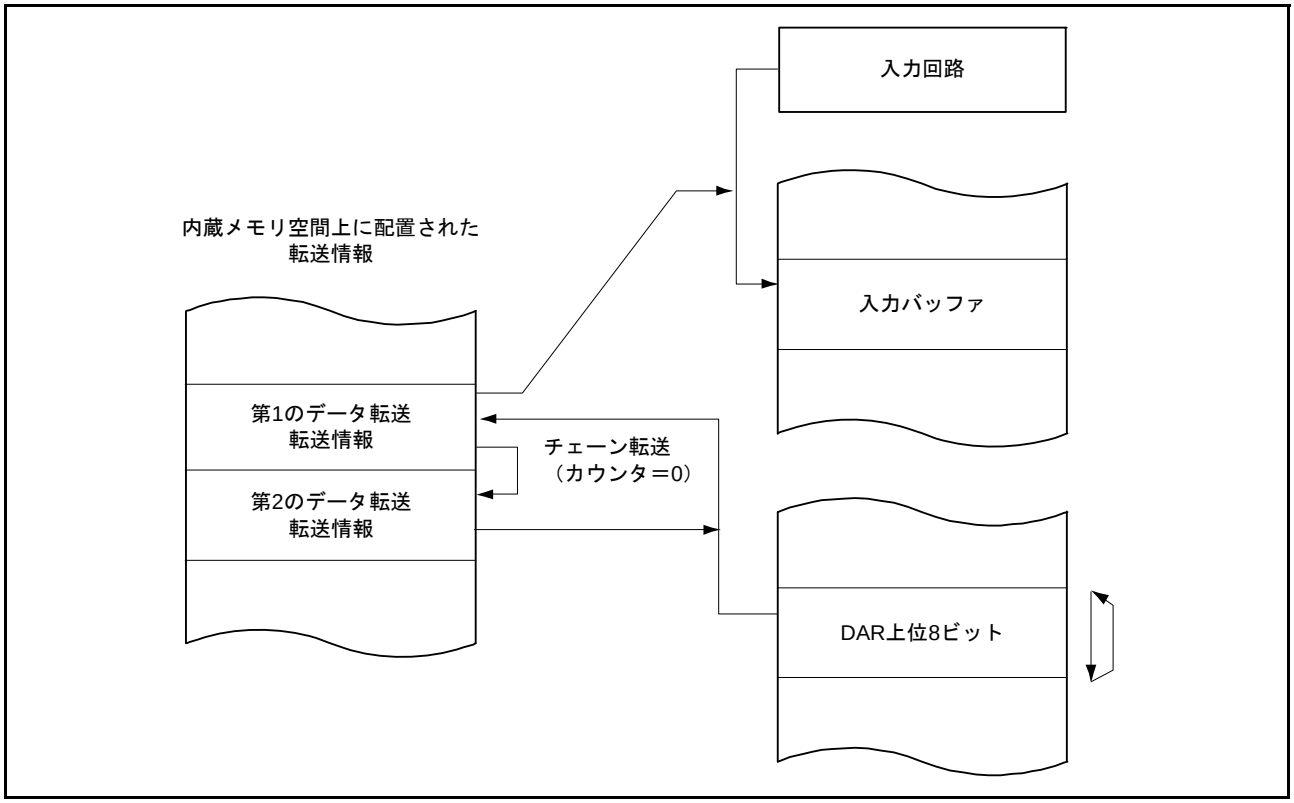


図 20.15　カウンタ = 0 のときのチェーン転送

20.7　割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1”（DTC データ転送のたびに、CPU への割り込みが発生）のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット（割り込み許可ビット）、PSW.IPL[3:0] ビット（プロセッサ割り込み優先レベル）、および割り込みコントローラの優先順位の制御を受けます。

20.8　消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを “0”（DTC モジュール停止）を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1”（モジュールストップ状態への遷移）を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときに DTC が転送動作中の場合、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが “1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに “0”（モジュールストップ状態の解除）を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11.　消費電力低減機能」の**「11.6.2.1　全モジュールクロックストップモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合は、DTC 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11.　消費電力低減機能」の**「11.6.3.1　ソフトウェアスタンバイモードへの移行」**、もしくは**「11.6.4.1　ディープソフトウェアスタンバイモードへの移行」**の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、**「11.　消費電力低減機能」**の**「11.7.6　WAIT 命令の実行タイミング」**を参照してください。

低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットに “1” を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 起動でなく CPU 割り込みとする場合は、**「15.　割り込みコントローラ（ICUb）」**の**「15.5.3　割り込み要求先の選択」**の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

20.9　使用上の注意事項

20.9.1　転送情報先頭アドレス / 転送元アドレス / 転送先アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4n 番地を指定してください。4n 番地以外を指定すると、アドレスの最下位 2 ビットは “00b” としてアクセスします。

20.9.2　転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、**図 20.16** に示すとおり配置してください。

たとえば、CRA、CRB 設定データ を 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

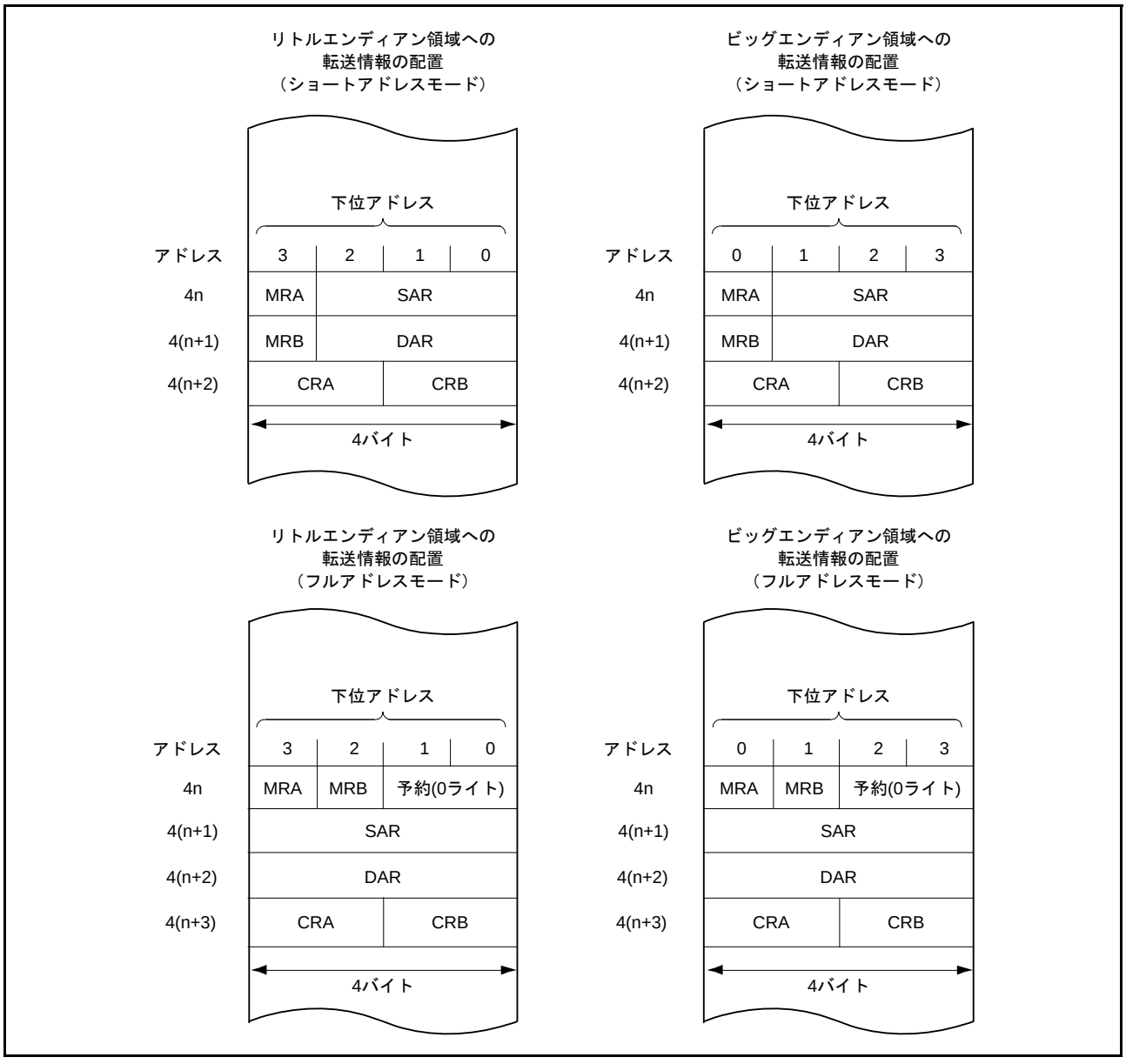


図 20.16　転送情報の配置

20.9.3　割り込みコントローラの DTC 起動許可レジスタ（ICU.DTCERn）の設定

ICU.DTCERn レジスタで “1”（DTC 転送許可）にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要求選択レジスタ（ICU.DMRSRn(n = DMAC チャネル番号)）に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRn レジスタの詳細は、「15.　割り込みコントローラ（ICUb）」を参照してください。

21. I/O ポート

21.1 概要

I/O ポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力 / 出力を指定するポート方向レジスタ（PDR）、出力データを格納するポート出力データレジスタ（PODR）、端子の状態を反映するポート入力データレジスタ（PIDR）、端子の出力形態を選択するオープンドレイン制御レジスタ y（ODRy）(y=0,1)、入力プルアップ MOS のオン / オフを制御するプルアップ制御レジスタ（PCR）、駆動能力の切り替えを制御する駆動能力制御レジスタ（DSCR）、機能端子を指定するポートモードレジスタ（PMR）を備えています。PMR レジスタの詳細については、**「22. マルチファンクションピンコントローラ（MPC）」**を参照してください。

また、64 ピン、48 ピンパッケージ製品にはそれぞれ、一部端子の汎用入出力機能を切り替えて PORTC を 8 ビットのポートとして使用することが可能なポート切り替えレジスタ A（PSRA）、ポート切り替えレジスタ B（PSRB）を備えています。

パッケージによって、I/O ポートの構成が異なります。**表 21.1** に I/O ポートの仕様を、**表 21.2** に I/O ポートの機能を示します。

表21.1　I/Oポートの仕様

ポートシンボル	パッケージ	本数	パッケージ	本数	パッケージ	本数	パッケージ	本数	パッケージ	本数	パッケージ	本数
	177ピン、176ピン		145ピン、144ピン		100ピン		64ピンLQFP		64ピンTFLGA		48ピン	
PORT0	P00～P03、P05、P07	6	P00～P03、P05、P07	6	P05、P07	2	P05	1	P05	1	なし	0
PORT1	P10～P17	8	P12～P17	6	P12～P17	6	P14～P17	4	P14～P17	4	P14～P17	4
PORT2	P20～P27	8	P20～P27	8	P20～P27	8	P26、P27	2	P26、P27	2	P26、P27	2
PORT3	P30～P37	8	P30～P37	8	P30～P37	8	P30、P31、P35～P37	5	P30、P31、P35～P37	5	P30、P31、P35～P37	5
PORT4	P40～P47	8	P40～P47	8	P40～P47	8	P40～P44、P46	6	P40～P44、P46	6	P40～P42、P46	4
PORT5	P50～P57	8	P50～P56	7	P50～P55	6	P54、P55	2	なし	0	なし	0
PORT6	P60～P67	8	P60～P67	8	なし	0	なし	0	なし	0	なし	0
PORT7	P70～P77	8	P70～P77	8	なし	0	なし	0	なし	0	なし	0
PORT8	P80～P87	8	P80～P83、P86、P87	6	なし	0	なし	0	なし	0	なし	0
PORT9	P90～P97	8	P90～P93	4	なし	0	なし	0	なし	0	なし	0
PORTA	PA0～PA7	8	PA0～PA7	8	PA0～PA7	8	PA0、PA1、PA3、PA4、PA6	5	PA0、PA1、PA3、PA4、PA6	5	PA1、PA3、PA4、PA6	4
PORTB	PB0～PB7	8	PB0～PB7	8	PB0～PB7	8	PB0、PB1、PB3、PB5～PB7	6	PB0、PB1、PB3、PB5～PB7	6	PB0、PB1、PB3、PB5	4
PORTC	PC0～PC7	8	PC0～PC7	8	PC0～PC7	8	PC2～PC7	6	PC2～PC6	5	PC4～PC7	4
PORTD	PD0～PD7	8	PD0～PD7	8	PD0～PD7	8	なし	0	なし	0	なし	0
PORTE	PE0～PE7	8	PE0～PE7	8	PE0～PE7	8	PE0～PE5	6	PE0～PE5	6	PE1～PE4	4
PORTF	PF0～PF5	6	PF5	1	なし	0	なし	0	なし	0	なし	0
PORTG	PG0～PG7	8	なし	0	なし	0	なし	0	なし	0	なし	0
PORTJ	PJ3、PJ5	2	PJ3、PJ5	2	PJ3	1	なし	0	なし	0	なし	0
	ポートの合計数	134	ポートの合計数	112	ポートの合計数	79	ポートの合計数	43	ポートの合計数	40	ポートの合計数	31

表21.2　I/Oポートの機能　（176ピン、144ピン、100ピン）

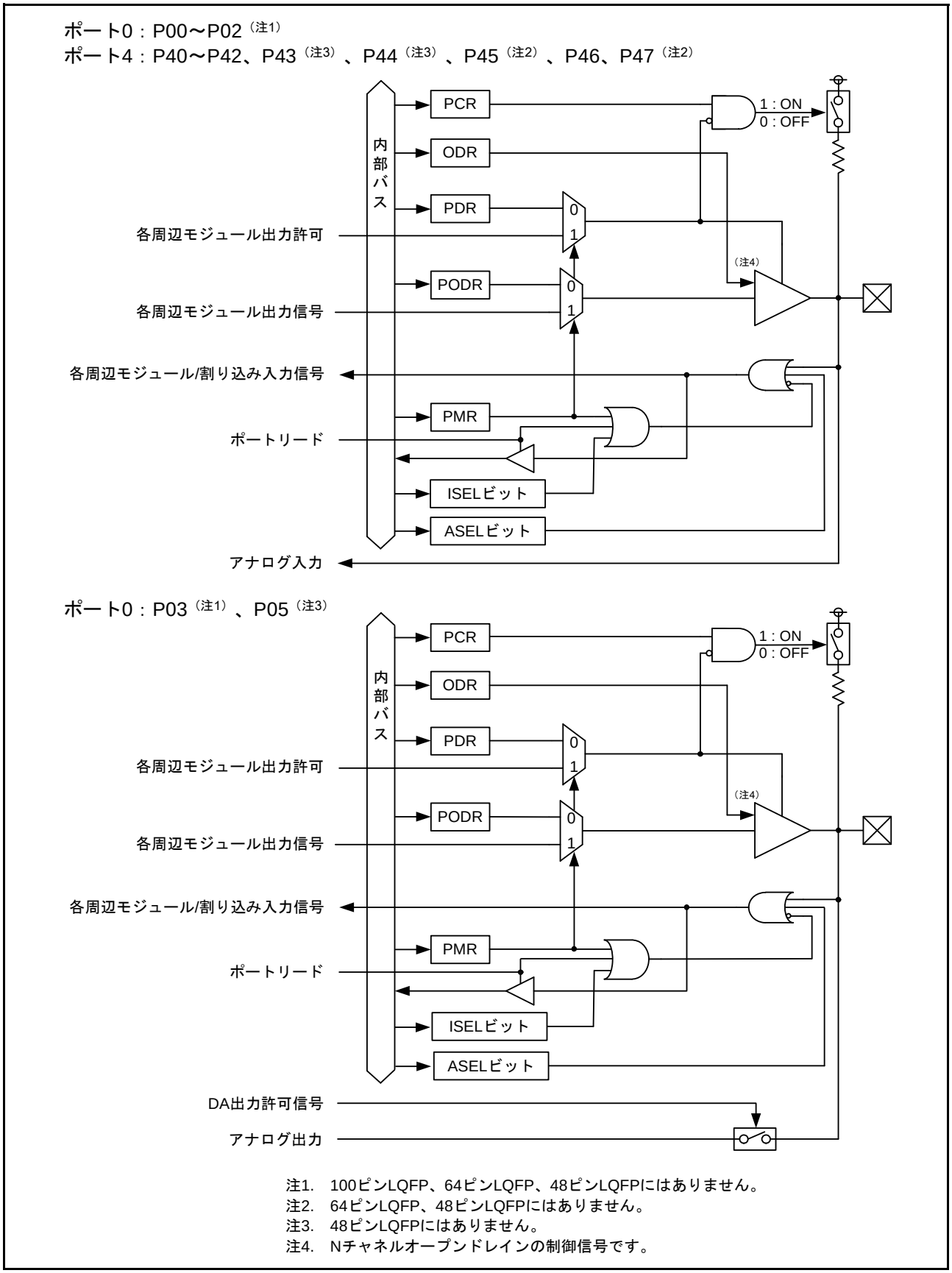
ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT0	P00～P02	○	○	○	—
	P03、P05	○	○	高駆動出力固定	—
	P07	○	○	高駆動出力固定	○
PORT1	P10、P11	○	○	高駆動出力固定	—
	P12～P17	○	○	高駆動出力固定	○
PORT2	P20、P21	○	○	高駆動出力固定	○
	P22～P25	○	○	高駆動出力固定	—
	P26	○	○	高駆動出力固定	—
	P27	○	○	○	—
PORT3	P30～P33	○	○	高駆動出力固定	○
	P34	○	○	高駆動出力固定	—
	P35	—	—	—	—
	P36	○	○	通常出力固定	—
	P37	○	○	高駆動出力固定	—
PORT4	P40～P47	○	○	通常出力固定	—
PORT5	P50～P52、P56、P57	○	○	○	—
	P53～P55	○	○	高駆動出力固定	—
PORT6	P60～P66	○	○	高駆動出力固定	—
	P67	○	○	高駆動出力固定	○
PORT7	P70～P77	○	○	高駆動出力固定	—
PORT8	P80～P87	○	○	高駆動出力固定	—
PORT9	P90～P97	○	○	○	—
PORTA	PA0～PA7	○	○	○	—
PORTB	PB0～PB7	○	○	○	—
PORTC	PC0～PC3	○	○	○	○
	PC4～PC7	○	○	○	—
PORTD	PD0～PD7	○	○	○	—
PORTE	PE0～PE7	○	○	○	—
PORTF	PF0～PF5	○	○	高駆動出力固定	—
PORTG	PG0、PG1	○	○	○	—
	PG2～PG7	○	○	高駆動出力固定	—
PORTJ	PJ3、PJ5	○	○	高駆動出力固定	—

表 21.3　I/O ポートの機能 （64 ピン、48 ピン）

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5V トレラント
PORT0	P05	○	○	高駆動出力固定	—
	P07	○	○	高駆動出力固定	○
PORT1	P12～P17	○	○	高駆動出力固定	○
PORT2	P20、P21	○	○	高駆動出力固定	○
	P26	○	○	高駆動出力固定	—
	P27	○	○	○	—
PORT3	P30～P32	○	○	高駆動出力固定	○
	P34	○	○	高駆動出力固定	—
	P36	○	○	通常出力固定	—
	P37	○	○	高駆動出力固定	—
PORT4	P40～P47	○	○	通常出力固定	—
PORTA	PA0～PA6	○	○	○	—
PORTB	PB0～PB7	○	○	○	—
PORTC	PC2～PC3	○	○	○	○
	PC4～PC7	○	○	○	—
PORTD	PD0～PD2	○	○	○	—
PORTE	PE0～PE5	○	○	○	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5V トレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

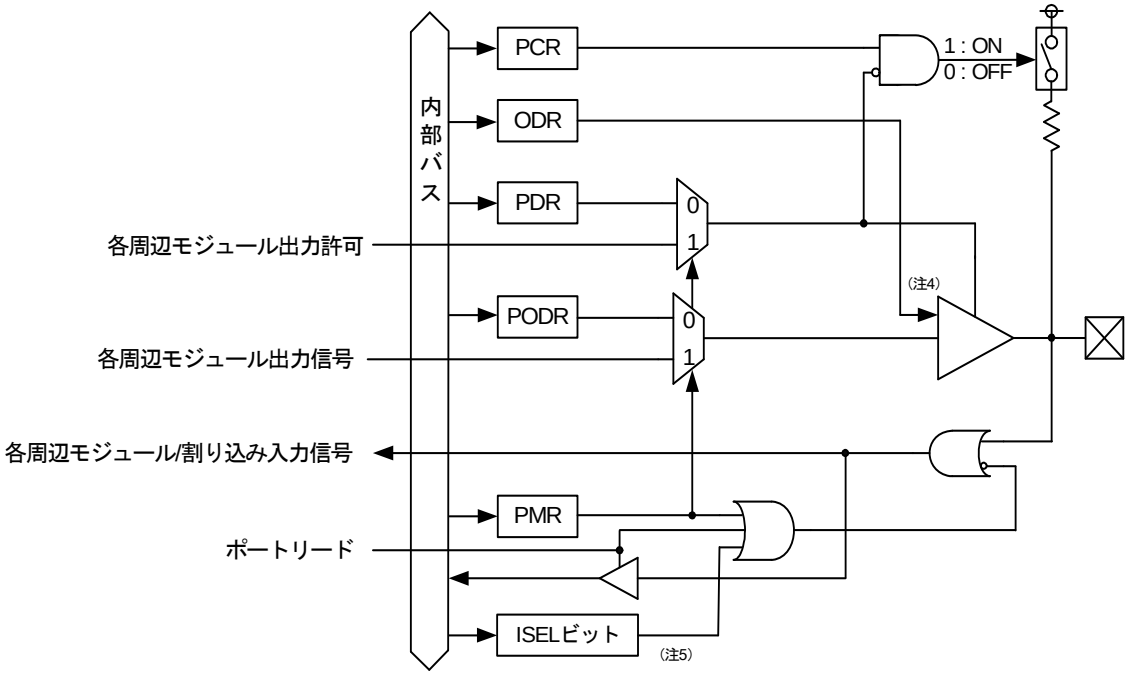
21.2　入出力ポートの構成



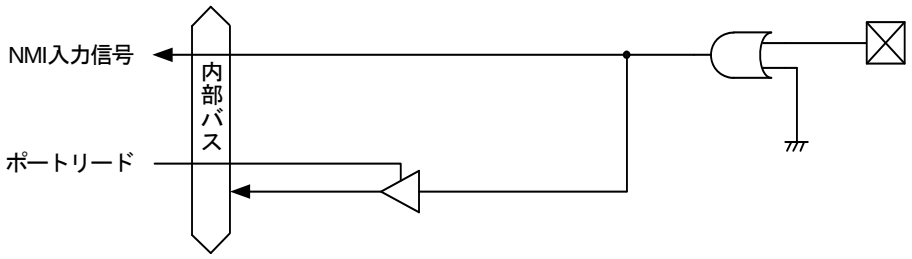
注1.　100ピンLQFP、64ピンLQFP、48ピンLQFPにはありません。
注2.　64ピンLQFP、48ピンLQFPにはありません。
注3.　48ピンLQFPにはありません。
注4.　Nチャネルオープンドレインの制御信号です。

図 21.1　入出力ポートの構成 (1)

ポート0：P07 (注3)
ポート1：P10 (注1、注3)、P11 (注1、注3)、P12 (注3)、P13 (注3)、P14～P17
ポート2：P20～P23 (注3)
ポート3：P30、P31、P32～P34 (注3)、P36、P37
ポート7：P70 (注3)
ポート8：P80～P83 (注3)、P84 (注1、注3)、P85 (注1、注3)、P86 (注3)、P87 (注3)
ポートF：PF0～PF4 (注1、注3)、PF5 (注3)
ポートJ：PJ3、PJ5 (注3)



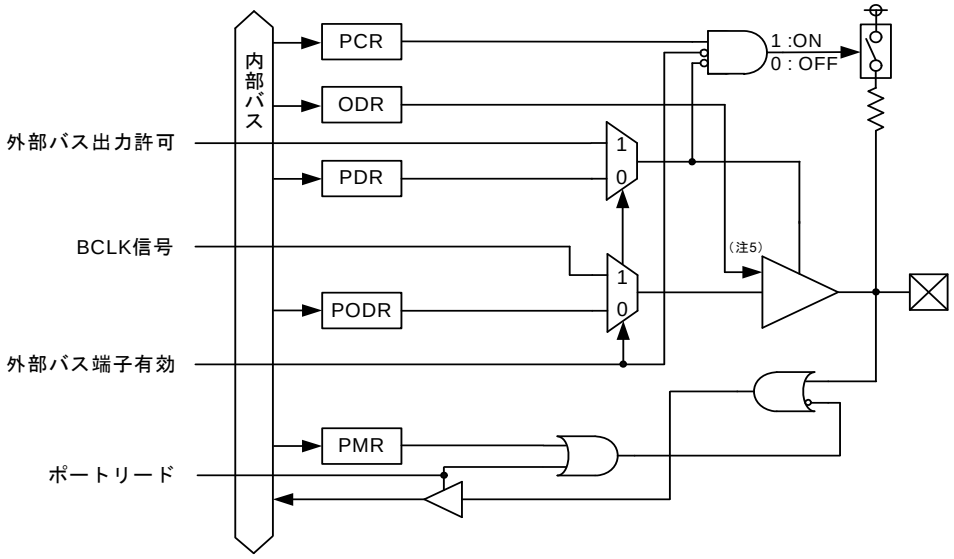
ポート3：P35



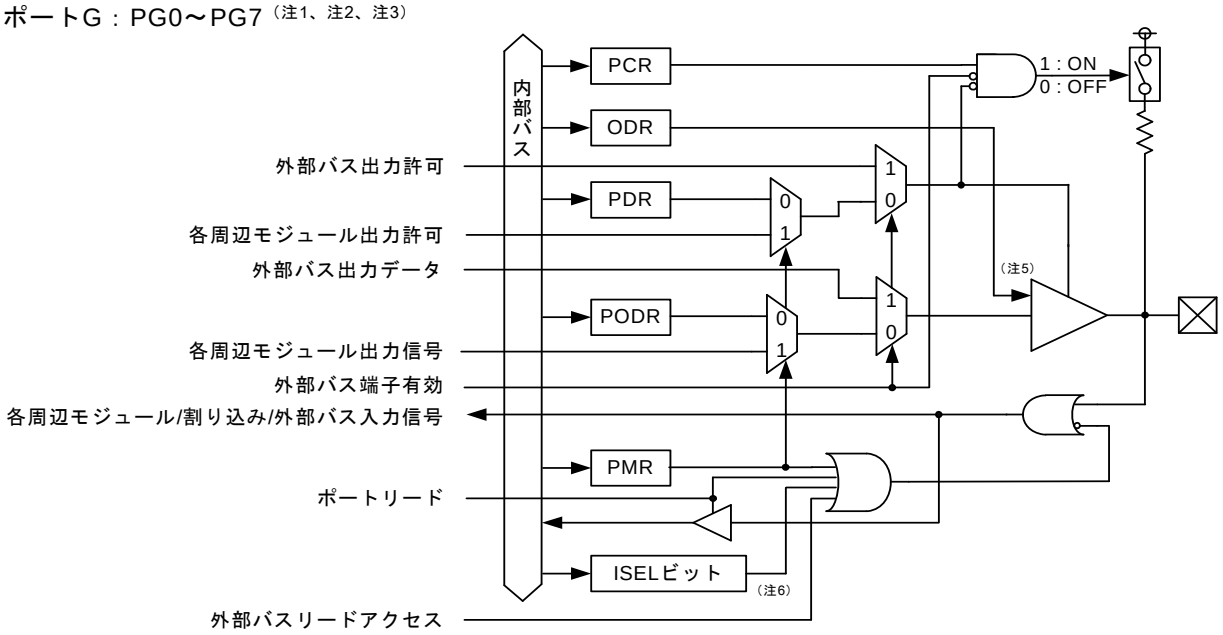
注1.　145ピンTFLGA、および144ピンLQFPにはありません。
注2.　100ピンLQFPにはありません。
注3.　64ピンLQFP、48ピンLQFPにはありません。
注4.　Nチャネルオープンドレインの制御信号です。
注5.　外部割り込み機能がある端子

図 21.2　　入出力ポートの構成 (2)

ポート5：P53（注3）



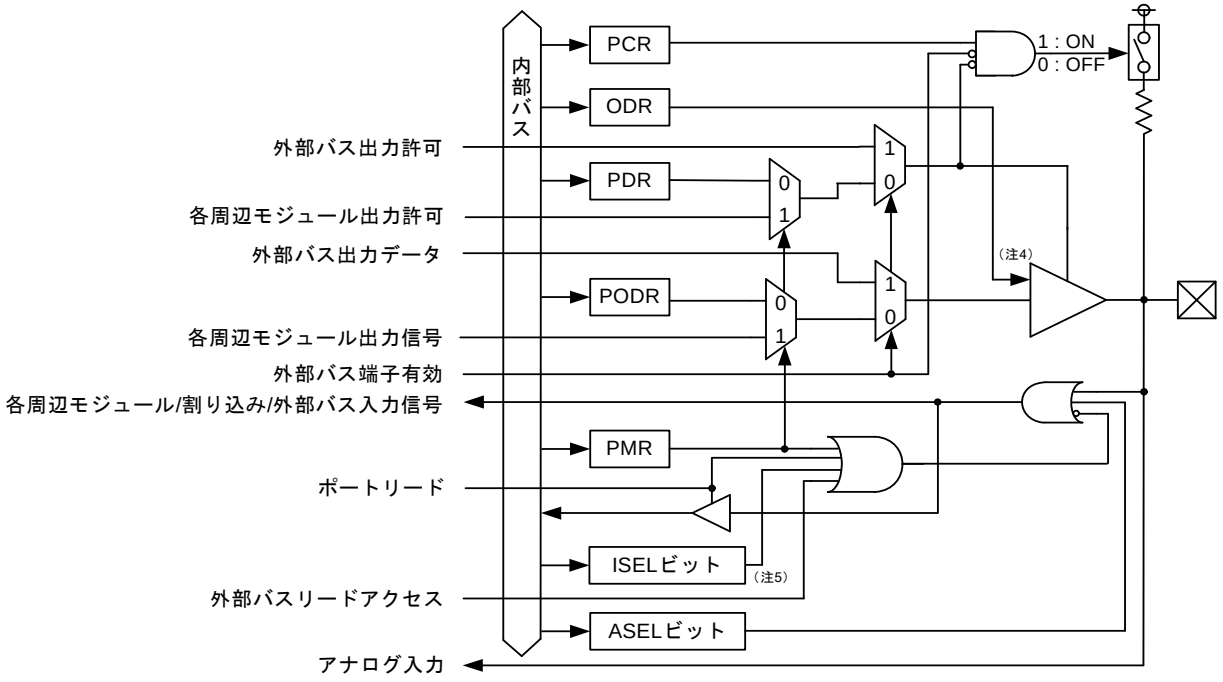
ポート2：P24（注3）、P25（注3）、P26、P27
ポート5：P50～P52（注3）、P54（注4）、P55（注4）、P56（注2、注3）、P57（注1、注2、注3）
ポート6：P60～P67（注2、注3）
ポート7：P71～P77（注2、注3）
ポート9：P94～P97（注1、注2、注3）
ポートA：PA0（注4）、PA1、PA2（注3）、PA3、PA4、PA5（注3）、PA6、PA7（注3）
ポートB：PB0、PB1、PB2（注3）、PB3、PB4（注3）、PB5、PB6（注4）、PB7（注4）
ポートC：PC0（注3）、PC1（注3）、PC2（注4）、PC3（注4）、PC4～PC7
ポートG：PG0～PG7（注1、注2、注3）



注1.　145ピンTFLGA、および144ピンLQFPにはありません。
注2.　100ピンLQFPにはありません。
注3.　64ピンLQFP、48ピンLQFPにはありません。
注4.　48ピンLQFPにはありません。
注5.　Nチャネルオープンドレインの制御信号です。
注6.　外部割り込み機能がある端子

図 21.3　　入出力ポートの構成 (3)

ポート9：P90～P93（注2）
ポートD：PD0～PD7（注2）
ポートE：PE0（注3）、PE1～PE4、PE5（注3）、PE6（注2）、PE7（注2）



注1.　100ピンLQFPにはありません。
注2.　64ピンLQFP、48ピンLQFPにはありません。
注3.　48ピンLQFPにはありません。
注4.　Nチャネルオープンドレインの制御信号です。
注5.　外部割り込み機能がある端子

図 21.4　入出力ポートの構成 (4)

21.3　レジスタの説明

21.3.1　ポート方向レジスタ（PDR）

アドレス　PORT0.PDR 0008 C000h、PORT1.PDR 0008 C001h、PORT2.PDR 0008 C002h、PORT3.PDR 0008 C003h、PORT4.PDR 0008 C004h、PORT5.PDR 0008 C005h、PORT6.PDR 0008 C006h、PORT7.PDR 0008 C007h、PORT8.PDR 0008 C008h、PORT9.PDR 0008 C009h、PORTA.PDR 0008 C00Ah、PORTB.PDR 0008 C00Bh、PORTC.PDR 0008 C00Ch、PORTD.PDR 0008 C00Dh、PORTE.PDR 0008 C00Eh、PORTF.PDR 0008 C00Fh、PORTG.PDR 0008 C010h、PORTJ.PDR 0008 C012h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0：入力（入力ポートとして機能） 1：出力（出力ポートとして機能）	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m=0 ～ 9、A ～ G、J

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力 / 出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、176 ピン未満のピン数の製品については、176 ピンに対して存在しないポート m の端子のビットは予約ビットです。“1”（出力）を書いてください。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

21.3.2 ポート出力データレジスタ（PODR）

アドレス　PORT0.PODR 0008 C020h、PORT1.PODR 0008 C021h、PORT2.PODR 0008 C022h、PORT3.PODR 0008 C023h、PORT4.PODR 0008 C024h、PORT5.PODR 0008 C025h、PORT6.PODR 0008 C026h、PORT7.PODR 0008 C027h、PORT8.PODR 0008 C028h、PORT9.PODR 0008 C029h、PORTA.PODR 0008 C02Ah、PORTB.PODR 0008 C02Bh、PORTC.PODR 0008 C02Ch、PORTD.PODR 0008 C02Dh、PORTE.PODR 0008 C02Eh、PORTF.PODR 0008 C02Fh、PORTG.PODR 0008 C030h、PORTJ.PODR 0008 C032h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0：Low出力 1：High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m=0 ～ 9、A ～ G、J

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

176 ピン未満のピン数の製品については、176 ピンに対して存在しないポート m の端子のビットは予約ビットです。“0”（Low 出力）を書いてください。

P35 端子が入力専用のため、PORT3.PODR.B5 ビットは予約ビットです。値を書いても端子に影響しません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

21.3.3 ポート入力データレジスタ（PIDR）

アドレス　PORT0.PIDR 0008 C040h、PORT1.PIDR 0008 C041h、PORT2.PIDR 0008 C042h、PORT3.PIDR 0008 C043h、PORT4.PIDR 0008 C044h、PORT5.PIDR 0008 C045h、PORT6.PIDR 0008 C046h、PORT7.PIDR 0008 C047h、PORT8.PIDR 0008 C048h、PORT9.PIDR 0008 C049h、PORTA.PIDR 0008 C04Ah、PORTB.PIDR 0008 C04Bh、PORTC.PIDR 0008 C04Ch、PORTD.PIDR 0008 C04Dh、PORTE.PIDR 0008 C04Eh、PORTF.PIDR 0008 C04Fh、PORTG.PIDR 0008 C050h、PORTJ.PIDR 0008 C052h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	0：Low 入力 1：High 入力	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m=0 ～ 9、A ～ G、J

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

P35 端子 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

21.3.4　ポートモードレジスタ（PMR）

アドレス　PORT0.PMR 0008 C060h、PORT1.PMR 0008 C061h、PORT2.PMR 0008 C062h、PORT3.PMR 0008 C063h、PORT4.PMR 0008 C064h、PORT5.PMR 0008 C065h、PORT6.PMR 0008 C066h、PORT7.PMR 0008 C067h、PORT8.PMR 0008 C068h、PORT9.PMR 0008 C069h、PORTA.PMR 0008 C06Ah、PORTB.PMR 0008 C06Bh、PORTC.PMR 0008 C06Ch、PORTD.PMR 0008 C06Dh、PORTE.PMR 0008 C06Eh、PORTF.PMR 0008 C06Fh、PORTG.PMR 0008 C070h、PORTJ.PMR 0008 C072h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0：汎用入出力ポートとして使用 1：周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m=0 ～ 9、A ～ G、J

PMR レジスタは、ポートの端子機能を指定するレジスタです。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、176 ピン未満のピン数の製品については、176 ピンに対して存在しないポート m の端子のビットは予約ビットです。“0”（汎用入出力ポート）を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

21.3.5　オープンドレイン制御レジスタ 0（ODR0）

アドレス　PORT0.ODR0 0008 C080h、PORT1.ODR0 0008 C082h、PORT2.ODR0 0008 C084h、PORT3.ODR0 0008 C086h、PORT4.ODR0 0008 C088h、PORT5.ODR0 0008 C08Ah、PORT6.ODR0 0008 C08Ch、PORT7.ODR0 0008 C08Eh、PORT8.ODR0 0008 C090h、PORT9.ODR0 0008 C092h、PORTA.ODR0 0008 C094h、PORTB.ODR0 0008 C096h、PORTC.ODR0 0008 C098h、PORTD.ODR0 0008 C09Ah、PORTE.ODR0 0008 C09Ch、PORTF.ODR0 0008 C09Eh、PORTG.ODR0 0008 C0A0h、PORTJ.ODR0 0008 C0A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	• ポートPE1以外の場合 奇数ビット　偶数ビット x　0：CMOS出力 x　1：Nチャネルオープンドレイン （b1、b3、b5、b7：予約ビット） • ポートPE1の場合 b3 b2 0 0：CMOS出力 0 1：Nチャネルオープンドレイン 1 0：Pチャネルオープンドレイン 1 1：設定しないでください	R/W
b1	—	予約ビット		R/W
b2	B2	Pm1出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm2出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm3出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m=0 ～ 9、A ～ G、J

ODR0 レジスタは、ポートの端子の出力形態を選択するレジスタです。

PORTE.ODR0 レジスタ以外の奇数ビット（b1、b3、b5、b7）は予約ビットです。

176 ピン未満のピン数の製品については、176 ピンに対して存在しないポート m の端子のビットは予約ビットです。“0”（CMOS 出力）を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

21.3.6　オープンドレイン制御レジスタ 1（ODR1）

アドレス　PORT0.ODR1 0008 C081h、PORT1.ODR1 0008 C083h、PORT2.ODR1 0008 C085h、PORT3.ODR1 0008 C087h、PORT4.ODR1 0008 C089h、PORT5.ODR1 0008 C08Bh、PORT6.ODR1 0008 C08Dh、PORT7.ODR1 0008 C08Fh、PORT8.ODR1 0008 C091h、PORT9.ODR1 0008 C093h、PORTA.ODR1 0008 C095h、PORTB.ODR1 0008 C097h、PORTC.ODR1 0008 C099h、PORTD.ODR1 0008 C09Bh、PORTE.ODR1 0008 C09Dh、PORTF.ODR1 0008 C09Fh、PORTG.ODR1 0008 C0A1h、PORTJ.ODR1 0008 C0A5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	B6	—	B4	—	B2	—	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0：CMOS出力 1：Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm5出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm6出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm7出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m=0 ～ 9、A ～ G、J

ODR1 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR1 レジスタの奇数ビット（b1、b3、b5、b7）は予約ビットです。

176 ピン未満のピン数の製品については、176 ピンに対して存在しないポート m の端子のビットは予約ビットです。“0”（CMOS 出力）を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

21.3.7　プルアップ制御レジスタ（PCR）

アドレス　PORT0.PCR 0008 C0C0h、PORT1.PCR 0008 C0C1h、PORT2.PCR 0008 C0C2h、PORT3.PCR 0008 C0C3h、PORT4.PCR 0008 C0C4h、PORT5.PCR 0008 C0C5h、PORT6.PCR 0008 C0C6h、PORT7.PCR 0008 C0C7h、PORT8.PCR 0008 C0C8h、PORT9.PCR 0008 C0C9h、PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCh、PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh、PORTF.PCR 0008 C0CFh、PORTG.PCR 0008 C0D0h、PORTJ.PCR 0008 C0D2h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 入力プルアップ抵抗制御ビット	0：入力プルアップ抵抗無効 1：入力プルアップ抵抗有効	R/W
b1	B1	Pm1 入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2 入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3 入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4 入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5 入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6 入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7 入力プルアップ抵抗制御ビット		R/W

m=0 ～ 9、A ～ G、J

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTm.PCR レジスタが “1” のビットに対応する端子の入力プルアップ抵抗が有効になります。

外部バス端子、汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

21.3.8　駆動能力制御レジスタ（DSCR）

アドレス　PORT0.DSCR 0008 C0E0h、PORT2.DSCR 0008 C0E2h、PORT5.DSCR 0008 C0E5h、PORT9.DSCR 0008 C0E9h、PORTA.DSCR 0008 C0EAh、PORTB.DSCR 0008 C0EBh、PORTC.DSCR 0008 C0ECh、PORTD.DSCR 0008 C0EDh、PORTE.DSCR 0008 C0EEh、PORTG.DSCR 0008 C0F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0：通常出力 1：高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m=0、2、5、9、A ～ E、G

DSCR レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

駆動能力が固定されている端子の当該ビットは、読み出し / 書き込み可能ですが、駆動能力の切り替えはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと “0” が読めます。書く場合、“0” としてください。

21.3.9 ポート切り替えレジスタ A（PSRA）

アドレス 0008 C121h

	b7	b6	b5	b4	b3	b2	b1	b0
	PSEL7	PSEL6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSEL6	PB6/PC0切り替えビット	0：PB6汎用入出力ポート機能を選択 1：PC0汎用入出力ポート機能を選択	R/W
b7	PSEL7	PB7/PC1切り替えビット	0：PB7汎用入出力ポート機能を選択 1：PC1汎用入出力ポート機能を選択	R/W

PSRA レジスタは 64 ピンパッケージ用のレジスタです。PSRA レジスタは、PB6、PB7 の汎用入出力機能と、PC0、PC1 の汎用入出力機能のどちらを使用するかを選択します。PSEL6、PSEL7 ビットに ”1” を書き込むと PORTC を 8 ビットのポートとして使用することができます。

周辺機能の入出力機能は、PB6、PB7 にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMR レジスタで対応する端子モード制御ビットに ”1” を書き込んでください。

本レジスタの書き換えは、該当端子の PMR レジスタ、PDR レジスタ、PCR レジスタが ”0” の状態で行ってください。

21.3.10　ポート切り替えレジスタ B（PSRB）

アドレス　0008 C120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PSEL5	—	PSEL3	—	PSEL1	PSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSEL0	PB0/PC0切り替えビット	0：PB0汎用入出力ポート機能を選択 1：PC0汎用入出力ポート機能を選択	R/W
b1	PSEL1	PB1/PC1切り替えビット	0：PB1汎用入出力ポート機能を選択 1：PC1汎用入出力ポート機能を選択	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PSEL3	PB3/PC2切り替えビット	0：PB3汎用入出力ポート機能を選択 1：PC2汎用入出力ポート機能を選択	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PSEL5	PB5/PC3切り替えビット	0：PB5汎用入出力ポート機能を選択 1：PC3汎用入出力ポート機能を選択	R/W
b6-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PSRB レジスタは 48 ピンパッケージ用のレジスタです。PSRB レジスタは、PB0、PB1、PB3、PB5 の汎用入出力機能と、PC0、PC1、PC2、PC3 の汎用入出力機能のどちらを使用するかを選択します。PSEL0、PSEL1、PSEL3、PSEL5 ビットに ”1” を書き込むと PORTC を 8 ビットのポートとして使用することができます。

周辺機能の入出力機能は、PB0、PB1、PB3、PB5 にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMR レジスタで対応する端子モード制御ビットに ”1” を書き込んでください。

本レジスタの書き換えは、該当端子の PMR レジスタ、PDR レジスタ、PCR レジスタが ”0” の状態で行ってください。

21.4 未使用端子の処理

表 21.4 に未使用端子の処理内容を示します。

表21.4 未使用端子の処理内容

端子名	処理内容
EMLE	抵抗を介してVSSに接続（プルダウン）
MD	（モード端子として使用）
RES#	抵抗を介してVCCに接続（プルアップ）
USB0_DP、USB1_DP	端子を開放
USB0_DM、USB1_DM	
P35/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	抵抗を介してVSSに接続（プルダウン）
XTAL	端子を開放
XCIN	抵抗を介してVSSに接続（プルダウン）
XCOUT	端子を開放
ポート0～9、A～G、J	• 入力に設定（PORTn.PDRビット=“0”）し、1端子ごと抵抗を介してVCCに接続（プルアップ）、または1端子ごと抵抗を介してVSSに接続（プルダウン）（注1） • 出力に設定（PORTn.PDRビット=“1”）し、端子を開放（注1）（注2）
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREFH	VCCに接続
VREFL	VSSに接続

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL, ASELビットを“0”にしてください。
注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

21.5 使用上の注意事項

21.5.1 176 ピン未満のピン数の製品について

176 ピン未満のピン数の製品については、176 ピンに対して存在しないポート m の端子のポート方向レジスタ（PDR）のビットは予約ビットです。“1”（出力）を書いてください。

22. マルチファンクションピンコントローラ（MPC）

22.1 概要

マルチファンクションピンコントローラ（MPC）は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 22.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、× で示します。同一機能を複数端子で有効にすることは禁止です。

表22.1　マルチプル端子の割り当て端子一覧 (1 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
割り込み		NMI(入力)	P35	○	○	○	○	○	○
EXDMA コントローラ	EXDMAC0	EDREQ0(入力)	P22	○	○	○	×	×	×
			P55	○	○	○	×	×	×
			P80	○	○	×	×	×	×
		EDACK0(出力)	P23	○	○	○	×	×	×
			P54	○	○	○	×	×	×
			P81	○	○	×	×	×	×
	EXDMAC1	EDREQ1(入力)	P24	○	○	○	×	×	×
			P57	○	×	×	×	×	×
			P82	○	○	×	×	×	×
		EDACK1(出力)	P25	○	○	○	×	×	×
			P56	○	○	×	×	×	×
			P83	○	○	×	×	×	×
割り込み	IRQ0	IRQ0-DS(入力)	P30	○	○	○	○	○	○
		IRQ0(入力)	P10	○	×	×	×	×	×
			PD0	○	○	○	×	×	×
	IRQ1	IRQ1-DS(入力)	P31	○	○	○	○	○	○
		IRQ1(入力)	P11	○	×	×	×	×	×
			PD1	○	○	○	×	×	×
	IRQ2	IRQ2-DS(入力)	P32	○	○	○	×	×	×
		IRQ2(入力)	P12	○	○	○	×	×	×
			PD2	○	○	○	×	×	×
	IRQ3	IRQ3-DS(入力)	P33	○	○	○	×	×	×
		IRQ3(入力)	P13	○	○	○	×	×	×
			PD3	○	○	○	×	×	×
	IRQ4	IRQ4-DS(入力)	PB1	○	○	○	○	○	○
		IRQ4(入力)	P14	○	○	○	○	○	○
			P34	○	○	○	×	×	×
			PD4	○	○	○	×	×	×
			PF5	○	○	×	×	×	×
	IRQ5	IRQ5-DS(入力)	PA4	○	○	○	○	○	○
		IRQ5(入力)	P15	○	○	○	○	○	○
			PD5	○	○	○	×	×	×
			PE5	○	○	○	○	○	×
	IRQ6	IRQ6-DS(入力)	PA3	○	○	○	○	○	○
		IRQ6(入力)	P16	○	○	○	○	○	○
			PD6	○	○	○	×	×	×
			PE6	○	○	○	×	×	×
	IRQ7	IRQ7-DS(入力)	PE2	○	○	○	○	○	○
		IRQ7(入力)	P17	○	○	○	○	○	○
			PD7	○	○	○	×	×	×
			PE7	○	○	○	×	×	×

表22.1　　マルチプル端子の割り当て端子一覧 (2 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
割り込み	IRQ8	IRQ8-DS(入力)	P40	○	○	○	○	○	○
		IRQ8(入力)	P00	○	○	×	×	×	×
			P20	○	○	○	×	×	×
	IRQ9	IRQ9-DS(入力)	P41	○	○	○	○	○	○
		IRQ9(入力)	P01	○	○	×	×	×	×
			P21	○	○	○	×	×	×
	IRQ10	IRQ10-DS(入力)	P42	○	○	○	○	○	○
		IRQ10(入力)	P02	○	○	×	×	×	×
			P55	○	○	○	○	×	×
	IRQ11	IRQ11-DS(入力)	P43	○	○	○	○	○	×
		IRQ11(入力)	P03	○	○	×	×	×	×
			PA1	○	○	○	○	○	○
	IRQ12	IRQ12-DS(入力)	P44	○	○	○	○	○	×
		IRQ12(入力)	PB0	○	○	○	○	○	○
			PC1	○	○	○	×	×	×
	IRQ13	IRQ13-DS(入力)	P45	○	○	○	×	×	×
		IRQ13(入力)	P05	○	○	○	○	○	×
			PC6	○	○	○	○	○	○
	IRQ14	IRQ14-DS(入力)	P46	○	○	○	○	○	○
		IRQ14(入力)	PC0	○	○	○	×	×	×
			PC7	○	○	○	○	×	○
	IRQ15	IRQ15-DS(入力)	P47	○	○	○	×	×	×
		IRQ15(入力)	P07	○	○	○	×	×	×
			P67	○	○	×	×	×	×
マルチファンクションタイマユニット2	MTU0	MTIOC0A(入出力)	P34	○	○	○	×	×	×
			PB3	○	○	○	○	○	○
		MTIOC0B(入出力)	P13	○	○	○	×	×	×
			P15	○	○	○	○	○	○
			PA1	○	○	○	○	○	○
		MTIOC0C(入出力)	P32	○	○	○	×	×	×
			PB1	○	○	○	○	○	○
		MTIOC0D(入出力)	P33	○	○	○	×	×	×
			PA3	○	○	○	○	○	○
	MTU1	MTIOC1A(入出力)	P20	○	○	○	×	×	×
			PE4	○	○	○	○	○	○
		MTIOC1B(入出力)	P21	○	○	○	×	×	×
			PB5	○	○	○	○	○	○
	MTU2	MTIOC2A(入出力)	P26	○	○	○	○	○	○
			PB5	○	○	○	○	○	○
		MTIOC2B(入出力)	P27	○	○	○	○	○	○
			PE5	○	○	○	○	○	×

表22.1　マルチプル端子の割り当て端子一覧 (3 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
マルチファンクションタイマユニット2	MTU3	MTIOC3A(入出力)	P14	○	○	○	○	○	○
			P17	○	○	○	○	○	○
			PC1	○	○	○	×	×	×
			PC7	○	○	○	○	○	○
		MTIOC3B(入出力)	P17	○	○	○	○	○	○
			P22	○	○	○	×	×	×
			P80	○	○	×	×	×	×
			PB7	○	○	○	○	○	×
			PC5	○	○	○	○	×	○
		MTIOC3C(入出力)	P16	○	○	○	○	○	○
			P56	○	○	×	×	×	×
			PC0	○	○	○	×	×	×
			PC6	○	○	○	○	○	○
			PJ3	○	○	○	×	×	×
		MTIOC3D(入出力)	P16	○	○	○	○	○	○
			P23	○	○	○	×	×	×
			P81	○	○	×	×	×	×
			PB6	○	○	○	○	○	×
			PC4	○	○	○	○	○	○
	MTU4	MTIOC4A(入出力)	P24	○	○	○	×	×	×
			P82	○	○	×	×	×	×
			PA0	○	○	○	○	○	×
			PB3	○	○	○	○	○	○
			PE2	○	○	○	○	○	○
		MTIOC4B(入出力)	P30	○	○	○	○	○	○
			P54	○	○	○	○	×	×
			PC2	○	○	○	○	○	×
			PD1	○	○	○	×	×	×
			PE3	○	○	○	○	○	○
		MTIOC4C(入出力)	P25	○	○	○	×	×	×
			P83	○	○	×	×	×	×
			PB1	○	○	○	○	○	○
			PE1	○	○	○	○	○	○
			PE5	○	○	○	○	○	×
		MTIOC4D(入出力)	P31	○	○	○	○	○	○
			P55	○	○	○	○	×	×
			PC3	○	○	○	○	○	×
			PD2	○	○	○	×	×	×
			PE4	○	○	○	○	○	○

表22.1　　マルチプル端子の割り当て端子一覧 (4 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
マルチファンクションタイマユニット2	MTU5	MTIC5U(入力)	P12	○	×	×	×	×	×
			PA4	○	○	○	○	○	○
			PD7	○	○	○	×	×	×
		MTIC5V(入力)	P11	○	×	×	×	×	×
			PA6	○	○	○	○	○	○
			PD6	○	○	○	×	×	×
		MTIC5W(入力)	P10	○	×	×	×	×	×
			PB0	○	○	○	○	○	○
			PD5	○	○	○	×	×	×
	MTU	MTCLKA(入力)	P14	○	○	○	○	○	○
			P24	○	○	○	×	×	×
			PA4	○	○	○	○	○	○
			PC6	○	○	○	○	○	○
		MTCLKB(入力)	P15	○	○	○	○	○	○
			P25	○	○	○	×	×	×
			PA6	○	○	○	○	○	○
			PC7	○	○	○	○	×	○
		MTCLKC(入力)	P22	○	○	○	×	×	×
			PA1	○	○	○	○	○	○
			PC4	○	○	○	○	○	○
		MTCLKD(入力)	P23	○	○	○	×	×	×
			PA3	○	○	○	○	○	○
			PC5	○	○	○	○	○	○
ポートアウトプットイネーブル2	POE0	POE0#(入力)	PC4	○	○	○	○	○	○
			PD7	○	○	○	×	×	×
	POE1	POE1#(入力)	PB5	○	○	○	○	○	○
			PD6	○	○	○	×	×	×
	POE2	POE2#(入力)	P34	○	○	○	×	×	×
			PA6	○	○	○	○	○	○
			PD5	○	○	○	×	×	×
	POE3	POE3#(入力)	P33	○	○	○	×	×	×
			PB3	○	○	○	○	○	○
			PD4	○	○	○	×	×	×
	POE8	POE8#(入力)	P17	○	○	○	○	○	○
			P30	○	○	○	○	○	○
			PD3	○	○	○	×	×	×
			PE3	○	○	○	○	○	○

表22.1　　マルチプル端子の割り当て端子一覧 (5 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
16ビットタイマパルスユニット	TPU0	TIOCA0(入出力)	P86	○	○	×	×	×	×
			PA0	○	○	○	○	○	×
		TIOCB0(入出力)	P17	○	○	○	○	○	○
			PA1	○	○	○	○	○	○
		TIOCC0(入出力)	P32	○	○	○	×	×	×
		TIOCD0(入出力)	P33	○	○	○	×	×	×
			PA3	○	○	○	○	○	○
	TPU1	TIOCA1(入出力)	P56	○	○	×	×	×	×
			PA4	○	○	○	○	○	○
		TIOCB1(入出力)	P16	○	○	○	○	○	○
			PA5	○	○	○	×	×	×
	TPU2	TIOCA2(入出力)	P87	○	○	×	×	×	×
			PA6	○	○	○	○	○	○
		TIOCB2(入出力)	P15	○	○	○	○	○	○
			PA7	○	○	○	×	×	×
	TPU3	TIOCA3(入出力)	P21	○	○	○	×	×	×
			PB0	○	○	○	○	○	○
		TIOCB3(入出力)	P20	○	○	○	×	×	×
			PB1	○	○	○	○	○	○
		TIOCC3(入出力)	P22	○	○	○	×	×	×
			PB2	○	○	○	×	×	×
		TIOCD3(入出力)	P23	○	○	○	×	×	×
			PB3	○	○	○	○	○	○
	TPU4	TIOCA4(入出力)	P25	○	○	○	×	×	×
			PB4	○	○	○	×	×	×
		TIOCB4(入出力)	P24	○	○	○	×	×	×
			PB5	○	○	○	○	○	○
	TPU5	TIOCA5(入出力)	P13	○	○	○	×	×	×
			PB6	○	○	○	○	○	×
		TIOCB5(入出力)	P14	○	○	○	○	○	○
			PB7	○	○	○	○	○	×
	TPU（ユニット0）	TCLKA(入力)	P14	○	○	○	○	○	○
			PC2	○	○	○	○	○	×
		TCLKB(入力)	P15	○	○	○	○	○	○
			PA3	○	○	○	○	○	○
			PC3	○	○	○	○	○	×
		TCLKC(入力)	P16	○	○	○	○	○	○
			PB2	○	○	○	×	×	×
			PC0	○	○	○	×	×	×
		TCLKD(入力)	P17	○	○	○	○	○	○
			PB3	○	○	○	○	○	○
			PC1	○	○	○	×	×	×

表22.1　マルチプル端子の割り当て端子一覧 (6 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
16ビットタイマパルスユニット	TPU6	TIOCA6(入出力)	PC6	○	○	×	×	×	×
		TIOCB6(入出力)	PC7	○	○	×	×	×	×
		TIOCC6(入出力)	PC4	○	○	×	×	×	×
		TIOCD6(入出力)	PC5	○	○	×	×	×	×
	TPU7	TIOCA7(入出力)	PD0	○	○	×	×	×	×
		TIOCB7(入出力)	PD1	○	○	×	×	×	×
	TPU8	TIOCA8(入出力)	PD2	○	○	×	×	×	×
		TIOCB8(入出力)	PD3	○	○	×	×	×	×
	TPU9	TIOCA9(入出力)	PE2	○	○	×	×	×	×
		TIOCB9(入出力)	PE3	○	○	×	×	×	×
		TIOCC9(入出力)	PE0	○	○	×	×	×	×
		TIOCD9(入出力)	PE1	○	○	×	×	×	×
	TPU10	TIOCA10(入出力)	PE4	○	○	×	×	×	×
		TIOCB10(入出力)	PE5	○	○	×	×	×	×
	TPU11	TIOCA11(入出力)	PE6	○	○	×	×	×	×
		TIOCB11(入出力)	PE7	○	○	×	×	×	×
	TPU（ユニット1）	TCLKE(入力)	PC4	○	○	×	×	×	×
		TCLKF(入力)	PC5	○	○	×	×	×	×
		TCLKG(入力)	PD1	○	○	×	×	×	×
		TCLKH(入力)	PD3	○	○	×	×	×	×
プログラマブルパルスジェネレータ	PPG0	PO0(出力)	P20	○	○	○	×	×	×
		PO1(出力)	P21	○	○	○	×	×	×
		PO2(出力)	P22	○	○	○	×	×	×
		PO3(出力)	P23	○	○	○	×	×	×
		PO4(出力)	P24	○	○	○	×	×	×
		PO5(出力)	P25	○	○	○	×	×	×
		PO6(出力)	P26	○	○	○	○	○	○
		PO7(出力)	P27	○	○	○	○	○	○
		PO8(出力)	P30	○	○	○	○	○	○
		PO9(出力)	P31	○	○	○	○	○	○
		PO10(出力)	P32	○	○	○	×	×	×
		PO11(出力)	P33	○	○	○	×	×	×
		PO12(出力)	P34	○	○	○	×	×	×
		PO13(出力)	P13	○	○	○	×	×	×
			P15	○	○	○	○	○	○
		PO14(出力)	P16	○	○	○	○	○	○
		PO15(出力)	P14	○	○	○	○	○	○
			P17	○	○	○	○	○	○

表22.1　　マルチプル端子の割り当て端子一覧 (7 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
プログラマブルパルスジェネレータ	PPG1	PO16(出力)	P73	○	○	×	×	×	×
			PA0	○	○	○	○	○	×
		PO17(出力)	PA1	○	○	○	○	○	○
			PC0	○	○	○	×	×	×
		PO18(出力)	PA2	○	○	○	×	×	×
			PC1	○	○	○	×	×	×
			PE1	○	○	○	○	○	○
		PO19(出力)	P74	○	○	×	×	×	×
			PA3	○	○	○	○	○	○
		PO20(出力)	P75	○	○	×	×	×	×
			PA4	○	○	○	○	○	○
		PO21(出力)	PA5	○	○	○	×	×	×
			PC2	○	○	○	○	○	×
		PO22(出力)	P76	○	○	×	×	×	×
			PA6	○	○	○	○	○	○
		PO23(出力)	P77	○	○	×	×	×	×
			PA7	○	○	○	×	×	×
			PE2	○	○	○	○	○	○
		PO24(出力)	PB0	○	○	○	○	○	○
			PC3	○	○	○	○	○	×
		PO25(出力)	PB1	○	○	○	○	○	○
			PC4	○	○	○	○	○	○
		PO26(出力)	P80	○	○	×	×	×	×
			PB2	○	○	○	×	×	×
			PE3	○	○	○	○	○	○
		PO27(出力)	P81	○	○	×	×	×	×
			PB3	○	○	○	○	○	○
		PO28(出力)	P82	○	○	×	×	×	×
			PB4	○	○	○	×	×	×
			PE4	○	○	○	○	○	○
		PO29(出力)	PB5	○	○	○	○	○	○
			PC5	○	○	○	○	○	○
		PO30(出力)	PB6	○	○	○	○	○	×
			PC6	○	○	○	○	○	○
		PO31(出力)	PB7	○	○	○	○	○	×
			PC7	○	○	○	○	×	○
8ビットタイマ	TMR0	TMO0(出力)	P22	○	○	○	×	×	×
			PB3	○	○	○	○	○	○
		TMCI0(入力)	P01	○	○	×	×	×	×
			P21	○	○	○	×	×	×
			PB1	○	○	○	○	○	○
		TMRI0(入力)	P00	○	○	×	×	×	×
			P20	○	○	○	×	×	×
			PA4	○	○	○	○	○	○

表22.1　マルチプル端子の割り当て端子一覧 (8 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
8ビットタイマ	TMR1	TMO1(出力)	P17	○	○	○	○	○	○
			P26	○	○	○	○	○	○
		TMCI1(入力)	P02	○	○	×	×	×	×
			P12	○	○	○	×	×	×
			P54	○	○	○	○	×	×
			PC4	○	○	○	○	○	○
		TMRI1(入力)	P24	○	○	○	×	×	×
			PB5	○	○	○	○	○	○
	TMR2	TMO2(出力)	P16	○	○	○	○	○	○
			PC7	○	○	○	○	×	○
		TMCI2(入力)	P15	○	○	○	○	○	○
			P31	○	○	○	○	○	○
			PC6	○	○	○	○	○	○
		TMRI2(入力)	P14	○	○	○	○	○	○
			PC5	○	○	○	○	○	○
	TMR3	TMO3(出力)	P13	○	○	○	×	×	×
			P32	○	○	○	×	×	×
			P55	○	○	○	○	×	×
		TMCI3(入力)	P11	○	×	×	×	×	×
			P27	○	○	○	○	○	○
			P34	○	○	○	×	×	×
			PA6	○	○	○	○	○	○
		TMRI3(入力)	P10	○	×	×	×	×	×
			P30	○	○	○	○	○	○
			P33	○	○	○	×	×	×
イーサネットコントローラ		REF50CK(入力)	P76	○	○	×	×	×	×
			PB2	○	○	○	×	×	×
			PE5	○	○	○	×	×	×
		RMII_CRS_DV(入力)	P83	○	○	×	×	×	×
			PB7	○	○	○	×	×	×
		RMII_TXD0(出力)	P81	○	○	×	×	×	×
			PB5	○	○	○	×	×	×
		RMII_TXD1(出力)	P82	○	○	×	×	×	×
			PB6	○	○	○	×	×	×
		RMII_RXD0(入力)	P75	○	○	×	×	×	×
			PB1	○	○	○	×	×	×
		RMII_RXD1(入力)	P74	○	○	×	×	×	×
			PB0	○	○	○	×	×	×
		RMII_TXD_EN(出力)	P80	○	○	×	×	×	×
			PA0	○	○	○	×	×	×
			PB4	○	○	○	×	×	×
		RMII_RX_ER(入力)	P77	○	○	×	×	×	×
			PB3	○	○	○	×	×	×

表22.1　マルチプル端子の割り当て端子一覧 (9 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
イーサネットコントローラ		ET_CRS(入力)	P83	○	○	×	×	×	×
			PB7	○	○	○	×	×	×
		ET_RX_DV(入力)	PC2	○	○	○	×	×	×
		ET_EXOUT(出力)	P55	○	○	○	×	×	×
			PA6	○	○	○	×	×	×
		ET_LINKSTA(入力)	P54	○	○	○	×	×	×
			PA5	○	○	○	×	×	×
		ET_ETXD0(出力)	P81	○	○	×	×	×	×
			PB5	○	○	○	×	×	×
		ET_ETXD1(出力)	P82	○	○	×	×	×	×
			PB6	○	○	○	×	×	×
		ET_ETXD2(出力)	PC5	○	○	○	×	×	×
		ET_ETXD3(出力)	PC6	○	○	○	×	×	×
		ET_ERXD0(入力)	P75	○	○	×	×	×	×
			PB1	○	○	○	×	×	×
		ET_ERXD1(入力)	P74	○	○	×	×	×	×
			PB0	○	○	○	×	×	×
		ET_ERXD2(入力)	PC1	○	○	○	×	×	×
			PE4	○	○	○	×	×	×
		ET_ERXD3(入力)	PC0	○	○	○	×	×	×
			PE3	○	○	○	×	×	×
		ET_TX_EN(出力)	P80	○	○	×	×	×	×
			PA0	○	○	○	×	×	×
			PB4	○	○	○	×	×	×
		ET_TX_ER(出力)	PC3	○	○	○	×	×	×
		ET_RX_ER(入力)	P77	○	○	×	×	×	×
			PB3	○	○	○	×	×	×
		ET_TX_CLK(入力)	PC4	○	○	○	×	×	×
		ET_RX_CLK(入力)	P76	○	○	×	×	×	×
			PB2	○	○	○	×	×	×
			PE5	○	○	○	×	×	×
		ET_COL(入力)	PC7	○	○	○	×	×	×
		ET_WOL(出力)	P73	○	○	×	×	×	×
			PA1	○	○	○	×	×	×
			PA7	○	○	○	×	×	×
		ET_MDC(出力)	P72	○	○	×	×	×	×
			PA4	○	○	○	×	×	×
		ET_MDIO(入出力)	P71	○	○	×	×	×	×
			PA3	○	○	○	×	×	×

表22.1　マルチプル端子の割り当て端子一覧 (10 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
シリアルコミュニケーションインタフェース	SCI0	RXD0(入力)/SMISO0(入出力)/SSCL0(入出力)	P21	○	○	○	×	×	×
			P33	○	○	○	×	×	×
		TXD0(出力)/SMOSI0(入出力)/SSDA0(入出力)	P20	○	○	○	×	×	×
			P32	○	○	○	×	×	×
		SCK0(入出力)	P22	○	○	○	×	×	×
			P34	○	○	○	×	×	×
		CTS0#(入力)/RTS0#(出力)/SS0#(入力)	P23	○	○	○	×	×	×
			PJ3	○	○	○	×	×	×
	SCI1	RXD1(入力)/SMISO1(入出力)/SSCL1(入出力)	P15	○	○	○	○	○	○
			P30	○	○	○	○	○	○
			PF2	○	×	×	×	×	×
		TXD1(出力)/SMOSI1(入出力)/SSDA1(入出力)	P16	○	○	○	○	○	○
			P26	○	○	○	○	○	○
			PF0	○	×	×	×	×	×
		SCK1(入出力)	P17	○	○	○	○	○	○
			P27	○	○	○	○	○	○
			PF1	○	×	×	×	×	×
		CTS1#(入力)/RTS1#(出力)/SS1#(入力)	P14	○	○	○	○	○	○
			P31	○	○	○	○	○	○
	SCI2	RXD2(入力)/SMISO2(入出力)/SSCL2(入出力)	P12	○	○	○	×	×	×
			P52	○	○	○	×	×	×
		TXD2(出力)/SMOSI2(入出力)/SSDA2(入出力)	P13	○	○	○	×	×	×
			P50	○	○	○	×	×	×
		SCK2(入出力)	P11	○	×	×	×	×	×
			P51	○	○	○	×	×	×
		CTS2#(入力)/RTS2#(出力)/SS2#(入力)	P54	○	○	○	×	×	×
	SCI3	RXD3(入力)/SMISO3(入出力)/SSCL3(入出力)	P16	○	○	○	×	×	×
			P25	○	○	○	×	×	×
		TXD3(出力)/SMOSI3(入出力)/SSDA3(入出力)	P17	○	○	○	×	×	×
			P23	○	○	○	×	×	×
		SCK3(入出力)	P15	○	○	○	×	×	×
			P24	○	○	○	×	×	×
		CTS3#(入力)/RTS3#(出力)/SS3#(入力)	P26	○	○	○	×	×	×

表22.1　マルチプル端子の割り当て端子一覧 (11 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
シリアルコミュニケーションインタフェース	SCI4	RXD4(入力)/SMISO4(入出力)/SSCL4(入出力)	PB0	○	○	×	×	×	×
		TXD4(出力)/SMOSI4(入出力)/SSDA4(入出力)	PB1	○	○	×	×	×	×
		SCK4(入出力)	PB3	○	○	×	×	×	×
		CTS4#(入力)/RTS4#(出力)/SS4#(入力)	PB2	○	○	×	×	×	×
	SCI5	RXD5(入力)/SMISO5(入出力)/SSCL5(入出力)	PA2	○	○	○	×	×	×
			PA3	○	○	○	○	○	○
			PC2	○	○	○	○	○	×
		TXD5(出力)/SMOSI5(入出力)/SSDA5(入出力)	PA4	○	○	○	○	○	○
			PC3	○	○	○	○	○	×
		SCK5(入出力)	PA1	○	○	○	○	○	○
			PC1	○	○	○	×	×	×
			PC4	○	○	○	○	○	○
		CTS5#(入力)/RTS5#(出力)/SS5#(入力)	PA6	○	○	○	○	○	○
			PC0	○	○	○	×	×	×
	SCI6	RXD6(入力)/SMISO6(入出力)/SSCL6(入出力)	P01	○	○	×	×	×	×
			P33	○	○	○	×	×	×
			PB0	○	○	○	○	○	○
		TXD6(出力)/SMOSI6(入出力)/SSDA6(入出力)	P00	○	○	×	×	×	×
			P32	○	○	○	×	×	×
			PB1	○	○	○	○	○	○
		SCK6(入出力)	P02	○	○	×	×	×	×
			P34	○	○	○	×	×	×
			PB3	○	○	○	○	○	○
		CTS6#(入力)/RTS6#(出力)/SS6#(入力)	PB2	○	○	○	×	×	×
			PJ3	○	○	○	×	×	×
	SCI7	RXD7(入力)/SMISO7(入出力)/SSCL7(入出力)	P92	○	○	×	×	×	×
		TXD7(出力)/SMOSI7(入出力)/SSDA7(入出力)	P90	○	○	×	×	×	×
		SCK7(入出力)	P91	○	○	×	×	×	×
		CTS7#(入力)/RTS7#(出力)/SS7#(入力)	P93	○	○	×	×	×	×

表22.1　マルチプル端子の割り当て端子一覧 (12 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
シリアルコミュニケーションインタフェース	SCI8	RXD8(入力)/ SMISO8(入出力)/ SSCL8(入出力)	PC6	○	○	○	○	×	○
		TXD8(出力)/ SMOSI8(入出力)/ SSDA8(入出力)	PC7	○	○	○	○	×	○
		SCK8(入出力)	PC5	○	○	○	○	×	○
		CTS8#(入力)/ RTS8#(出力)/ SS8#(入力)	PC4	○	○	○	○	×	○
	SCI9	RXD9(入力)/ SMISO9(入出力)/ SSCL9(入出力)	PB6	○	○	○	○	○	×
		TXD9(出力)/ SMOSI9(入出力)/ SSDA9(入出力)	PB7	○	○	○	○	○	×
		SCK9(入出力)	PB5	○	○	○	○	○	×
		CTS9#(入力)/ RTS9#(出力)/ SS9#(入力)	PB4	○	○	○	×	×	×
	SCI10	RXD10(入力)/ SMISO10(入出力)/ SSCL10(入出力)	P81	○	○	×	×	×	×
		TXD10(出力)/ SMOSI10(入出力)/ SSDA10(入出力)	P82	○	○	×	×	×	×
		SCK10(入出力)	P80	○	○	×	×	×	×
		CTS10#(入力)/ RTS10#(出力)/ SS10#(入力)	P83	○	○	×	×	×	×
	SCI11	RXD11(入力)/ SMISO11(入出力)/ SSCL11(入出力)	P76	○	○	×	×	×	×
		TXD11(出力)/ SMOSI11(入出力)/ SSDA11(入出力)	P77	○	○	×	×	×	×
		SCK11(入出力)	P75	○	○	×	×	×	×
		CTS11#(入力)/ RTS11#(出力)/ SS11#(入力)	P74	○	○	×	×	×	×
	SCI12	RXD12(入力)/ SMISO12(入出力)/ SSCL12(入出力)/ RXDX12(入力)	PE2	○	○	○	○	○	○
		TXD12(出力)/ SMOSI12(入出力)/ SSDA12(入出力)/ TXDX12(出力)/ SIOX12(入出力)	PE1	○	○	○	○	○	○
		SCK12(入出力)	PE0	○	○	○	○	○	×
		CTS12#(入力)/ RTS12#(出力)/ SS12#(入力)	PE3	○	○	○	○	○	○

表22.1　マルチプル端子の割り当て端子一覧 (13 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
I²Cバス インタフェース	RIIC0	SCL0[FM+](入出力)	P12	○	○	○	×	×	×
		SDA0[FM+](入出力)	P13	○	○	○	×	×	×
	RIIC1	SCL1(入出力)	P21	○	○	×	×	×	×
		SDA1(入出力)	P20	○	○	×	×	×	×
	RIIC2	SCL2-DS(入出力)	P16	○	○	○	○	○	○
		SDA2-DS(入出力)	P17	○	○	○	○	○	○
	RIIC3	SCL3(入出力)	PC0	○	○	×	×	×	×
		SDA3(入出力)	PC1	○	○	×	×	×	×
USB2.0ホスト/ ファンクション モジュール	USB0	USB0_VBUS(入力)	P16	○	○	○	○	○	○
		USB0_EXICEN(出力)	P21	○	○	○	×	×	×
			PC6	×	×	×	○	○	○
		USB0_VBUSEN(出力)	P16	○	○	○	○	○	○
			P24	○	○	○	×	×	×
			P26	×	×	×	○	○	○
			P32	○	○	○	×	×	×
		USB0_OVRCURA (入力)	P14	○	○	○	○	○	○
		USB0_OVRCURB (入力)	P16	○	○	○	○	○	○
		USB0_ID(入力)	P20	○	○	○	×	×	×
			PC5	×	×	×	○	○	○
		USB0_DPUPE(出力)	P14	○	○	○	○	○	○
			P23	○	○	○	×	×	×
			P31	○	○	○	○	○	○
		USB0_DPRPD(出力)	P25	○	○	○	×	×	×
			P34	○	○	○	×	×	×
			PC4	×	×	×	○	○	○
		USB0_DRPD(出力)	P22	○	○	○	×	×	×
			P30	○	○	○	○	○	○
	USB1	USB1_VBUS(入力)	P17	○	×	×	×	○	×
		USB1_DPUPE(出力)	P15	○	×	×	×	○	×
CANモジュール	CAN0	CRX0(入力)	P33	○	○	○	×	×	×
			PD2	○	○	○	×	×	×
		CTX0(出力)	P32	○	○	○	×	×	×
			PD1	○	○	○	×	×	×
	CAN1	CRX1-DS(入力)	P15	○	○	○	○	○	○
		CRX1(入力)	P55	○	○	○	○	×	×
		CTX1(出力)	P14	○	○	○	○	○	○
			P54	○	○	○	○	×	×
	CAN2	CRX2(入力)（注1）	P67	○	○	×	×	×	×
		CTX2(出力)（注1）	P66	○	○	×	×	×	×

表22.1　マルチプル端子の割り当て端子一覧 (14 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
シリアルペリフェラルインタフェース	RSPI0	RSPCKA(入出力)	PA5	○	○	○	×	×	×
			PB0	○	○	○	○	○	○
			PC5	○	○	○	○	○	○
		MOSIA(入出力)	P16	○	○	○	○	○	○
			PA6	○	○	○	○	○	○
			PC6	○	○	○	○	○	○
		MISOA(入出力)	P17	○	○	○	○	○	○
			PA7	○	○	○	×	×	×
			PC7	○	○	○	○	×	○
		SSLA0(入出力)	PA4	○	○	○	○	○	○
			PC4	○	○	○	○	○	○
		SSLA1(出力)	PA0	○	○	○	○	○	×
			PC0	○	○	○	×	×	×
		SSLA2(出力)	PA1	○	○	○	○	○	○
			PC1	○	○	○	×	×	×
		SSLA3(出力)	PA2	○	○	○	×	×	×
			PC2	○	○	○	○	○	×
	RSPI1	RSPCKB(入出力)	P27	○	○	○	○	○	○
			PE1	○	○	○	○	○	○
			PE5	○	○	○	○	○	×
		MOSIB(入出力)	P26	○	○	○	○	○	○
			PE2	○	○	○	○	○	○
			PE6	○	○	○	×	×	×
		MISOB(入出力)	P30	○	○	○	○	○	○
			PE3	○	○	○	○	○	○
			PE7	○	○	○	×	×	×
		SSLB0(入出力)	P31	○	○	○	○	○	○
			PE4	○	○	○	○	○	○
		SSLB1(出力)	P50	○	○	○	×	×	×
			PE0	○	○	○	○	○	×
		SSLB2(出力)	P51	○	○	○	×	×	×
			PE1	○	○	○	○	○	○
		SSLB3(出力)	P52	○	○	○	×	×	×
			PE2	○	○	○	○	○	○
	RSPI2	RSPCKC(入出力)	PD3	○	○	×	×	×	×
		MOSIC(入出力)	PD1	○	○	×	×	×	×
		MISOC(入出力)	PD2	○	○	×	×	×	×
		SSLC0(入出力)	PD4	○	○	×	×	×	×
		SSLC1(出力)	PD5	○	○	×	×	×	×
		SSLC2(出力)	PD6	○	○	×	×	×	×
		SSLC3(出力)	PD7	○	○	×	×	×	×

表22.1　　マルチプル端子の割り当て端子一覧 (15 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
IEBusコントローラ		IERXD(入力)	P16	○	○	○	○	○	○
			PC2	○	○	○	○	○	×
		IETXD(出力)	P17	○	○	○	○	○	○
			PC3	○	○	○	○	○	×
リアルタイムクロック		RTCOUT(出力)	P16	○	○	○	○	○	×
			P32	○	○	○	×	×	×
		RTCIC0(入力) (注2)	P30	○	○	○	○	○	×
		RTCIC1(入力) (注2)	P31	○	○	○	○	○	×
		RTCIC2(入力) (注2)	P32	○	○	○	×	×	×
パラレルデータキャプチャユニット		PIXCLK(入力)	P24	○	○	×	×	×	×
		VSYNC(入力)	P32	○	○	×	×	×	×
		HSYNC(入力)	P25	○	○	×	×	×	×
		PIXD7(入力)	P23	○	○	×	×	×	×
		PIXD6(入力)	P22	○	○	×	×	×	×
		PIXD5(入力)	P21	○	○	×	×	×	×
		PIXD4(入力)	P20	○	○	×	×	×	×
		PIXD3(入力)	P17	○	○	×	×	×	×
		PIXD2(入力)	P87	○	○	×	×	×	×
		PIXD1(入力)	P86	○	○	×	×	×	×
		PIXD0(入力)	P15	○	○	×	×	×	×
		PCKO(出力)	P33	○	○	×	×	×	×
12ビットA/Dコンバータ		AN000(入力) (注2)	P40	○	○	○	○	○	○
		AN001(入力) (注2)	P41	○	○	○	○	○	○
		AN002(入力) (注2)	P42	○	○	○	○	○	○
		AN003(入力) (注2)	P43	○	○	○	○	○	×
		AN004(入力) (注2)	P44	○	○	○	○	○	×
		AN005(入力) (注2)	P45	○	○	○	×	×	×
		AN006(入力) (注2)	P46	○	○	○	○	○	○
		AN007(入力) (注2)	P47	○	○	○	×	×	×
		AN008(入力) (注2)	PD0	○	○	○	×	×	×
			PE0	×	×	×	○	○	×
		AN009(入力) (注2)	PD1	○	○	○	×	×	×
			PE1	×	×	×	○	○	○
		AN010(入力) (注2)	PD2	○	○	○	×	×	×
			PE2	×	×	×	○	○	○
		AN011(入力) (注2)	PD3	○	○	○	×	×	×
			PE3	×	×	×	○	○	○
		AN012(入力) (注2)	PD4	○	○	○	×	×	×
			PE4	×	×	×	○	○	○
		AN013(入力) (注2)	PD5	○	○	○	×	×	×
			PE5	×	×	×	○	○	×
		AN014(入力) (注2)	P90	○	○	×	×	×	×
		AN015(入力) (注2)	P91	○	○	×	×	×	×
		AN016(入力) (注2)	P92	○	○	×	×	×	×

表22.1　　マルチプル端子の割り当て端子一覧 (16 / 16)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				177ピン 176ピン	145ピン 144ピン	100ピン	64ピン LQFP	64ピン TFLGA	48ピン
12ビットA/Dコンバータ		AN017(入力)（注2）	P93	○	○	×	×	×	×
		AN018(入力)（注2）	P00	○	○	×	×	×	×
		AN019(入力)（注2）	P01	○	○	×	×	×	×
		AN020(入力)（注2）	P02	○	○	×	×	×	×
		ADTRG0#(入力)	P07	○	○	○	×	×	×
			P16	○	○	○	○	○	○
			P25	○	○	○	×	×	×
10ビットA/Dコンバータ		AN0(入力)（注2）	PE2	○	○	○	×	×	×
		AN1(入力)（注2）	PE3	○	○	○	×	×	×
		AN2(入力)（注2）	PE4	○	○	○	×	×	×
		AN3(入力)（注2）	PE5	○	○	○	×	×	×
		AN4(入力)（注2）	PE6	○	○	○	×	×	×
		AN5(入力)（注2）	PE7	○	○	○	×	×	×
		AN6(入力)（注2）	PD6	○	○	○	×	×	×
		AN7(入力)（注2）	PD7	○	○	○	×	×	×
		ANEX0(出力)（注2）	PE0	○	○	○	×	×	×
		ANEX1(入力)（注2）	PE1	○	○	○	×	×	×
		ADTRG#(入力)	P13	○	○	○	×	×	×
			P17	○	○	○	×	×	×
D/Aコンバータ		DA0(出力)（注2）	P03	○	○	×	×	×	×
		DA1(出力)（注2）	P05	○	○	○	○	○	×

注1.　この端子はROM容量が、1Mバイト以下の製品には存在しません。
注2.　この端子を使用する場合は、該当端子の設定を汎用入力にしてください（PORTm.PDR.Bnビットおよび PORTm.PMR.Bnビットを“0”にする）。

22.2　レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

22.2.1　書き込みプロテクトレジスタ（PWPR）

アドレス　0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0：PFSレジスタへの書き込みを禁止 1：PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0：PFSWEビットへの書き込みを許可 1：PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット（PFS レジスタ書き込み許可ビット）

PFSWE ビットを “1” にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

PFSWE ビットを “1” にする場合は、B0WI ビットに “0” を書いた後、PFSWE ビットを “1” にしてください。

B0WI ビット（PFSWE ビット書き込み禁止ビット）

B0WI ビットを “0” にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

22.2.2　P0n 端子機能制御レジスタ（P0nPFS）（n=0 ～ 3、5、7）

アドレス　P00PFS 0008 C140h、P01PFS 0008 C141h、P02PFS 0008 C142h
P03PFS 0008 C143h、P05PFS 0008 C145h、P07PFS 0008 C147h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	—	PSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn 入力端子として使用しない 1：IRQn 入力端子として使用する	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

Pmn 端子機能制御レジスタ（PmnPFS）は、端子の機能を選択します。PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ（PORTm.PMR）で汎用入出力ポートを選択し、ポート方向レジスタ（PORTm.PDR）で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットはは予約です。

表 22.2　177 ピン TFLGA、176 ピン LFBGA、176 ピン LQFP、145 ピン TFLGA、144 ピン LQFP 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子			
	P00	P01	P02	P07
00000b （初期値）	Hi-Z			
00101b	TMRI0	TMCI0	TMCI1	—
01001b	—	—	—	ADTRG0#
01010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6	—

—：設定しないでください。

表22.3　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子
	P07
00000b （初期値）	Hi-Z
00101b	—
01001b	ADTRG0#
01010b	—

—：設定しないでください。

表22.4　64ピンLQFP、64ピンTFLGA　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子
	P05
00000b （初期値）	Hi-Z
00101b	—
01001b	ADTRG0#
01010b	—

22.2.3 P1n 端子機能制御レジスタ（P1nPFS）（n=0 ～ 7）

アドレス　P10PFS 0008 C148h、P11PFS 0008 C149h、P12PFS 0008 C14Ah、P13PFS 0008 C14Bh
P14PFS 0008 C14Ch、P15PFS 0008 C14Dh、P16PFS 0008 C14Eh、P17PFS 0008 C14Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	—	PSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.5　177ピンTFLGA、176ピンLFBGA、176ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	P10	P11	P12	P13	P14	P15	P16	P17
00000b（初期値）	Hi-Z							
00001b	MTIC5W	MTIC5V	MTIC5U	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	—	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMRI3	TMCI3	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00110b	—	—	—	PO13	PO15	PO13	PO14	PO15
00111b	—	—	—	—	—	—	RTCOUT	POE8#
01001b	—	—	—	ADTRG#	—	—	ADTRG0#	ADTRG#
01010b	—	SCK2	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
01101b	—	—	—	—	—	—	MOSIA	MISOA
01111b	—	—	SCL0[FM+]	SDA0[FM+]	—	—	SCL2-DS	SDA2-DS
10000b	—	—	—	—	CTX1	CRX1-DS	IERXD	IETXD
10001b	—	—	—	—	USB0_DPUPE	USB1_DPUPE	USB0_VBUS	USB1_VBUS
10010b	—	—	—	—	USB0_OVRCURA	—	USB0_VBUSEN	—
10011b	—	—	—	—	—	—	USB0_OVRCURB	—
11100b	—	—	—	—	—	PIXD0	—	PIXD3

—：設定しないでください。

表22.6　　145ピンTFLGA、144ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	P12	P13	P14	P15	P16	P17
00000b（初期値）	Hi-Z					
00001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00110b	—	PO13	PO15	PO13	PO14	PO15
00111b	—	—	—	—	RTCOUT	POE8#
01001b	—	ADTRG#	—	—	ADTRG0#	ADTRG#
01010b	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
01101b	—	—	—	—	MOSIA	MISOA
01111b	SCL0[FM+]	SDA0[FM+]	—	—	SCL2-DS	SDA2-DS
10000b	—	—	CTX1	CRX1-DS	IERXD	IETXD
10001b	—	—	USB0_DPUPE	—	USB0_VBUS	—
10010b	—	—	USB0_OVRCURA	—	USB0_VBUSEN	—
10011b	—	—	—	—	USB0_OVRCURB	—
11100b	—	—	—	PIXD0	—	PIXD3

—：設定しないでください。

表22.7　　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	P12	P13	P14	P15	P16	P17
00000b（初期値）	Hi-Z					
00001b	—	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	—	TIOCA5	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	—	—	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMCI1	TMO3	TMRI2	TMCI2	TMO2	TMO1
00110b	—	PO13	PO15	PO13	PO14	PO15
00111b	—	—	—	—	RTCOUT	POE8#
01001b	—	ADTRG#	—	—	ADTRG0#	ADTRG#
01010b	RXD2 SMISO2 SSCL2	TXD2 SMOSI2 SSDA2	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
01101b	—	—	—	—	MOSIA	MISOA
01111b	SCL0[FM+]	SDA0[FM+]	—	—	SCL2-DS	SDA2-DS
10000b	—	—	CTX1	CRX1-DS	IERXD	IETXD
10001b	—	—	USB0_DPUPE	—	USB0_VBUS	—
10010b	—	—	USB0_OVRCURA	—	USB0_VBUSEN	—
10011b	—	—	—	—	USB0_OVRCURB	—

—：設定しないでください。

表22.8　64ピンTFLGA　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	P14	P15	P16	P17
00000b（初期値）	Hi-Z			
00001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMRI2	TMCI2	TMO2	TMO1
00111b	—	—	RTCOUT	POE8#
01001b	—	—	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	MOSIA	MISOA
01111b	—	—	SCL2-DS	SDA2-DS
10000b	CTX1	CRX1-DS	IERXD	IETXD
10001b	USB0_DPUPE	USB1_DPUPE	USB0_VBUS	USB1_VBUS
10010b	USB0_OVRCURA	—	USB0_VBUSEN	—
10011b	—	—	USB0_OVRCURB	—

—：設定しないでください。

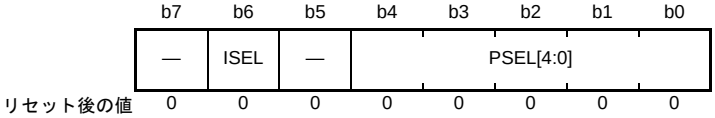
表22.9　64ピンLQFP、48ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	P14	P15	P16	P17
00000b（初期値）	Hi-Z			
00001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
00010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
00011b	TIOCB5	TIOCB2	TIOCB1	TIOCB0
00100b	TCLKA	TCLKB	TCLKC	TCLKD
00101b	TMRI2	TMCI2	TMO2	TMO1
00110b	PO15	PO13	PO14	PO15
00111b	—	—	RTCOUT	POE8#
01001b	—	—	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	MOSIA	MISOA
01111b	—	—	SCL2-DS	SDA2-DS
10000b	CTX1	CRX1-DS	IERXD	IETXD
10001b	USB0_DPUPE	—	USB0_VBUS	—
10010b	USB0_OVRCURA	—	USB0_VBUSEN	—
10011b	—	—	USB0_OVRCURB	—

—：設定しないでください。

22.2.4 P2n 端子機能制御レジスタ（P2nPFS）（n=0 ～ 7）

アドレス　P20PFS 0008 C150h、P21PFS 0008 C151h、P22PFS 0008 C152h、P23PFS 0008 C153h
P24PFS 0008 C154h、P25PFS 0008 C155h、P26PFS 0008 C156h、P27PFS 0008 C157h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.10　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP
端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b（初期値）	Hi-Z							
00001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
00011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
00101b	TMRI0	TMCI0	TMO0	—	TMRI1	—	TMO1	TMCI3
00110b	PO0	PO1	PO2	PO3	PO4	PO5	PO6	PO7
01001b	—	—	—	—	—	ADTRG0#	—	—
01010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—
01101b	—	—	—	—	—	—	MOSIB	RSPCKB
01111b	SDA1	SCL1	—	—	—	—	—	—
10011b	USB0_ID	USB0_EXICEN	USB0_DRPD	USB0_DPUPE	USB0_VBUSEN	USB0_DPRPD	—	—
11000b	—	—	EDREQ0	EDACK0	EDREQ1	EDACK1	—	—
11100b	PIXD4	PIXD5	PIXD6	PIXD7	PIXCLK	HSYNC	—	—

—：設定しないでください。

表22.11　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b（初期値）	Hi-Z							
00001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
00011b	TIOCB3	TIOCA3	TIOCC3	TIOCD3	TIOCB4	TIOCA4	—	—
00101b	TMRI0	TMCI0	TMO0	—	TMRI1	—	TMO1	TMCI3
00110b	PO0	PO1	PO2	PO3	PO4	PO5	PO6	PO7
01001b	—	—	—	—	—	ADTRG0#	—	—
01010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
01011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—
01101b	—	—	—	—	—	—	MOSIB	RSPCKB
10011b	USB0_ID	USB0_EXICEN	USB0_DRPD	USB0_DPUPE	USB0_VBUSEN	USB0_DPRPD	—	—
11000b	—	—	EDREQ0	EDACK0	EDREQ1	EDACK1	—	—

—：設定しないでください。

表22.12　64ピンLQFP、64ピンTFLGA、48ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	P26	P27
00000b（初期値）	Hi-Z	
00001b	MTIOC2A	MTIOC2B
00101b	TMO1	TMCI3
00110b	PO6	PO7
01010b	TXD1 SMOSI1 SSDA1	SCK1
01101b	MOSIB	RSPCKB
10011b	USB0_VBUSEN	—

—：設定しないでください。

22.2.5 P3n 端子機能制御レジスタ（P3nPFS）（n=0 ～ 4）

アドレス　P30PFS 0008 C158h、P31PFS 0008 C159h、P32PFS 0008 C15Ah、P33PFS 0008 C15Bh、P34PFS 0008 C15Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	—	PSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.13　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子				
	P30	P31	P32	P33	P34
00000b（初期値）	Hi-Z				
00001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
00011b	—	—	TIOCC0	TIOCD0	—
00101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
00110b	PO8	PO9	PO10	PO11	PO12
00111b	POE8#	—	RTCOUT	POE3#	POE2#
01010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
01011b	—	CTS1# RTS1# SS1#	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0
01101b	MISOB	SSLB0	—	—	—
10000b	—	—	CTX0	CRX0	—
10011b	USB0_DRPD	USB0_DPUPE	USB0_VBUSEN	—	USB0_DPRPD
11100b	—	—	VSYNC	PCKO	—

—：設定しないでください。

表22.14　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子				
	P30	P31	P32	P33	P34
00000b（初期値）	Hi-Z				
00001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
00011b	—	—	TIOCC0	TIOCD0	—
00101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
00110b	PO8	PO9	PO10	PO11	PO12
00111b	POE8#	—	RTCOUT	POE3#	POE2#
01010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
01011b	—	CTS1# RTS1# SS1#	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0
01101b	MISOB	SSLB0	—	—	—
10000b	—	—	CTX0	CRX0	—
10011b	USB0_DRPD	USB0_DPUPE	USB0_VBUSEN	—	USB0_DPRPD

—：設定しないでください。

表22.15　64ピンLQFP、64ピンTFLGA、48ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	P30	P31
00000b（初期値）	Hi-Z	
00001b	MTIOC4B	MTIOC4D
00101b	TMRI3	TMCI2
00110b	PO8	PO9
00111b	POE8#	—
01010b	RXD1 SMISO1 SSCL1	—
01011b	—	CTS1# RTS1# SS1#
01101b	MISOB	SSLB0
10011b	USB0_DRPD	USB0_DPUPE

—：設定しないでください。

22.2.6 P4n 端子機能制御レジスタ（P4nPFS）（n=0 ～ 7）

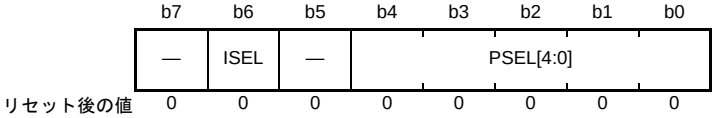
アドレス　P40PFS 0008 C160h、P41PFS 0008 C161h、P42PFS 0008 C162h、P43PFS 0008 C163h
P44PFS 0008 C164h、P45PFS 0008 C165h、P46PFS 0008 C166h、P47PFS 0008 C167h

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

22.2.7　P5n 端子機能制御レジスタ（P5nPFS）（n=0 ～ 2、4 ～ 7）

アドレス　P50PFS 0008 C168h、P51PFS 0008 C169h、P52PFS 0008 C16Ah、P54PFS 0008 C16Ch
P55PFS 0008 C16Dh、P56PFS 0008 C16Eh、P57PFS 0008 C16Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.16　177ピンTFLGA、176ピンLFBGA、176ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子						
	P50	P51	P52	P54	P55	P56	P57
00000b（初期値）	Hi-Z						
00001b	—	—	—	MTIOC4B	MTIOC4D	MTIOC3C	—
00011b	—	—	—	—	—	TIOCA1	—
00101b	—	—	—	TMCI1	TMO3	—	—
01010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	—	—
01011b	—	—	—	CTS2# RTS2# SS2#	—	—	—
01101b	SSLB1	SSLB2	SSLB3	—	—	—	—
10000b	—	—	—	CTX1	CRX1	—	—
10001b	—	—	—	ET_LINKSTA	ET_EXOUT	—	—
11000b	—	—	—	EDACK0	EDREQ0	EDACK1	EDREQ1

—：設定しないでください。

表22.17　145ピンTFLGA、144ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	P50	P51	P52	P54	P55	P56
00000b（初期値）	Hi-Z					
00001b	—	—	—	MTIOC4B	MTIOC4D	MTIOC3C
00011b	—	—	—	—	—	TIOCA1
00101b	—	—	—	TMCI1	TMO3	—
01010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	—
01011b	—	—	—	CTS2# RTS2# SS2#	—	—
01101b	SSLB1	SSLB2	SSLB3	—	—	—
10000b	—	—	—	CTX1	CRX1	—
10001b	—	—	—	ET_LINKSTA	ET_EXOUT	—
11000b	—	—	—	EDACK0	EDREQ0	EDACK1

—：設定しないでください。

表22.18　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子				
	P50	P51	P52	P54	P55
00000b（初期値）	Hi-Z				
00001b	—	—	—	MTIOC4B	MTIOC4D
00101b	—	—	—	TMCI1	TMO3
01010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—
01011b	—	—	—	CTS2# RTS2# SS2#	—
01101b	SSLB1	SSLB2	SSLB3	—	—
10000b	—	—	—	CTX1	CRX1
10001b	—	—	—	ET_LINKSTA	ET_EXOUT
11000b	—	—	—	EDACK0	EDREQ0

—：設定しないでください。

表22.19　64ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	P54	P55
00000b（初期値）	Hi-Z	
00001b	MTIOC4B	MTIOC4D
00101b	TMCI1	TMO3
10000b	CTX1	CRX1

—：設定しないでください。

22.2.8 P6n 端子機能制御レジスタ（P6nPFS）（n=0、1、6、7）

アドレス　P60PFS 0008 C170h、P61PFS 0008 C171h、P66PFS 0008 C176h、P67PFS 0008 C177h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	—	PSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.20　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子	
	P66	P67
00000b（初期値）	Hi-Z	
01010b	—	—
01011b	—	—
10000b	CTX2（注1）	CRX2（注1）

—：設定しないでください。

注1.　ROM容量1Mバイト以下の製品にはありません。

22.2.9 P7n 端子機能制御レジスタ（P7nPFS）（n=0 ～ 7）

アドレス　P70PFS 0008 C178h、P71PFS 0008 C179h、P72PFS 0008 C17Ah、P73PFS 0008 C17Bh
P74PFS 0008 C17Ch、P75PFS 0008 C17Dh、P76PFS 0008 C17Eh、P77PFS 0008 C17Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

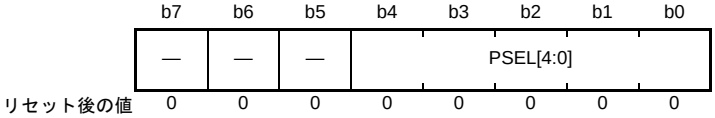
表22.21　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP
端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子						
	P71	P72	P73	P74	P75	P76	P77
00000b（初期値）	Hi-Z						
00110b	—	—	PO16	PO19	PO20	PO22	PO23
01010b	—	—	—	—	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
01011b	—	—	—	CTS11# RTS11 SS11#	—	—	—
10001b	ET_MDIO	ET_MDC	ET_WOL	ET_ERXD1	ET_ERXD0	ET_RX_CLK	ET_RX_ER
10010b	—	—	—	RMII_RXD1	RMII_RXD0	REF50CK	RMII_RX_ER

—：設定しないでください。

22.2.10　P8n 端子機能制御レジスタ（P8nPFS）（n=0 ～ 3、6、7）

アドレス　P80PFS 0008 C180h、P81PFS 0008 C181h、P82PFS 0008 C182h、P83PFS 0008 C183h
P86PFS 0008 C186h、P87PFS 0008 C187h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 22.22　177 ピン TFLGA、176 ピン LFBGA、176 ピン LQFP、145 ピン TFLGA、144 ピン LQFP 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子					
	P80	P81	P82	P83	P86	P87
00000b（初期値）	Hi-Z					
00001b	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	—	—
00011b	—	—	—	—	TIOCA0	TIOCA2
00110b	PO26	PO27	PO28	—	—	—
01010b	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10	—	—	—
01011b	—	—	—	CTS10# RTS10# SS10#	—	—
10001b	ET_TX_EN	ET_ETXD0	ET_ETXD1	ET_CRS	—	—
10010b	RMII_TXD_EN	RMII_TXD0	RMII_TXD1	RMII_CRS_DV	—	—
11000b	EDREQ0	EDACK0	EDREQ1	EDACK1	—	—
11100b	—	—	—	—	PIXD1	PIXD2

—：設定しないでください。

22.2.11　P9n 端子機能制御レジスタ（P9nPFS）（n=0 ～ 3）

アドレス　P90PFS 0008 C188h、P91PFS 0008 C189h、P92PFS 0008 C18Ah、P93PFS 0008 C18Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	—	—	PSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

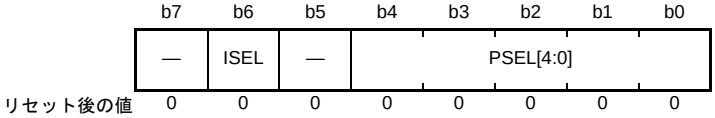
表22.23　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	P90	P91	P92	P93
00000b（初期値）	Hi-Z			
01010b	TXD7 SMOSI7 SSDA7	SCK7	RXD7 SMISO7 SSCL7	—
01011b	—	—	—	CTS7# RTS7# SS7#

—：設定しないでください。

22.2.12 PAn 端子機能制御レジスタ（PAnPFS）（n=0 ～ 7）

アドレス　PA0PFS 0008 C190h、PA1PFS 0008 C191h、PA2PFS 0008 C192h、PA3PFS 0008 C193h
PA4PFS 0008 C194h、PA5PFS 0008 C195h、PA6PFS 0008 C196h、PA7PFS 0008 C197h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.24　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP、100ピンLQFP
端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
00000b（初期値）	Hi-Z							
00001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
00010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
00011b	TIOCA0	TIOCB0	—	TIOCD0	TIOCA1	TIOCB1	TIOCA2	TIOCB2
00100b	—	—	—	TCLKB	—	—	—	—
00101b	—	—	—	—	TMRI0	—	TMCI3	—
00110b	PO16	PO17	PO18	PO19	PO20	PO21	PO22	PO23
00111b	—	—	—	—	—	—	POE2#	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
01011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10001b	ET_TX_EN	ET_WOL	—	ET_MDIO	ET_MDC	ET_LINKSTA	ET_EXOUT	ET_WOL
10010b	RMII_TXD_EN	—	—	—	—	—	—	—

—：設定しないでください。

表22.25　64ピンLQFP、64ピンTFLGA　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子				
	PA0	PA1	PA3	PA4	PA6
00000b（初期値）	Hi-Z				
00001b	MTIOC4A	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TIOCA0	TIOCB0	TIOCD0	TIOCA1	TIOCA2
00100b	—	—	TCLKB	—	—
00101b	—	—	—	TMRI0	TMCI3
00110b	PO16	PO17	PO19	PO20	PO22
00111b	—	—	—	—	POE2#
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA1	SSLA2	—	SSLA0	MOSIA

—：設定しないでください。

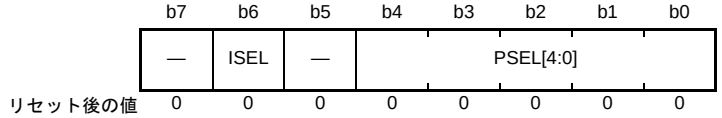
表22.26　48ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	PA1	PA3	PA4	PA6
00000b（初期値）	Hi-Z			
00001b	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TIOCB0	TIOCD0	TIOCA1	TIOCA2
00100b	—	TCLKB	—	—
00101b	—	—	TMRI0	TMCI3
00110b	PO17	PO19	PO20	PO22
00111b	—	—	—	POE2#
01010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA2	—	SSLA0	MOSIA

—：設定しないでください。

22.2.13 PBn 端子機能制御レジスタ （PBnPFS）（n=0 ～ 7）

アドレス　PB0PFS 0008 C198h、PB1PFS 0008 C199h、PB2PFS 0008 C19Ah、PB3PFS 0008 C19Bh
PB4PFS 0008 C19Ch、PB5PFS 0008 C19Dh、PB6PFS 0008 C19Eh、PB7PFS 0008 C19Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.27　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP
端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b（初期値）	Hi-Z							
00001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCC3	TIOCD3	TIOCA4	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKC	TCLKD	—	—	—	—
00101b	—	TMCI0	—	TMO0	—	TMRI1	—	—
00110b	PO24	PO25	PO26	PO27	PO28	PO29	PO30	PO31
00111b	—	—	—	POE3#	—	POE1#	—	—
01010b	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4	CTS4# RTS4# SS4#	SCK4	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
01101b	RSPCKA	—	—	—	—	—	—	—
10001b	ET_ERXD1	ET_ERXD0	ET_RX_CLK	ET_RX_ER	ET_TX_EN	ET_ETXD0	ET_ETXD1	ET_CRS
10010b	RMII_RXD1	RMII_RXD0	REF50CK	RMII_RX_ER	RMII_TXD_EN	RMII_TXD0	RMII_TXD1	RMII_CRS_DV

—：設定しないでください。

表22.28　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b（初期値）	Hi-Z							
00001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCC3	TIOCD3	TIOCA4	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKC	TCLKD	—	—	—	—
00101b	—	TMCI0	—	TMO0	—	TMRI1	—	—
00110b	PO24	PO25	PO26	PO27	PO28	PO29	PO30	PO31
00111b	—	—	—	POE3#	—	POE1#	—	—
01010b	—	—	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
01101b	RSPCKA	—	—	—	—	—	—	—
10001b	ET_ERXD1	ET_ERXD0	ET_RX_CLK	ET_RX_ER	ET_TX_EN	ET_ETXD0	ET_ETXD1	ET_CRS
10010b	RMII_RXD1	RMII_RXD0	REF50CK	RMII_RX_ER	RMII_TXD_EN	RMII_TXD0	RMII_TXD1	RMII_CRS_DV

—：設定しないでください。

表22.29　64ピンLQFP、64ピンTFLGA　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	PB0	PB1	PB3	PB5	PB6	PB7
00000b（初期値）	Hi-Z					
00001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A	MTIOC3D	MTIOC3B
00010b	—	MTIOC4C	MTIOC4A	MTIOC1B	—	—
00011b	TIOCA3	TIOCB3	TIOCD3	TIOCB4	TIOCA5	TIOCB5
00100b	—	—	TCLKD	—	—	—
00101b	—	TMCI0	TMO0	TMRI1	—	—
00110b	PO24	PO25	PO27	PO29	PO30	PO31
00111b	—	—	POE3#	POE1#	—	—
01010b	—	—	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—	—	—
01101b	RSPCKA	—	—	—	—	—

—：設定しないでください。

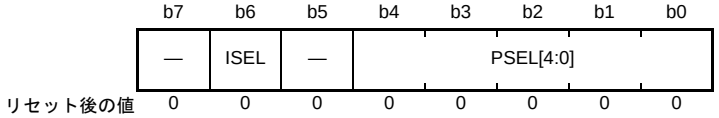
表22.30　48ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	PB0	PB1	PB3	PB5
00000b（初期値）	Hi-Z			
00001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A
00010b	—	MTIOC4C	MTIOC4A	MTIOC1B
00011b	TIOCA3	TIOCB3	TIOCD3	TIOCB4
00100b	—	—	TCLKD	—
00101b	—	TMCI0	TMO0	TMRI1
00110b	PO24	PO25	PO27	PO29
00111b	—	—	POE3#	POE1#
01010b	—	—	—	SCK9
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—
01101b	RSPCKA	—	—	—

—：設定しないでください。

22.2.14 PCn 端子機能制御レジスタ（PCnPFS）（n=0 ～ 7）

アドレス　PC0PFS 0008 C1A0h、PC1PFS 0008 C1A1h、PC2PFS 0008 C1A2h、PC3PFS 0008 C1A3h
PC4PFS 0008 C1A4h、PC5PFS 0008 C1A5h、PC6PFS 0008 C1A6h、PC7PFS 0008 C1A7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表22.31　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP
端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b（初期値）	Hi-Z							
00001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKC	TCLKD	TCLKA	TCLKB	TIOCC6	TIOCD6	TIOCA6	TIOCB6
00100b	—	—	—	—	TCLKE	TCLKF	—	—
00101b	—	—	—	—	TMCI1	TMRI2	TMCI2	TMO2
00110b	PO17	PO18	PO21	PO24	PO25	PO29	PO30	PO31
00111b	—	—	—	—	POE0#	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
01111b	SCL3	SDA3	—	—	—	—	—	—
10000b	—	—	IERXD	IETXD	—	—	—	—
10001b	ET_ERXD3	ET_ERXD2	ET_RX_DV	ET_TX_ER	ET_TX_CLK	ET_ETXD2	ET_ETXD3	ET_COL

—：設定しないでください。

表22.32　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b（初期値）	Hi-Z							
00001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKC	TCLKD	TCLKA	TCLKB	—	—	—	—
00101b	—	—	—	—	TMCI1	TMRI2	TMCI2	TMO2
00110b	PO17	PO18	PO21	PO24	PO25	PO29	PO30	PO31
00111b	—	—	—	—	POE0#	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10000b	—	—	IERXD	IETXD	—	—	—	—
10001b	ET_ERXD3	ET_ERXD2	ET_RX_DV	ET_TX_ER	ET_TX_CLK	ET_ETXD2	ET_ETXD3	ET_COL

—：設定しないでください。

表22.33　64ピンTFLGA　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子				
	PC2	PC3	PC4	PC5	PC6
00000b（初期値）	Hi-Z				
00001b	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C
00010b	—	—	MTCLKC	MTCLKD	MTCLKA
00011b	TCLKA	TCLKB	—	—	—
00101b	—	—	TMCI1	TMRI2	TMCI2
00110b	PO21	PO24	PO25	PO29	PO30
00111b	—	—	POE0#	—	—
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	—	—
01011b	—	—	CTS8# RTS8# SS8#	—	—
01101b	SSLA3	—	SSLA0	RSPCKA	MOSIA
01111b	SCL2	SDA2	—	—	—
10000b	IERXD	IETXD	—	—	—
10011b	—	—	USB0_DPRPD	USB0_ID	USB0_EXICEN

—：設定しないでください。

表22.34　64ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	PC2	PC3	PC4	PC5	PC6	PC7
00000b（初期値）	Hi-Z					
00001b	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	TCLKA	TCLKB	—	—	—	—
00101b	—	—	TMCI1	TMRI2	TMCI2	TMO2
00110b	PO21	PO24	PO25	PO29	PO30	PO31
00111b	—	—	POE0#	—	—	—
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	—	—	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10000b	IERXD	IETXD	—	—	—	—
10011b	—	—	USB0_DPRPD	USB0_ID	USB0_EXICEN	—

—：設定しないでください。

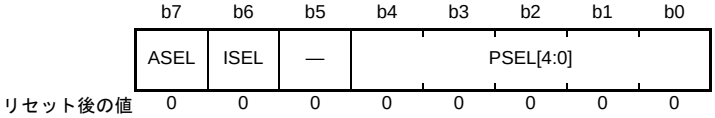
表22.35　48ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	PC4	PC5	PC6	PC7
00000b（初期値）	Hi-Z			
00001b	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00101b	TMCI1	TMRI2	TMCI2	TMO2
00110b	PO25	PO29	PO30	PO31
00111b	POE0#	—	—	—
01010b	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
01011b	CTS8# RTS8# SS8#	—	—	—
01101b	SSLA0	RSPCKA	MOSIA	MISOA
10011b	USB0_DPRPD	USB0_ID	USB0_EXICEN	—

—：設定しないでください。

22.2.15 PDn 端子機能制御レジスタ（PDnPFS）（n=0 ～ 7）

アドレス　PD0PFS 0008 C1A8h、PD1PFS 0008 C1A9h、PD2PFS 0008 C1AAh、PD3PFS 0008 C1ABh
PD4PFS 0008 C1ACh、PD5PFS 0008 C1ADh、PD6PFS 0008 C1AEh、PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

表22.36　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP
端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b（初期値）	Hi-Z							
00001b	—	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
00011b	TIOCA7	TIOCB7	TIOCA8	TIOCB8	—	—	—	—
00100b	—	TCLKG	—	TCLKH	—	—	—	—
00111b	—	—	—	POE8#	POE3#	POE2#	POE1#	POE0#
01101b	—	MOSIC	MISOC	RSPCKC	SSLC0	SSLC1	SSLC2	SSLC3
10000b	—	CTX0	CRX0	—	—	—	—	—

—：設定しないでください。

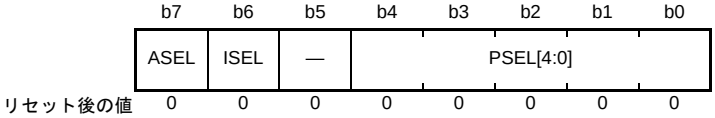
表22.37　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子						
	PD1	PD2	PD3	PD4	PD5	PD6	PD7
00000b（初期値）	Hi-Z						
00001b	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
00111b	—	—	POE8#	POE3#	POE2#	POE1#	POE0#
10000b	CTX0	CRX0	—	—	—	—	—

—：設定しないでください。

22.2.16 PEn 端子機能制御レジスタ（PEnPFS）（n=0 ～ 7）

アドレス　PE0PFS 0008 C1B0h、PE1PFS 0008 C1B1h、PE2PFS 0008 C1B2h、PE3PFS 0008 C1B3h
PE4PFS 0008 C1B4h、PE5PFS 0008 C1B5h、PE6PFS 0008 C1B6h、PE7PFS 0008 C1B7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	ASEL	アナログ入力機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する	R/W

表22.38　177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP
端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
00000b（初期値）	Hi-Z							
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
00010b	—	—	—	—	MTIOC1A	MTIOC2B	—	—
00011b	TIOCC9	TIOCD9	TIOCA9	TIOCB9	TIOCA10	TIOCB10	TIOCA11	TIOCB11
00110b	—	PO18	PO23	PO26	PO28	—	—	—
00111b	—	—	—	POE8#	—	—	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSSL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
01101b	SSLB1	SSLB2	SSLB3	MISOB	SSLB0	RSPCKB	MOSIB	MISOB
01110b	—	RSPCKB	MOSIB	—	—	—	—	—
10001b	—	—	—	ET_ERXD3	ET_ERXD2	ET_RX_CLK	—	—
10010b	—	—	—	—	—	REF50CK	—	—

—：設定しないでください。

表22.39　100ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
00000b（初期値）	Hi-Z							
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
00010b	—	—	—	—	MTIOC1A	MTIOC2B	—	—
00110b	—	PO18	PO23	PO26	PO28	—	—	—
00111b	—	—	—	POE8#	—	—	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSSL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
01101b	SSLB1	SSLB2	SSLB3	MISOB	SSLB0	RSPCKB	MOSIB	MISOB
01110b	—	RSPCKB	MOSIB	—	—	—	—	—
10001b	—	—	—	ET_ERXD3	ET_ERXD2	ET_RX_CLK	—	—
10010b	—	—	—	—	—	REF50CK	—	—

—：設定しないでください。

表22.40　64ピンLQFP、64ピンTFLGA　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
00000b（初期値）	Hi-Z					
00001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C
00010b	—	—	—	—	MTIOC1A	MTIOC2B
00110b	—	PO18	PO23	PO26	PO28	—
00111b	—	—	—	POE8#	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—
01101b	SSLB1	SSLB2	SSLB3	MISOB	SSLB0	RSPCKB
01110b	—	RSPCKB	MOSIB	—	—	—

—：設定しないでください。

表22.41　48ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子			
	PE1	PE2	PE3	PE4
00000b（初期値）	Hi-Z			
00001b	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D
00010b	—	—	—	MTIOC1A
00110b	PO18	PO23	PO26	PO28
00111b	—	—	POE8#	—
01100b	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—
01101b	SSLB2	SSLB3	MISOB	SSLB0
01110b	RSPCKB	MOSIB	—	—

—：設定しないでください。

22.2.17　PFn 端子機能制御レジスタ（PFnPFS）（n=0 ～ 2、5）

アドレス　PF0PFS 0008 C1B8h、PF1PFS 0008 C1B9h、PF2PFS 0008 C1BAh、PF5PFS 0008 C1BDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	—	PSEL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

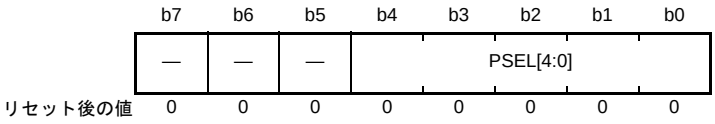
表22.42　177ピンTFLGA、176ピンLFBGA、176ピンLQFP　端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子		
	PF0	PF1	PF2
00000b （初期値）	Hi-Z		
01010b	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1

—：設定しないでください。

22.2.18 PJ3 端子機能制御レジスタ（PJ3PFS）

アドレス PJ3PFS 0008 C1D3h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 22.43　177 ピン TFLGA、176 ピン LFBGA、176 ピン LQFP、145 ピン TFLGA、144 ピン LQFP、100 ピン LQFP 端子入出力機能レジスタ設定

PSEL[4:0] ビット設定値	端子
	PJ3
00000b（初期値）	Hi-Z
00001b	MTIOC3C
01010b	CTS6# RTS6# SS6#
01011b	CTS0# RTS0# SS0#

22.2.19 CS 出力許可レジスタ（PFCSE）

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0許可ビット	0：CSn#出力禁止 1：CSn#出力許可 （n=0～7）	R/W
b1	CS1E	CS1許可ビット		R/W
b2	CS2E	CS2許可ビット		R/W
b3	CS3E	CS3許可ビット		R/W
b4	CS4E	CS4許可ビット		R/W
b5	CS5E	CS5許可ビット		R/W
b6	CS6E	CS6許可ビット		R/W
b7	CS7E	CS7許可ビット		R/W

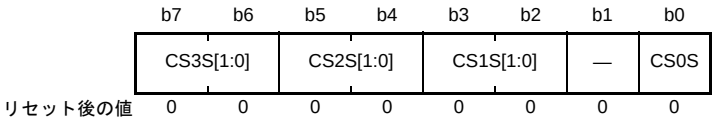
CSnE ビット（CSn 許可ビット）(n=0 ～ 7)

対応する CSn# 出力の許可 / 禁止を選択します。

CSn# を出力する場合には、対応する PFCSE.CSnE ビットを “1” にしてください。

22.2.20　CS 出力端子選択レジスタ 0（PFCSS0）

アドレス　0008 C102h



ビット	シンボル	ビット名	機能	R/W
b0	CS0S	CS0#出力端子選択ビット	0：P60 を CS0#出力端子として設定 1：PC7 を CS0#出力端子として設定	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CS1S[1:0]	CS1#出力端子選択ビット	b3 b2 0 0：P61 を CS1#出力端子として設定 0 1：P71 を CS1#出力端子として設定 1 x：PC6 を CS1#出力端子として設定	R/W
b5-b4	CS2S[1:0]	CS2#出力端子選択ビット	b5 b4 0 0：P62 を CS2#出力端子として設定 0 1：P72 を CS2#出力端子として設定 1 x：PC5 を CS2#出力端子として設定	R/W
b7-b6	CS3S[1:0]	CS3#出力端子選択ビット	b7 b6 0 0：P63 を CS3#出力端子として設定 0 1：P73 を CS3#出力端子として設定 1 x：PC4 を CS3#出力端子として設定	R/W

x：Don’t care

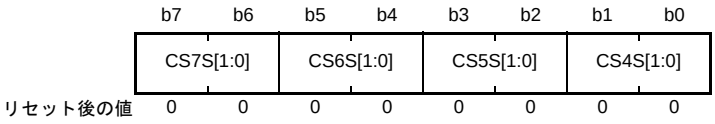
CS0S ビット（CS0# 出力端子選択ビット）

CSnS[1:0] ビット（CSn# 出力端子選択ビット）(n=1 ～ 3)

CSn# 出力許可時（PFCSE.CSnE ビット =“1”）、CSn# の出力端子を選択します。

22.2.21　CS 出力端子選択レジスタ 1（PFCSS1）

アドレス　0008 C103h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CS4S[1:0]	CS4#出力端子選択ビット	b1 b0 0 0：P64 を CS4#出力端子として設定 0 1：P74 を CS4#出力端子として設定 1 x：P24 を CS4#出力端子として設定	R/W
b3-b2	CS5S[1:0]	CS5#出力端子選択ビット	b3 b2 0 0：P65 を CS5#出力端子として設定 0 1：P75 を CS5#出力端子として設定 1 x：P25 を CS5#出力端子として設定	R/W
b5-b4	CS6S[1:0]	CS6#出力端子選択ビット	b5 b4 0 0：P66 を CS6#出力端子として設定 0 1：P76 を CS6#出力端子として設定 1 x：P26 を CS6#出力端子として設定	R/W
b7-b6	CS7S[1:0]	CS7#出力端子選択ビット	b7 b6 0 0：P67 を CS7#出力端子として設定 0 1：P77 を CS7#出力端子として設定 1 x：P27 を CS7#出力端子として設定	R/W

x：Don’t care

CSnS[1:0] ビット（CSn# 出力端子選択ビット）(n=4 ～ 7)

CSn# 出力許可時（PFCSE.CSnE ビット =“1”）、CSn# の出力端子を選択します。

22.2.22　アドレス出力許可レジスタ 0（PFAOE0）

アドレス　0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0：A8出力禁止 1：A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0：A9出力禁止 1：A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0：A10出力禁止 1：A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0：A11出力禁止 1：A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0：A12出力禁止 1：A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0：A13出力禁止 1：A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0：A14出力禁止 1：A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0：A15出力禁止 1：A15出力許可	R/W

22.2.23　アドレス出力許可レジスタ 1（PFAOE1）

アドレス　0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0：A16出力禁止 1：A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0：A17出力禁止 1：A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0：A18出力禁止 1：A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0：A19出力禁止 1：A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0：A20出力禁止 1：A20出力許可	R/W
b5	A21E	アドレスA21出力許可ビット	0：A21出力禁止 1：A21出力許可	R/W
b6	A22E	アドレスA22出力許可ビット	0：A22出力禁止 1：A22出力許可	R/W
b7	A23E	アドレスA23出力許可ビット	0：A23出力禁止 1：A23出力許可	R/W

22.2.24　外部バス制御レジスタ 0（PFBCR0）

アドレス　0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	WR32BC32E	WR1BC1E	DH32E	DHE	—	—	ADRHMS	ADRLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0：PA0～PA7をI/Oポートとして設定 1：PA0～PA7を外部アドレスバスA0～A7として設定	R/W
b1	ADRHMS	A16～A23出力許可ビット	0：PC0～PC7を外部アドレスバスA16～A23として設定 1：P90～P97を外部アドレスバスA16～A23として設定	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	D8～D15出力許可ビット	0：PE0～PE7をI/Oポートとして設定 1：PE0～PE7を外部データバスD8～D15として設定	R/W
b5	DH32E	D16～D31出力許可ビット	0：PG0～PG7、P90～P97をI/Oポートとして設定 1：PG0～PG7、P90～P97を外部データバスD16～D31として設定	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0：P51をI/Oポートとして設定 1：P51をWR1#またはBC1#として設定	R/W
b7	WR32BC32E	WR3#/BC3#出力許可ビット WR2#/BC2#出力許可ビット	0：P56、P57をI/O ポートとして設定 1：P56をWR#2またはBC2#として設定、 P57をWR#3またはBC3#として設定	R/W

22.2.25　外部バス制御レジスタ 1（PFBCR1）

アドレス　0008 C107h

	b7	b6	b5	b4	b3	b2	b1	b0
	SDCLKE	DQM1E	—	MDSDE	—	ALEOE	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT選択ビット	b1 b0 0 0：P57をWAIT#入力端子として設定 0 1：P55をWAIT#入力端子として設定 1 0：PC5をWAIT#入力端子として設定 1 1：P51をWAIT#入力端子として設定	R/W
b2	ALEOE	ALE出力許可ビット	0：P54をI/Oポートとして設定 1：P54をALE端子として設定	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MDSDE	SDRAM端子許可ビット（CKE、SDCS#、RAS#、CAS#、WE#、DQM0出力）	0：CKE、SDCS#、RAS#、CAS#、WE#、DQM0出力無効 1：CKE、SDCS#、RAS#、CAS#、WE#、DQM0出力有効	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	DQM1E	DQM1許可ビット	b4 b6 0 x：DQM1出力無効 1 0：DQM1出力無効 1 1：DQM1出力有効	R/W
b7	SDCLKE	SDCLK許可ビット	0：SDCLK出力無効 1：SDCLK出力有効	R/W

x：Don’t care

WAITS[1:0]（WAIT 選択ビット）

外部バス有効時、WAITS[1:0] ビットで指定したポートは WAIT# 端子になります。ただし、指定したポートを WAIT# 端子として使用しない場合は、CSn モードレジスタの外部ウェイト許可ビット（CSnMOD.EWENB）を “0”（外部ウェイト禁止）に設定することで、汎用入力ポートとして使用することが可能です。

指定した WAIT# 端子を WAIT 入力、汎用入力ポートのいずれとしても使用しない場合は、同端子をプルアップ / プルダウンしてください。

MDSDE ビット（SDRAM 端子許可ビット）

SDRAM 端子（CKE、SDCS#、RAS#、CAS#、WE#、DQM0）の出力許可 / 禁止を選択します。

DQM1 端子は、MDSDE ビットを “1” にした状態で、DQM1E ビットにより個別に出力許可 / 禁止が選択可能です。SDCLK 端子は、MDSDE ビットの設定によらず、独立して SDCLKE ビットにより独立して出力許可 / 禁止が選択可能です。

DQM1E ビット（DQM1 許可ビット）

DQM1 端子の出力許可 / 禁止を選択します。

MDSDE ビットを “1” にすると DQM1E ビットの設定が有効になります。MDSDE ビットを “0” にすると DQM1E ビットの設定は無視されます。

SDCLKE ビット（SDCLK 許可ビット）

SDCLK 端子の出力許可 / 禁止を選択します。

SDCLK ビットの設定を変更する場合は、SDCLK の設定をクロック停止状態にしてから変更してください。

22.2.26　イーサネット制御レジスタ（PFENET）

アドレス　0008 C10Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PHYMODE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PHYMODE	イーサネットモード設定ビット	0：RMIIモード 1：MIIモード	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PHYMODE ビット（イーサネットモード設定ビット）

ETHERC の PHY モードを設定します。

端子機能選択ビット（PmnPFS.PSEL[4:0]）で設定したモードと同じモードに設定してください。PmnPFS.PSEL[4:0] ビットで RMII モードの信号を設定した場合には PHYMODE ビットを “0”（RMII モード）に、PmnPFS.PSEL[4:0] ビットで MII モードの信号を設定した場合には、PHYMODE ビットを “1”（MII モード）にしてください。

22.2.27　USB0 制御レジスタ（PFUSB0）

アドレス　0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PDHZS	PUPHZS	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PUPHZS	PUPHZ選択ビット	0：USB0_DPUPE端子＝High出力/Low出力 （外部プルアップ制御信号） 1：USB0_DPUPE端子＝High出力/Hi-Z状態 （USB0_DP端子プルアップ出力）	R/W
b3	PDHZS	PDHZ選択ビット	0：USB0_DPRPD端子＝High出力/Low出力 USB0_DRPD端子＝High出力/Low出力 （外部プルダウン制御信号） 1：USB0_DPRPD端子＝Low出力/Hi-Z状態 USB0_DRPD端子＝Low出力/Hi-Z状態 （USB0_DP、USB0_DM端子プルダウン出力）	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ポートモードレジスタ（PMR）、Pmn 端子機能選択レジスタ（PmnPFS）の設定により、DPUPE 端子をアサインした状態で、PUPHZS ビット、PDHZS ビットの機能が有効になります。

PUPHZS ビット（PUPHZ 選択ビット）

USB0_DPUPE 端子の出力モード（外部プルアップ制御 / 端子プルアップ出力）を選択します。

PUPHZS ビットを ”0” にすると、外部プルアップ IC 用の制御信号出力モードになり、USB0_DPUPE 端子からは High アクティブの制御信号が出力されます。USB0_DP 端子プルアップ時、USB0_DPUPE 端子は High 出力状態になります。USB0_DP 端子プルアップ解除時、USB0_DPUPE 端子は Low 出力状態になります。

PUPHZS ビットを ”1” にすると、USB0_DP 端子を直接プルアップする出力モードになります。USB0_DP 端子プルアップ時、USB0_DPUPE 端子は High 出力状態になります。USB0_DP 端子プルアップ解除時、USB0_DPUPE 端子は Hi-Z 状態になります。

PDHZS ビット（PDHZ 選択ビット）

USB0_DPRPD 端子、USB0_DRPD 端子の出力モード（外部プルダウン制御 / 端子プルダウン出力）を選択します。

PDHZS ビットを ”0” にすると、外部プルダウン IC 用の制御信号出力モードになり、USB0_DPRPD 端子、USB0_DRPD 端子からは High アクティブの制御信号が出力されます。USB0_DP 端子、USB0_DM 端子プルダウン時、USB0_DPRPD 端子、USB0_DRPD 端子は High 出力状態になります。USB0_DP 端子、USB0_DM 端子プルダウン解除時、USB0_DPRPD 端子、USB0_DRPD 端子は Low 出力状態になります。

PDHZS ビットを ”1” に設定すると、USB0_DP 端子、USB0_DM 端子を直接プルダウンする出力モードになります。USB0_DP 端子、USB0_DM 端子プルダウン時、USB0_DPRPD 端子、USB0_DRPD 端子は Low 出力状態になります。USB0_DP 端子、USB0_DM 端子プルダウン解除時、USB0_DPRPD 端子、USB0_DRPD 端子は Hi-Z 状態になります。

22.2.28　USB1 制御レジスタ（PFUSB1）

アドレス　0008 C115h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PUPHZS	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PUPHZS	PUPHZ選択ビット	0：USB1_DPUPE端子＝High出力/Low出力 （外部プルアップ制御信号） 1：USB1_DPUPE端子＝High出力/Hi-Z状態 （USB1_DP端子プルアップ出力）	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFUSB1 レジスタは、USB1 に関する入出力端子の設定をするレジスタです。

端子モードレジスタ（PMR）、Pmn 端子機能制御レジスタ（PmnPFS）の設定により、DPUPE 端子をアサインした状態で、PUPHZS ビットの機能が有効になります。

PUPHZS ビット（PUPHZ 選択ビット）

USB1_DPUPE 端子の出力モード（外部プルアップ制御 / 端子プルアップ出力）を選択します。

PUPHZS ビットを ”0” にすると、外部プルアップ IC 用の制御信号出力モードになり、USB1_DPUPE 端子からは High アクティブの制御信号が出力されます。USB1_DP 端子プルアップ時、USB1_DPUPE 端子は High 出力状態になります。USB1_DP 端子プルアップ解除時、USB1_DPUPE 端子は Low 出力状態になります。

PUPHZS ビットを ”1” にすると、USB1_DP 端子を直接プルアップする出力モードになります。USB1_DP 端子プルアップ時、USB1_DPUPE 端子は High 出力状態になります。USB1_DP 端子プルアップ解除時、USB1_DPUPE 端子は Hi-Z 状態になります。

22.3　外部バスインタフェース設定方法

外部バスインタフェースを使用する場合は、MPC のレジスタを**表 22.44** のとおりに設定して、システムコントロールレジスタ 0 の外部バス有効ビット（SYSCR0.EXBE）を “1” にしてください。

表 22.44 に各ポートの外部バスインタフェース設定方法を示します。

該当する MPC のレジスタの詳細は、**「22.2　レジスタの説明」**を参照してください。

表 22.44　外部バスインタフェース設定方法 (1 / 3)

ポート	出力信号名	MPC のレジスタの設定		
		177 ピン、176 ピン	145 ピン、144 ピン	100 ピン
P24	CS4#	PFCSE.CS4E=1、PFCSS1.CS4S[1:0]=10/11		
P25	CS5#	PFCSE.CS5E=1、PFCSS1.CS5S[1:0]=10/11		
P26	CS6#	PFCSE.CS6E=1、PFCSS1.CS6S[1:0]=10/11		
P27	CS7#	PFCSE.CS7E=1、PFCSS1.CS7S[1:0]=10/11		
P50	WR0# / WR#	—		
P51	WR1# / BC1#	PFBCR0.WR1BC1E=1		
	WAIT#	PFBCR1.WAITS[1:0]=11		
P52	RD#	—		
P53	BCLK	—		
P54	ALE	PFBCR1.ALEOE=1		
P55	WAIT#	PFBCR1.WAITS[1:0]=01		
P56	WR2# / BC2#	PFBCR0.WR32BC32E=1	（ピンなし）	（ピンなし）
P57	WR3# / BC3#	PFBCR0.WR32BC32E=1	（ピンなし）	（ピンなし）
	WAIT#	PFBCR1.WAITS[1:0]=00	（ピンなし）	（ピンなし）
P60	CS0#	PFCSE.CS0E=1、PFCSS0.CS0S=0		（ピンなし）
P61	CS1#	PFCSE.CS1E=1、PFCSS0.CS1S[1:0]=00		（ピンなし）
	SDCS#	PFBCR1.MDSDE=1		（ピンなし）
P62	CS2#	PFCSE.CS2E=1、PFCSS0.CS2S[1:0]=00		（ピンなし）
	RAS#	PFBCR1.MDSDE=1		（ピンなし）
P63	CS3#	PFCSE.CS3E=1、PFCSS0.CS3S[1:0]=00		（ピンなし）
	CAS#	PFBCR1.MDSDE=1		（ピンなし）
P64	CS4#	PFCSE.CS4E=1、PFCSS1.CS4S[1:0]=00		（ピンなし）
	WE#	PFBCR1.MDSDE=1		（ピンなし）
P65	CS5#	PFCSE.CS5E=1、PFCSS1.CS5S[1:0]=00		（ピンなし）
	CKE	PFBCR1.MDSDE=1		（ピンなし）
P66	CS6#	PFCSE.CS6E=1、PFCSS1.CS6S[1:0]=00		（ピンなし）
	DQM0	PFBCR1.MDSDE=1		（ピンなし）
P67	CS7#	PFCSE.CS7E=1、PFCSS1.CS7S[1:0]=00		（ピンなし）
	DQM1	PFBCR1.MDSDE=1		（ピンなし）
P70	SDCLK	PFBCR1.SDCLKE=1		（ピンなし）
P71	CS1#	PFCSE.CS1E=1、PFCSS0.CS1S[1:0]=01		（ピンなし）
P72	CS2#	PFCSE.CS2E=1、PFCSS0.CS2S[1:0]=01		（ピンなし）
P73	CS3#	PFCSE.CS3E=1、PFCSS0.CS3S[1:0]=01		（ピンなし）
P74	CS4#	PFCSE.CS4E=1、PFCSS1.CS4S[1:0]=01		（ピンなし）
P75	CS5#	PFCSE.CS5E=1、PFCSS1.CS5S[1:0]=01		（ピンなし）
P76	CS6#	PFCSE.CS6E=1、PFCSS1.CS6S[1:0]=01		（ピンなし）
P77	CS7#	PFCSE.CS7E=1、PFCSS1.CS7S[1:0]=01		（ピンなし）

表22.44　外部バスインタフェース設定方法 (2 / 3)

ポート	出力信号名	MPCのレジスタの設定		
		177ピン、176ピン	145ピン、144ピン	100ピン
P90	D16	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A16	PFAOE1.A16E=1、PFBCR0.ADRHMS=1		（ピンなし）
P91	D17	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A17	PFAOE1.A17E=1、PFBCR0.ADRHMS=1		（ピンなし）
P92	D18	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A18	PFAOE1.A18E=1、PFBCR0.ADRHMS=1		（ピンなし）
P93	D19	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A19	PFAOE1.A19E=1、PFBCR0.ADRHMS=1		（ピンなし）
P94	D20	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A20	PFAOE1.A20E=1、 PFBCR0.ADRHMS=1	（ピンなし）	（ピンなし）
P95	D21	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A21	PFAOE1.A21E=1、 PFBCR0.ADRHMS=1	（ピンなし）	（ピンなし）
P96	D22	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A22	PFAOE1.A22E=1、 PFBCR0.ADRHMS=1	（ピンなし）	（ピンなし）
P97	D23	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
	A23	PFAOE1.A23E=1、 PFBCR0.ADRHMS=1	（ピンなし）	（ピンなし）
PA0	A0	PFBCR0.ADRLE=1		
	BC0#	PFBCR0.ADRLE=1、CSnMOD.WRMOD=0、SDCCR.EXENB=0 または、PFBCR0.ADRLE=1、CSnMOD.WRMOD=0、SDCCR.EXENB=1、 SDCCR.BSIZE[1:0]=00/10/11		
	DQM2	PFBCR0.ADRLE=1、 SDCCR.EXENB=1、 SDCCR.BSIZE[1:0]=01	（ピンなし）	（ピンなし）
PA1	A1	PFBCR0.ADRLE=1、SDCCR.EXENB=0または、PFBCR0.ADRLE=1、SDCCR.EXENB=1、 SDCCR.BSIZE[1:0]=00/10/11		
	DQM3	PFBCR0.ADRLE=1、 SDCCR.EXENB=1、 SDCCR.BSIZE[1:0]=01	（ピンなし）	（ピンなし）
PA2	A2	PFBCR0.ADRLE=1		
PA3	A3	PFBCR0.ADRLE=1		
PA4	A4	PFBCR0.ADRLE=1		
PA5	A5	PFBCR0.ADRLE=1		
PA6	A6	PFBCR0.ADRLE=1		
PA7	A7	PFBCR0.ADRLE=1		
PB0	A8	PFAOE0.A8E=1		
PB1	A9	PFAOE0.A9E=1		
PB2	A10	PFAOE0.A10E=1		
PB3	A11	PFAOE0.A11E=1		
PB4	A12	PFAOE0.A12E=1		
PB5	A13	PFAOE0.A13E=1		
PB6	A14	PFAOE0.A14E=1		
PB7	A15	PFAOE0.A15E=1		
PC0	A16	PFAOE1.A16E=1、PFBCR0.ADRHMS=0		PFAOE1.A16E=1
PC1	A17	PFAOE1.A17E=1、PFBCR0.ADRHMS=0		PFAOE1.A17E=1

表22.44　外部バスインタフェース設定方法 (3 / 3)

ポート	出力信号名	MPCのレジスタの設定		
		177ピン、176ピン	145ピン、144ピン	100ピン
PC2	A18	PFAOE1.A18E=1、PFBCR0.ADRHMS=0		PFAOE1.A18E=1
PC3	A19	PFAOE1.A19E=1、PFBCR0.ADRHMS=0		PFAOE1.A19E=1
PC4	A20	PFAOE1.A20E=1、PFBCR0.ADRHMS=0		PFAOE1.A20E=1
	CS3#	PFCSE.CS3E=1、PFCSS0.CS3S[1:0]=10/11		
PC5	A21	PFAOE1.A21E=1、PFBCR0.ADRHMS=0		PFAOE1.A21E=1
	CS2#	PFCSE.CS2E=1、PFCSS0.CS2S[1:0]=10/11		
	WAIT#	PFBCR1.WAITS[1:0]=10		
PC6	A22	PFAOE1.A22E=1、PFBCR0.ADRHMS=0		PFAOE1.A22E=1
	CS1#	PFCSE.CS1E=1、PFCSS0.CS1S[1:0]=10/11		
PC7	A23	PFAOE1.A23E=1、PFBCR0.ADRHMS=0		PFAOE1.A23E=1
	CS0#	PFCSE.CS0E=1、PFCSS0.CS0S=1		
PD0	D0[A0/D0]	—		
PD1	D1[A1/D1]	—		
PD2	D2[A2/D2]	—		
PD3	D3[A3/D3]	—		
PD4	D4[A4/D4]	—		
PD5	D5[A5/D5]	—		
PD6	D6[A6/D6]	—		
PD7	D7[A7/D7]	—		
PE0	D8[A8/D8]	PFBCR0.DHE=1		
PE1	D9[A9/D9]	PFBCR0.DHE=1		
PE2	D10[A10/D10]	PFBCR0.DHE=1		
PE3	D11[A11/D11]	PFBCR0.DHE=1		
PE4	D12[A12/D12]	PFBCR0.DHE=1		
PE5	D13[A13/D13]	PFBCR0.DHE=1		
PE6	D14[A14/D14]	PFBCR0.DHE=1		
PE7	D15[A15/D15]	PFBCR0.DHE=1		
PG0	D24	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
PG1	D25	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
PG2	D26	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
PG3	D27	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
PG4	D28	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
PG5	D29	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
PG6	D30	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）
PG7	D31	PFBCR0.DH32E=1	（ピンなし）	（ピンなし）

22.4　使用上の注意事項

22.4.1　端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

(1) 当該端子のポートモードレジスタ（PMR）を “0” にして汎用入出力ポートに設定します。
(2) 周辺機能モジュールモジュールにおいて、当該端子にアサインする入出力信号を設定します。
(3) 書き込みプロテクトレジスタ（PWPR）を設定して、Pmn 端子機能制御レジスタ（PmnPFS）を書き込み有効にします。（m=0 ～ 9、A ～ F、J、n=0 ～ 7）
(4) PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
(5) PWPR.PFSWE ビットを “0” にして、PmnPFS レジスタへの書き込み禁止してください。
(6) 必要に応じて PMR レジスタを “1” にして、選択された端子入出力機能に切り替えます。

22.4.2　MPC レジスタ設定する場合の注意事項

(1) Pmn 端子機能制御レジスタ（PmnPFS）を設定するときは、当該端子の PMR レジスタが “0” の状態で設定してください。当該端子の PMR レジスタが “1” の状態で PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は意図しないパルスが出力されたりする可能性があります。
(2) PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合動作は保証されません。
(3) MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
(4) ポート 0、4、9、D、E は A/D コンバータおよび D/A コンバータのアナログ入出力端子の機能も兼ねています。アナログ入出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ（PMR）の当該ビットを “0” にして、ポート方向レジスタ（PDR）の当該ビットに “0” にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを “1” にしてください。
(5) 時間キャプチャ制御レジスタ y（RTCCRy）(y=0 ～ 2) の時間キャプチャイベント入力端子イネーブルビット（TCEN）は、リセット後の初期値は不定です。不要な入力を禁止するために、同ビットを “0” に設定してください。
(6) ピンマルチされている端子のポートモードレジスタ（PMR）、ポート方向レジスタ（PDR）と、Pmn 端子機能制御レジスタ（PmnPFS）の設定および注意事項を**表 22.45** に示します。端子状態の読み出しは、ASEL ビットが “0” のとき可能です。PSEL[4:0] ビットの変更は、PMR.Bj ビットが “0” のときに行ってください。

表22.45　　レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能（表22.2～表22.43参照）	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x（注1）	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x（注1）	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
時間キャプチャイベント入力端子	0	0	x	0/1	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
外部バス	0	x	0	0	x	PMR.Bnビットを“0”にして、周辺機能を選択しないでください
JTAGインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
FINEインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
EXTAL/XTAL	0	0	x	x（注1）	x	出力バッファをOFFするため、汎用入力ポートに設定してください
XCIN/XCOUT	0	0	x	x（注1）	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x：設定不要

0/1：PmnPFS.ISEL ビットを “0” にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを “1” にすれば、IRQ 端子として機能します（IRQ がピンマルチされている場合）

注1.　PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

注 .　・端子状態の読み出しは、PmnPFS.ASEL ビットが “0” のとき可能です。

・PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが “0” の状態で行ってください。

・RIIC をアサインしたポートは、PCR.Bn ビットを “0” にしてください（RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります）。

・時間キャプチャイベント入力端子を使用しない場合は、同入力の時間キャプチャ制御レジスタ y（RTCCRy）(y=0 ～ 2) の時間キャプチャイベント入力端子イネーブルビット（RTCCRy.TCEN）を “0”（無効）にしてください。なお、リセット後の RTCCRy.TCEN ビットの値は不定です。

・同一端子に複数の外部バス信号を設定しないでください。

22.4.3　　アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ（PMR）の当該ビットを “0”、ポート方向レジスタ（PDR）の当該ビットを “0” にし、当該端子を汎用入力ポートにしてから、Pmn 端子機能制御レジスタの端子機能選択ビット（PmnPFS.ASEL[1:0]）を “1” にしてください。

23. マルチファンクションタイマパルスユニット 2（MTU2a）

23.1 概要

RX63N グループ、RX631 グループは、6 チャネル（MTU0 ～ MTU5）の 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2（MTU）を内蔵しています。

表 23.1 に MTU の仕様を、**表 23.2** に MTU の機能一覧を示します。また、**図 23.1** に MTU のブロック図を示します。

表23.1　MTUの仕様

項目	内容
パルス入出力	最大16本
パルス入力	3本
カウントクロック	チャネルごとに8または7種類（MTU5は4種類）
設定可能動作	【MTU0～4】 • コンペアマッチによる波形出力 • インプットキャプチャ機能（ノイズフィルタ設定機能） • カウンタクリア動作 • 複数のタイマカウンタ（TCNT）への同時書き込み • コンペアマッチ/インプットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大12相のPWM出力
	【MTU0、3、4】 • バッファ動作を設定可能 • 相補PWM、リセット同期PWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で、2種類（チョッピング、レベル）の波形出力が選択可能
	【MTU1、2】 • 独立に位相計数モードを設定可能 • カスケード接続動作
	【MTU3、4】 • 連動動作による相補PWM、リセットPWM3相のポジ、ネガ計6層の出力が可能
	【MTU5】 • デッドタイム補償用カウンタ機能
相補PWMモード	• カウンタの山/谷での割り込み • A/Dコンバータの変換スタートトリガを間引き機能
割り込み要因	28種類
バッファ動作	レジスタデータの自動転送
トリガ生成	プログラマブルパルスジェネレータ（PPG）の出力トリガを生成可能
	A/Dコンバータの変換スタートトリガを生成可能
消費電力低減機能	モジュールストップ状態への設定が可能

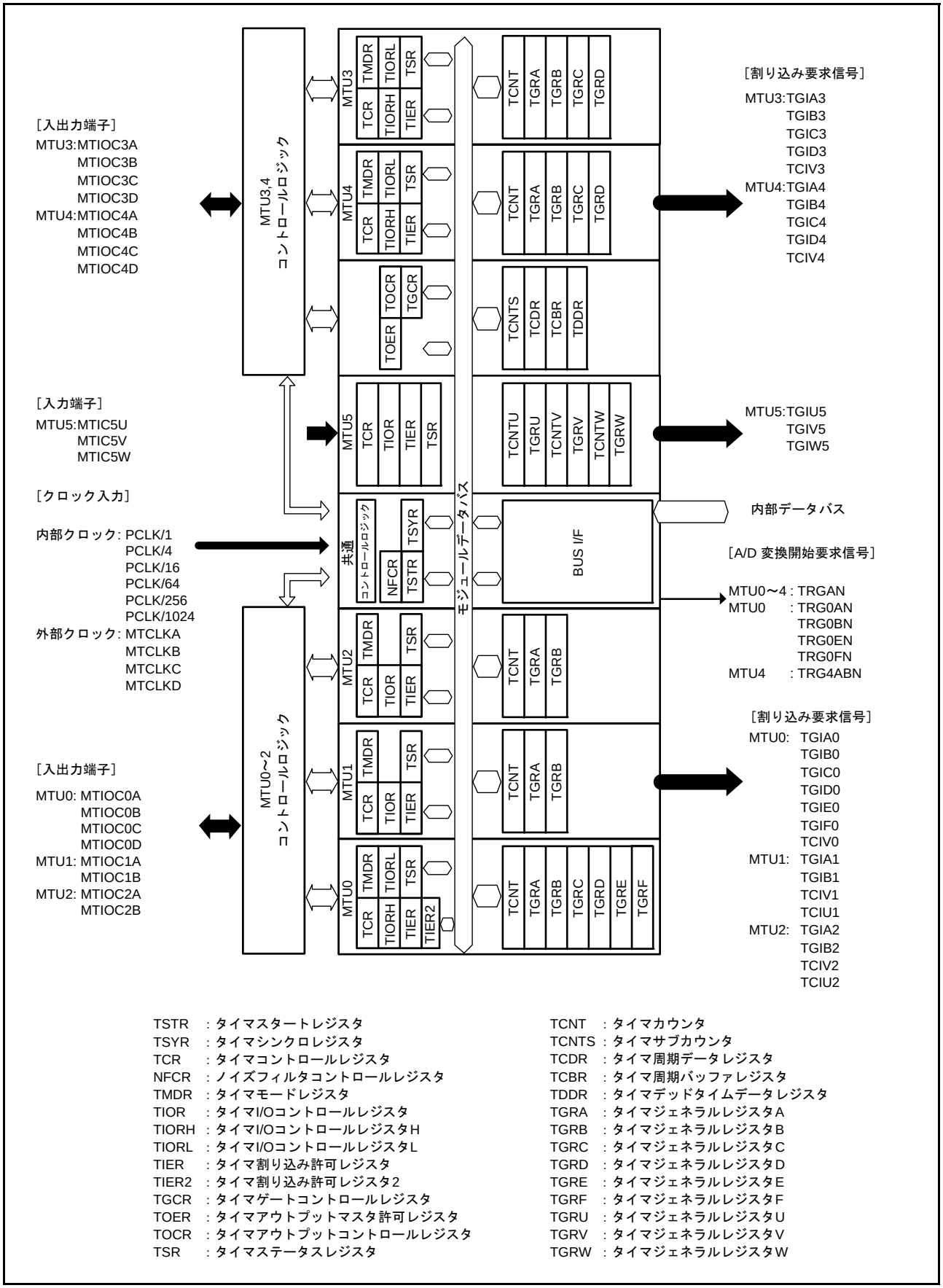
表23.2　MTUの機能一覧 (1 / 2)

項目		MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
カウントクロック		PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64
ジェネラルレジスタ（TGR）		TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ		TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
入出力端子		MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	Low出力	○	○	○	○	○	—
	High出力	○	○	○	○	○	—
	トグル出力	○	○	○	○	○	—
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	—
PWMモード1		○	○	○	○	○	—
PWMモード2		○	○	○	—	—	—
相補PWMモード		—	—	—	○	○	—
リセット同期PWM		—	—	—	○	○	—
AC同期モータ駆動 モード		○	—	—	○	○	—
位相計数モード		—	○	○	—	—	—
バッファ動作		○	—	—	○	○	—
デッドタイム補償用 カウンタ機能		—	—	—	—	—	○
DMACの起動		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
DTCの起動		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー	TGRの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ		TGRAの コンペアマッチ または インプット キャプチャ TGRBの コンペアマッチ またはインプット キャプチャ TGREの コンペアマッチ TGRFのコンペア マッチ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時TCNTの アンダフロー（谷）	—

表23.2　MTUの機能一覧 (2 / 2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
PPGトリガ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	—	—
割り込み要因	7要因 • コンペアマッチ/インプットキャプチャ 0A • コンペアマッチ/インプットキャプチャ 0B • コンペアマッチ/インプットキャプチャ 0C • コンペアマッチ/インプットキャプチャ 0D • コンペアマッチ0E • コンペアマッチ0F • オーバフロー	4要因 • コンペアマッチ/インプットキャプチャ 1A • コンペアマッチ/インプットキャプチャ 1B • オーバフロー • アンダフロー	4要因 • コンペアマッチ/インプットキャプチャ 2A • コンペアマッチ/インプットキャプチャ 2B • オーバフロー • アンダフロー	5要因 • コンペアマッチ/インプットキャプチャ 3A • コンペアマッチ/インプットキャプチャ 3B • コンペアマッチ/インプットキャプチャ 3C • コンペアマッチ/インプットキャプチャ 3D • オーバフロー	5要因 • コンペアマッチ/インプットキャプチャ 4A • コンペアマッチ/インプットキャプチャ 4B • コンペアマッチ/インプットキャプチャ 4C • コンペアマッチ/インプットキャプチャ 4D • オーバフロー/アンダフロー	3要因 • コンペアマッチ/インプットキャプチャ 5U • コンペアマッチ/インプットキャプチャ 5V • コンペアマッチ/インプットキャプチャ 5W
A/D変換開始要求ディレイド機能	—	—	—	—	• TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能	—	—	—	• TGRAのコンペアマッチ割り込みを間引き	• TCIV割り込みを間引き	—
モジュールストップ	MSTPCRA.MSTPA9（注1）					

○：可能
—：不可能
注1.　モジュールストップの詳細については、「11.　消費電力低減機能」を参照してください。



TSTR　：タイマスタートレジスタ
TSYR　：タイマシンクロレジスタ
TCR　：タイマコントロールレジスタ
NFCR　：ノイズフィルタコントロールレジスタ
TMDR　：タイマモードレジスタ
TIOR　：タイマI/Oコントロールレジスタ
TIORH　：タイマI/OコントロールレジスタH
TIORL　：タイマI/OコントロールレジスタL
TIER　：タイマ割り込み許可レジスタ
TIER2　：タイマ割り込み許可レジスタ2
TGCR　：タイマゲートコントロールレジスタ
TOER　：タイマアウトプットマスタ許可レジスタ
TOCR　：タイマアウトプットコントロールレジスタ
TSR　：タイマステータスレジスタ

TCNT　：タイマカウンタ
TCNTS　：タイマサブカウンタ
TCDR　：タイマ周期データレジスタ
TCBR　：タイマ周期バッファレジスタ
TDDR　：タイマデッドタイムデータレジスタ
TGRA　：タイマジェネラルレジスタA
TGRB　：タイマジェネラルレジスタB
TGRC　：タイマジェネラルレジスタC
TGRD　：タイマジェネラルレジスタD
TGRE　：タイマジェネラルレジスタE
TGRF　：タイマジェネラルレジスタF
TGRU　：タイマジェネラルレジスタU
TGRV　：タイマジェネラルレジスタV
TGRW　：タイマジェネラルレジスタW

図 23.1　MTU のブロック図

表 23.3 に MTU で使用する入出力端子を示します。

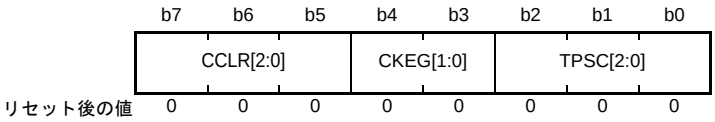
表23.3　　MTUの入出力端子

モジュール シンボル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子（MTU1の位相計数モードA相入力）
	MTCLKB	入力	外部クロックB入力端子（MTU1の位相計数モードB相入力）
	MTCLKC	入力	外部クロックC入力端子（MTU2の位相計数モードA相入力）
	MTCLKD	入力	外部クロックD入力端子（MTU2の位相計数モードB相入力）
MTU0	MTIOC0A	入出力	TGRA0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	TGRB0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	TGRC0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	TGRA1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	TGRA2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	TGRA3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	TGRB3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	TGRC3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	TGRA4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	TGRC4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	TGRU5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	TGRV5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	TGRW5のインプットキャプチャ入力/外部パルス入力端子

23.2　レジスタの説明

23.2.1　タイマコントロールレジスタ（TCR）

アドレス　MTU0.TCR 0008 8700h、MTU1.TCR 0008 8780h、MTU2.TCR 0008 8800h
MTU3.TCR 0008 8600h、MTU4.TCR 0008 8601h、MTU5.TCRU 0008 8884h
MTU5.TCRV 0008 8894h、MTU5.TCRW 0008 88A4h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表23.6～表23.10を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	表23.4、表23.5を参照してください	R/W

x：Don’t care

MTU には、MTU0 ～ MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR レジスタがあります。

TCR レジスタは、各チャネルの TCNT を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は**表 23.6 ～表 23.10** を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります（例：PCLK/4 の両エッジ＝ PCLK/2 の立ち上がりエッジ）。MTU1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが PCLK/4 もしくはそれより遅い場合に有効です。入力クロックに PCLK/1、あるいは他のチャネルのオーバフロー / アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット（カウンタクリアビット）

TCNT のカウンタクリア要因を選択します。詳細は**表 23.4、表 23.5** を参照してください。

表23.4　CCLR[2:0]（MTU0、MTU3、MTU4）

チャネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
MTU0 MTU3 MTU4	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア（注2）
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア（注2）
	1	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYR.SYNCビットを“1”にすることにより行います。
注2.　TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表23.5　CCLR[2:0]（MTU1、MTU2）

チャネル	ビット7	ビット6	ビット5	説明
	予約ビット（注2）	CCLR1	CCLR0	
MTU1 MTU2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インプットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャネルのカウンタクリアで TCNT をクリア（注 1）

注1.　同期動作の設定は、TSYR.SYNCビットを“1”にすることにより行います。
注2.　MTU1、MTU2ではb7は予約ビットです。読み出すと常に“0”が読み出されます。書き込みは“0”としてください。

表23.6　TPSC[2:0]（MTU0）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	内部クロック：PCLK/1 でカウント
	0	0	1	内部クロック：PCLK/4 でカウント
	0	1	0	内部クロック：PCLK/16 でカウント
	0	1	1	内部クロック：PCLK/64 でカウント
	1	0	0	外部クロック：MTCLKA 端子入力でカウント
	1	0	1	外部クロック：MTCLKB 端子入力でカウント
	1	1	0	外部クロック：MTCLKC 端子入力でカウント
	1	1	1	外部クロック：MTCLKD 端子入力でカウント

表23.7　TPSC[2:0]（MTU1）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	内部クロック：PCLK/1 でカウント
	0	0	1	内部クロック：PCLK/4 でカウント
	0	1	0	内部クロック：PCLK/16 でカウント
	0	1	1	内部クロック：PCLK/64 でカウント
	1	0	0	外部クロック：MTCLKA 端子入力でカウント
	1	0	1	外部クロック：MTCLKB 端子入力でカウント
	1	1	0	内部クロック：PCLK/256 でカウント
	1	1	1	MTU2.TCNT のオーバフロー / アンダフローでカウント

注.　MTU1が位相計数モード時、この設定は無効になります。

表23.8　TPSC[2:0]（MTU2）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	内部クロック：PCLK/1 でカウント
	0	0	1	内部クロック：PCLK/4 でカウント
	0	1	0	内部クロック：PCLK/16 でカウント
	0	1	1	内部クロック：PCLK/64 でカウント
	1	0	0	外部クロック：MTCLKA 端子入力でカウント
	1	0	1	外部クロック：MTCLKB 端子入力でカウント
	1	1	0	外部クロック：MTCLKC 端子入力でカウント
	1	1	1	内部クロック：PCLK/1024 でカウント

注.　MTU2が位相計数モード時、この設定は無効になります。

表23.9　TPSC[2:0]（MTU3、MTU4）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU3 MTU4	0	0	0	内部クロック：PCLK/1 でカウント
	0	0	1	内部クロック：PCLK/4 でカウント
	0	1	0	内部クロック：PCLK/16 でカウント
	0	1	1	内部クロック：PCLK/64 でカウント
	1	0	0	内部クロック：PCLK/256 でカウント
	1	0	1	内部クロック：PCLK/1024 でカウント
	1	1	0	外部クロック：MTCLKA 端子入力でカウント
	1	1	1	外部クロック：MTCLKB 端子入力でカウント

表23.10　TPSC[1:0]（MTU5）

チャネル	ビット1	ビット0	説明
	TPSC1	TPSC0	
MTU5	0	0	内部クロック：PCLK/1 でカウント
	0	1	内部クロック：PCLK/4 でカウント
	1	0	内部クロック：PCLK/16 でカウント
	1	1	内部クロック：PCLK/64 でカウント

注.　MTU5では、b7-b2は予約ビットです。読み出すと常に“0”が読み出されます。書き込みは“0”としてください。

23.2.2　タイマモードレジスタ（TMDR）

アドレス　MTU0.TMDR 0008 8701h、MTU1.TMDR 0008 8781h、MTU2.TMDR 0008 8801h
MTU3.TMDR 0008 8602h、MTU4.TMDR 0008 8603h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BFE	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表23.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0：TGRAとTGRCレジスタは通常動作 1：TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0：TGRBとTGRDレジスタは通常動作 1：TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0：MTU0.TGREとMTU0.TGRFは通常動作 1：MTU0.TGREとMTU0.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタで、各チャネルの動作モードの設定を行います。TMDR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

表23.11　MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	ノーマルモード
0	0	0	1	設定しないでください
0	0	1	0	PWMモード1
0	0	1	1	PWMモード2（注1）
0	1	0	0	位相計数モード1（注2）
0	1	0	1	位相計数モード2（注2）
0	1	1	0	位相計数モード3（注2）
0	1	1	1	位相計数モード4（注2）
1	0	0	0	リセット同期PWMモード（注3）
1	0	0	1	設定しないでください。
1	0	1	x	設定しないでください。
1	1	0	0	設定しないでください。
1	1	0	1	相補PWMモード1（山で転送）（注3）
1	1	1	0	相補PWMモード2（谷で転送）（注3）
1	1	1	1	相補PWMモード3（山・谷で転送）（注3）

x：Don't care

注1.　MTU3、MTU4では、PWMモード2の設定はできません。

注2.　MTU0、MTU3、MTU4では、位相計数モードの設定はできません。

注3.　リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。
MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となりMTU3の設定に従います。
MTU4には初期値を設定してください。
MTU0、MTU1、MTU2では、リセット同期PWMモード、相補PWMモードの設定はできません。

BFA ビット（バッファ動作 A ビット）

TGRA を通常動作にするか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIEC ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4.TMDR の BFA ビットには “0” を書いてください。

TGRC を持たない MTU1、MTU2 では、このビットは予約ビットです。読むと “0” が読み出されます。書き込みは “0” としてください。相補 PWM モードの Tb 区間については、図 23.40 を参照してください。

BFB ビット（バッファ動作 B ビット）

TGRB を通常動作にするか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ 3、4（MTU3.TIER、MTU4.TIER）の TGIED ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードの MTU3 および MTU4 のバッファ動作は、MTU3 の設定に従います。MTU4 の TMDR.BFB ビットは “0” にしてください。

TGRD を持たない MTU1、MTU2 では、このビットは予約ビットです。読むと “0” が読み出されます。書き込みは “0” としてください。相補 PWM モードの Tb 区間については、図 23.40 を参照してください。

BFE ビット（バッファ動作 E ビット）

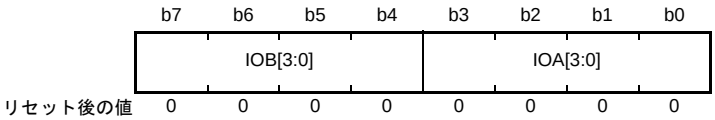
MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ～ MTU4 では予約ビットです。読むと “0” が読み出されます。書き込みは “0” としてください。

23.2.3 タイマ I/O コントロールレジスタ（TIOR）

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH

アドレス　MTU0.TIORH 0008 8702h、MTU1.TIOR 0008 8782h、MTU2.TIOR 0008 8802h
MTU3.TIORH 0008 8604h、MTU4.TIORH 0008 8606h

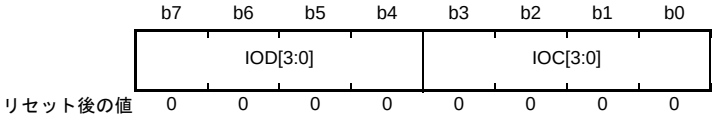


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/Oコントロール A ビット	下記の表を参照してください（注1） MTU0.TIORH、：表23.20　MTU1.TIOR：表23.22 MTU2.TIOR：表23.23　MTU3.TIORH：表23.24 MTU4.TIORH：表23.26	R/W
b7-b4	IOB[3:0]	I/Oコントロール B ビット	下記の表を参照してください（注1） MTU0.TIORH：表23.12　MTU1.TIOR：表23.14 MTU2.TIOR：表23.15　MTU3.TIORH：表23.16 MTU4.TIORH：表23.18	R/W

注1.　コンペアマッチで Low/High/ トグル出力中に、IOn[3:0] ビット (n=A、B) の値を出力禁止（“0000b” または “0100b”）へ変更すると Hi-Z になります。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL

アドレス　MTU0.TIORL 0008 8703h、MTU3.TIORL 0008 8605h、MTU4.TIORL 0008 8607h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/Oコントロール C ビット	下記の表を参照してください（注1） MTU0.TIORL：表23.21　MTU3.TIORL：表23.25 MTU4.TIORL：表23.27	R/W
b7-b4	IOD[3:0]	I/Oコントロール D ビット	下記の表を参照してください（注1） MTU0.TIORL：表23.13　MTU3.TIORL：表23.17 MTU4.TIORL：表23.19	R/W

注1.　コンペアマッチで Low/High/ トグル出力中に、IOn[3:0] ビット (n=C、D) の値を出力禁止（“0000b” または “0100b”）へ変更すると Hi-Z になります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス　MTU5.TIORU 0008 8886h、MTU5.TIORV 0008 8896h、MTU5.TIORW 0008 88A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IOC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/Oコントロールビット	下記の表を参照してください MTU5.TIORU、MTU5.TIORV、MTU5.TIORW：表23.28	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU には、MTU0、MTU3、MTU4 に各 2 本、MTU1、MTU2 に各 1 本、MTU5 には MTU5.TIORU/V/W の 3 本、計 11 本の TIOR レジスタがあります。

TIOR レジスタは TMDR レジスタの設定が、ノーマルモード、PWM モード、位相計数モードの場合に設定します。

TIOR レジスタで指定した初期出力はカウンタ停止した（TSTR.CST ビットを “0” にした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが “0” になった時点での出力を指定します。

TGRC あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表23.12　TIORH（MTU0）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x：Don't care

表23.13　TIORL（MTU0）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x：Don't care

注1.　MTU0.TMDR.BFBビットを“1”にしてMTU0.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.14　TIOR（MTU1）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	MTU1.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表23.15　TIOR（MTU2）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	MTU2.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表23.16　TIORH（MTU3）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表23.17　TIORL（MTU3）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR.BFBビットを“1”にしてMTU3.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.18　TIORH（MTU4）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	MTU4.TGRBはアウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表23.19　TIORL（MTU4）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR.BFBビットを“1”にして、MTU4.TGRDをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表23.20　TIORH（MTU0）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x：Don't care

表23.21　TIORL（MTU0）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRCの機能	MTIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x：Don't care

注1.　MTU0.TMDR.BFAビットを“1”にしてMTU0.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.22　TIOR（MTU1）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表23.23　TIOR（MTU2）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチで0Low出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表23.24　TIORH（MTU3）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表23.25　TIORL（MTU3）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR.BFAビットを“1”にしてMTU3.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.26　TIORH（MTU4）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表23.27　TIORL（MTU4）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR.BFAビットを“1”にして、MTU4.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表23.28　TIORU、TIORV、TIORW（MTU5）

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x：Don't care

23.2.4　タイマコンペアマッチクリアレジスタ（TCNTCMPCLR）

アドレス　MTU5.TCNTCMPCLR 0008 88B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタで、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定することができます。

23.2.5　タイマ割り込み許可レジスタ（TIER）

- TIER（MTU0 ～ MTU4）

アドレス　MTU0.TIER 0008 8704h、MTU1.TIER 0008 8784h、MTU2.TIER 0008 8804h
MTU3.TIER 0008 8608h、MTU4.TIER 0008 8609h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0：割り込み要求（TGIA）を禁止 1：割り込み要求（TGIA）を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0：割り込み要求（TGIB）を禁止 1：割り込み要求（TGIB）を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0：割り込み要求（TGIC）を禁止 1：割り込み要求（TGIC）を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0：割り込み要求（TGID）を禁止 1：割り込み要求（TGID）を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み要求（TCIV）を禁止 1：割り込み要求（TCIV）を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0：割り込み要求（TCIU）を禁止 1：割り込み要求（TCIU）を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0：MTU4.TCNTのアンダフロー（谷）によるA/D変換要求を禁止 1：MTU4.TCNTのアンダフロー（谷）によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0：A/D変換開始要求の発生を禁止 1：A/D変換開始要求の発生を許可	R/W

MTU には、MTU0 に 2 本、MTU1 ～ MTU5 に各 1 本、計 7 本の TIER レジスタがあります。

TIER レジスタは 8 ビットの読み出し / 書き込み可能なレジスタで、各チャネルの割り込み要求の許可、禁止を制御します。

TGIEA、TGIEB ビット（TGR 割り込み許可 A、B ビット）

割り込み要求（TGIn）を許可または禁止します。（n ＝ A、B）

TGIEC、TGIED ビット（TGR 割り込み許可 C、D ビット）

MTU0、MTU3、MTU4 で割り込み要求（TGIn）を許可または禁止します。（n ＝ C、D）

MTU1、MTU2 では予約ビットです。読むと “0” が読み出されます。書き込みは “0” としてください。

TCIEV ビット（オーバフロー割り込み許可ビット）

割り込み要求（TCIV）を許可または禁止します。

TCIEU ビット（アンダフロー割り込み許可ビット）

MTU1、MTU2 で割り込み要求（TCIU）を許可または禁止します。

MTU0、MTU3、MTU4 では予約ビットです。読むと “0” が読み出されます。書き込みは “0” としてください。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

相補 PWM モードで、MTU4.TCNT のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。

MTU0 ～ MTU3 では予約ビットです。読むと “0” が読み出されます。書き込みは “0” としてください。

TTGE ビット（A/D 変換開始要求許可ビット）

TGRA レジスタのインプットキャプチャ / コンペアマッチによる A/D コンバータ開始要求の発生を許可または禁止します。

- TIER2（MTU0）

アドレス　MTU0.TIER2 0008 8724h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR割り込み許可Eビット	0：割り込み要求（TGIE）を禁止 1：割り込み要求（TGIE）を許可	R/W
b1	TGIEF	TGR割り込み許可Fビット	0：割り込み要求（TGIF）を禁止 1：割り込み要求（TGIF）を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIEE、TGIEF ビット（TGR 割り込み許可 E、F ビット）

MTU0.TCNT と MTU0.TGRm のコンペアマッチによる割り込み要求の発生を許可または禁止します。

（m ＝ E、F）

- TIER（MTU5）

アドレス　MTU5.TIER 0008 88B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR割り込み許可5Wビット	0：TGI5W割り込み要求を禁止 1：TGI5W割り込み要求を許可	R/W
b1	TGIE5V	TGR割り込み許可5Vビット	0：TGI5V割り込み要求を禁止 1：TGI5V割り込み要求を許可	R/W
b2	TGIE5U	TGR割り込み許可5Uビット	0：TGI5U割り込み要求を禁止 1：TGI5U割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5W、TGIE5V、TGIE5U ビット（TGR 割り込み許可 5m ビット）

割り込み要求（TGIm5）を許可または禁止します。（m ＝ W、V、U）

23.2.6　タイマステータスレジスタ（TSR）

- TSR（MTU0 ～ MTU4）

アドレス　MTU0.TSR 0008 8705h、MTU1.TSR 0008 8785h、MTU2.TSR 0008 8805h
MTU3.TSR 0008 862Ch、MTU4.TSR 0008 862Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0：TCNTはダウンカウント 1：TCNTはアップカウント	R

MTU には、MTU0 ～ MTU4 に各 1 本、計 5 本の TSR レジスタがあります。

TSR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタで、各チャネルのステータスの表示を行います。

TCFD フラグ（カウント方向フラグ）

MTU1 ～ MTU4 の TCNT カウンタのカウント方向を示すステータスフラグです。

MTU0 では予約ビットです。読むと “1” が読み出されます。書き込みは “1” としてください。

23.2.7　タイマバッファ動作転送モードレジスタ（TBTM）

アドレス　MTU0.TBTM 0008 8726h、MTU3.TBTM 0008 8638h、MTU4.TBTM 0008 8639h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0：TGRCからTGRAへの転送タイミングは各チャネルのコンペマッチA発生時 1：TGRCからTGRAへの転送タイミングは各チャネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0：TGRDからTGRBへの転送タイミングは各チャネルのコンペマッチB発生時 1：TGRDからTGRBへの転送タイミングは各チャネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0：MTU0.TGRFからMTU0.TGREへの転送タイミングは各チャネルのMTU0のコンペマッチE発生時 1：MTU0.TGRFからMTU0.TGREへの転送タイミングは各チャネルのMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU には、MTU0、MTU3、MTU4 に各 1 本、計 3 本の TBTM レジスタがあります。

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定します。

TTSA ビット（タイミング選択 A ビット）

各チャネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。なお、PWM モード以外で使用するチャネルでは、TTSA ビットを “1” に設定しないでください。

TTSB ビット（タイミング選択 B ビット）

各チャネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。なお、PWM モード以外で使用するチャネルでは、TTSB ビットを “1” に設定しないでください。

TTSE ビット（タイミング選択 E ビット）

バッファ動作時の MTU0.TGRF から MTU0.TGRE への転送タイミングを設定します。MTU3、MTU4 では予約ビットです。読むと “0” が読み出されます。書き込みは “0” にしてください。なお、MTU0 を PWM モード以外で使用する場合は、TTSE ビットを “1” に設定しないでください。

23.2.8　タイマインプットキャプチャコントロールレジスタ（TICCR）

アドレス　MTU1.TICCR 0008 8790h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1：MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1：MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU には、MTU1 に 1 本の TICCR レジスタがあります。

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御します。

23.2.9　タイマ A/D 変換開始要求コントロールレジスタ（TADCR）

アドレス　MTU4.TADCR 0008 8640h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4割り込み間引き連動許可ビット	0：TCI4V割り込み間引き機能と連動しない 1：TCI4V割り込み間引き機能と連動する	R/W （注1）
b1	ITB3AE	TGIA3割り込み間引き連動許可ビット	0：TGI3A割り込み間引き機能と連動しない 1：TGI3A割り込み間引き機能と連動する	R/W （注1）
b2	ITA4VE	TCIV4割り込み間引き連動許可ビット	0：TCI4V割り込み間引き機能と連動しない 1：TCI4V割り込み間引き機能と連動する	R/W （注1）
b3	ITA3AE	TGIA3割り込み間引き連動許可ビット	0：TGI3A割り込み間引き機能と連動しない 1：TGI3A割り込み間引き機能と連動する	R/W （注1）
b4	DT4BE	ダウンカウントTRG4BN許可ビット	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W （注1）
b5	UT4BE	アップカウントTRG4BN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b6	DT4AE	ダウンカウントTRG4AN許可ビット	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W （注1）
b7	UT4AE	アップカウントTRG4AN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B転送タイミング選択ビット	詳細は表23.29を参照してください	R/W

注.　TADCRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
注.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VENビットを“0”に設定したとき、またはTITCRの間引き回数設定ビット（T3ACOR、T4VCOR）を“0”に設定したとき）は、割り込み間引き機能と連動しない（タイマA/D変換開始要求コントロールレジスタ（TADCR）のITA3AE、ITA4VE、ITB3AE、ITB4VEビットを“0”に設定）設定にしてください。
注.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注1.　b6、b4～b0は、相補PWMモード以外では、“1”に設定しないでください。

TADCR レジスタは、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。

表23.29　BF0[1:0]ビットによる転送タイミングの設定

ビット15	ビット14	説明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	MTU4.TCNT の山で周期設定バッファレジスタから周期設定レジスタへ転送する（注 1）
1	0	MTU4.TCNT の谷で周期設定バッファレジスタから周期設定レジスタへ転送する（注 2）
1	1	MTU4.TCNT の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する（注 2）

注1.　相補PWMモードではMTU4.TCNTの山、リセット同期PWMモードではMTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき、PWMモード1/ノーマルモードではMTU4.TCNTがMTU4.TGRAとコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。
注2.　相補PWMモード以外では設定禁止です。

23.2.10　タイマ A/D 変換開始要求周期設定レジスタ A、B（TADCORA/B）

アドレス　MTU4.TADCORA 0008 8644h、MTU4.TADCORB 0008 8646h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　MTU4.TADCORA/Bの8 ビット単位でのアクセスは禁止です。常に16 ビット単位でアクセスしてください。

TADCORA/B レジスタは、16 ビットの読み出し / 書き込み可能なレジスタです。MTU4.TCNT と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B のリセット後の値は FFFFh です。

23.2.11　タイマ A/D 変換開始要求周期設定バッファレジスタ A、B（TADCOBRA/B）

アドレス　MTU4.TADCOBRA 0008 8648h、MTU4.TADCOBRB 0008 864Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　MTU4.TADCOBRA/Bの8 ビット単位でのアクセスは禁止です。常に16 ビット単位でアクセスしてください。

TADCOBRA/B レジスタは、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B のバッファレジスタから山か谷で TADCORA/B に転送します。

TADCOBRA/B レジスタのリセット後の値は FFFFh です。

23.2.12　タイマカウンタ（TCNT）

アドレス　MTU0.TCNT 0008 8706h、MTU1.TCNT 0008 8786h、MTU2.TCNT 0008 8806h、
MTU3.TCNT 0008 8610h、MTU4.TCNT 0008 8612h、MTU5.TCNTU 0008 8880h、
MTU5.TCNTV 0008 8890h、MTU5.TCNTW 0008 88A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注．　TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

MTU には、MTU0 ～ MTU4 に各 1 本、MTU5 に MTU5.TCNTU/V/W の 3 本、計 8 本の TCNT があります。

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。TCNT は、リセット時に 0000h に初期化されます。

23.2.13　タイマジェネラルレジスタ（TGR）

アドレス　MTU0.TGRA 0008 8708h、MTU0.TGRB 0008 870Ah、MTU0.TGRC 0008 870Ch、
MTU0.TGRD 0008 870Eh、MTU0.TGRE 0008 8720h、MTU0.TGRF 0008 8722h、
MTU1.TGRA 0008 8788h、MTU1.TGRB 0008 878Ah、MTU2.TGRA 0008 8808h、
MTU2.TGRB 0008 880Ah、MTU3.TGRA 0008 8618h、MTU3.TGRB 0008 861Ah、
MTU3.TGRC 0008 8624h、MTU3.TGRD 0008 8626h、MTU4.TGRA 0008 861Ch、
MTU4.TGRB 0008 861Eh、MTU4.TGRC 0008 8628h、MTU4.TGRD 0008 862Ah、
MTU5.TGRU 0008 8882h、MTU5.TGRV 0008 8892h、MTU5.TGRW 0008 88A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．　TGRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
TGRの初期値は、FFFFhです。

MTU には、MTU0 に 6 本、MTU1、MTU2 に各 2 本、MTU3、MTU4 に各 4 本、MTU5 に 3 本、計 21 本のジェネラルレジスタがあります。

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA － TGRC、TGRB － TGRD になります。

MTU0.TGRE、MTU0.TGRF はコンペアレジスタとして機能し、MTU0.TCNT と MTU0.TGRE が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE － TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW はコンペアマッチ / インプットキャプチャ / 外部パルス幅測定兼用のレジスタです。

23.2.14　タイマスタートレジスタ（TSTR）

- TSTR（MTU0 ～ MTU4）

アドレス　MTU.TSTR 0008 8680h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：MTU0.TCNTのカウント停止 1：MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0：MTU1.TCNTのカウント停止 1：MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0：MTU2.TCNTのカウント停止 1：MTU2.TCNTはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0：MTU3.TCNTのカウント停止 1：MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0：MTU4.TCNTのカウント停止 1：MTU4.TCNTはカウント動作	R/W

TSTR レジスタは MTU0 ～ MTU4 の TCNT の動作 / 停止を選択します。

TMDR レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

CSTn ビット（カウントスタート n ビット）（n=0 ～ 4）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTR（MTU5）

アドレス　MTU5.TSTR 0008 88B4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0：MTU5.TCNTWのカウント動作は停止 1：MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0：MTU5.TCNTVのカウント動作は停止 1：MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0：MTU5.TCNTUのカウント動作は停止 1：MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.15　タイマシンクロレジスタ（TSYR）

アドレス　MTU.TSYR 0008 8681h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：MTU0.TCNTは独立して動作 （TCNTのプリセット/クリアは他のチャネルと無関係） 1：MTU0.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0：MTU1.TCNTは独立して動作 （TCNTのプリセット/クリアは他のチャネルと無関係） 1：MTU1.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0：MTU2.TCNTは独立して動作 （TCNTのプリセット/クリアは他のチャネルと無関係） 1：MTU2.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0：MTU3.TCNTは独立して動作 （TCNTのプリセット/クリアは他のチャネルと無関係） 1：MTU3.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W
b7	SYNC4	タイマ同期4ビット	0：MTU4.TCNTは独立して動作 （TCNTのプリセット/クリアは他のチャネルと無関係） 1：MTU4.TCNTは同期動作 TCNTの同期プリセット/同期クリアが可能	R/W

TSYR レジスタは MTU0 ～ MTU4 の TCNT の独立動作または同期動作を選択します。
対応するビットを “1” にしたチャネルが同期動作を行います。

SYNCn ビット（タイマ同期 n ビット）（n=0 ～ 4）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNCn ビットを “1” にする必要があります。同期クリアの設定には、SYNCn ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

23.2.16　タイマリードライト許可レジスタ（TRWER）

アドレス　MTU.TRWER 0008 8684h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0：レジスタの読み出し/書き込みを禁止する 1：レジスタの読み出し/書き込みを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWER レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへの読み出し / 書き込みの許可 / 禁止を設定します。

［“0” になる条件］

- RWE ビット =“1” を読み出し後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ**

MTUm.TCR、MTUm.TMDR、MTUm.TIORH、MTUm.TIORL、MTUm.TIER、MTUm.TGRA、MTUm.TGRB、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と MTUm.TCNT の計 22 レジスタです。（m = 3、4）

23.2.17　タイマアウトプットマスタ許可レジスタ（TOER）

アドレス　MTU.TOER 0008 860Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0：MTU出力禁止（非アクティブレベル）（注1） 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　非アクティブレベルは、タイマアウトプットコントロールレジスタ1/2（TOCR1/2）の設定によります。詳細は、「23.2.18　タイマアウトプットコントロールレジスタ1（TOCR1）」、「23.2.19　タイマアウトプットコントロールレジスタ2（TOCR2）」を参照してください。なお、相補PWMモード/リセット同期PWMモード以外でMTU出力する場合は“1”に設定してください。“0”に設定した場合はタイマアウトプットコントロールレジスタ1/2（TOCR1/2）の設定によって非アクティブレベルが出力されます。

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を行います。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、MTU4 において、TOER レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

TOER レジスタは、TSTR レジスタの CST3、CST4 ビットを “0” にした後で設定してください（**図 23.35**、リセット同期 PWM モードの設定手順例を参照）。

23.2.18　タイマアウトプットコントロールレジスタ 1（TOCR1）

アドレス　MTU.TOCR1 0008 860Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット（注2、注3）	表23.30を参照してください	R/W
b1	OLSN	出力レベル選択Nビット（注2、注3）	表23.31を参照してください	R/W
b2	TOCS	TOC選択ビット	0：TOCR1の設定を有効にする 1：TOCR2の設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット（注1）	0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W（注4）
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0：トグル出力を禁止 1：トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TOCR1.TOCLビットを“1”に設定することにより、CPU暴走時の誤書き込みを防止することができます。
注2.　TOCR1.TOCSビットを“0”に設定することにより、本設定が有効になります。
注3.　デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。
注4.　リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1 レジスタは、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

OLSP ビット（出力レベル選択 P ビット）

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。

OLSN ビット（出力レベル選択 N ビット）

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。

TOCS ビット（TOC 選択ビット）

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。

TOCL ビット（TOC レジスタ書き込み禁止ビット）

TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット（PWM 同期出力許可ビット）

PWM 周期に同期したトグル出力の許可 / 禁止を設定します。

表23.30　出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表23.31　出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 23.2 に示します。

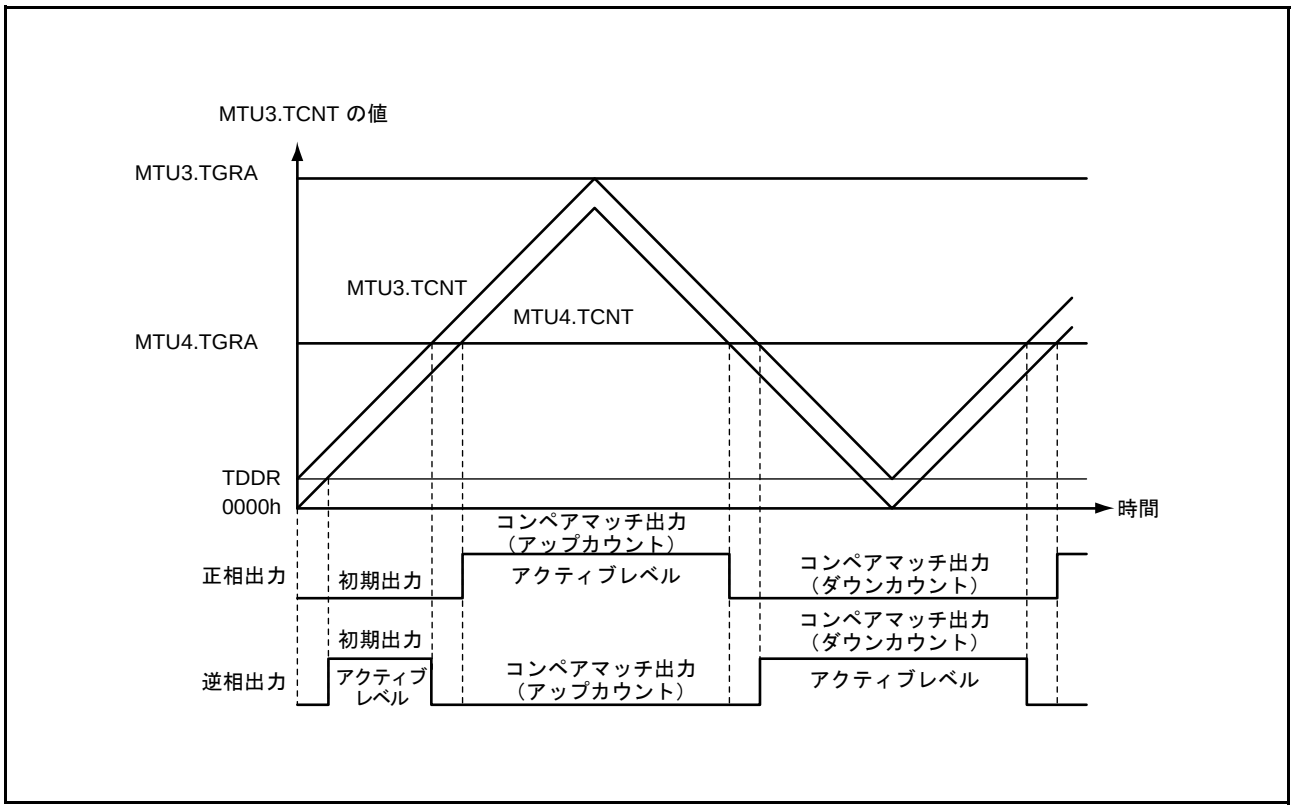


図 23.2　相補 PWM モードの出力レベルの例

23.2.19　タイマアウトプットコントロールレジスタ 2（TOCR2）

アドレス　MTU.TOCR2 0008 860Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します。表23.32を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します。表23.33を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します。表23.34を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します。表23.35を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。表23.36を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します。表23.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRからTOCR2へのバッファ転送タイミングを選択します。詳細は表23.38を参照してください	R/W

注1.　TOCR1.TOCSビットを“1”に設定することにより、本設定が有効になります。
注2.　デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。(i = 1～3)

TOCR2 レジスタは、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

表23.32　MTIOC3B出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表23.33　MTIOC3D出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表23.34　MTIOC4A出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表23.35　MTIOC4C出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表23.36　MTIOC4B出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表23.37　MTIOC4D出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表23.38　TOCR2.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF1	BF0	相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ（TOLBR）からTOCR2へ転送しない	バッファレジスタ（TOLBR）からTOCR2へ転送しない
0	1	MTU4.TCNTの山でバッファレジスタ（TOLBR）からTOCR2へ転送する	MTU4.TCNT、MTU3.TCNTカウンタクリア時にバッファレジスタ（TOLBR）からTOCR2へ転送する
1	0	MTU4.TCNTの谷でバッファレジスタ（TOLBR）からTOCR2へ転送する	設定しないでください
1	1	MTU4.TCNTの山と谷でバッファレジスタ（TOLBR）からTOCR2へ転送する	設定しないでください

23.2.20　タイマアウトプットレベルバッファレジスタ（TOLBR）

アドレス　MTU.TOLBR 0008 8636h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2のOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2のOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2のOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2のOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2のOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2のOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TOLBR レジスタは TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 23.3 に示します。

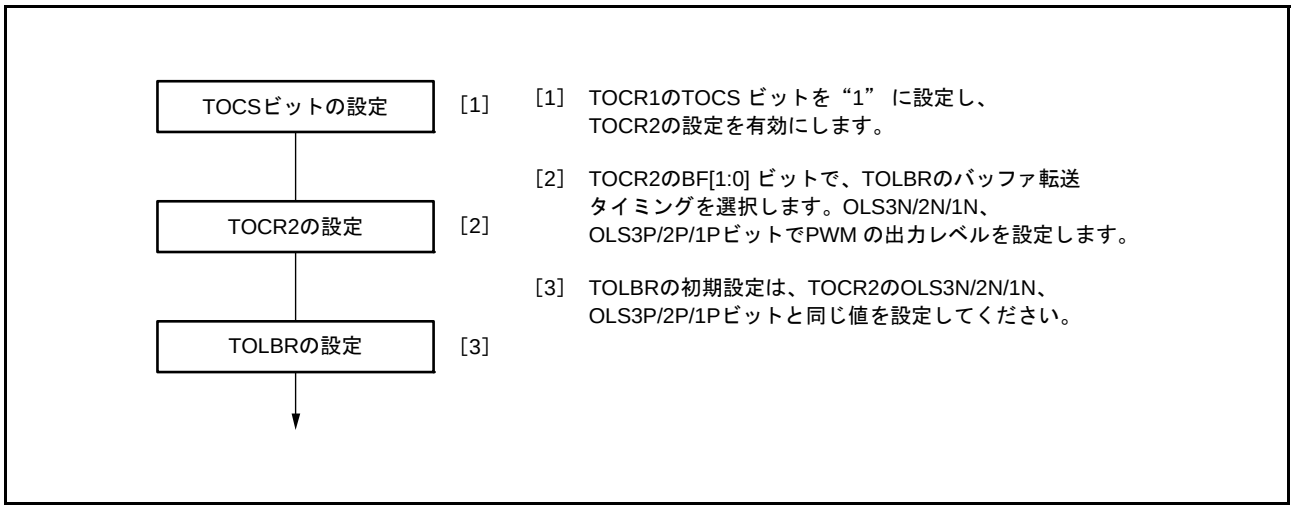


図 23.3　PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

23.2.21　タイマゲートコントロールレジスタ（TGCR）

アドレス　MTU.TGCR 0008 860Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表23.39を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り換えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り換えはソフトウェアで行う（TGCRのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCR レジスタは、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。相補 PWM モード / リセット同期 PWM モード以外では、TGCR レジスタの設定は無効です。

UF、VF、WF ビット（出力切り替えビット）

これらのビットの設定は TGCR.FB ビットが “1” のときのみ有効です。このときは、ビット 0 ～ 2 の設定が、外部入力の代わりになります。**表 23.39** を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相 / 逆相の出力の切り替えを MTU0.TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR レジスタのビット 2 ～ 0 に “0” または “1” を書き込むことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子の出力（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/ 相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/ 相補 PWM 出力するかの選択をします。

BDC ビット（ブラシレス DC モータビット）

TGCR レジスタの機能を有効にするか、無効にするかを選択します。

表23.39　出力レベル選択機能

ビット2	ビット1	ビット0	機能					
WF	VF	UF	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

23.2.22　タイマサブカウンタ（TCNTS）

アドレス　MTU.TCNTS 0008 8620h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTSレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCNTS レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS レジスタのリセット後の値は 0000h です。

23.2.23　タイマデッドタイムデータレジスタ（TDDR）

アドレス　MTU.TDDR 0008 8616h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TDDRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TDDR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDR レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。TDDR レジスタのリセット後の値は FFFFh です。

23.2.24　タイマ周期データレジスタ（TCDR）

アドレス　MTU.TCDR 0008 8614h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCDRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCDR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDR レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます（ダウンカウント→アップカウント）。TCDR のリセット後の値は FFFFh です。

23.2.25　タイマ周期バッファレジスタ（TCBR）

アドレス　MTU.TCBR 0008 8622h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCBRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCBR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR レジスタのリセット後の値は FFFFh です。

23.2.26　タイマ割り込み間引き設定レジスタ（TITCR）

アドレス　MTU.TITCR 0008 8630h

	b7	b6	b5	b4	b3	b2	b1	b0
	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表23.40を参照してください	R/W
b3	T4VEN	T4VENビット	0：TCIV4割り込みの間引きを禁止する 1：TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表23.41を参照してください	R/W
b7	T3AEN	T3AENビット	0：TGIA3割り込みの間引きを禁止する 1：TGIA3割り込みの間引きを許可する	R/W

注1.　割り込み間引き回数に“0”を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR.T3AEN、TITCR.T4VENビットを“0”に設定して間引き回数カウンタ（TITCNT）をクリアしてください。

T4VCOR[2:0] ビット（TCIV4 割り込み間引き回数設定ビット）
T3ACOR[2:0] ビット（TGIA3 割り込み間引き回数設定ビット）

TCIV3 および TGIA4 の割り込みの間引き回数を 0 ～ 7 回で設定します。詳細は表 23.40、表 23.41 を参照してください。

表23.40　T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
T4VCOR2	T4VCOR1	T4VCOR0	
0	0	0	TCIV4 の割り込み間引きを行わない
0	0	1	TCIV4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV4 の割り込み間引き回数を 7 回に設定

表23.41　T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T3ACOR2	T3ACOR1	T3ACOR0	
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

23.2.27　タイマ割り込み間引き回数カウンタ（TITCNT）

アドレス　MTU.TITCNT 0008 8631h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T3ACNT[2:0]			—	T4VCNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCRのT4VENビットに1を設定時、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCRのT3AENビットに1を設定時、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注．　TITCNTの値をクリアするには、TITCR.T3AENビットとTITCR.T4VENビットを“0”にしてください。

TITCNT は、8 ビットの読み出し可能なカウンタです。TITCNT は、MTU3.TCNT および MTU4.TCNT のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット（TCIV4 割り込みカウンタビット）

[0 になる条件]

- TITCR の T4VCOR[2:0] と TITCNT の T4VCNT[2:0] が一致したとき
- TITCR の T4VEN ビットが “0” のとき
- TITCR の T4VCOR[2:0] が “000b” のとき

T3ACNT[2:0] ビット（TGIA3 割り込みカウンタビット）

［0 になる条件］

- TITCR の T3ACOR[2:0] と TITCNT の T3ACNT[2:0] が一致したとき
- TITCR の T3AEN ビットが “0” のとき
- TITCR の T3ACOR[2:0] が “000b” のとき

23.2.28　タイマバッファ転送設定レジスタ（TBTER）

アドレス　MTU.TBTER 0008 8632h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能と連動する/しないを設定します。詳細は表23.42を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTER レジスタは、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する / しない、または割り込み間引き機能と連動する / しないを設定します。

表23.42　TBTER.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない（注1） また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する（注2）
1	1	設定しないでください

注1.　TMDRのMD[3:0]ビットの設定に従い転送します。詳細は「23.3.8　相補PWMモード」を参照してください。
注2.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VENビットを0に設定したとき、またはTITCRの間引き回数設定ビット（T3ACOR、T4VCOR）を0に設定したとき）は、バッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTER）のBTE1を0に設定）にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

23.2.29　タイマデッドタイム許可レジスタ（TDER）

アドレス　MTU.TDER 0008 8634h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイム許可レジスタビット	0：デッドタイムを生成しない 1：デッドタイムを生成する（注1）	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TDDR≧1に設定してください。

TDER レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。TDER レジスタは MTU3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。TDER レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット（デッドタイム許可レジスタビット）

デッドタイムの生成をする / しないを設定します。

［“0” になる条件］

- TDER =“1” を読み出し後、TDER ビットに “0” を書いたとき

23.2.30　タイマ波形コントロールレジスタ（TWCR）

アドレス　MTU.TWCR 0008 8660h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0：TOCRレジスタで設定した初期出力値を出力 1：初期出力を抑止する	R/(W) （注1）
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット	0：MTU3.TGRAのコンペアマッチによるカウンタクリアをしない 1：MTU3.TGRAのコンペアマッチによるカウンタクリアをする	R/(W) （注2）

注1.　相補PWMモードのとき以外は、“1”に設定しないでください。
注2.　相補PWMモード1のとき以外は、“1”に設定しないでください。

TWCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。TWCR レジスタは相補 PWM モードで MTU3.TNCT、MTU4.TNCT の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA のコンペアマッチによるカウンタクリアをする / しないを設定します。

TWCR.CCE ビット、TWCR.WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット（初期出力抑止許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、**図 23.40** を参照してください。

[“1” になる条件]

- WRE ＝ “0” を読み出し後、WRE ビットに “1” を書いたとき

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モードで、TGRA3 のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1” になる条件]

- CCE ＝ “0” を読み出し後、CCE ビットに “1” を書いたとき

23.2.31　ノイズフィルタコントロールレジスタ（NFCR）

- NFCR（MTU0 ～ MTU4）

アドレス　MTU0.NFCR 0008 8690h、MTU1.NFCR 0008 8691h、MTU2.NFCR 0008 8692h
MTU3.NFCR 0008 8693h、MTU4.NFCR 0008 8694h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0：MTIOCnA端子のノイズフィルタは停止 1：MTIOCnA端子のノイズフィルタを許可	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0：MTIOCnB端子のノイズフィルタは停止 1：MTIOCnB端子のノイズフィルタを許可	R/W
b2	NFCEN	ノイズフィルタC許可ビット	0：MTIOCnC端子のノイズフィルタは停止 1：MTIOCnC端子のノイズフィルタを許可	R/W (注1)
b3	NFDEN	ノイズフィルタD許可ビット	0：MTIOCnD端子のノイズフィルタは停止 1：MTIOCnD端子のノイズフィルタを許可	R/W (注1)
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00：PCLK/1 01：PCLK/8 10：PCLK/32 11：カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　MTU1.NFCRレジスタ、MTU2.NFCRレジスタでは予約ビットになります。読むと“0”が読みだされます。書き込み値は無効です。

MTUn.NFCR レジスタ (n=0 ～ 4) は、8 ビットの読み出し / 書き込み可能なレジスタです。MTUn.NFCR レジスタは、MTIOCnm 端子のノイズフィルタを許可 / 停止を制御します。また、ノイズフィルタののサンプリングクロックを設定します。（n = 0 ～ 4、m = A ～ D）

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTIOCnA 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード（0000b) 以外に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTIOCnB 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード（0000b) 以外に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTIOCnC 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード（0000b) 以外に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTIOCnD 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード（0000b) 以外に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロック選択ビット）

ノイズフィルタのサンプリング周期を設定します。NFCS ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。NFCS[1:0] ビットを “11b” に設定しカウントソースを外部クロックとした場合、NFCS ビット設定後外部クロックを 2 回入力した後インプットキャプチャ機能に設定してください。

- NFCR（MTU5）

アドレス　MTU5.NFCR 0008 8695h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		—	NFWEN	NFVEN	NFUEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0：MTIC5U端子のノイズフィルタは停止 1：MTIC5U端子のノイズフィルタを許可	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0：MTIC5V端子のノイズフィルタは停止 1：MTIC5V端子のノイズフィルタを許可	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0：MTIC5W端子のノイズフィルタは停止 1：MTIC5W端子のノイズフィルタを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00：PCLK/1 01：PCLK/8 10：PCLK/32 11：カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU5.NFCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。MTU5.NFCR レジスタは、MTIC5m 端子のノイズフィルタを許可 / 停止を制御します。また、ノイズフィルタのサンプリングクロックを設定します。（m = U、V、W）

NFUEN ビット（ノイズフィルタ U 許可ビット）

MTIC5U 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFUEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFUEN ビットを切り替えてください。

NFVEN ビット（ノイズフィルタ V 許可ビット）

MTIC5V 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFVEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFVEN ビットを切り替えてください。

NFWEN ビット（ノイズフィルタ W 許可ビット）

MTIC5W 端子の入力のノイズフィルタ機能の許可 / 停止を設定します。NFWEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFWEN ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロック選択ビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

23.2.32　バスマスタとのインタフェース

タイマカウンタ（TCNT）、ジェネラルレジスタ（TGR）、タイマサブカウンタ（TCNTS）、タイマ周期バッファレジスタ（TCBR）、タイマデッドタイムデータレジスタ（TDDR）、タイマ周期データレジスタ（TCDR）、タイマ A/D 変換開始要求コントロールレジスタ（TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（TADCORA/B）、およびタイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA/B）は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し / 書き込みを行ってください。

23.3　動作説明

23.3.1　基本動作

各チャネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1)　カウンタの動作

TSTR の CST0 ～ CST4 ビット、MTU5.TSTR の CSTU5、CSTV5、CSTW5 ビットを “1” にすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a)　カウント動作の設定手順例

カウンタ動作設定手順例を図 23.4 に示します。

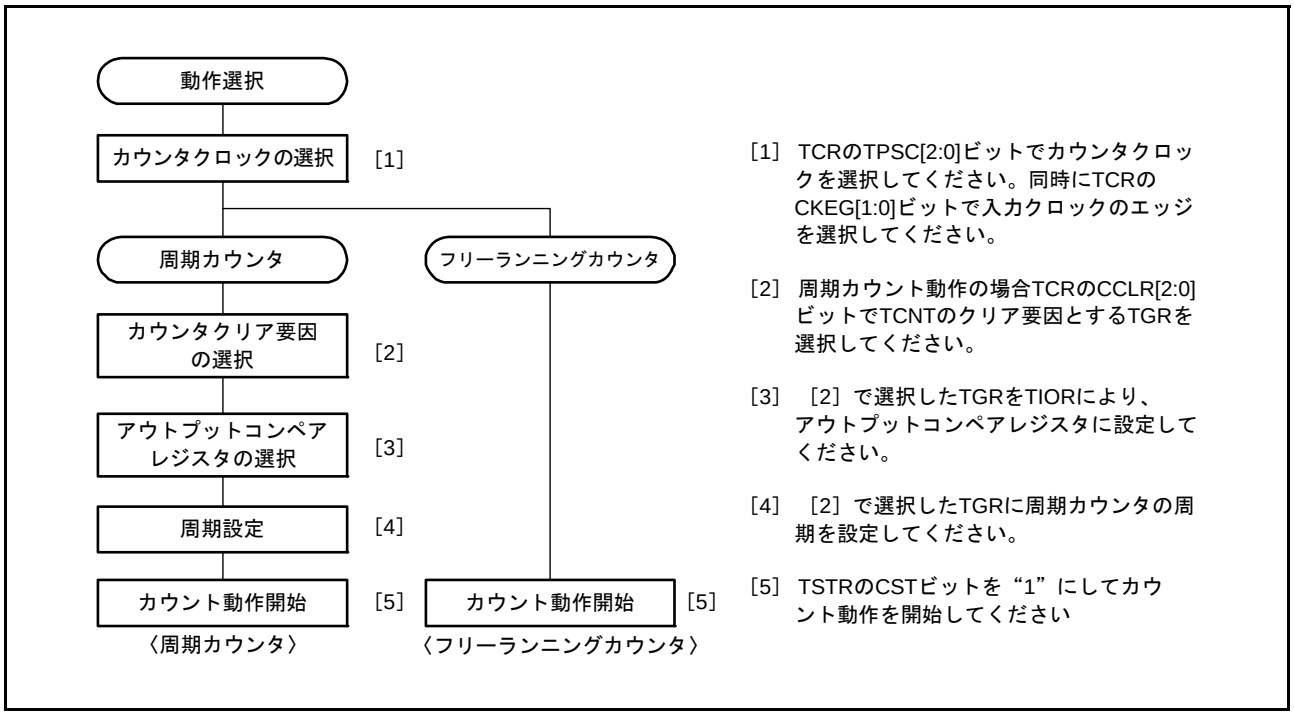


図 23.4　カウンタ動作設定手順例

(b)　フリーランニングカウント動作と周期カウント動作

MTU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを “1” にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（FFFFh → 0000h）すると、対応する TIER の TCIEV ビットが “1” ならば、MTU は割り込みを要求します。TCNT はオーバフロー後、0000h からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 23.5 に示します。

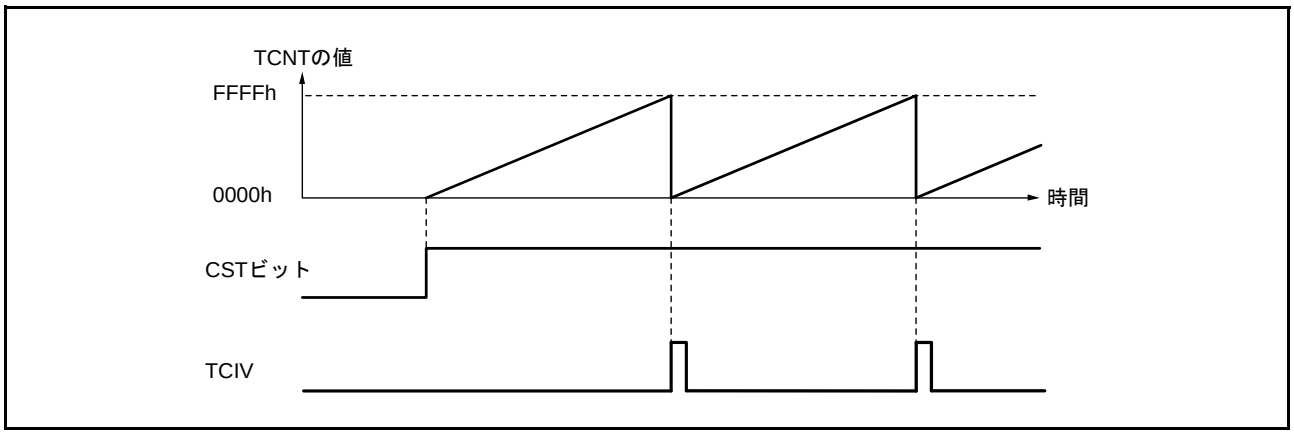


図 23.5　　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを “1” にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TCNT は 0000h になります。

このとき対応する TIER の TGIE ビットが “1” ならば、MTU は割り込みを要求します。TCNT はコンペアマッチ後、0000h からアップカウント動作を継続します。

周期カウンタの動作を図 23.6 に示します。

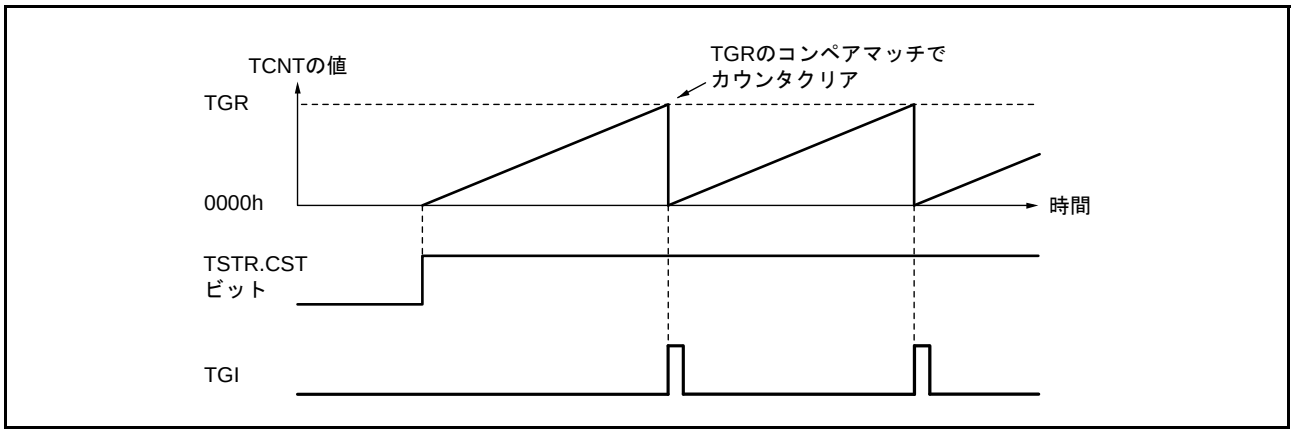


図 23.6　　周期カウンタの動作

(2)　コンペアマッチによる波形出力機能

MTU は、コンペアマッチにより対応する出力端子から Low 出力 /High 出力 / トグル出力を行うことができます。

(a)　コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 23.7 に示します。

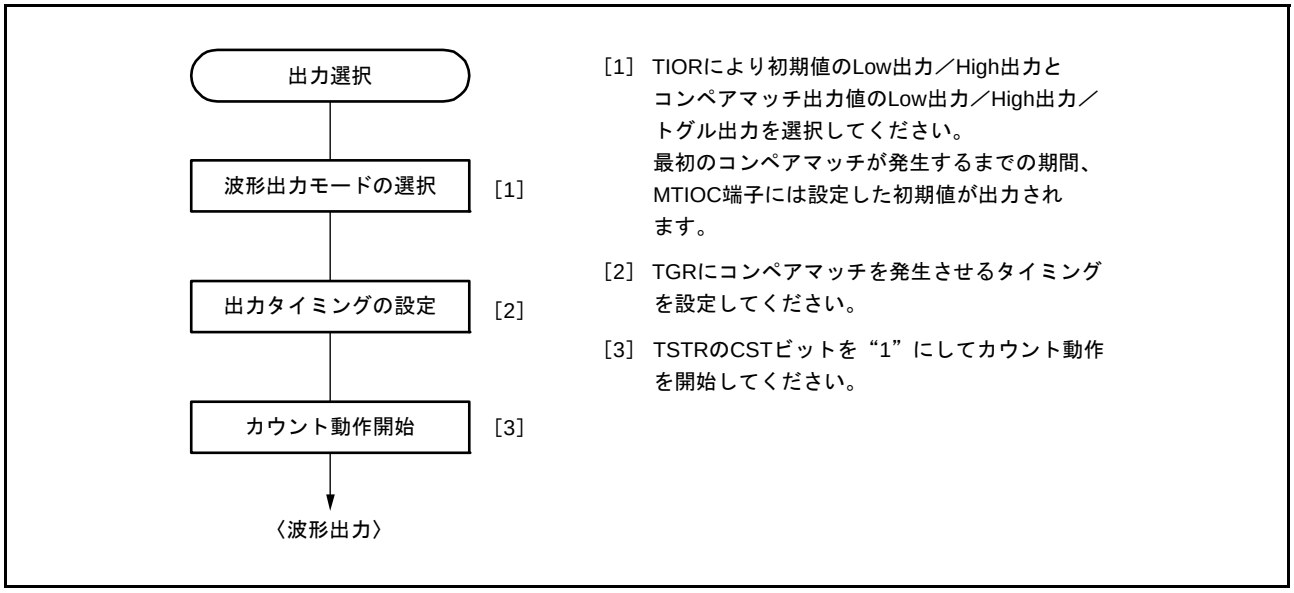


図 23.7　　コンペアマッチによる波形出力動作例

(b)　波形出力動作例

Low 出力 /High 出力例を図 23.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

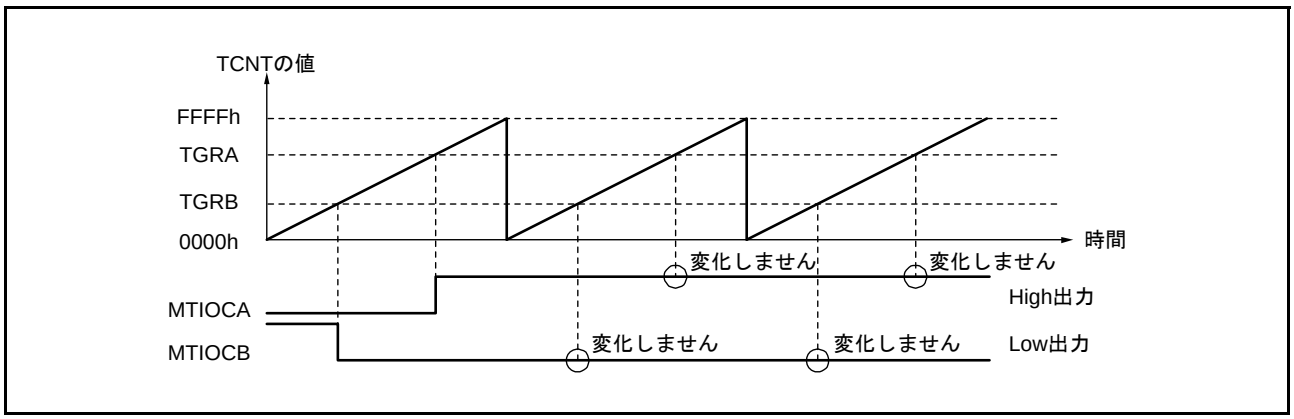


図 23.8　Low 出力 /High 出力の動作例

トグル出力の例を図 23.9 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

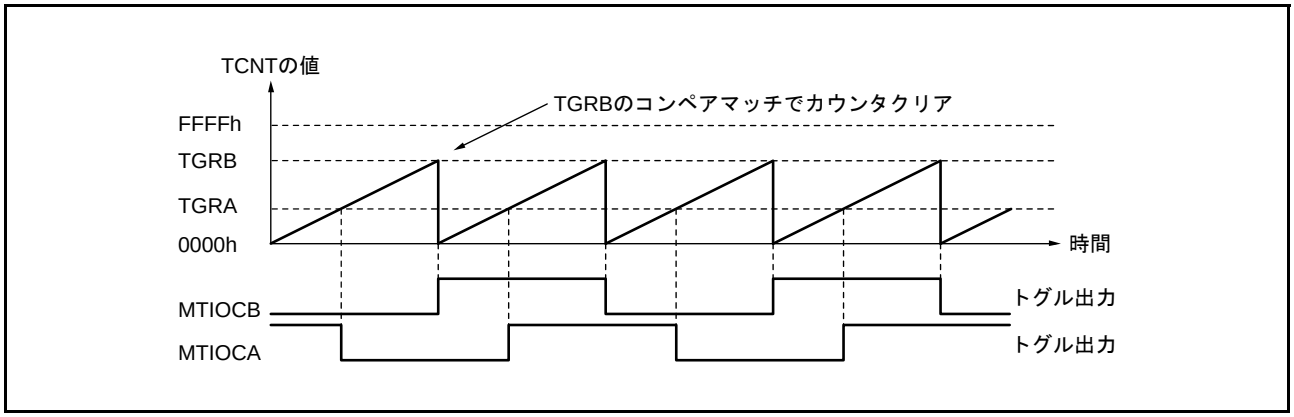


図 23.9　トグル出力の動作例

(3) インプットキャプチャ機能

MTIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、MTU0、MTU1 は別のチャネルのカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

注 .　MTU0、MTU1 で別のチャネルのカウンタ入力クロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウンタ入力クロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インプットキャプチャは発生しません。

(a) インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 23.10 に示します。

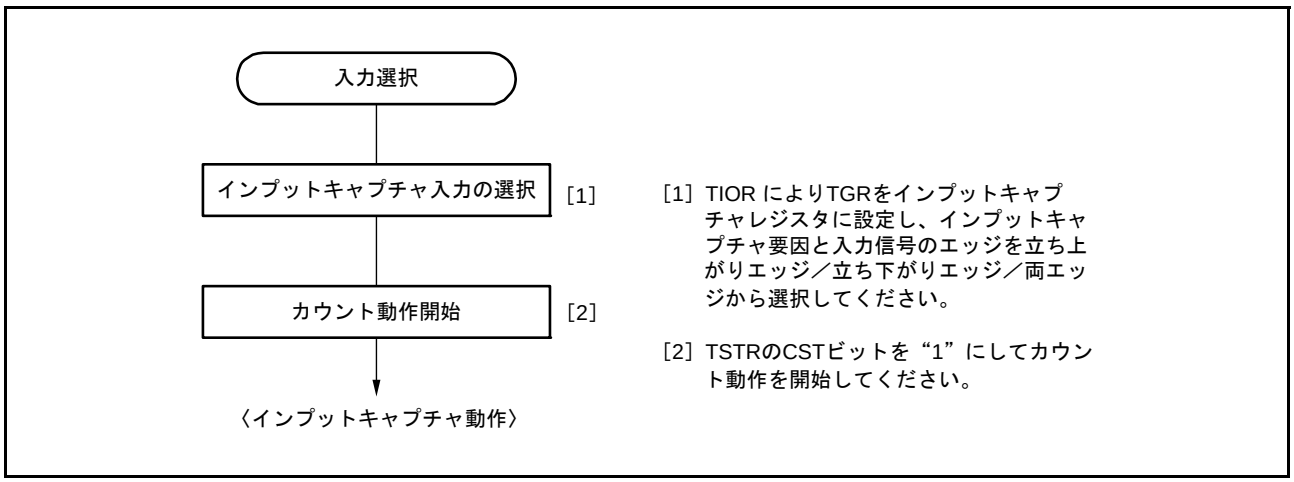


図 23.10　インプットキャプチャ動作の設定手順例

(b)　インプットキャプチャ動作例

インプットキャプチャ動作例を図 23.11 に示します。

MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCnB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

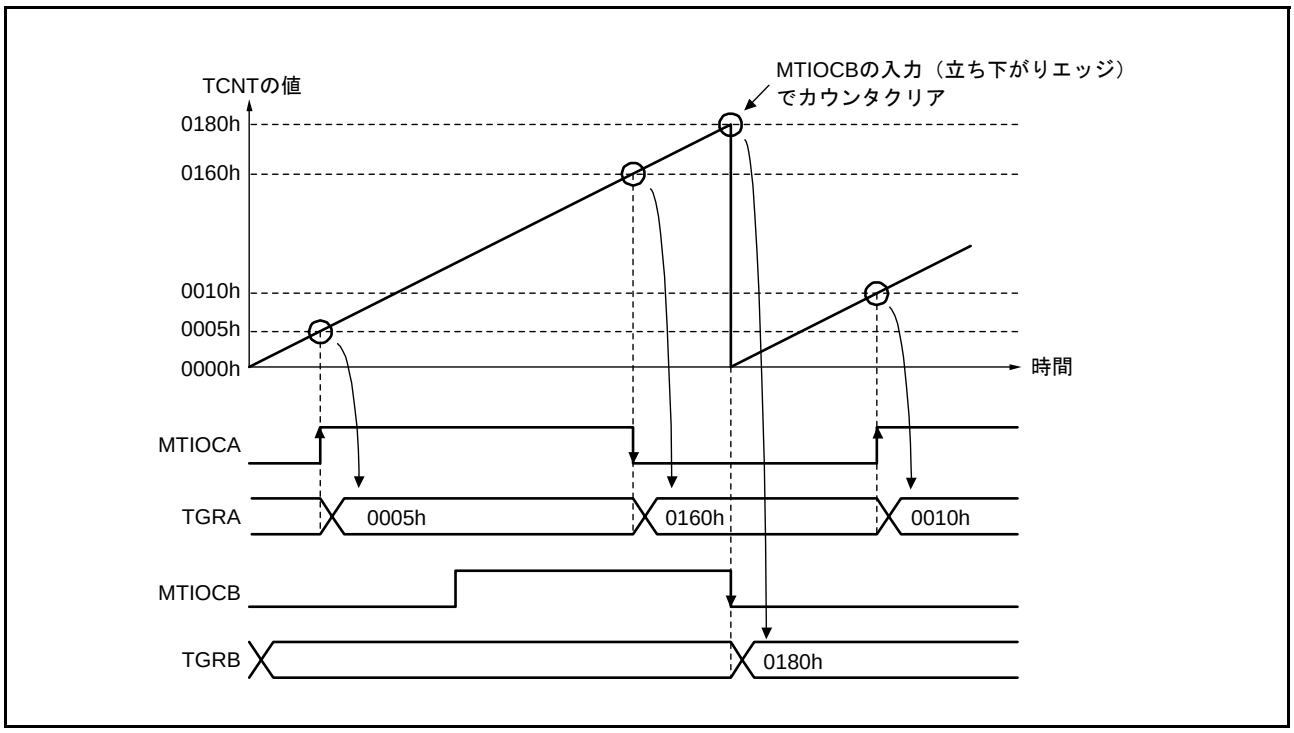


図 23.11　インプットキャプチャ動作例

23.3.2　同期動作

同期動作は、複数の TCNT の値を同時に書き替えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

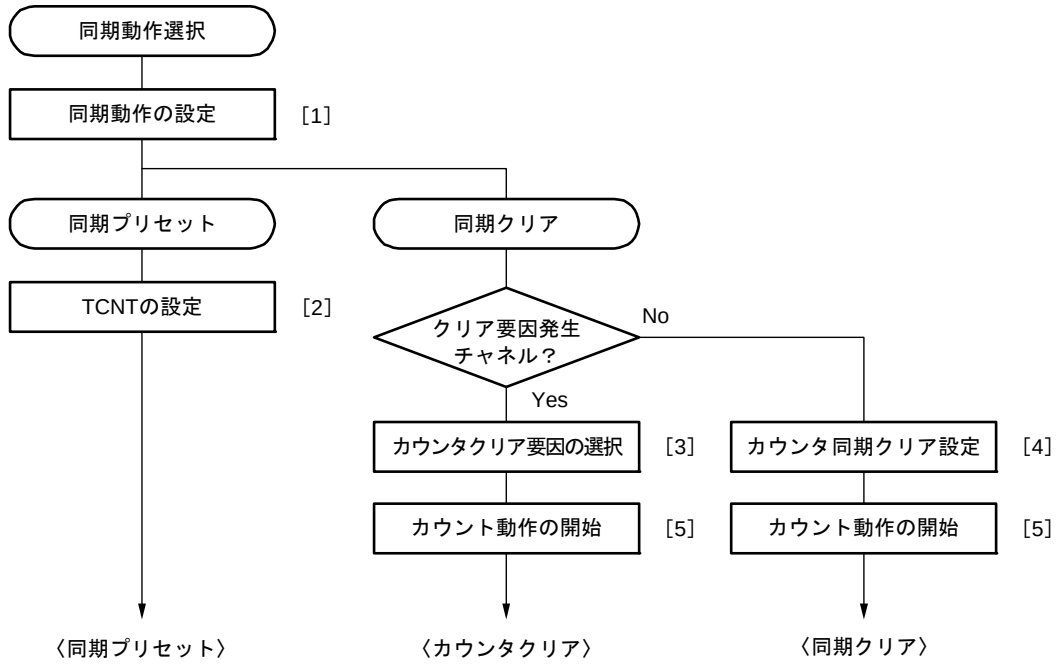
同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

MTU0 ～ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1)　同期動作の設定手順例

同期動作の設定手順例を図 23.12 に示します。



[1] 同期動作に設定するチャネルに対応したTSYRのSYNCビットを“1”にしてください。

[2] 同期動作に設定したチャネルのいずれかのTCNTに書き込むと、他のTCNTにも同じ値が同時に書き込まれます。

[3] TCRのCCLR[2:0]ビットで、インプットキャプチャ／アウトプットコンペアなどでTCNTをクリアするように設定してください。

[4] TCRのCCLR[2:0]ビットで、カウンタクリア要因を同期クリアに設定してください。

[5] 対象となるチャネルに対応するTSTRのCSTビットを“1”にしてカウント動作を開始してください。

図 23.12　同期動作の設定手順例

(2)　同期動作の例

同期動作の例を図 23.13 に示します。

MTU0 ～ 2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ～ MTU2 の TCNT は同期プリセット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「23.3.5　PWM モード」を参照してください。

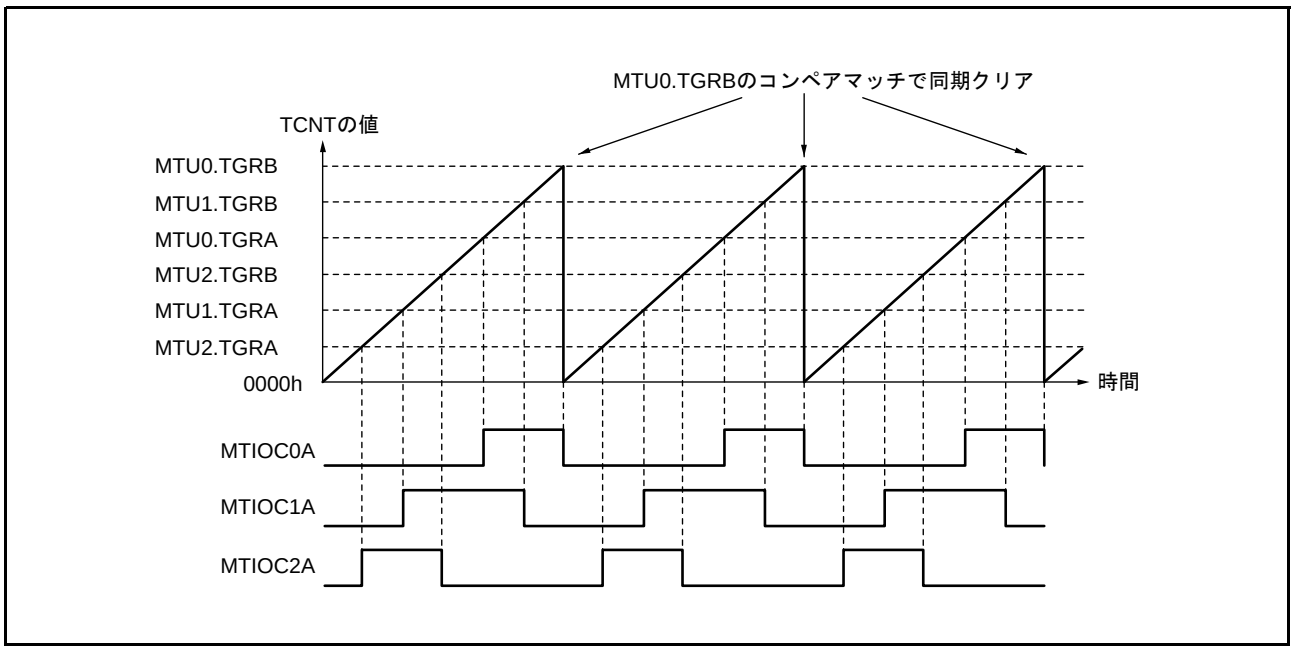


図 23.13　同期動作の動作例

23.3.3　バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注 .　MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 23.43 にバッファ動作時のレジスタの組み合わせを示します。

表23.43　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 23.14 に示します。

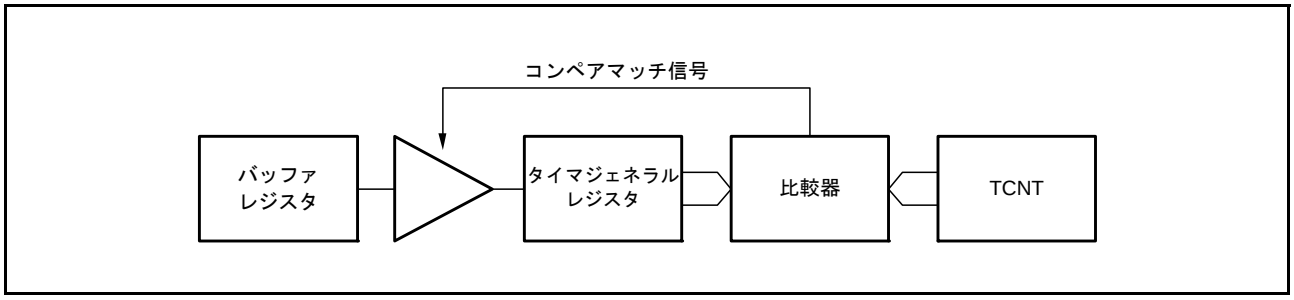


図 23.14　コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 23.15 に示します。

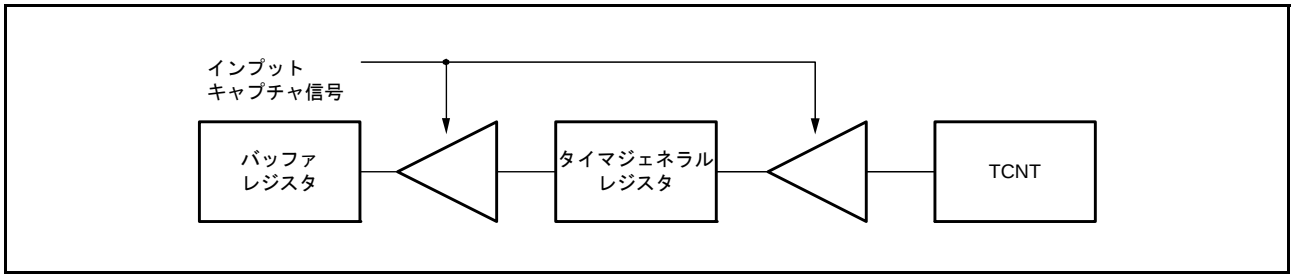


図 23.15　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 23.16 に示します。

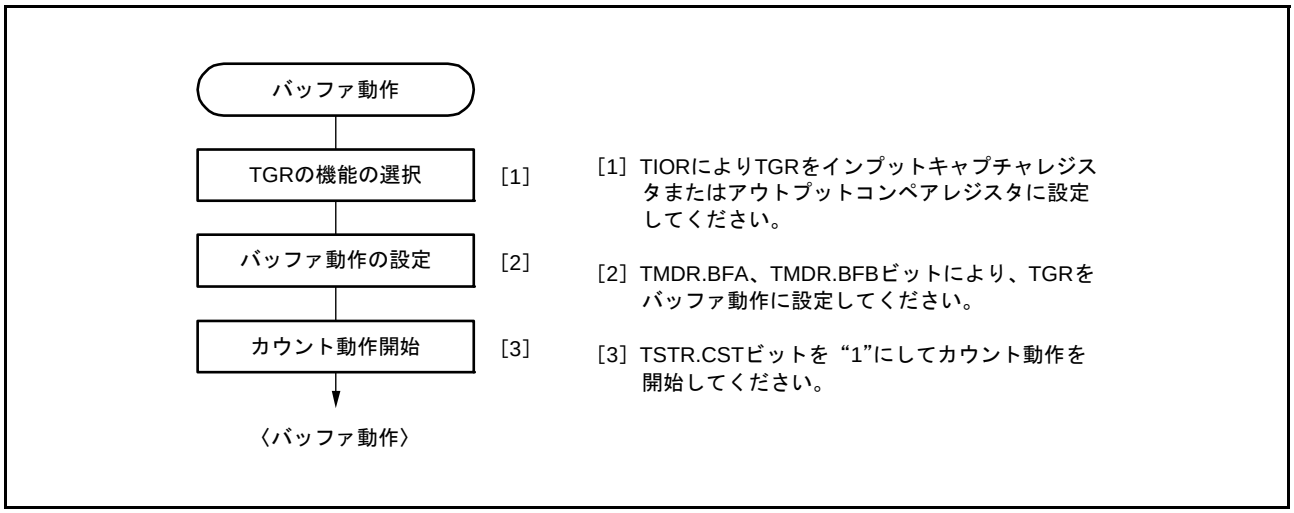


図 23.16　バッファ動作の設定手順例

(2)　バッファ動作例

(a)　TGR がアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 23.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM の TTSA ビットは “0” に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「23.3.5　PWM モード」を参照してください。

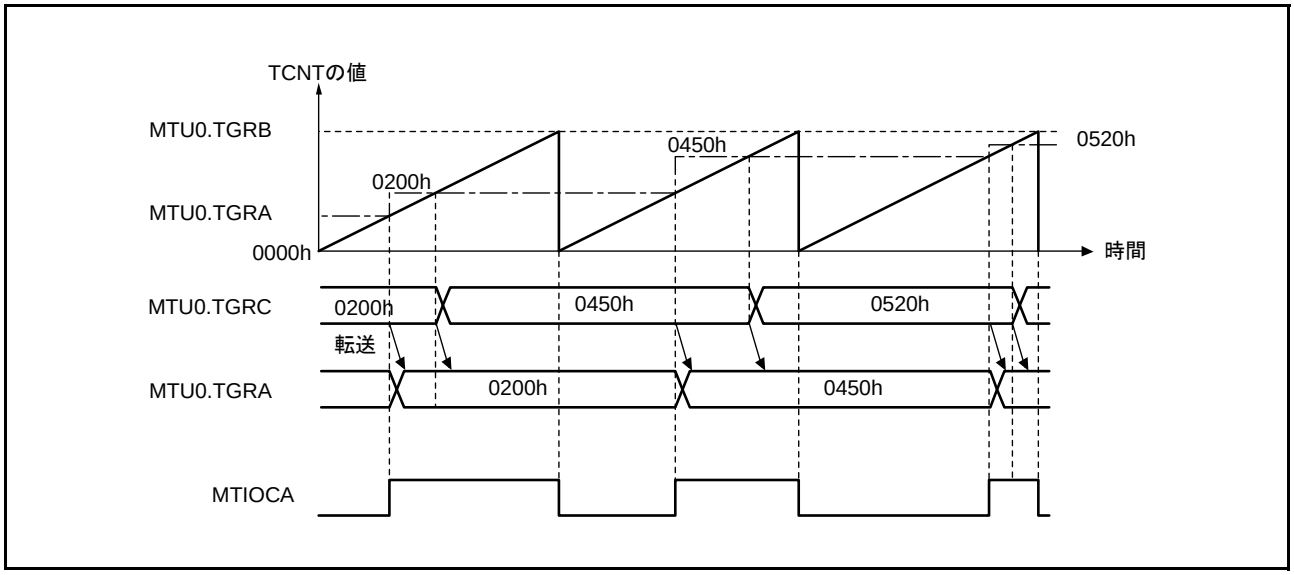


図 23.17　バッファ動作例（1）

(b)　TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を**図 23.18** に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

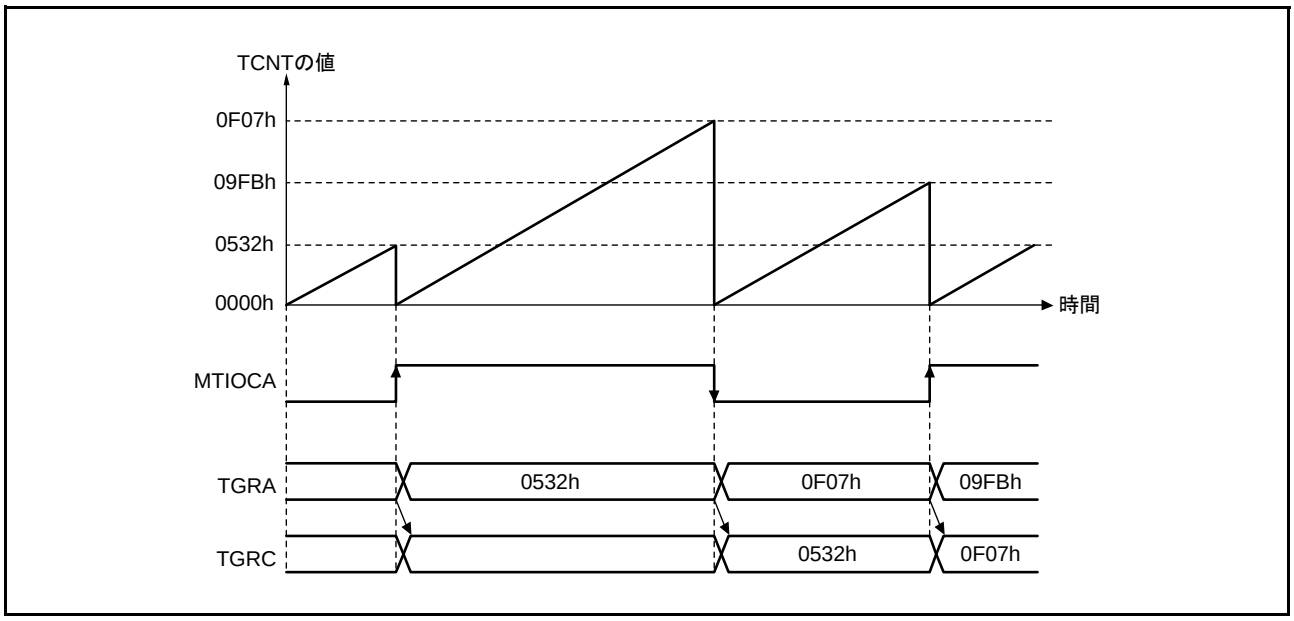


図 23.18　バッファ動作例（2）

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ（MTU0.TBTM、MTU3.TBTM、MTU4.TBTM）を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバフローしたとき（FFFFh → 0000h）
- カウンタ動作中、TCNT に 0000h が書き込まれたとき
- TCR の CCLR[2:0] ビットで設定したクリア要因で、TCNT が 0000h になったとき

注 .　TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 23.19 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM の TTSA ビットは “1” に設定しています。

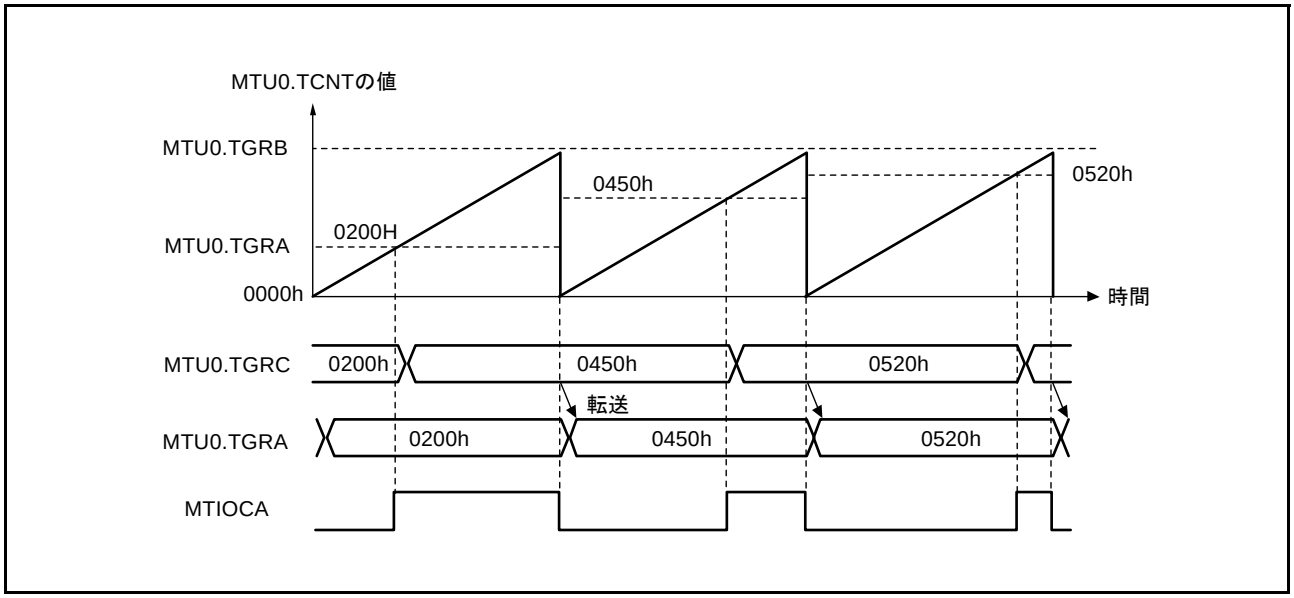


図 23.19　MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

23.3.4　カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、MTU1 のカウンタクロックを TCR レジスタの TPSC[2:0] ビットで（MTU2.TCNT）のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 23.44 にカスケード接続の組み合わせを示します。

注 .　MTU1、MTU2 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 23.44　カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
MTU1 と MTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNT と MTU2.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ（TICCR）で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和をとった信号に対して行われます。したがって、いずれか一歩が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4)　カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「23.6.22　カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ」を参照してください。

TICCR レジスタ設定値とインプットキャプチャ入力端子の対応を表 23.45 に示します。

表 23.45　TICCR レジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR レジスタ設定値	インプットキャプチャ入力端子
MTU1.TCNT から MTU1.TGRA へのインプットキャプチャ	I2AE ビット＝ 0（初期値）	MTIOC1A
	I2AE ビット＝ 1	MTIOC1A、MTIOC2A
MTU1.TCNT から MTU1.TGRB へのインプットキャプチャ	I2BE ビット＝ 0（初期値）	MTIOC1B
	I2BE ビット＝ 1	MTIOC1B、MTIOC2B
MTU2.TCNT から MTU2.TGRA へのインプットキャプチャ	I1AE ビット＝ 0（初期値）	MTIOC2A
	I1AE ビット＝ 1	MTIOC2A、MTIOC1A
MTU2.TCNT から MTU2.TGRB へのインプットキャプチャ	I1BE ビット＝ 0（初期値）	MTIOC2B
	I1BE ビット＝ 1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 23.20 に示します。

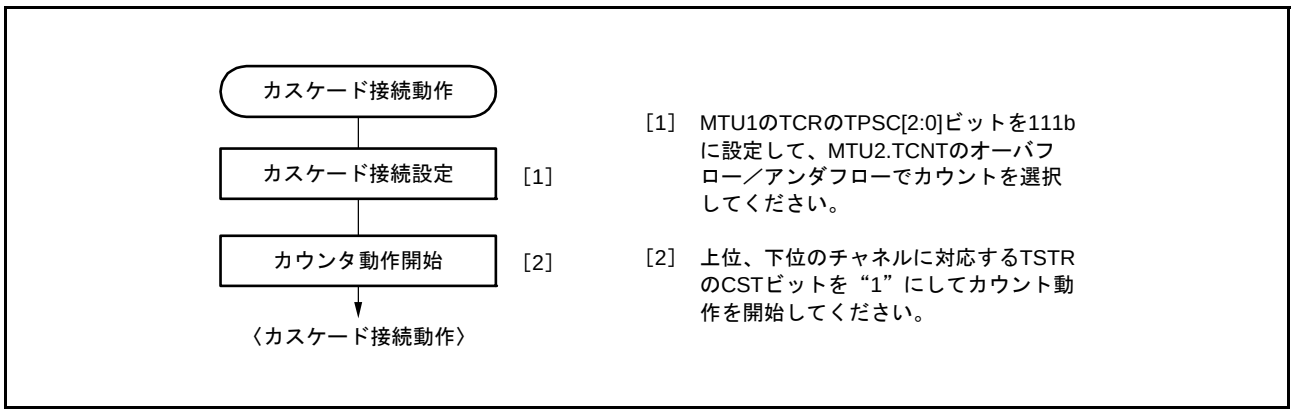


図 23.20　カスケード接続動作設定手順

(2) カスケード接続動作例（a）

MTU1.TCNT は MTU2.TCNT のオーバフロー / アンダフローでカウント、MTU2 を位相計数モードに設定したときの動作を図 23.21 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

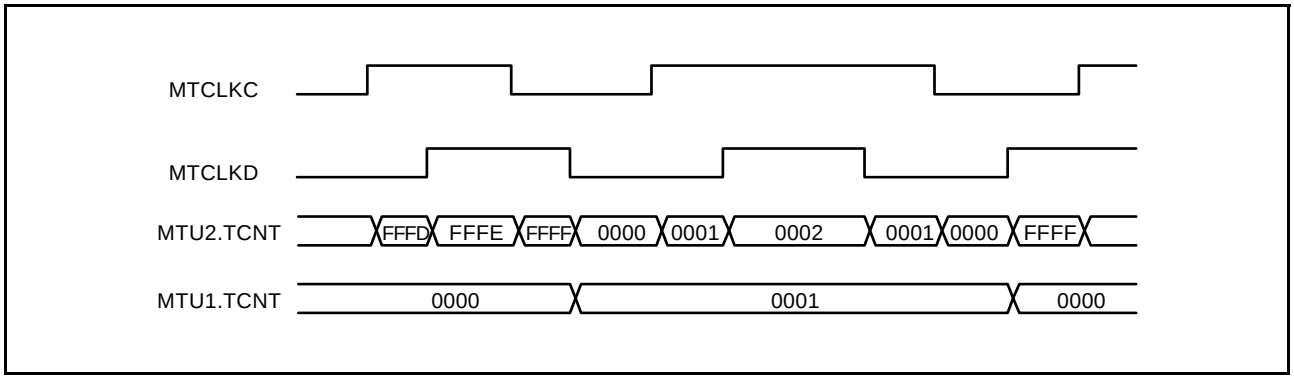


図 23.21　カスケード接続動作例（a）

(3)　カスケード接続動作例（b）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットに “1” をセットして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 23.22 に示します。この例では MTU1.TIOR の IOA[3:0] の設定は、（MTIOC1A の）立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] の設定は、（MTIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA のインプットキャプチャ条件に設定されます。また、MTU2.TGRA のインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

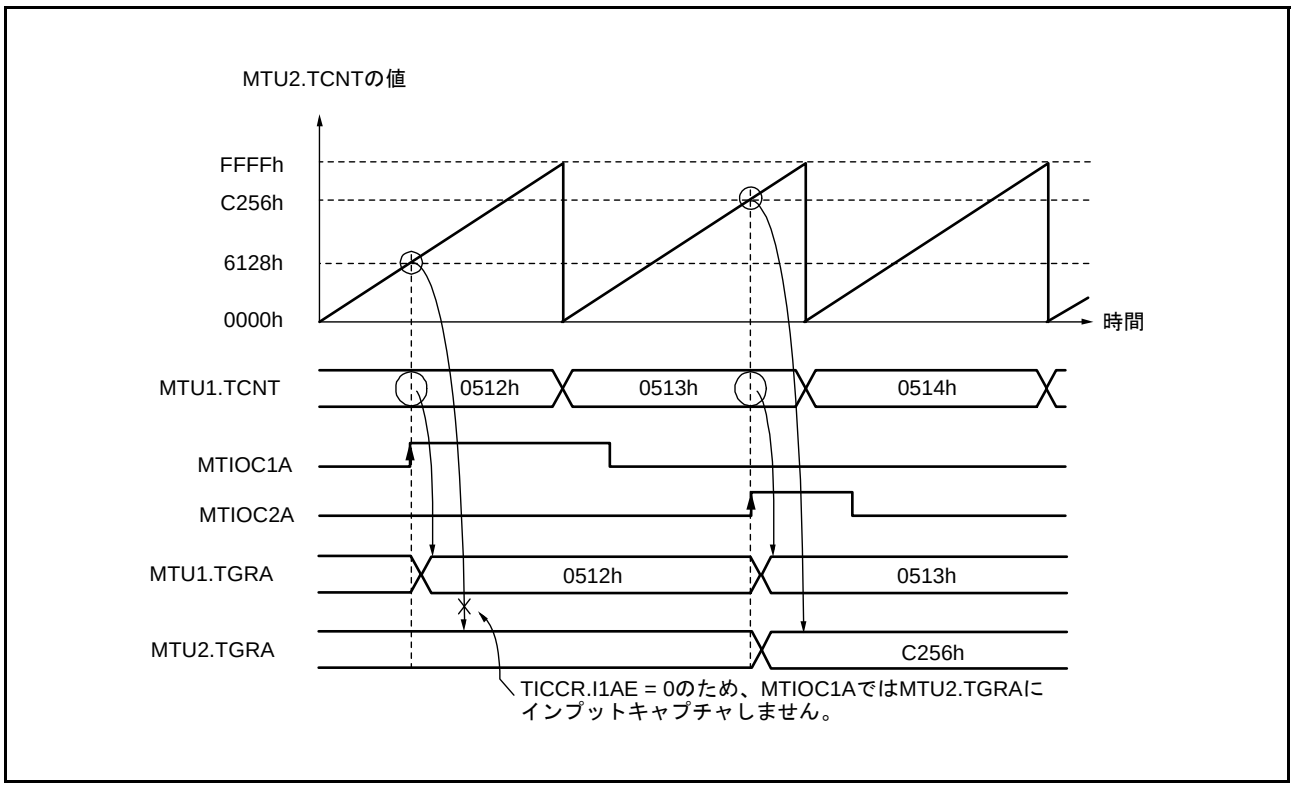
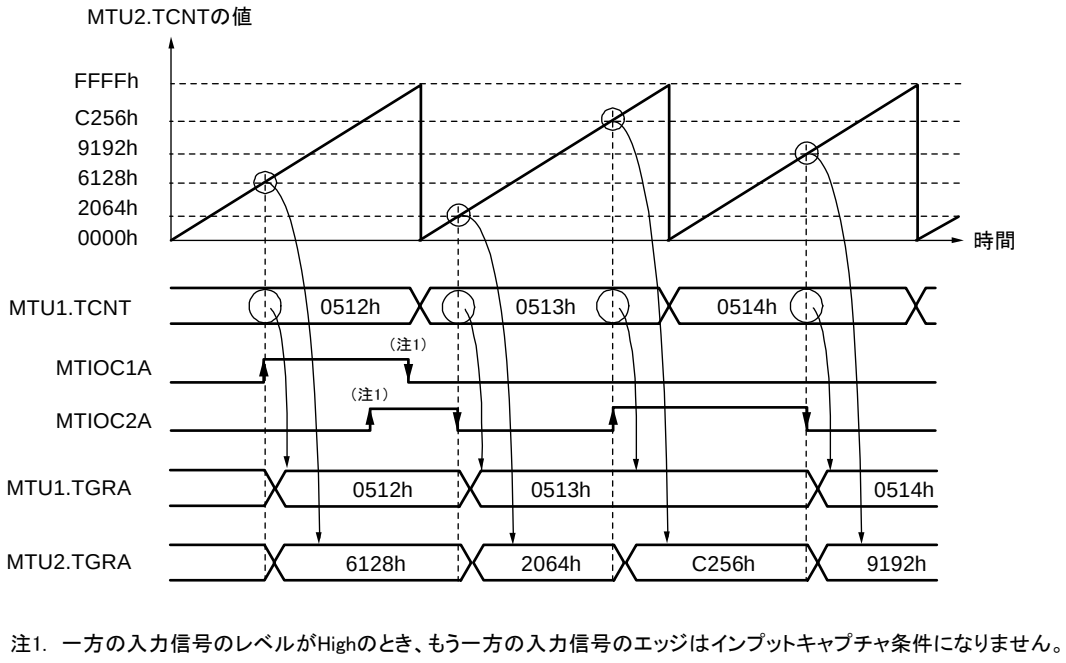


図 23.22　カスケード接続動作例（b）

(4) カスケード接続動作例（c）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE に “1” をセットして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加した場合の動作を図 23.23 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA のインプットキャプチャ条件となります。



注1. 一方の入力信号のレベルがHighのとき、もう一方の入力信号のエッジはインプットキャプチャ条件になりません。

図 23.23　カスケード接続動作例（c）

(5)　カスケード接続動作例（d）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR レジスタの I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 23.24 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、（MTIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャのため、TICCR レジスタの I2AE ビットを “1” にしても MTIOC2A のエッジが MTU1.TGRA のインプットキャプチャ条件になることはありません。

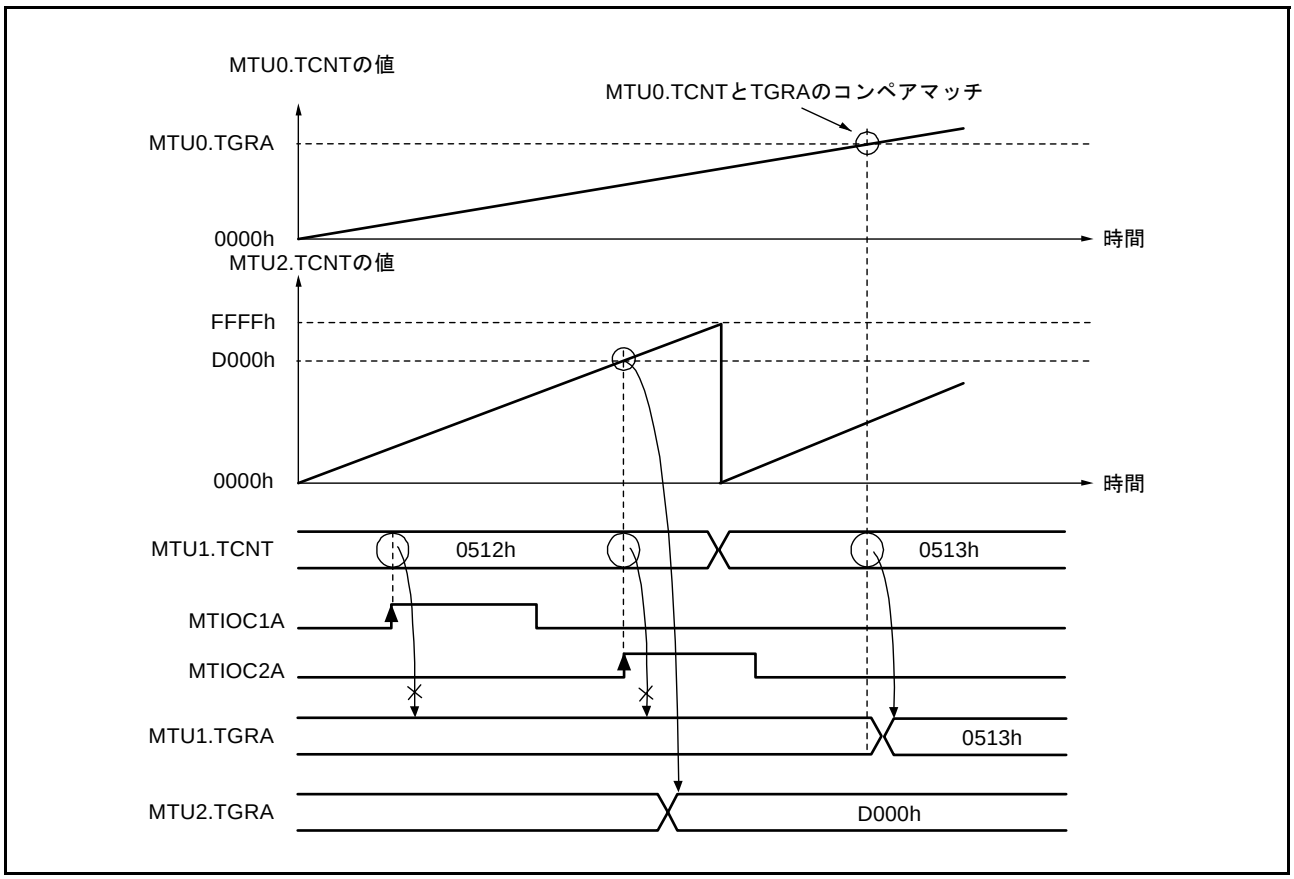


図 23.24　カスケード接続動作例（d）

23.3.5　PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは Low 出力 /High 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ～ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a)　PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、MTIOCnA、MTIOCnC 端子から PWM 出力を生成します。MTIOCnA、MTIOCnC 端子からコンペアマッチ A、C によって TIOR の IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b)　PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を**表 23.46** に示します。

表23.46　各PWM出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B
MTU3	MTU3.TGRA	MTIOC3A	設定できません
	MTU3.TGRB		
	MTU3.TGRC	MTIOC3C	
	MTU3.TGRD		
MTU4	MTU4.TGRA	MTIOC4A	
	MTU4.TGRB		
	MTU4.TGRC	MTIOC4C	
	MTU4.TGRD		

注.　PWMモード2のとき、周期を設定したTGRのPWM出力はできません。

(1)　PWM モードの設定手順例

PWM モードの設定手順例を図 23.25 に示します。

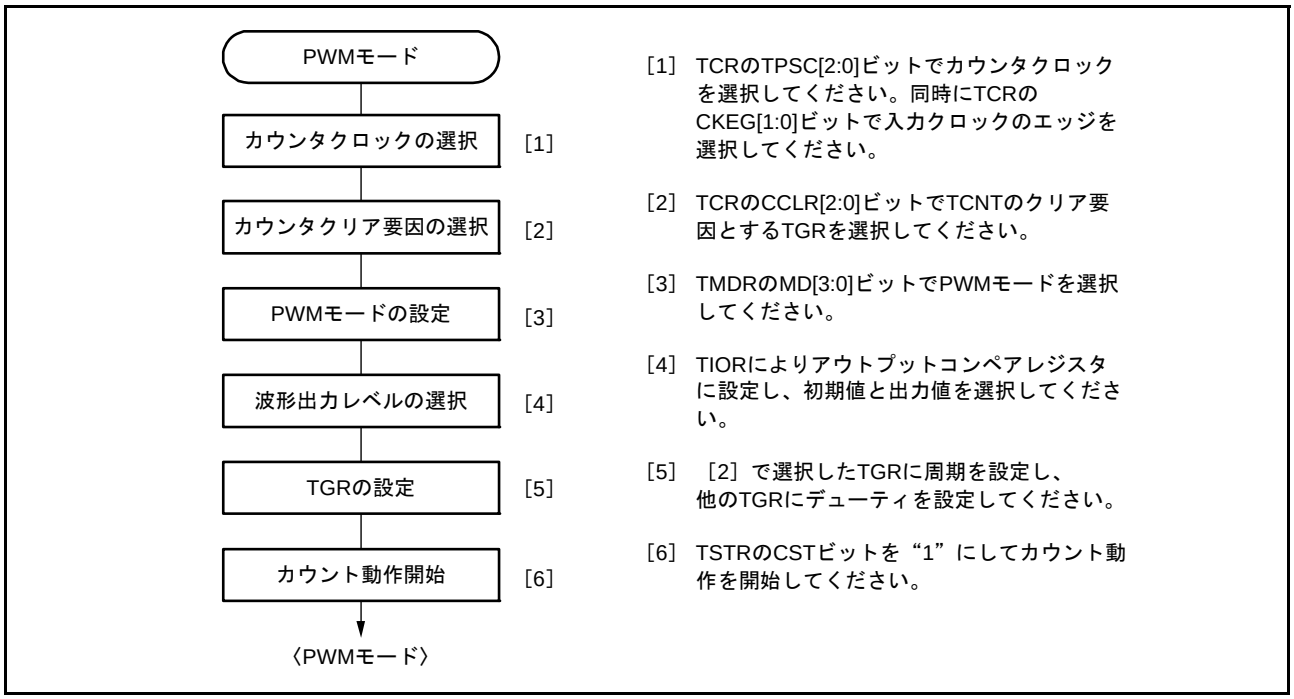


図 23.25　PWM モードの設定手順例

(2)　PWM モードの動作例

PWM モード 1 の動作例を図 23.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を “0”、TGRB の出力値を “1” に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

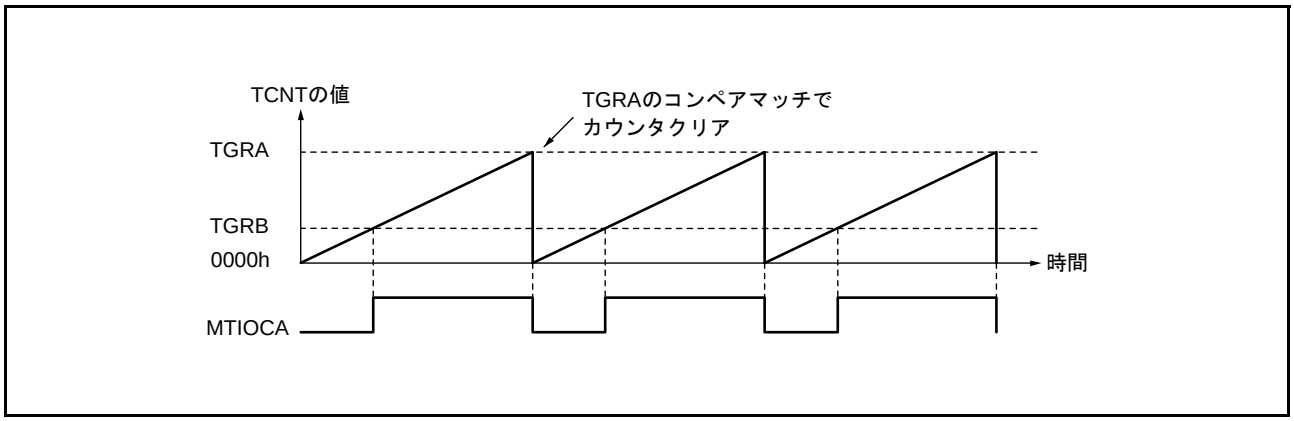


図 23.26　PWM モードの動作例

PWM モード 2 の動作例を図 23.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB のコンペアマッチとし、他の TGR（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）の初期出力値を “Low”、出力値を “High” に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR に設定した値がデューティになります。

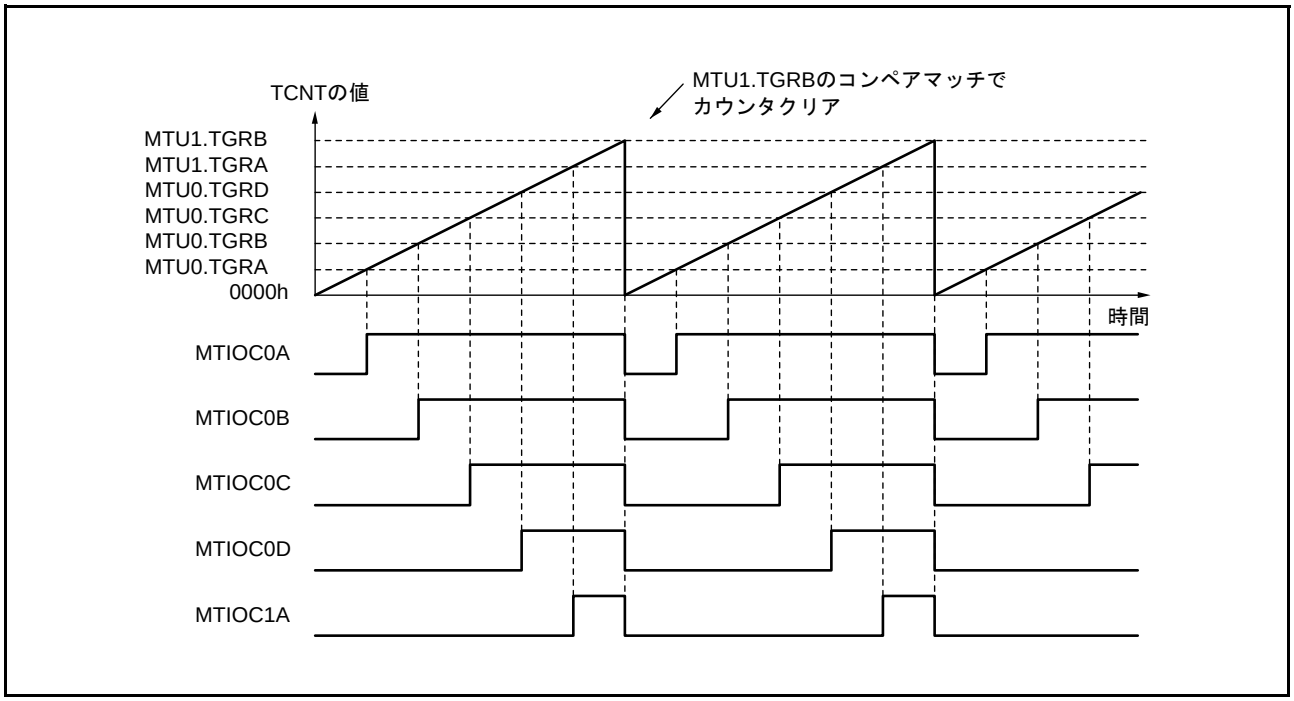


図 23.27　PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 23.28 に示します。

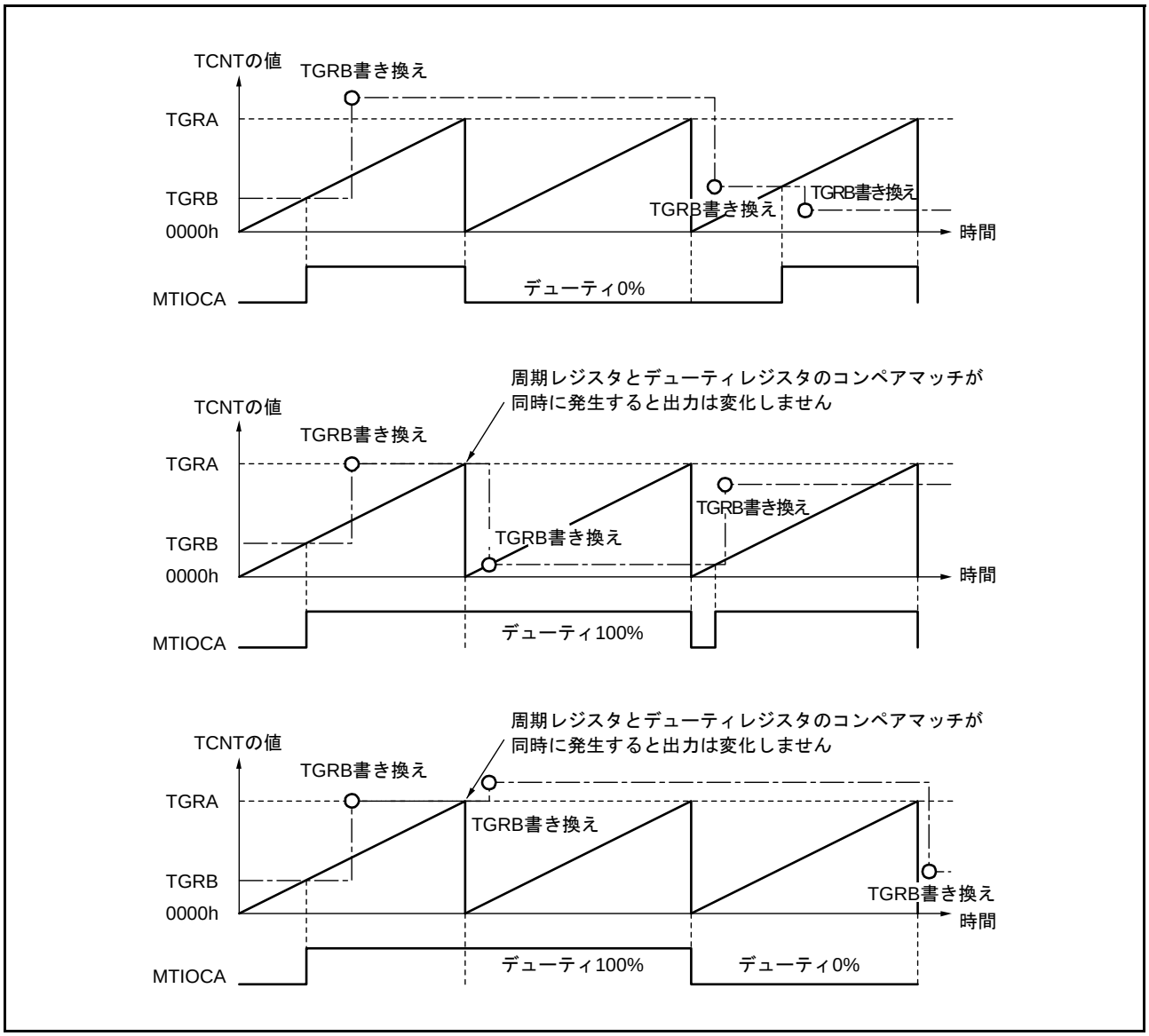


図 23.28　PWM モード動作例

23.3.6　位相計数モード

位相計数モードは、MTU1、MTU2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップカウント / ダウンカウントします。

位相計数モードに設定すると、TCR レジスタの TPSC[2:0] ビット、CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップカウント / ダウンカウントとして動作します。ただし、TCR レジスタの CCLR[1:0] ビット、TIOR、TIER、TGR レジスタの機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると、対応する TIER レジスタの TCIEV ビットが “1” ならば、TCIV 割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応する TIER レジスタの TCIEU ビットが “1” ならば TCIU 割り込みが発生します。

TSR レジスタの TCFD ビットはカウント方向フラグです。TCFD フラグの読み出しにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 23.47 に外部クロック端子とチャネルの対応を示します。

表 23.47　位相計数モードクロック入力端子

チャネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(1)　位相計数モードの設定手順例

位相計数モードの設定手順例を**図 23.29** に示します。

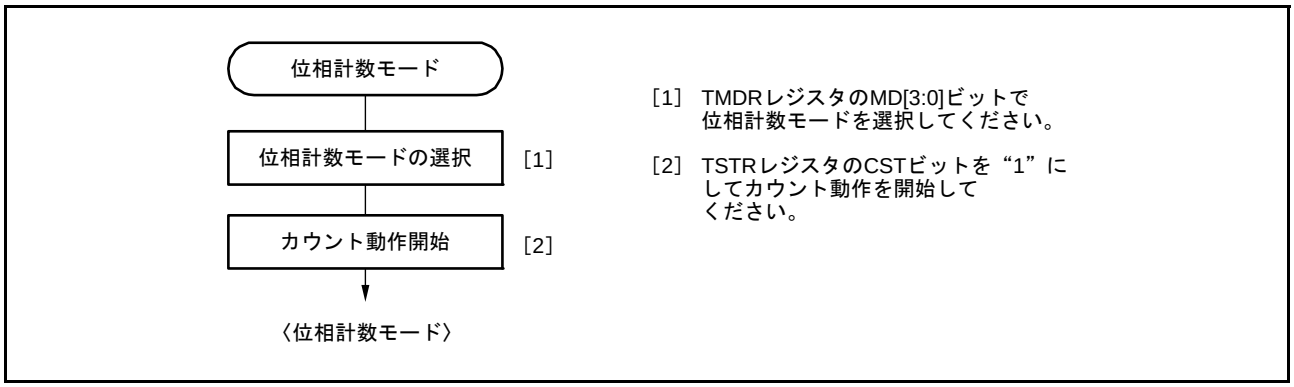


図 23.29　位相計数モードの設定手順例

(2)　位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップカウント / ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a)　位相計数モード 1

位相計数モード 1 の動作例を図 23.30 に、TCNT のアップカウント / ダウンカウント条件を表 23.48 に示します。

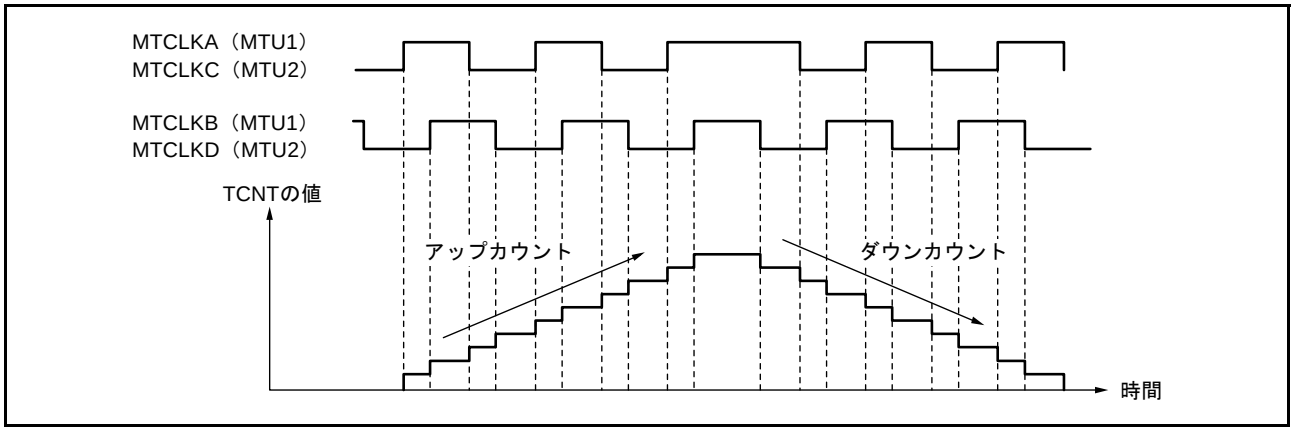


図 23.30　位相計数モード 1 の動作例

表 23.48　位相計数モード 1 のアップカウント / ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

(b)　位相計数モード 2

位相計数モード 2 の動作例を図 23.31 に、TCNT のアップカウント / ダウンカウント条件を表 23.49 に示します。

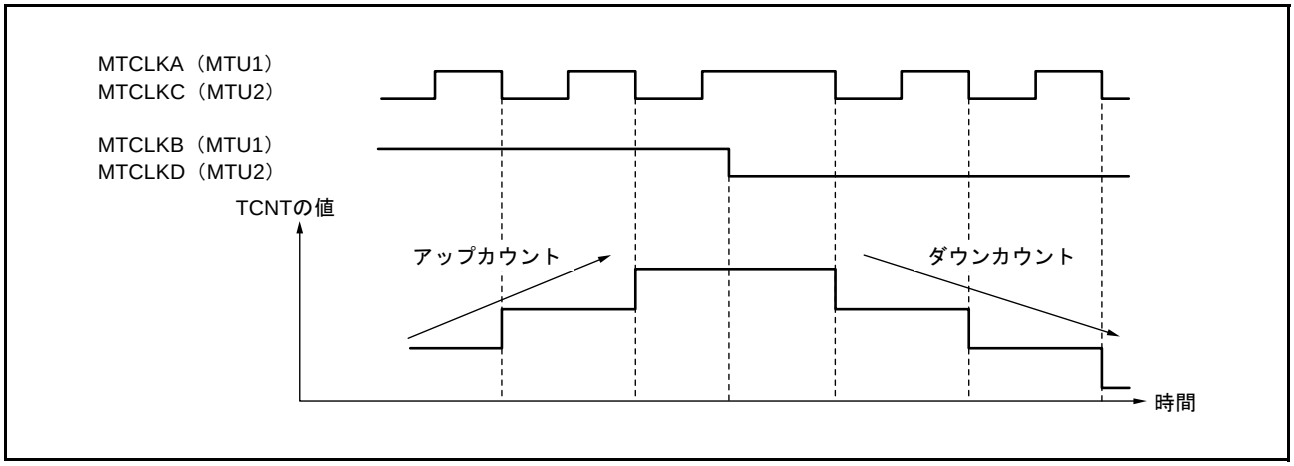


図 23.31　位相計数モード 2 の動作例

表23.49　位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	カウントしない（Don't care）
Low	↓	カウントしない（Don't care）
↑	Low	カウントしない（Don't care）
↓	High	アップカウント
High	↓	カウントしない（Don't care）
Low	↑	カウントしない（Don't care）
↑	High	カウントしない（Don't care）
↓	Low	ダウンカウント

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(c)　位相計数モード3

位相計数モード3の動作例を図23.32に、TCNTのアップカウント/ダウンカウント条件を表23.50に示します。

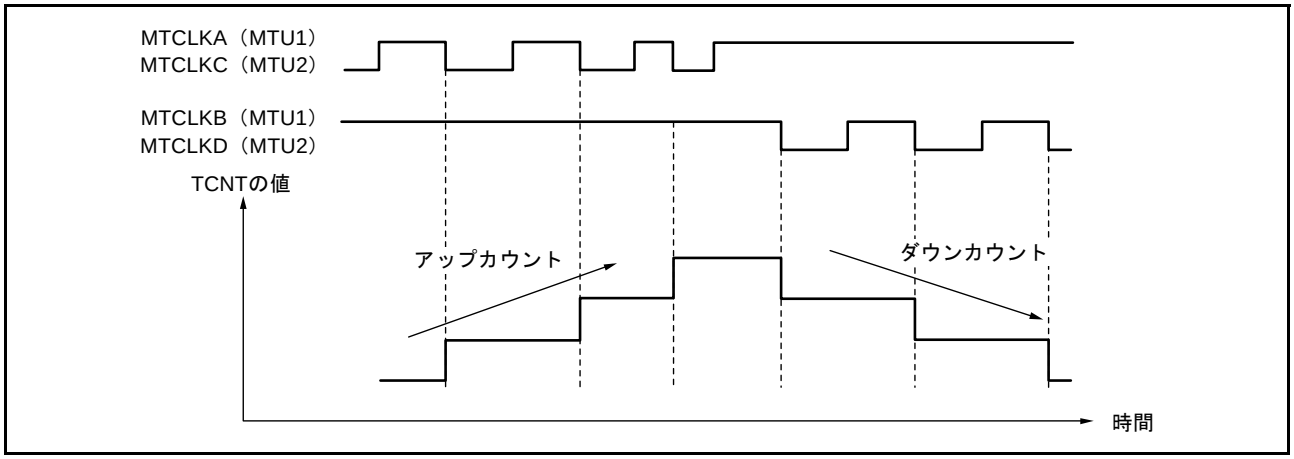


図23.32　位相計数モード3の動作例

表23.50　位相計数モード3のアップカウント/ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	カウントしない（Don't care）
Low	↓	カウントしない（Don't care）
↑	Low	カウントしない（Don't care）
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	カウントしない（Don't care）
↑	High	カウントしない（Don't care）
↓	Low	カウントしない（Don't care）

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(d)　位相計数モード 4

位相計数モード 4 の動作例を図 23.33 に、TCNT のアップカウント / ダウンカウント条件を表 23.51 に示します。

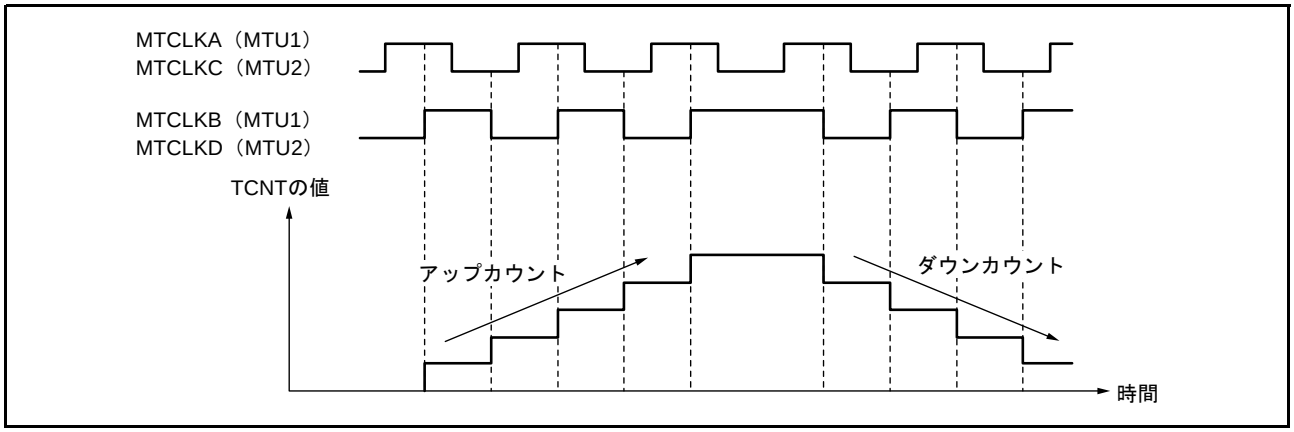


図 23.33　位相計数モード 4 の動作例

表 23.51　位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない（Don't care）
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない（Don't care）
↓	Low	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

(3)　位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 23.34 に示します。

MTU1 は位相計数モード 1 に設定し、MTCLKA と MTCLKB にエンコーダパルスの A 相、B 相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB はインプットキャプチャ機能で使用し、MTU0.TGRB と TGRD をバッファ動作させます。MTU0.TGRB のインプットキャプチャ要因は、MTU1 のカウンタ入力クロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と TGRB は、インプットキャプチャ機能に設定し、インプットキャプチャ要因は MTU0 の MTU0.TGRA と TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップカウント / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

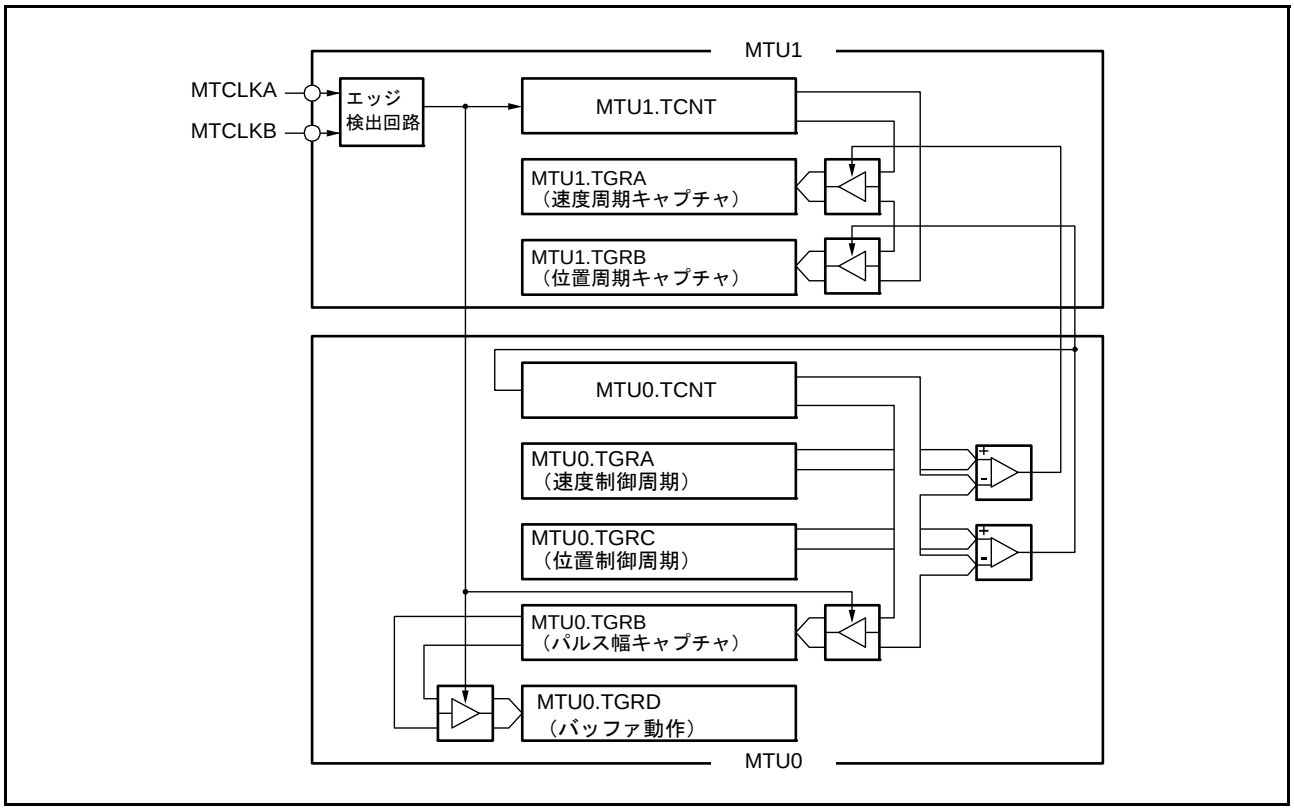


図 23.34　位相計数モードの応用例

23.3.7　リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、および MTIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3（MTU3.TCNT）はアップカウンタとして機能します。

PWM 出力端子を**表 23.52** に、レジスタの設定を**表 23.53** に示します。

表23.52　リセット同期PWMモード時の出力端子

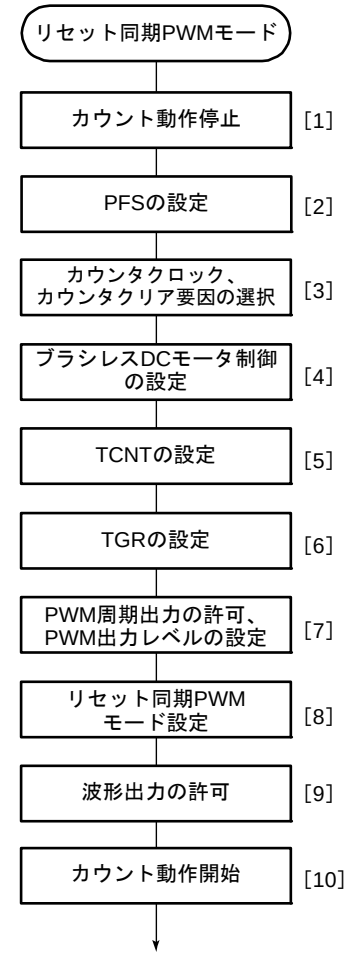
チャネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1’（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2’（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3’（PWM出力3の逆相波形）

表23.53　リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	0000hを初期設定
MTU4.TCNT	0000hを初期設定
MTU3.TGRA	MTU3.TCNTのカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定

(1)　リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 23.35 に示します。



[1] タイマスタートレジスタ（TSTR）のCST3、CST4ビットを“0”にし、タイマカウンタ（TCNT）のカウント動作を停止してください。リセット同期PWMモードの設定はMTU3.TCNT、MTU4.TCNTが停止した状態で行ってください。

[2] Pmn端子機能制御レジスタとポートI/Oレジスタの設定をしてください。

[3] タイマコントロールレジスタ（MTU3.TCR）のTPSC[2:0]ビットとCKEG[1:0]ビットでMTU3のカウンタクロックとクロックのエッジを設定してください。TCR.CCLR[2:0]ビットでカウンタクリア要因をTGRAのコンペアマッチに設定してください。

[4] ブラシレスDCモータ用の制御をする場合、タイマゲートコントロールレジスタ（TGCR）のBDCビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[5] MTU3.TCNT、MTU4.TCNTは0000hとしてください。

[6] MTU3.TGRAは周期レジスタです。MTU3.TGRAには周期を設定してください。MTU3.TGRB、MTU4.TGRA、MTU4.TGRBにはPWM出力波形変化タイミングを設定してください。ただし、設定値はMTU3.TCNTとコンペアマッチする範囲で設定してください。

X≦MTU3.TGRA （X：設定値）

[7] タイマアウトプットコントロールレジスタ（TOCR1）のPSYEビットでPWM周期に同期したトグル出力の許可／禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。TOCR2、TOLBRレジスタにより、PWM出力レベルの設定をバッファ動作で行う場合は、図23.3を参照してください。

[8] タイマモードレジスタ（MTU3.TMDR）のMD[3:0]ビットを1000bにしてリセット同期PWMモードと必要に応じてTGRAレジスタとTGRCレジスタのバッファ動作(BFA=1)、TGRBレジスタとTGRDレジスタのバッファ動作（BFB=1)を設定してください。MTU4.TMDRには初期値を設定してください。

[9] タイマアウトプットマスタ許可レジスタ（TOER）でPWM波形出力端子の出力の許可／禁止を設定してください。

[10] TSTRのCST3ビットを“1”にして、カウント動作を開始してください。

注. X=MTU3.TGRAすなわち周期＝デューティ比の設定を行うと出力波形はMTU3.TCNT=MTU3.TGRA=Xのポイントでトグル動作します。

図 23.35　リセット同期 PWM モードの設定手順例

(2)　リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 23.36 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT はアップカウンタとして動作します。MTU3.TCNT が MTU3.TGRA とコンペアマッチするとカウンタはクリアされ 0000h からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

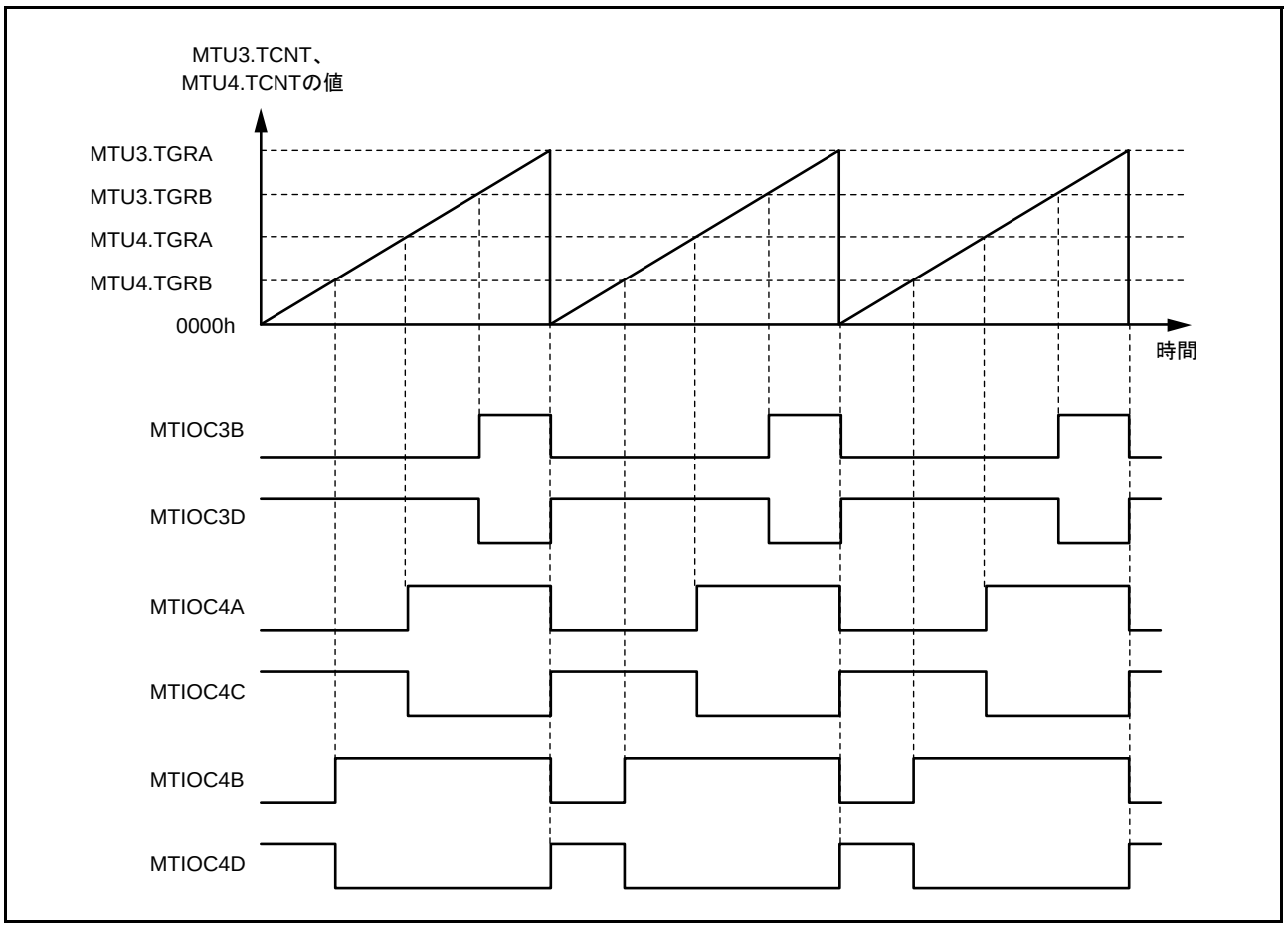


図 23.36　リセット同期 PWM モードの動作例（TOCR1 の OLSN ＝ 1、OLSP ＝ 1 に設定した場合）

23.3.8　相補 PWM モード

相補 PWM モードは、MTU3、MTU4 を組み合わせることにより、正相と逆相がノンオーバラップの関係にある PWM 波形を 3 相出力します。ノンオーバラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT と MTU4.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を**表 23.54** に、使用するレジスタの設定を**表 23.55** に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 23.54　相補PWMモード時の出力端子

チャネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3C	入出力ポート（注1）
	MTIOC3D	PWM出力端子1’（PWM出力1とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2’（PWM出力2とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3’（PWM出力3とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）

注1.　MTIOC3C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表23.55　相補PWMモード時のレジスタ設定

チャネル	カウンタ/レジスタ	説明	CPUからの読み出し/書き込み
MTU3	MTU3.TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERレジスタの設定（注1）によりマスク可能
	MTU3.TGRA	MTU3.TCNTの上限値を設定（キャリア周期の1/2＋デッドタイム）	TRWERレジスタの設定（注1）によりマスク可能
	MTU3.TGRB	PWM出力1のコンペアレジスタ	TRWERレジスタの設定（注1）によりマスク可能
	MTU3.TGRC	MTU3.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	MTU3.TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	常に読み出し/書き込み可能
MTU4	MTU4.TCNT	0000hを初期設定しカウントアップスタート	TRWERレジスタの設定（注1）によりマスク可能
	MTU4.TGRA	PWM出力2のコンペアレジスタ	TRWERレジスタの設定（注1）によりマスク可能
	MTU4.TGRB	PWM出力3のコンペアレジスタ	TRWERレジスタの設定（注1）によりマスク可能
	MTU4.TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	MTU4.TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	常に読み出し/書き込み可能
タイマデッドタイムデータレジスタ（TDDR）		MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERレジスタの設定（注1）によりマスク可能
タイマ周期データレジスタ（TCDR）		MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERレジスタの設定（注1）によりマスク可能
タイマ周期バッファレジスタ（TCBR）		TCDRレジスタのバッファレジスタ	常に読み出し/書き込み可能
サブカウンタ（TCNTS）		デッドタイム生成のためのサブカウンタ	読み出しのみ可能
テンポラリレジスタ1（TEMP1）		PWM出力1/MTU3.TGRBのテンポラリレジスタ	読み出し/書き込み不可
テンポラリレジスタ2（TEMP2）		PWM出力2/MTU4.TGRAのテンポラリレジスタ	読み出し/書き込み不可
テンポラリレジスタ3（TEMP3）		PWM出力3/MTU4.TGRBのテンポラリレジスタ	読み出し/書き込み不可

注1.　TRWERレジスタ（タイマリードライト許可レジスタ）の設定によりアクセスの許可/禁止が可能です。

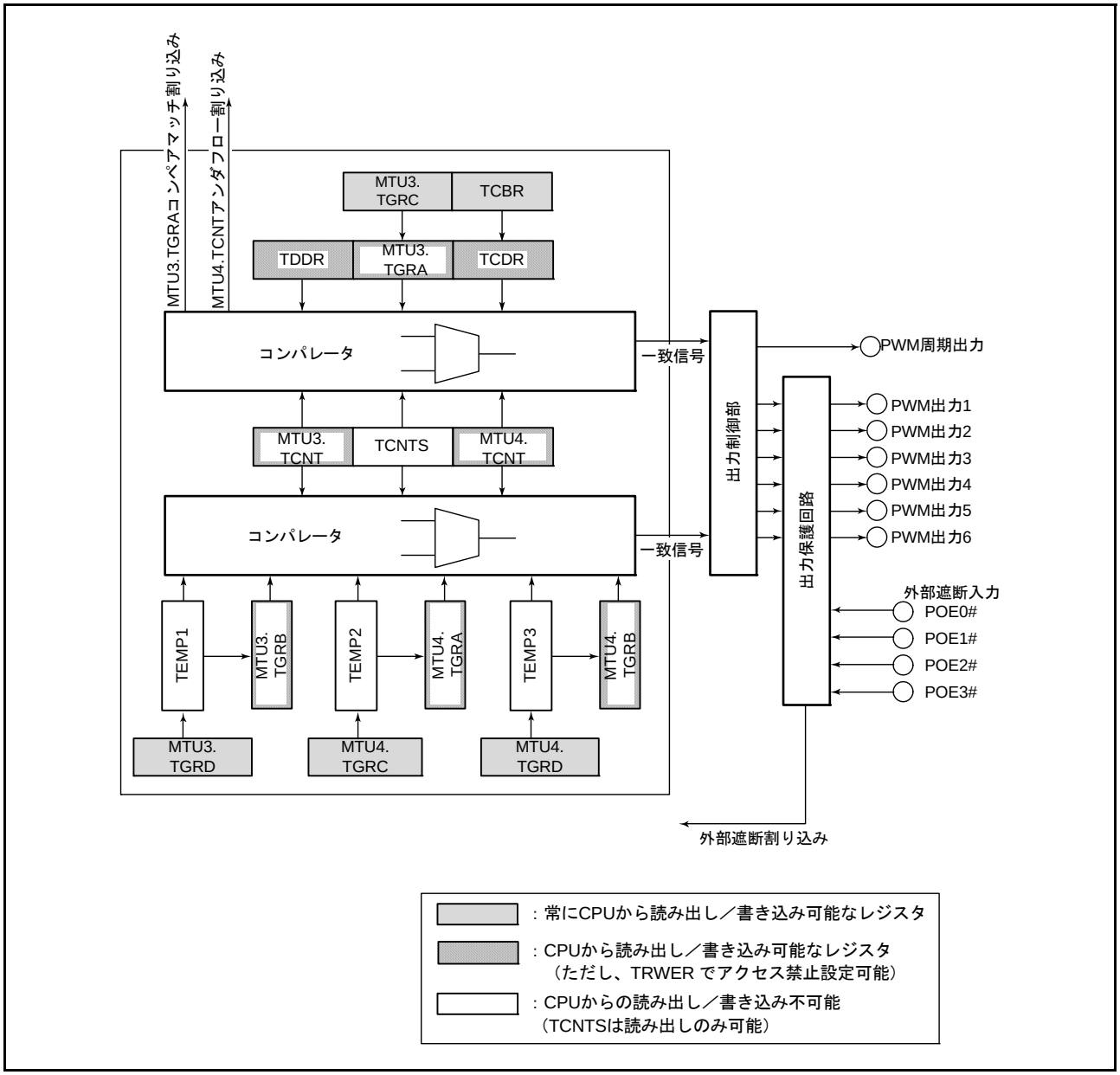
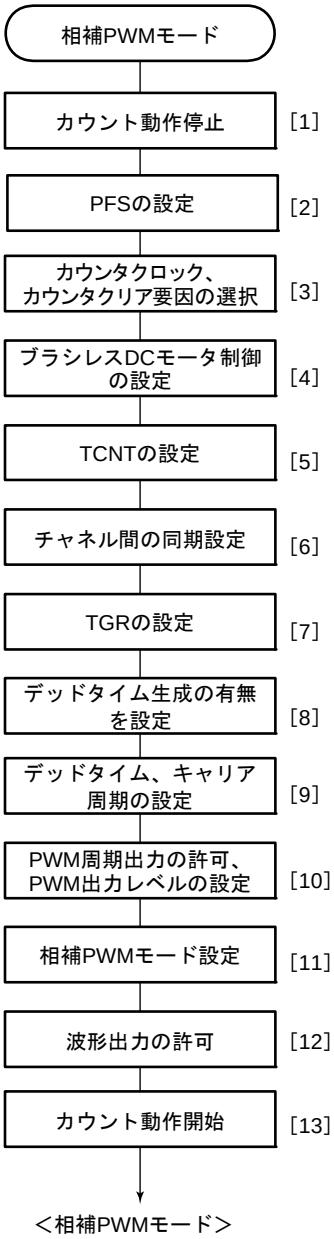


図 23.37　相補 PWM モード時の MTU3、4 ブロック図

(1)　相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 23.38 に示します。



[1]　タイマスタートレジスタ（TSTR）の CST3、CST4 ビットを “0” にし、タイマカウンタ（TCNT）のカウント動作を停止してください。相補 PWM モードの設定は MTU3.TCNT、MTU4.TCNT が停止した状態で行ってください。

[2]　Pmn 端子機能制御レジスタとポート I/O レジスタの設定をしてください。

[3]　タイマコントロールレジスタ（TCR）の TPSC[2:0] ビットと CKEG[1:0] ビットで MTU3、MTU4 に同一のカウンタクロックとクロックのエッジを設定してください。CCLR[2:0] ビットは相補 PWM モードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ同期クリアを設定してください。

[4]　ブラシレス DC モータ用の制御をする場合、タイマゲートコントロールレジスタ（TGCR）の BDC ビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[5]　MTU3.TCNT にはデッドタイムを設定してください。MTU4.TCNT は 0000h としてください。

[6]　相補 PWM モードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。このときタイマシンクロレジスタ（TSYR）で MTU3、MTU4 と同期クリア発生するチャネルを同期させてください。

[7]　出力する PWM デューティをコンペアレジスタ（MTU3.TGRB、MTU4.TGRA, MTU4.TGRB）とバッファレジスタ（MTU3.TGRD、MTU4.TGRC, MTU4.TGRD）に設定します。バッファレジスタとコンペアレジスタには、同じ値を設定してください。

[8]　デッドタイムを生成しない場合のみ設定してください。タイマデッドタイム許可レジスタ（TDER）でデッドタイムを生成しないを選択します。

[9]　デッドタイムレジスタ（TDDR）にデッドタイムを設定し、タイマ周期データレジスタ（TCDR）、タイマ周期バッファレジスタ（TCBR）にキャリア周期の 1/2 を、MTU3.TGRA と MTU3.TGRC にキャリア周期の 1/2 にデッドタイム分加えた値を設定してください。デッドタイムを生成しない設定をした場合は、TDDR に “1”、MTU3.TGRA と MTU3.TGRC にキャリア周期の 1/2+1 を設定してください。

[10]　タイマアウトプットコントロールレジスタ（TOCR1）の PSYE ビットで PWM 周期に同期したトグル出力の許可／禁止を選択し、OLSP、OLSN ビットで PWM 出力レベルを設定してください。
MTU2.TOCR2、TOLBR レジスタにより、PWM 出力レベルの設定をバッファ動作で行う場合は、「図 23.3　PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例」を参照してください。

[11]　タイマモードレジスタ（MTU3.TMDR）で相補 PWM モードと必要に応じて TGRA レジスタと TGRC レジスタのバッファ動作 (BFA=1) と TGRB レジスタと TGRD レジスタのバッファ動作（BFB=1) を選択してください。MTU4.TMDR には設定しないでください。

[12]　タイマアウトプットマスタ許可レジスタ（TOER）で PWM 波形出力端子の出力の許可／禁止を設定してください。

[13]　TSTR の CST3、CST4 ビットを “1” にして、カウント動作を開始してください。

図 23.38　相補 PWM モードの設定手順例

(2)　相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 23.39 に相補 PWM モードのカウンタ動作を示します。図 23.40 に相補 PWM モード動作例を示します。

(a)　カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT は、相補 PWM モードに設定され TSTR レジスタの CST ビットが “0” のとき、TDDR レジスタに設定された値が自動的に初期値として設定されます。

CST ビットが “1” に設定されると、MTU3.TGRA に設定された値までアップカウント動作を行い、MTU3.TGRA と一致するとダウンカウントに切り替わります。その後、TDDR レジスタと一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT は、初期値として 0000h を設定します。

CST ビットが “1” に設定されると、MTU3.TCNT に同期して動作しアップカウントを行い、TCDR レジスタと一致するとダウンカウントに切り替わります。この後、0000h と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

MTU3 と MTU4 の TCNT がアップダウンカウント時、MTU3.TCNT が TCDR レジスタと一致するとダウンカウントを開始し、TCNTS が TCDR レジスタと一致するとアップカウントに切り替わります。また、MTU3.TGRA と一致すると 0000h になります。

MTU3.TCNT、MTU4.TCNT がダウンカウント時、MTU4.TCNT が TDDR レジスタと一致するとアップカウントを開始し、TCNTS が TDDR レジスタと一致するとダウンカウントに切り替わります。また、0000h に一致すると TCNTS は MTU3.TGRA の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

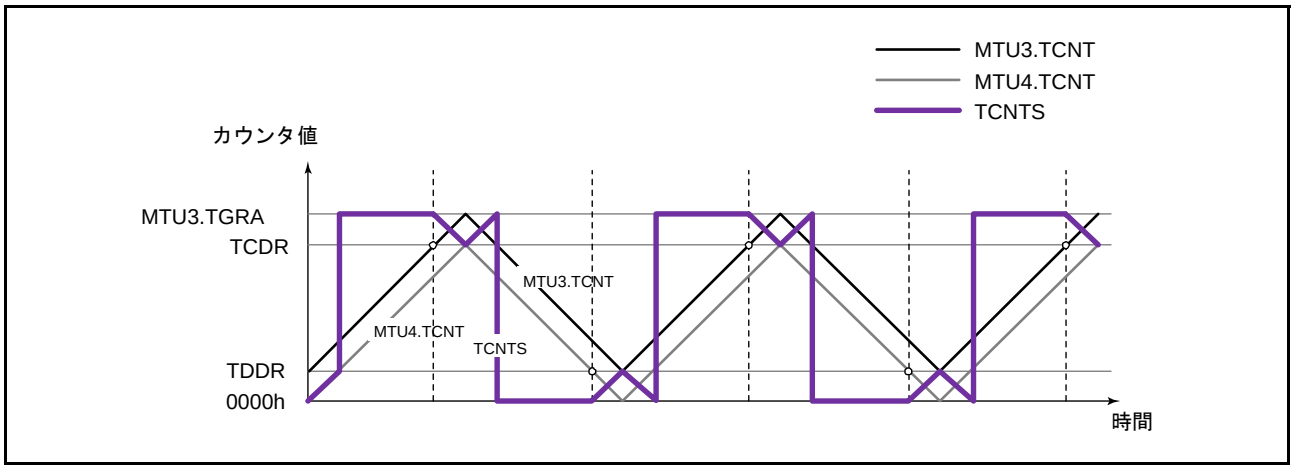


図 23.39　相補 PWM モードのカウンタ動作

(b)　レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 23.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に MTU3.TGRA が一致したとき、またはダウンカウント時に 0000h と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ（TMDR）の MD[3:0] ビットで選択できます。図 23.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb（図 23.40 では Tb2）区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTS の 3 本、カウンタとコンペアレジスタ、テンポラリレジスタの各 2 本のレジスタが比較され、PWM 出力を制御します。

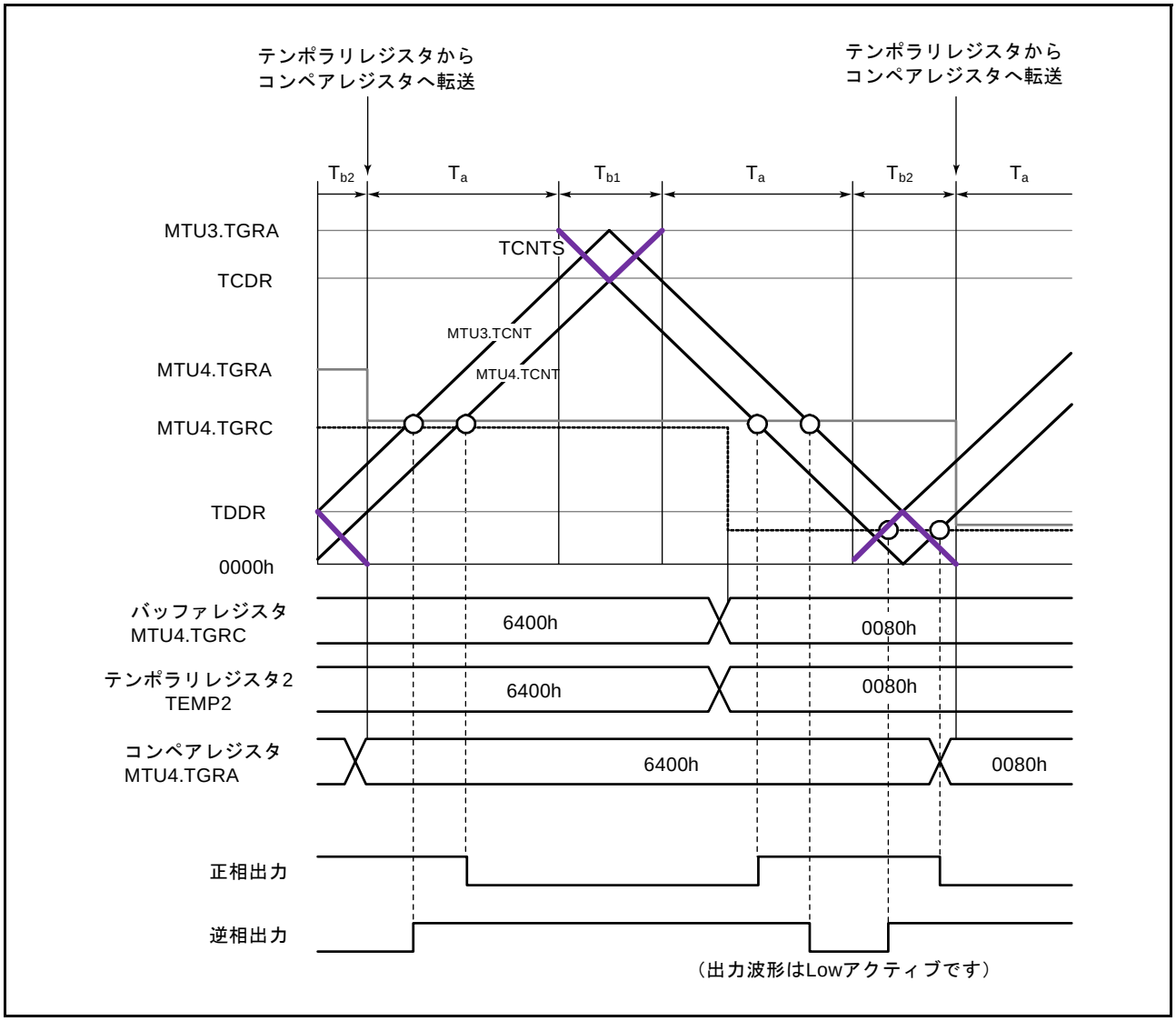


図 23.40　相補 PWM モード動作例

(c)　初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ（TMDR）の MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC は MTU3.TGRA のバッファレジスタとして動作し、PWM キャリア周期の 1/2 ＋デッドタイム Td を設定します。タイマ周期バッファレジスタ（TCBR）は、タイマ周期データレジスタ（TCDR）のバッファレジスタとして動作し、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ（TDDR）には、デッドタイム Td を設定します。

デッドタイムを生成しない場合は、タイマデッドタイム許可レジスタ（TDER）の TDER ビットを “0” に設定し、MTU3.TGRC、MTU3.TGRA には、PWM キャリア周期の 1/2+1 を、TDDR レジスタには “1” を設定します。

バッファレジスタ MTU3.TGRD、MTU4.TGRC、MTU4.TGRD の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR レジスタを除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT は、相補 PWM モードに設定する前に 0000h に設定してください。

表 23.56　初期設定の必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
MTU3.TGRC	PWM キャリア周期の 1/2 ＋デッドタイム Td （TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の 1/2+1）
TDDR	デッドタイム Td（TDER でデッドタイム生成をなしに設定した場合 1）
TCBR	PWM キャリア周期の 1/2
MTU3.TGRD、 MTU4.TGRC、 MTU4.TGRD	各相の PWM デューティの初期値
MTU4.TCNT	0000h

注．　MTU3.TGRC の設定値は、TCBR レジスタに設定する PWM キャリア周期の 1/2 の値と TDDR レジスタに設定するデッドタイム Td の値の和としてください。ただし、TDER レジスタでデッドタイム生成をなしに設定した場合は、PWM キャリア周期の 1/2+1 としてください。

(d)　PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2（TOCR2）の OLS1P ～ OLS3P、OLS1N ～ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e)　デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバラップの関係にある PWM パルスを出力します。また、このノンオーバラップ時間をデッドタイム時間と呼びます。

ノンオーバラップ時間は、タイマデッドタイムデータレジスタ（TDDR）に設定します。TDDR レジスタに設定した値が、MTU3.TCNT のカウンタスタート値となり、MTU3.TCNT と MTU4.TCNT のノンオーバラップを生成します。TDDR レジスタの内容変更は、相補 PWM モードを解除した状態で行ってください。

(f)　デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイム許可レジスタ（TDER）の TDER ビットを “0” に設定します。TDER は、TDER ＝ “1” を読み出し後、TDER ビットに “0” を書いたときのみ、“0” に設定できます。

MTU3.TGRA、MTU3.TGRC には PWM キャリア周期の 1/2+1 を設定し、タイマデッドタイムデータレジスタ（TDDR）には “1” を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。**図 23.41** にデッドタイムを生成しない場合の動作例を示します。

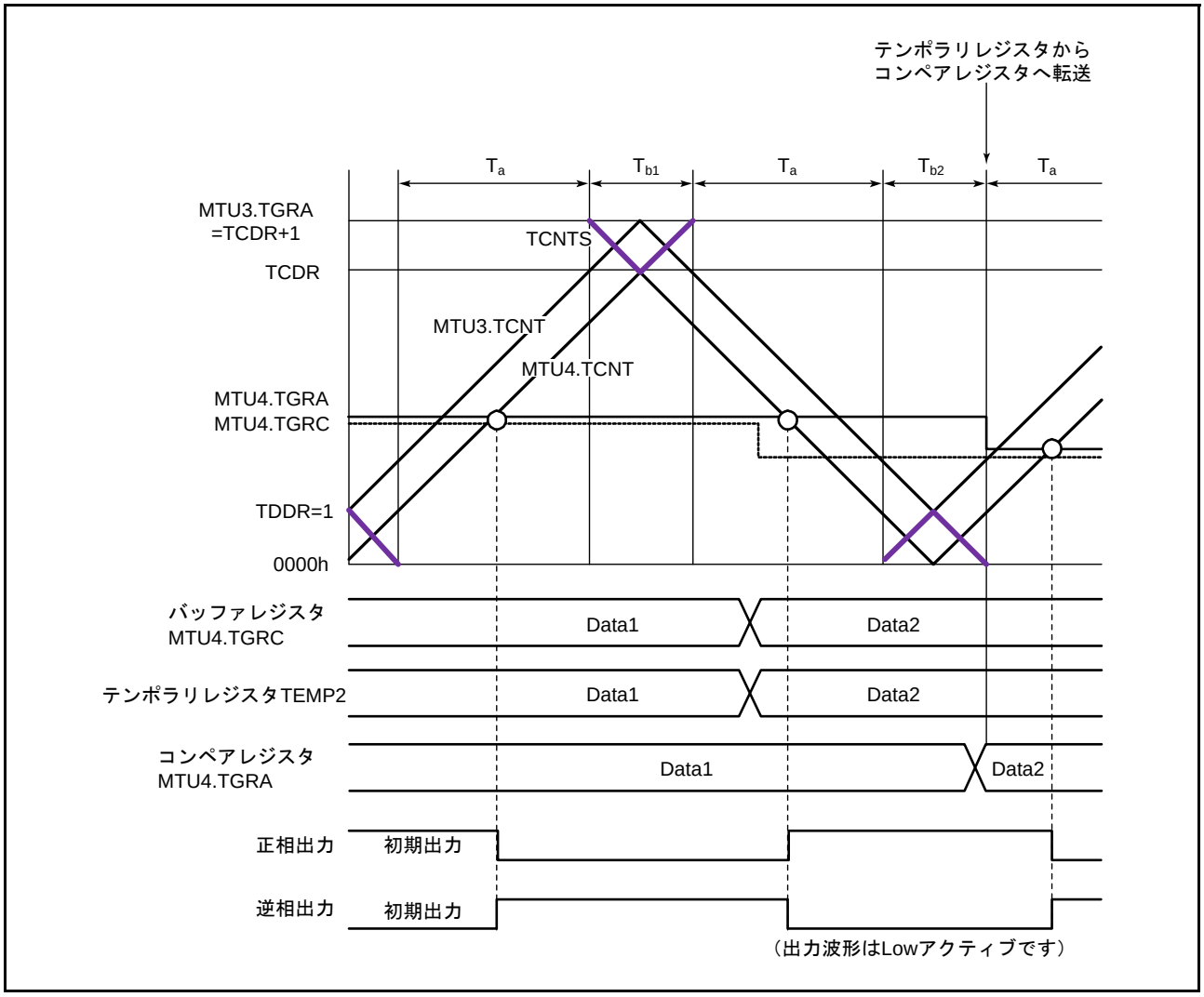


図 23.41　デッドタイムを生成しない場合の動作例

(g)　PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を MTU3.TCNT の上限値を設定する MTU3.TGRA と MTU4.TCNT の上限値を設定する TCDR レジスタの 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：MTU3.TGRA の設定値＝ TCDR の設定値＋ TDDR の設定値
デッドタイム生成なし：MTU3.TGRA の設定値＝ TCDR の設定値＋ 1

また、MTU3.TGRA、TCDR レジスタの設定は、バッファレジスタの MTU3.TGRC、TCBR に値を設定することで行ってください。MTU3.TGRC、TCBR レジスタに設定した値は、タイマモードレジスタ（TMDR）の MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA、TCDR レジスタに同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。**図 23.42** に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「**(h)　レジスタデータの更新**」の項を参照してください。

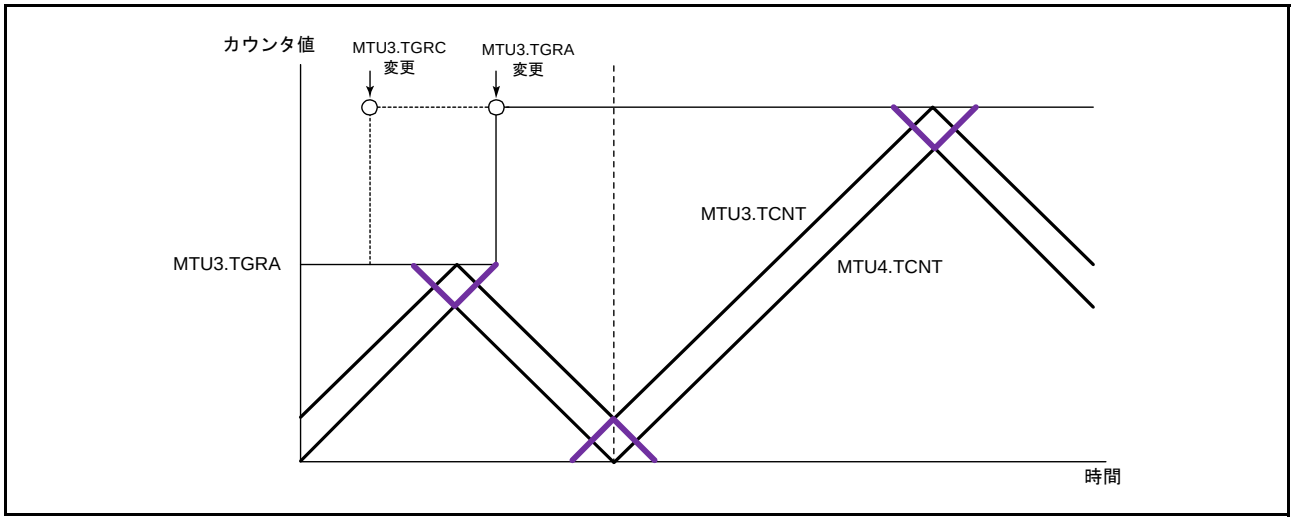


図 23.42　PWM 周期の変更例

(h)　レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換ります。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ（TMDR）の MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。**図 23.43** に相補 PWM モードのデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD に書き込み動作を行ってください。またこのとき、MTU4.TGRD に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

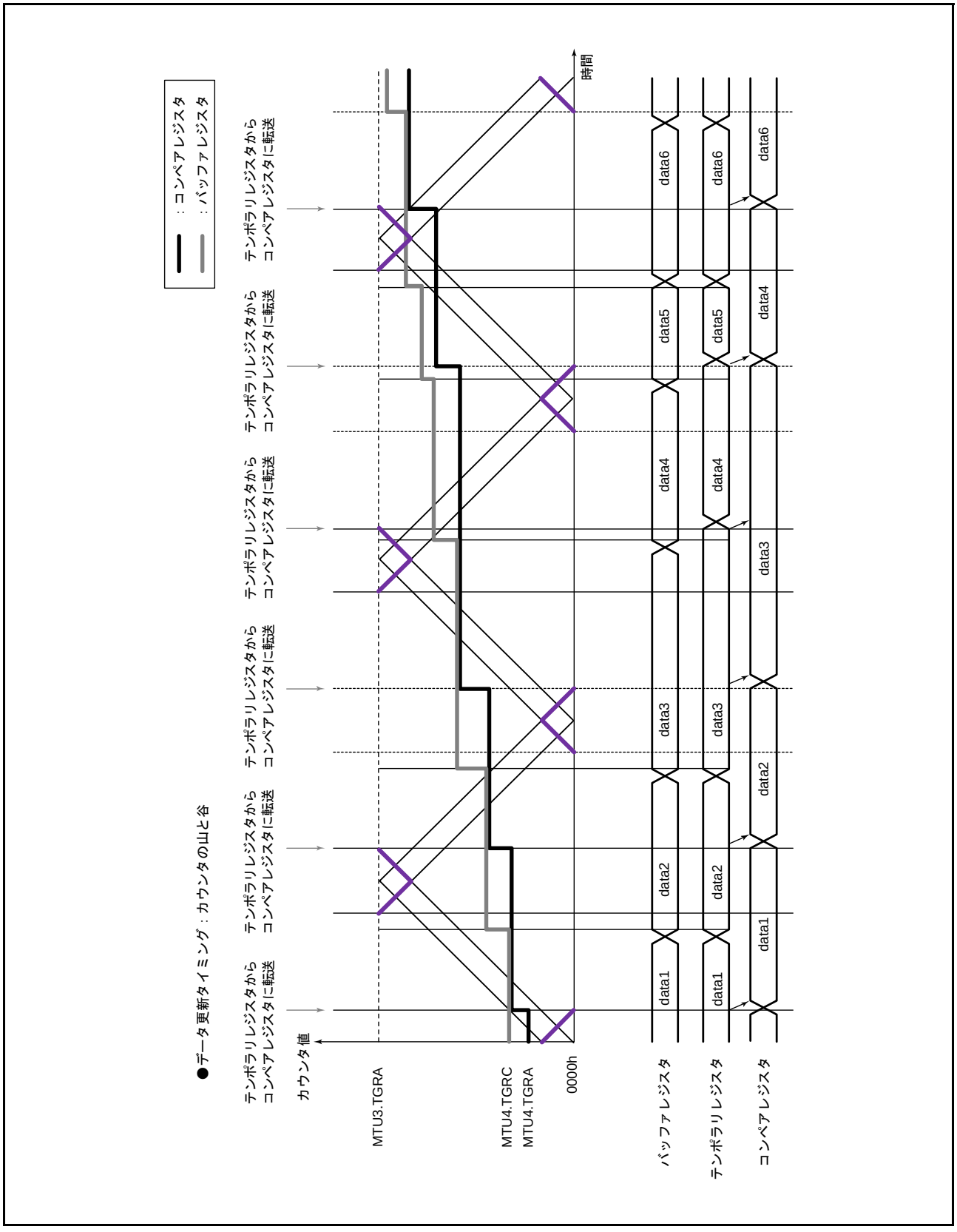


図 23.43　相補 PWM モードのデータ更新例

(i)　相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2（TOCR2）の OLS1N ～ OLS3N、OLS1P ～ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスの非アクティブレベルで、タイマモードレジスタ（TMDR）で相補 PWM モードを設定してから MTU4.TCNT がデッドタイムレジスタ（TDDR）に設定された値より大きくなるまで出力されます。図 23.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR レジスタの値より小さい場合の波形例を図 23.45 に示します。

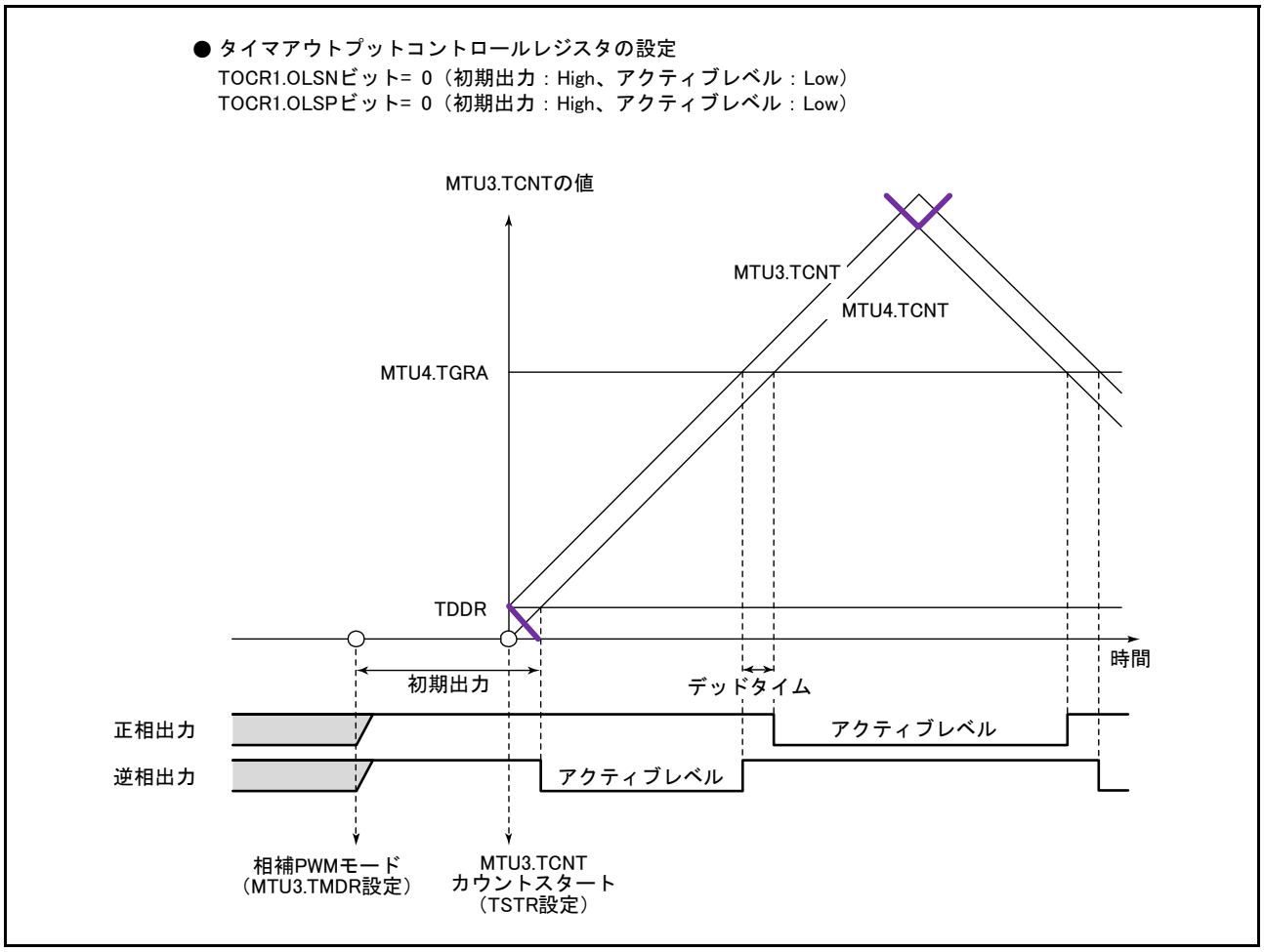


図 23.44　相補 PWM モードの初期出力例（1）

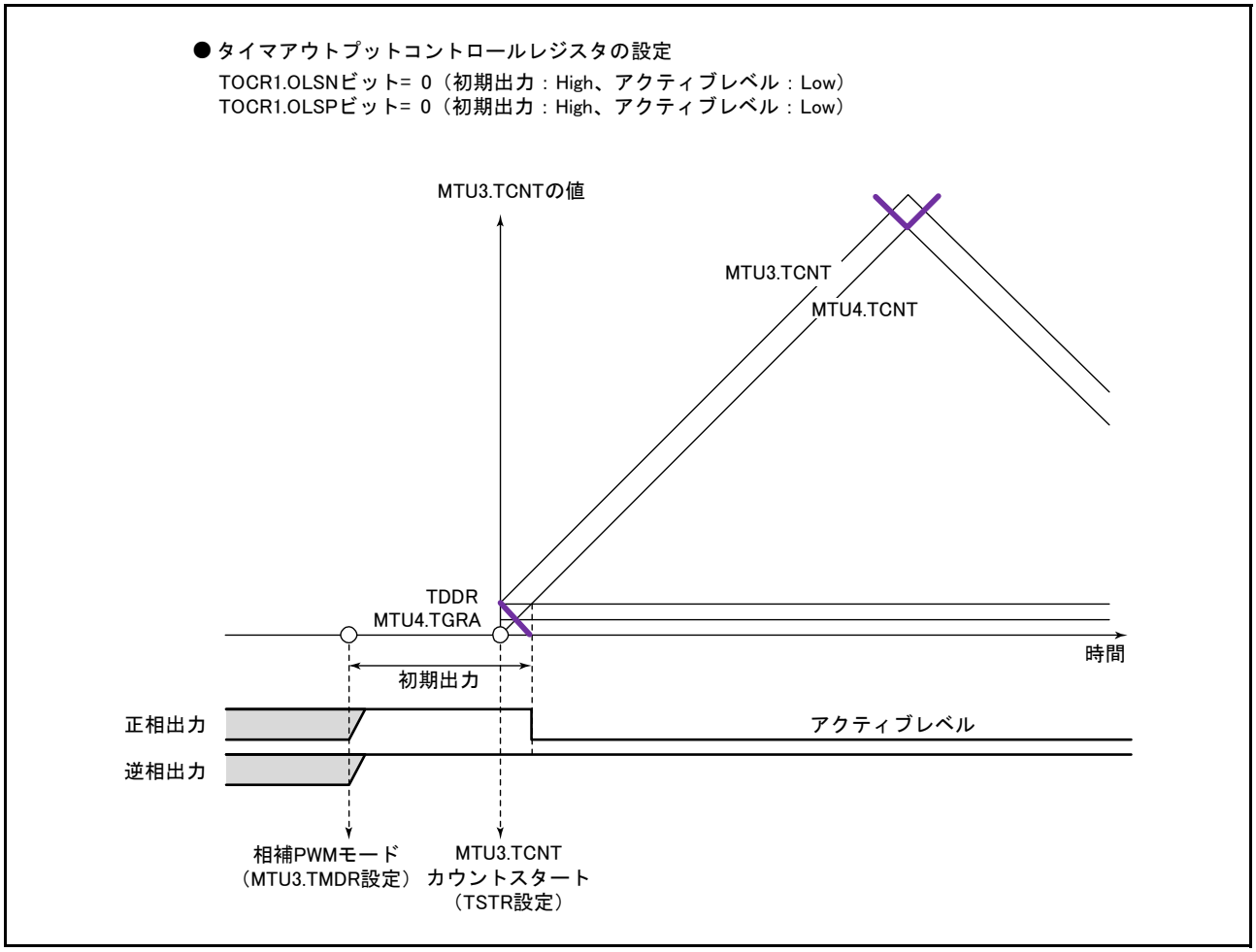


図 23.45　相補 PWM モードの初期出力例（2）

(j)　相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバラップ時間を持った PWM 波形を 3 相出力します。このノンオーバラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0 ～ 100% まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。**図 23.46 ～図 23.48** に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、MTU3.TCNT カウンタとのコンペアマッチで生成され、ON タイミングは MTU3.TCNT のカウンタからデッドタイム分遅れて動作している MTU4.TCNT カウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、**図 23.46** に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 23.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、**図 23.48** に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

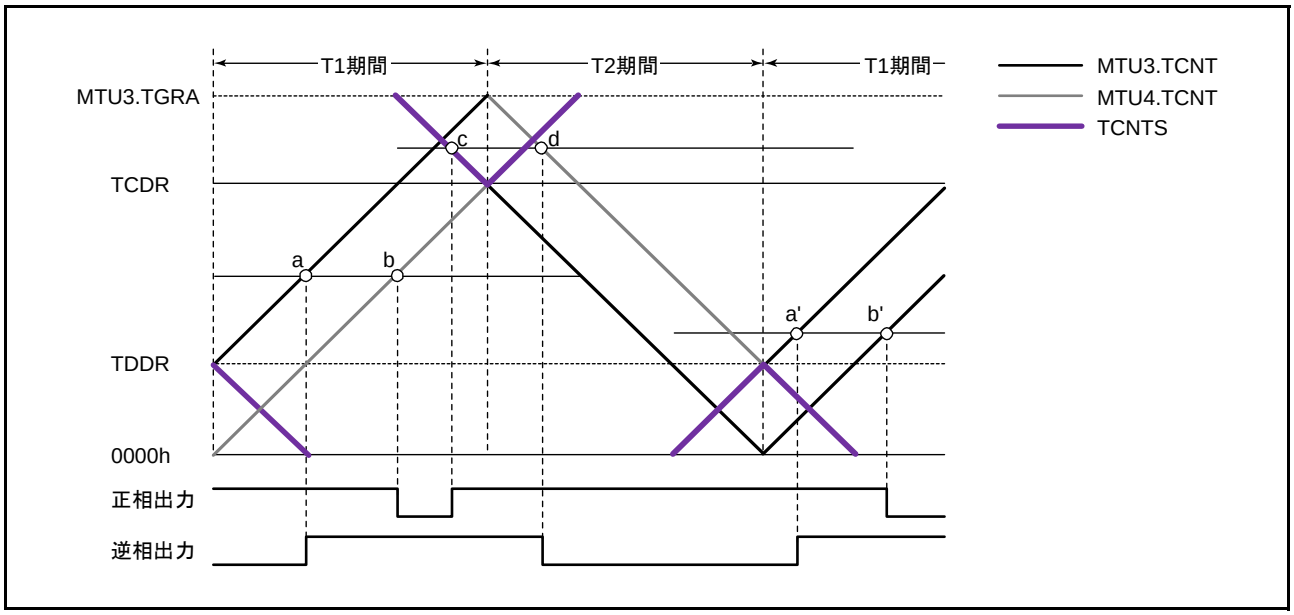


図 23.46　相補 PWM モード波形出力例（1）

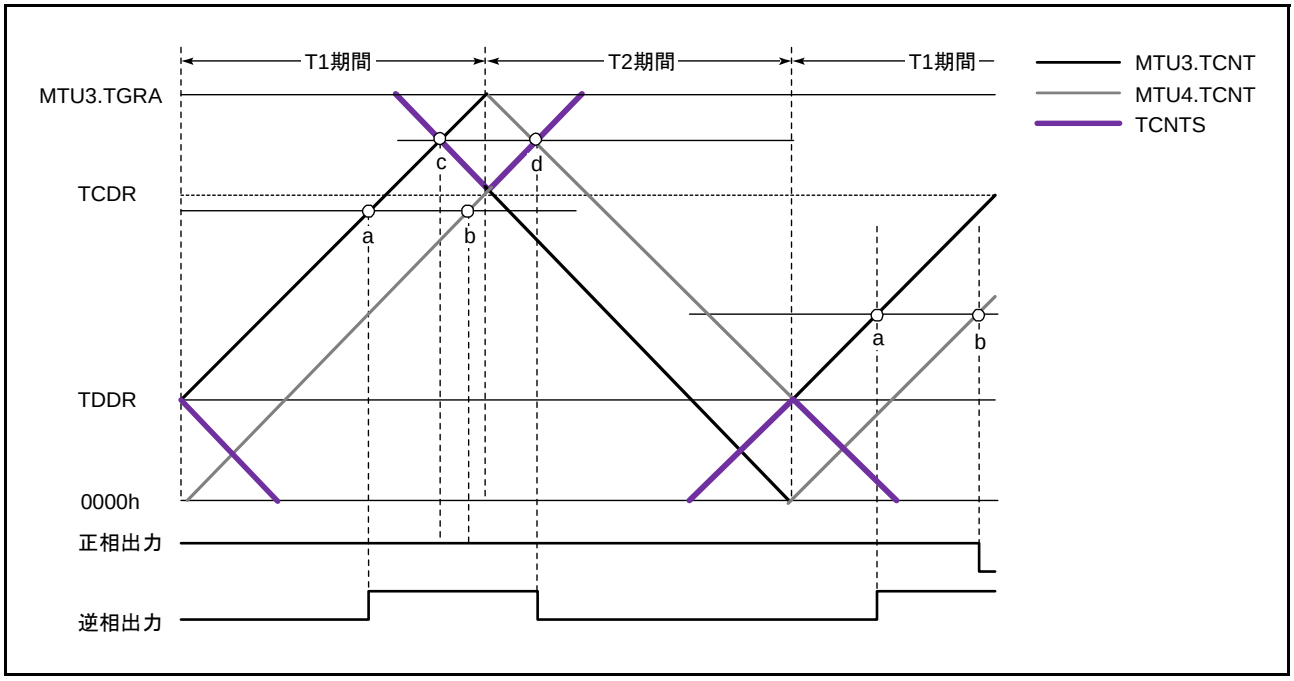


図 23.47　相補 PWM モード波形出力例（2）

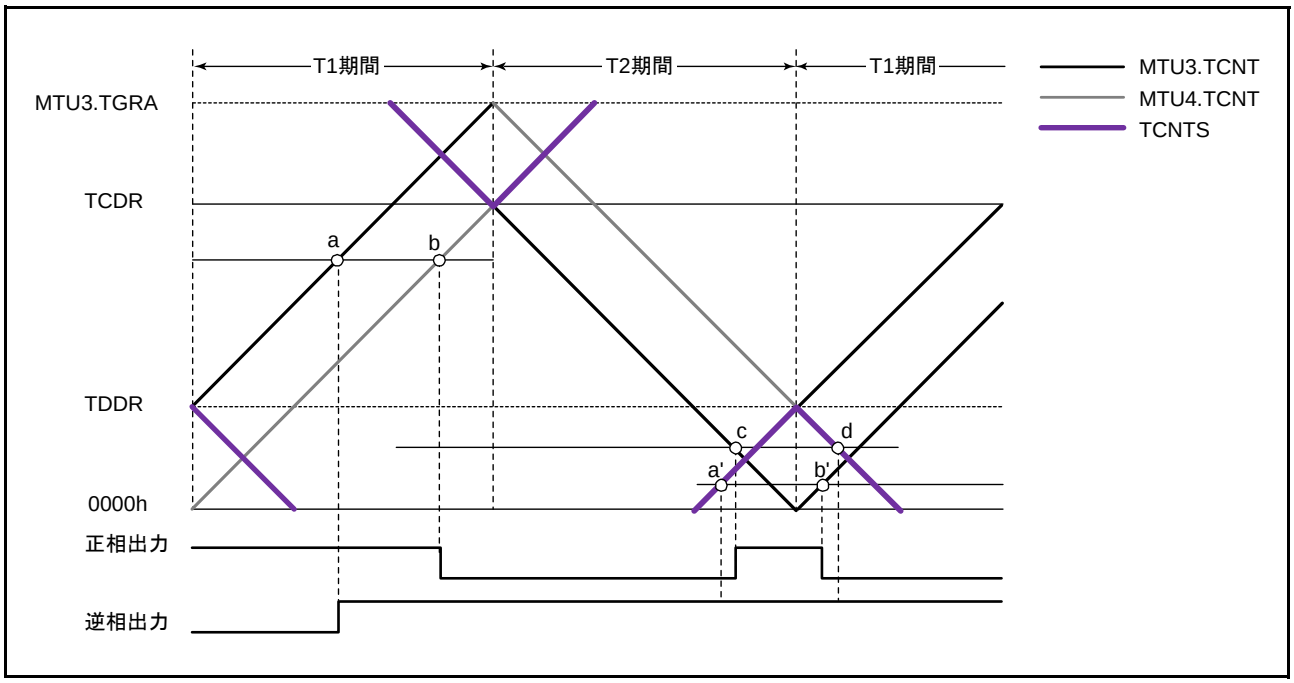


図 23.48　相補 PWM モード波形出力例（3）

(k)　相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% を任意に出力可能です。**図 23.49 ～図 23.53** に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を 0000h に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

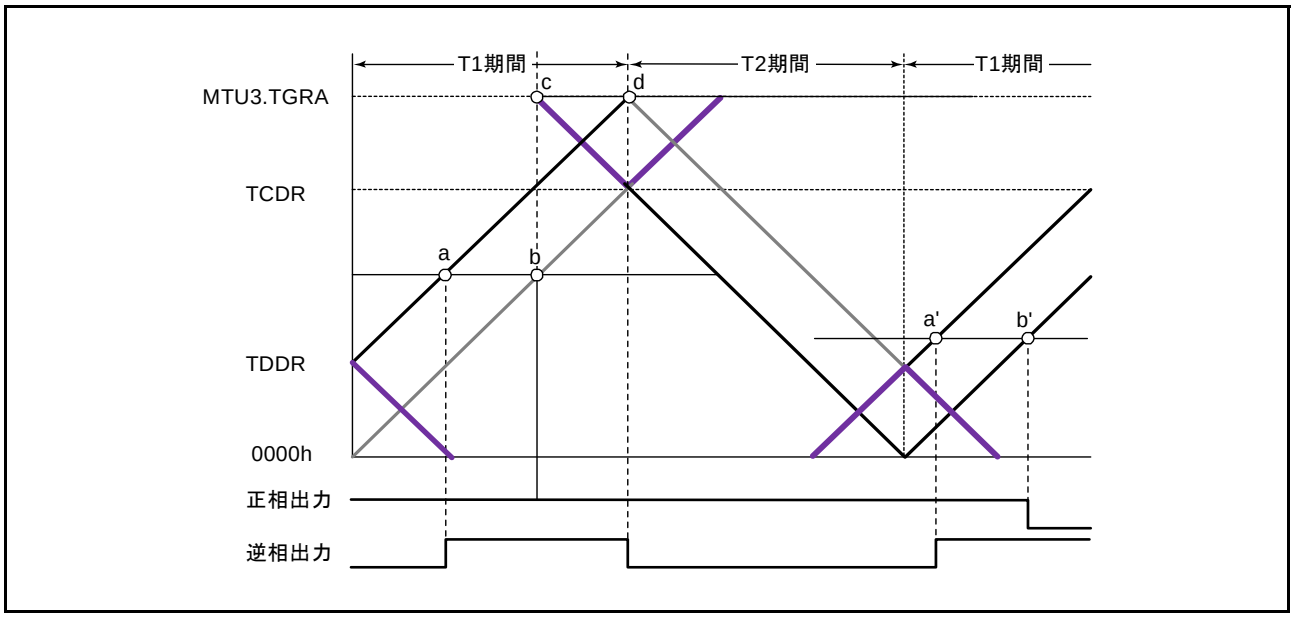


図 23.49　相補 PWM モード 0%、100% 波形出力例（1）

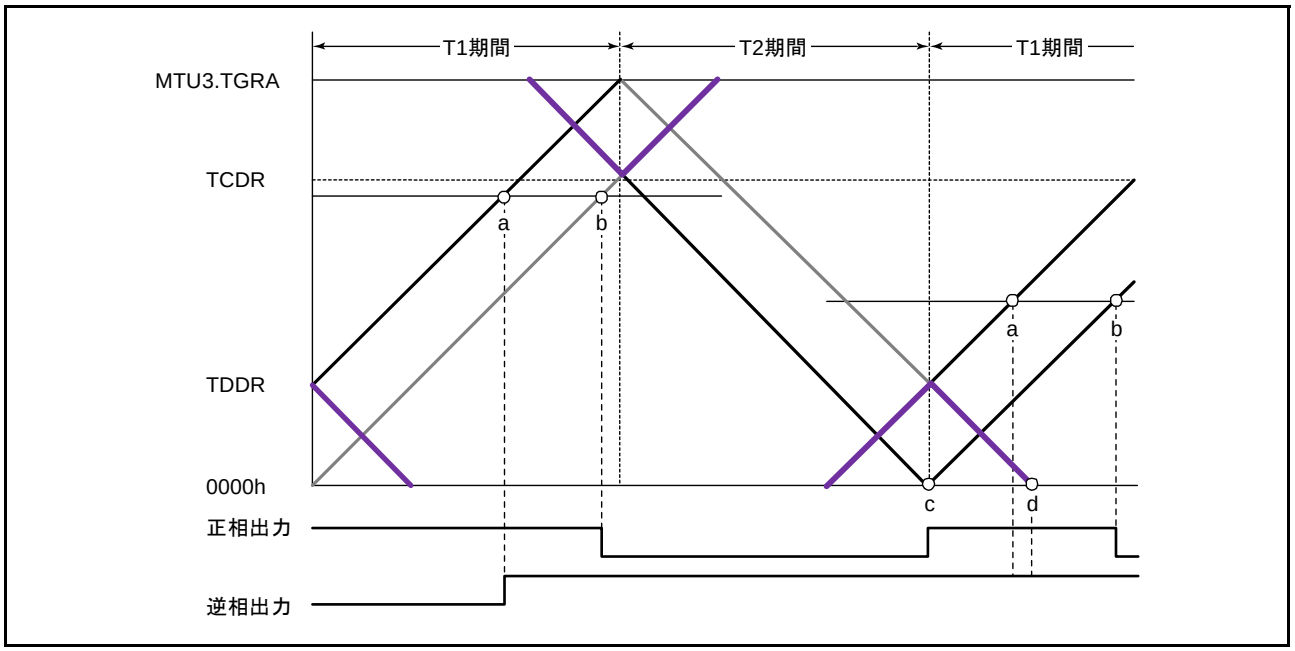


図 23.50　相補 PWM モード 0%、100% 波形出力例（2）

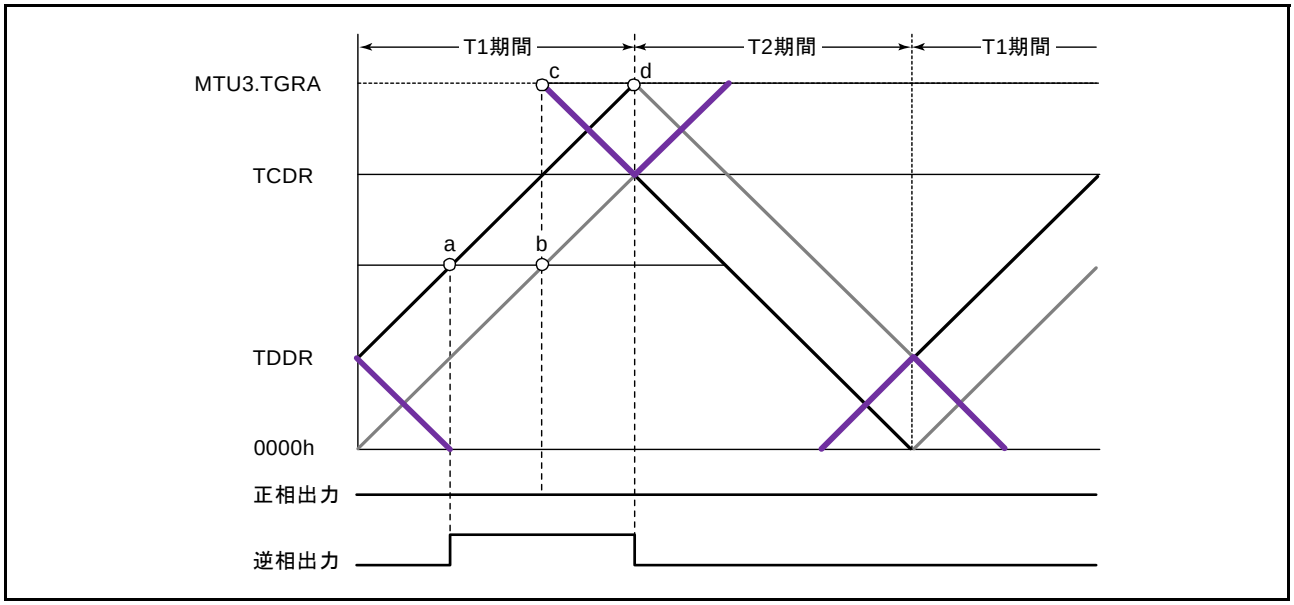


図 23.51　相補 PWM モード 0%、100% 波形出力例（3）

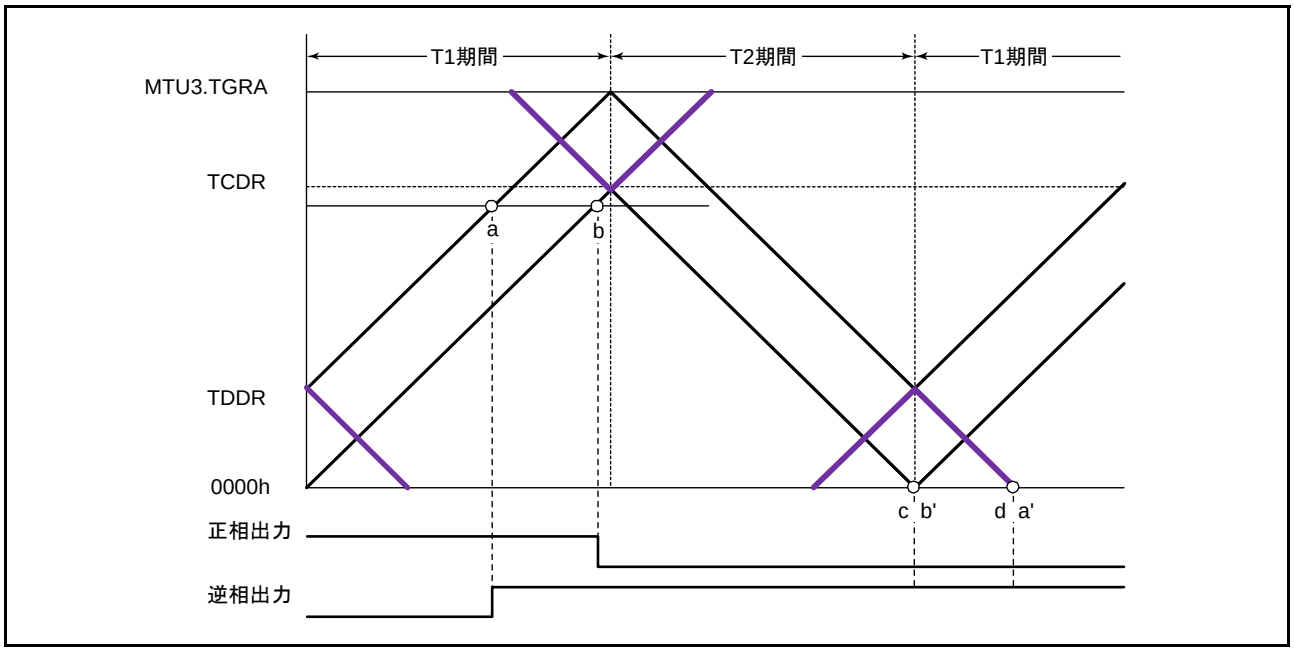


図 23.52　相補 PWM モード 0%、100% 波形出力例（4）

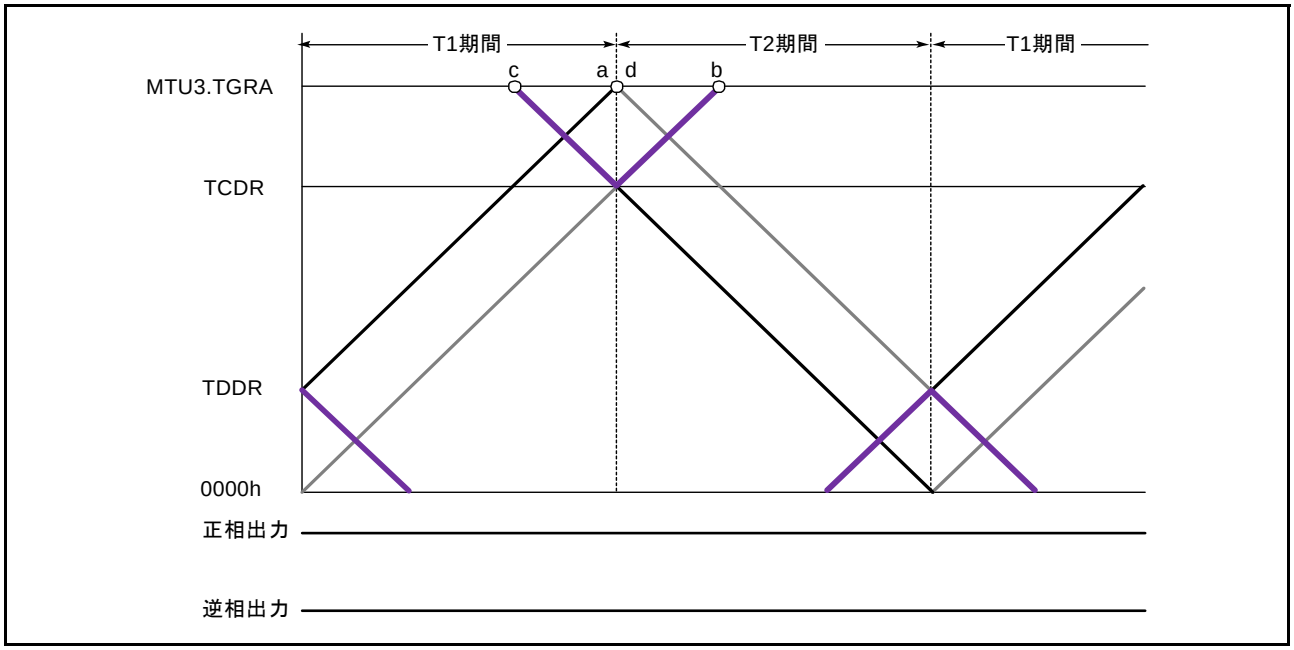


図 23.53　相補 PWM モード 0%、100% 波形出力例（5）

(l)　PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ（TOCR）の PSYE ビットを “1” にすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 23.54 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA のコンペアマッチと MTU4.TCNT と 0000h のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は “High” 出力です。

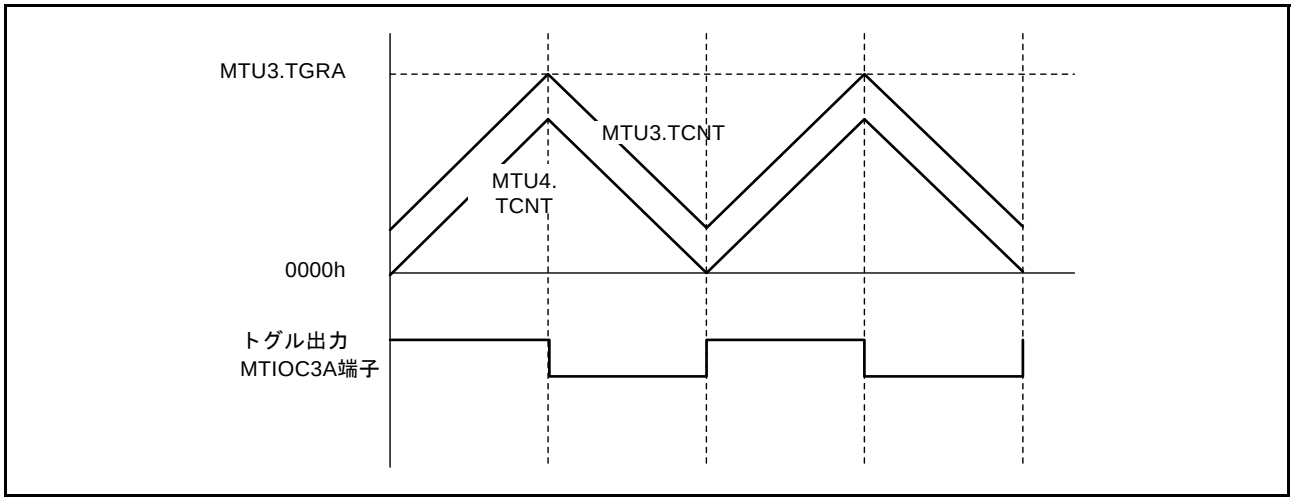


図 23.54　PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ（TSYR）により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ（TCR）の CCLR[2:0] ビットにより同期クリアを選択することにより他のチャネルによる MTU3.TCNT、MTU4.TCNT および TCNTS のクリアをすることが可能です。

図 23.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

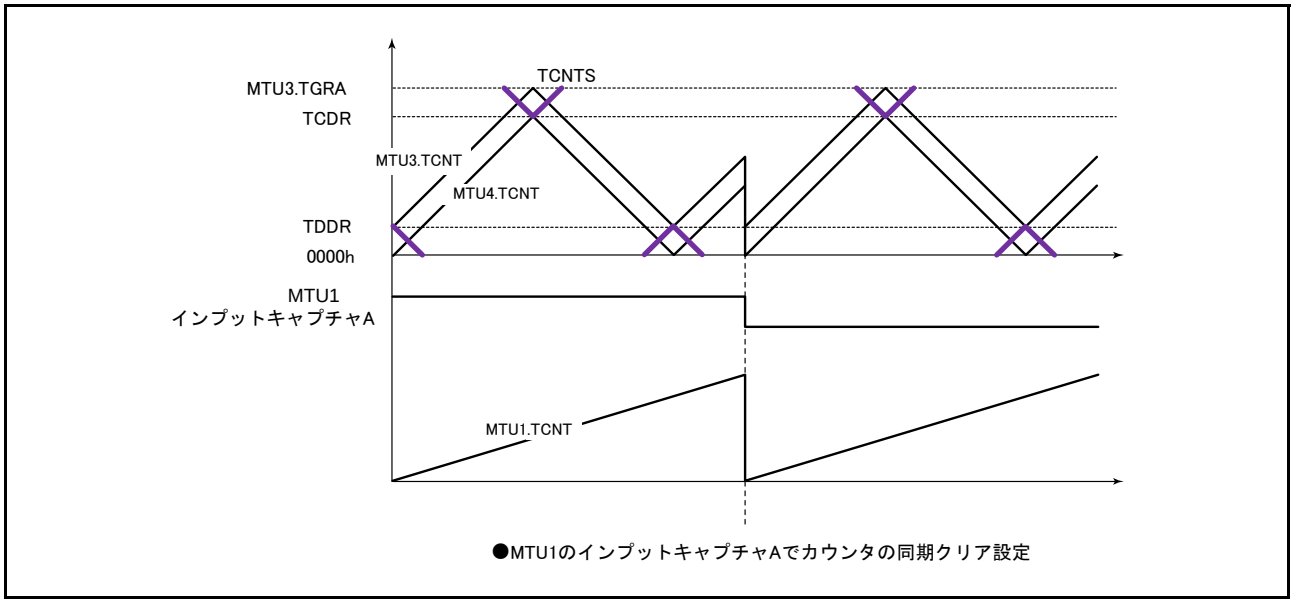


図 23.55　他のチャネルに同期したカウンタクリア

(n)　相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを “1” に設定することにより、相補 PWM モードの谷の Tb 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを “1” に設定することで初期出力を抑止することができるのは、同期クリアが図 23.56 の⑩、⑪のような谷の Tb 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1 レジスタの OLSN、OLSP ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、図 23.56 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

MTU のカウンタクリア要因は MTU0 ～ 2 の同期クリアです。

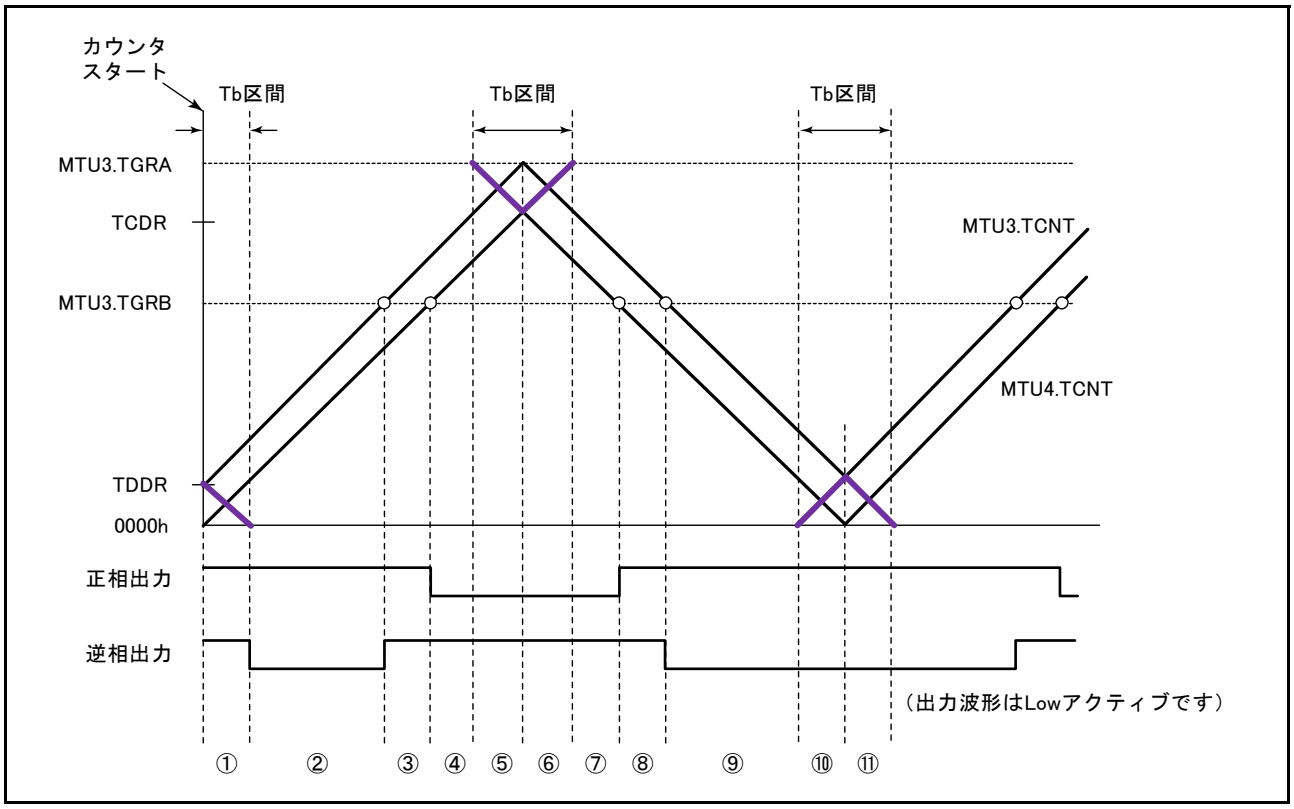


図 23.56　同期カウンタクリアタイミング

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 23.57 に示します。

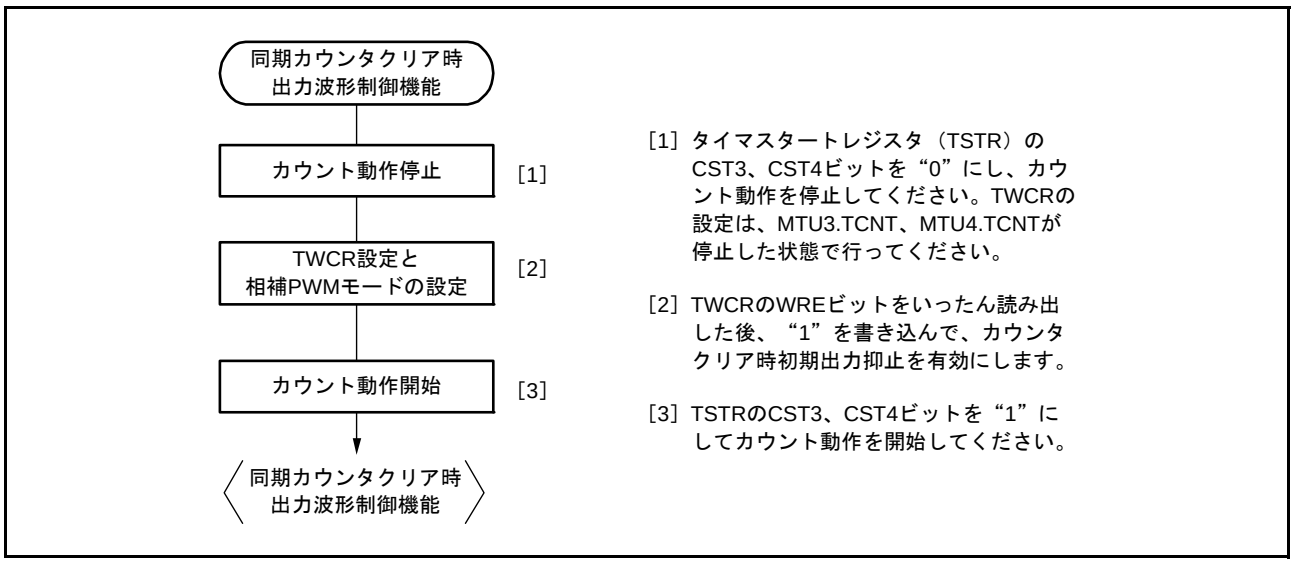


図 23.57　相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 23.58 ～図 23.61 に、TWCR の WRE ビットを “1” に設定した状態で MTU を相補 PWM モード動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 23.58 ～図 23.61 の同期カウンタクリアのタイミングは、それぞれ図 23.56 の③、⑥、⑧、⑪で示したタイミングです。

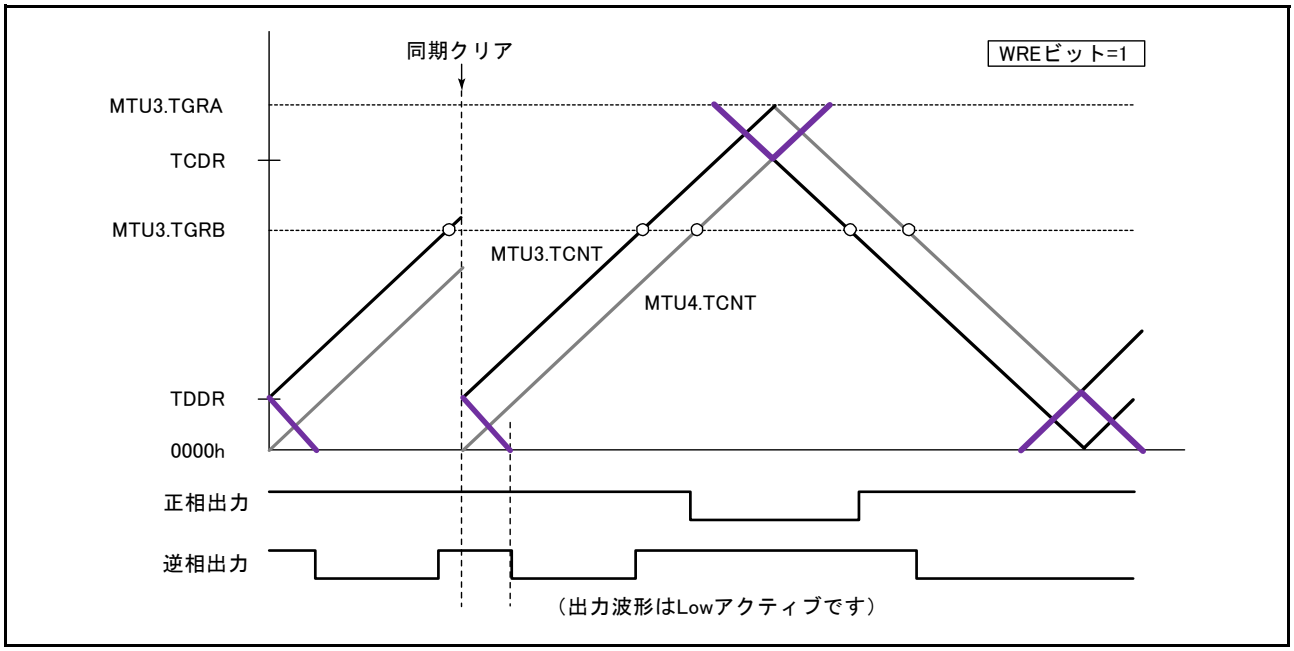


図 23.58　アップカウント中のデッドタイム時に同期クリアが発生した場合
（図 23.56 のタイミング③、MTU の TWCR レジスタの WRE ビット＝ “1”）

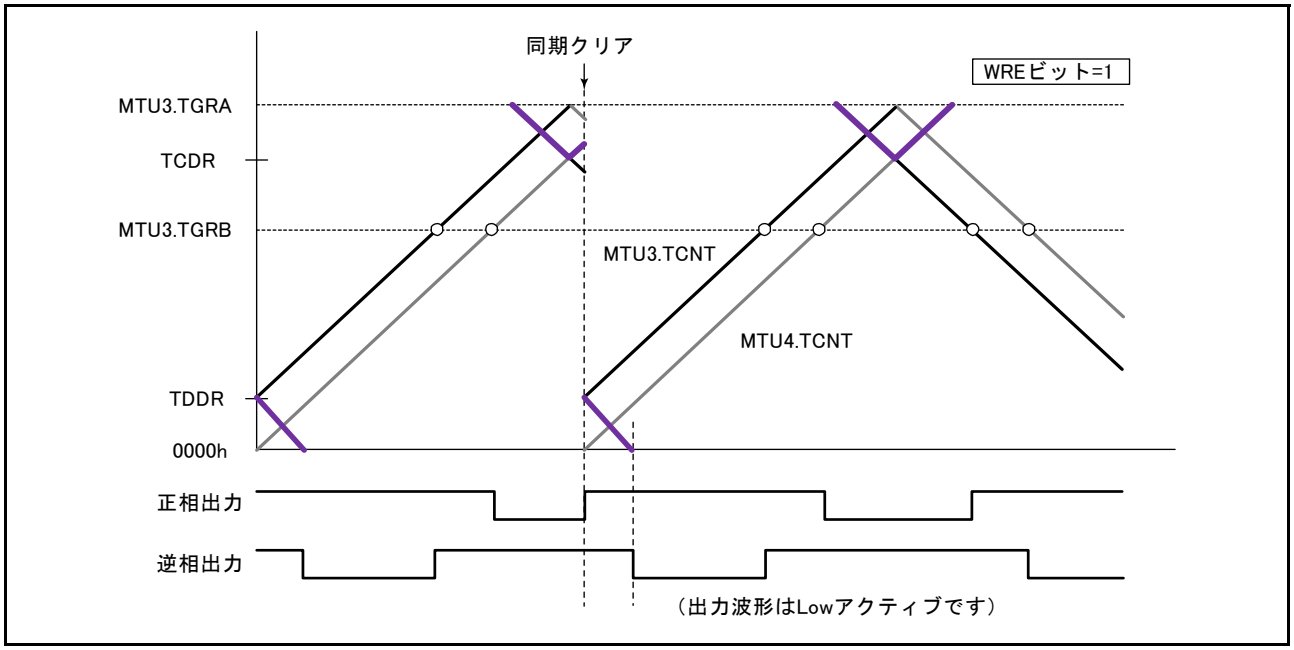


図 23.59　山の Tb 区間で同期クリアが発生した場合
（図 23.56 のタイミング⑥、MTU の TWCR レジスタの WRE ビット＝ “1”）

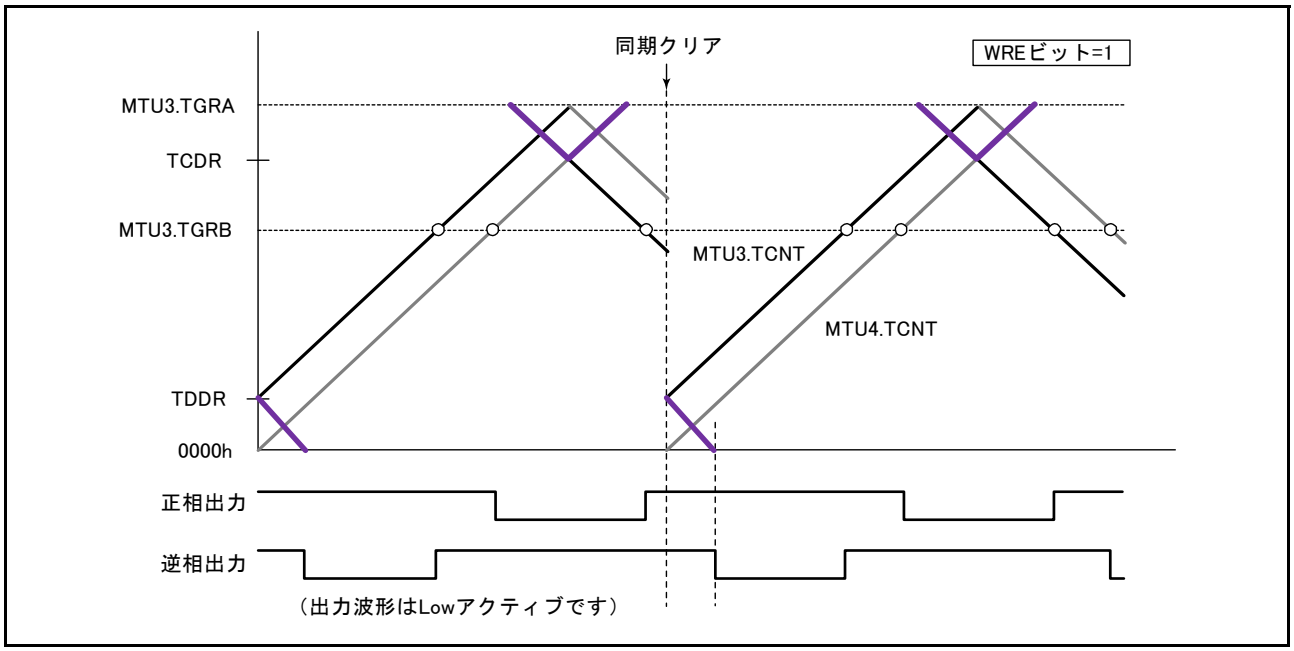


図 23.60　ダウンカウント中のデッドタイム時に同期クリアが発生した場合
（図 23.56 のタイミング⑧、TWCR レジスタの WRE ビット＝ “1”）

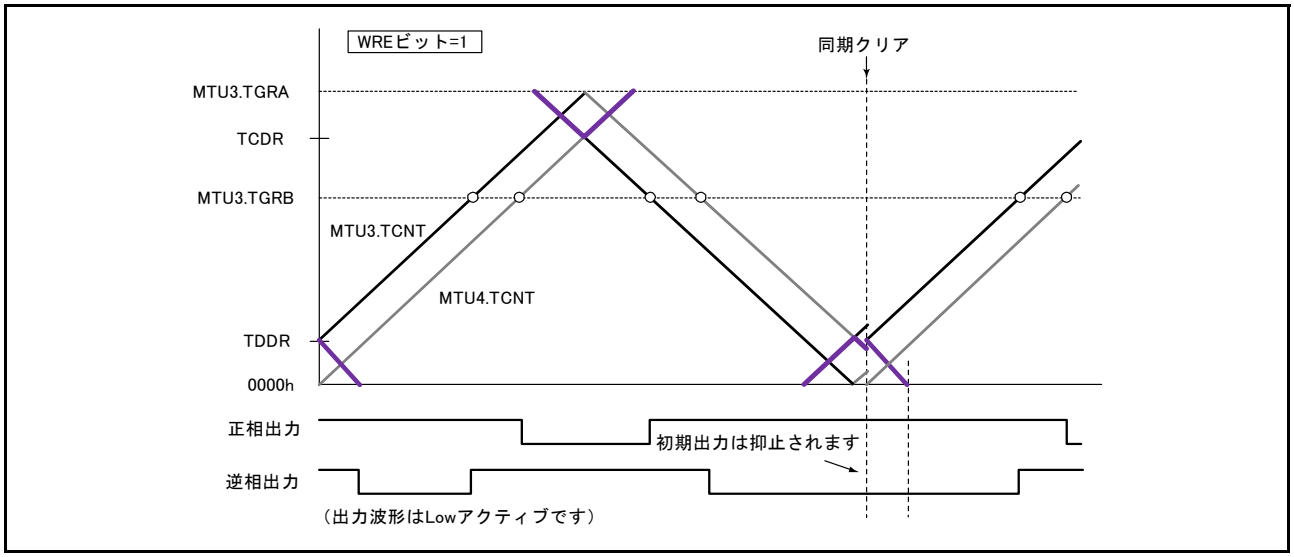


図 23.61　谷の Tb 区間で同期クリアが発生した場合
（図 23.56 のタイミング⑪、TWCR レジスタの WRE ビット＝ “1”）

(o)　MTU3.TGRA のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ（TWCR）の CCE ビットを設定することにより、MTU3.TGRA のコンペアマッチで MTU3.TCNT、MTU4.TCNT および TCNTS をクリアすることが可能です。図 23.62 に動作例を示します。

注 .　相補 PWM モード 1（山で転送）でのみ使用してください。

注 .　他のチャネルとの同期クリア機能に設定しないでください。（タイマシンクロレジスタ（TSYR）の SYNC0 ～ SYNC4 ビットを “1” に設定しないでください）

注 .　PWM デューティ比は、0000h を設定しないでください。

注 .　タイマアウトプットコントロールレジスタ 1（TOCR1）の PSYE ビットを “1” に設定しないでください。

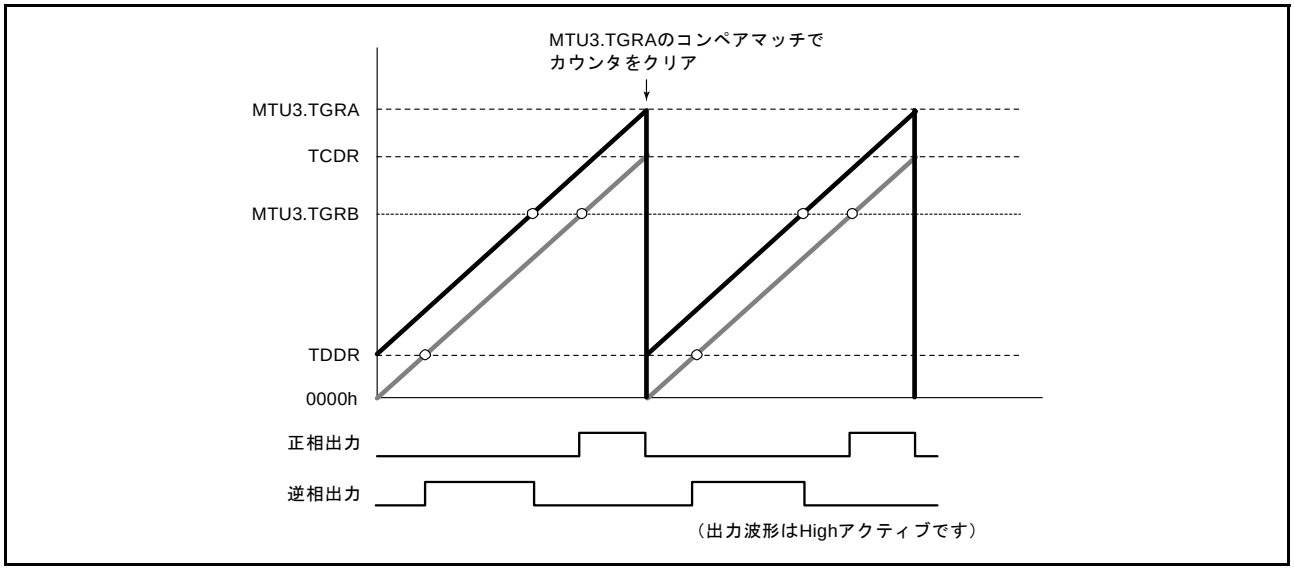


図 23.62　MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(p)　AC 同期モータ（ブラシレス DC モータ）の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ（TGCR）を使ってブラシレス DC モータを簡単に制御することができます。図 23.63 ～図 23.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り換えに、ホール素子などで検出した外部信号で行う場合、TGCR レジスタの FB ビットを “0” に設定します。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します（PFS レジスタで設定してください）。MTIOC0A、MTIOC0B、MTIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが “1” の場合は、TGCR の UF、VF、WF ビットの各ビットに “0” または “1” を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は TGCR の N ビットまたは P ビットを “1” に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが “0” の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN ビット、OLSP ビットで設定できます。

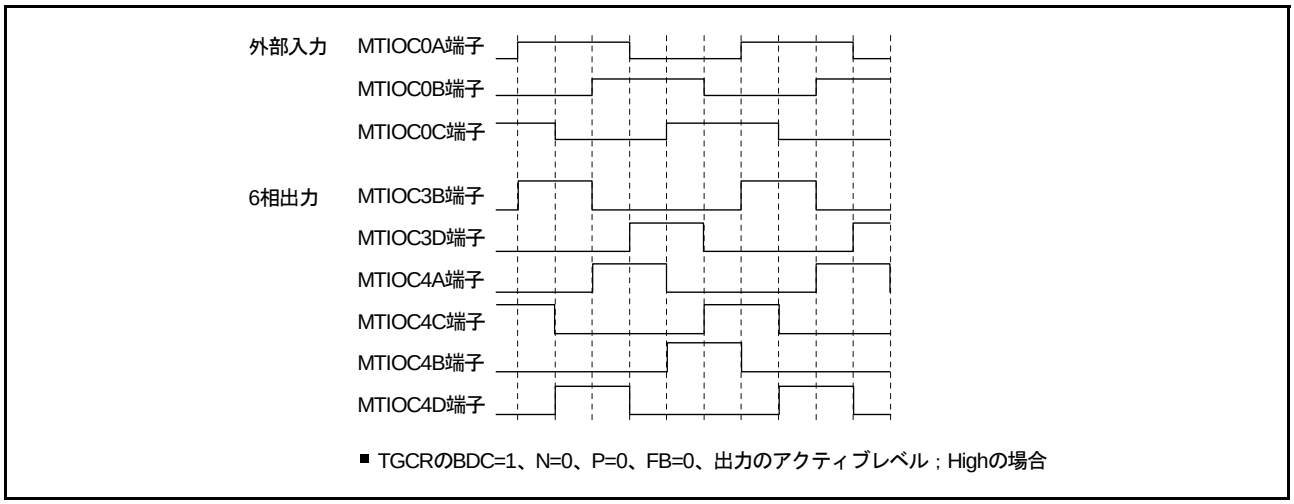


図 23.63　外部入力による出力相の切り換え動作例（1）

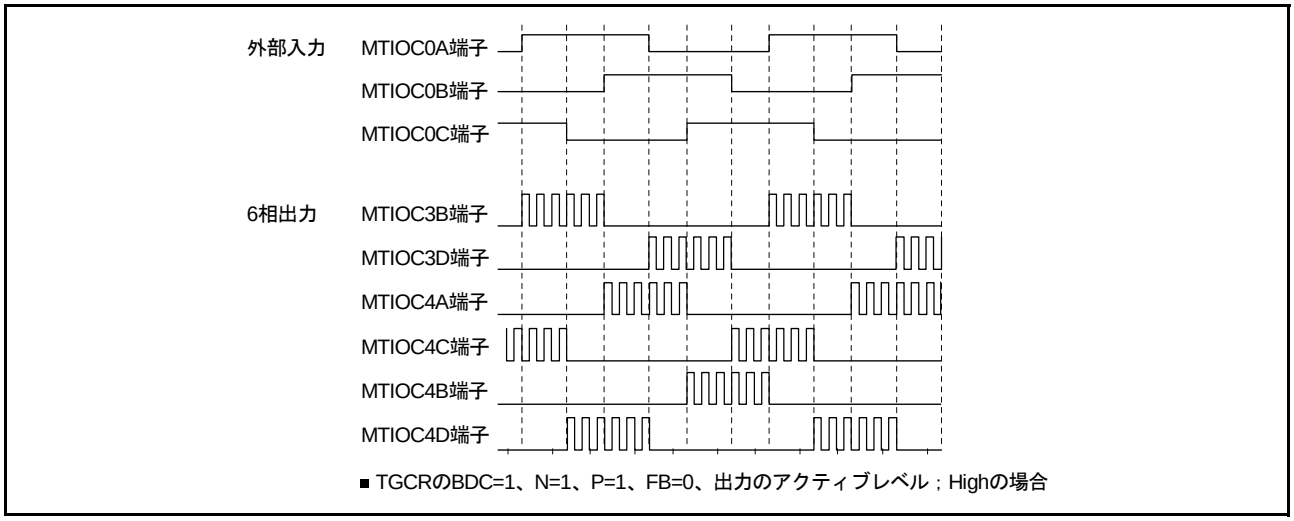


図 23.64　外部入力による出力相の切り換え動作例（2）

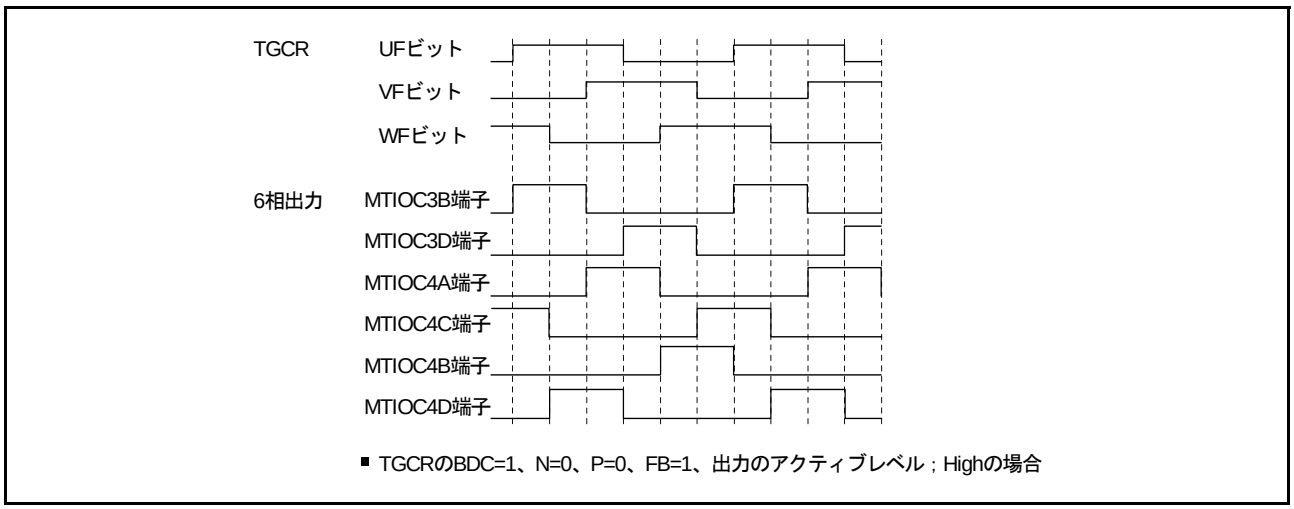


図 23.65　UF、VF、WF ビット設定による出力相の切り換え動作例（1）

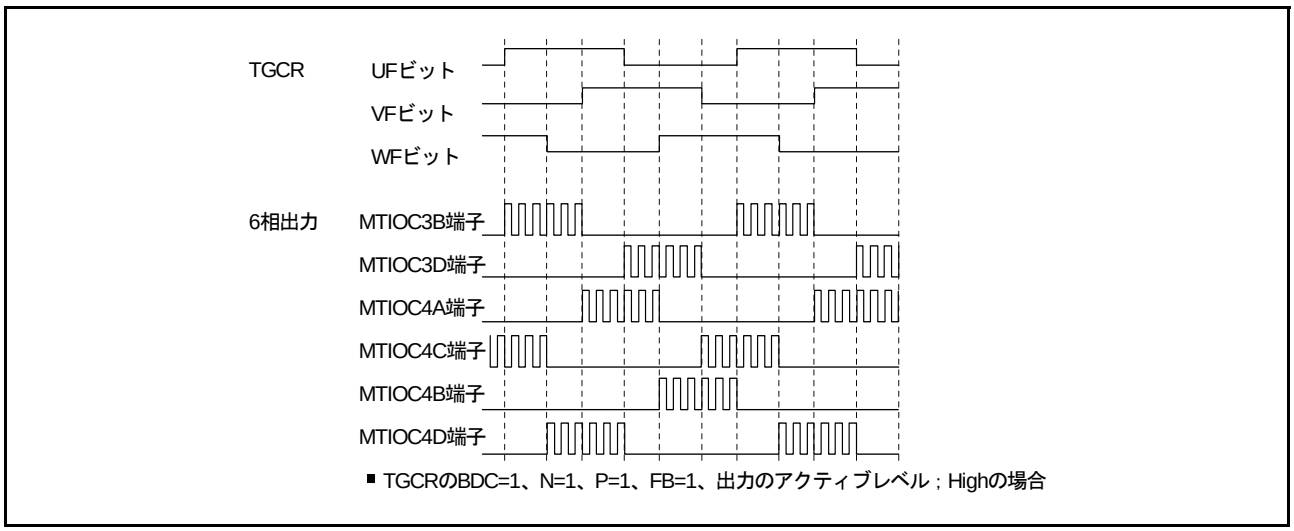


図 23.66　UF、VF、WF ビット設定による出力相の切り替え動作例（2）

(q)　A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA のコンペアマッチ、MTU4.TCNT のアンダフロー（谷）、MTU3、MTU4 以外のチャネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、タイマ割り込み許可レジスタ（TIER）の TTGE ビットを “1” にすることで設定できます。MTU4.TCNT のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER の TTGE2 ビットを “1” にすることで設定できます。

(3)　相補 PWM モードの割り込み間引き機能

MTU3 と MTU4 の TGIA3（山の割り込み）、および TCIV4（谷の割り込み）は、タイマ割り込み間引き設定レジスタ（TITCR）を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ（TBTER）を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、**「(c)　割り込み間引きと連動したバッファ転送制御」**を参照してください。

タイマ A/D 変換要求コントロールレジスタ（TADCR）を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については**「23.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。

タイマ割り込み間引き設定レジスタ（TITCR）の設定は、MTU3.TIER、MTU4.TIER レジスタの設定で TGIA3 と TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しない状態、かつコンペアマッチによる TGIA3、TGIA4 割り込み要求が発生しない状態で行ってください。また、間引き回数の変更前に、TITCR の T3AEN、T4VEN ビットを “0” にして、間引きカウンタをクリアしてください。

(a)　割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を**図 23.67** に示します。また、割り込み間引き回数の変更可能期間を**図 23.68** に示します。

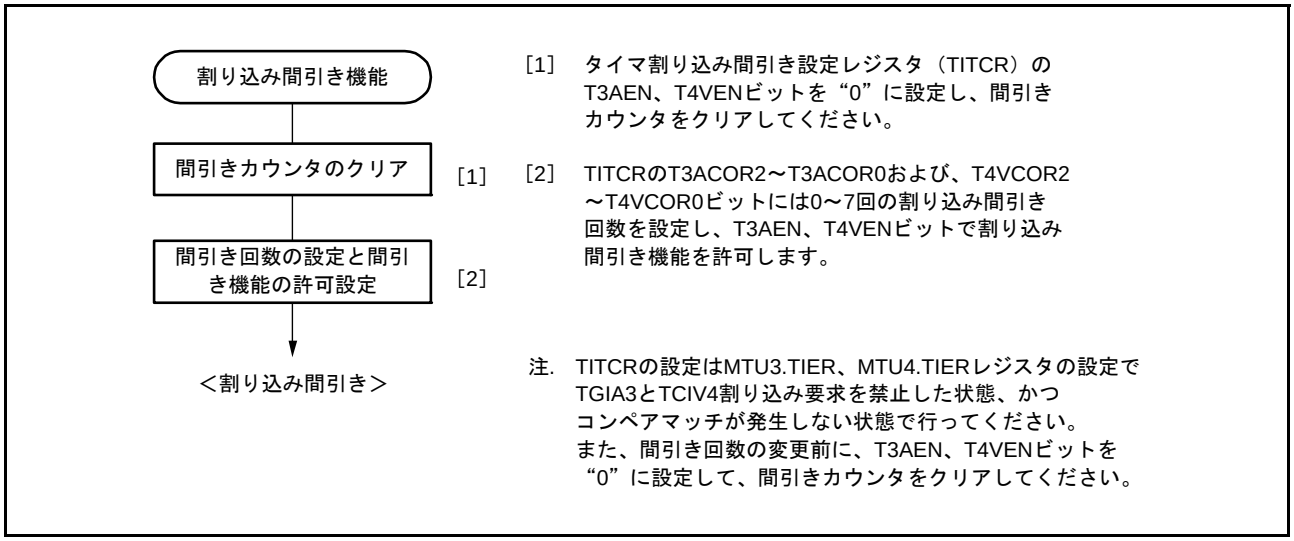


図 23.67　割り込み間引き機能の設定手順例

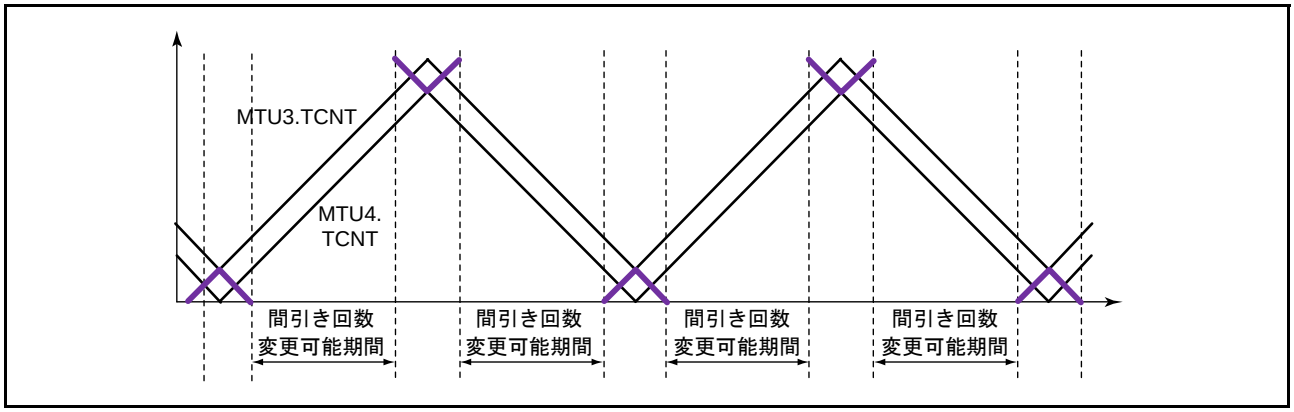


図 23.68　割り込み間引き回数の変更可能期間

(b)　割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ（TITCR）の T3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを “1” に設定した場合の、MTU3.TGIA 割り込み間引きの動作例を図 23.69 に示します。

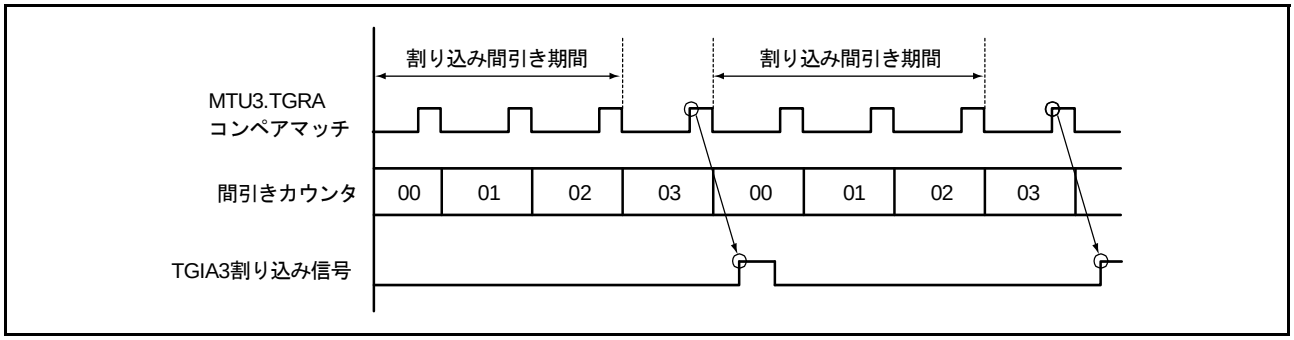


図 23.69　割り込み間引き機能の動作例

(c)　割り込み間引きと連動したバッファ転送制御

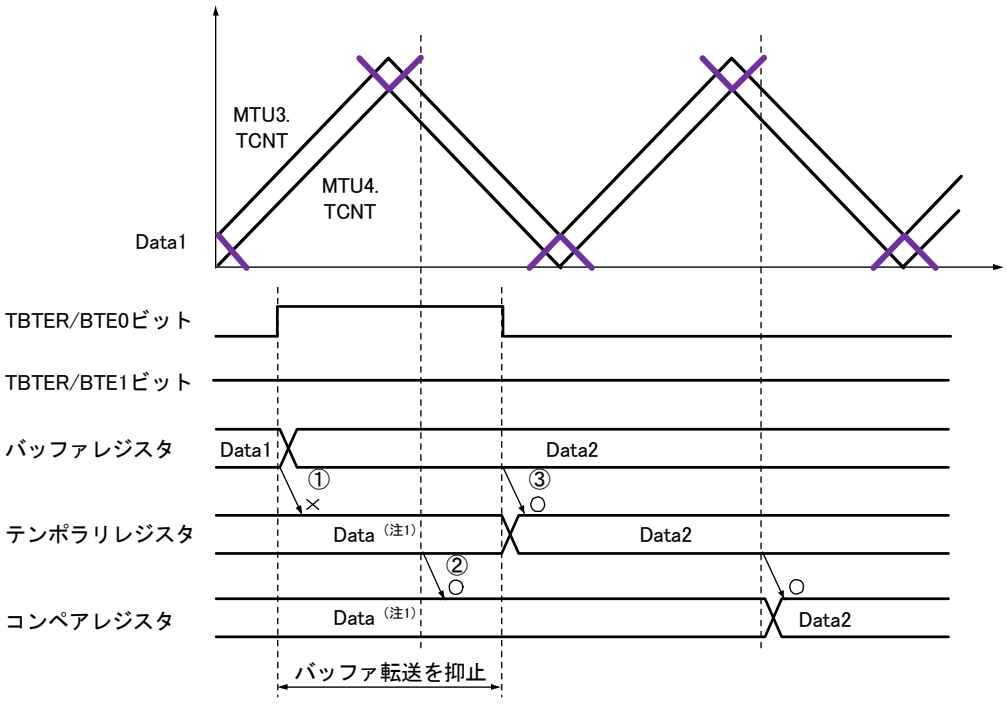
タイマバッファ転送設定レジスタ（TBTER）の BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑止する設定（BTE[1:0] ＝ “01b”）にした場合の動作例を図 23.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定（BTE[1:0] ＝ “10b”）にした場合の動作例を図 23.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN ビットを “1” に設定した場合、T4VEN ビットを “1” に設定した場合、T3AEN/T4VEN ビットを “1” に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 23.72 に示します。

注 .　本機能は、割り込み間引き機能と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを “0” に設定したとき、または TITCR の間引き回数設定ビット（T3ACOR、T4VCOR）を “0” に設定したとき）は、バッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ（TBTER）の BTE1 を “0” に設定）してください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。



① バッファ転送を抑止期間中（TBTERのBTE[1:0]＝“01b”に設定）は、バッファレジスタからテンポラリレジスタへの転送をしない。
② バッファ転送を抑止期間中も、テンポラリレジスタからコンペアレジスタへの転送は行われる。
③ バッファ転送を抑止解除後に、バッファレジスタからテンポラリレジスタへの転送が行われる。

注1.　山でのバッファ転送を選択時

図 23.70　バッファ転送を抑止する設定（BTE[1:0] ＝ “01b”）にした場合の動作例

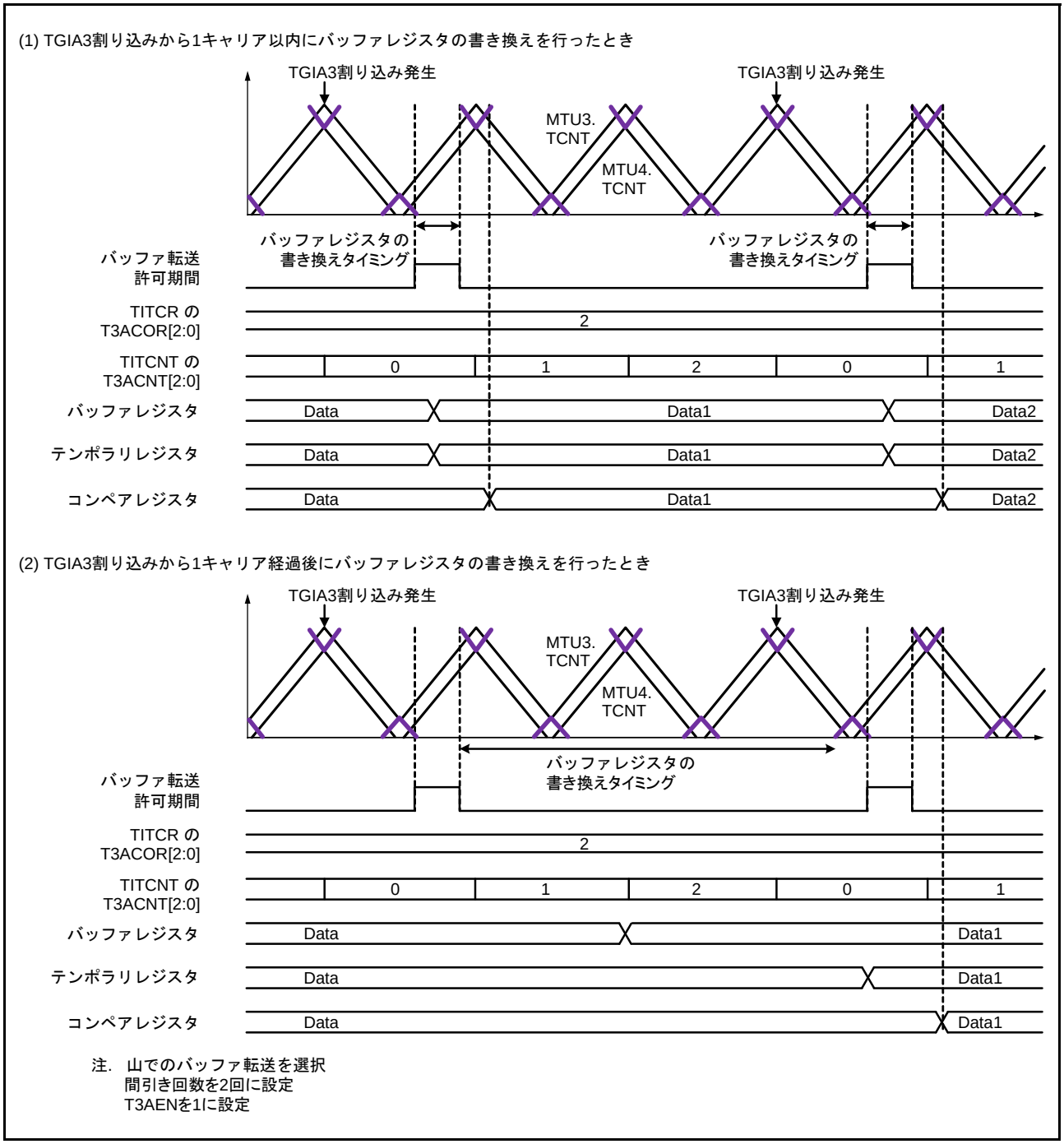


図 23.71　バッファ転送を割り込み間引きと連動する設定（BTE[1:0] = “10b”）にした場合の動作例

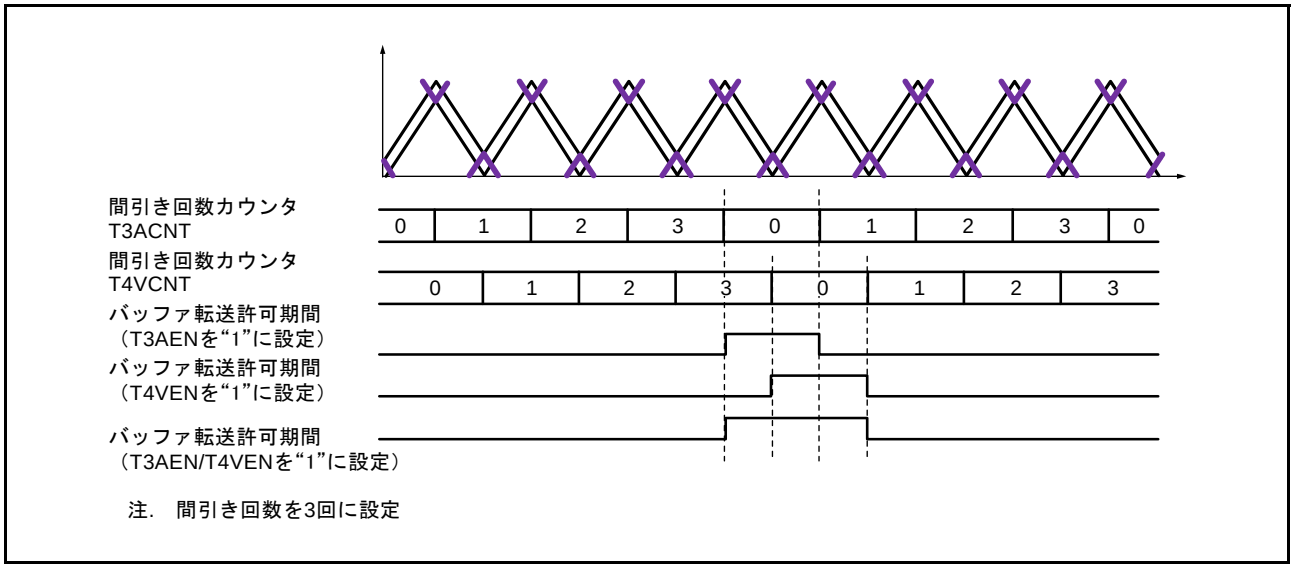


図 23.72　タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4)　相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a)　レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライト許可レジスタ（TRWER）の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3 および MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR および MTU4.TCR、MTU3.TMDR および MTU4.TMDR、MTU3.TIORH および MTU4.TIORH、MTU3.TIORL および MTU4.TIORL、MTU3.TIER および MTU4.TIER、MTU3.TCNT および MTU4.TCNT、MTU3.TGRA および MTU4.TGRA、MTU3.TGRB および MTU4.TGRB、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR

計 22 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効です。

(b)　外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、**「24.　ポートアウトプットイネーブル 2（POE2a）」**を参照してください。

(c)　発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、RX63N、RX631 に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、**「9.5　発振停止検出機能」**を参照してください。

23.3.9　A/D 変換開始要求ディレイド機能

MTU4 のタイマ A/D 変換開始要求コントロールレジスタ（TADCR）、タイマ A/D 起動要求用周期レジスタ（MTU4.TADCORA、MTU4.TADCORB）、タイマ A/D 起動要求用周期バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB）を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB を比較し、これらが一致したとき、それぞれの A/D 変換の開始要求（TRG4AN、TRG4BN）を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求（TRG4AN、TRG4BN）を間引くことが可能です。

(1)　A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 23.73 に示します。

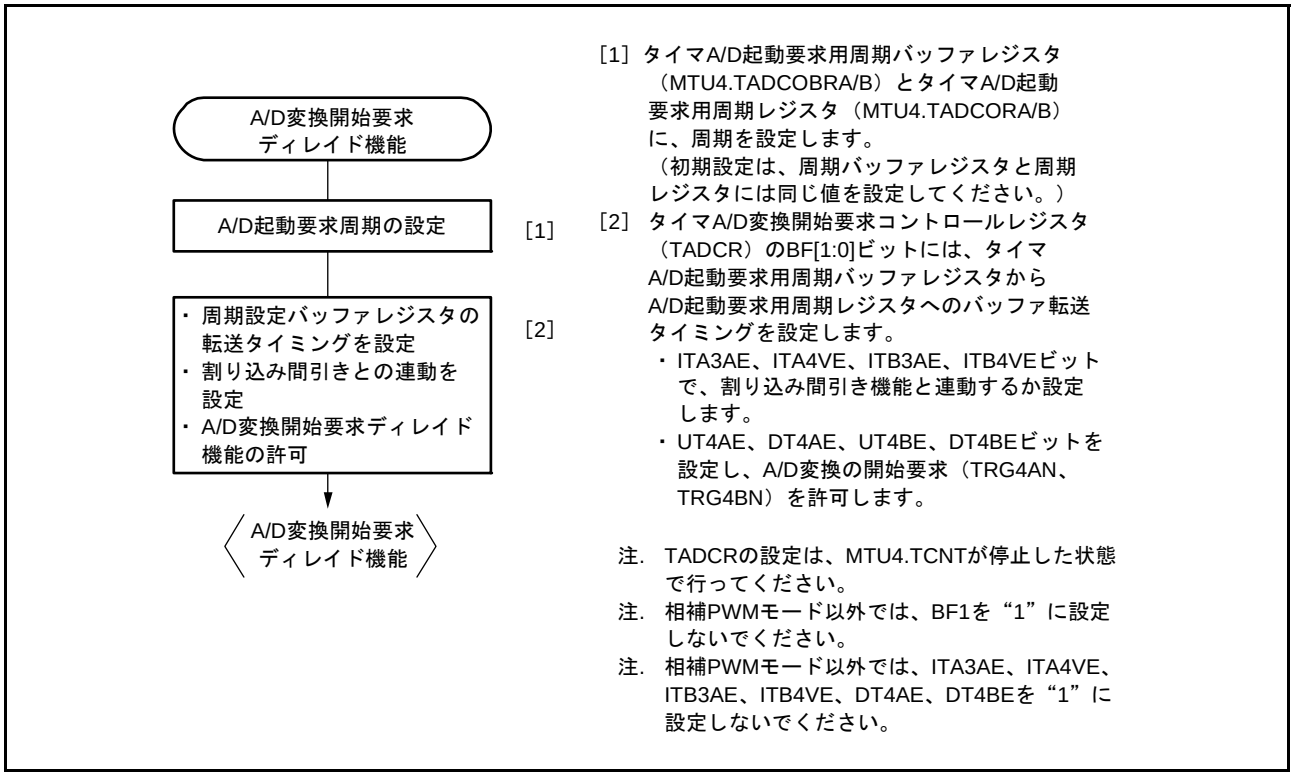


図 23.73　A/D 変換開始要求ディレイド機能の設定手順例

(2)　A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT の谷に設定し、MTU4.TCNT のダウンカウント時に A/D 変換の開始要求信号（TRG4AN）を出力する設定にした場合の、A/D 変換の開始要求信号（TRG4AN）の基本動作例を図 23.74 に示します。

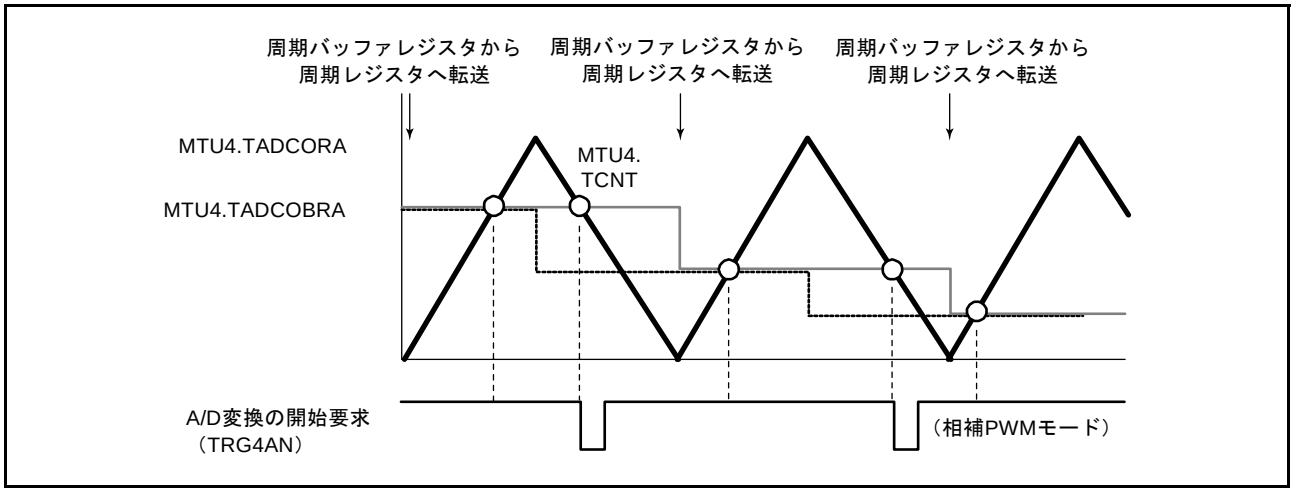


図 23.74　A/D 変換の開始要求信号（TRG4AN）の基本動作例

(3)　バッファ転送

タイマ A/D 起動要求用周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR）の BF[1:0] ビットを設定することにより選択することができます。

(4)　割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求（TRG4AN、TRG4BN）を行うことが可能です。MTU4.TCNT のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を図 23.75 に示します。

また、MTU4.TCNT のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を図 23.76 に示します。

注 .　本機能は割り込み間引き機能と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを “0” に設定したとき、または TITCR の間引き回数設定ビット（T3ACOR、T4VCOR）を “0” に設定したとき）は、割り込み間引き機能と連動しない（タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを “0” に設定）設定にしてください。
A/D コンバータへの変換要求信号は、TRG4ABN（TRG4AN または TRG4BN）になりますので注意してください。

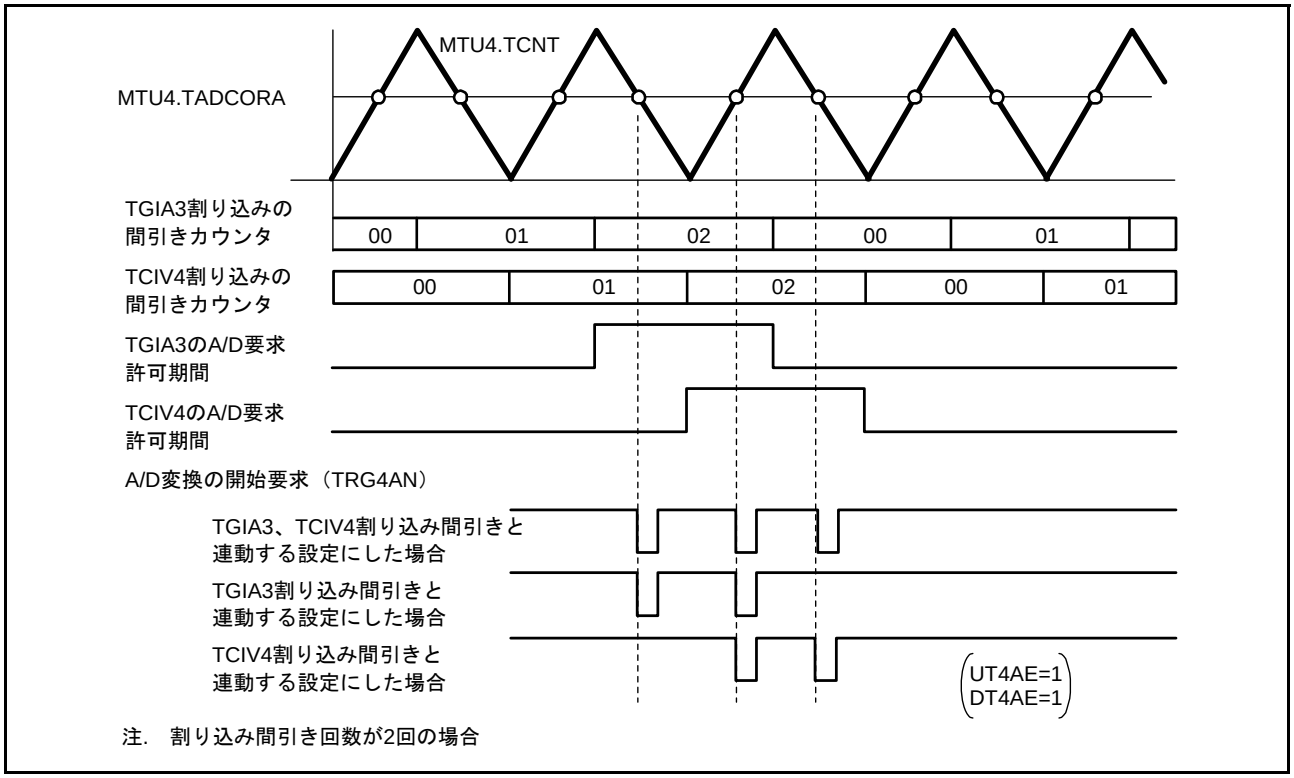


図 23.75　割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例
（TCNT のアップカウント時およびダウンカウント時に TRG4AN 出力を許可したとき）

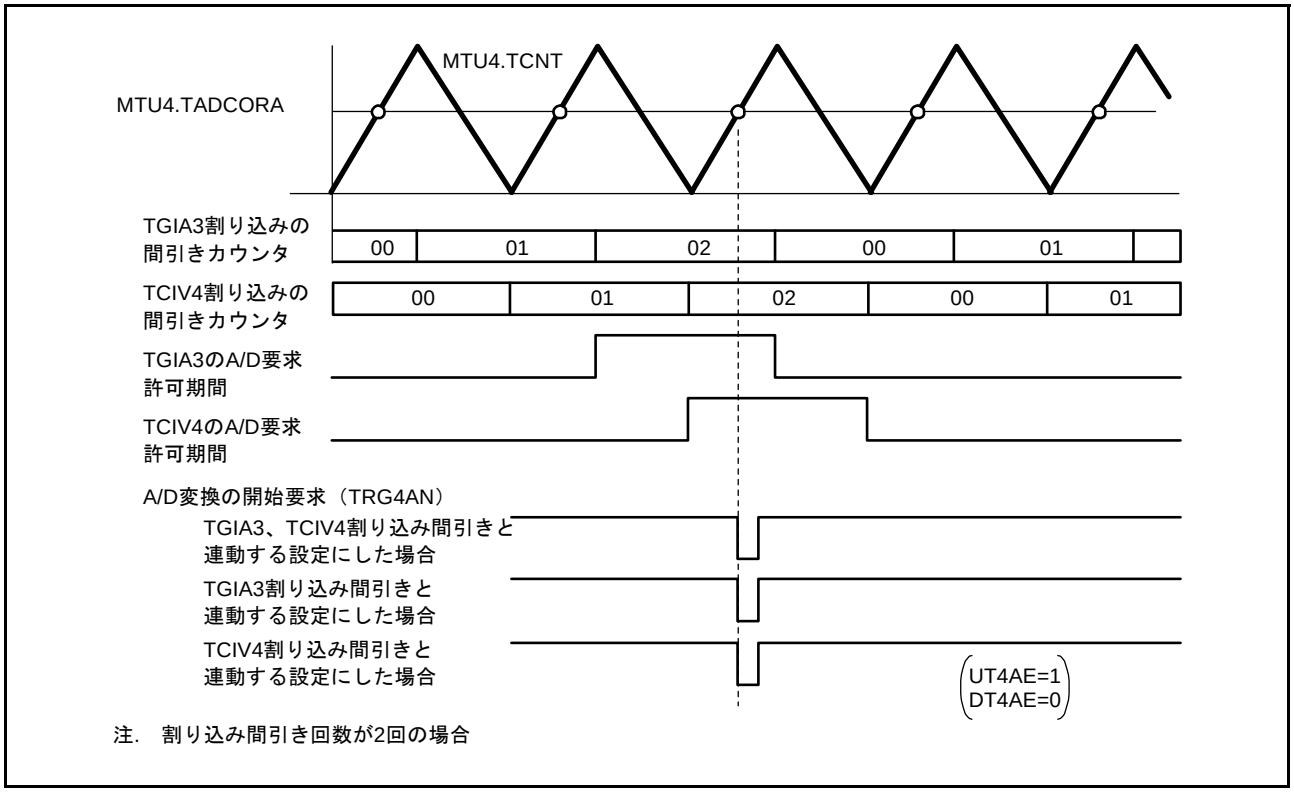


図 23.76　割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例
（TCNT のアップカウント時に TRG4AN 出力を許可したとき）

23.3.10　外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

(1)　外部パルス幅測定の設定手順例

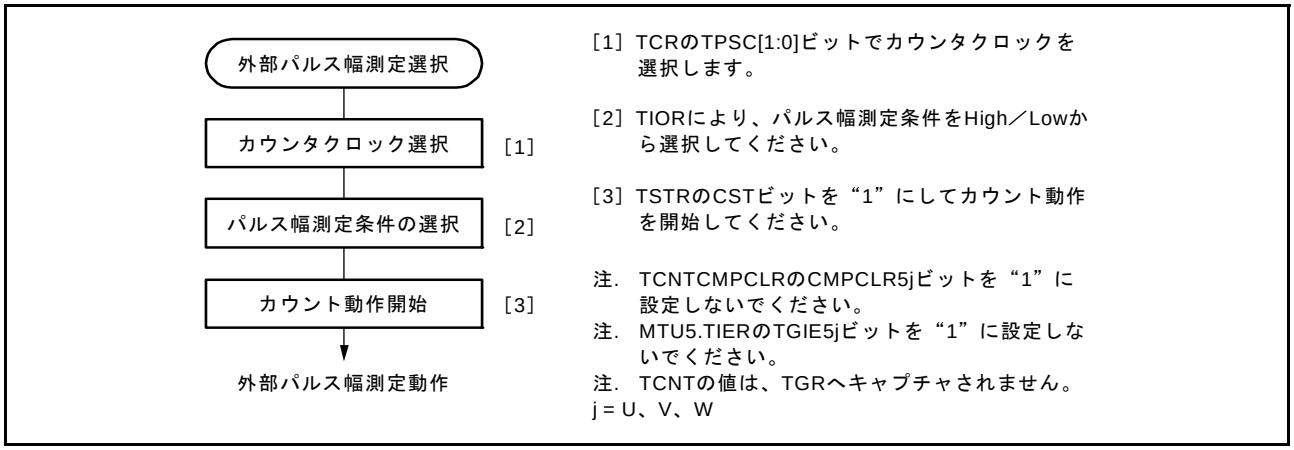


図 23.77　外部パルス幅測定の設定手順例

(2)　外部パルス幅測定動作例

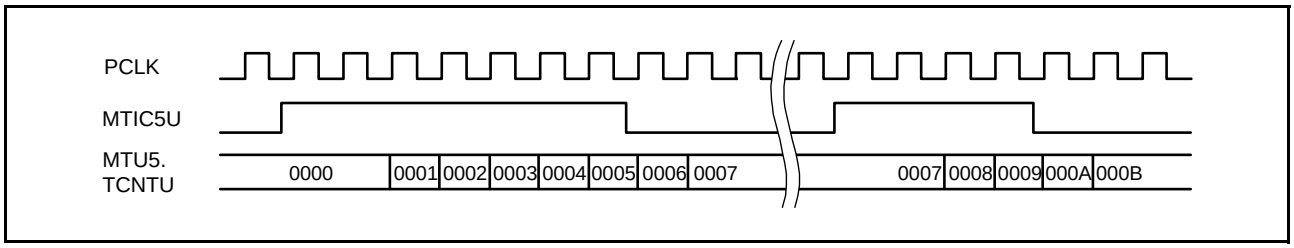


図 23.78　外部パルス幅測定の動作例（High 幅測定）

23.3.11　デッドタイム補償用機能

出力波形の遅れを測定してデューティに反映することで、外部パルス幅測定機能を相補 PWM モード動作時の PWM 出力波形に対するデッドタイム補償用機能として使用することができます。

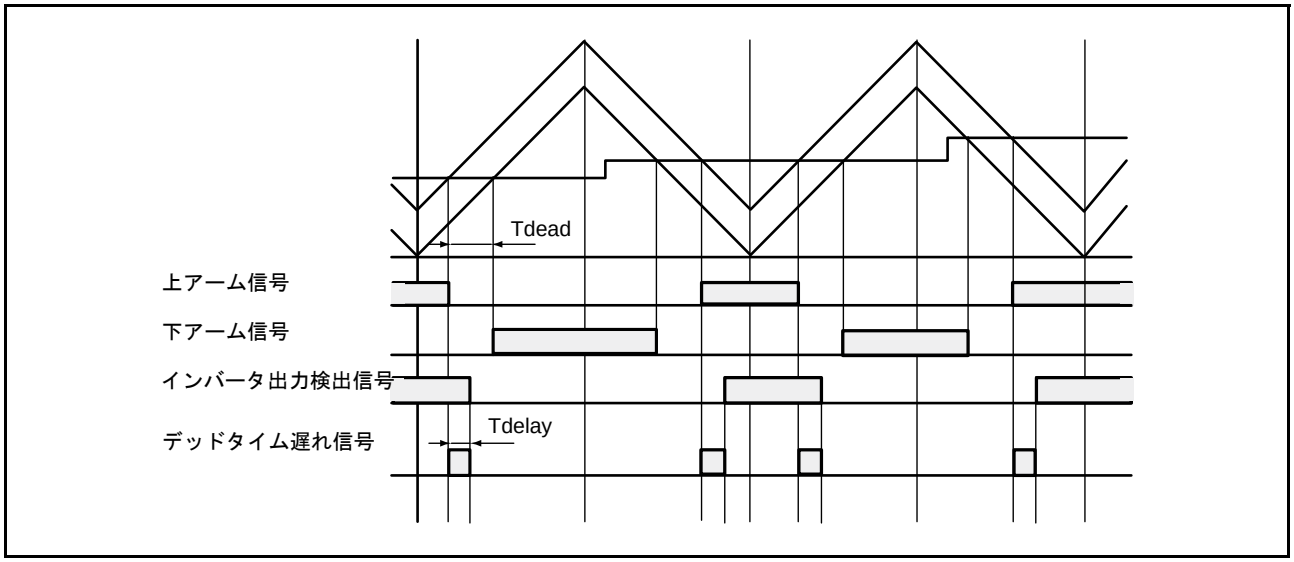


図 23.79　相補 PWM モード動作時のデッドタイム遅れ

(1)　デッドタイム補償用機能の設定手順例

MTU5 の 3 本のカウンタを使用したデッドタイム補償用機能の設定手順例を図 23.80 に示します。

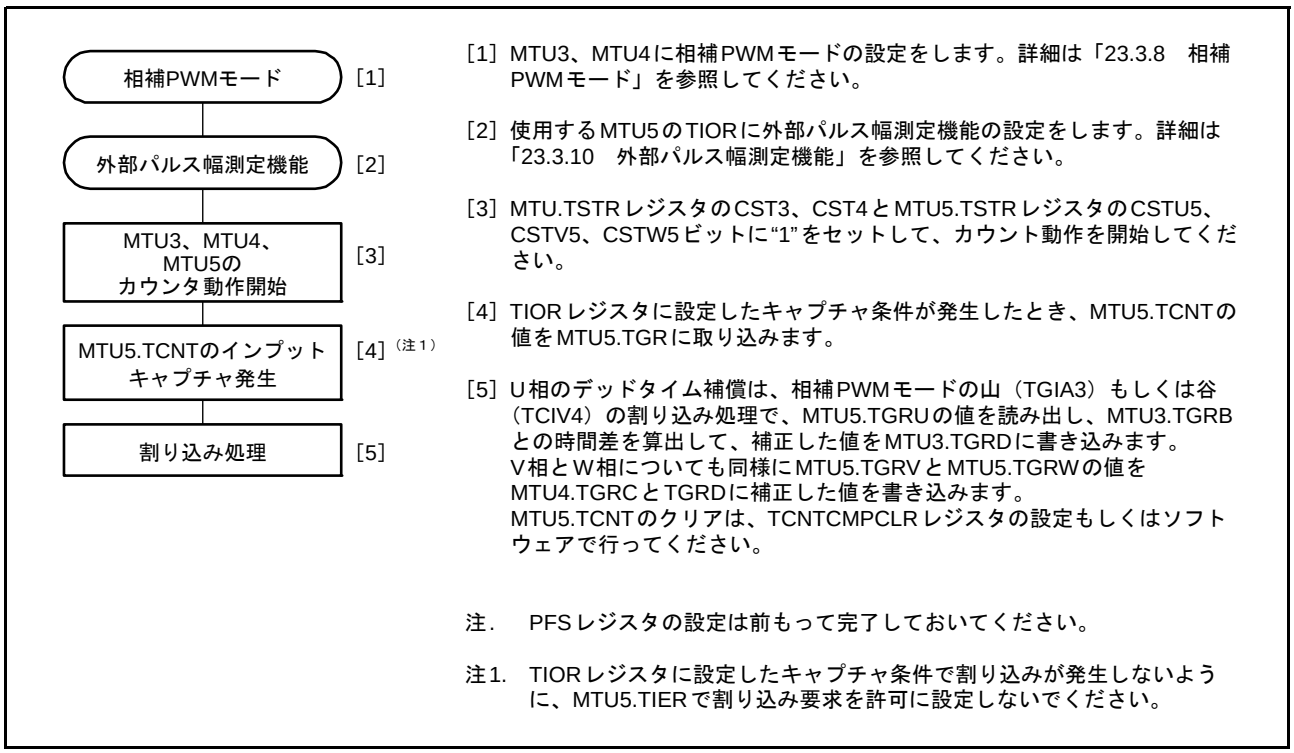


図 23.80　デッドタイム補償用機能の設定手順例

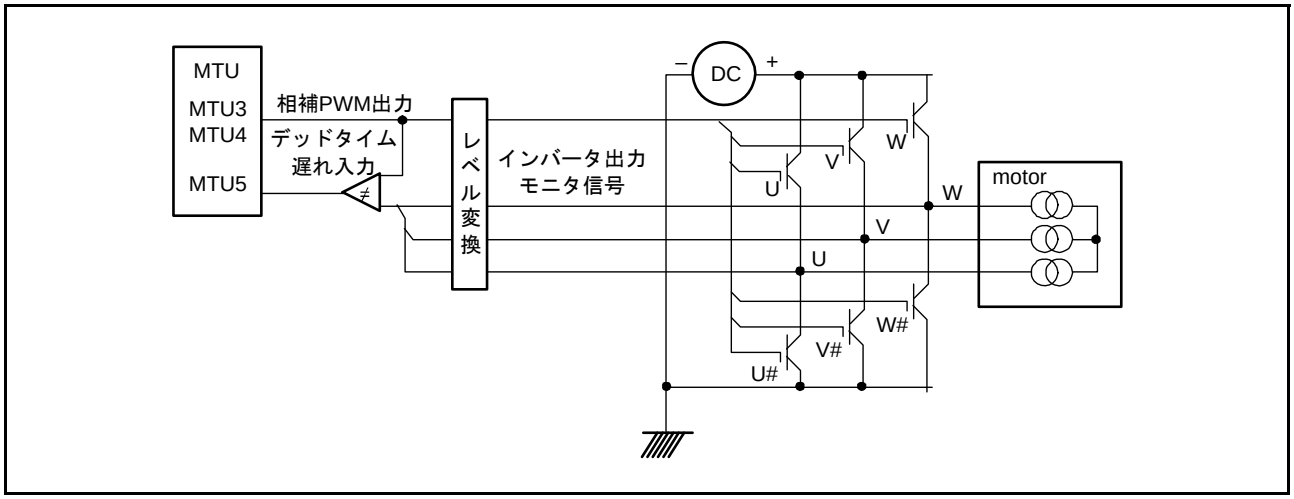


図 23.81　モータ制御回路構成例

(2)　相補 PWM モードの「山 / 谷」での TCNT キャプチャ動作

相補 PWM モード動作時、MTU5.TCNT の値を「山、谷、山谷」で MTU5.TGR へ保存します。MTU5.TGR に取り込むタイミングの切り替えは、TIOR レジスタで選択します。

相補 PWM モード時の「山 / 谷」での MTU5.TCNT キャプチャ動作を図 23.82 に示します。

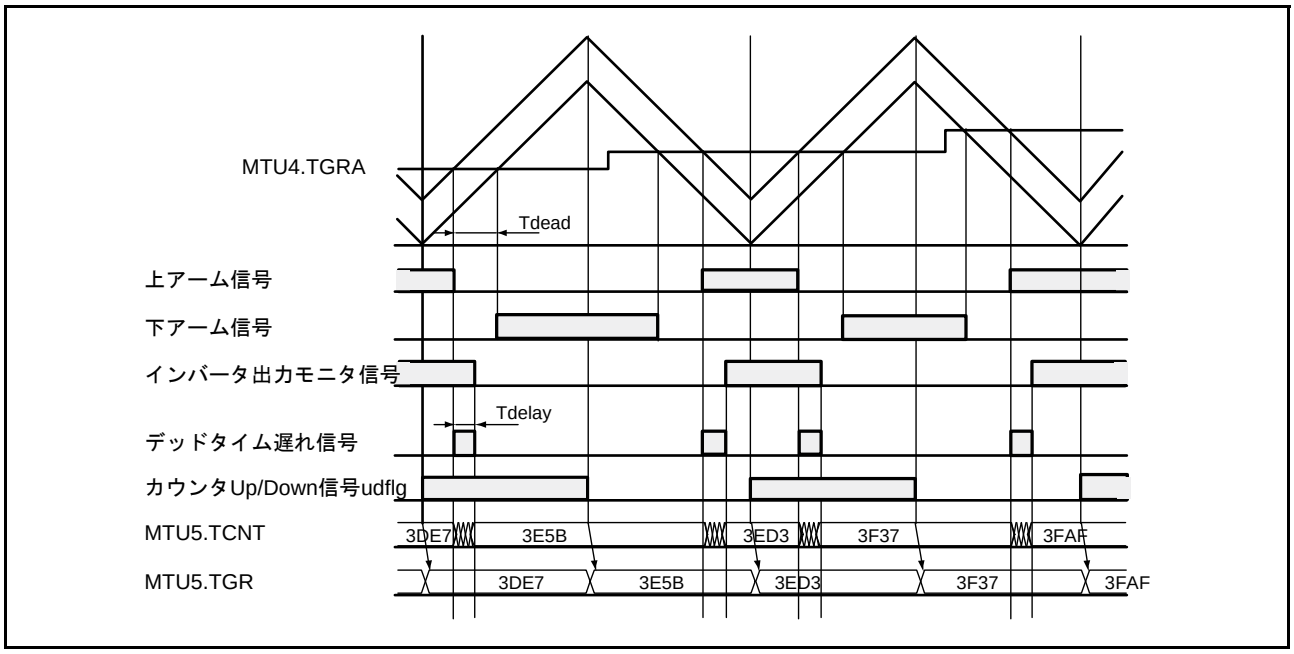


図 23.82　相補 PWM モード時の「山 / 谷」での MTU5.TCNT キャプチャ動作

23.3.12　ノイズフィルタ機能

MTU のインプットキャプチャ入力端子または外部パルス入力端子には、ノイズフィルタ機能を持っています。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は端子ごとにノイズフィルタ機能の許可 / 停止が設定でき、サンプリングクロックは、チャネルごとに設定が可能です。図 23.83 にノイズフィルタのタイミングを示します。

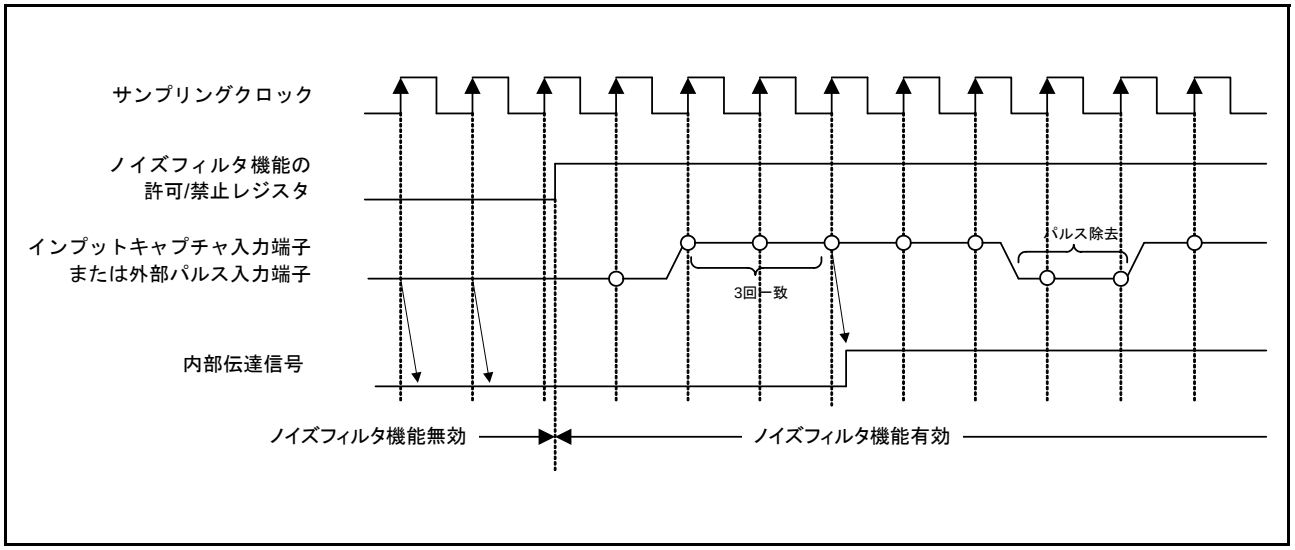


図 23.83　ノイズフィルタのタイミング

23.4　割り込み要因

23.4.1　割り込み要因と優先順位

MTU の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可 / 禁止ビットが “1” であれば、割り込みを要求します。チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。

表 23.57 に MTU の割り込み要因の一覧を示します。

表23.57　MTU割り込み要因 (1)

チャネル	名称	割り込み要因	DMACの起動	DTCの起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ /コンペアマッチ	可能	可能	高
	TGIB0	MTU0.TGRBのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ /コンペアマッチ	可能	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ /コンペアマッチ	可能	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	不可能	
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ /コンペアマッチ	可能	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TCIV3	MTU3.TCNTのオーバフロー	不可能	不可能	
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ /コンペアマッチ	可能	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TCIV4	MTU4.TCNTのオーバフロー /アンダフロー	不可能	可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGIV5	MTU5.TGRVのインプットキャプチャ /コンペアマッチ	不可能	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ /コンペアマッチ	不可能	可能	低

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TIER レジスタの TGIE ビットが “1” であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 21 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャネルの TCNT のオーバフローの発生により、TIER の TCIEV ビットが “1” であれば、割り込みを要求します。MTU には、各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャネルの TCNT のアンダフローの発生により、TIER レジスタの TCIEU ビットが “1” であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

23.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャネルの TGR のインプットキャプチャ / コンペアマッチ割り込み、MTU4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「20. データトランスファコントローラ（DTCa）」を参照してください。

MTU では、MTU0、MTU3 が各 4 本、MTU1、MTU2 が各 2 本、MTU4 が 5 本、MTU5 が 3 本、計 20 本のインプットキャプチャ / コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャネルの TGRA のインプットキャプチャ / コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「18. DMA コントローラ（DMACA）」を参照してください。

MTU では、MTU0 ～ MTU4 の各チャネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因をクリアします。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

23.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動できます。
各割り込み要因と A/D 変換開始要求の対応を、**表 23.58** に示します。

(1) TGRA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の MTU4.TCNT の谷での A/D コンバータの起動

各チャネルの TGRA のインプットキャプチャ / コンペアマッチによって、A/D コンバータを起動できます。また、MTU4.TIER の TTGE2 ビットを “1” にした状態で、相補 PWM モード動作をさせた場合は MTU4.TCNT が谷（MTU4.TCNT ＝ 0000h）になったときも A/D コンバータを起動できます。
次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャネルの TGRA のインプットキャプチャ / コンペアマッチが発生したとき、TIER の TTGE ビットが “1” にされていた場合
- MTU4.TIER の TTGE2 ビットを “1” にした状態で、相補 PWM モード動作をさせ、MTU4.TCNT が谷（MTU4.TCNT ＝ 0000h）になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D コンバータの起動

MTU0.TCNT と MTU0.TGRE のコンペアマッチによって、A/D コンバータを起動できます。
MTU0.TCNT と MTU0.TGRE のコンペアマッチの発生により、A/D 変換開始要求 TRG0EN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0EN が選択されていれば、A/D 変換が開始されます。

(3) MTU0.TCNT と MTU0.TGRF のコンペアマッチによる A/D コンバータの起動

MTU0.TCNT と MTU0.TGRF のコンペアマッチによって、A/D コンバータを起動できます。
MTU0.TCNT と MTU0.TGRF のコンペアマッチの発生により、A/D 変換開始要求 TRG0FN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0FN が選択されていれば、A/D 変換が開始されます。

(4) MTU0.TGRA, MTU0.TGRB のインプットキャプチャ / コンペアマッチによる A/D コンバータの起動

MTU0 .TCNT と MTU0.TGRA, MTU0.TGRB のインプットキャプチャ / コンペアマッチによって、A/D コンバータを起動できます。
MTU0.TCNT と MTU0.TGRA, MTU0.TGRB のインプットキャプチャ / コンペアマッチの発生により、A/D 変換開始要求 TRG0AN, TRG0BN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0AN, TRG0BN が選択されていれば、A/D 変換が開始されます。

(5) A/D 変換開始要求ディレイド機能による A/D コンバータの起動

A/D 変換開始要求コントロールレジスタ（TADCR）の UT4AE、DT4AE、UT4BE、DT4BE ビットを “1” にした場合、TADCORA、TADCORB と MTU4.TCNT の一致によって、TRG4AN、TRG4BN を発生し、A/D コンバータを起動できます。詳細は「23.3.9　A/D 変換開始要求ディレイド機能」を参照してください。
TRG4AN または TRG4BN が発生したとき、TRG4ABN が発生します。A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されていれば、A/D 変換が開始されます。

表23.58　各割り込み要因とA/D変換開始要求の対応

対象	A/Dコンバータ起動要因	A/D変換開始要求
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGAN
MTU1.TGRAとMTU1.TCNT		
MTU2.TGRAとMTU2.TCNT		
MTU3.TGRAとMTU3.TCNT		
MTU4.TGRAとMTU4.TCNT		
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRG0AN
MTU0.TGRBとMTU0.TCNT		TRG0BN
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0EN
MTU0.TGRFとMTU0.TCNT		TRG0FN
TADCORAとMTU4.TCNTまたは TADCORBとMTU4.TCNT		TRG4ABN

23.5　動作タイミング

23.5.1　　入出力タイミング

(1)　TCNT のカウントタイミング

内部クロック動作の場合の TGI 割り込みのカウントタイミングを図 23.84、図 23.85 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 23.86 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 23.87 に示します。

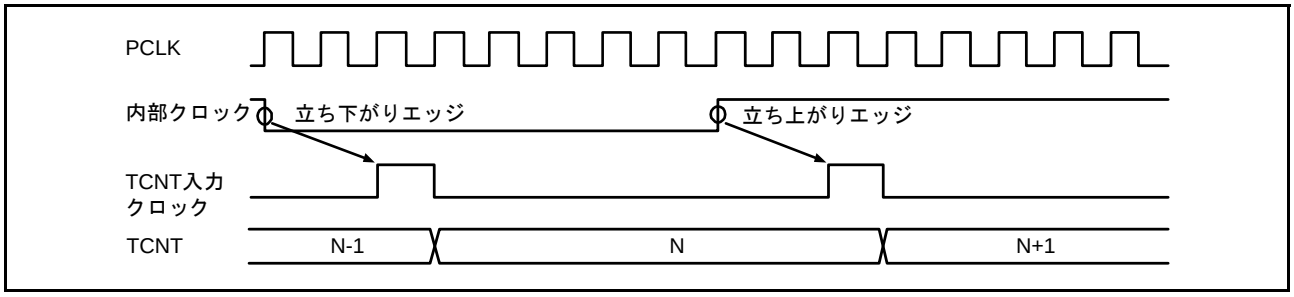


図 23.84　内部クロック動作時のカウントタイミング（MTU0 ～ MTU4）

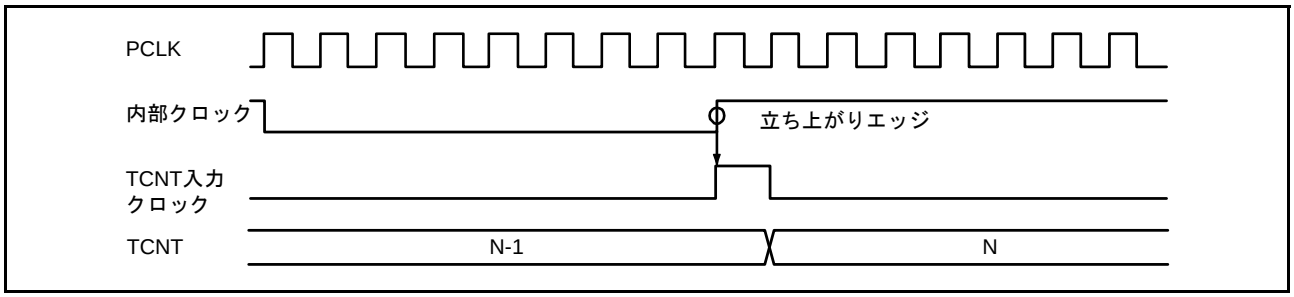


図 23.85　内部クロック動作時のカウントタイミング（MTU5）

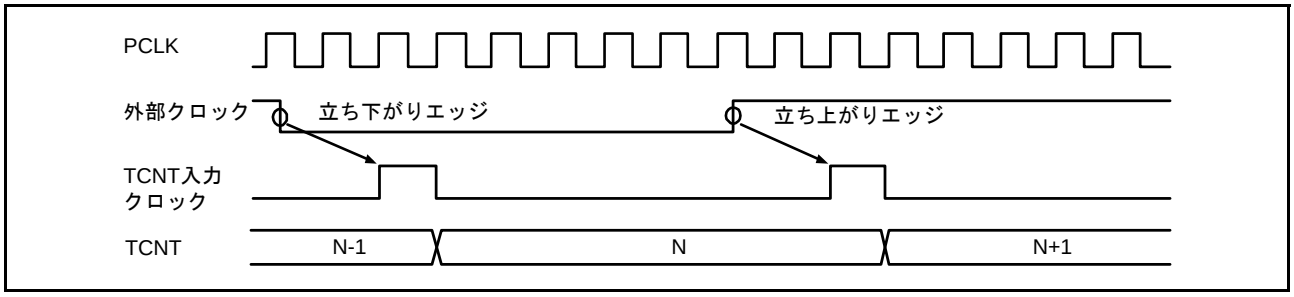


図 23.86　外部クロック動作時のカウントタイミング（MTU0 ～ MTU4）

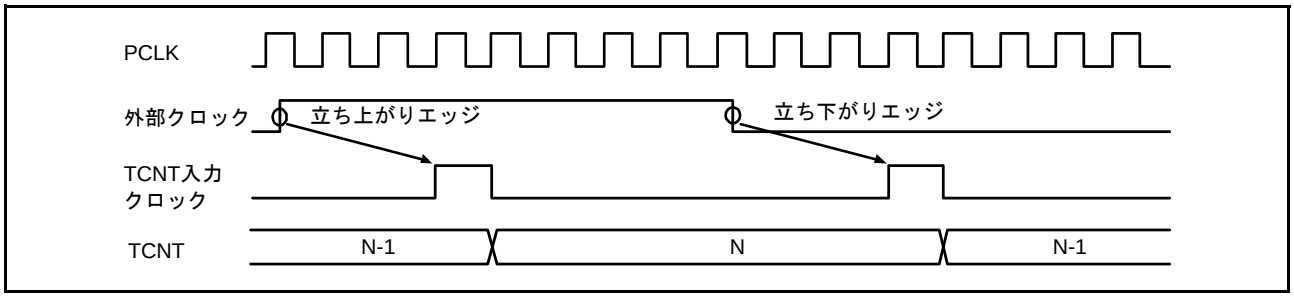


図 23.87　外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 23.88 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 23.89 に示します。

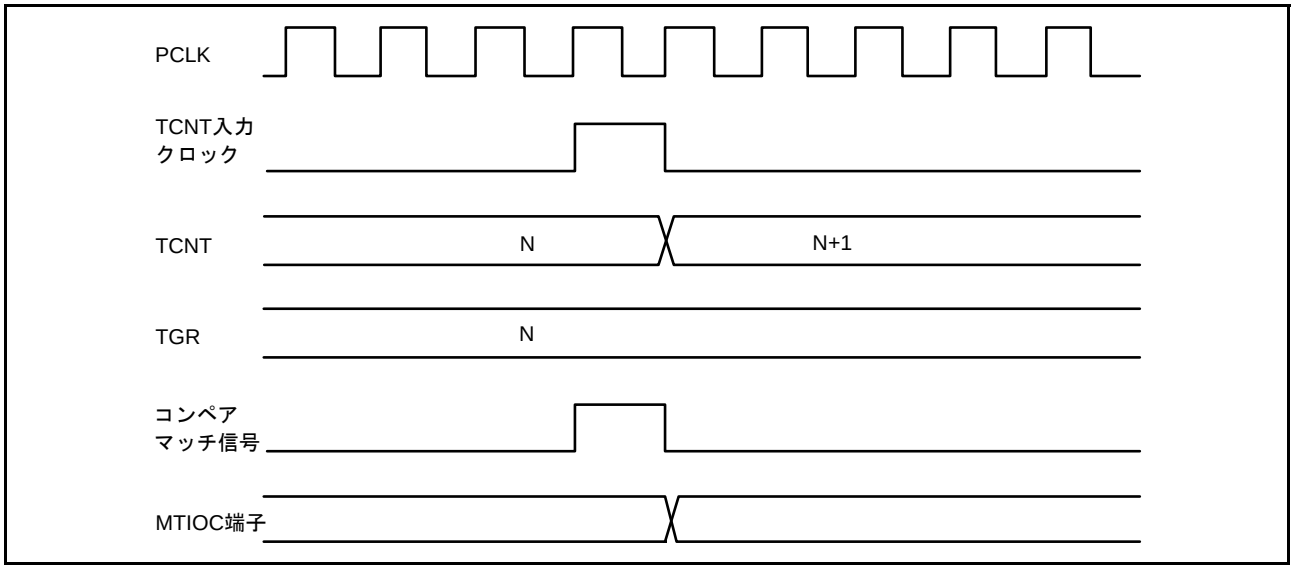


図 23.88　アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

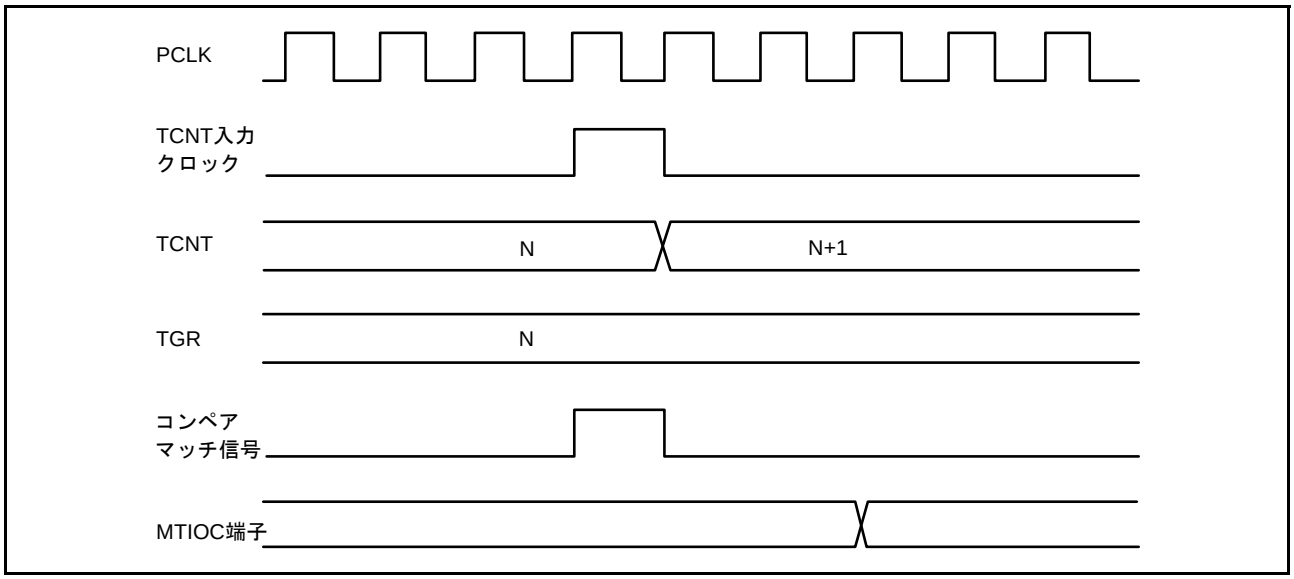


図 23.89　アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3)　インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 23.90 に示します。

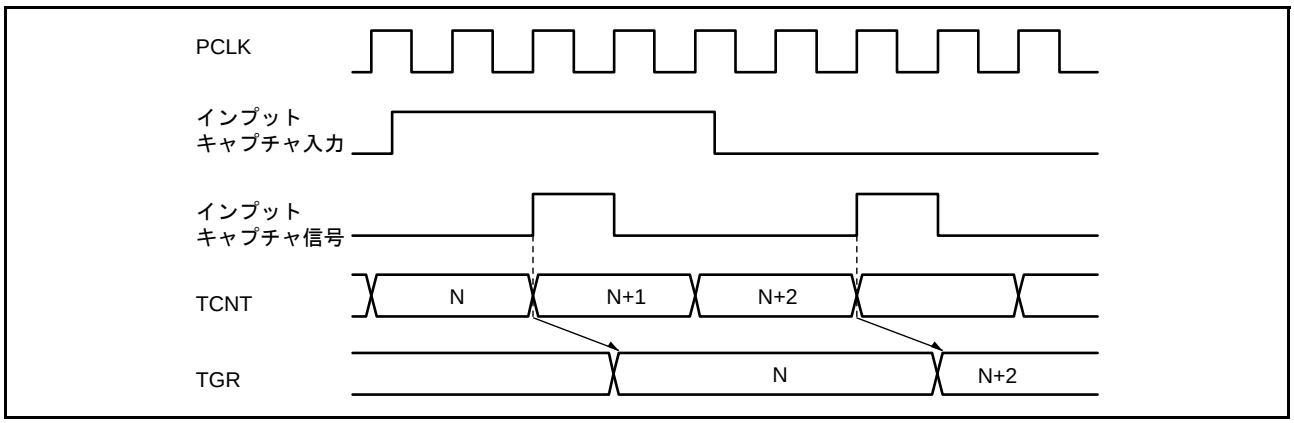


図 23.90　インプットキャプチャ入力信号タイミング

(4)　コンペアマッチ / インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 23.91、図 23.92 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 23.93 に示します。

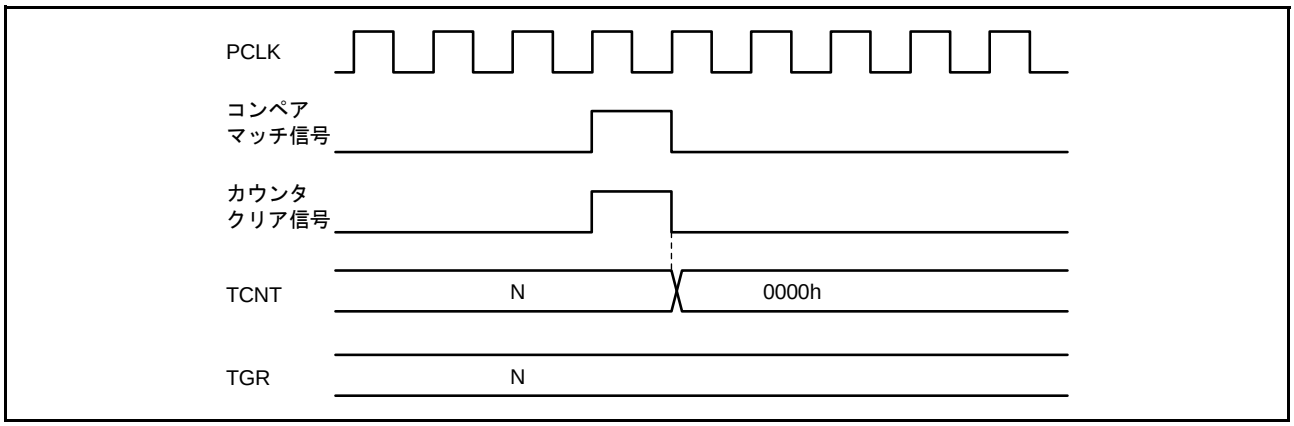


図 23.91　カウンタクリアタイミング（コンペアマッチ）（MTU0 ～ MTU4）

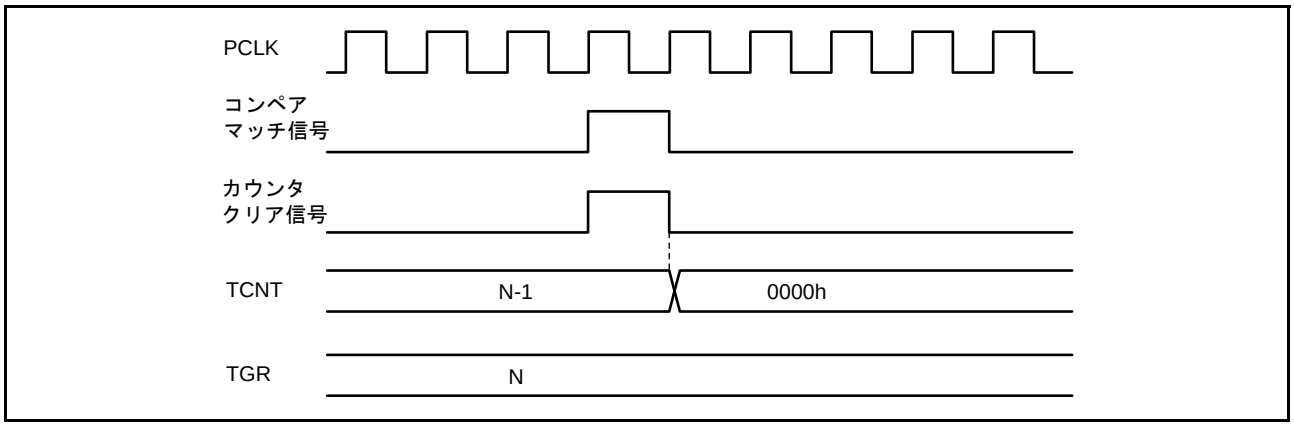


図 23.92　カウンタクリアタイミング（コンペアマッチ）（MTU5）

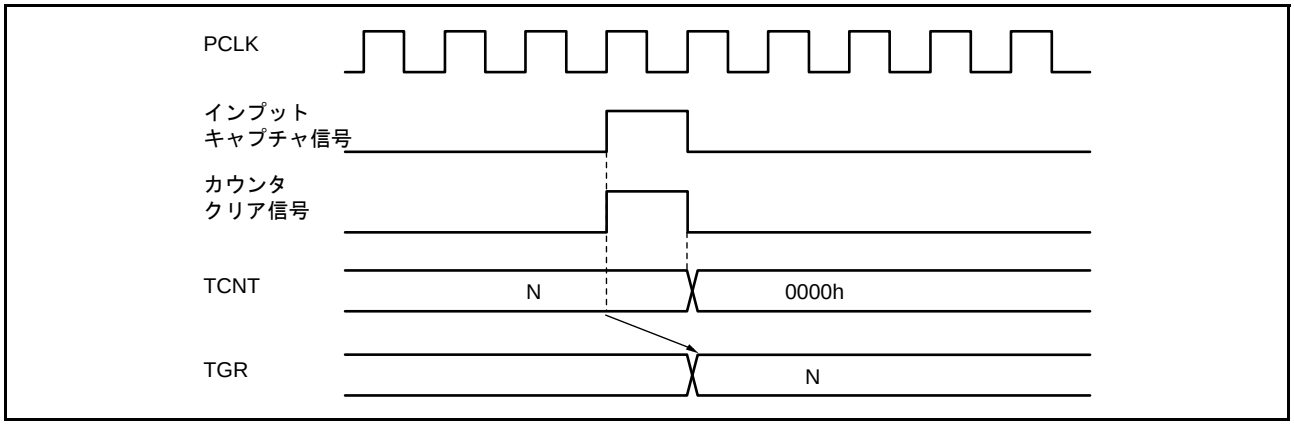


図 23.93　カウンタクリアタイミング（インプットキャプチャ）（MTU0 ～ MTU5）

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 23.94 ～図 23.96 に示します。

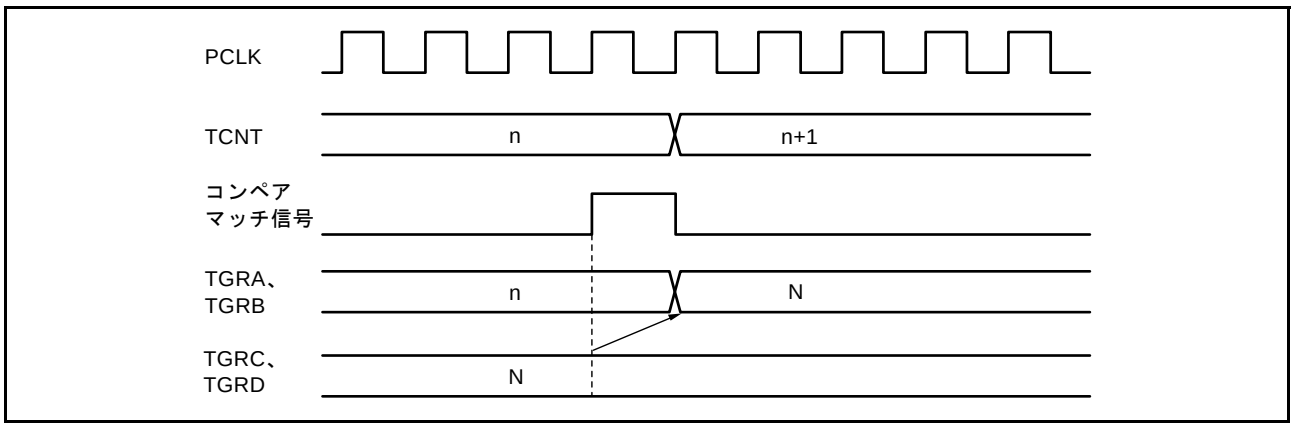


図 23.94　バッファ動作タイミング（コンペアマッチ）

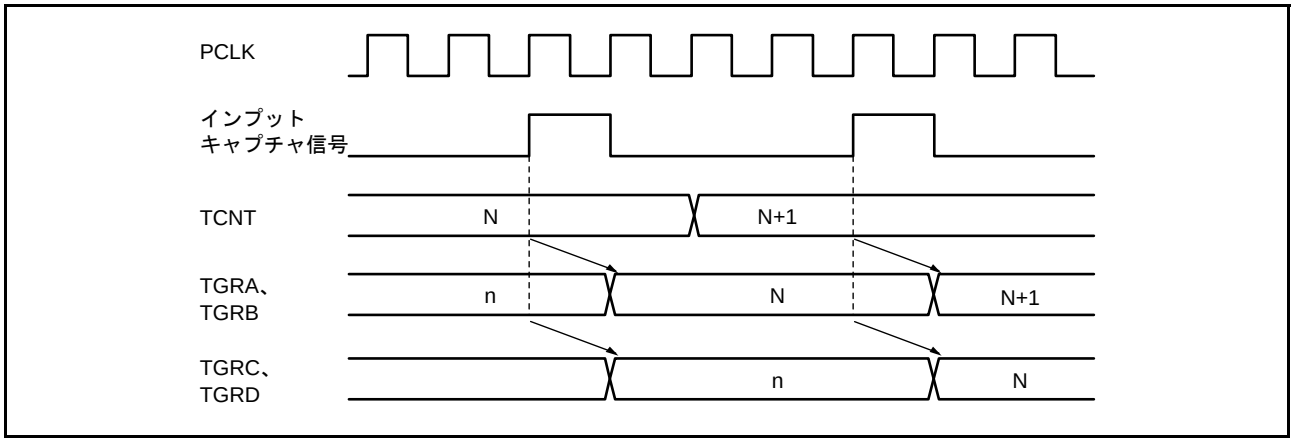


図 23.95　バッファ動作タイミング（インプットキャプチャ）

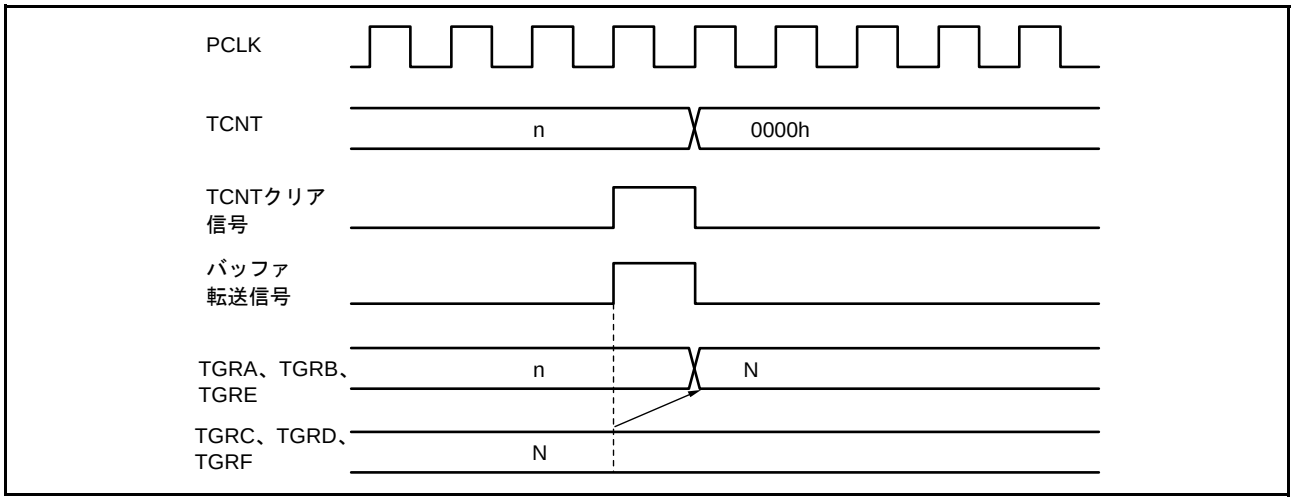


図 23.96　バッファ動作タイミング（TCNT クリア時）

(6) バッファ転送タイミング（相補 PWM モード時）

相補 PWM モード時のバッファ転送のタイミングを図 23.97 ～図 23.99 に示します。

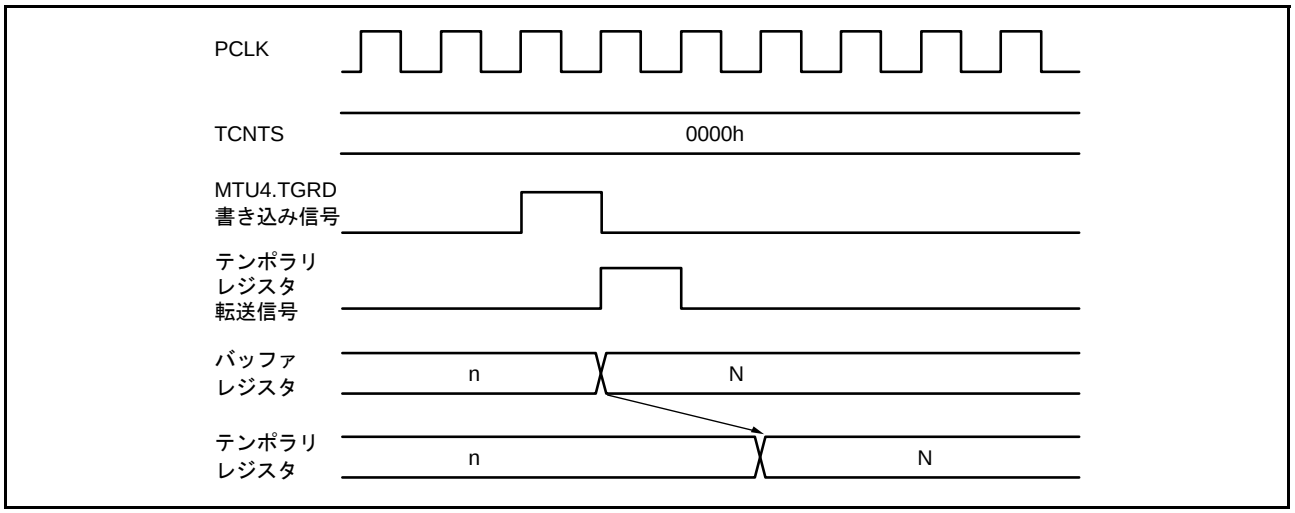


図 23.97　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTS 停止中）

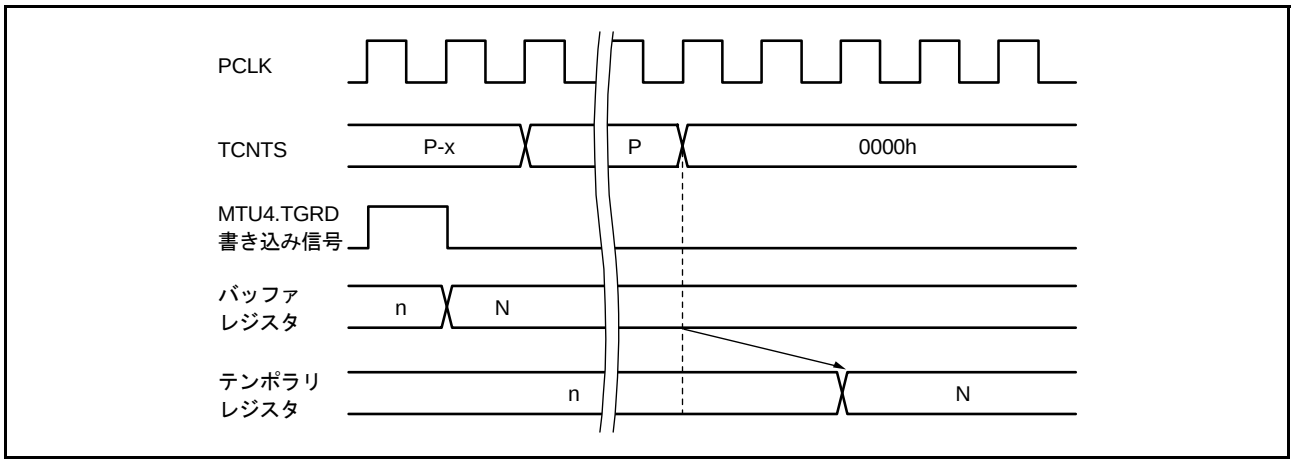


図 23.98　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTS 動作中）

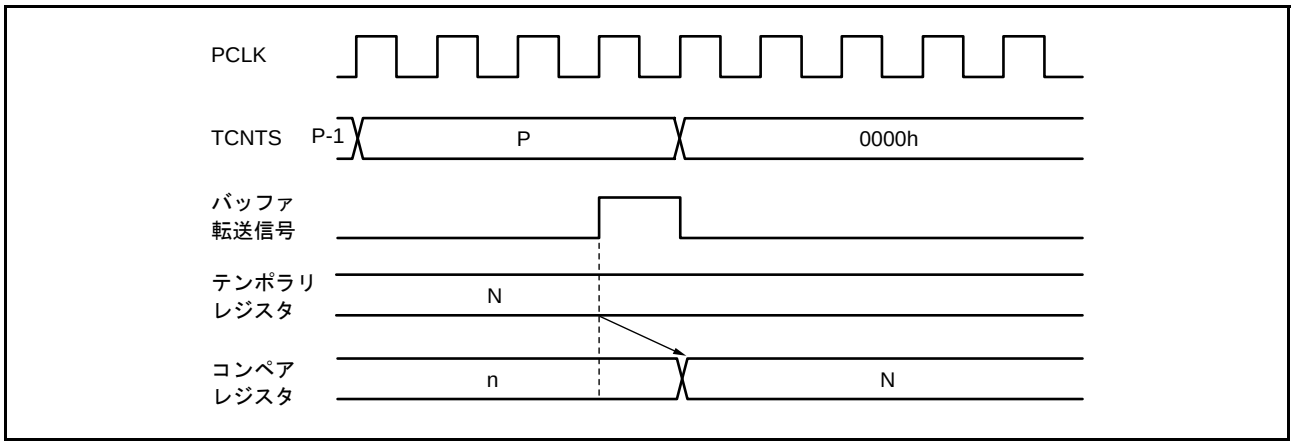


図 23.99　テンポラリレジスタからコンペアレジスタへの転送タイミング

23.5.2　割り込み信号タイミング

(1)　コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 23.100、図 23.101 に示します。

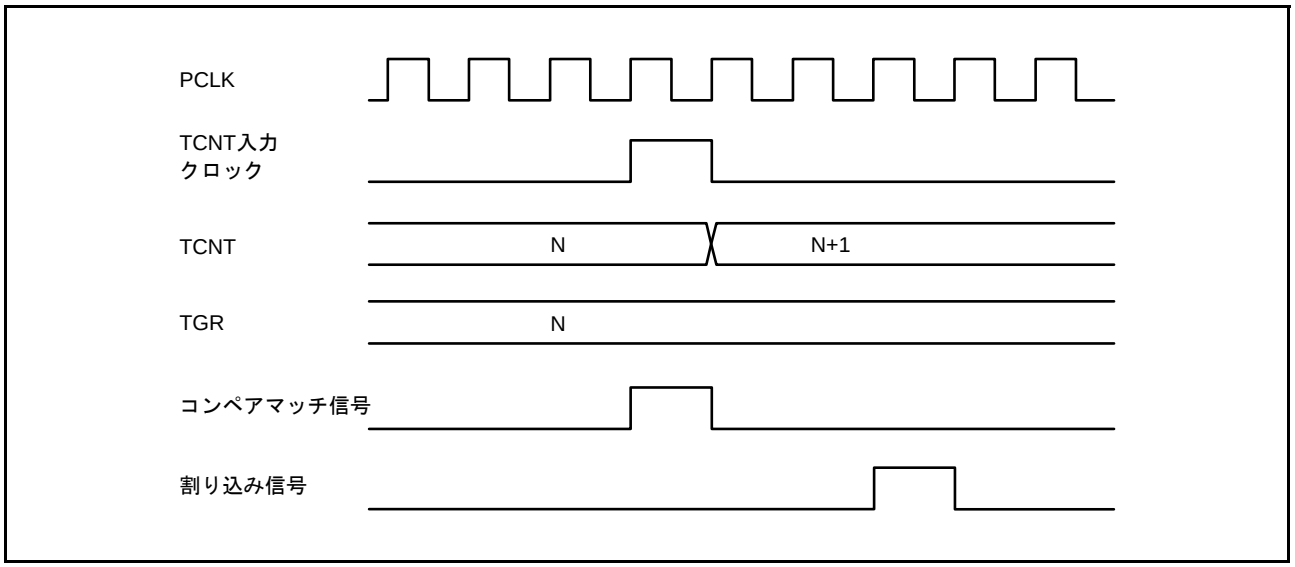


図 23.100　TGI 割り込みタイミング（コンペアマッチ）（MTU0 ～ MTU4）

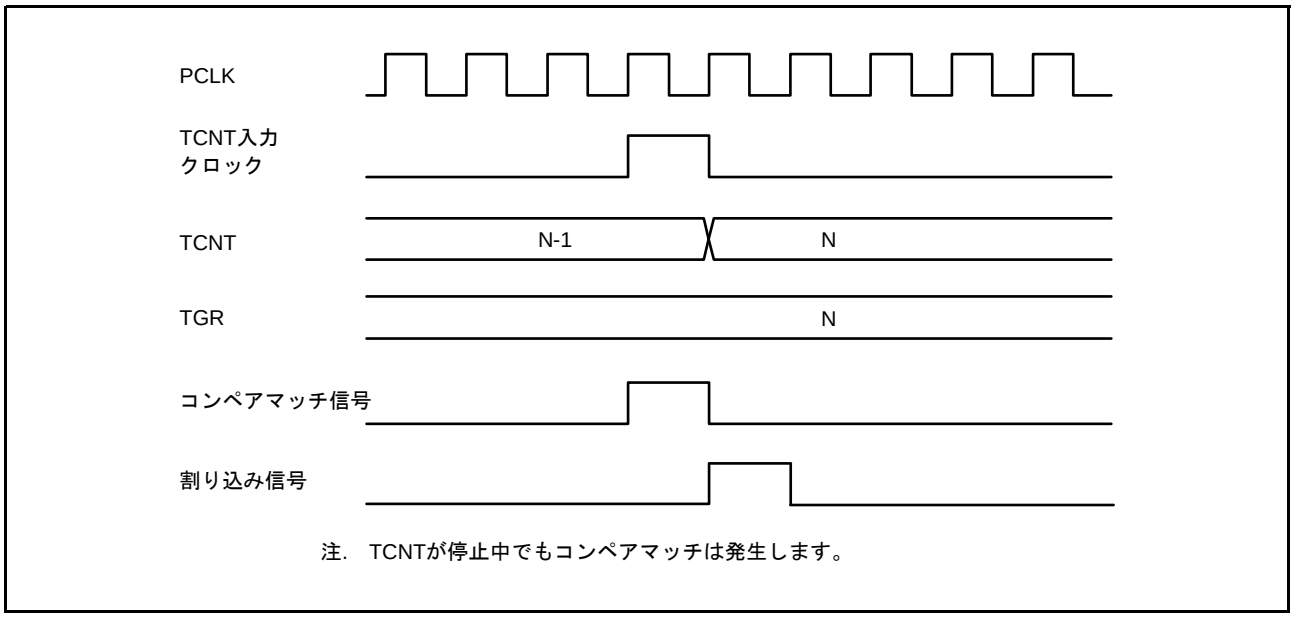


図 23.101　TGI 割り込みタイミング（コンペアマッチ）（MTU5）

(2) インプットキャプチャ時の TGI 割り込みタイミング

インプットキャプチャの発生による TGI 割り込み要求信号のタイミングを図 23.102、図 23.103 に示します。

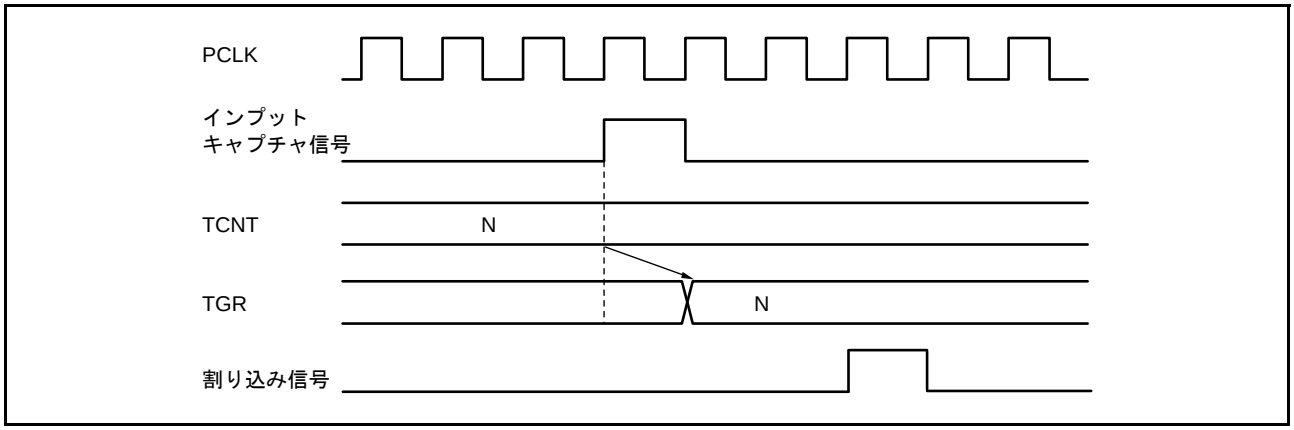


図 23.102 TGI 割り込みタイミング（インプットキャプチャ）（MTU0 ～ MTU4）

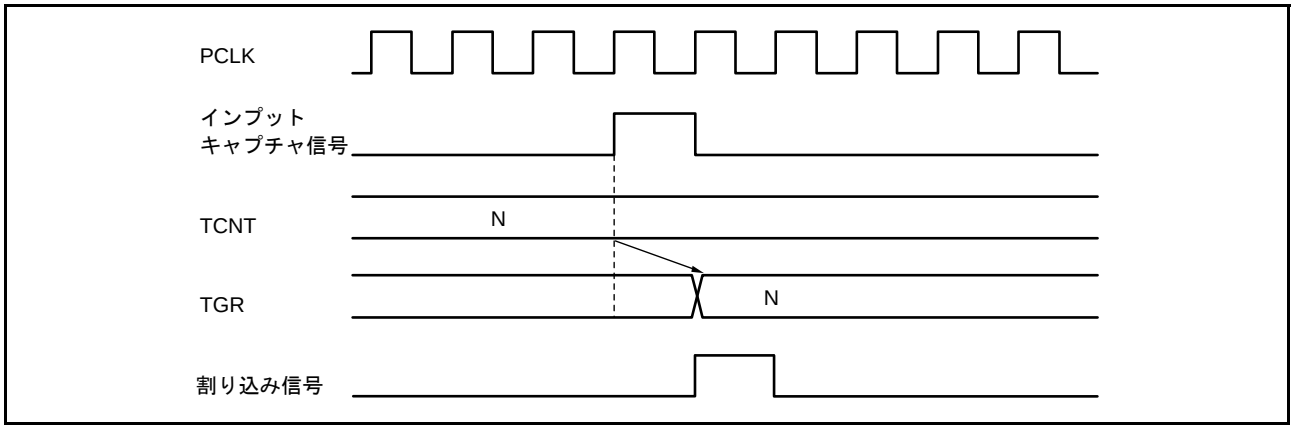


図 23.103 TGI 割り込みタイミング（インプットキャプチャ）（MTU5）

(3)　TCIV/TCIU 割り込みタイミング

オーバフローの発生による TCIV 割り込み要求信号のタイミングを図 23.104 に示します。
アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 23.105 に示します。

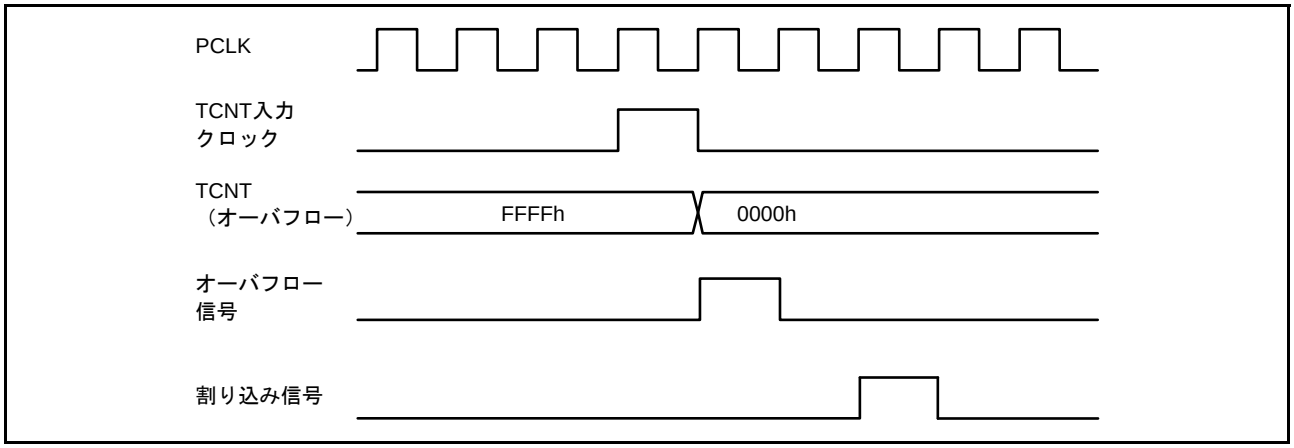


図 23.104　TCIV 割り込みタイミング

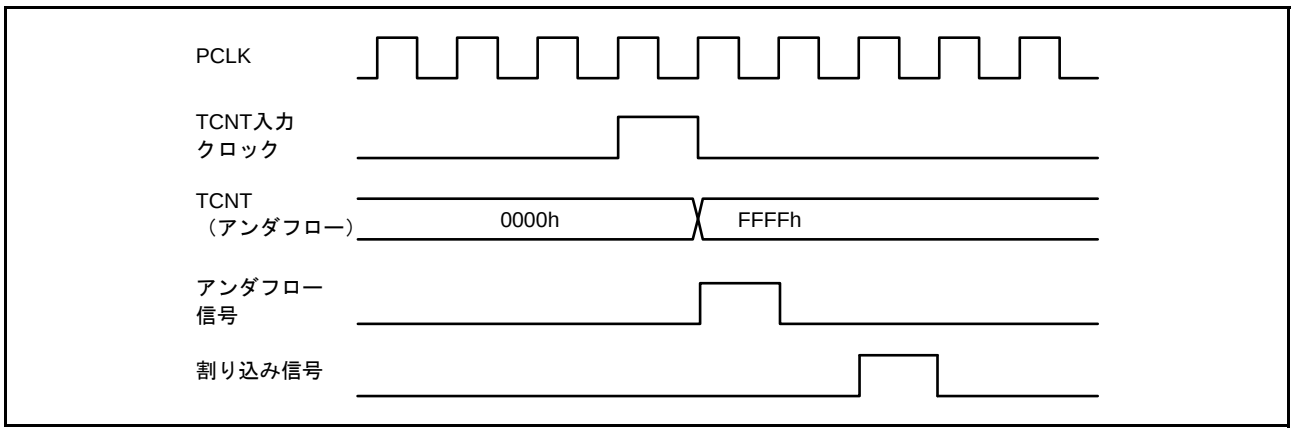


図 23.105　TCIU 割り込みタイミング

23.6　使用上の注意事項

23.6.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、MTU の動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「11.　消費電力低減機能」**を参照してください。

23.6.2　入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 PCLK 以上、パルス幅は 2.5 PCLK 以上必要です。位相計数モードの入力クロックの条件を**図 23.106** に示します。

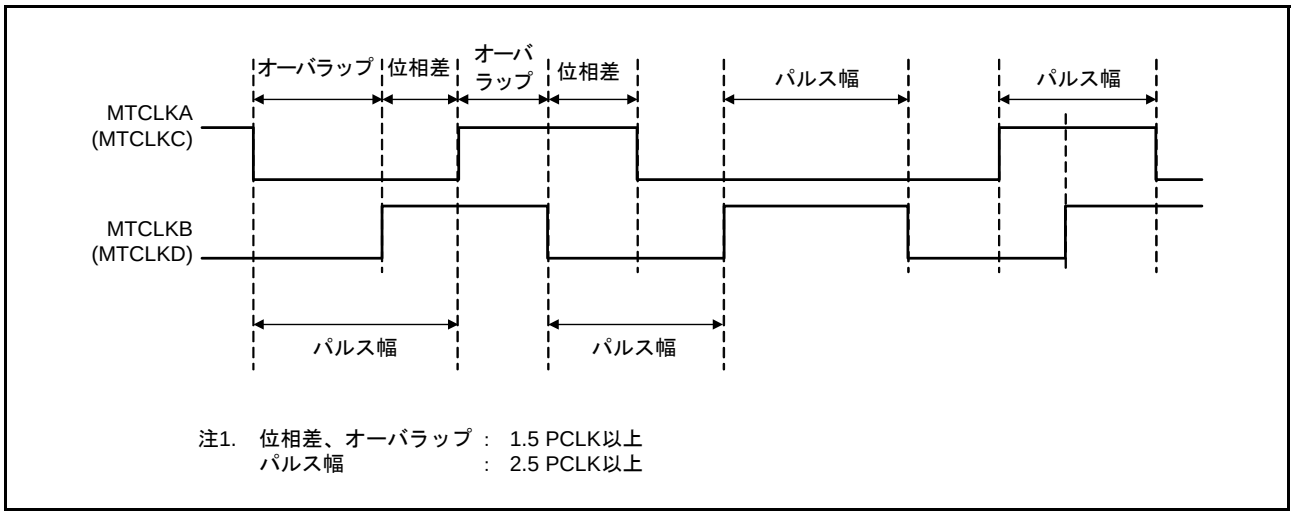


図 23.106　位相計数モード時の位相差、オーバラップ、およびパルス幅

23.6.3　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- MTU0 ～ 4 の場合

$$f = \frac{CNTCLK}{(N+1)}$$

- MTU5 の場合

$$f = \frac{CNTCLK}{N}$$

f：カウンタ周波数
CNTCLK：TCR の TPSC[2:0] で設定したカウンタクロックの周波数
N：TGR の設定値

23.6.4　TCNT の書き込みとクリアの競合

TCNT の書き込みサイクル中で、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 23.107 に示します。

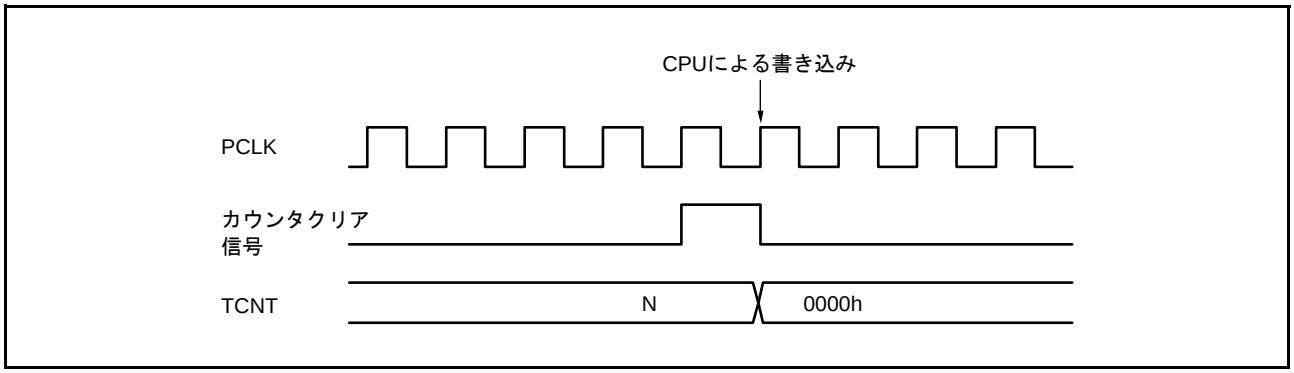


図 23.107　TCNT の書き込みとカウンタクリアの競合

23.6.5　TCNT の書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 23.108 に示します。

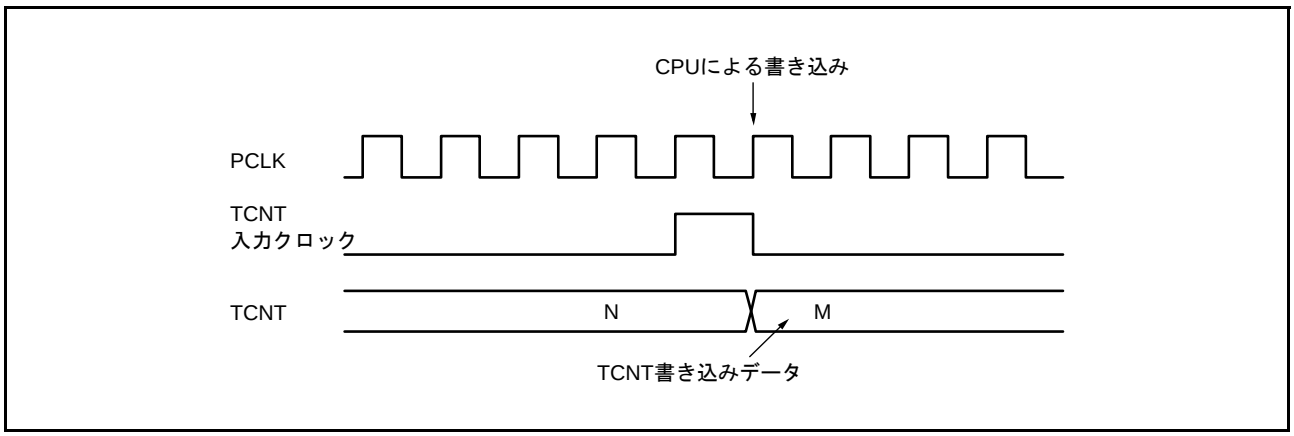


図 23.108　TCNT の書き込みとカウントアップの競合

23.6.6　TGR の書き込みとコンペアマッチの競合

TGR の書き込みサイクル中にコンペアマッチが発生した場合、TGR の書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 23.109 に示します。

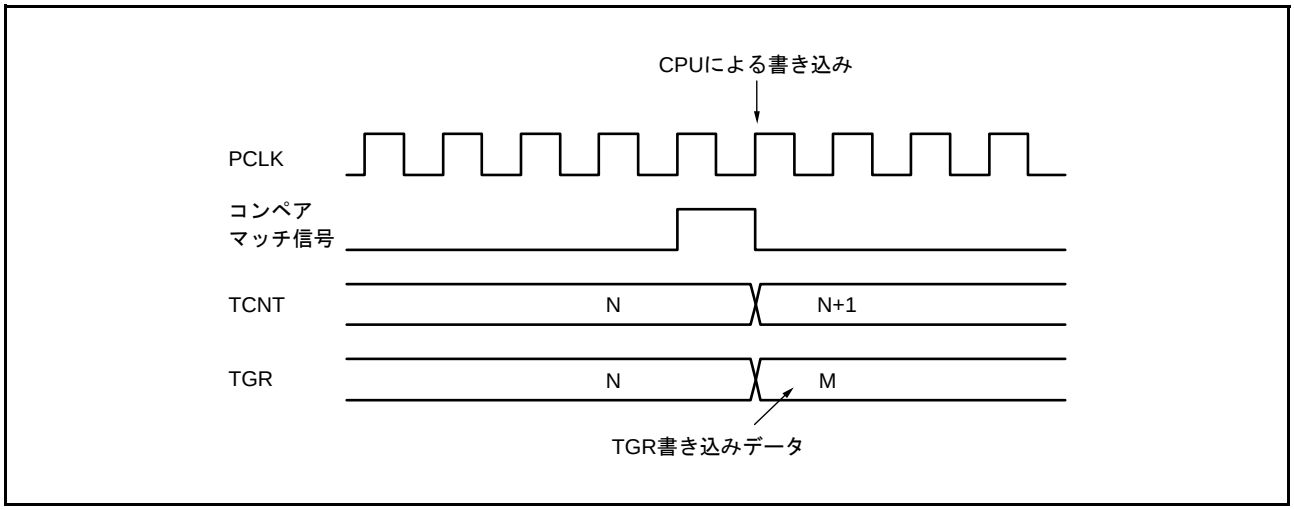


図 23.109　TGR の書き込みとコンペアマッチの競合

23.6.7　バッファレジスタの書き込みとコンペアマッチの競合

TGR の書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 23.110 に示します。

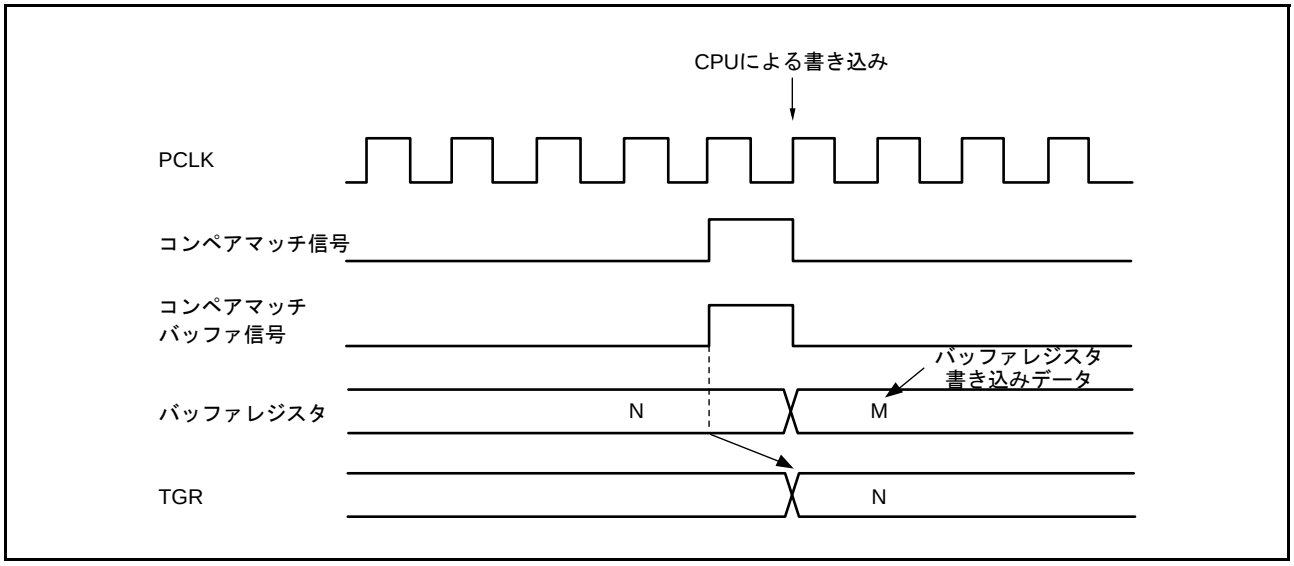


図 23.110　バッファレジスタの書き込みとコンペアマッチの競合

23.6.8　バッファレジスタの書き込みと TCNT クリアの競合

バッファ転送モードレジスタ（TBTM）でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 23.111 に示します。

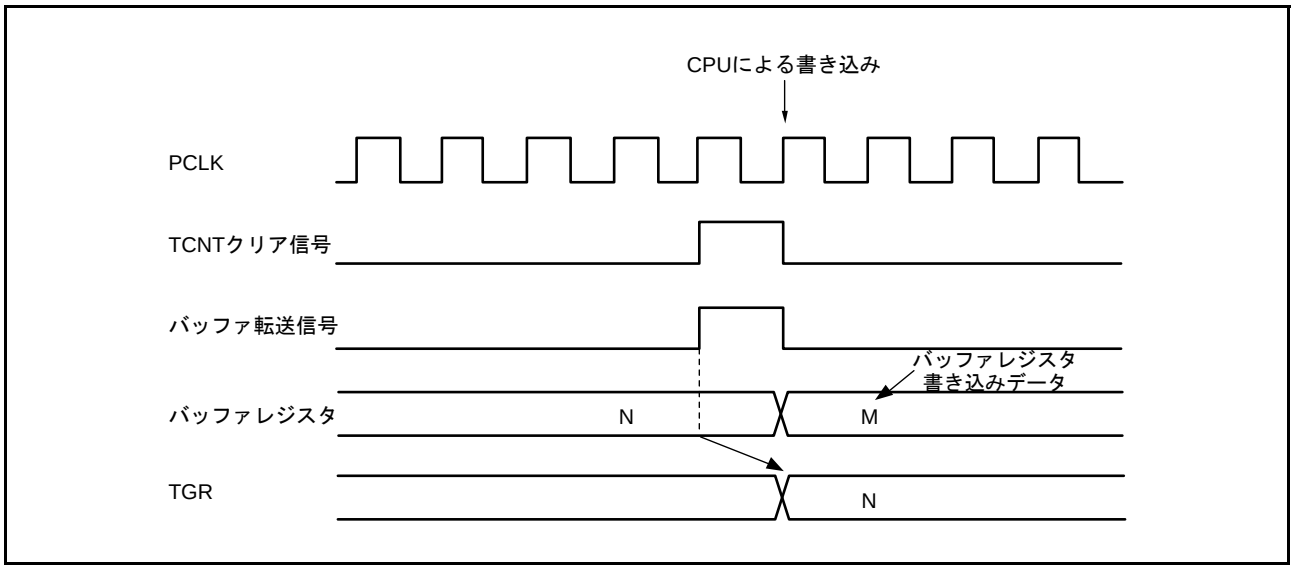


図 23.111　バッファレジスタの書き込みと TCNT クリアの競合

23.6.9　TGR の読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出しされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 23.112 に示します。

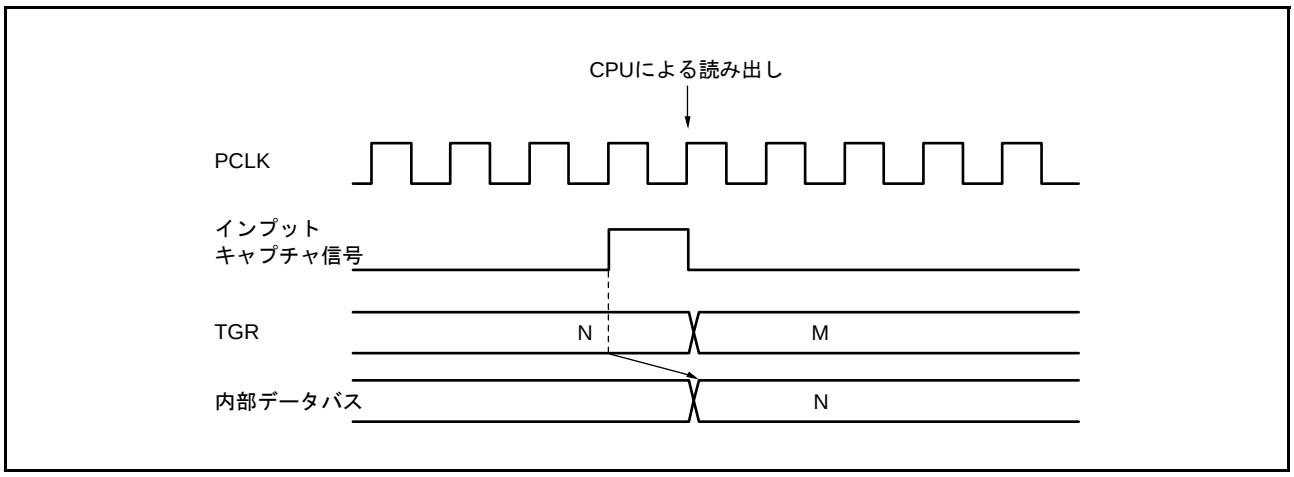


図 23.112　TGR の読み出しとインプットキャプチャの競合（MTU0 ～ MTU5）

23.6.10　TGR の書き込みとインプットキャプチャの競合

TGR の書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ～ MTU4 では TGR への書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR への書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 23.113、図 23.114 に示します。

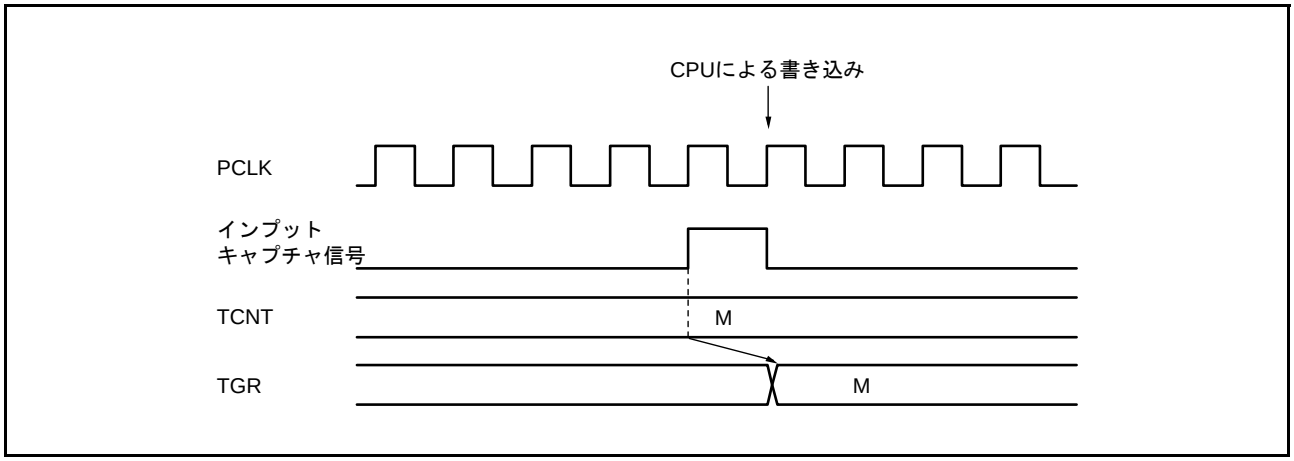


図 23.113　TGR の書き込みとインプットキャプチャの競合（MTU0 ～ MTU4）

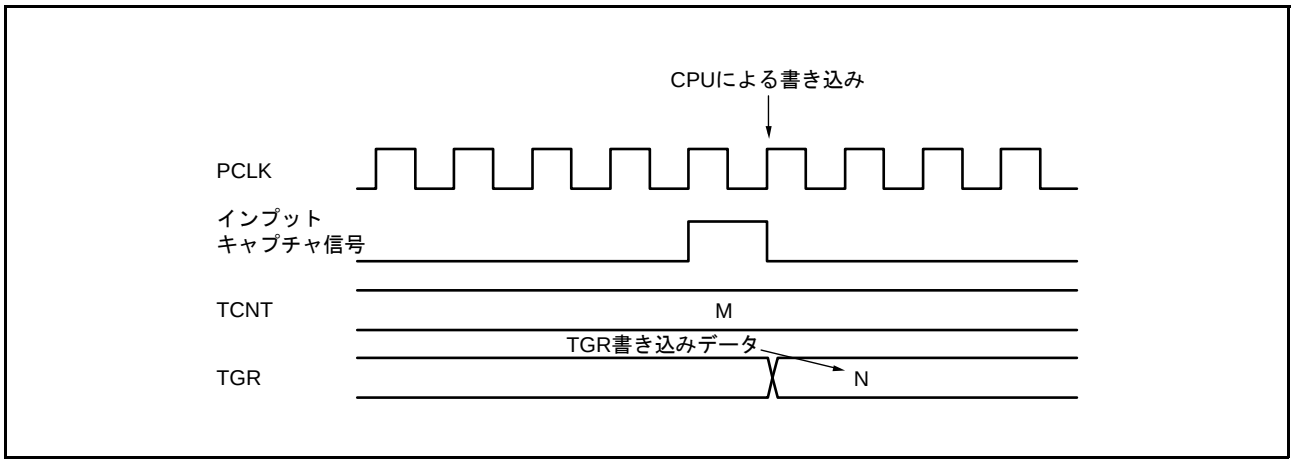


図 23.114　TGR の書き込みとインプットキャプチャの競合（MTU5）

23.6.11　バッファレジスタの書き込みとインプットキャプチャの競合

バッファの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 23.115 に示します。

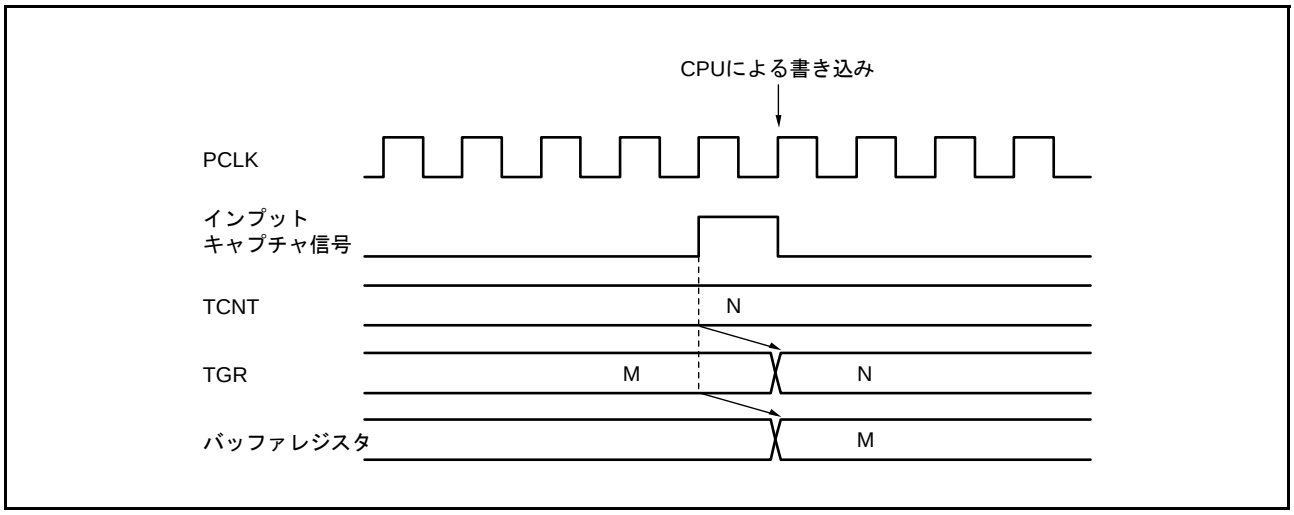


図 23.115　バッファレジスタの書き込みとインプットキャプチャの競合

23.6.12　カスケード接続における MTU2.TCNT の書き込みとオーバフロー / アンダフローの競合

タイマカウンタ（MTU1.TCNT と MTU2.TCNT）をカスケード接続し、MTU1.TCNT がカウントする瞬間（MTU2.TCNT がオーバフロー / アンダフローする瞬間）と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ～ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ / インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 23.116 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

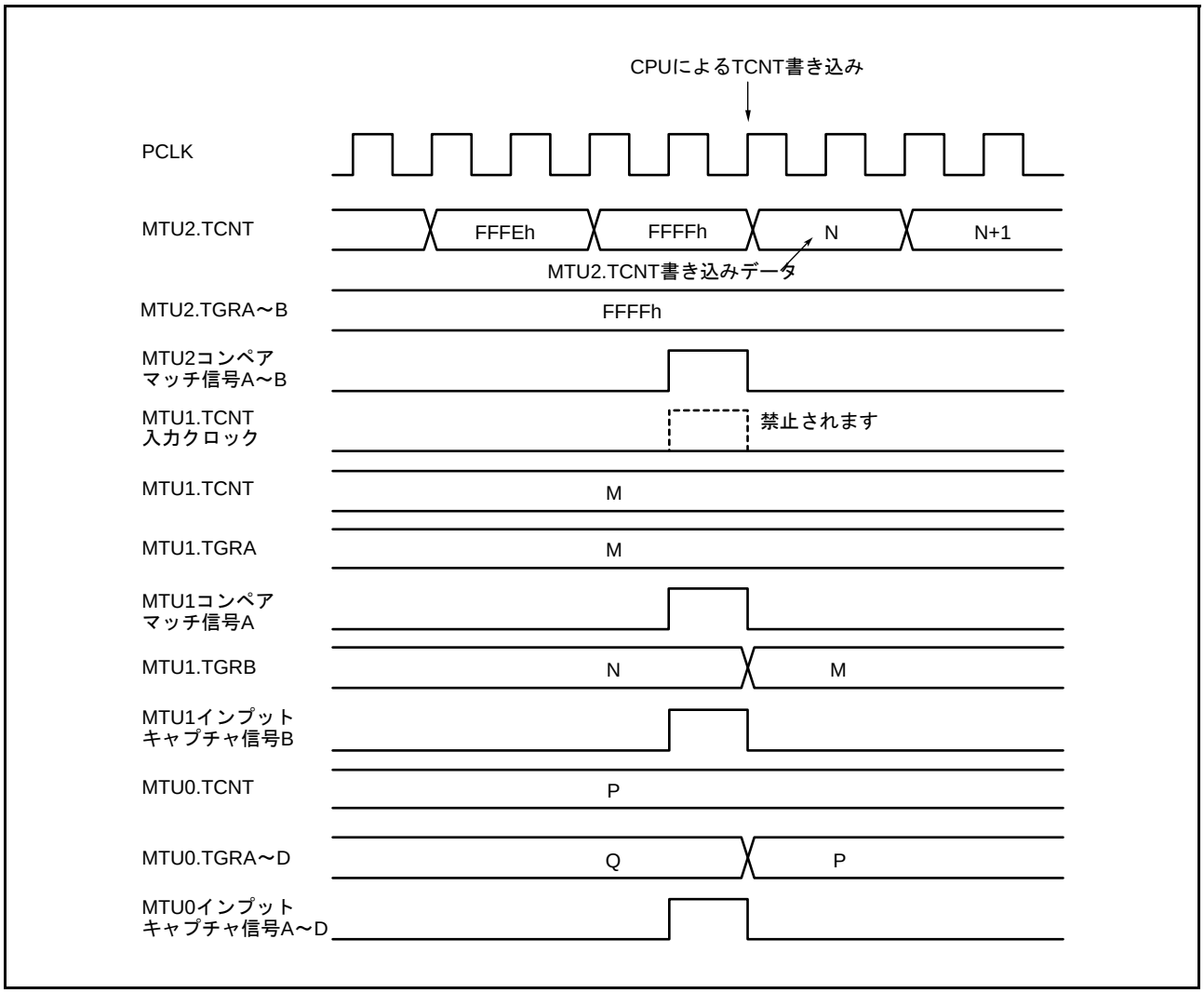


図 23.116　カスケード接続における MTU2.TCNT の書き込みとオーバフロー / アンダフローの競合

23.6.13　相補 PWM モード停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT が相補 PWM モードで動作している時にカウント動作を停止すると、MTU3.TCNT はタイマデッドタイムレジスタ（TDDR）の値、MTU4.TCNT は 0000h になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を**図 23.117** に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT にカウント初期値の設定を行ってください。

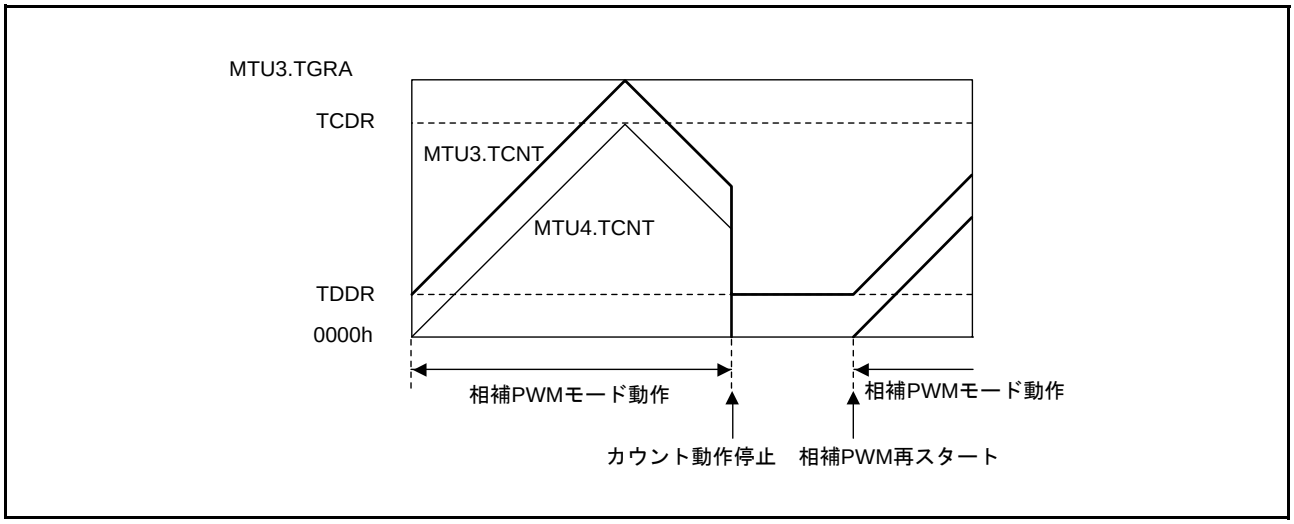


図 23.117　相補 PWM モード停止時のカウンタ値（MTU3、MTU4 動作）

23.6.14　相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ（MTU3.TGRA）、タイマ周期データレジスタ（TCDR）、コンペアレジスタ（MTU3.TGRB、MTU4.TGRA、MTU4.TGRB）の書き替えは、バッファ動作で行ってください。また、MTU4.TMDR の BFA、BFB ビットは “0” にしてください。MTU4.TMDR.BFA ビットを “1” に設定すると MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを “1” に設定すると MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR レジスタの BFA、BFB ビットの設定に従い動作します。MTU3.TMDR レジスタの BFA ビットを “1” にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

23.6.15　リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR の BFA、BFB ビットを “0” に設定してください。MTU4.TMDR の BFA ビットを “1” に設定すると、MTIOC4C 端子の波形出力ができなくなります。同様に MTU4.TMDR.BFB ビットを “1” に設定すると MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR の BFA、BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR の BFA ビットを “1” にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD がバッファレジスタとして動作している場合、対応する TGIC、TGID 割り込み要求は発生しません。

MTU3.TMDR の BFA、BFB ビットを “1” にし、MTU4.TMDR の BFA、BFB ビットを “0” にした場合の MTU3.TGR、MTU4.TGR、MTIOC3m、MTIOC4m の動作例を図 23.118 に示します。（m=A ～ D）

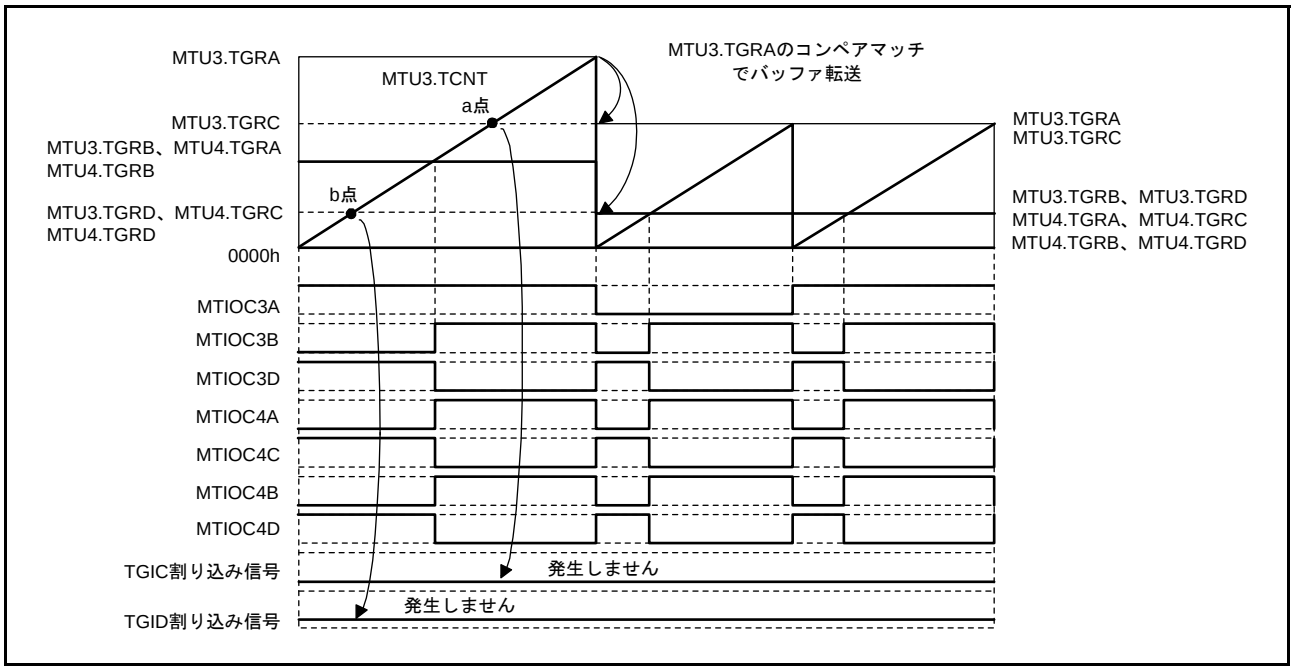


図 23.118　リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

23.6.16　リセット同期 PWM モードのオーバフローフラグ

リセット同期 PWM モードを設定し、TSTR レジスタの CST3 ビットを “1” に設定すると、MTU3.TCNT と MTU4.TCNT のカウント動作が開始します。このとき、MTU4.TCNT のカウントクロックソースとカウントエッジは MTU3.TCR の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT がアップカウントし FFFFh になると、MTU3.TGRA とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT ともにカウントクリアされます。このとき、対応する TCIV 割り込み要求は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合の動作例を図 23.119 に示します。

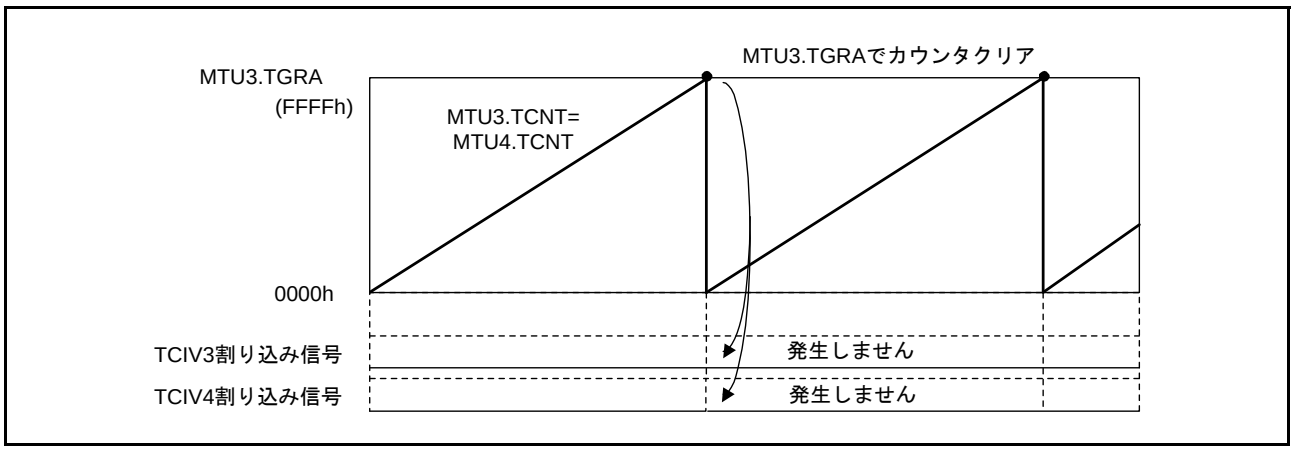


図 23.119　リセット同期 PWM モードのオーバフローフラグ

23.6.17　オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TCNT のクリアが優先されて、対応する TCIV 割り込みは発生しません。

TGR のコンペアマッチをクリア要因とし、TGR に FFFFh を設定した場合の動作タイミングを図 23.120 に示します。

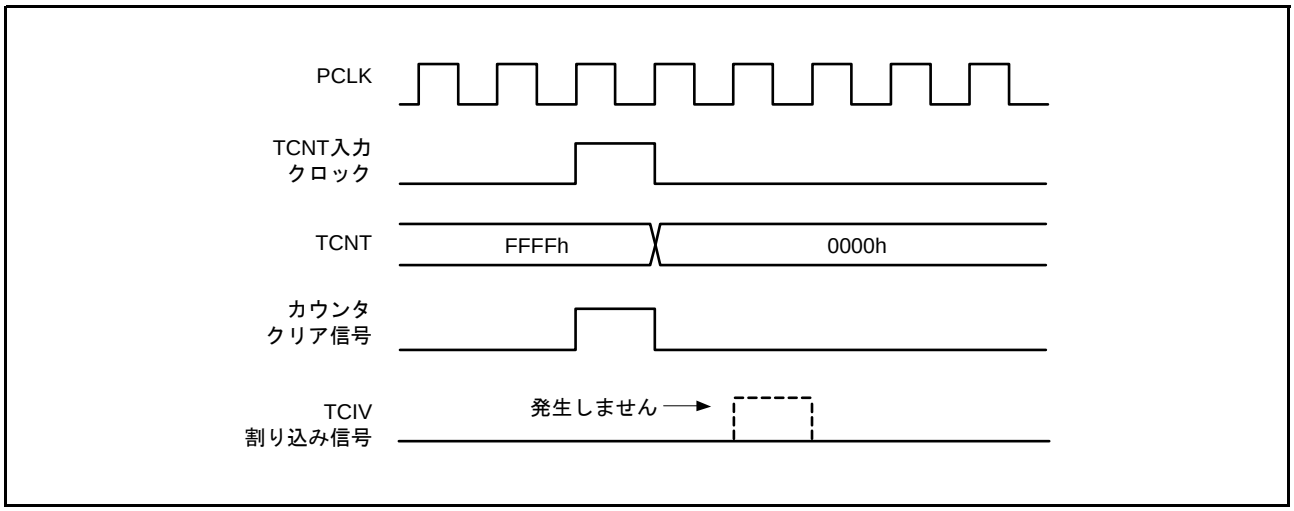


図 23.120　オーバフローとカウンタクリアの競合

23.6.18　TCNT の書き込みとオーバフロー / アンダフローの競合

TCNT の書き込みサイクルで、アップカウント / ダウンカウントが発生し、オーバフロー / アンダフローが発生しても、TCNT への書き込みが優先されます。対応する割り込みは発生しません。

TCNT の書き込みとオーバフロー競合時の動作タイミングを図 23.121 に示します。

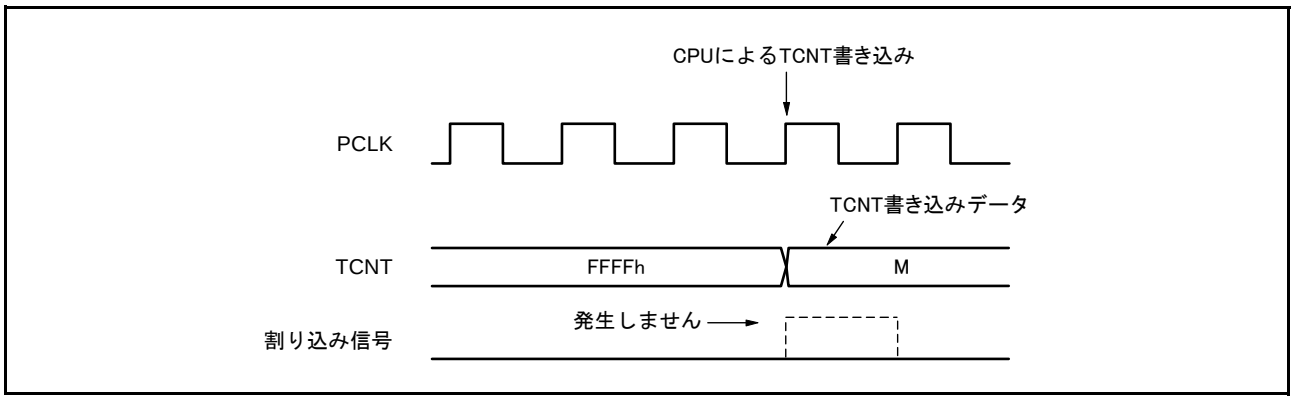


図 23.121　TCNT の書き込みとオーバフローの競合

23.6.19　ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

MTU3、MTU4 のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D）を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL レジスタに 11h を書いて出力端子を Low に初期化した後、レジスタの初期値 00h を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 00h を設定してからリセット同期 PWM モードに遷移してください。

23.6.20　相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ 1（TOCR1）の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR レジスタは 00h にしてください。

23.6.21　モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPU の割り込み要因、または DMAC/DTC の起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

23.6.22　カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ

タイマカウンタ（MTU1.TCNT と MTU2.TCNT）をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT（上位 16 ビットのカウンタ）が MTU2.TCNT（下位 16 ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT=FFF1h、MTU2.TCNT=0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT=FFF0h、MTU2.TCNT=0000h の値を転送します。

MTU では 1 本のインプットキャプチャ入力で MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を追加しており、本機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は、**「23.2.8　タイマインプットキャプチャコントロールレジスタ（TICCR）」**を参照してください。

23.6.23　相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効になっています。本機能を使用しない場合、POE.POECR2 レジスタに 00h を書いてください。

23.6.24　MTU5.TCNT と MTU5.TGR の注意事項

MTU5.TCNTm（m = U, V, W）のカウント動作を停止した状態で、MTU5.TGRm（m = U, V, W）に MTU5.TCNTm 値（m = U, V, W）+ “1” の値を設定しないでください。MTU5.TCNTm （m = U, V, W）のカウント動作を停止した状態で、MTU5.TGRm（m = U, V, W）に MTU5.TCNTm 値（m = U, V, W）+ “1” の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット（MTU5.TIER.TGIE5m ビット（m = U, V, W）が ”1”（許可）になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが ”1”（許可）になっていると、MTU5.TCNTm（m = U, V, W）は、コンペアマッチ割り込みの禁止 /

許可にかかわらず、コンペアマッチが発生すると “0000h” に自動クリアされます。

23.6.25　相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効（TWCR.WRE ビット＝ 1）である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる（もしくは消失する）
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1： 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合（**図 23.122 参照**）。

条件 2：初期出力の抑止期間⑩、⑪にて、MTU3.TGRB ≦ TDDR、MTU4.TGRA ≦ TDDR、MTU4.TGRB ≦ TDDR のいずれかが成立する状態で、同期クリアした場合（**図 23.123 参照**）。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のすべてが、デッドタイムデータレジスタ（TDDR）の 2 倍以上になるように設定した状態で、同期クリアする

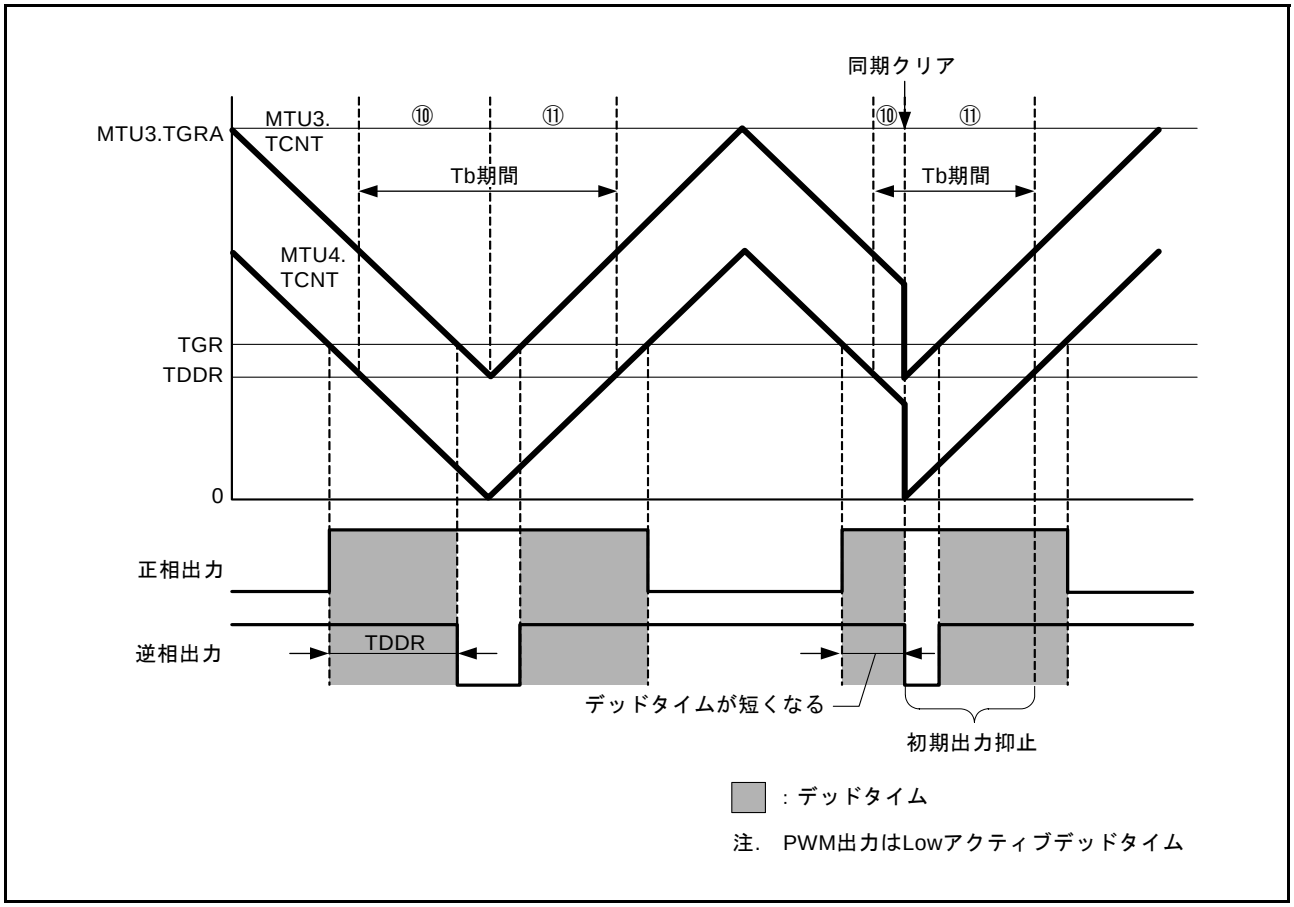


図 23.122　同期クリア例（条件 1 の場合）

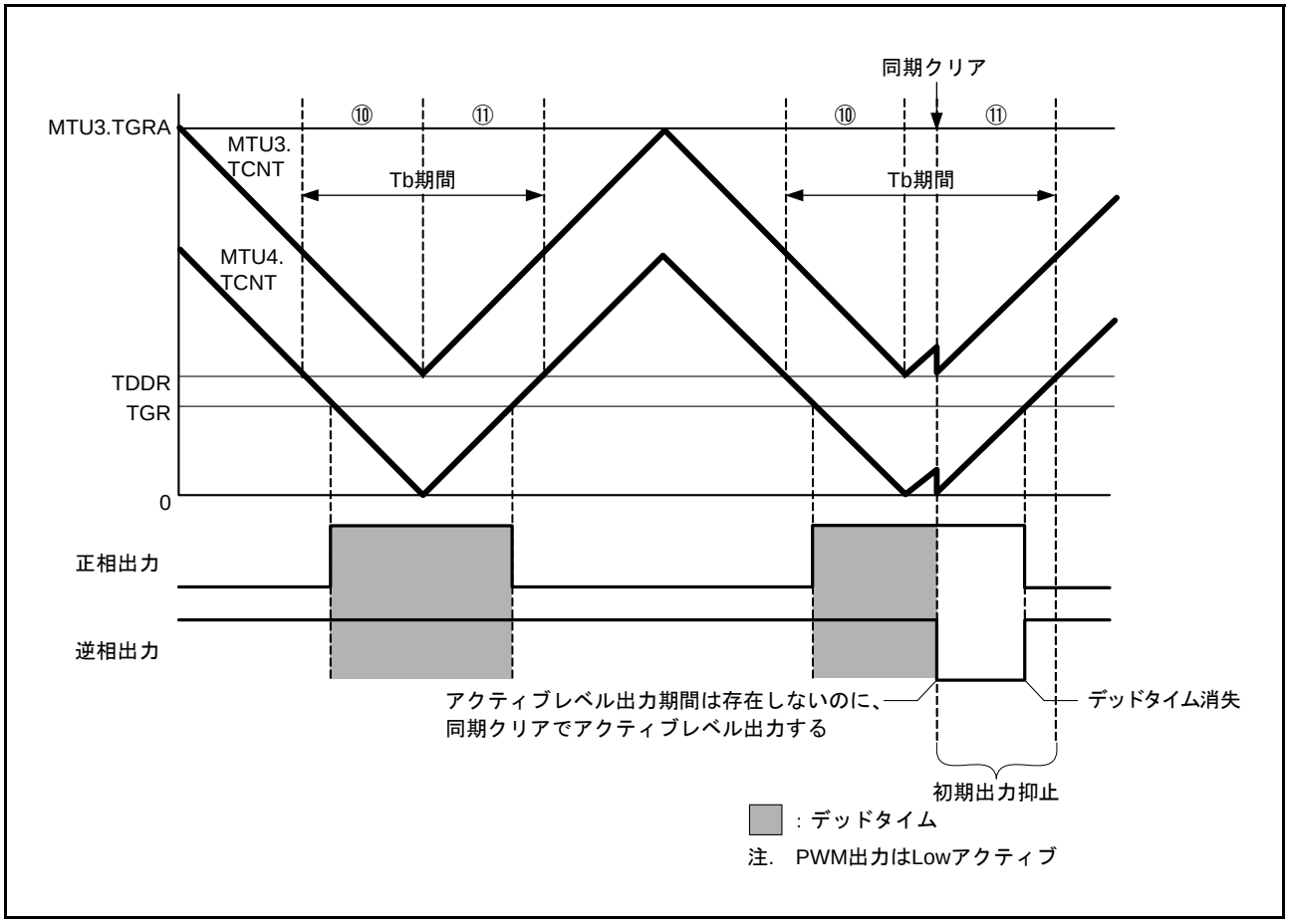


図 23.123　同期クリア例（条件 2 の場合）

23.6.26　コンペアマッチによる割り込み信号の連続出力

TGR レジスタに “0000h”、カウンタクロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “0000h” のままとなり、割り込み信号は 1 サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2 回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 23.124 に示します。

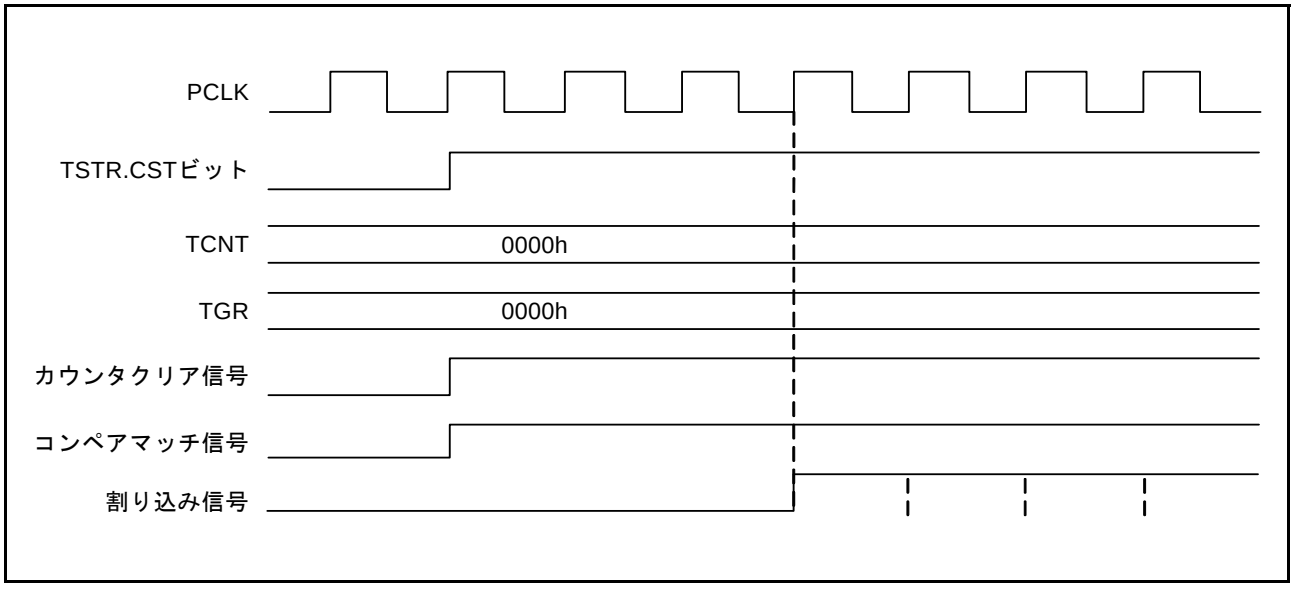


図 23.124　コンペアマッチによる割り込み信号の連続出力

23.7 MTU 出力端子の初期化方法

23.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（MTU0 ～ MTU4）
- PWM モード 1（MTU0 ～ MTU4）
- PWM モード 2（MTU0 ～ MTU2）
- 位相計数モード 1 ～ 4（MTU1、MTU2）
- 相補 PWM モード（MTU3、MTU4）
- リセット同期 PWM モード（MTU3、MTU4）

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

23.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D）は、TOER レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 2（POE）を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を**表 23.59** に示します。

ただし、下記の表記を使用します。

Normal：ノーマルモード　PWM1：PWM モード 1　PWM2：PWM モード 2
PCM：位相計数モード 1 ～ 4　CPWM：相補 PWM モード　RPWM：リセット同期 PWM モード

表 23.59　モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23)（24）	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

23.7.3　動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ（TIOR）の設定で端子の出力レベルを選択するモード（Normal、PWM1、PWM2、PCM）に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に移行してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に移行してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- タイマアウトプットコントロールレジスタ（TOCR）の設定で端子の出力レベルを選択するモード（CPWM、RPWM）に移行する場合は、ノーマルモードに移行し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタ許可レジスタ（TOER）で MTU3、MTU4 を一度出力禁止としてください。その後モード設定手順（TOCR 設定、TMDR 設定、TOER 設定）に従い動作させてください。

注．　特に断りがない場合、本項記述中の n にはチャネル番号が入ります。

以下、**表 23.59** の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1)　ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を**図 23.125** に示します。

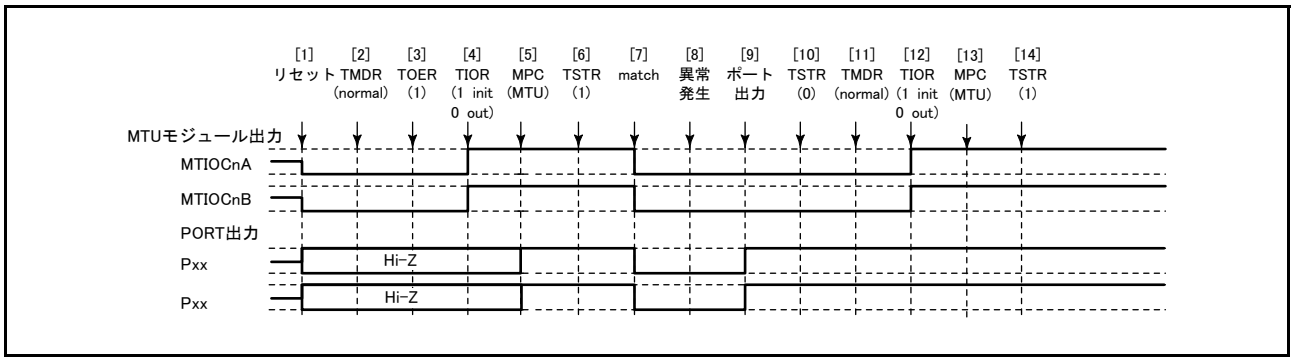


図 23.125　ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

[1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
[2] リセットにより TMDR はノーマルモード設定になります。
[3] MTU3、MTU4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
[4] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
[5] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[6] TSTR でカウント動作を開始します。
[7] コンペアマッチの発生により Low を出力します。
[8] 異常が発生しました。
[9] I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
[10] TSTR でカウント動作を停止します。
[11] ノーマルモードで再スタートする場合は必要ありません。
[12] TIOR で端子を初期化してください。
[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[14] TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.126 に示します。

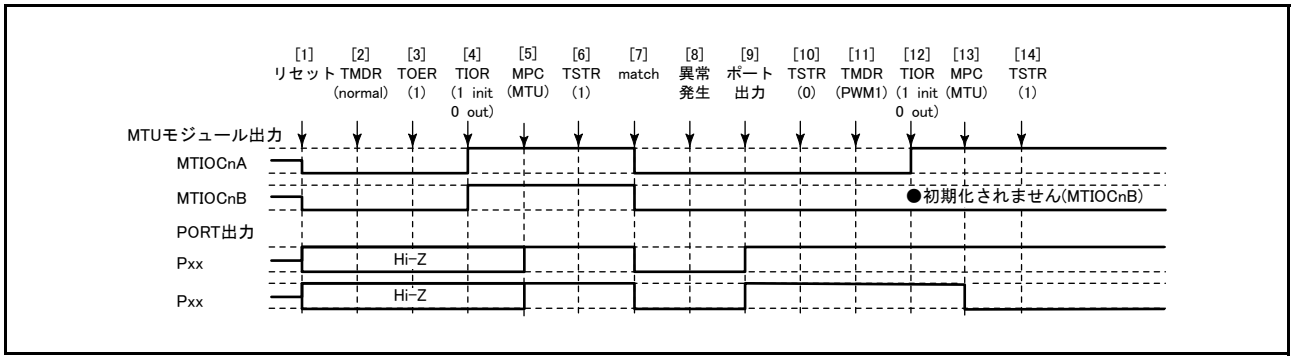


図 23.126 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

[1] ～ [10] は図 23.125 と共通です。
[11] PWM モード 1 を設定します。
[12] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください。
[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[14] TSTR で再スタートします。

(3)　ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 23.127 に示します。

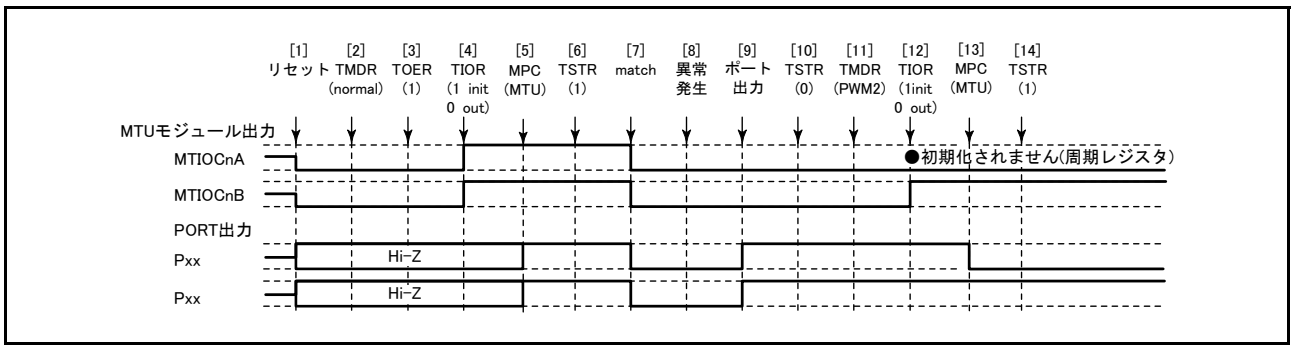


図 23.127　ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

[1] ～ [10] は図 23.125 と共通です。
[11] PWM モード 2 を設定します。
[12] TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に移行してください）。
[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[14] TSTR で再スタートします。

注 .　PWM モード 2 は MTU0 ～ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(4)　ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.128 に示します。

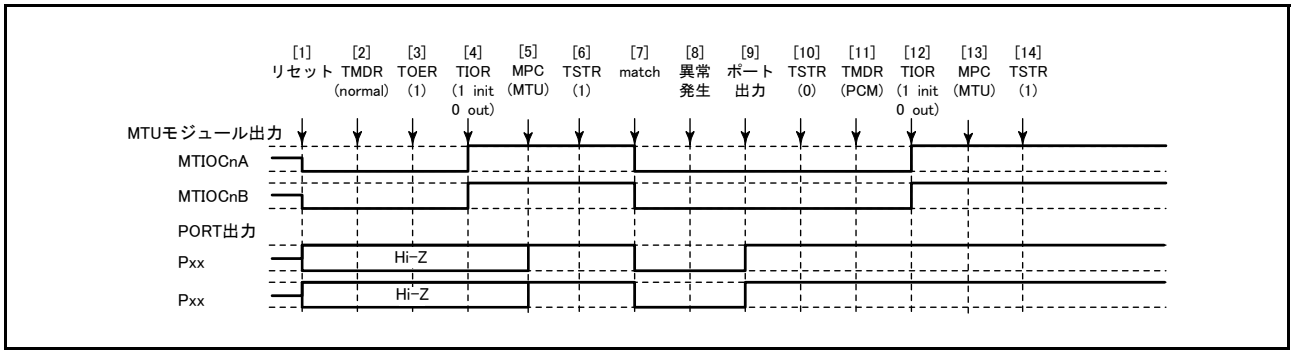


図 23.128　ノーマルモードで異常が発生し、位相計数モードで復帰する場合

[1] ～ [10] は図 23.125 と共通です。
[11] 位相計数モードを設定します。
[12] TIOR で端子を初期化してください。
[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[14] TSTR で再スタートします。

注 .　位相計数モードは MTU1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.129 に示します。

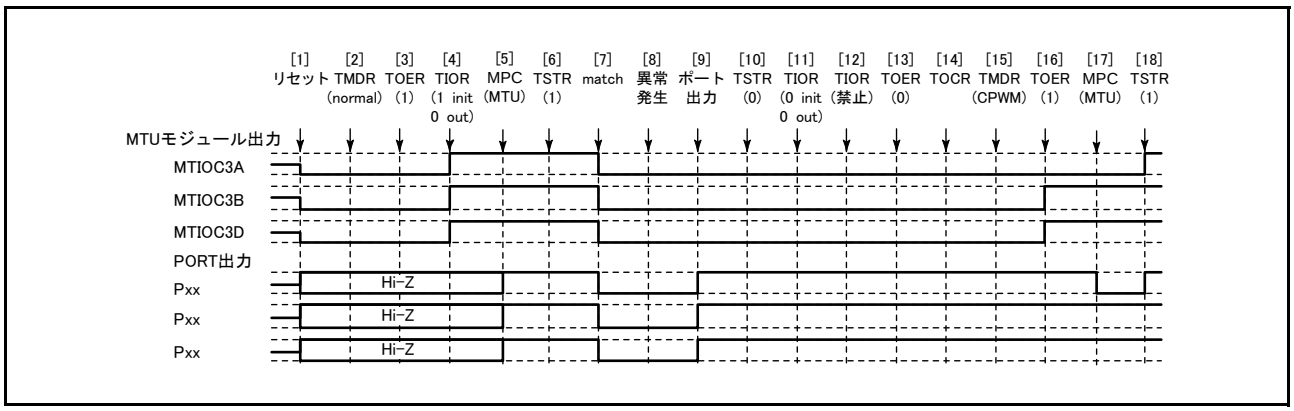


図 23.129 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

[1] ～ [10] は図 23.125 と共通です。
[11] TIOR でノーマルモードの波形生成部を初期化してください。
[12] TIOR でノーマルモードの波形生成部の動作を禁止してください。
[13] TOER で MTU3、MTU4 の出力を禁止してください。
[14] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
[15] 相補 PWM を設定します。
[16] TOER で MTU3、MTU4 の出力を許可してください。
[17] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[18] TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.130 に示します。

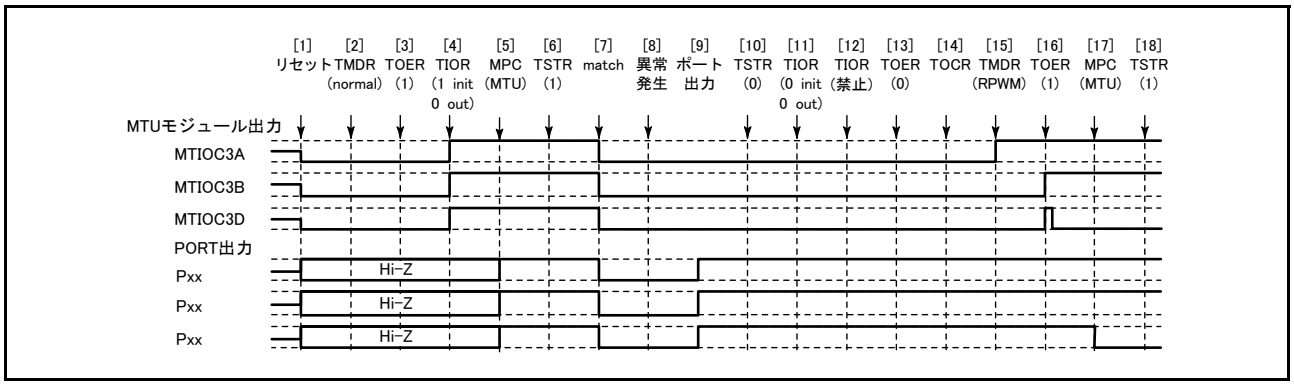


図 23.130 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ～ [13] は図 23.125 と共通です。

[14] TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

[15] リセット同期 PWM を設定します。

[16] TOER で MTU3、MTU4 の出力を許可してください。

[17] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[18] TSTR で再スタートします。

(7)　PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.131 に示します。

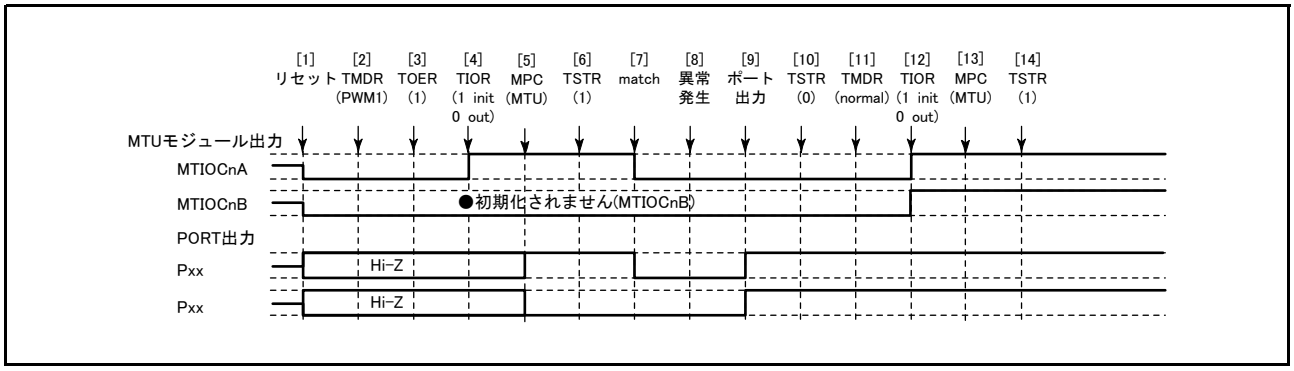


図 23.131　PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

[1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
[2] PWM モード 1 を設定してください。
[3] MTU3、MTU4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
[4] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。（PWM モード 1 では MTIOCnB 側は初期化されません）。
[5] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[6] TSTR でカウント動作を開始します。
[7] コンペアマッチの発生により Low を出力します。
[8] 異常が発生しました。
[9] I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
[10] TSTR でカウント動作を停止します。
[11] ノーマルモードを設定してください。
[12] TIOR で端子を初期化してください。
[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[14] TSTR で再スタートします。

(8)　PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.132 に示します。

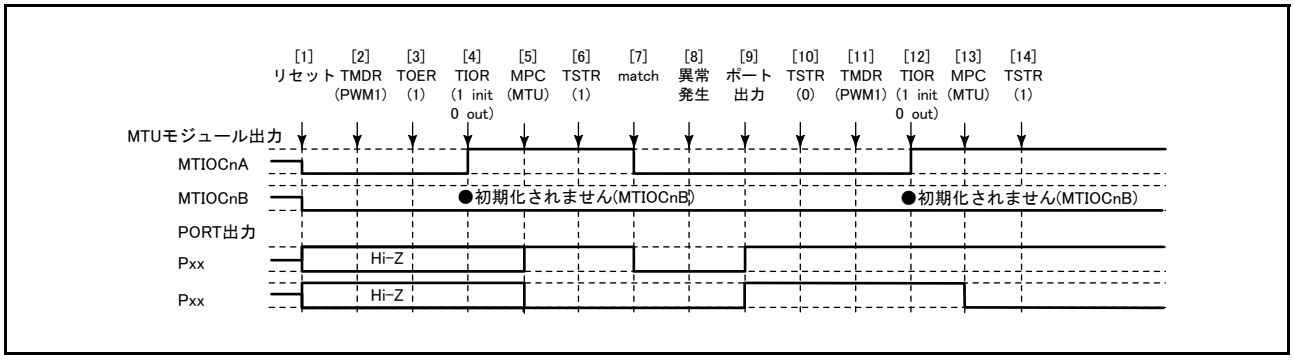


図 23.132　PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

[1] ～ [10] は図 23.131 と共通です。

[11] PWM モード 1 で再スタートする場合には必要ありません。

[12] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）

[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[14] TSTR で再スタートします。

(9)　PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 23.133 に示します。

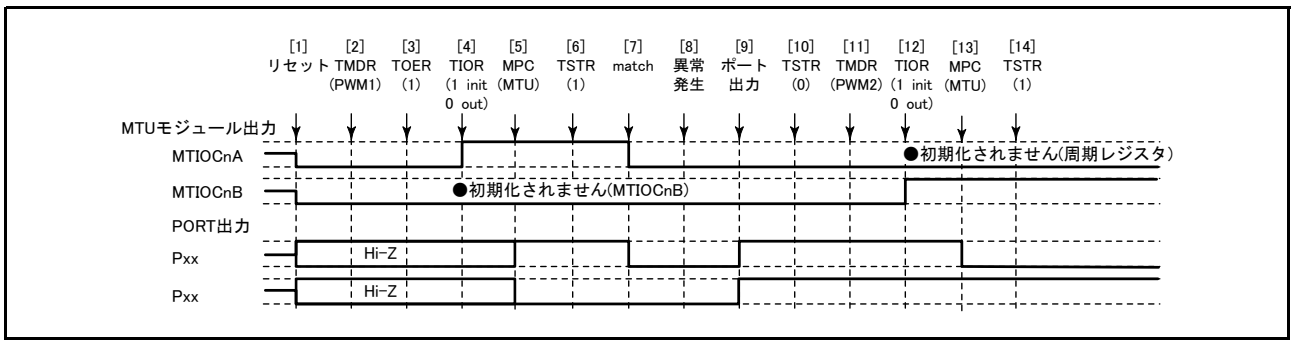


図 23.133　PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

[1] ～ [10] は図 23.131 と共通です。

[11] PWM モード 2 を設定します。

[12] TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[14] TSTR で再スタートします。

注 .　PWM モード 2 は MTU0 ～ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.134 に示します。

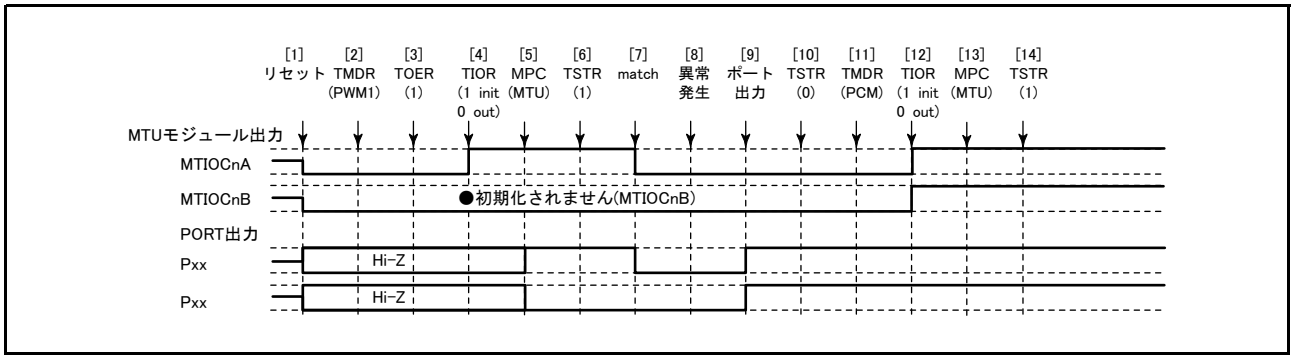


図 23.134　PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

[1] ～ [10] は図 23.131 と共通です。

[11] 位相計数モードを設定します。

[12] TIOR で端子を初期化してください。

[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[14] TSTR で再スタートします。

注 .　位相計数モードは MTU1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.135 に示します。

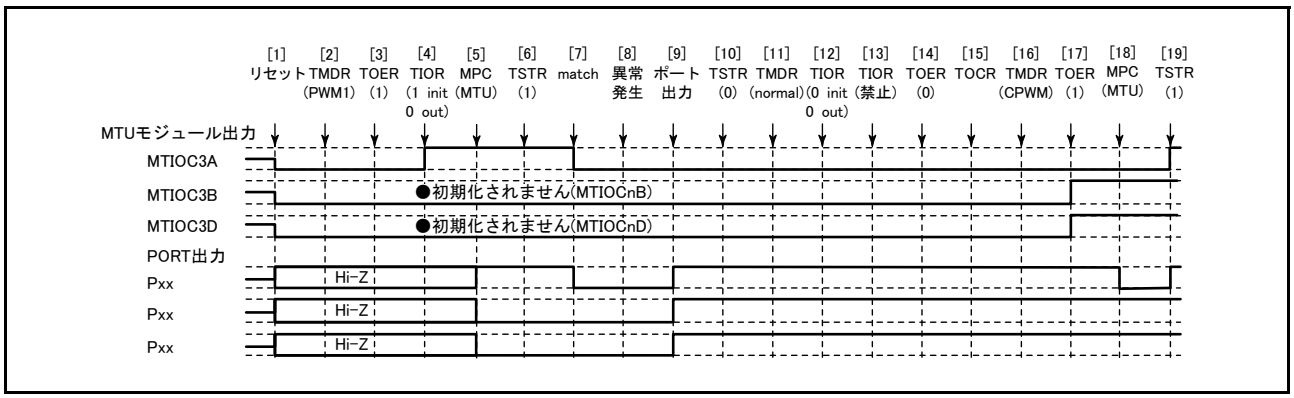


図 23.135　PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

[1] ～ [10] は図 23.131 と共通です。

[11] 波形生成部の初期化のためノーマルモードを設定してください。

[12] TIOR で PWM モード 1 の波形生成部を初期化してください。

[13] TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

[14] TOER で MTU3、MTU4 の出力を禁止してください。

[15] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

[16] 相補 PWM を設定します。

[17] TOER で MTU3、MTU4 の出力を許可してください。

[18] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[19] TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.136 に示します。

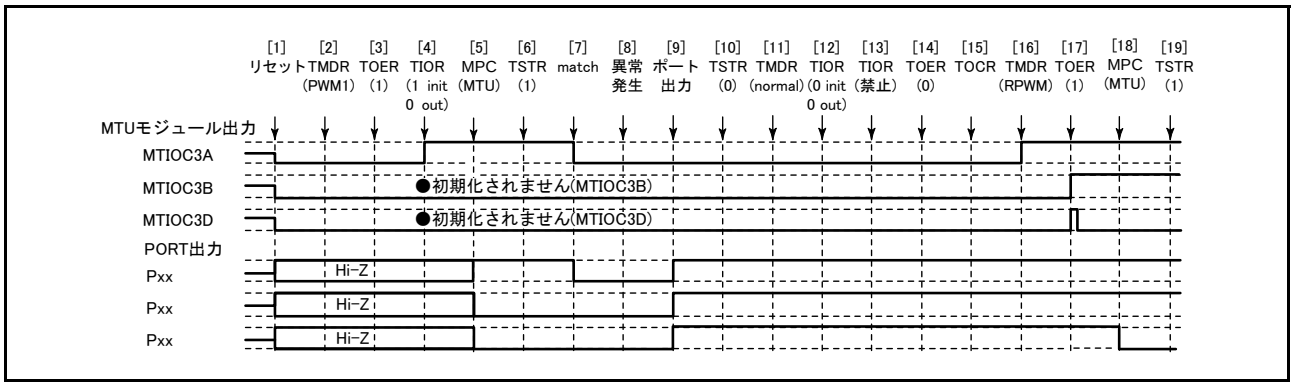


図 23.136　PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ～ [14] は図 23.135 と共通です。

[15] TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

[16] リセット同期 PWM を設定します。

[17] TOER で MTU3、MTU4 の出力を許可してください。

[18] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[19] TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.137 に示します。

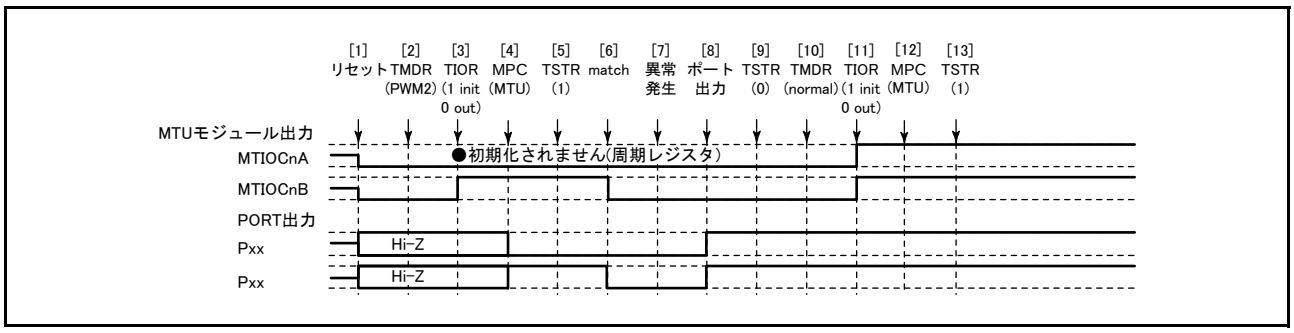


図 23.137　PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

[1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
[2] PWM モード 2 を設定してください。
[3] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOCnA が周期レジスタの場合です)。
[4] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[5] TSTR でカウント動作を開始します。
[6] コンペアマッチの発生により Low を出力します。
[7] 異常が発生しました。
[8] I/O ポートのポート方向レジスタ（PDR)、ポート出力データレジスタ（PODR)、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
[9] TSTR でカウント動作を停止します。
[10] ノーマルモードを設定してください。
[11] TIOR で端子を初期化してください。
[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[13] TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.138 に示します。

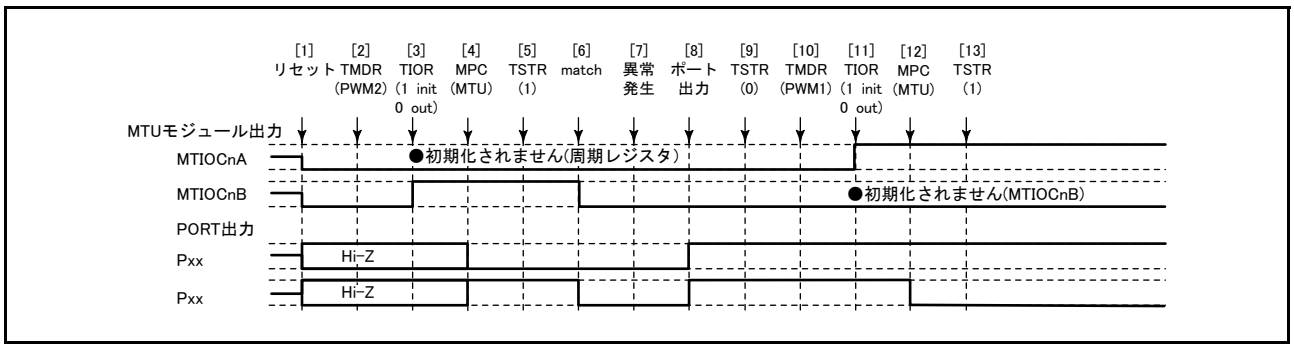


図 23.138　PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

[1] ～ [9] は図 23.137 と共通です。

[10] PWM モード 1 を設定します。

[11] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）

[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[13] TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 23.139 に示します。

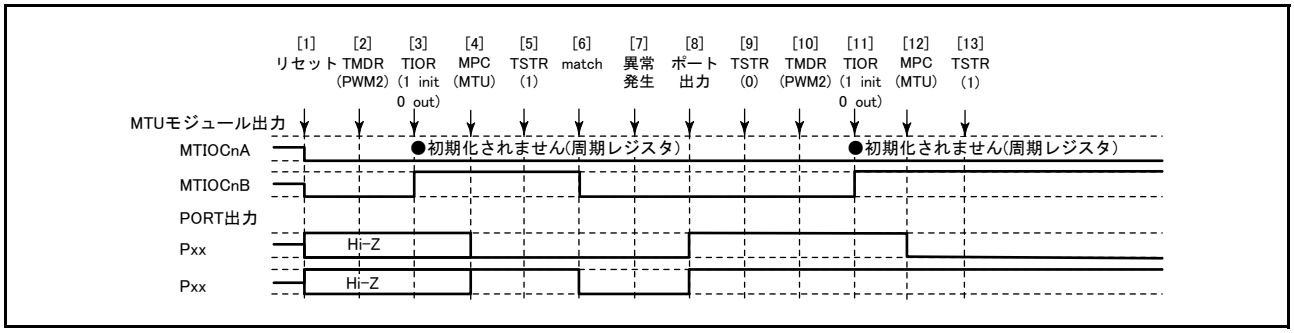


図 23.139　PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

[1] ～ [9] は図 23.137 と共通です。

[10] PWM モード 2 で再スタートする場合には必要ありません。

[11] TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[13] TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.140 に示します。

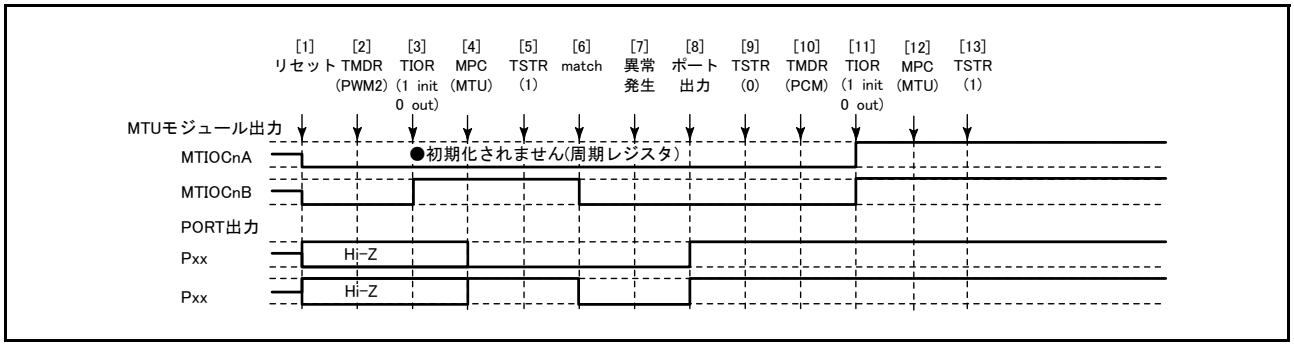


図 23.140　PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

[1] ～ [9] は図 23.137 と共通です。

[10] 位相計数モードを設定します。

[11] TIOR で端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[13] TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.141 に示します。

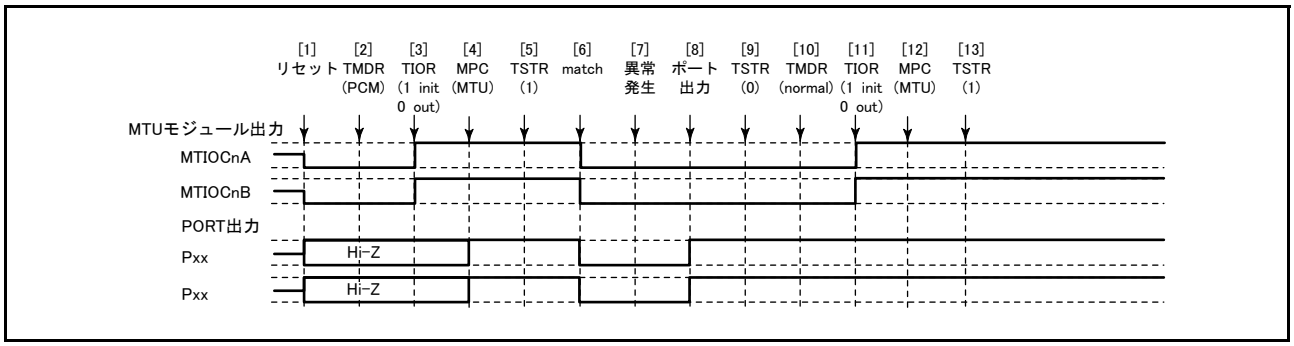


図 23.141　位相計数モードで異常が発生し、ノーマルモードで復帰する場合

[1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
[2] 位相計数モードを設定してください。
[3] TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
[4] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[5] TSTR でカウント動作を開始します。
[6] コンペアマッチの発生により Low を出力します。
[7] 異常が発生しました。
[8] I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
[9] TSTR でカウント動作を停止します。
[10] ノーマルモードで設定してください。
[11] TIOR で端子を初期化してください。
[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[13] TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.142 に示します。

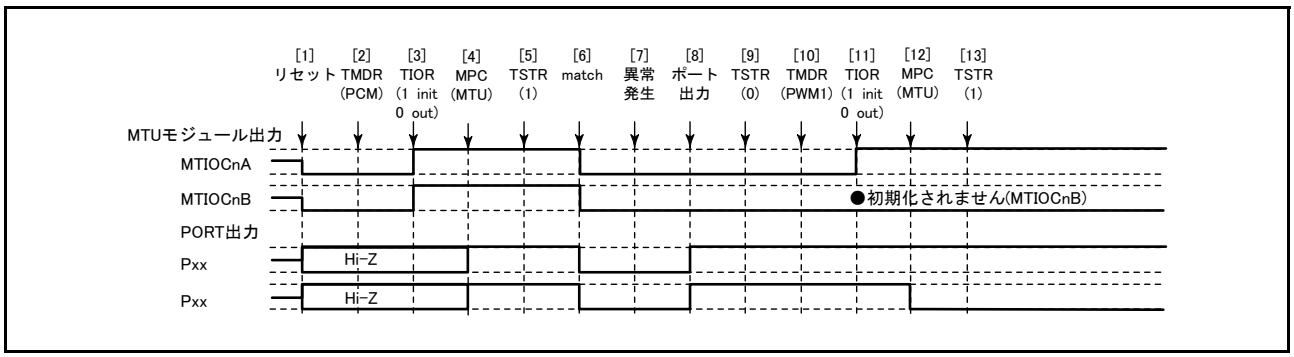


図 23.142　位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

[1] ～ [9] は図 23.141 と共通です。

[10] PWM モード 1 を設定します。

[11] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[13] TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 23.143 に示します。

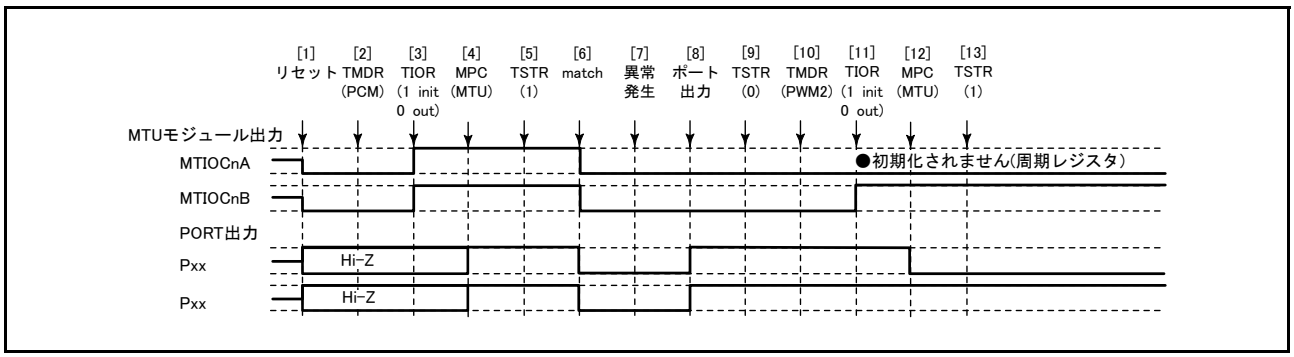


図 23.143　位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

[1] ～ [9] は図 23.141 と共通です。

[10] PWM モード 2 を設定します。

[11] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[13] TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 23.144 に示します。

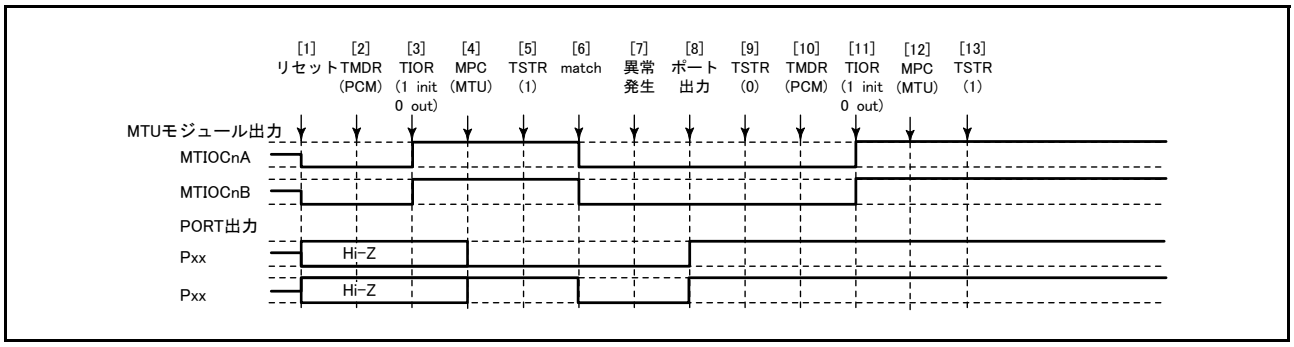


図 23.144　位相計数モードで異常が発生し、位相計数モードで復帰する場合

[1] ～ [9] は図 23.141 と共通です。

[10] 位相計数モードで再スタートする場合には必要ありません。

[11] TIOR で端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[13] TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.145 に示します。

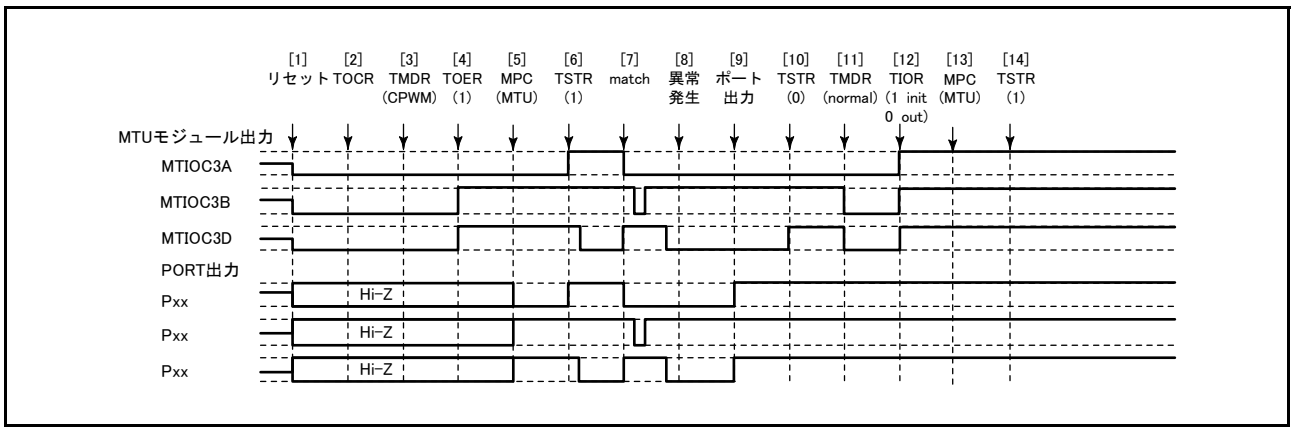


図 23.145　相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

[1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
[2] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
[3] 相補 PWM を設定します。
[4] TOER で MTU3、MTU4 の出力を許可してください。
[5] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[6] TSTR でカウント動作を開始します。
[7] コンペアマッチの発生により相補 PWM 波形を出力します。
[8] 異常が発生しました。
[9] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
[10] TSTR でカウント動作を停止します（MTU 出力は相補 PWM 出力初期値となります）。
[11] ノーマルモードを設定してください（MTU 出力は Low となります）。
[12] TIOR で端子を初期化してください。
[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[14] TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.146 に示します。

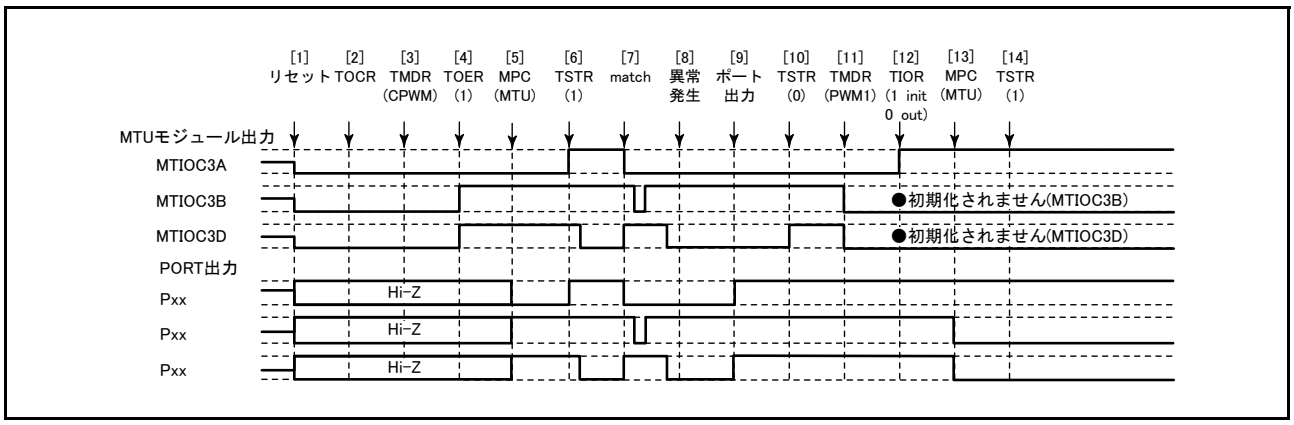


図 23.146　相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

[1] ～ [10] は図 23.145 と共通です。

[11] PWM モード 1 を設定してください（MTU 出力は Low となります）。

[12] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[14] TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.147 に示します（周期、デューティ設定をカウンタを止めたときの値から再スタートする場合）。

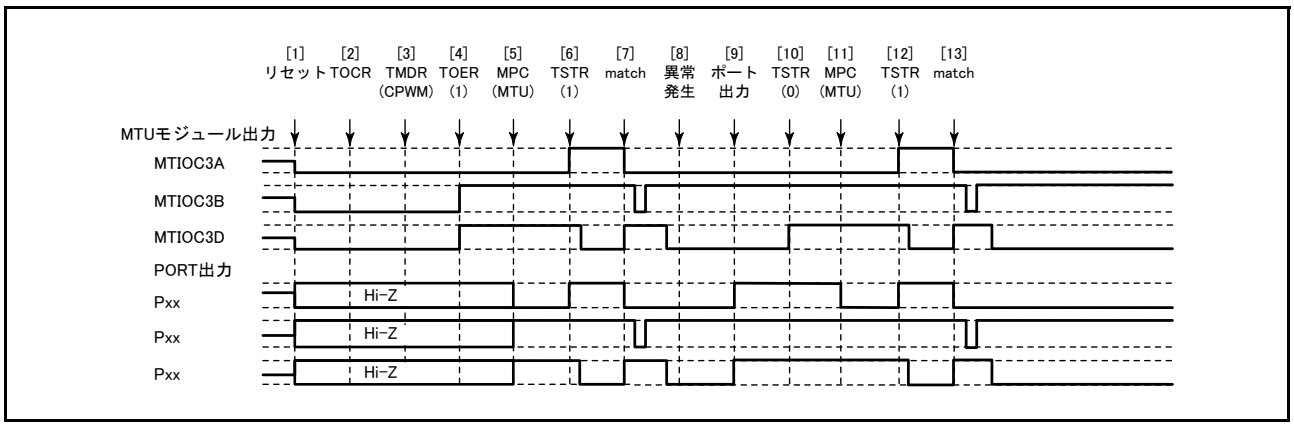


図 23.147　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ～ [10] は図 23.145 と共通です。

[11] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[12] TSTR で再スタートします。

[13] コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.148 に示します（周期、デューティ設定を全く新しい設定値で再スタートする場合）。

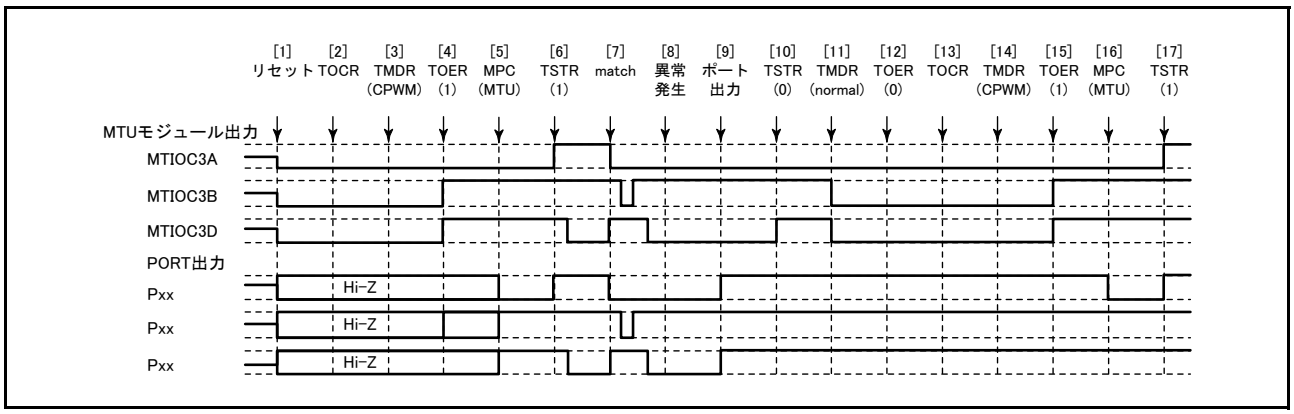


図 23.148　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ～ [10] は図 23.145 と共通です。

[11] ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

[12] TOER で MTU3、MTU4 の出力を禁止してください。

[13] TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

[14] 相補 PWM を設定します。

[15] TOER で MTU3、MTU4 の出力を許可してください。

[16] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[17] TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.149 に示します。

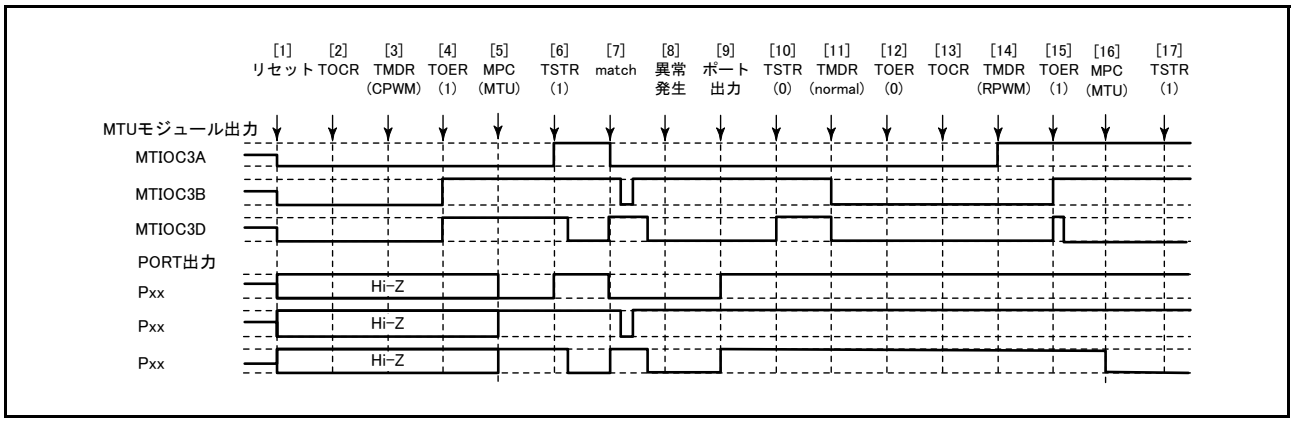


図 23.149　相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ～ [10] は図 23.145 と共通です。

[11] ノーマルモードを設定してください（MTU 出力は Low となります）。

[12] TOER で MTU3、MTU4 の出力を禁止してください。

[13] TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

[14] リセット同期 PWM を設定します。

[15] TOER で MTU3、MTU4 の出力を許可してください。

[16] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[17] TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 23.150 に示します。

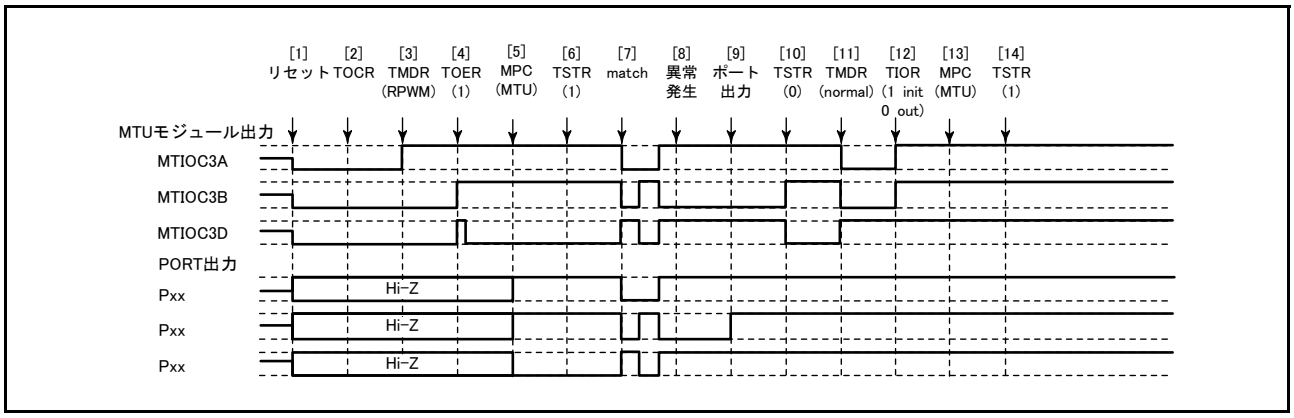


図 23.150　リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

[1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
[2] TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
[3] リセット同期 PWM を設定します。
[4] TOER で MTU3、MTU4 の出力を許可してください。
[5] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[6] TSTR でカウント動作を開始します。
[7] コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
[8] 異常が発生しました。
[9] I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
[10] TSTR でカウント動作を停止します（MTU 出力はリセット同期 PWM 出力初期値となります）。
[11] ノーマルモードを設定してください（MTU 出力は正相側が Low、逆相側が High となります）。
[12] TIOR で端子を初期化してください。
[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
[14] TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 23.151 に示します。

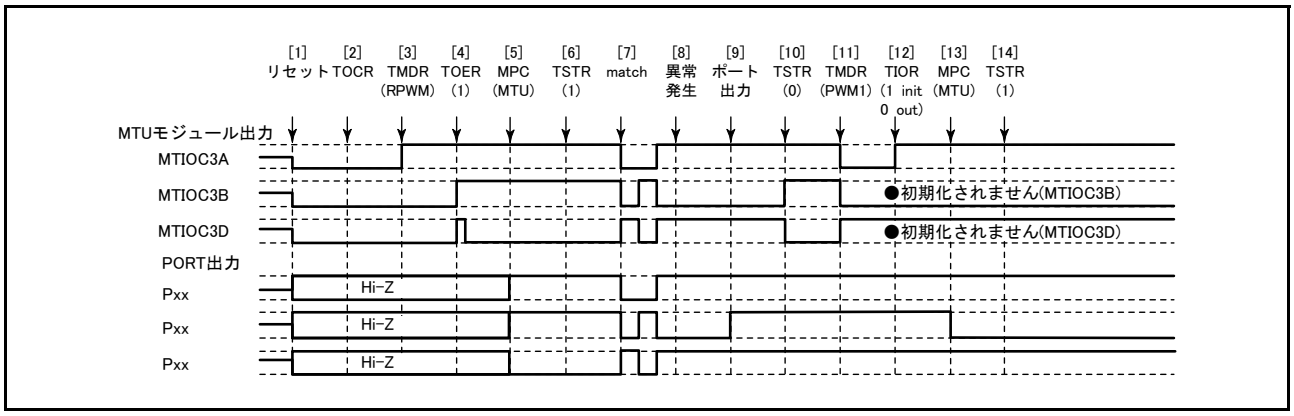


図 23.151　リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

[1] ～ [10] は図 23.150 と共通です。

[11] PWM モード 1 を設定してください（MTU 出力は正相側が Low、逆相側が High となります）。

[12] TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

[13] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[14] TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 23.152 に示します。

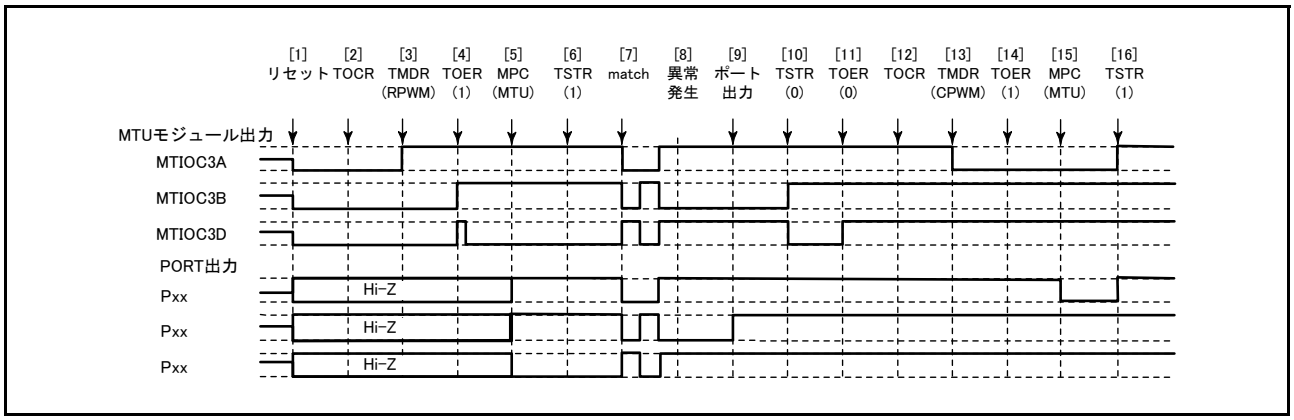


図 23.152　リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

[1] ～ [10] は図 23.150 と共通です。

[11] TOER で MTU3、MTU4 の出力を禁止してください。

[12] TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

[13] 相補 PWM を設定します（MTU の周期出力端子は Low になります）。

[14] TOER で MTU3、MTU4 の出力を許可してください。

[15] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[16] TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 23.153 に示します。

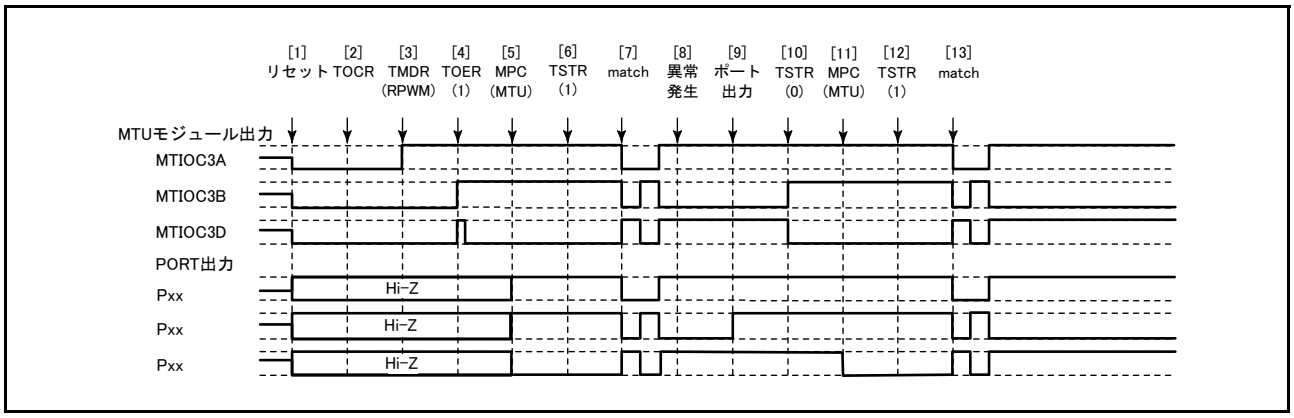


図 23.153　リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

[1] ～ [10] は図 23.150 と共通です。

[11] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

[12] TSTR で再スタートします。

[13] コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

24. ポートアウトプットイネーブル 2（POE2a）

ポートアウトプットイネーブル 2（POE）は、POE0# ～ POE3#、POE8# 端子の入力変化、MTU 相補 PWM 出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D）の出力状態、クロック発生回路の発振停止検出、またはレジスタ設定（SPOER レジスタ）によって MTU 相補 PWM 出力端子および MTU0 出力端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）をハイインピーダンスにすることができます。

また、同時に割り込み要求を発行することができます。

24.1 概要

表 24.1 に POE の仕様を、**図 24.1** に POE のブロック図を示します。

表24.1　POEの仕様

項目	内容
入力レベル検出による ハイインピーダンス制御	• POE0#～POE3#、POE8#の各入力端子に立ち下がりエッジ、PCLK/8ごとに16回、PCLK/16ごとに16回、PCLK/128ごとに16回のLowサンプリングが設定可能 • POE0#～POE3#端子の立ち下がりエッジまたはLowサンプリングによって、MTU相補PWM出力端子をハイインピーダンスに設定可能 • POE8#端子の立ち下がりエッジまたはLowサンプリングによって、MTU0出力端子をハイインピーダンスに設定可能
出力レベル比較による ハイインピーダンス制御	• MTU相補PWM出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子をハイインピーダンスに設定可能
発振停止検出による ハイインピーダンス制御	• クロック発生回路が発振停止した場合、MTU相補PWM出力端子およびMTU0出力端子をハイインピーダンスに設定可能
ソフトウェア（レジスタ）による ハイインピーダンス制御	• POEのレジスタ書き込みをすることで、MTU相補PWM出力端子およびMTU0出力端子をハイインピーダンスに設定可能
割り込み	• POE0#～POE3#、POE8#の入力レベル検出結果またはMTU相補PWM出力端子の出力レベルの比較結果により、それぞれの割り込みを発生

POE は、**図 24.1** のブロック図に示すように入力レベル検出回路、出力レベル比較回路、クロック発生回路の発振停止検出信号の入力、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

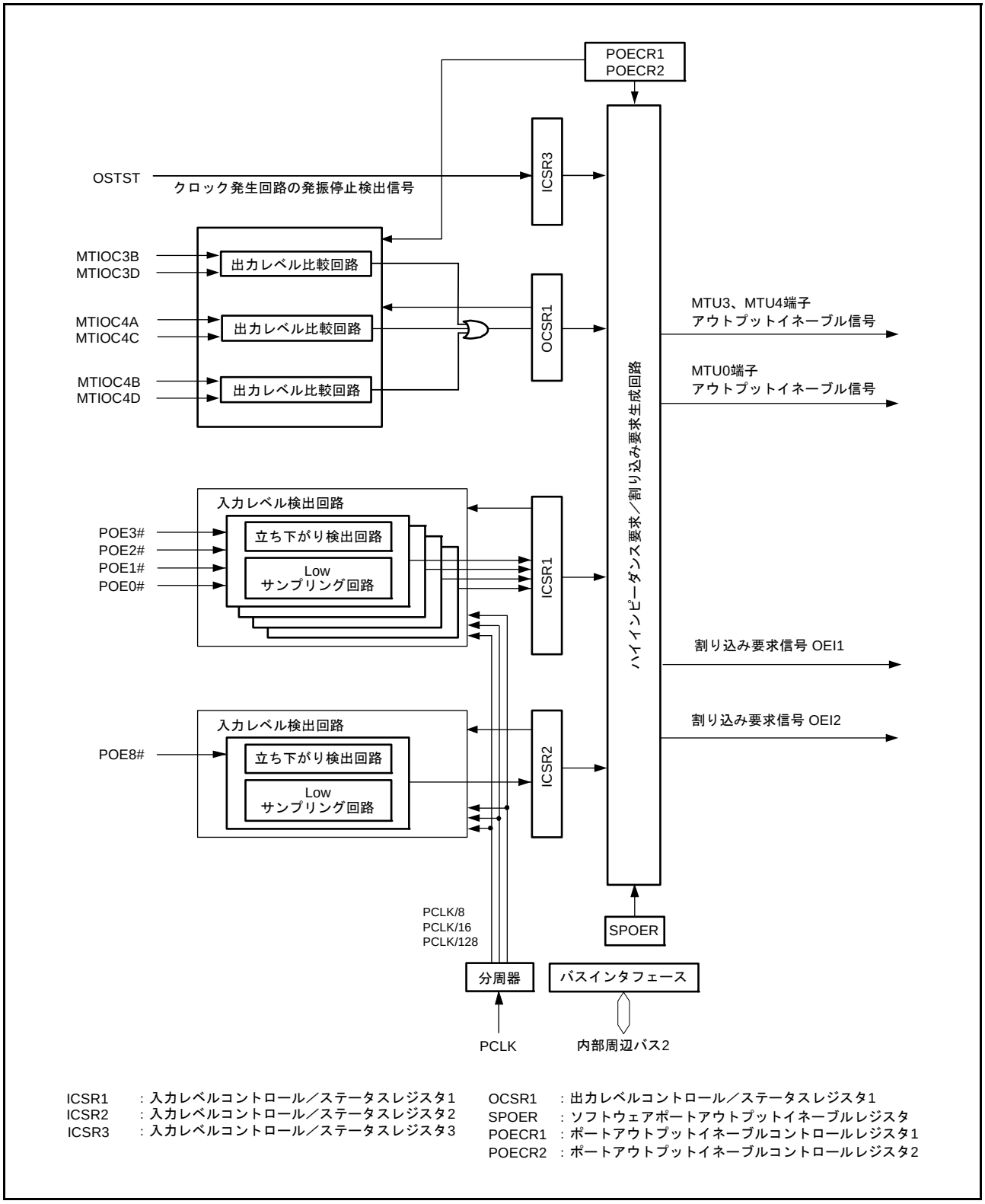


図 24.1　　POE のブロック図

表 24.2 に POE で使用する入出力端子を示します。

表24.2　　POEで使用するLSI入出力端子

端子名	入出力	機能
POE0#～POE3#	入力	MTU相補PWM出力端子をハイインピーダンスにする要求信号
POE8#	入力	MTU0用端子をハイインピーダンスにする要求信号
MTIOC3B	出力	MTU3相補PWM出力端子
MTIOC3D	出力	MTU3相補PWM出力端子
MTIOC4A	出力	MTU4相補PWM出力端子
MTIOC4B	出力	MTU4相補PWM出力端子
MTIOC4C	出力	MTU4相補PWM出力端子
MTIOC4D	出力	MTU4相補PWM出力端子
MTIOC0A	出力	MTU0出力端子
MTIOC0B	出力	MTU0出力端子
MTIOC0C	出力	MTU0出力端子
MTIOC0D	出力	MTU0出力端子

表 24.3 に示す端子の組み合わせで出力レベルの比較を行います。

表24.3　　端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	どの組み合わせに対して出力レベル比較を行いハイインピーダンス制御を行うかは、POEのレジスタで設定できます。 PCLK1サイクル以上同時にアクティブレベル出力が続いた場合、MTU相補PWM出力端子をハイインピーダンスにします。 （MTU.TOCR1.TOCSビット=“0”のときに、MTU.TOCR1.OLSP,OLSNビットが“0”の場合はLow出力、“1”の場合はHigh出力。 MTU.TOCR1.TOCSビット=“1”のときに、MTU.TOCR2.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力）
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	

24.2 レジスタの説明

24.2.1 入力レベルコントロール / ステータスレジスタ 1（ICSR1）

アドレス 0008 8900h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]		POE2M[1:0]		POE1M[1:0]		POE0M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0：POE0#入力の立ち下がりエッジで要求を受け付ける 0 1：POE0#入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0：POE0#入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1：POE0#入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W （注1）
b3-b2	POE1M[1:0]	POE1モード選択ビット	b3 b2 0 0：POE1#入力の立ち下がりエッジで要求を受け付ける 0 1：POE1#入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0：POE1#入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1：POE1#入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W （注1）
b5-b4	POE2M[1:0]	POE2モード選択ビット	b5 b4 0 0：POE2#入力の立ち下がりエッジで要求を受け付ける 0 1：POE2#入力レベルをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0：POE2#入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1：POE2#入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W （注1）
b7-b6	POE3M[1:0]	POE3モード選択ビット	b7 b6 0 0：POE3#入力の立ち下がりエッジで要求を受け付ける 0 1：POE3#入力レベルをPCLK/8ごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0：POE3#入力レベルをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1：POE3#入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W （注1）
b8	PIE1	ポート割り込み許可1ビット	0：入力レベル検出によるOEI1割り込み要求を禁止 1：入力レベル検出によるOEI1割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0：POE0#端子にハイインピーダンス要求なし 1：POE0#端子にハイインピーダンス要求あり	R/(W) （注2）
b13	POE1F	POE1フラグ	0：POE1#端子にハイインピーダンス要求なし 1：POE1#端子にハイインピーダンス要求あり	R/(W) （注2）
b14	POE2F	POE2フラグ	0：POE2#端子にハイインピーダンス要求なし 1：POE2#端子にハイインピーダンス要求あり	R/(W) （注2）
b15	POE3F	POE3フラグ	0：POE3#端子にハイインピーダンス要求なし 1：POE3#端子にハイインピーダンス要求あり	R/(W) （注2）

注1. リセット後、1回のみ書けます。
注2. フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

POE0M[1:0] ～ POE3M[1:0] ビットで Low サンプリングを設定している場合、POE0F ～ POE3F フラグに “0” を書き込むには、POE0# ～ POE3# 端子に High を入力する必要があります。

詳細は「24.3.5　**ハイインピーダンスからの解除**」を参照してください。

PIE1 ビット（ポート割り込み許可 1 ビット）

POE3F ～ POE0F フラグに 1 ビットでも “1” がセットされたときに、OEI1 割り込みを要求するかどうかを指定します。

POE0F フラグ（POE0 フラグ）

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

POE1F フラグ（POE1 フラグ）

POE1# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE1# 端子に POE1M[1:0] ビットで設定した入力が発生したとき

POE2F フラグ（POE2 フラグ）

POE2# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE2# 端子に POE2M[1:0] ビットで設定した入力が発生したとき

POE3F フラグ（POE3 フラグ）

POE3# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE3# 端子に POE3M[1:0] ビットで設定した入力が発生したとき

24.2.2　出力レベルコントロール / ステータスレジスタ 1（OCSR1）

アドレス　0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み 許可 1 ビット	0：出力レベル比較による OEI1 割り込み要求を禁止 1：出力レベル比較による OEI1 割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス 許可 1 ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注 1）
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ 1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) （注 2）

注 1.　リセット後、1 回のみ書けます。
注 2.　フラグを“0”にするため、“1”を読んだ後に“0”のみ書けます。

OIE1 ビット（出力短絡割り込み許可 1 ビット）

OSF1 フラグが “1” のときに、OEI1 割り込みを要求するかどうかを指定します。

OCE1 ビット（出力短絡ハイインピーダンス許可 1 ビット）

OSF1 フラグが “1” のときに、MTU 相補 PWM 出力端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ（出力短絡フラグ 1）

表 24.3 に示す MTU 相補 PWM 出力端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。POECR2.PnCZEA（n=1,2,3）ビットが “0” のとき、または MTU のアウトプットコンペア機能を有効にしていないとき、対応する MTU 相補 PWM 出力端子が同時にアクティブレベルになっても OSF1 フラグは “1” になりません。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

  “0” を書くには、MTU 相補 PWM 出力端子から非アクティブを出力する必要があります。

  詳細は「24.3.5　**ハイインピーダンスからの解除**」参照してください。

［“1” になる条件］

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

24.2.3　入力レベルコントロール / ステータスレジスタ 2（ICSR2）

アドレス　0008 8908h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE2	—	—	—	—	—	—	POE8M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0：POE8#入力の立ち下がりエッジで要求を受け付ける 0 1：POE8#の入力レベルをPCLK/8ごとに16 回サンプリングし、すべてLowだった場合、要求を受け付ける 1 0：POE8#の入力レベルをPCLK/16クロックごとに16 回サンプリングし、すべてLowだった場合、要求を受け付ける 1 1：POE8#の入力レベルをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付ける	R/W （注1）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0：OEI2割り込み要求を禁止 1：OEI2割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0：MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにしない 1：MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにする	R/W （注1）
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0：POE8#端子にハイインピーダンス要求なし 1：POE8#端子にハイインピーダンス要求あり	R/(W) （注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書けます。
注2.　フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

PIE2 ビット（ポート割り込み許可 2 ビット）

POE8F フラグが “1” になったときに、OEI2 割り込みを要求するかどうかを指定します。

POE8E ビット（POE8 ハイインピーダンス許可ビット）

POE8F フラグが “1” になったときに、MTU0 用端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ（POE8 フラグ）

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

“1” を読んだ後、“0” を書いたとき

POE8M[1:0] ビットで Low サンプリングを設定している場合、“0” を書くには、POE8# 端子に High を入力する必要があります。

詳細は「24.3.5　**ハイインピーダンスからの解除**」参照してください。

［“1” になる条件］

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

24.2.4　ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）

アドレス　0008 890Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CH0HIZ	CH34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W
b1	CH0HIZ	MTU0出力ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CH34HIZ ビット（MTU3、MTU4 出力ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子（MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D）をハイインピーダンスにする制御を行います。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- “1” を書いたとき

CH0HIZ ビット（MTU0 出力ハイインピーダンス許可ビット）

MTU0 用端子（MTIOC0A/MTIOC0B/MTIOC0C/MTIOC0D）をハイインピーダンスにする制御を行います。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- “1” を書いたとき

24.2.5　ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）

アドレス　0008 890Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PE3ZE	PE2ZE	PE1ZE	PE0ZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PE0ZE	MTIOC0Aハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b1	PE1ZE	MTIOC0Bハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b2	PE2ZE	MTIOC0Cハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b3	PE3ZE	MTIOC0Dハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書けます。

24.2.6　ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）

アドレス　0008 890Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	P1CZEA	P2CZEA	P3CZEA	—	—	—	—
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	P3CZEA	MTUポート3ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b5	P2CZEA	MTUポート2ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b6	P1CZEA	MTUポート1ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書けます。

本機能を使用しない場合、“00h” を書いてください。

P3CZEA ビット（MTU ポート 3 ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子の MTIOC4B と MTIOC4D をハイインピーダンスするかどうかを許可します。また、MTIOC4B と MTIOC4D の出力レベル比較を行うかどうかを許可します。

P2CZEA ビット（MTU ポート 2 ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子の MTIOC4A と MTIOC4C をハイインピーダンスするかどうかを許可します。また、MTIOC4A と MTIOC4C の出力レベル比較を行うかどうかを許可します。

P1CZEA ビット（MTU ポート 1 ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子の MTIOC3B と MTIOC3D をハイインピーダンスするかどうかを許可します。また、MTIOC3B と MTIOC3D の出力レベル比較を行うかどうかを許可します。

24.2.7　入力レベルコントロール / ステータスレジスタ 3（ICSR3）

アドレス　0008 890Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTSTF	—	—	OSTSTE	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0：MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D端子をハイインピーダンスにしない 1：MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D端子をハイインピーダンスにする	R/W（注1）
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0：発振停止ハイインピーダンス要求なし 1：発振停止ハイインピーダンス要求あり	R/(W)（注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書けます。
注2.　フラグを“0”にするため、“1”を読み出した後に“0”のみ書けます。

OSTSTE ビット（OSTST ハイインピーダンスイネーブルビット）

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 用端子をハイインピーダンスにするかどうかを許可します。

OSTSTF フラグ（OSTST ハイインピーダンスフラグ）

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。発振停止状態になると “1” になります。OSTSTF フラグを “0” にするときは、発振停止検出信号がネゲート状態のときに “0” を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに “0” を書いても “0” になりません。アサート中とは、発振停止を検出後、PCLK で 10 サイクル経過するまでの期間です。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- 発振停止状態を検出したとき

24.3　動作説明

以下にハイインピーダンスの対象になる端子と条件を示します。

（1）MTU0 用端子（MTIOC0A）

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
  POECR1.PE0ZE ビットと ICSR2.POE8E ビットが “1” の状態で、ICSR2.POE8F フラグが “1” になったとき
- SPOER レジスタ設定
  POECR1.PE0ZE ビットが “1” の状態で、SPOER.CH0HIZ ビットを “1” にしたとき
- 発振停止検出
  POECR1.PE0ZE ビットと ICSR3.OSTSTE ビットが “1” の状態で、OSTSTF フラグが “1” になったとき

（2）MTU0 用端子（MTIOC0B）

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
  POECR1.PE1ZE ビットと ICSR2.POE8E ビットが “1” の状態で、ICSR2.POE8F フラグが “1” になったとき
- SPOER レジスタ設定
  POECR1.PE1ZE ビットが “1” の状態で、SPOER.CH0HIZ ビットを “1” にしたとき
- 発振停止検出
  POECR1.PE1ZE ビットと ICSR3.OSTSTE ビットが “1” の状態で、OSTSTF フラグが “1” になったとき

（3）MTU0 用端子（MTIOC0C）

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
  POECR1.PE2ZE ビットと ICSR2.POE8E ビットが “1” の状態で、ICSR2.POE8F フラグが “1” になったとき
- SPOER レジスタ設定
  POECR1.PE2ZE ビットが “1” の状態で、SPOER.CH0HIZ ビットを “1” にしたとき
- 発振停止検出
  POECR1.PE2ZE ビットと ICSR3.OSTSTE ビットが “1” の状態で、OSTSTF フラグが “1” になったとき

（4）MTU0 用端子（MTIOC0D）

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出
  POECR1.PE3ZE ビットと ICSR2.POE8E ビットが “1” の状態で、ICSR2.POE8F フラグが “1” になったとき
- SPOER レジスタ設定
  POECR1.PE3ZE ビットが “1” の状態で、SPOER.CH0HIZ ビットを “1” にしたとき
- 発振停止検出
  POECR1.PE3ZE ビットと ICSR3.OSTSTE ビットが “1” の状態で、OSTSTF フラグが “1” になったとき

（5）MTU3 用端子（MTIOC3B、MTIOC3D）

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ～ POE3# 端子の入力レベル検出
  POECR2.P1CZEA ビットが “1” の状態で、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが “1” になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較
  POECR2.P1CZEA ビットと OCSR1.OCE1 ビットが “1” の状態で、OCSR1.OSF1 フラグが “1” になったとき
- SPOER レジスタ設定
  POECR2.P1CZEA ビットが “1” の状態で、SPOER.CH34HIZ ビットを “1” にしたとき
- 発振停止検出
  POECR2.P1CZEA ビットと ICSR3.OSTSTE ビットが “1” の状態で、ICSR3.OSTSTF フラグが “1” になったとき

（6）MTU4 用端子（MTIOC4A、MTIOC4C）

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ～ POE3# 端子の入力レベル検出
  POECR2.P2CZEA ビットが “1” の状態で、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが “1” になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較
  POECR2.P2CZEA ビットと OCSR1.OCE1 ビットが “1” の状態で、OCSR1.OSF1 フラグが “1” になったとき
- SPOER レジスタ設定
  POECR2.P2CZEA ビットが “1” の状態で、SPOER.CH34HIZ ビットを “1” にしたとき
- 発振停止検出
  POECR2.P2CZEA ビットと ICSR3.OSTSTE ビットが “1” の状態で、ICSR3.OSTSTF フラグが “1” になったとき

（7）MTU4 用端子（MTIOC4B、MTIOC4D）

以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# ～ POE3# 端子の入力レベル検出
  POECR2.P3CZEA ビットが “1” の状態で、ICSR1.POE3F、POE2F、POE1F、または POE0F フラグが “1” になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較
  POECR2.P3CZEA ビットと OCSR1.OCE1 ビットが “1” の状態で、OCSR1.OSF1 フラグが “1” になったとき
- SPOER レジスタ設定
  POECR2.P3CZEA ビットが “1” の状態で、SPOER.CH34HIZ ビットを “1” にしたとき
- 発振停止検出
  POECR2.P3CZEA ビットと ICSR3.OSTSTE ビットが “1” の状態で、ICSR3.OSTSTF フラグが “1” になったとき

24.3.1　入力レベル検出動作

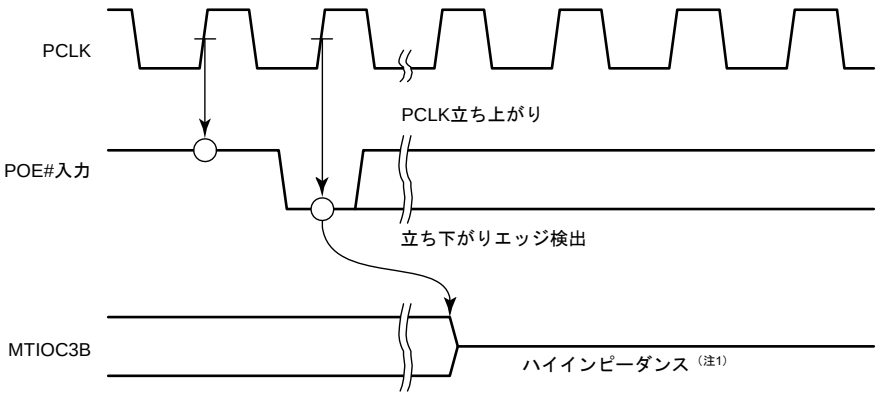
ICSR1、ICSR2 レジスタで設定した入力条件が POE0# ～ POE3#、POE8# 端子に発生した場合、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

(1)　立ち下がりエッジ検出

POE0# ～ POE3#、POE8# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

立ち下がりエッジは、PCLK でサンプリングを行った後、検出します。POE0# ～ POE3#、POE8# 端子に PCLK の 1 サイクル未満の Low が入力された場合、立ち下がりエッジが検出できるかどうかは保証できません。

POE0# ～ POE3#、POE8# 端子入力から端子のハイインピーダンスまでのタイミング例を**図 24.2** に示します。

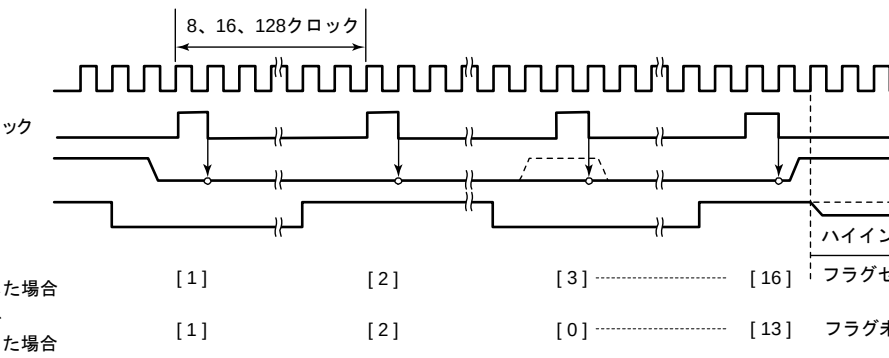


注1. その他のMTU相補PWM出力端子およびMTU0用端子も同様のタイミングでハイインピーダンスになります。

図 24.2　立ち下がりエッジ検出動作

(2)　Low 検出

図 24.3 に Low 検出動作を示します。ICSR1、ICSR2 レジスタで設定したサンプリングクロックで、16 回連続した Low をサンプリングします。このとき、一度でも High を検出した場合は受け付けられません。また、サンプリングクロックが出力されていない期間は、POE0# ～ POE3#、POE8# 端子が変化しても無視されます。



注1.　その他のMTU相相補PWM出力端子およびMTU0用端子も同様のタイミングでハイインピーダンスになります。

図 24.3　Low 検出動作

24.3.2　出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、MTU 相補 PWM 出力端子の出力レベル比較動作を図 24.4 に示します。他の端子の組み合わせについても同様です。

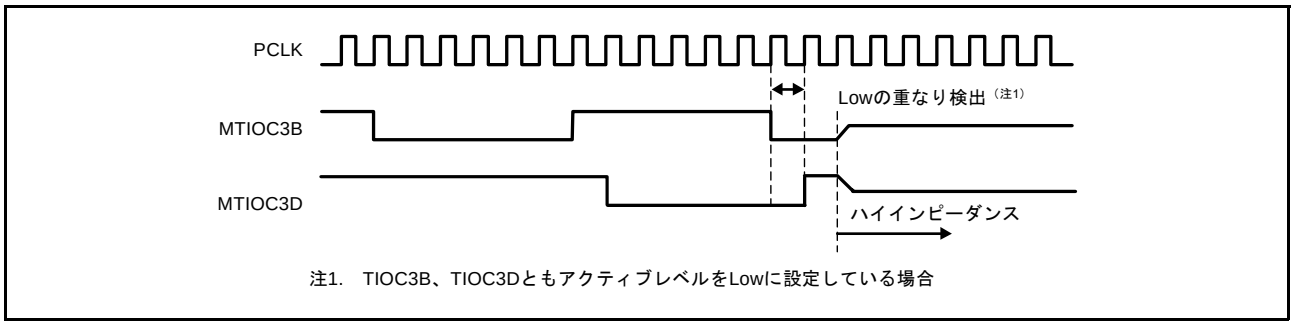


図 24.4　出力レベル比較動作

24.3.3　レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）への書き込みによって、MTU 相補 PWM 出力端子および MTU0 用端子のハイインピーダンス制御をします。

SPOER.CH34HIZ ビットを “1” にすることで、ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）で設定した MTU 相補 PWM 出力の端子（MTU3、MTU4）をハイインピーダンスにします。

他の端子についても、SPOER レジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

24.3.4　発振停止検出によるハイインピーダンス制御

クロック発生回路の発振停止検出機能により、発振停止が検出されると、入力レベルコントロール / ステータスレジスタ 3（ICSR3）で設定した MTU 相補 PWM 出力端子および MTU0 用端子をハイインピーダンスにします。

24.3.5　ハイインピーダンスからの解除

入力レベル検出でハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、リセットで初期状態に戻すか、ICSR1.POE3F, POE2F, POE1F, POE0F フラグ、ICSR2.POE8F フラグを “0” にすることにより解除されます。ただし、ICSR1.POE3M[1:0], POE2M[1:0], POE1M[1:0], POE0M[1:0] ビット、ICSR2.POE8M[1:0] ビットで Low サンプリングに設定している場合には、POE0# ～ POE3#、POE8# 端子から High を入力して High をサンプリングした後でないと、フラグに対して “0” 書き込みを行っても無効となりフラグは “0” になりません。

出力レベル比較でハイインピーダンスになった MTU 相補 PWM 出力端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグを “0” にすることにより解除されます。ただし、MTU 相補 PWM 出力端子から非アクティブレベルを出力するようにした後でないと、フラグに対して “0” 書き込みを行っても無効となりフラグは “0” になりません。非アクティブレベル出力は、MTU のレジスタを設定することで行うことができます。

クロック発生回路の発振停止によりハイインピーダンスになった MTU 相補 PWM 出力端子および MTU0 用端子は、ICSR3.OSTSTF ビットまたは ICSR3.OSTSTE ビットを “0” にすることによりハイインピーダンスが解除されます。

SPOER.CH34HIZ ビットまたは SPOER.CH0HIZ ビットによりハイインピーダンスになった MTU 相補 PWM 出力端子または MTU0 用端子は、端子に対応するビット (SPOER.CH34HIZ, SPOER.CH0HIZ) を “0” にすることによりハイインピーダンスが解除されます。

24.4 割り込み

POE は入力レベル検出動作、出力レベル比較動作、クロック発生回路の発振停止において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。**表 24.4** に割り込みの種類と割り込み要求を出す条件を示します。OEI1 割り込みと OEI2 割り込みを受け付けたとき、当該割り込みの例外処理ルーチンの先頭で当該フラグに “1” がセットされていることを確認してください。

表 24.4　割り込み要求の種類と条件

名称	割り込み要因	該当フラグ	条件
OEI1	アウトプットイネーブル割り込み 1	POE0F、POE1F、POE2F、POE3F、OSF1	ICSR1.PIE1 ビットが “1” の状態で ICSR1.POE0F、POE1F、POE2F、または POE3F フラグが “1” になったとき、もしくは OCSR1.OIE1 ビットが “1” の状態で OCSR1.OSF1 フラグが “1” になったとき
OEI2	アウトプットイネーブル割り込み 2	POE8F	ICSR2.PIE2 ビットが “1” の状態で ICSR2.POE8F フラグが “1” になったとき

24.5 使用上の注意事項

24.5.1 ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの移行について

POE を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE の動作が停止するため、端子のハイインピーダンス制御はできません。

24.5.2 POE を使用しない場合について

POE を使用しない場合は、ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）に “00h” を、ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）に “00h” をそれぞれ書き込んでください。

24.5.3 端子の MTU 機能設定について

POE によるハイインピーダンス制御は、端子がポートモードレジスタ（PMR）によって MTU の該当端子に選択されている場合のみ機能します。汎用入出力ポートに選択されている場合は、ハイインピーダンス制御されません。

25. 16ビットタイマパルスユニット（TPUa）

RX63Nグループ、RX631グループは、6チャネルの16ビットタイマで構成される16ビットタイマパルスユニット（TPU）を2ユニット（ユニット0、ユニット1）、合計12チャネル（TPU0～TPU11）内蔵しています。

25.1 概要

表25.1にTPUの仕様を、**表25.2**にTPU（ユニット0）の機能一覧を、**表25.3**にTPU（ユニット1）の機能一覧を示します。

図25.1にTPU（ユニット0）のブロック図を、**図25.2**にTPU（ユニット1）のブロック図を示します。

表25.1　TPUの仕様

項目	内容
パルス入出力	最大32本（ユニット0：16本、ユニット1：16本）
カウントクロック	各チャネルに7種類または8種類
設定可能動作	• コンペアマッチによる波形出力 • インプットキャプチャ機能（ノイズフィルタ設定可能） • カウンタクリア動作 • 複数のタイマカウンタ（TCNT）への同時書き込み • コンペアマッチ/インプットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大15相のPWM出力 • カスケード接続動作
チャネル0、3、6、9	バッファ動作を設定可能
チャネル1、2、4、5、7、8、10、11	位相計数モードを設定可能
割り込み要因	52種類（ユニット0：26種類、ユニット1：26種類）
バッファ動作	レジスタデータの自動転送
トリガ生成	プログラマブルパルスジェネレータ（PPG）の出力トリガを生成可能
	A/Dコンバータの変換開始トリガを生成可能
消費電力低減機能	ユニットごとにモジュールストップ状態の設定が可能

表25.2　TPU（ユニット0）の機能一覧 (1 / 2)

項目		TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック		PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKA TCLKB TCLKC TCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKB TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKA	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKC TCLKD
タイマジェネラルレジスタ		TGRA TGRB TGRC（注1） TGRD（注1）	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC（注1） TGRD（注1）	TGRA TGRB	TGRA TGRB
入出力端子		TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能		TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	○
PWMモード		○	○	○	○	○	○
位相計数モード		—	○	○	—	○	○
バッファ動作		○	—	—	○	—	—
DTCの起動		TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
DMACの起動		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	—
PPGトリガ		TGRA、TGRBの コンペアマッチ または インプット キャプチャ	TGRA、TGRBの コンペアマッチ または インプット キャプチャ	TGRA、TGRBの コンペアマッチ または インプット キャプチャ	TGRA、TGRBの コンペアマッチ または インプット キャプチャ	—	—

表25.2　TPU（ユニット0）の機能一覧 (2 / 2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
割り込み要因	5要因 ・コンペアマッチ/インプットキャプチャ 0A ・コンペアマッチ/インプットキャプチャ 0B ・コンペアマッチ/インプットキャプチャ 0C ・コンペアマッチ/インプットキャプチャ 0D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ 1A ・コンペアマッチ/インプットキャプチャ 1B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ 2A ・コンペアマッチ/インプットキャプチャ 2B ・オーバフロー ・アンダフロー	5要因 ・コンペアマッチ/インプットキャプチャ 3A ・コンペアマッチ/インプットキャプチャ 3B ・コンペアマッチ/インプットキャプチャ 3C ・コンペアマッチ/インプットキャプチャ 3D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ 4A ・コンペアマッチ/インプットキャプチャ 4B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ 5A ・コンペアマッチ/インプットキャプチャ 5B ・オーバフロー ・アンダフロー
モジュールストップの設定（注2）	MSTPCRA.MSTPA13ビット					

○：可能
—：不可能
注1.　TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。
注2.　詳細は「11.　消費電力低減機能」を参照してください。

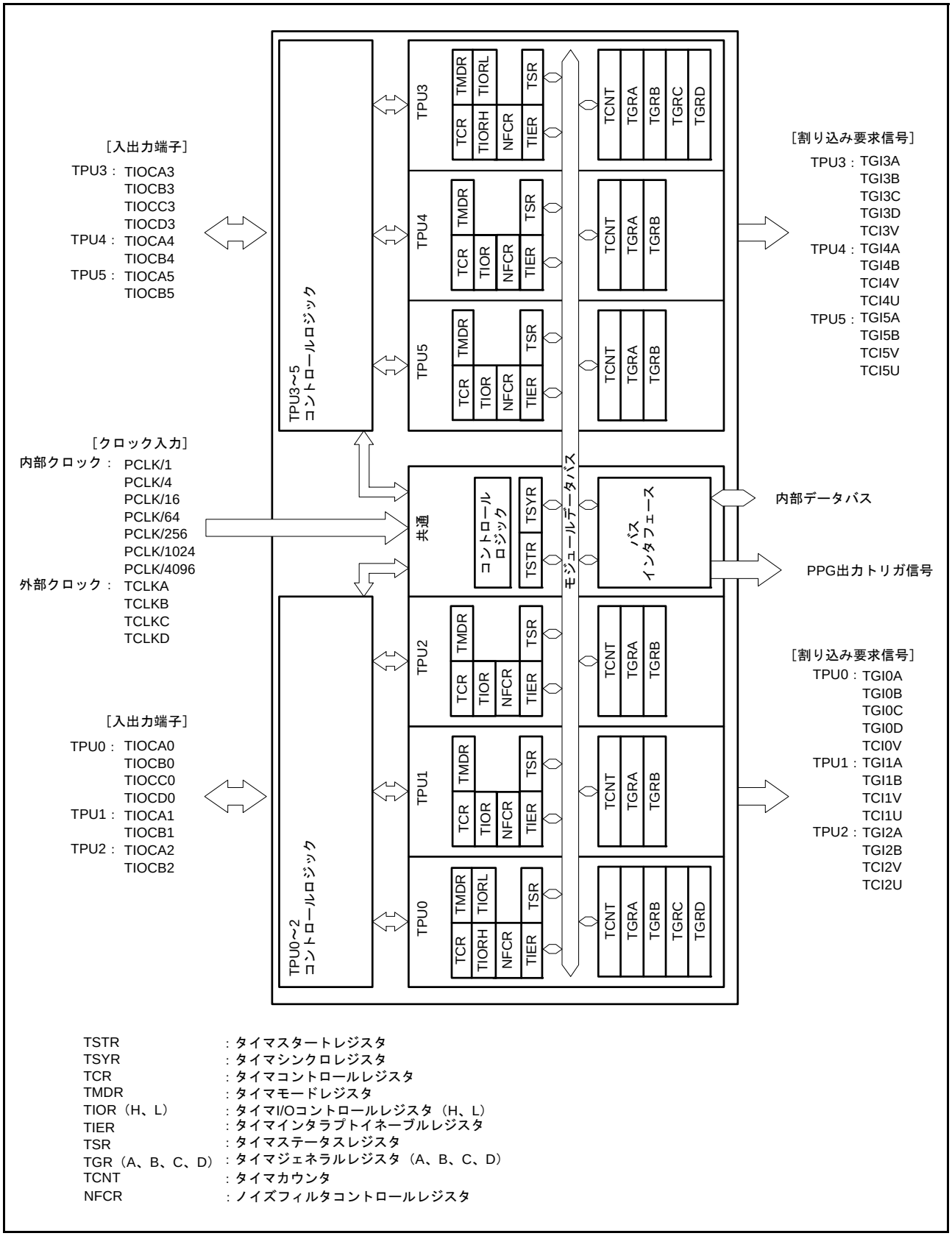
表25.3　TPU（ユニット1）の機能一覧 (1 / 2)

項目		TPU6	TPU7	TPU8	TPU9	TPU10	TPU11
カウントクロック		PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKE TCLKF TCLKG TCLKH	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKE TCLKF	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKE TCLKF TCLKG	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKE	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKE TCLKG	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKE TCLKG TCLKH
タイマジェネラルレジスタ		TGRA TGRB TGRC（注1） TGRD（注1）	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC（注1） TGRD（注1）	TGRA TGRB	TGRA TGRB
入出力端子		TIOCA6 TIOCB6 TIOCC6 TIOCD6	TIOCA7 TIOCB7	TIOCA8 TIOCB8	TIOCA9 TIOCB9 TIOCC9 TIOCD9	TIOCA10 TIOCB10	TIOCA11 TIOCB11
カウンタクリア機能		TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	○
PWMモード		○	○	○	○	○	○
位相計数モード		—	○	○	—	○	○
バッファ動作		○	—	—	○	—	—
DTCの起動		TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
DMACの起動		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
PPGトリガ		TGRA、TGRBの コンペアマッチ または インプット キャプチャ	TGRA、TGRBの コンペアマッチ または インプット キャプチャ	TGRA、TGRBの コンペアマッチ または インプット キャプチャ	TGRA、TGRBの コンペアマッチ または インプット キャプチャ	—	—
割り込み要因		5要因 ・コンペアマッチ/インプットキャプチャ 6A ・コンペアマッチ/インプットキャプチャ 6B ・コンペアマッチ/インプットキャプチャ 6C ・コンペアマッチ/インプットキャプチャ 6D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ 7A ・コンペアマッチ/インプットキャプチャ 7B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ 8A ・コンペアマッチ/インプットキャプチャ 8B ・オーバフロー ・アンダフロー	5要因 ・コンペアマッチ/インプットキャプチャ 9A ・コンペアマッチ/インプットキャプチャ 9B ・コンペアマッチ/インプットキャプチャ 9C ・コンペアマッチ/インプットキャプチャ 9D ・オーバフロー	4要因 ・コンペアマッチ/インプットキャプチャ 10A ・コンペアマッチ/インプットキャプチャ 10B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ 11A ・コンペアマッチ/インプットキャプチャ 11B ・オーバフロー ・アンダフロー

表25.3　TPU（ユニット1）の機能一覧 (2 / 2)

項目	TPU6	TPU7	TPU8	TPU9	TPU10	TPU11
モジュールストップの設定（注2）	MSTPCRA.MSTPA12ビット					

○：可能
―：不可能
注1.　TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。
注2.　詳細は「11.　消費電力低減機能」を参照してください。



TSTR　：タイマスタートレジスタ
TSYR　：タイマシンクロレジスタ
TCR　：タイマコントロールレジスタ
TMDR　：タイマモードレジスタ
TIOR（H、L）　：タイマI/Oコントロールレジスタ（H、L）
TIER　：タイマインタラプトイネーブルレジスタ
TSR　：タイマステータスレジスタ
TGR（A、B、C、D）　：タイマジェネラルレジスタ（A、B、C、D）
TCNT　：タイマカウンタ
NFCR　：ノイズフィルタコントロールレジスタ

図 25.1　TPU（ユニット 0）のブロック図

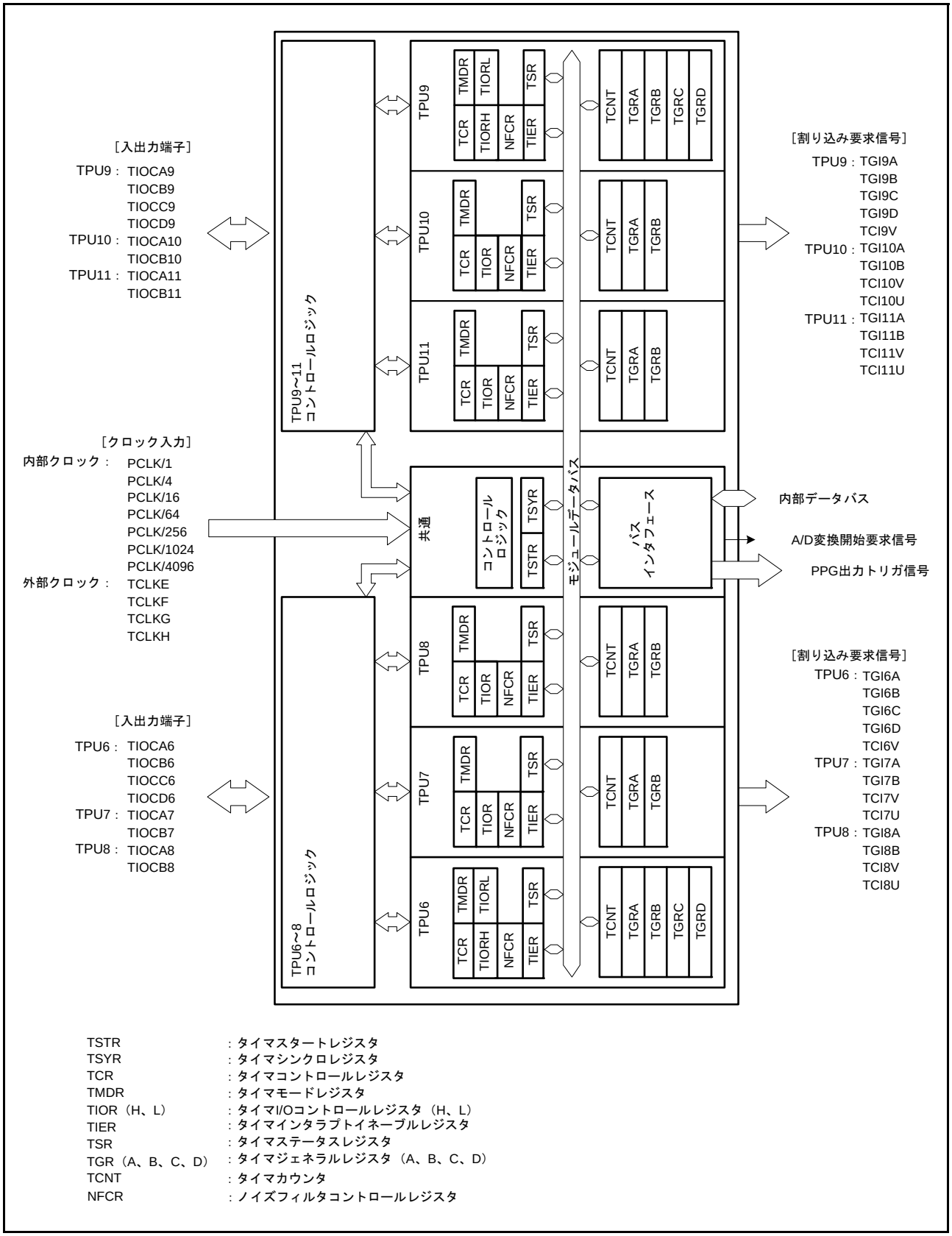


図 25.2　TPU（ユニット 1）のブロック図

表 25.4 に TPU で使用する入出力端子を示します。

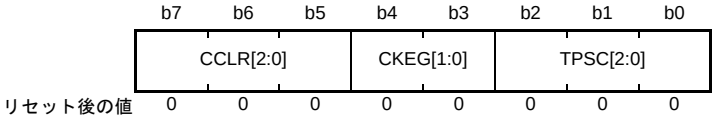
表25.4　TPUの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	ユニット0共通	TCLKA	入力	外部クロックA入力端子（TPU1、TPU5の位相計数モードA相入力）
		TCLKB	入力	外部クロックB入力端子（TPU1、TPU5の位相計数モードB相入力）
		TCLKC	入力	外部クロックC入力端子（TPU2、TPU4の位相計数モードA相入力）
		TCLKD	入力	外部クロックD入力端子（TPU2、TPU4の位相計数モードB相入力）
	TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
ユニット1	ユニット1共通	TCLKE	入力	外部クロックE入力端子（TPU7、TPU11の位相計数モードA相入力）
		TCLKF	入力	外部クロックF入力端子（TPU7、TPU11の位相計数モードB相入力）
		TCLKG	入力	外部クロックG入力端子（TPU8、TPU10の位相計数モードA相入力）
		TCLKH	入力	外部クロックH入力端子（TPU8、TPU10の位相計数モードB相入力）
	TPU6	TIOCA6	入出力	TPU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB6	入出力	TPU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC6	入出力	TPU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD6	入出力	TPU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU7	TIOCA7	入出力	TPU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB7	入出力	TPU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU8	TIOCA8	入出力	TPU8.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB8	入出力	TPU8.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU9	TIOCA9	入出力	TPU9.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB9	入出力	TPU9.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC9	入出力	TPU9.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD9	入出力	TPU9.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU10	TIOCA10	入出力	TPU10.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB10	入出力	TPU10.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU11	TIOCA11	入出力	TPU11.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB11	入出力	TPU11.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

25.2　レジスタの説明

25.2.1　タイマコントロールレジスタ（TCR）

アドレス　TPU0.TCR 0008 8110h、TPU1.TCR 0008 8120h、TPU2.TCR 0008 8130h
TPU3.TCR 0008 8140h、TPU4.TCR 0008 8150h、TPU5.TCR 0008 8160h
TPU6.TCR 0008 8180h、TPU7.TCR 0008 8190h、TPU8.TCR 0008 81A0h
TPU9.TCR 0008 81B0h、TPU10.TCR 0008 81C0h、TPU11.TCR 0008 81D0h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表 25.5～表 25.10 を参照してください	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表 25.11 を参照してください	R/W
b7-b5	CCLR[2:0]（注 1）	カウンタクリア要因選択ビット	表 25.12、表 25.13 を参照してください	R/W

注 1.　ユニット 0 の TPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCR レジスタ、ユニット 1 の TPU7.TCR、TPU8.TCR、TPU10.TCR、TPU11.TCR レジスタの b7 は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TCR レジスタの設定は、TPUm.TCNT カウンタの動作が停止した状態で行ってください。

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT カウンタのクロックを選択します。各チャネル個々にクロックを選択することができます。

クロックに外部クロックを選択する場合は、該当する端子のポート方向レジスタ（PDR）のビットを “0”（入力ポート）に、ポートモードレジスタ（PMR）のビットを “1”（周辺機能として使用）にしてください。詳細は、「21.　I/O ポート」を参照してください。

CKEG[1:0] ビット（入力クロックエッジ選択ビット）

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります（例：PCLK/4 の両エッジ =PCLK/2 の立ち上がりエッジ）。

内部クロックのエッジ選択は、入力クロックが PCLK/4、もしくはそれより遅い場合に有効です。入力クロックに PCLK/1、あるいは他のチャネルのオーバフロー / アンダフローを選択した場合、この設定は無視されます。

表25.5　TPSC[2:0]ビット（TPU0、TPU6）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0（ユニット0） TPU6（ユニット1）	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック • TPU0（ユニット0）：TCLKA端子入力でカウント • TPU6（ユニット1）：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU0（ユニット0）：TCLKB端子入力でカウント • TPU6（ユニット1）：TCLKF端子入力でカウント
	1	1	0	外部クロック • TPU0（ユニット0）：TCLKC端子入力でカウント • TPU6（ユニット1）：TCLKG端子入力でカウント
	1	1	1	外部クロック • TPU0（ユニット0）：TCLKD端子入力でカウント • TPU6（ユニット1）：TCLKH端子入力でカウント

表25.6　TPSC[2:0]ビット（TPU1、TPU7）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1（ユニット0） TPU7（ユニット1）	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック • TPU1（ユニット0）：TCLKA端子入力でカウント • TPU7（ユニット1）：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU1（ユニット0）：TCLKB端子入力でカウント • TPU7（ユニット1）：TCLKF端子入力でカウント
	1	1	0	内部クロック：PCLK/256でカウント
	1	1	1	• TPU1（ユニット0） TPU2.TCNTカウンタのオーバフロー/アンダフローでカウント • TPU7（ユニット1） TPU8.TCNTカウンタのオーバフロー/アンダフローでカウント

注.　TPU1、TPU7が位相計数モード時、この設定は無効になります。

表25.7　TPSC[2:0]ビット（TPU2、TPU8）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2（ユニット0） TPU8（ユニット1）	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック • TPU2（ユニット0）：TCLKA端子入力でカウント • TPU8（ユニット1）：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU2（ユニット0）：TCLKB端子入力でカウント • TPU8（ユニット1）：TCLKF端子入力でカウント
	1	1	0	外部クロック • TPU2（ユニット0）：TCLKC端子入力でカウント • TPU8（ユニット1）：TCLKG端子入力でカウント
	1	1	1	内部クロック：PCLK/1024でカウント

注.　TPU2、TPU8が位相計数モード時、この設定は無効になります。

表25.8　TPSC[2:0]ビット（TPU3、TPU9）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3（ユニット0） TPU9（ユニット1）	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック • TPU3（ユニット0）：TCLKA端子入力でカウント • TPU9（ユニット1）：TCLKE端子入力でカウント
	1	0	1	内部クロック：PCLK/1024でカウント
	1	1	0	内部クロック：PCLK/256でカウント
	1	1	1	内部クロック：PCLK/4096でカウント

表25.9　TPSC[2:0]ビット（TPU4、TPU10）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4（ユニット0） TPU10（ユニット1）	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック • TPU4（ユニット0）：TCLKA端子入力でカウント • TPU10（ユニット1）：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU4（ユニット0）：TCLKC端子入力でカウント • TPU10（ユニット1）：TCLKG端子入力でカウント
	1	1	0	内部クロック：PCLK/1024でカウント
	1	1	1	• TPU4（ユニット0） TPU5.TCNTカウンタのオーバフロー/アンダフローでカウント • TPU10（ユニット1） TPU11.TCNTカウンタのオーバフロー/アンダフローでカウント

注.　TPU4、TPU10が位相計数モード時、この設定は無効になります。

表25.10　TPSC[2:0]ビット（TPU5、TPU11）

チャネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5（ユニット0） TPU11（ユニット1）	0	0	0	内部クロック：PCLK/1でカウント
	0	0	1	内部クロック：PCLK/4でカウント
	0	1	0	内部クロック：PCLK/16でカウント
	0	1	1	内部クロック：PCLK/64でカウント
	1	0	0	外部クロック • TPU5（ユニット0）：TCLKA端子入力でカウント • TPU11（ユニット1）：TCLKE端子入力でカウント
	1	0	1	外部クロック • TPU5（ユニット0）：TCLKC端子入力でカウント • TPU11（ユニット1）：TCLKG端子入力でカウント
	1	1	0	内部クロック：PCLK/256でカウント
	1	1	1	外部クロック • TPU5（ユニット0）：TCLKD端子入力でカウント • TPU11（ユニット1）：TCLKH端子入力でカウント

注.　TPU5、TPU11が位相計数モード時、この設定は無効になります。

表25.11　CKEG[1:0]ビット

CKEG[1:0]ビット		入力クロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表25.12　CCLR[2:0]ビット（TPU0、TPU3、TPU6、TPU9）

チャネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
（ユニット0）TPU0、TPU3 （ユニット1）TPU6、TPU9	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTカウンタをクリア（注2）
	1	0	0	TCNTカウンタのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア（注1）
	1	1	0	TGRDレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア（注1）
	1	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTカウンタをクリア（注2）

注1.　TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。
注2.　同期動作の設定はTPUA.TSYR.SYNCjビット（j=0, 3）、TPUB.TSYR.SYNCjビット（j=6, 9）ビットを“1”にすることによって行います。

表25.13　CCLR[2:0]ビット（TPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11）

チャネル	CCLR[2:0]ビット（注1）			機能
	b7	b6	b5	
（ユニット0）TPU1、TPU2、TPU4、TPU5 （ユニット1）TPU7、TPU8、TPU10、TPU11	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTカウンタをクリア（注2）
	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

注1.　ユニット0のTPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタ、ユニット1のTPU7A.TCR、TPU8.TCR、TPU10.TCR、TPU11.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2.　同期動作の設定は、TPUA.TSYR.SYNCjビット（j=1, 2, 4, 5）、TPUB.TSYR.SYNCjビット（j=7, 8, 10, 11）ビットを“1”にすることによって行います。

25.2.2　タイマモードレジスタ（TMDR）

アドレス　TPU0.TMDR 0008 8111h、TPU1.TMDR 0008 8121h、TPU2.TMDR 0008 8131h
TPU3.TMDR 0008 8141h、TPU4.TMDR 0008 8151h、TPU5.TMDR 0008 8161h
TPU6.TMDR 0008 8181h、TPU7.TMDR 0008 8191h、TPU8.TMDR 0008 81A1h
TPU9.TMDR 0008 81B1h、TPU10.TMDR 0008 81C1h、TPU11.TMDR 0008 81D1h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICSELD	ICSELB	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3（注1） b0 0 0 0 0：通常動作 0 0 0 1：設定しないでください 0 0 1 0：PWMモード1 0 0 1 1：PWMモード2 0 1 0 0：位相計数モード1（注2） 0 1 0 1：位相計数モード2（注2） 0 1 1 0：位相計数モード3（注2） 0 1 1 1：位相計数モード4（注2） 上記以外は設定しないでください	R/W
b4	BFA（注3）	バッファ動作Aビット	0：TPUm.TGRAレジスタは通常動作 1：TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作（m=0, 3, 6, 9）	R/W
b5	BFB（注4）	バッファ動作Bビット	0：TPUm.TGRBレジスタは通常動作 1：TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作（m=0, 3, 6, 9）	R/W
b6	ICSELB	TGRBインプットキャプチャ入力選択ビット	0：インプットキャプチャ入力元はTIOCBn端子 1：インプットキャプチャ入力元はTIOCAn端子（n=0～11）	R/W
b7	ICSELD（注4）	TGRDインプットキャプチャ入力選択ビット	0：インプットキャプチャ入力元はTIOCDn端子 1：インプットキャプチャ入力元はTIOCCn端子（n=0, 3, 6, 9）	R/W

注1.　b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2.　TPU0、TPU3（ユニット0）、TPU6、TPU9（ユニット1）では、位相計数モードの設定はできません。b2は“0”にしてください。
注3.　TGRCレジスタを持たないTPU1、TPU2、TPU4、TPU5（ユニット0）、TPU7、TPU8、TPU10、TPU11（ユニット1）では、b4は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注4.　TGRDレジスタを持たないTPU1、TPU2、TPU4、TPU5（ユニット0）、TPU7、TPU8、TPU10、TPU11（ユニット1）では、b5, b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUm.TMDR レジスタの設定は、TPUm.TCNT カウンタの動作が停止した状態で行ってください。

BFA ビット（バッファ動作 A ビット）

TPUm.TGRA レジスタ（m=0, 3, 6, 9）を通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタ（m=0, 3, 6, 9）を組み合わせてバッファ動作させるかを選択します。

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ / アウトプットコンペアは発生しません。

BFB ビット（バッファ動作 B ビット）

TPUm.TGRB レジスタ（m=0, 3, 6, 9）を通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタ（m=0, 3, 6, 9）を組み合わせてバッファ動作させるかを選択します。

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ / アウトプットコンペアは発生しません。

ICSELB ビット（TGRB インプットキャプチャ入力選択ビット）

TPUm.TGRB レジスタ（m=0 ～ 11）のインプットキャプチャ入力を選択します。この機能を使用して 1 本の TIOCAn 入力端子で入力パルスの High 幅と周期を測定できます。

ICSELD ビット（TGRD インプットキャプチャ入力選択ビット）

TPUm.TGRD レジスタ（m=0, 3, 6, 9）のインプットキャプチャ入力を選択します。
この機能を使用して 1 本の TIOCCn 入力端子で入力パルスの High 幅と周期を測定できます。

25.2.3　タイマ I/O コントロールレジスタ（TIORH、TIORL、TIOR）

- ユニット 0（TPU0.TIORH、TPU1.TIOR、TPU2.TIOR、TPU3.TIORH、TPU4.TIOR、TPU5.TIOR）
  ユニット 1（TPU6.TIORH、TPU7.TIOR、TPU8.TIOR、TPU9.TIORH、TPU10.TIOR、TPU11.TIOR）

アドレス　TPU0.TIORH 0008 8112h、TPU1.TIOR 0008 8122h、TPU2.TIOR 0008 8132h
TPU3.TIORH 0008 8142h、TPU4.TIOR 0008 8152h、TPU5.TIOR 0008 8162h
TPU6.TIORH 0008 8182h、TPU7.TIOR 0008 8192h、TPU8.TIOR 0008 81A2h
TPU9.TIORH 0008 81B2h、TPU10.TIOR 0008 81C2h、TPU11.TIOR 0008 81D2h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOB[3:0]				IOA[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRA レジスタコントロールビット	表 25.14 ～表 25.19 を参照してください（注 1）	R/W
b7-b4	IOB[3:0]	TGRB レジスタコントロールビット	表 25.14 ～表 25.19 を参照してください（注 1）	R/W

注 1.　コンペアマッチで Low/High/ トグル出力中に、IOn[3:0] ビット (n=A、B) の値を出力禁止（“0000b” または “0100b”）へ変更すると Hi-Z になります。

- ユニット 0（TPU0.TIORL、TPU3.TIORL）
  ユニット 1（TPU6.TIORL、TPU9.TIORL）

アドレス　TPU0.TIORL 0008 8113h、TPU3.TIORL 0008 8143h
TPU6.TIORL 0008 8183h、TPU9.TIORL 0008 81B3h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOD[3:0]				IOC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRC レジスタコントロールビット	表 25.20、表 25.21 を参照してください（注 1）	R/W
b7-b4	IOD[3:0]	TGRD レジスタコントロールビット	表 25.20、表 25.21 を参照してください（注 1）	R/W

注 1.　コンペアマッチで Low/High/ トグル出力中に、IOn[3:0] ビット (n=C、D) の値を出力禁止（“0000b” または “0100b”）へ変更すると Hi-Z になります。

TPU には、TPU0、TPU3、TPU6、TPU9 に各 1 本、計 4 本の TIORH レジスタ、TPU0、TPU3、TPU6、TPU9 に各 1 本、計 4 本の TIORL レジスタ、TPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11 に各 1 本、計 8 本の TIOR レジスタがあります。総計 16 本のタイマ I/O コントロールレジスタがあります。
TIORH、TIORL、TIOR レジスタは、TGRA ～ TGRD レジスタを制御します。
TIORH、TIORL、TIOR レジスタは、TMDR レジスタの設定の影響を受けますので注意してください。

詳細は表 25.14 ～表 25.21 を参照してください。

TIORH、TIORL、TIOR レジスタで指定した初期出力は、カウンタのカウント動作が停止した状態（TPUA.TSTR.CSTj ビット (j=0 ～ 5)、TPUB.TSTR.CSTj ビット (j=6 ～ 11) が “0”）で有効になります。また、PWM モード 2 の場合の初期出力には、TCNT カウンタが “0” になった時点での出力を指定します。

TGRC レジスタまたは TGRD レジスタをバッファ動作に設定した場合、IOC[3:0] ビットまたは IOD[3:0] ビットで設定したレジスタの機能は無効となり、TGRC レジスタまたは TGRD レジスタはバッファレジスタとして動作します。

TIORH、TIORL、TIOR レジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のポート方向レジスタ（PDR）のビットを “0”（入力ポート）に、ポートモードレジスタ（PMR）のビットを “1”（周辺機能として機能）にしてください。詳細は、「21.　I/O ポート」を参照してください。

IOA[3:0] ビット（TGRA レジスタコントロールビット）

TPUm.TGRA レジスタ（m=0 ～ 11）の機能を選択します。

IOB[3:0] ビット（TGRB レジスタコントロールビット）

TPUm.TGRB レジスタ（m=0 ～ 11）の機能を選択します。

IOC[3:0] ビット（TGRC レジスタコントロールビット）

TPUm.TGRC レジスタ（m=0, 3, 6, 9）の機能を選択します。

IOD[3:0] ビット（TGRD レジスタコントロールビット）

TPUm.TGRD レジスタ（m=0, 3, 6, 9）の機能を選択します。

表25.14　TPU0.TIORH、TPU6.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m=0, 6)の機能	TIOCAn端子(n=0, 6)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1）

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m=0, 6)の機能	TIOCBn端子(n=0, 6)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn/TIOCAn端子（注2）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn/TIOCAn端子（注2）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn/TIOCAn端子（注2）、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1）

x：Don't care

注1.　TPUm.TCR.TPSC[2:0]ビットを"000b"とし、TPUm.TCNTカウンタのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません（m=1, 7）。

注2.　TPUm.TMDR.ICSELBビットで選択します（m=0, 6）。

表25.15　TPU1.TIOR、TPU7.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m=1, 7)の機能	TIOCAn端子(n=1, 7)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU1の場合 キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ • TPU7の場合 キャプチャ入力元はTPU6.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU6.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m=1, 7)の機能	TIOCBn端子(n=1, 7)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、両エッジでインプットキャプチャ
1	1	x	x		• TPU1の場合 キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ • TPU7の場合 キャプチャ入力元はTPU6.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU6.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m=1, 7）。

表25.16　TPU2.TIOR、TPU8.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m=2, 8)の機能	TIOCAn端子(n=2, 8)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m=2, 8)の機能	TIOCBn端子(n=2, 8)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、両エッジでインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m=2, 8）。

表25.17　TPU3.TIORH、TPU9.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m=3, 9)の機能	TIOCAn端子(n=3, 9)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1） • TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1）

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m=3, 9)の機能	TIOCBn端子(n=3, 9)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn/TIOCAn端子（注2）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn/TIOCAn端子（注2）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn/TIOCAn端子（注2）、両エッジでインプットキャプチャ
1	1	x	x		• TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1） • TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注1）

x：Don't care

注1.　TPUm.TCR.TPSC[2:0]ビットを"000b"とし、TPUm.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません（m=4, 10）。

注2.　TPUm.TMDR.ICSELBビットで選択します（m=3, 9）。

表25.18　TPU4.TIOR、TPU10.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m=4, 10)の機能	TIOCAn端子(n=4, 10)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU4の場合 キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ • TPU10の場合 キャプチャ入力元はTPU9.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU9.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m=4, 10)の機能	TIOCBn端子(n=4, 10)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、両エッジでインプットキャプチャ
1	1	x	x		• TPU4の場合 キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ • TPU10の場合 キャプチャ入力元はTPU9.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU9.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m=4, 10）。

表25.19　TPU5.TIOR、TPU11.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ(m=5, 11)の機能	TIOCAn端子(n=5, 11)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCAn端子、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCAn端子、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCAn端子、両エッジでインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ(m=5, 11)の機能	TIOCBn端子(n=5, 11)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元はTIOCBn/TIOCAn端子（注1）、両エッジでインプットキャプチャ

x：Don't care

注1.　TPUm.TMDR.ICSELBビットで選択します（m=5, 11）。

表25.20　TPU0.TIORL、TPU6.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRCレジスタ(m=0, 6)の機能	TIOCCn端子(n=0, 6)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3）

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRDレジスタ(m=0, 6)の機能	TIOCDn端子(n=0, 6)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注2）	キャプチャ入力元はTIOCDn/TIOCCn端子（注4）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn/TIOCCn端子（注4）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn/TIOCCn端子（注4）、両エッジでインプットキャプチャ
1	1	x	x		• TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3） • TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3）

x：Don't care

注1.　TPUm.TMDR.BFAビットを"1"（TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作）にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません（m=0, 6）。

注2.　TPUm.TMDR.BFBビットを"1"（TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作）にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません（m=0, 6）。

注3.　TPUm.TCR.TPSC[2:0]ビットを"000b"とし、TPUm.TCNTカウンタのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません（m=1, 7）。

注4.　TPUm.TMDR.ICSELDビットの設定で選択します（m=0, 6）。

表25.21　TPU3.TIORL、TPU9.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRCレジスタ(m=3, 9)の機能	TIOCCn端子(n=3, 9)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		• TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3） • TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3）

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRDレジスタ(m=3, 9)の機能	TIOCDn端子(n=3, 9)の機能および関連事項
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注2）	キャプチャ入力元はTIOCDn/TIOCCn端子（注4）、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn/TIOCCn端子（注4）、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn/TIOCCn端子（注4）、両エッジでインプットキャプチャ
1	1	X	x		• TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3） • TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのアップカウント/カウントダウンでインプットキャプチャ（注3）

x：Don't care

注1.　TPUm.TMDR.BFAビットを"1"（TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作）にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません（m=3, 9）。

注2.　TPUm.TMDR.BFBビットを"1"（TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作）にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません（m=3, 9）。

注3.　TPUm.TCR.TPSC[2:0]ビットを"000b"とし、TPUm.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません（m=4, 10）。

注4.　TPUm.TMDR.ICSELDビットの設定で選択します（m=3, 9）。

25.2.4　タイマ割り込み許可レジスタ（TIER）

アドレス　TPU0.TIER 0008 8114h、TPU1.TIER 0008 8124h、TPU2.TIER 0008 8134h
TPU3.TIER 0008 8144h、TPU4.TIER 0008 8154h、TPU5.TIER 0008 8164h
TPU6.TIER 0008 8184h、TPU7.TIER 0008 8194h、TPU8.TIER 0008 81A4h
TPU9.TIER 0008 81B4h、TPU10.TIER 0008 81C4h、TPU11.TIER 0008 81D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA割り込み許可ビット	0：割り込み（TGImA）を禁止 1：割り込み（TGImA）を許可 （m=0～11）	R/W
b1	TGIEB	TGRB割り込み許可ビット	0：割り込み（TGImB）を禁止 1：割り込み（TGImB）を許可 （m=0～11）	R/W
b2	TGIEC （注1）	TGRC割り込み許可ビット	0：割り込み（TGImC）を禁止 1：割り込み（TGImC）を許可 （m=0, 3, 6, 9）	R/W
b3	TGIED （注1）	TGRD割り込み許可ビット	0：割り込み（TGImD）を禁止 1：割り込み（TGImD）を許可 （m=0, 3, 6, 9）	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み（TCImV）を禁止 1：割り込み（TCImV）を許可 （m=0～11）	R/W
b5	TCIEU （注2）	アンダフロー割り込み許可ビット	0：割り込み（TCImU）を禁止 1：割り込み（TCImU）を許可 （m=1, 2, 4, 5, 7, 8, 10, 11）	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TTGE （注3）	A/D変換開始要求許可ビット	0：A/D変換開始要求の発生を禁止 1：A/D変換開始要求の発生を許可	R/W

注1.　ユニット0のTPU1.TIER、TPU2.TIER、TPU4.TIER、TPU5.TIERレジスタ、ユニット1のTPU7.TIER、TPU8.TIER、TPU10.TIER、TPU11.TIERレジスタのb3、b2は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2.　ユニット0のTPU0.TIER、TPU3.TIERレジスタ、ユニット1のTPU6.TIER、TPU9.TIERレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注3.　ユニット0のTPU5.TIERレジスタおよびユニット1のTPU6.TIER～TPU11.TIERレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット（A/D 変換開始要求許可ビット）

TPUm.TGRA レジスタ（m=0 ～ 11）のインプットキャプチャ / コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

25.2.5　タイマステータスレジスタ（TSR）

アドレス　TPU0.TSR 0008 8115h、TPU1.TSR 0008 8125h、TPU2.TSR 0008 8135h
TPU3.TSR 0008 8145h、TPU4.TSR 0008 8155h、TPU5.TSR 0008 8165h
TPU6.TSR 0008 8185h、TPU7.TSR 0008 8195h、TPU8.TSR 0008 81A5h
TPU9.TSR 0008 81B5h、TPU10.TSR 0008 81C5h、TPU11.TSR 0008 81D5h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インプットキャプチャ / アウトプットコンペアフラグA	0：TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRAのインプットキャプチャまたはコンペアマッチが発生 （m=0～11）	R/W（注2）
b1	TGFB	インプットキャプチャ / アウトプットコンペアフラグB	0：TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRBのインプットキャプチャまたはコンペアマッチが発生 （m=0～11）	R/W（注2）
b2	TGFC（注4）	インプットキャプチャ / アウトプットコンペアフラグC	0：TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRCのインプットキャプチャまたはコンペアマッチが発生 （m=0, 3, 6, 9）	R/W（注2）
b3	TGFD（注4）	インプットキャプチャ / アウトプットコンペアフラグD	0：TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生していない 1：TPUm.TGRDのインプットキャプチャまたはコンペアマッチが発生 （m=0, 3, 6, 9）	R/W（注2）
b4	TCFV	オーバフローフラグ	0：TPUm.TCNTのオーバフローが発生していない 1：TPUm.TCNTのオーバフローが発生 （m=0～11）	R/W（注2）
b5	TCFU（注3）	アンダフローフラグ	0：TPUm.TCNTのアンダフローが発生していない 1：TPUm.TCNTのアンダフローが発生 （m=1, 2, 4, 5, 7, 8, 10 ,11）	R/W（注2）
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD（注1）	カウント方向フラグ	0：TPUm.TCNTカウンタはダウンカウント 1：TPUm.TCNTカウンタはアップカウント （m=1, 2, 4, 5, 7, 8, 10, 11）	R

注1.　TPU0.TSR、TPU3.TSR、TPU6.TSR、TPU9.TSRレジスタのb7は、予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。
注2.　フラグをクリアするための“0”を書くことのみ可能です。
注3.　TPU0.TSR、TPU3.TSR、TPU6.TSR、TPU9.TSRレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注4.　TPU1.TSR、TPU2.TSR、TPU4.TSR、TPU5.TSR、TPU7.TSR、TPU8.TSR、TPU10.TSR、TPU11.TSRレジスタのb2, b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TGFA フラグ（インプットキャプチャ / アウトプットコンペアフラグ A）

TPUm.TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m=0 ～ 11）
[“1” になる条件]

- TPUm.TGRA がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRA になったとき
- TPUm.TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRA に転送されたとき

[“0” になる条件]

- TGImA 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが “0” のとき
- TGFA=1 を読んだ後、TGFA フラグに “0” を書いたとき

TGFB フラグ（インプットキャプチャ / アウトプットコンペアフラグ B）

TPUm.TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m=0 ～ 11）
[“1” になる条件]

- TPUm.TGRB がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRB になったとき
- TPUm.TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRB に転送されたとき

[“0” になる条件]

- TGImB 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが “0” のとき
- TGFB=1 を読んだ後、TGFB フラグに “0” を書いたとき

TGFC フラグ（インプットキャプチャ / アウトプットコンペアフラグ C）

TPUm.TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m=0, 3, 6, 9）
[“1” になる条件]

- TPUm.TGRC がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRC になったとき
- TPUm.TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRC に転送されたとき

[“0” になる条件]

- TGImC 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが “0” のとき
- TGFC=1 を読んだ後、TGFC フラグに “0” を書いたとき

TGFD フラグ（インプットキャプチャ / アウトプットコンペアフラグ D）

TPUm.TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
（m=0, 3, 6, 9）

[“1” になる条件]

- TPUm.TGRD がアウトプットコンペアコンペアレジスタとして機能している場合、TPUm.TCNT=TPUm.TGRD になったとき
- TPUm.TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TPUm.TCNT の値が TPUm.TGRD に転送されたとき

[“0” になる条件]

- TGImD 割り込みにより DTC が起動され、DTC.MRB.DISEL ビットが “0” のとき
- TGFD=1 を読んだ後、TGFD フラグに “0” を書いたとき

TCFV フラグ（オーバフローフラグ）

TPUm.TCNT（m=0 ～ 11）のオーバフローの発生を示すステータスフラグです。

[“1” になる条件]

- TPUm.TCNT の値がオーバフローしたとき（FFFFh → 0000h）

[“0” になる条件]

- TCFV=1 を読んだ後、TCFV フラグに “0” を書いたとき

TCFU フラグ（アンダフローフラグ）

TPUm.TCNT（m=1, 2, 4, 5, 7, 8, 10, 11）のアンダフローの発生を示すステータスフラグです。

[“1” になる条件]

- TPUm.TCNT の値がアンダフローしたとき（0000h → FFFFh）

[“0” になる条件]

- TCFU=1 を読んだ後、TCFU フラグに “0” を書いたとき

25.2.6　タイマカウンタ（TCNT）

アドレス
TPU0.TCNT 0008 8116h、TPU1.TCNT 0008 8126h、TPU2.TCNT 0008 8136h
TPU3.TCNT 0008 8146h、TPU4.TCNT 0008 8156h、TPU5.TCNT 0008 8166h
TPU6.TCNT 0008 8186h、TPU7.TCNT 0008 8196h、TPU8.TCNT 0008 81A6h
TPU9.TCNT 0008 81B6h、TPU10.TCNT 0008 81C6h、TPU11.TCNT 0008 81D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TPUm.TCNT カウンタは、内部クロックまたは外部イベントをカウントできる 16 ビットのカウンタです。
16 ビット単位で読み出し / 書き込みが可能です。
リセット時に “0000h” になります。

25.2.7　タイマジェネラルレジスタ A（TGRA）
タイマジェネラルレジスタ B（TGRB）
タイマジェネラルレジスタ C（TGRC）
タイマジェネラルレジスタ D（TGRD）

アドレス
TPU0.TGRA 0008 8118h、TPU0.TGRB 0008 811Ah、TPU0.TGRC 0008 811Ch、TPU0.TGRD 0008 811Eh
TPU1.TGRA 0008 8128h、TPU1.TGRB 0008 812Ah
TPU2.TGRA 0008 8138h、TPU2.TGRB 0008 813Ah
TPU3.TGRA 0008 8148h、TPU3.TGRB 0008 814Ah、TPU3.TGRC 0008 814Ch、TPU3.TGRD 0008 814Eh
TPU4.TGRA 0008 8158h、TPU4.TGRB 0008 815Ah
TPU5.TGRA 0008 8168h、TPU5.TGRB 0008 816Ah
TPU6.TGRA 0008 8188h、TPU6.TGRB 0008 818Ah、TPU6.TGRC 0008 818Ch、TPU6.TGRD 0008 818Eh
TPU7.TGRA 0008 8198h、TPU7.TGRB 0008 819Ah
TPU8.TGRA 0008 81A8h、TPU8.TGRB 0008 81AAh
TPU9.TGRA 0008 81B8h、TPU9.TGRB 0008 81BAh、TPU9.TGRC 0008 81BCh、TPU9.TGRD 0008 81BEh
TPU10.TGRA 0008 81C8h、TPU10.TGRB 0008 81CAh
TPU11.TGRA 0008 81D8h、TPU11.TGRB 0008 81DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

TPU には、TPU0、3、6、9 に各 4 本、TPU1、2、4、5、7、8、10、11 に各 2 本、計 32 本のタイマジェネラルレジスタがあります。

TPUm.TGRA（m=0 ～ 11）、TPUm.TGRB（m=0 ～ 11）、TPUm.TGRC（m=0, 3, 6, 9）、TPUm.TGRD（m=0, 3, 6, 9）レジスタは、16 ビットのアウトプットコンペア / インプットキャプチャ兼用のレジスタです。

16 ビット単位で読み出し / 書き込みが可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

25.2.8　タイマスタートレジスタ（TSTR）

- ユニット0（TPUA.TSTR）

アドレス　TPUA.TSTR 0008 8100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：TCNTカウンタのカウント動作は停止 1：TCNTカウンタはカウント動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ユニット1（TPUB.TSTR）

アドレス　TPUB.TSTR 0008 8170h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST11	CST10	CST9	CST8	CST7	CST6
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST6	カウンタスタート6ビット	0：TCNTカウンタのカウント動作は停止 1：TCNTカウンタはカウント動作	R/W
b1	CST7	カウンタスタート7ビット		R/W
b2	CST8	カウンタスタート8ビット		R/W
b3	CST9	カウンタスタート9ビット		R/W
b4	CST10	カウンタスタート10ビット		R/W
b5	CST11	カウンタスタート11ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPUA.TSTR レジスタは、TPU0 ～ 5 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TPUB.TSTR レジスタは、TPU6 ～ 11 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタで TPUm.TCNT カウンタのカウントクロックを設定する場合は、TPUm.TCNT カウンタのカウント動作を停止させてから行ってください。

CSTn ビット（カウンタスタートビット）（n=0 ～ 11）

TCNT カウンタの動作 / 停止を選択します。

CSTn ビットが “1” で、対応する TIOCyn 端子（y = A ～ D、n = 0 ～ 11）が出力状態のときに、CSTn ビットを “0” にするとカウント動作は停止しますが、対応する TIOCyn 端子のアウトプットコンペア出力レベル

は保持されます。

CSTn ビットが “0” のとき、TIORH、TIORL、TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

25.2.9　タイマシンクロレジスタ（TSYR）

- ユニット 0（TPUA.TSYR）

アドレス　TPUA.TSYR 0008 8101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：TCNTカウンタは単独動作 （TCNTカウンタのプリセット/クリアは、他のチャネルとは無関係） 1：TCNTカウンタは同期動作（注1） （TCNTカウンタの同期プリセット/同期クリアが可能）	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　同期動作の設定には、最低2チャネルのSYNCnビット（n = 0～5）を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

- ユニット 1（TPUB.TSYR）

アドレス　TPUB.TSYR 0008 8171h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SYNC11	SYNC10	SYNC9	SYNC8	SYNC7	SYNC6
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC6	タイマ同期6ビット	0：TCNTカウンタは単独動作 （TCNTカウンタのプリセット/クリアは、他のチャネルとは無関係） 1：TCNTカウンタは同期動作（注1） （TCNTカウンタの同期プリセット/同期クリアが可能）	R/W
b1	SYNC7	タイマ同期7ビット		R/W
b2	SYNC8	タイマ同期8ビット		R/W
b3	SYNC9	タイマ同期9ビット		R/W
b4	SYNC10	タイマ同期10ビット		R/W
b5	SYNC11	タイマ同期11ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　同期動作の設定には、最低2チャネルのSYNCnビット（n = 6～11）を“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

TPUA.TSYR レジスタは TPU0 ～ 5 の TCNT カウンタの単独動作または同期動作を選択するレジスタです。

TPUB.TSYR レジスタは TPU6 ～ 11 の TCNT カウンタの単独動作または同期動作を選択するレジスタです。

SYNCn ビット（タイマ同期ビット）（n = 0 ～ 11）

TCNT カウンタが他のチャネルの TCNT カウンタと同期動作をするか、単独動作にするかを選択します。

同期動作を選択すると、複数の TCNT カウンタの同期プリセットや、他のチャネルのカウンタクリアによる同期クリアが可能となります。

25.2.10　ノイズフィルタコントロールレジスタ（NFCR）

アドレス　TPU0.NFCR 0008 8108h、TPU1.NFCR 0008 8109h、TPU2.NFCR 0008 810Ah
TPU3.NFCR 0008 810Bh、TPU4.NFCR 0008 810Ch、TPU5.NFCR 0008 810Dh
TPU6.NFCR 0008 8178h、TPU7.NFCR 0008 8179h、TPU8.NFCR 0008 817Ah
TPU9.NFCR 0008 817Bh、TPU10.NFCR 0008 817Ch、TPU11.NFCR 0008 817Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ許可Aビット	0：TIOCAmのノイズフィルタは停止 1：TIOCAmのノイズフィルタは許可 （m=0～11）	R/W
b1	NFBEN	ノイズフィルタ許可Bビット	0：TIOCBmのノイズフィルタは停止 1：TIOCBmのノイズフィルタは許可 （m=0～11）	R/W
b2	NFCEN（注1）	ノイズフィルタ許可Cビット	0：TIOCCmのノイズフィルタは停止 1：TIOCCmのノイズフィルタは許可 （m=0, 3, 6, 9）	R/W
b3	NFDEN（注1）	ノイズフィルタ許可Dビット	0：TIOCDmのノイズフィルタは停止 1：TIOCDmのノイズフィルタは許可 （m=0, 3, 6, 9）	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	00：PCLK/1 01：PCLK/8 10：PCLK/32 11：カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みはできません	R

注1.　TPU1.NFCR、TPU2.NFCR、TPU4.NFCR、TPU5.NFCR、TPU7.NFCR、TPU8.NFCR、TPU10.NFCR、TPU11.NFCR レジスタの b2, b3は予約ビットです。読むと“0”が読めます。書き込みはできません。

TPUm.NFCR レジスタの設定は、TPUm.TCNT カウンタの動作が停止した状態で行ってください。

NFAEN ビット（ノイズフィルタ許可 A ビット）

TIOCAm 端子のノイズフィルタを許可または停止します。（n=0 ～ 11）

NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ許可 B ビット）

TIOCBm 端子のノイズフィルタを許可または停止します。（n=0 ～ 11）

NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ許可 C ビット）

TIOCCm 端子のノイズフィルタを許可または停止します。（n=0, 3, 6, 9）

NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ許可 D ビット）

TIOCDm 端子のノイズフィルタを許可または停止します。（n=0, 3, 6, 9）

NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロック選択ビット）

ノイズフィルタのサンプリングクロックを選択します。

NFCS[1:0] ビットを “11b” としてカウントソースを選択した場合、サンプリングクロックの対象となるのは、TPSC[2:0] ビットで設定される PCLK/1 以外の内部クロックおよび外部クロックです。カウンタクロックとサンプリングクロックを両方とも PCLK/1 にしたい場合は、NFCS[1:0] ビットを “00b” としてください。

選択されたクロックの立ち上がりエッジでインプットキャプチャ入力信号をサンプリングします。サンプリングしたレベルが 3 回連続して一致した場合に、そのレベルをインプットキャプチャ信号として通過し、一致しない場合は前のレベルを保持します。

NFCS[1:0] ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

25.3　動作説明

25.3.1　概要

各チャネルには、TPUm.TCNT カウンタと TPUm.TGRy レジスタ（y=A ～ D）があります。

TCNT カウンタは、16 ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1)　カウンタの動作

TPUA.TSTR.CSTj ビット（j=0 ～ 5）または TPUB.TSTR.CSTj ビット（j=6 ～ 11）を “1” にすると、対応するチャネルの TCNT カウンタはカウント動作を開始します。

(a)　カウント動作の設定手順例

カウント動作設定手順例を図 25.3 に示します。

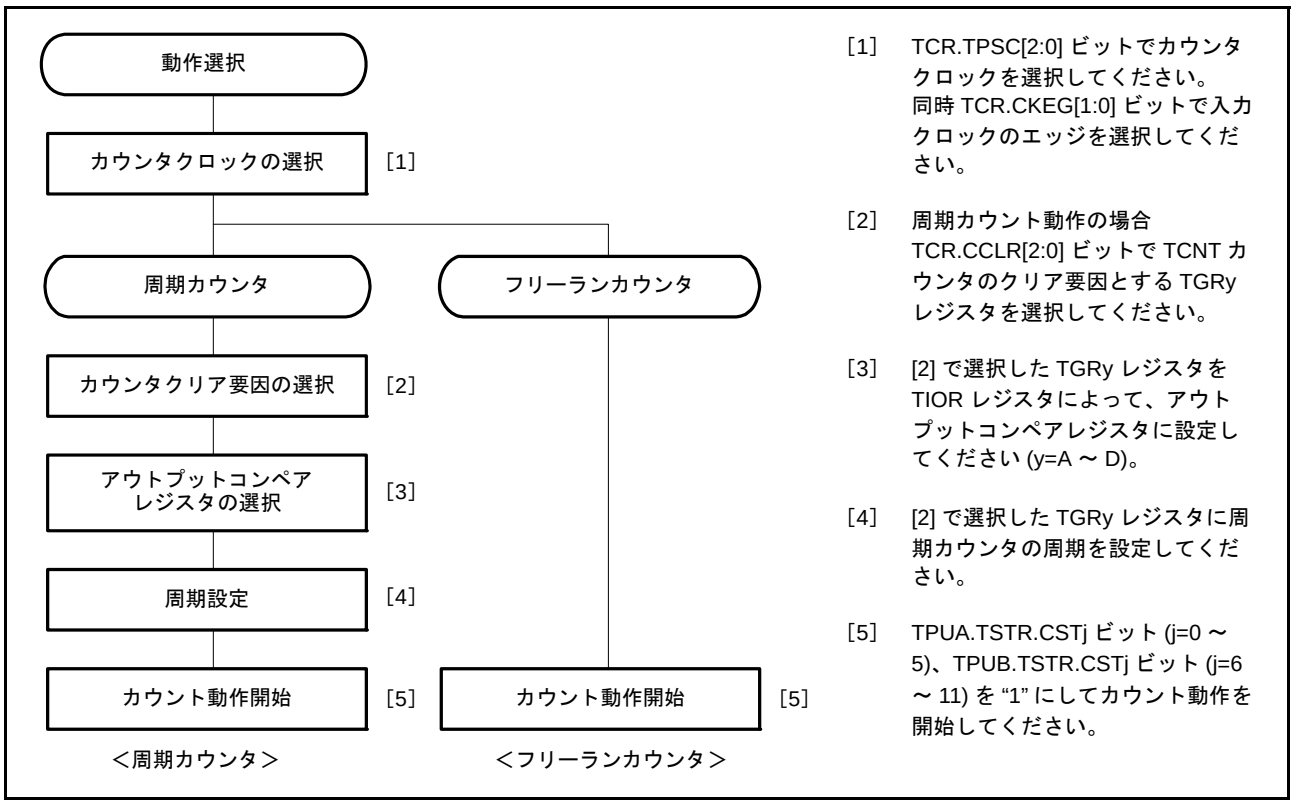


図 25.3　カウント動作設定手順例

(b)　フリーランカウント動作と周期カウント動作

TPUm.TCNT カウンタは、リセット直後はすべてフリーランカウンタの設定となっており、TPUA.TSTR または TPUB.TSTR レジスタの対応するビットを “1” にするとフリーランカウンタとしてアップカウントを開始します。TCNT カウンタがオーバフロー（“FFFFh” → “0000h”）すると、TPU は割り込みを要求します。TCNT カウンタはオーバフロー後、“0000h” からアップカウントを継続します。

フリーランカウンタの動作を図 25.4 に示します。

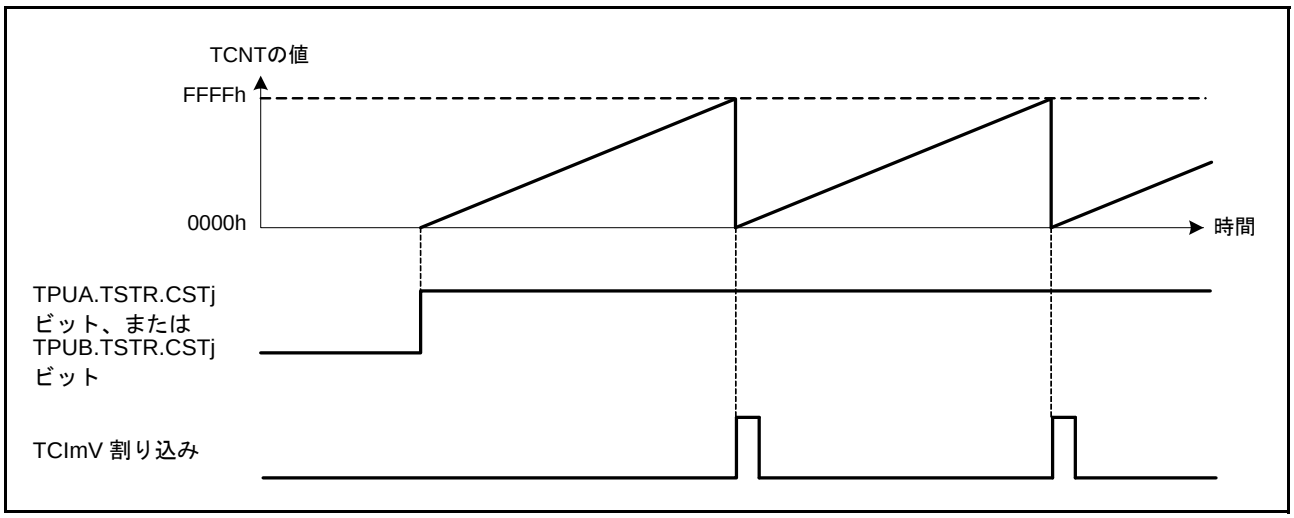


図 25.4　　フリーランカウンタの動作

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT カウンタは周期カウント動作を行います。周期設定用の TPUm.TGRy レジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0] ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TPUA.TSTR または TPUB.TSTR レジスタの対応するビットを “1” にすると、周期カウンタとしてアップカウントを開始します。カウント値が TGRy レジスタの値と一致すると TCNT カウンタは “0000h” になります。

このとき、TPU は割り込みを要求します。TCNT カウンタはコンペアマッチ後、“0000h” からアップカウントを継続します。

周期カウンタの動作を図 25.5 に示します。

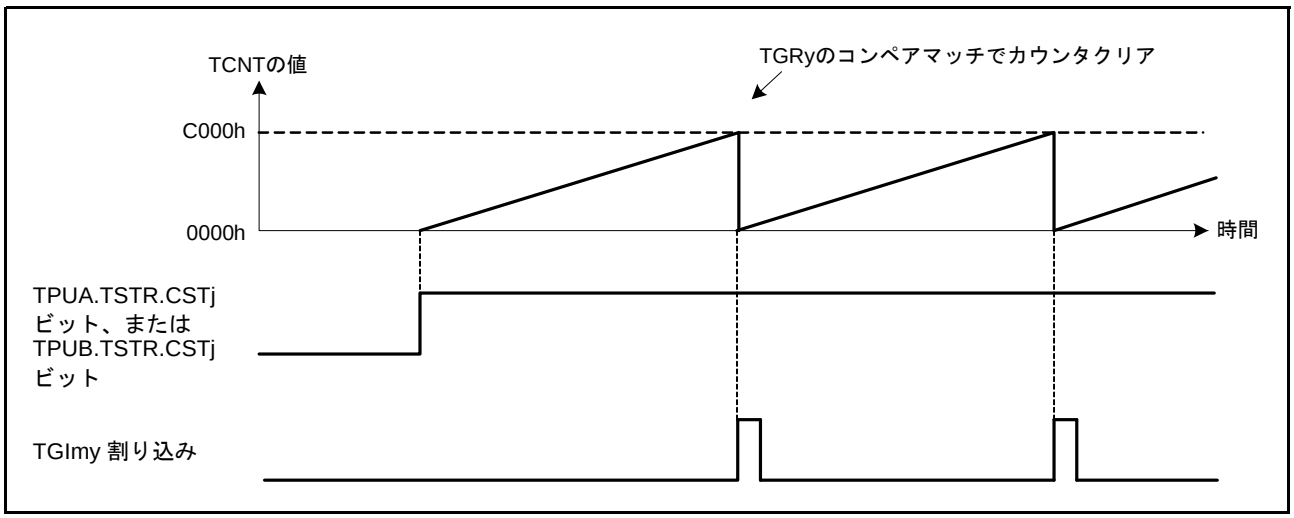


図 25.5　　周期カウンタの動作

(2)　コンペアマッチによる波形出力機能

TPU は、コンペアマッチによって対応する出力端子から Low 出力 /High 出力 / トグル出力を行うことができます。

(a)　コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 25.6 に示します。

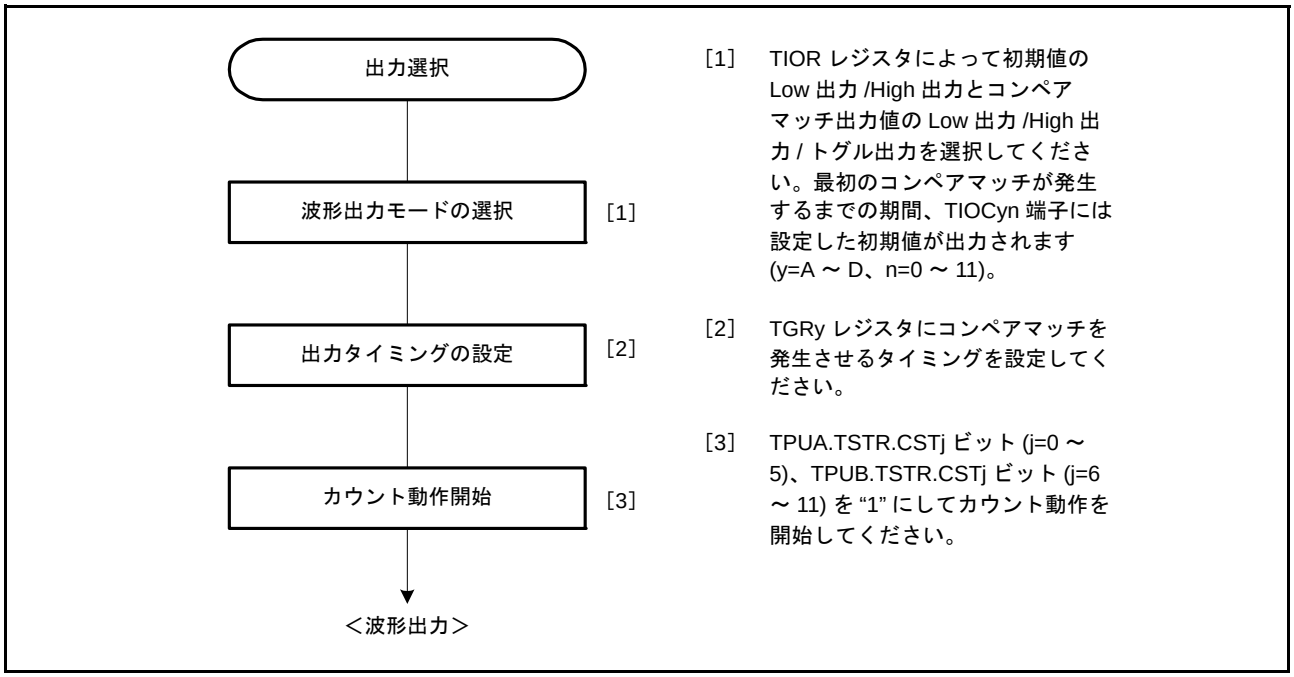


図 25.6　　コンペアマッチによる波形出力動作の設定手順例

(b)　波形出力動作例

Low 出力 /High 出力の動作例を図 25.7 に示します。

TPUm.TCNT をフリーランニングカウント動作とし、コンペアマッチ A で High 出力、コンペアマッチ B で Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

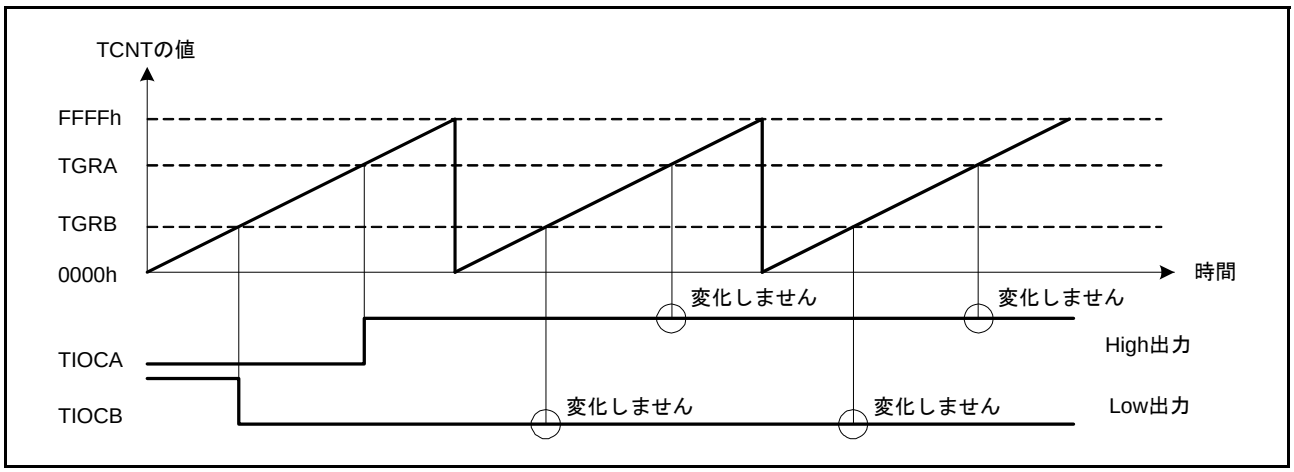


図 25.7　　Low 出力 /High 出力の動作例

トグル出力の動作例を図 25.8 に示します。

TPUm.TCNT カウンタを周期カウント動作（コンペアマッチ B によってカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

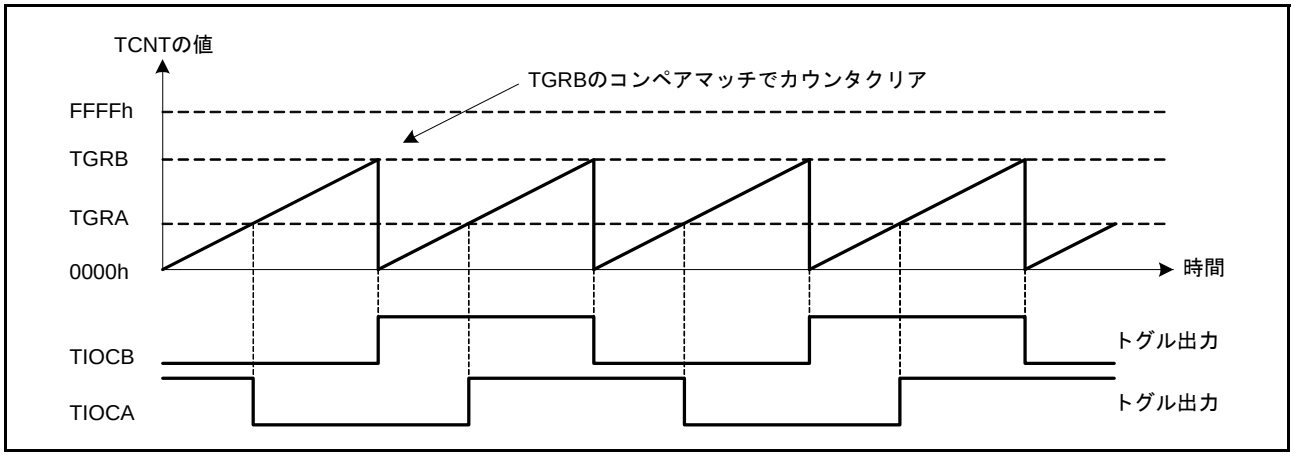


図 25.8　　トグル出力の動作例

(3)　インプットキャプチャ機能

TIOCyn 端子（y=A ～ D、n=0 ～ 11）の入力エッジを検出して TPUm.TCNT カウンタの値を TPUm.TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、TPU0、1、3、4（TPU6、7、9、10）のカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。また、インプットキャプチャ入力にノイズフィルタをかけることができます。

注 .　カウンタが停止していても、インプットキャプチャは発生し、フラグおよび割り込み信号を生成します。

注 .　TPU0、3（TPU6、9）で別のチャネルのカウンタ入力クロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウンタ入力クロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インプットキャプチャは発生しません。

(a)　インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 25.9 に示します。

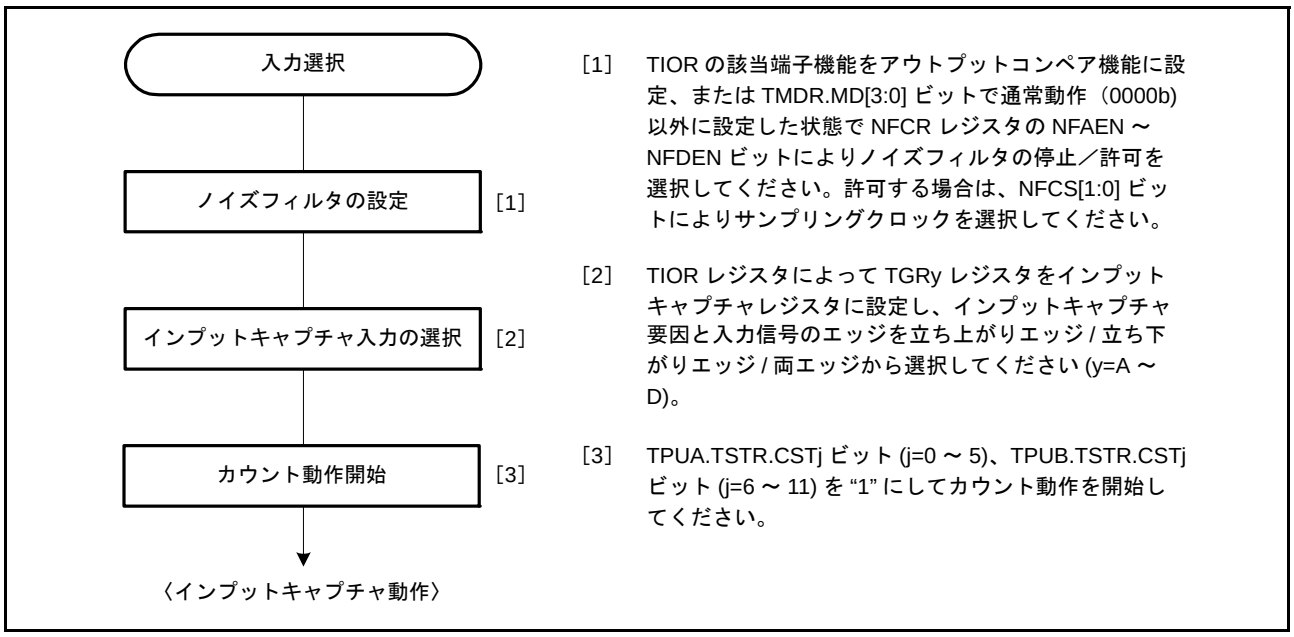


図 25.9　　インプットキャプチャ動作の設定手順例

(b)　インプットキャプチャ動作例

ノイズフィルタを停止した場合のインプットキャプチャ動作例を図 25.10 に示します。

TIOCAn 端子のインプットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また TIOCBn 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TPUm.TCNT カウンタは TPUm.TGRB レジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

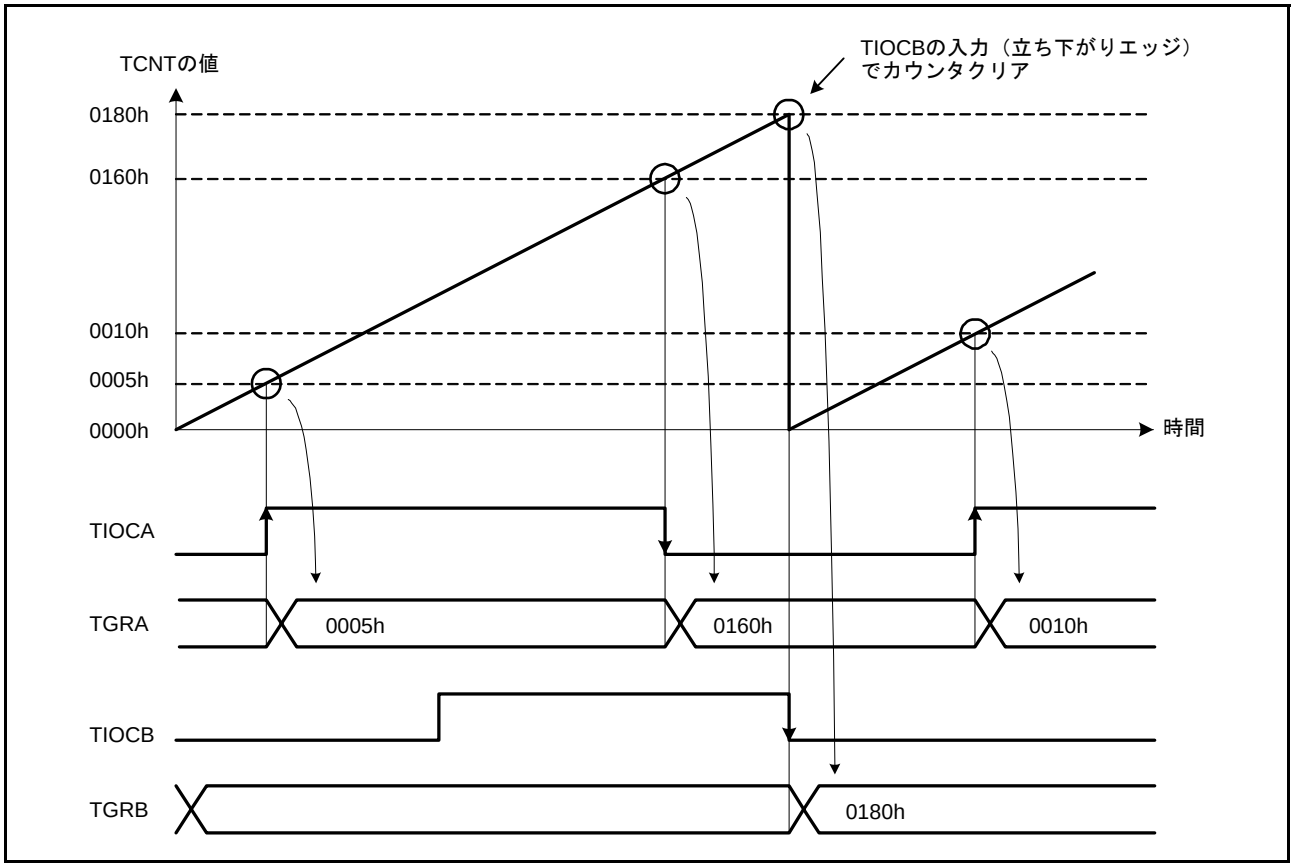


図 25.10　インプットキャプチャ動作例（ノイズフィルタ停止）

ノイズフィルタを許可した場合は、インプットキャプチャ入力に対するノイズフィルタリングによって、「最短サンプリングサイクル ×2 ＋ PCLK」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

25.3.2　同期動作

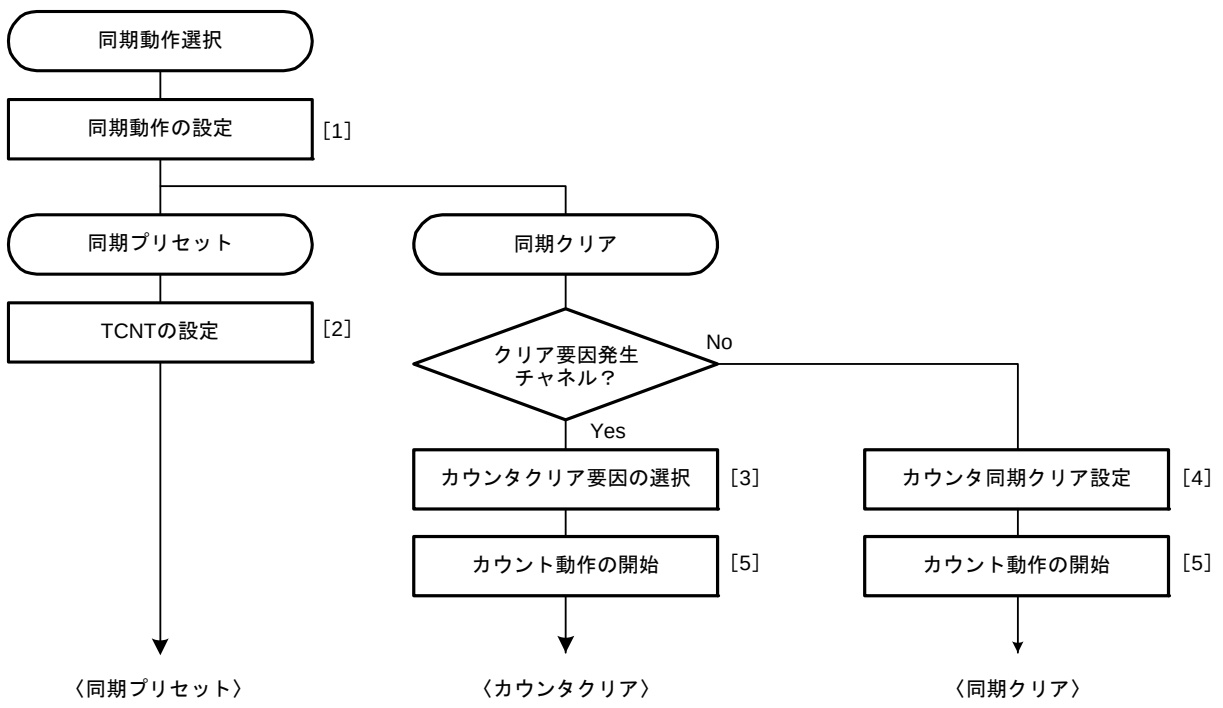
同期動作を使って、複数の TPUm.TCNT カウンタの値を同時に書き替えることができます（同期プリセット）。また、TPUm.TCR レジスタの設定によって複数の TCNT カウンタを同時にクリアすることができます（同期クリア）。

同期動作によって、1 つのタイムベースに対して TPUm.TGRy レジスタを増加させることができます。

TPU0 ～ 5（TPU6 ～ 11）は、すべて同期動作の設定が可能です。

(1)　同期動作の設定手順例

同期動作の設定手順例を図 25.11 に示します。



［1］　同期動作に設定するチャネルに対応した TPUA.TSYR.SYNCj(j=0 ～ 5) ビット、TPUB.TSYR.SYNCj ビット (j=6 ～ 11) を “1” にしてください。

［2］　同期動作に設定したチャネルのいずれかの TCNT に書くと、他の TCNT にも同じ値が同時に書かれます。

［3］　TCR.CCLR[2:0] ビットで、インプットキャプチャ / アウトプットコンペアなどで TCNT をクリアするように設定してください。

［4］　TCR.CCLR[2:0] ビットで、カウンタクリア要因を同期クリアにしてください。

［5］　対象となるチャネルに対応する TPUA.TSTR.CSTj ビット (j=0 ～ 5)、TPUB.TSTR.CSTj ビット (j=6 ～ 11) を “1” にしてカウント動作を開始してください。

図 25.11　同期動作の設定手順例

(2)　同期動作の例

同期動作の動作例を図 25.12 に示します。

TPU0 ～ 2 を同期動作かつ PWM モード 1 に設定し、TPU0 のカウンタクリア要因を TPU0.TGRB レジスタのコンペアマッチ、また TPU1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、TPU0 ～ 2 の TPUm.TCNT は同期プリセット、TPU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「25.3.5　PWM モード」を参照してください。

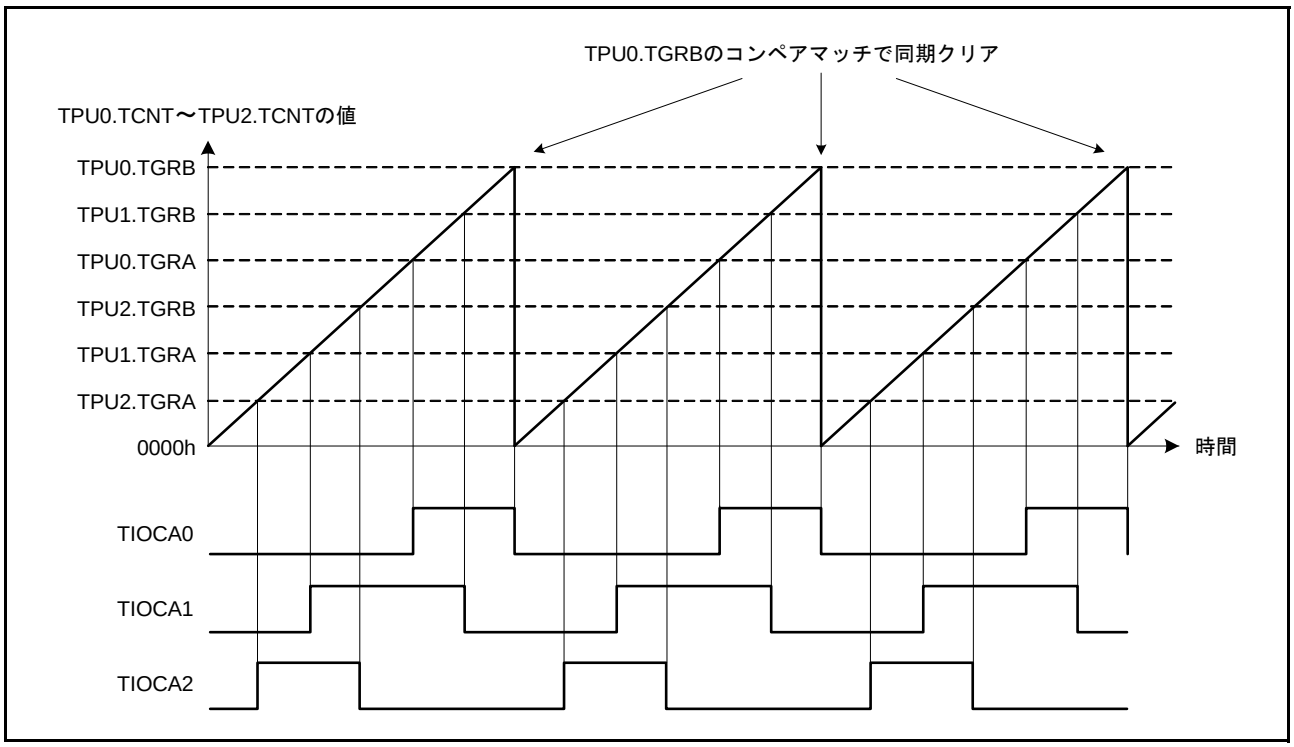


図 25.12　同期動作の動作例

25.3.3　バッファ動作

バッファ動作は、TPU0、3（TPU6、9）が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 25.22 にバッファ動作時のレジスタの組み合わせを示します。

表25.22　レジスタの組み合わせ

ユニット	チャネル	タイマジェネラルレジスタ	バッファレジスタ
0	TPU0	TPU0.TGRA	TPU0.TGRC
		TPU0.TGRB	TPU0.TGRD
	TPU3	TPU3.TGRA	TPU3.TGRC
		TPU3.TGRB	TPU3.TGRD
1	TPU6	TPU6.TGRA	TPU6.TGRC
		TPU6.TGRB	TPU6.TGRD
	TPU9	TPU9.TGRA	TPU9.TGRC
		TPU9.TGRB	TPU9.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を**図 25.13** に示します。

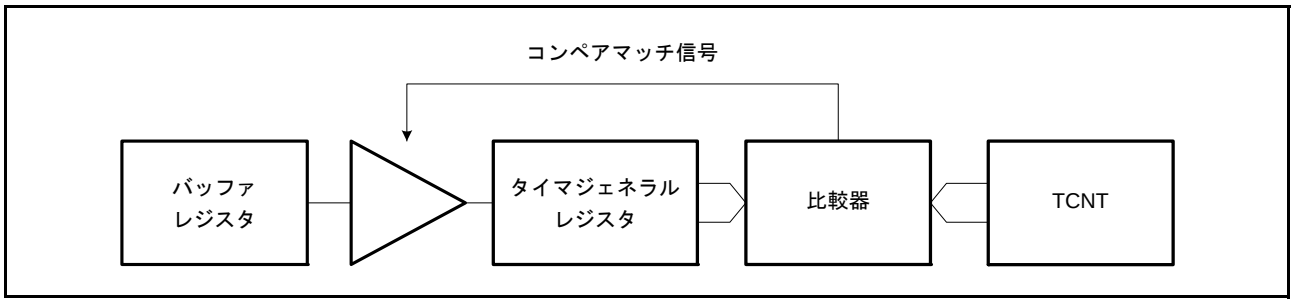


図 25.13　コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT カウンタの値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を**図 25.14** に示します。

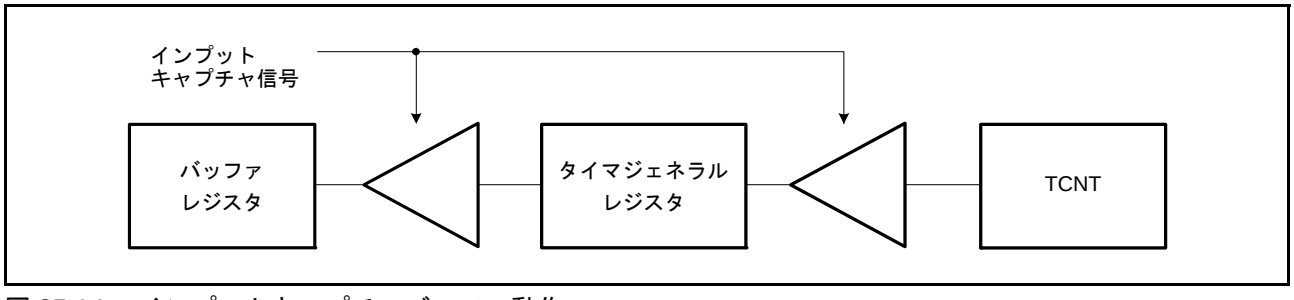


図 25.14　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 25.15 に示します。

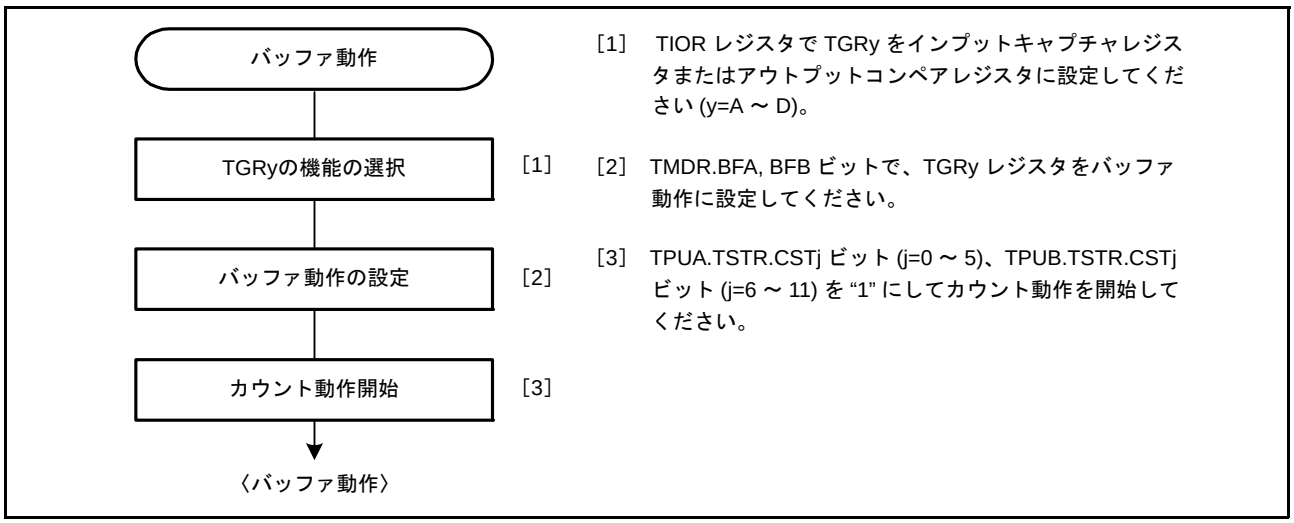


図 25.15　バッファ動作の設定手順例

(2)　バッファ動作例

(a)　TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0 を PWM モード 1 に設定し、TPU0.TGRA レジスタと TPU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 25.16 に示します。TPU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、TPU0.TGRC レジスタの値が TPU0.TGRA レジスタに転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「25.3.5　PWM モード」を参照してください。

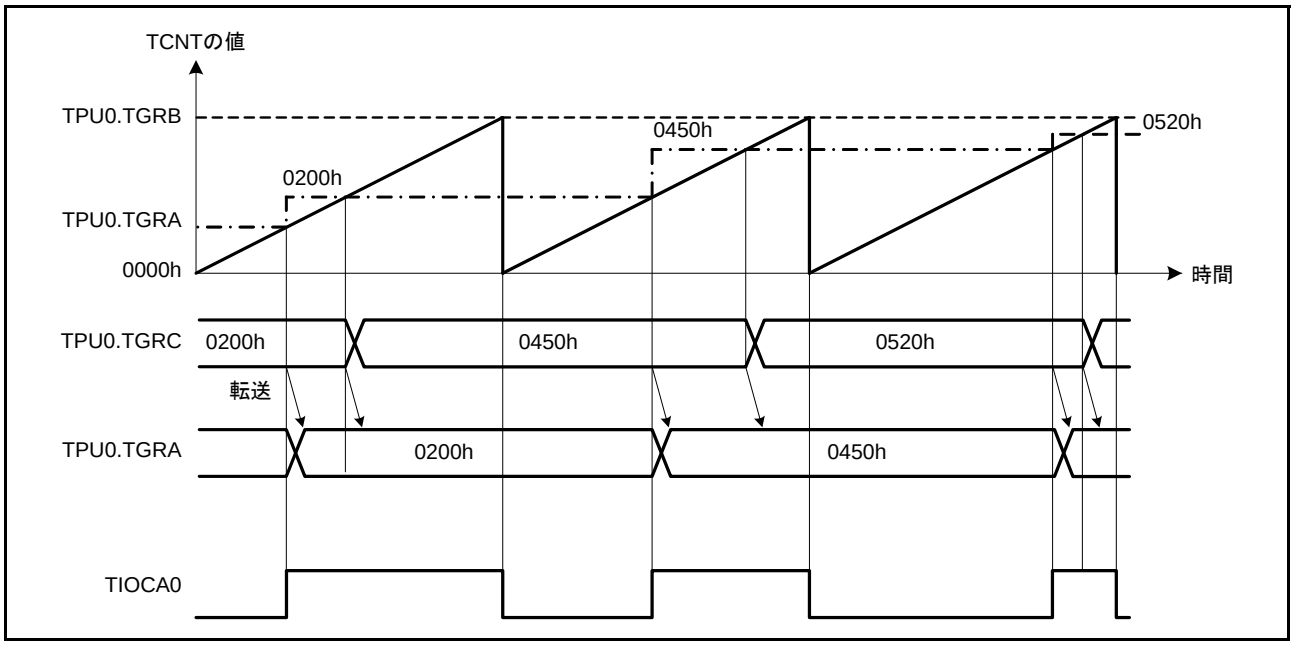


図 25.16　バッファ動作例（1）

(b)　TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 25.17 に示します。

TPUm.TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCAn 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

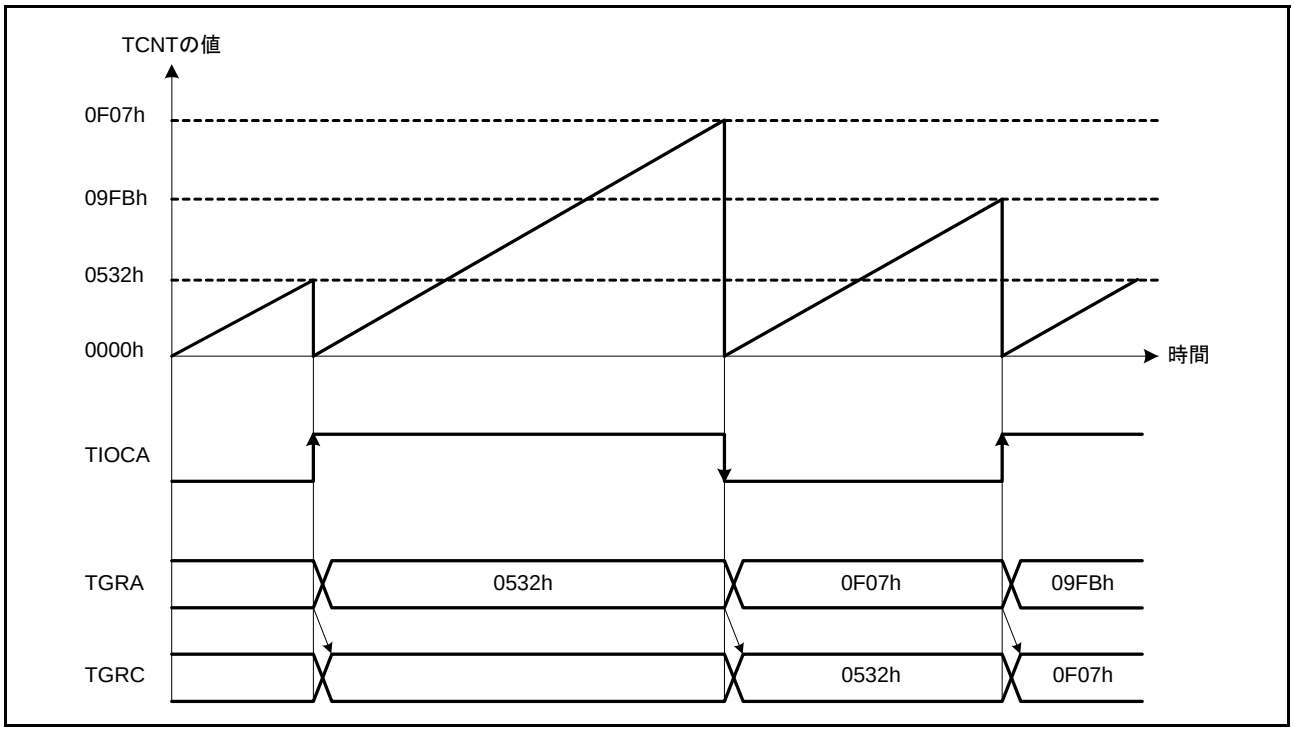


図 25.17　バッファ動作例（2）

25.3.4　カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

ユニット 0 の場合、TPU1（TPU4）のカウンタクロックを TPU1.TCR.TPSC[2:0]（TPU4.TCR.TPSC[2:0]）ビットで、TPU2.TCNT（TPU5.TCNT）カウンタのオーバフロー / アンダフローでカウントに設定することによって動作します。

ユニット 1 の場合、TPU7（TPU10）のカウンタクロックを TPU7.TCR.TPSC[2:0]（TPU10.TCR.TPSC[2:0]）ビットで、TPU8.TCNT（TPU11.TCNT）カウンタのオーバフロー / アンダフローでカウントに設定することによって動作します。

アンダフローが発生するのは、下位 16 ビットの TPUm.TCNT カウンタが位相計数モードのときのみです。

表 25.23 にカスケード接続組み合わせを示します。

注 .　TPU1, 4（TPU7, 10）を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 25.23　カスケード接続組み合わせ

ユニット	組み合わせ	上位 16 ビット	下位 16 ビット
0	TPU1 と TPU2	TPU1.TCNT	TPU2.TCNT
	TPU4 と TPU5	TPU4.TCNT	TPU5.TCNT
1	TPU7 と TPU8	TPU7.TCNT	TPU8.TCNT
	TPU10 と TPU11	TPU10.TCNT	TPU11.TCNT

(1)　カスケード接続動作の設定手順例

カスケード接続動作設定手順例を**図 25.18** に示します。

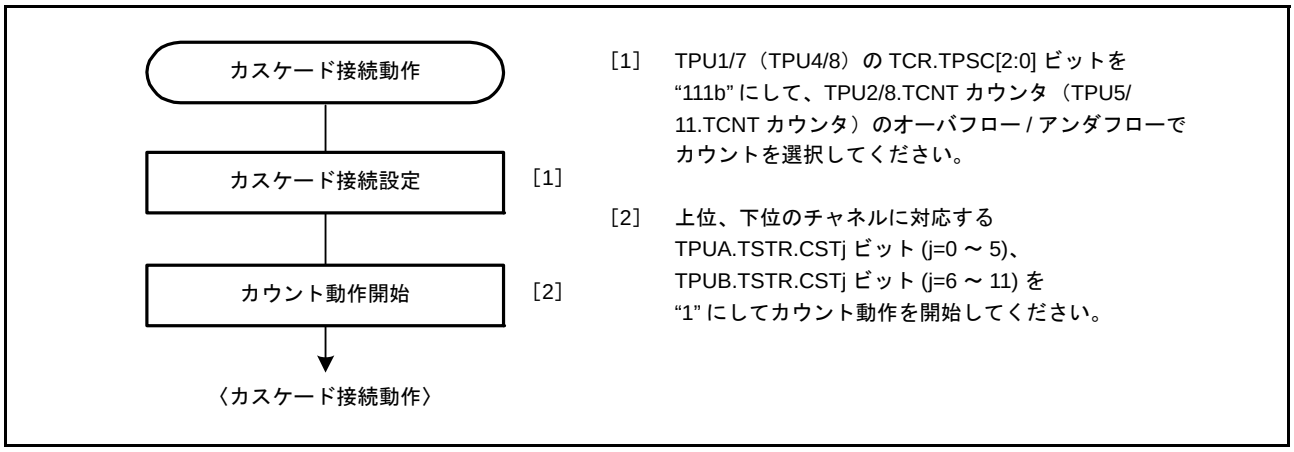


図 25.18　カスケード接続動作設定手順例

(2)　カスケード接続動作例

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー / アンダフローでカウント、TPU1.TGRA レジスタと TPU2.TGRA レジスタをインプットキャプチャレジスタに設定し、TIOCA1 端子と TIOCA2 端子の立ち上がりエッジを選択したときの動作を**図 25.19** に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRA レジスタに上位 16 ビット、TPU2.TGRA レジスタに下位 16 ビットの 32 ビットデータが転送されます。

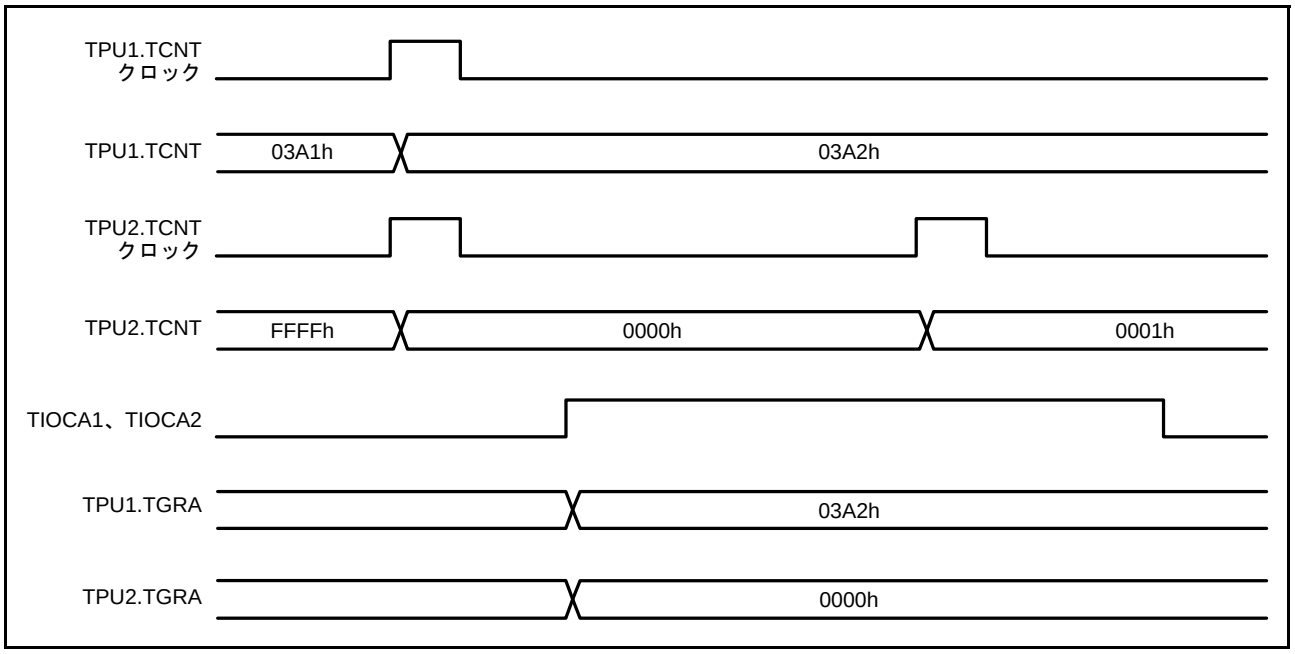


図 25.19　カスケード接続動作例（1）

TPU1.TCNT カウンタは TPU2.TCNT カウンタのオーバフロー / アンダフローでカウント、TPU2 を位相計数モードに設定したときの動作を**図 25.20** に示します。

TPU1.TCNT カウンタは、TPU2.TCNT カウンタのオーバフローでアップカウント、TPU2.TCNT カウンタのアンダフローでダウンカウントされます。

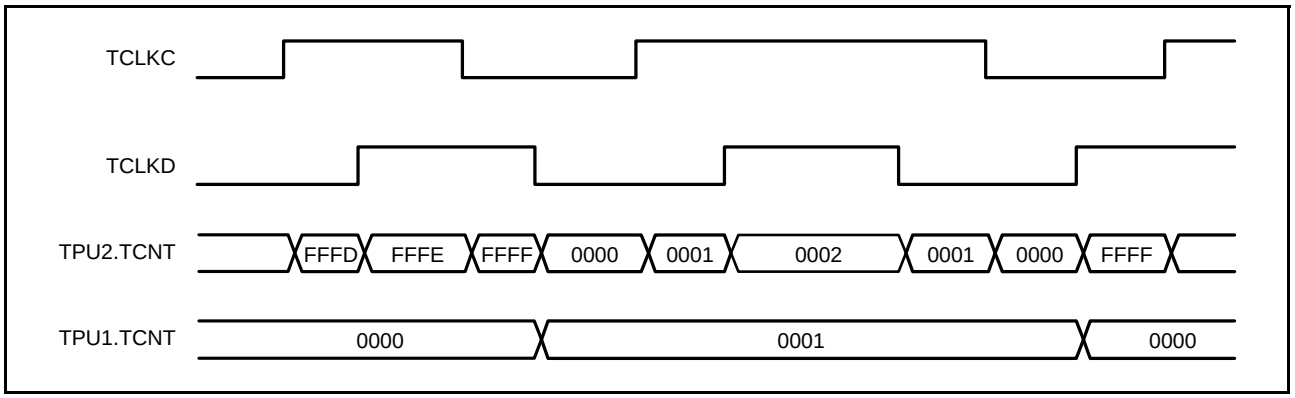


図 25.20　カスケード接続動作例（2）

25.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TPUm.TGRy レジスタのコンペアマッチによる出力レベルは Low 出力 /High 出力 / トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ比 0 ～ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

1. PWM モード 1

   TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCAn、TIOCCn 端子から PWM 波形を出力します。TIOCAn、TIOCCn 端子からコンペアマッチ A、C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA レジスタ、TGRC レジスタに設定した値になります。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

   PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

   TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH、TIORL、TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

   PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 波形の出力が可能です。

PWMの出力端子とレジスタの対応を表25.24に示します。

表25.24　各PWM出力のレジスタと出力端子

ユニット	チャネル	レジスタ	出力端子	
			PWMモード1	PWMモード2
0	TPU0	TPU0.TGRA	TIOCA0	TIOCA0
		TPU0.TGRB		TIOCB0
		TPU0.TGRC	TIOCC0	TIOCC0
		TPU0.TGRD		TIOCD0
	TPU1	TPU1.TGRA	TIOCA1	TIOCA1
		TPU1.TGRB		TIOCB1
	TPU2	TPU2.TGRA	TIOCA2	TIOCA2
		TPU2.TGRB		TIOCB2
	TPU3	TPU3.TGRA	TIOCA3	TIOCA3
		TPU3.TGRB		TIOCB3
		TPU3.TGRC	TIOCC3	TIOCC3
		TPU3.TGRD		TIOCD3
	TPU4	TPU4.TGRA	TIOCA4	TIOCA4
		TPU4.TGRB		TIOCB4
	TPU5	TPU5.TGRA	TIOCA5	TIOCA5
		TPU5.TGRB		TIOCB5
1	TPU6	TPU6.TGRA	TIOCA6	TIOCA6
		TPU6.TGRB		TIOCB6
		TPU6.TGRC	TIOCC6	TIOCC6
		TPU6.TGRD		TIOCD6
	TPU7	TPU7.TGRA	TIOCA7	TIOCA7
		TPU7.TGRB		TIOCB7
	TPU8	TPU8.TGRA	TIOCA8	TIOCA8
		TPU8.TGRB		TIOCB8
	TPU9	TPU9.TGRA	TIOCA9	TIOCA9
		TPU9.TGRB		TIOCB9
		TPU9.TGRC	TIOCC9	TIOCC9
		TPU9.TGRD		TIOCD9
	TPU10	TPU10.TGRA	TIOCA10	TIOCA10
		TPU10.TGRB		TIOCB10
	TPU11	TPU11.TGRA	TIOCA11	TIOCA11
		TPU11.TGRB		TIOCB11

注.　PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1)　PWM モードの設定手順例

PWM モードの設定手順例を図 25.21 に示します。

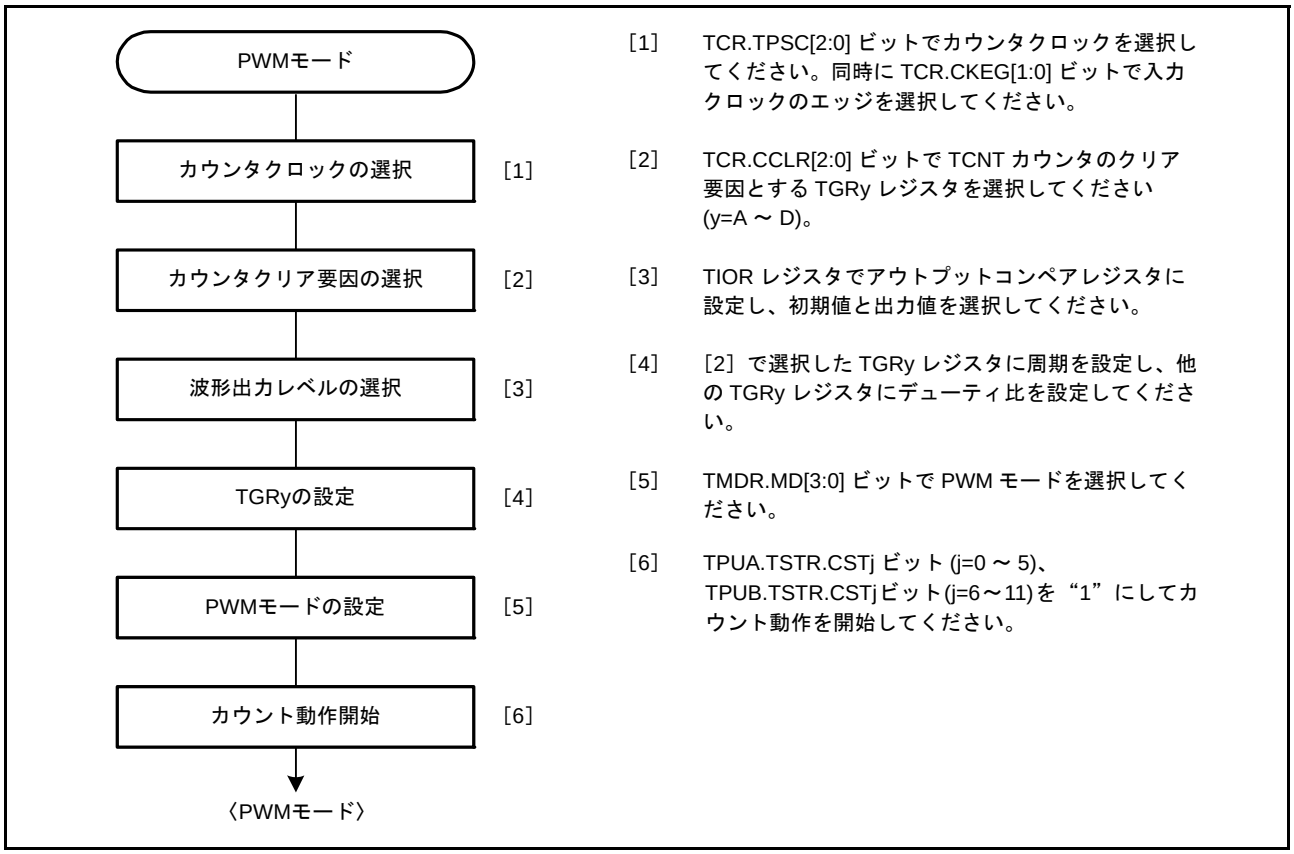


図 25.21　PWM モードの設定手順例

(2)　PWM モードの動作例

PWM モード 1 の動作例を図 25.22 に示します。

この図は、TPUm.TCNT カウンタのクリア要因を TPUm.TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を “0”、TPUm.TGRB レジスタの出力値を “1” に設定した場合の例です。

この場合、TGRA レジスタで周期を設定し、TGRB レジスタでデューティ比を設定しています。

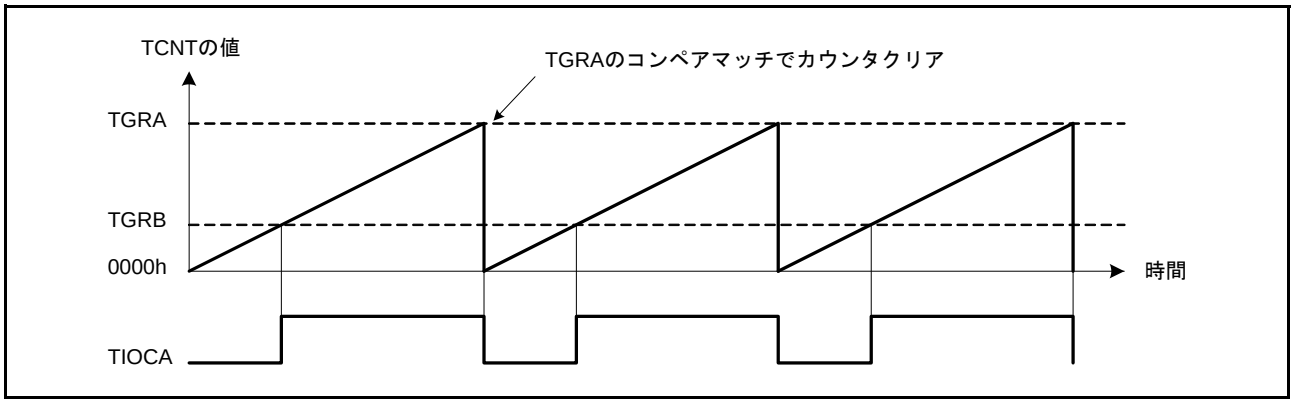


図 25.22　PWM モードの動作例（1）

PWM モード 2 の動作例を図 25.23 に示します。

この図は、TPU0 と 1 を同期動作させ、TPUm.TCNT カウンタのクリア要因を TPU1.TGRB のコンペアマッチとし、他の TPUm.TGRy レジスタ（TPU0.TGRA ～ TPU0.TGRD、TPU1.TGRA）の初期出力値を “Low”、出力値を “High” にして 5 相の PWM 波形を出力させた場合の例です。

この場合、TPU1.TGRB レジスタに設定した値が周期となり、他の TGRy レジスタに設定した値がデューティ比になります。

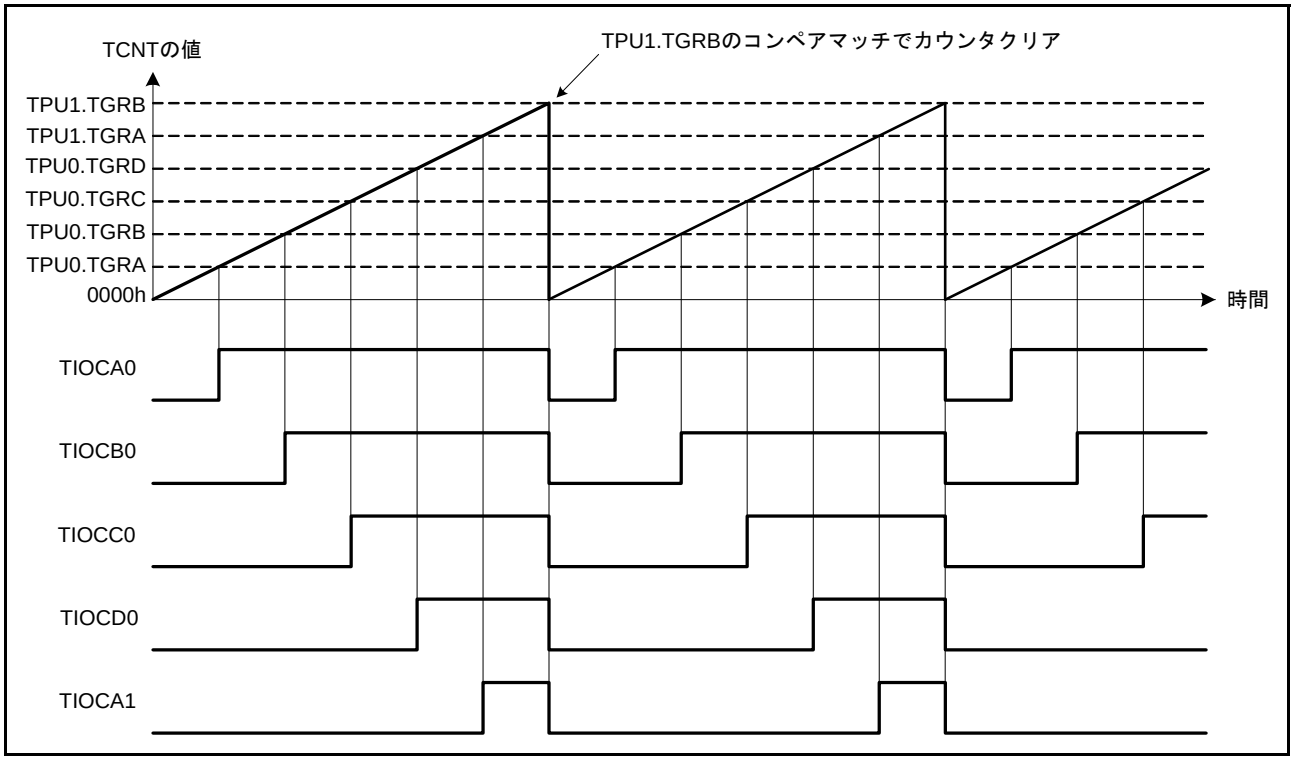


図 25.23　PWM モードの動作例（2）

PWMモードで、デューティ比0%、デューティ比100%のPWM波形を出力する例を図25.24に示します。

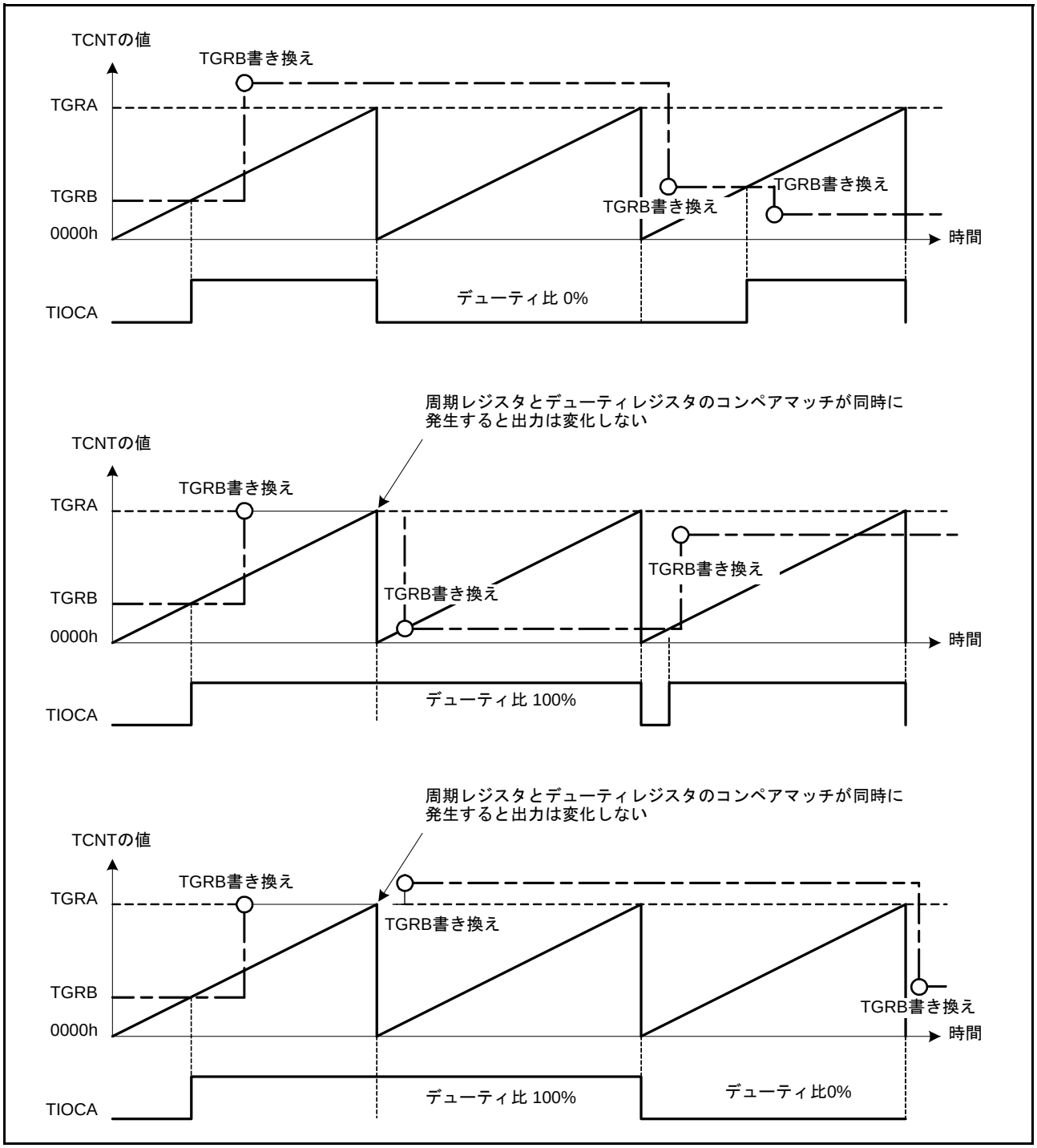


図 25.24　PWM モード動作例（3）

25.3.6　位相計数モード

位相計数モードでは、ユニット 0 ではチャネル 1、2、4、5（ユニット 1 ではチャネル 7、8、10、11）の設定によって、2 本の外部クロック入力の位相差を検出し、TPUm.TCNT カウンタをアップカウント / ダウンカウントします。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT カウンタはアップカウント / ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0] ビットの下位 2 ビット、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタ、TPUm.TIER レジスタ、TPUm.TGRy レジスタの機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生するとすると TCIV 割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU 割り込み要求が発生します。TPUm.TSR.TCFD フラグはカウント方向フラグです。TCFD フラグを読むことにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

表 25.25 に外部クロック端子とチャネルの対応を示します。

表 25.25　位相計数モードクロック入力端子

ユニット	チャネル	外部クロック端子	
		A 相	B 相
0	TPU1 または TPU5 を位相計数モードとするとき	TCLKA	TCLKB
	TPU2 または TPU4 を位相計数モードとするとき	TCLKC	TCLKD
1	TPU7 または TPU11 を位相計数モードとするとき	TCLKE	TCLKF
	TPU8 または TPU10 を位相計数モードとするとき	TCLKG	TCLKH

(1)　位相計数モードの設定手順例

位相計数モードの設定手順例を図 25.25 に示します。

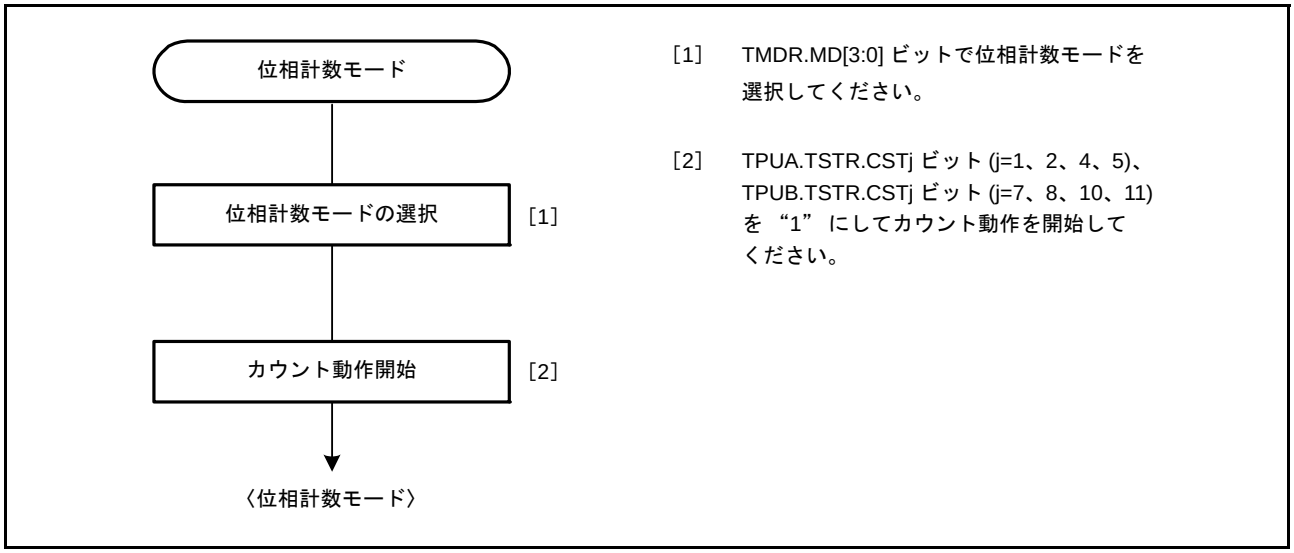


図 25.25　位相計数モードの設定手順例

(2)　位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TPUm.TCNT がアップカウント / ダウンカウントします。なお、カウント条件により 4 つのモードがあります。

(a)　位相計数モード 1

位相計数モード 1 の動作例を**図 25.26** に、TPUm.TCNT のアップカウント / ダウンカウント条件を**表 25.26** に示します。

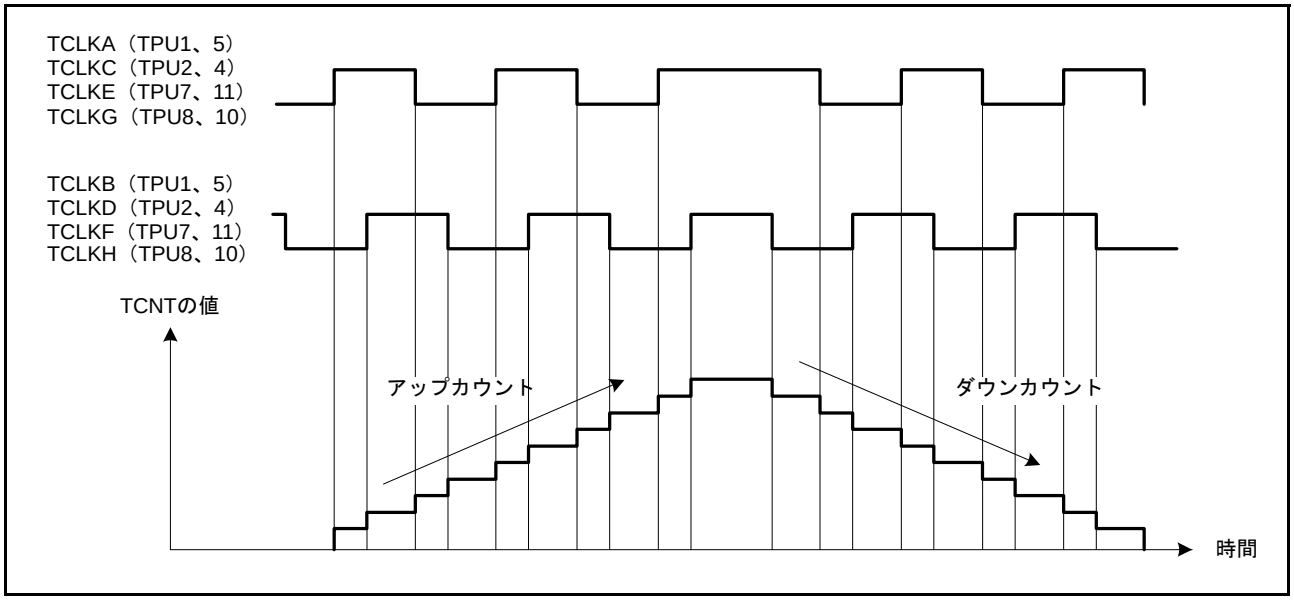


図 25.26　位相計数モード 1 の動作例

表 25.26　位相計数モード 1 のアップカウント / ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4） TCLKE（TPU7、11） TCLKG（TPU8、10）	TCLKB（TPU1、5） TCLKD（TPU2、4） TCLKF（TPU7、11） TCLKH（TPU8、10）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

(b)　位相計数モード 2

位相計数モード 2 の動作例を図 25.27 に、TPUm.TCNT のアップカウント / ダウンカウント条件を表 25.27 に示します。

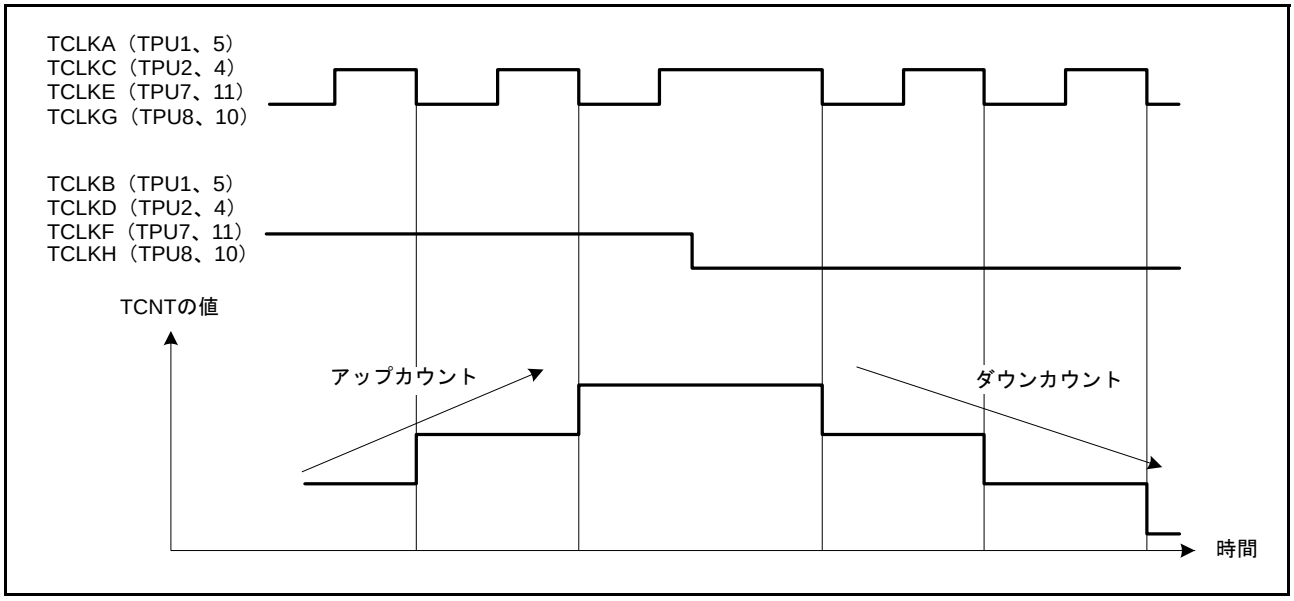


図 25.27　位相計数モード 2 の動作例

表 25.27　位相計数モード 2 のアップカウント / ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4） TCLKE（TPU7、11） TCLKG（TPU8、10）	TCLKB（TPU1、5） TCLKD（TPU2、4） TCLKF（TPU7、11） TCLKH（TPU8、10）	動作内容
High	↑	Don’t care
Low	↓	Don’t care
↑	Low	Don’t care
↓	High	アップカウント
High	↓	Don’t care
Low	↑	Don’t care
↑	High	Don’t care
↓	Low	ダウンカウント

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

(c)　位相計数モード 3

位相計数モード 3 の動作例を図 25.28 に、TPUm.TCNT のアップカウント / ダウンカウント条件を表 25.28 に示します。

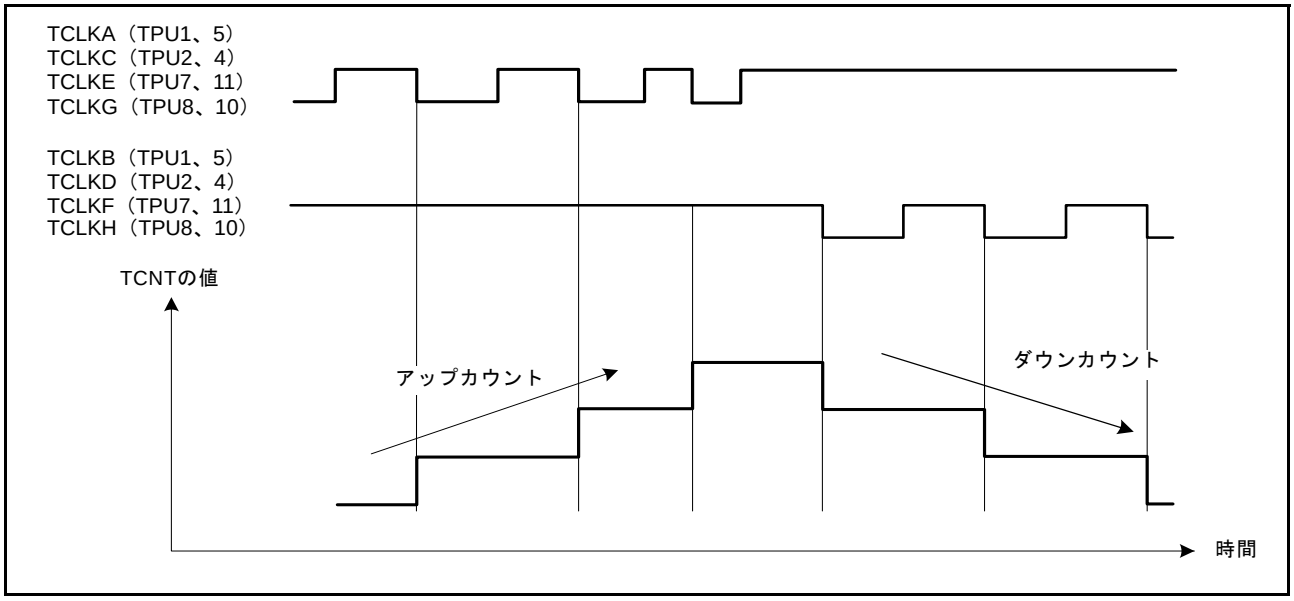


図 25.28　位相計数モード 3 の動作例

表 25.28　位相計数モード 3 のアップカウント / ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4） TCLKE（TPU7、11） TCLKG（TPU8、10）	TCLKB（TPU1、5） TCLKD（TPU2、4） TCLKF（TPU7、11） TCLKH（TPU8、10）	動作内容
High	↑	Don’t care
Low	↓	Don’t care
↑	Low	Don’t care
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	Don’t care
↑	High	Don’t care
↓	Low	Don’t care

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

(d)　位相計数モード 4

位相計数モード 4 の動作例を図 25.29 に、TPUm.TCNT のアップカウント / ダウンカウント条件を表 25.29 に示します。

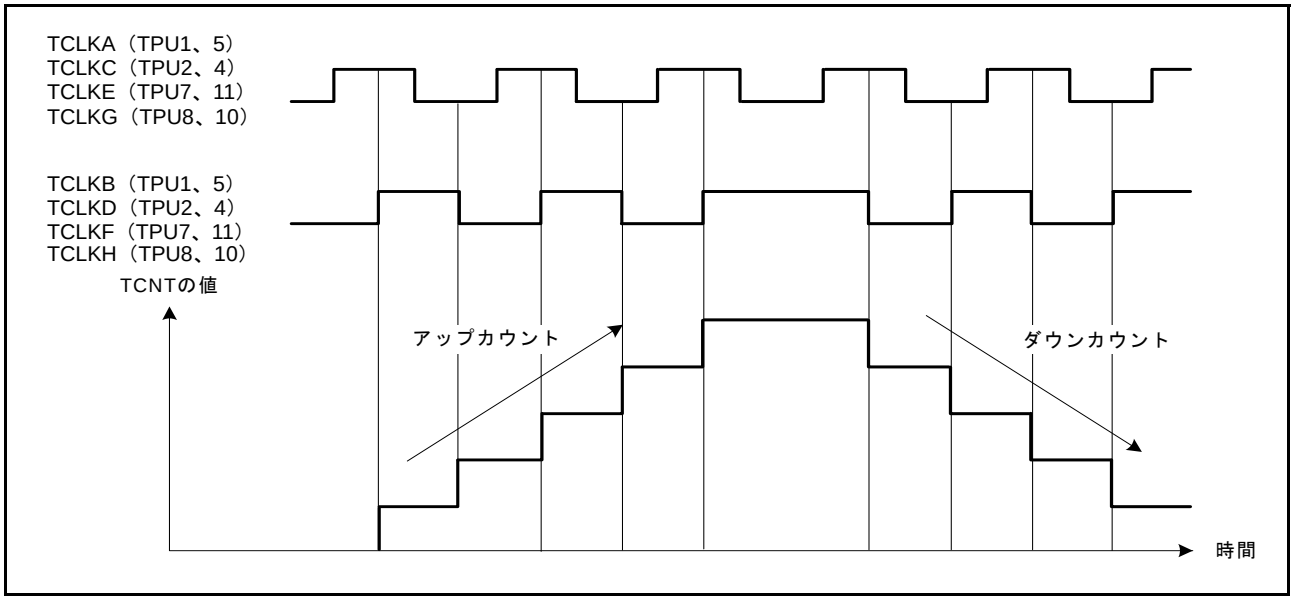


図 25.29　位相計数モード 4 の動作例

表 25.29　位相計数モード 4 のアップカウント / ダウンカウント条件

TCLKA（TPU1、5） TCLKC（TPU2、4） TCLKE（TPU7、11） TCLKG（TPU8、10）	TCLKB（TPU1、5） TCLKD（TPU2、4） TCLKF（TPU7、11） TCLKH（TPU8、10）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	Don’t care
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	Don’t care
↓	Low	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

25.3.6.1　位相計数モード応用例

TPU1 を位相計数モードに設定し、TPU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 25.30 に示します。

TPU1 は位相計数モード 1 に設定し、TCLKA 端子と TCLKB 端子にエンコーダパルスの A 相、B 相を入力します。

TPU0 は TPU0.TCNT カウンタを TPU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRA レジスタと TPU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TPU0.TGRB レジスタはインプットキャプチャ機能で使用し、TPU0.TGRB レジスタと TPU0.TGRD レジスタをバッファ動作させます。TPU0.TGRB レジスタのインプットキャプチャ要因は、TPU1 のカウンタ入力クロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。

TPU1 の TPU1.TGRA レジスタと TPU1.TGRB レジスタは、インプットキャプチャ機能に設定し、インプットキャプチャ要因は TPU0 の TPU0.TGRA レジスタと TPU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウント / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

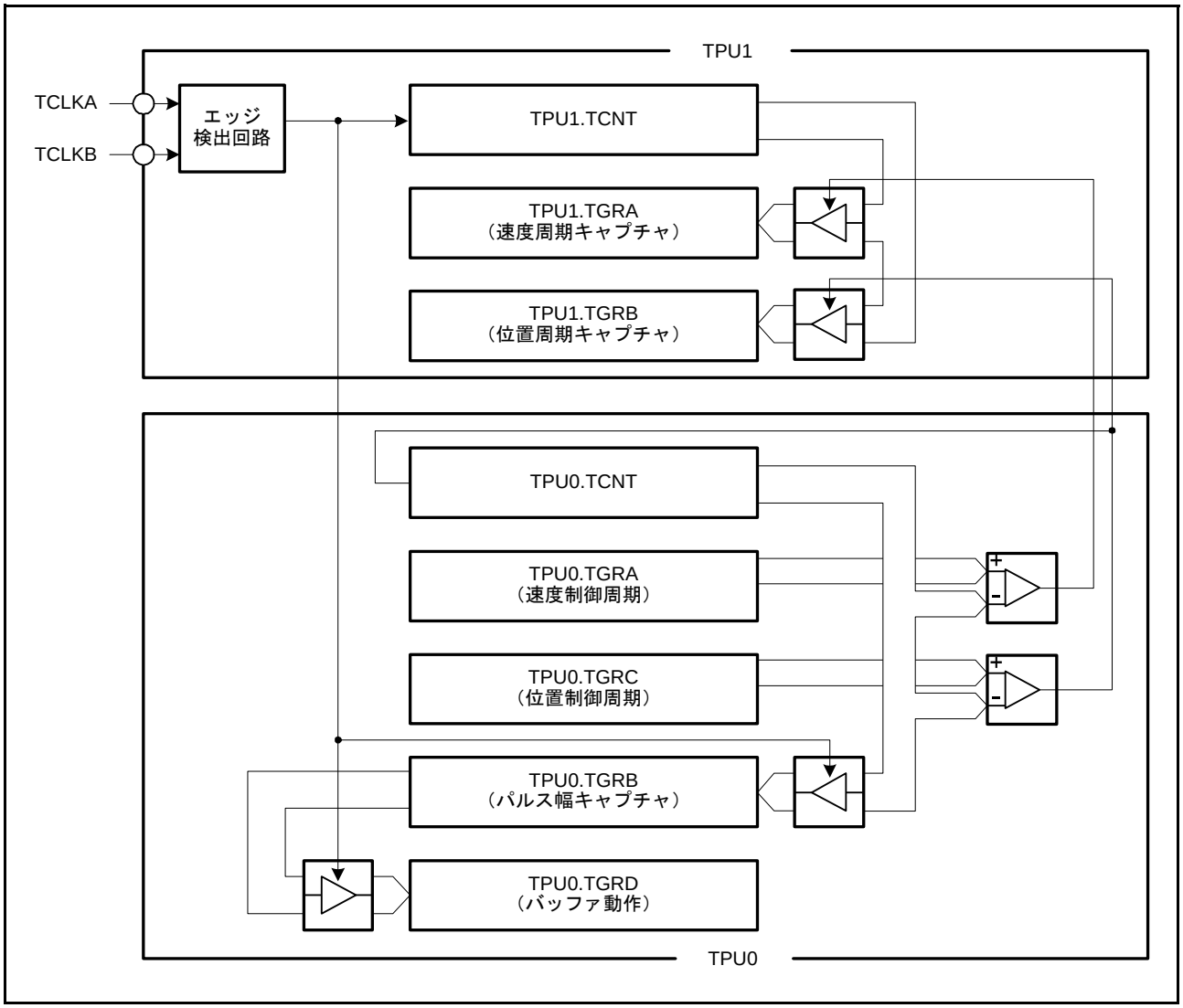


図 25.30　位相計数モードの応用例

25.3.7　ノイズフィルタ機能

TPU のインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで、内部へは同じレベルを伝達し続けます。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可 / 停止が設定できます。また、サンプリングクロックは、チャネル単位での設定が可能です。

図 25.31 にノイズフィルタのタイミングチャートを示します。

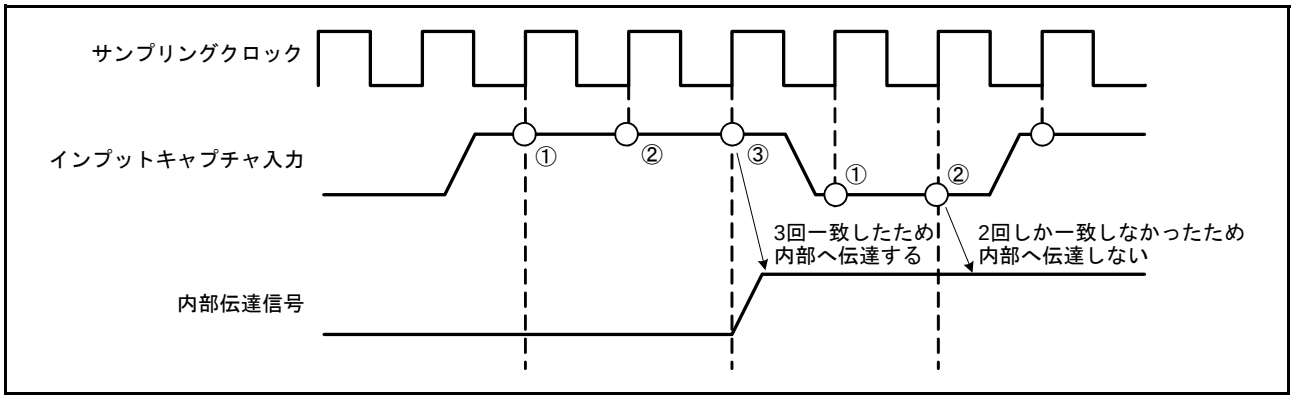


図 25.31　ノイズフィルタのタイミングチャート

25.4　割り込み要因

TPU の割り込み要因には、TPUm.TGRy レジスタのインプットキャプチャ / コンペアマッチ、TPUm.TCNT カウンタのオーバフロー、アンダフローの 3 種類があります。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は変更できません。詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。

表 25.30 に TPU の割り込み要因の一覧を示します。

表 25.30　TPU 割り込み一覧 (1 / 2)

ユニット	チャネル	名称	割り込み要因	DTC の起動	DMAC の起動
0	TPU0	TGI0A	TPU0.TGRA のインプットキャプチャ / コンペアマッチ	可能	可能
		TGI0B	TPU0.TGRB のインプットキャプチャ / コンペアマッチ	可能	不可能
		TGI0C	TPU0.TGRC のインプットキャプチャ / コンペアマッチ	可能	不可能
		TGI0D	TPU0.TGRD のインプットキャプチャ / コンペアマッチ	可能	不可能
		TCI0V	TPU0.TCNT のオーバフロー	不可能	不可能
	TPU1	TGI1A	TPU1.TGRA のインプットキャプチャ / コンペアマッチ	可能	可能
		TGI1B	TPU1.TGRB のインプットキャプチャ / コンペアマッチ	可能	不可能
		TCI1V	TPU1.TCNT のオーバフロー	不可能	不可能
		TCI1U	TPU1.TCNT のアンダフロー	不可能	不可能
	TPU2	TGI2A	TPU2.TGRA のインプットキャプチャ / コンペアマッチ	可能	可能
		TGI2B	TPU2.TGRB のインプットキャプチャ / コンペアマッチ	可能	不可能
		TCI2V	TPU2.TCNT のオーバフロー	不可能	不可能
		TCI2U	TPU2.TCNT のアンダフロー	不可能	不可能
	TPU3	TGI3A	TPU3.TGRA のインプットキャプチャ / コンペアマッチ	可能	可能
		TGI3B	TPU3.TGRB のインプットキャプチャ / コンペアマッチ	可能	不可能
		TGI3C	TPU3.TGRC のインプットキャプチャ / コンペアマッチ	可能	不可能
		TGI3D	TPU3.TGRD のインプットキャプチャ / コンペアマッチ	可能	不可能
		TCI3V	TPU3.TCNT のオーバフロー	不可能	不可能
	TPU4	TGI4A	TPU4.TGRA のインプットキャプチャ / コンペアマッチ	可能	可能
		TGI4B	TPU4.TGRB のインプットキャプチャ / コンペアマッチ	可能	不可能
		TCI4V	TPU4.TCNT のオーバフロー	不可能	不可能
		TCI4U	TPU4.TCNT のアンダフロー	不可能	不可能
	TPU5	TGI5A	TPU5.TGRA のインプットキャプチャ / コンペアマッチ	可能	可能
		TGI5B	TPU5.TGRB のインプットキャプチャ / コンペアマッチ	可能	不可能
		TCI5V	TPU5.TCNT のオーバフロー	不可能	不可能
		TCI5U	TPU5.TCNT のアンダフロー	不可能	不可能

表25.30　TPU割り込み一覧 (2 / 2)

ユニット	チャネル	名称	割り込み要因	DTCの起動	DMACの起動
1	TPU6	TGI6A	TPU6.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI6B	TPU6.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI6C	TPU6.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI6D	TPU6.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI6V	TPU6.TCNTのオーバフロー	不可能	不可能
	TPU7	TGI7A	TPU7.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI7B	TPU7.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI7V	TPU7.TCNTのオーバフロー	不可能	不可能
		TCI7U	TPU7.TCNTのアンダフロー	不可能	不可能
	TPU8	TGI8A	TPU8.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI8B	TPU8.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI8V	TPU8.TCNTのオーバフロー	不可能	不可能
		TCI8U	TPU8.TCNTのアンダフロー	不可能	不可能
	TPU9	TGI9A	TPU9.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI9B	TPU9.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI9C	TPU9.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI9D	TPU9.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI9V	TPU9.TCNTのオーバフロー	不可能	不可能
	TPU10	TGI10A	TPU10.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI10B	TPU10.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI10V	TPU10.TCNTのオーバフロー	不可能	不可能
		TCI10U	TPU10.TCNTのアンダフロー	不可能	不可能
	TPU11	TGI11A	TPU11.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI11B	TPU11.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI11V	TPU11.TCNTのオーバフロー	不可能	不可能
		TCI11U	TPU11.TCNTのアンダフロー	不可能	不可能

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1)　インプットキャプチャ / コンペアマッチ割り込み

各チャネルの TPUm.TGRy レジスタのインプットキャプチャ / コンペアマッチの発生により、TPUm.TIER.TGIEy ビット（y=A, B, C, D）が “1” なら、割り込みを要求します。TPU には、TPU0、3、6、9 に各 4 本、TPU1、2、4、5、7、8、10、11 に各 2 本、計 32 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

(2)　オーバフロー割り込み

各チャネルの TPUm.TCNT カウンタのオーバフローの発生により、TPUm.TIER.TCIEV ビットが “1” なら、割り込みを要求します。TPU には、各チャネルに 1 本、計 12 本のオーバフロー割り込みがあります。

(3)　アンダフロー割り込み

各チャネルの TPUm.TCNT カウンタのアンダフローの発生により、TPUm.TIER.TCIEU ビットが “1” なら、割り込みを要求します。TPU には、TPU1、2、4、5、7、8、10、11 に各 1 本、計 8 本のアンダフロー割り込みがあります。

25.5 DTC の起動

各チャネルの TPUm.TGRy レジスタのインプットキャプチャ / コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「20. データトランスファコントローラ（DTCa）」を参照してください。

TPU では、TPU0、3、6、9 が各 4 本、TPU1、2、4、5、7、8、10、11 が各 2 本、計 32 本のインプットキャプチャ / コンペアマッチ割り込みを DTC の起動要因とすることができます。

25.6 DMAC の起動

各チャネルの TPUm.TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「18. DMA コントローラ（DMACA）」を参照してください。

TPU では、各チャネルに 1 本、計 12 本の TPUm.TGRA レジスタのインプットキャプチャ / コンペアマッチ割り込みを DMAC の起動要因とすることができます。

25.7 A/D コンバータの起動

TPU は、各チャネルの TPUm.TGRA レジスタのインプットキャプチャ / コンペアマッチによって、A/D コンバータを起動することができます。

各チャネルの TPUm.TGRA レジスタのインプットキャプチャ / コンペアマッチが発生したとき、TPUm.TIER.TTGE ビットが “1” なら、TPU は A/D コンバータに対して A/D 変換の開始を要求します。

なお、対応する A/D コンバータのユニットに関しては「43. 10 ビット A/D コンバータ（ADb）」を参照してください。（m=0 ～ 4）

25.8 PPG トリガ

TPU0 ～ TPU3（TPU6 ～ TPU8）の TGRA および TGRB レジスタのインプットキャプチャ / コンペアマッチを、PPG1 の波形生成 トリガにすることができます。

25.9　動作タイミング

25.9.1　　入出力タイミング

(1)　TPUm.TCNT カウンタのカウントタイミング

内部クロック動作の場合の TPUm.TCNT カウンタのカウントタイミングを図 25.32 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 25.33 に示します。

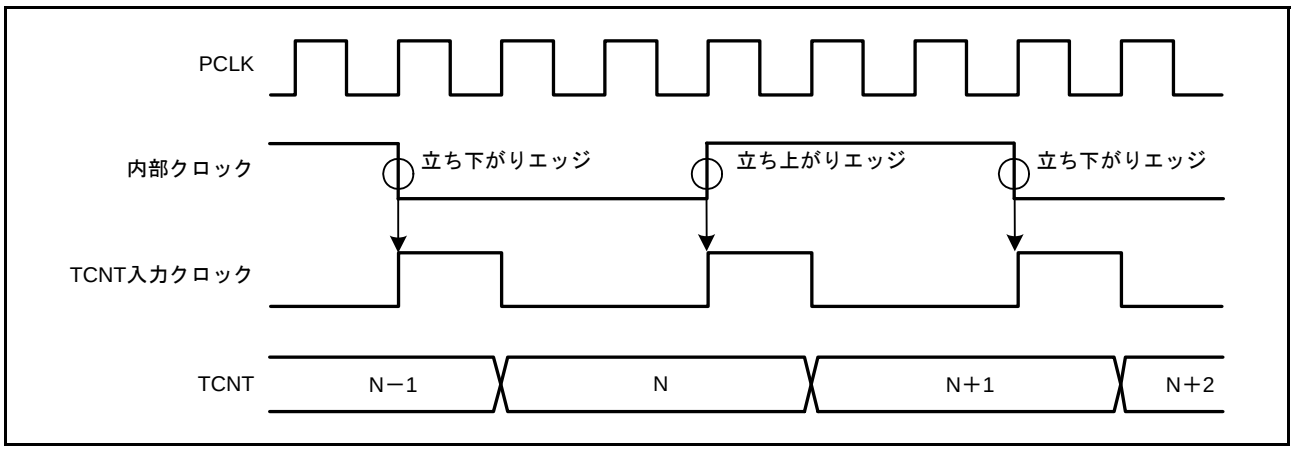


図 25.32　内部クロック動作時のカウントタイミング

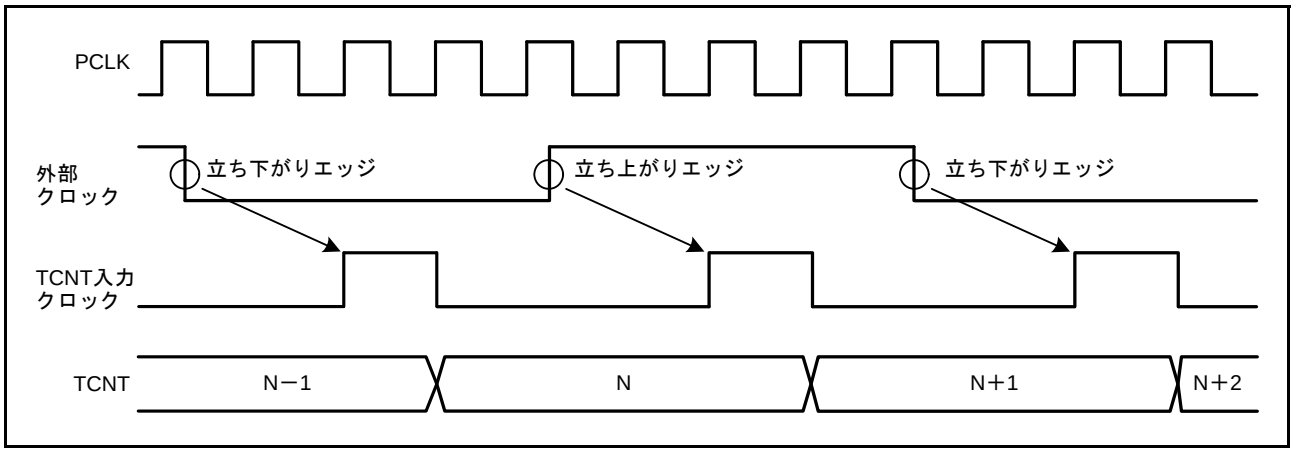


図 25.33　外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNT カウンタと TPUm.TGRy レジスタが一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで設定した出力値がアウトプットコンペア出力端子（TIOCyn（y=A ～ D、n=0 ～ 11）端子）に出力されます。TCNT カウンタと TGRy レジスタが一致した後、TCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 25.34 に示します。

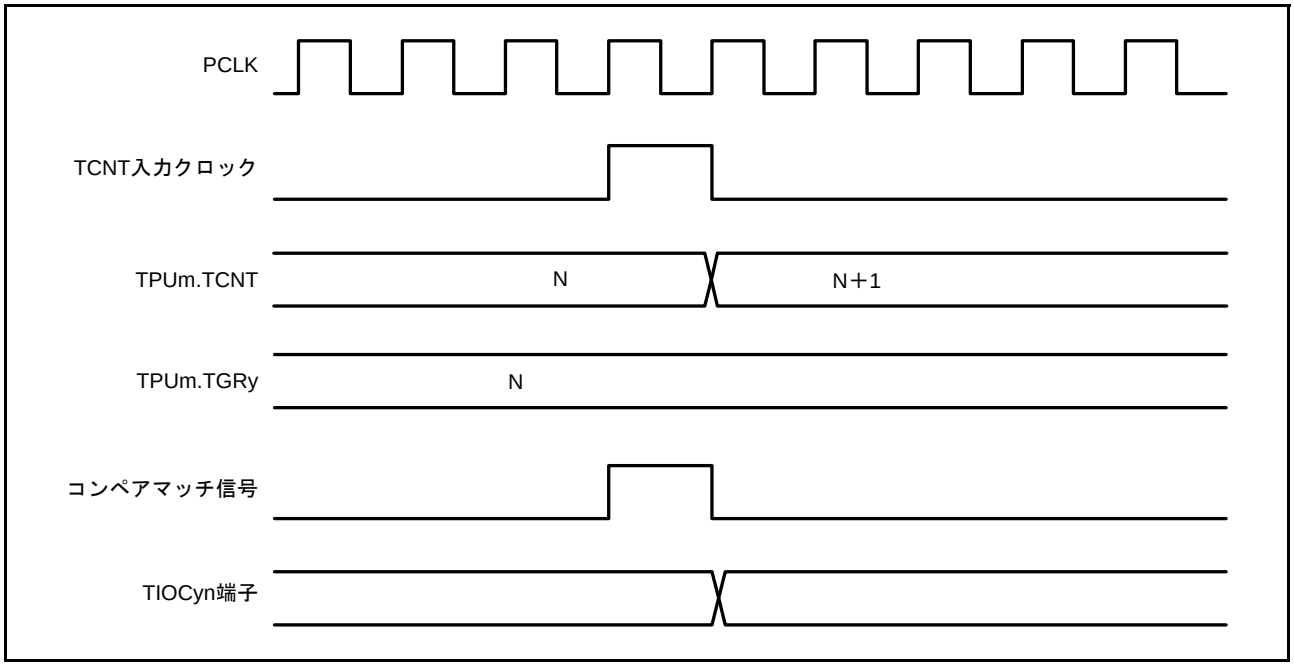


図 25.34　アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 25.35 に示します。

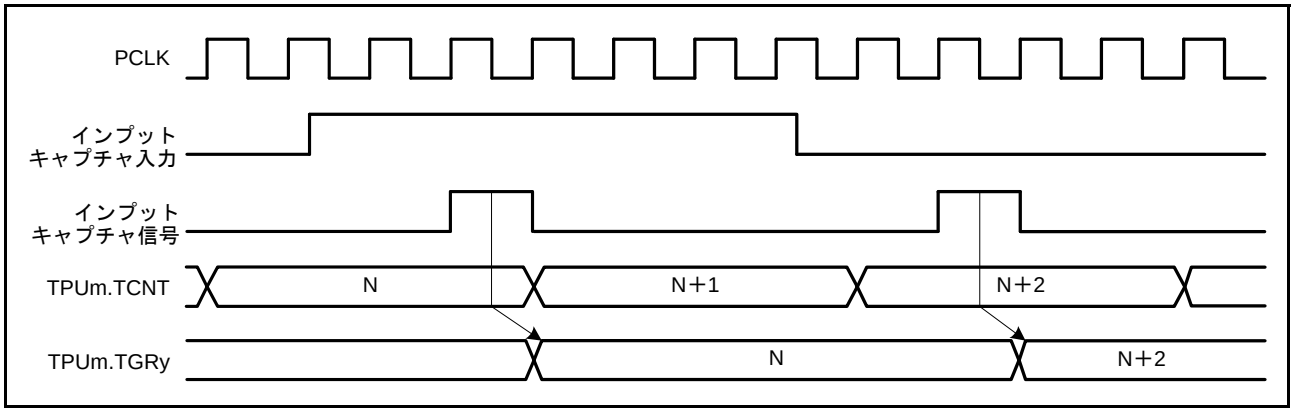


図 25.35　インプットキャプチャ入力信号タイミング

(4) コンペアマッチ / インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 25.36 に示します。
インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 25.37 に示します。

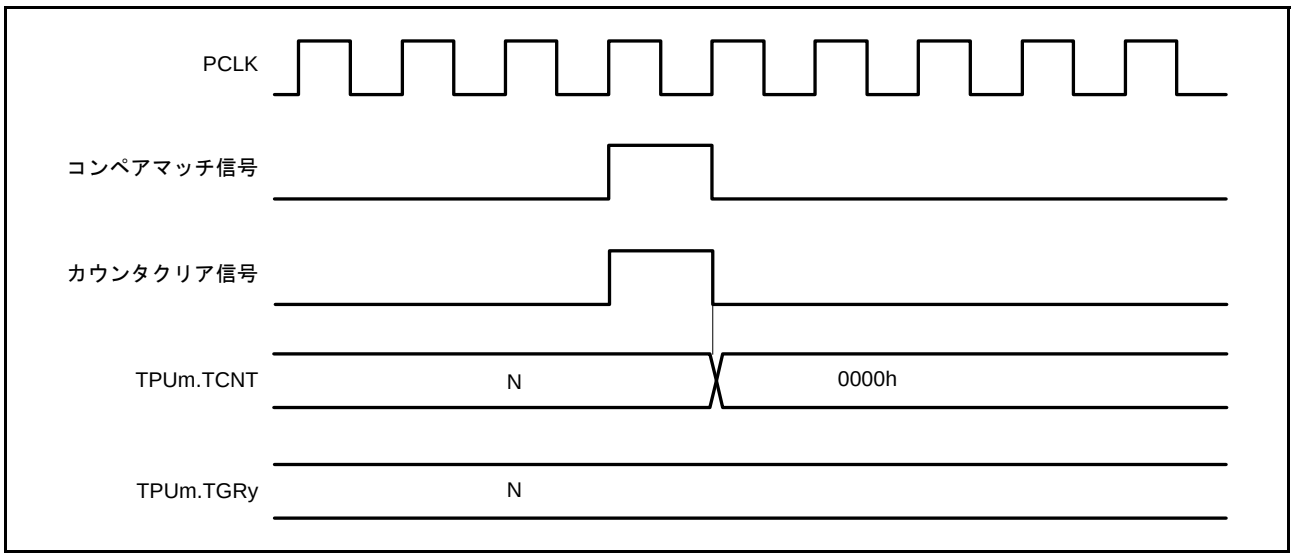


図 25.36　カウンタクリアタイミング（コンペアマッチ）

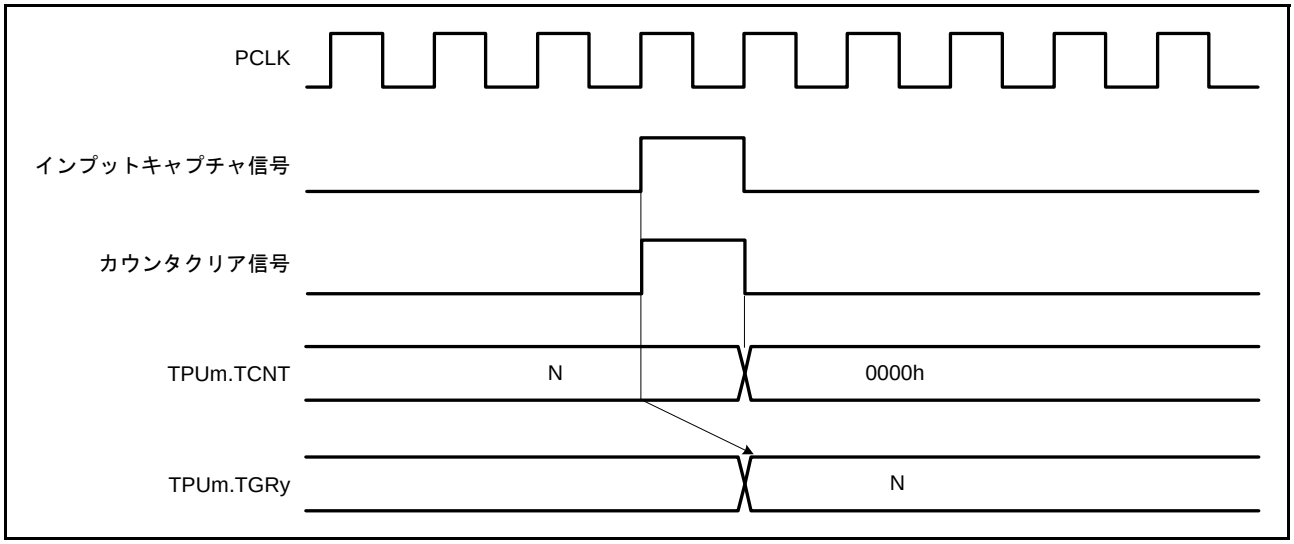


図 25.37　カウンタクリアタイミング（インプットキャプチャ）

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 25.38、図 25.39 に示します。

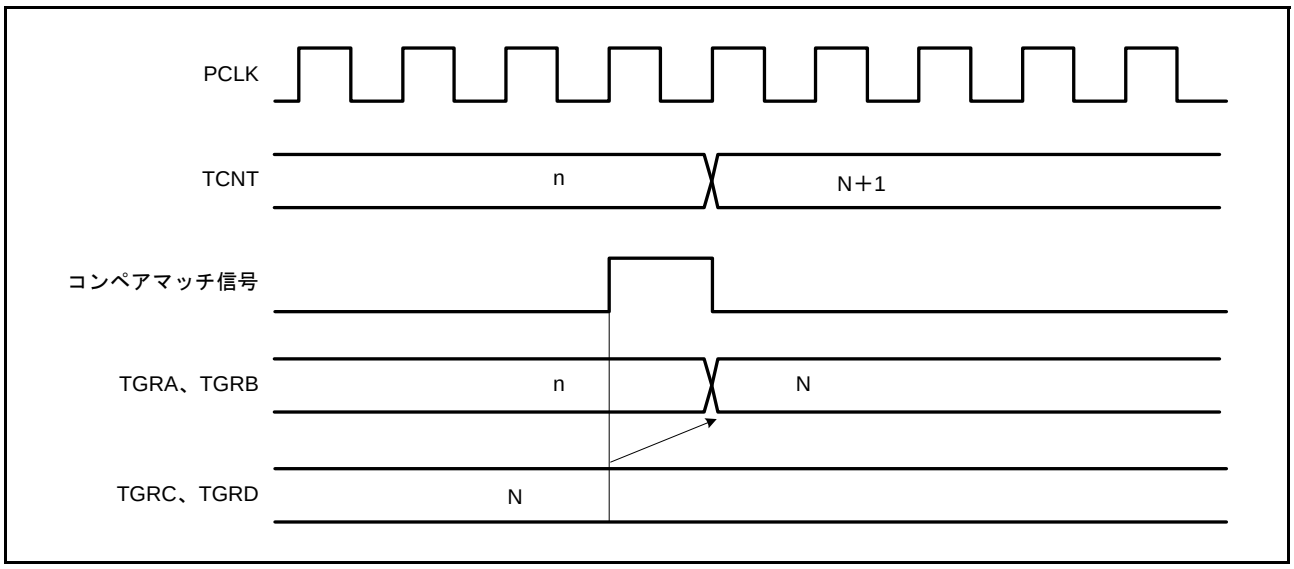


図 25.38　バッファ動作タイミング（コンペアマッチ）

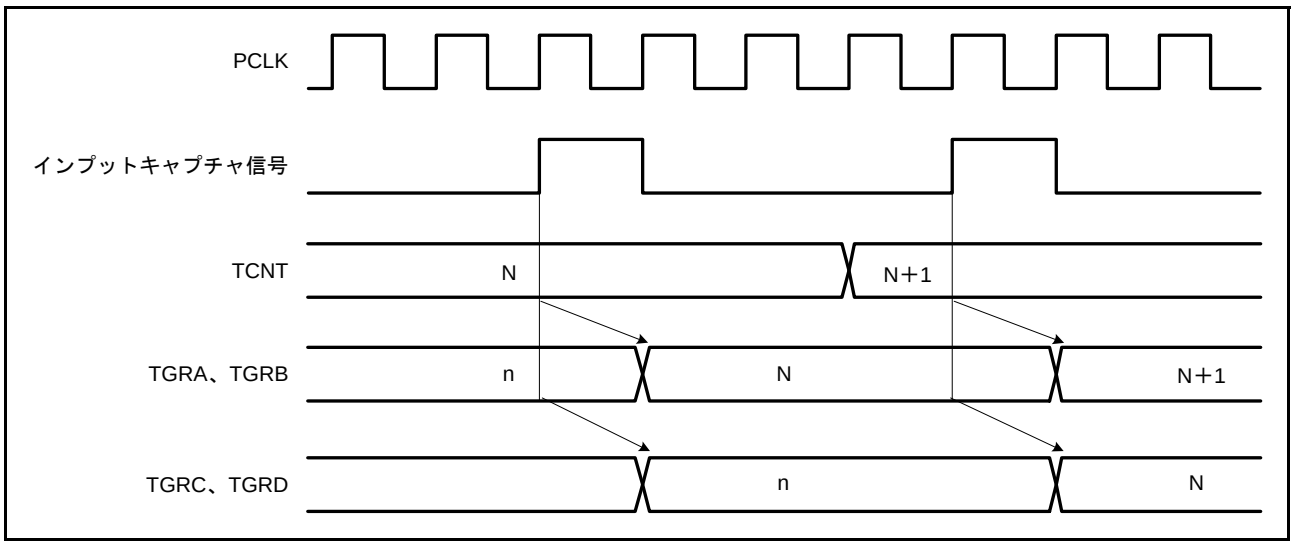


図 25.39　バッファ動作タイミング（インプットキャプチャ）

25.9.2　割り込み信号タイミング

(1)　コンペアマッチ時の割り込み信号のセットタイミング

コンペアマッチの発生による割り込み信号のタイミングを図 25.40 に示します。

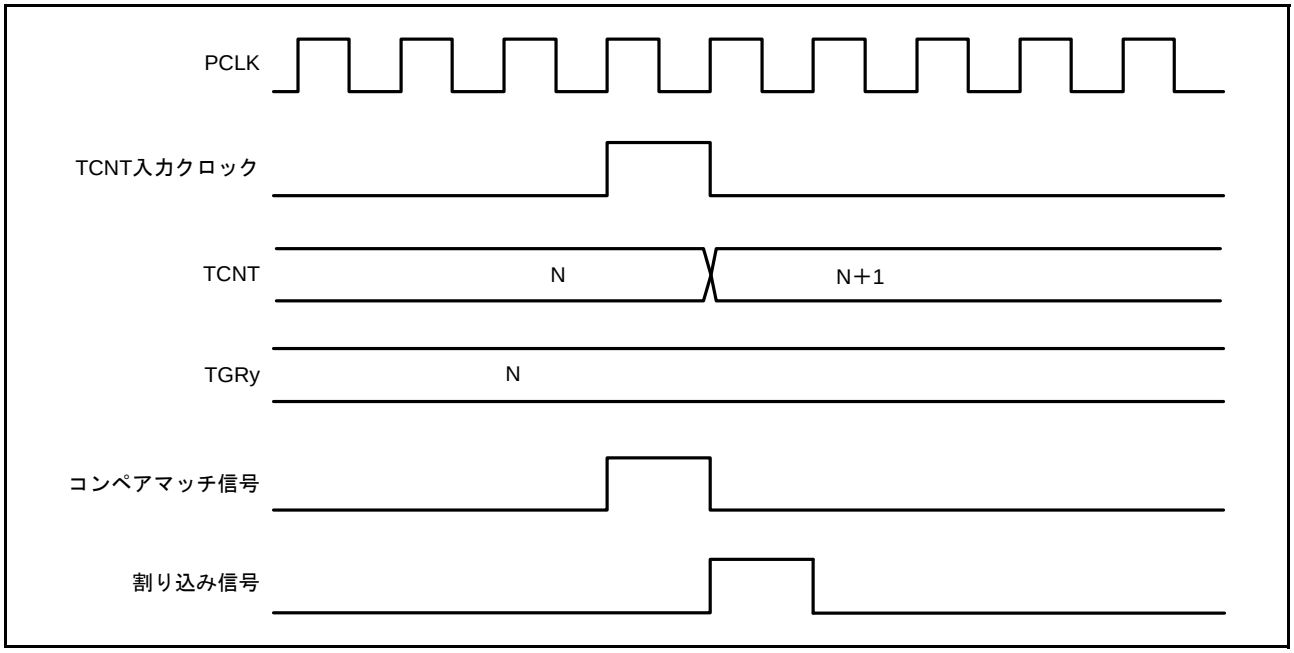


図 25.40　TGImy 割り込みタイミング（コンペアマッチ）

(2)　インプットキャプチャ時の割り込み信号のセットタイミング

インプットキャプチャの発生による割り込み信号のタイミングを図 25.41 に示します。

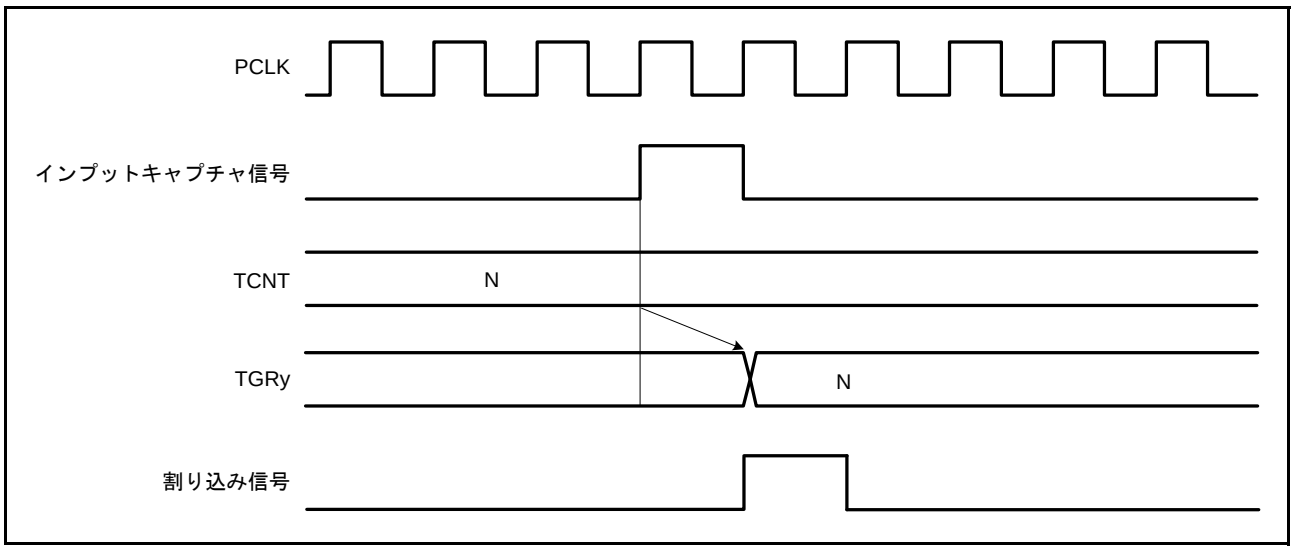


図 25.41　TGImy 割り込みタイミング（インプットキャプチャ）

(3)　TCImV、TCImU 割り込み信号のセットタイミング

オーバフローの発生による TCImV 割り込み信号のタイミングを図 25.42 に示します。
アンダフローの発生による TCImU 割り込み信号のタイミングを図 25.43 に示します。

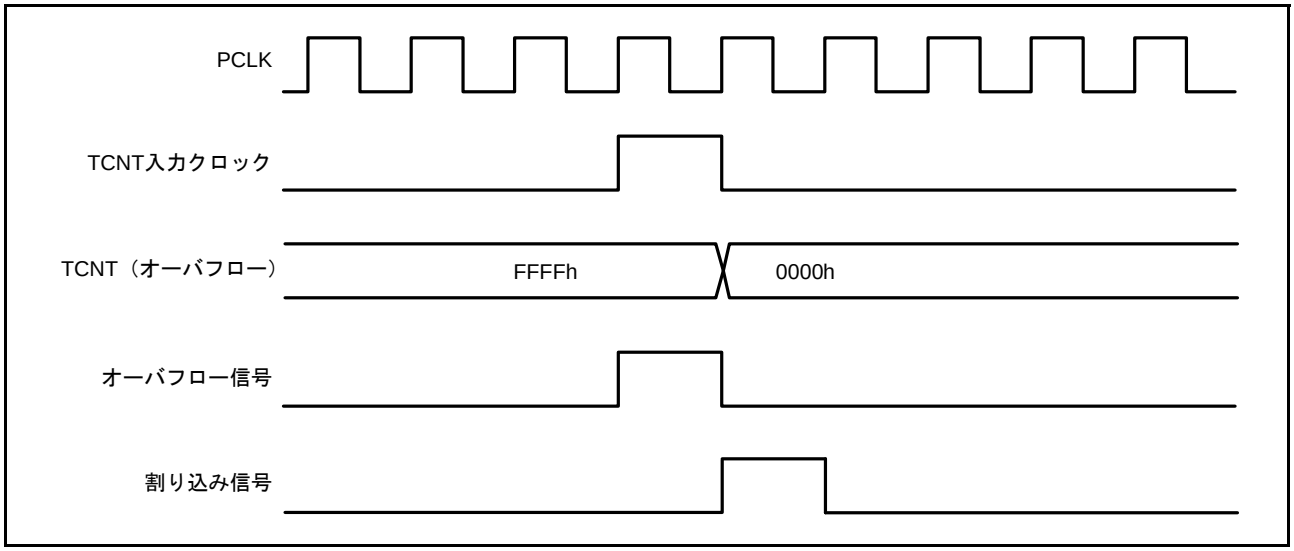


図 25.42　TCImV 割り込みのセットタイミング

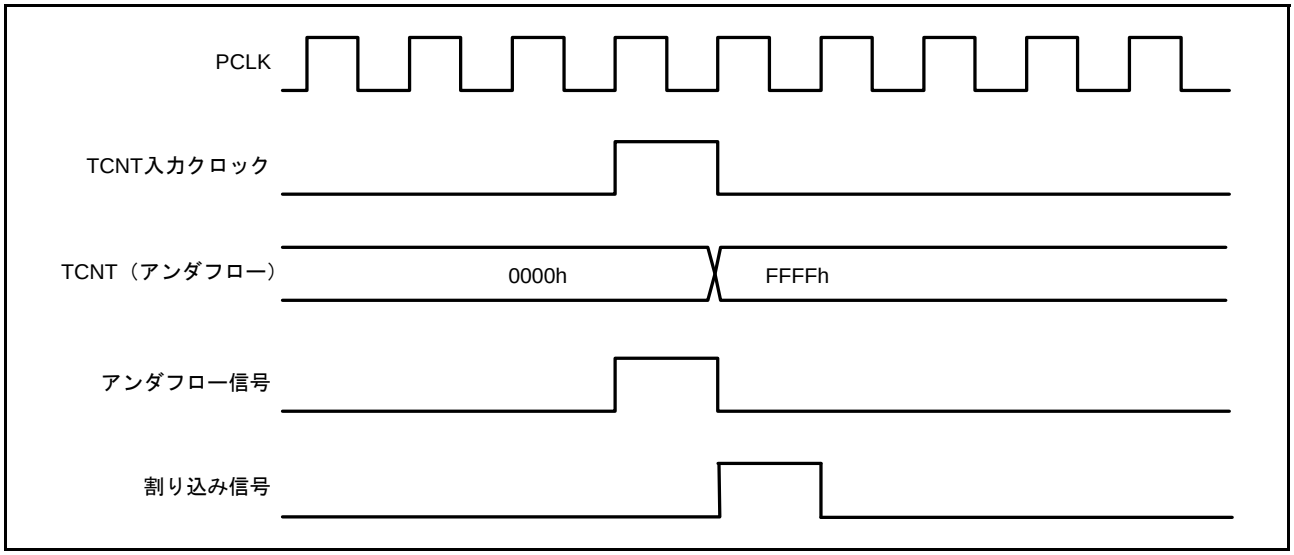


図 25.43　TCImU 割り込みのセットタイミング

25.10 使用上の注意事項

25.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「11. 消費電力低減機能」**を参照してください。

25.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 PCLK 以上、パルス幅は 2.5 PCLK 以上必要です。位相計数モードの入力クロックの条件を**図 25.44** に示します。

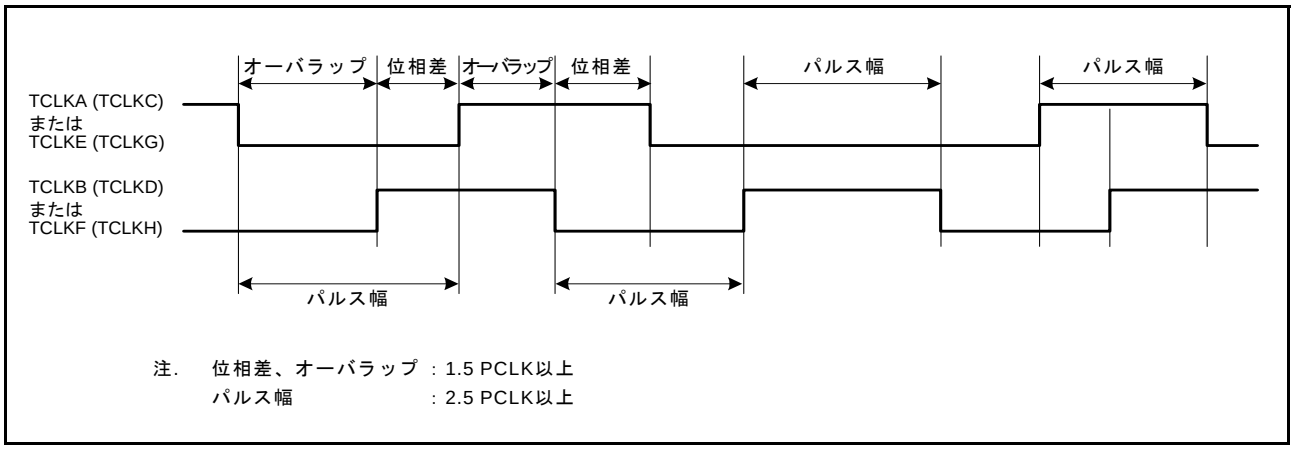


図 25.44　位相計数モード時の位相差、オーバラップ、およびパルス幅

25.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNT カウンタは TPUm.TGRy レジスタの値と一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は以下の式のようになります。

$$f = \frac{f_{TCNT_CLK}}{(N+1)}$$

f　　：カウンタ周波数

f_{TCNT_CLK}　：カウンタクロックの周波数

N　　：TGRy レジスタの設定値

25.10.4　TPUm.TCNT カウンタへの書き込みとクリアの競合

TCNT カウンタのライトサイクルでカウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われずに TCNT カウンタのクリアが優先されます。このタイミングを図 25.45 に示します。

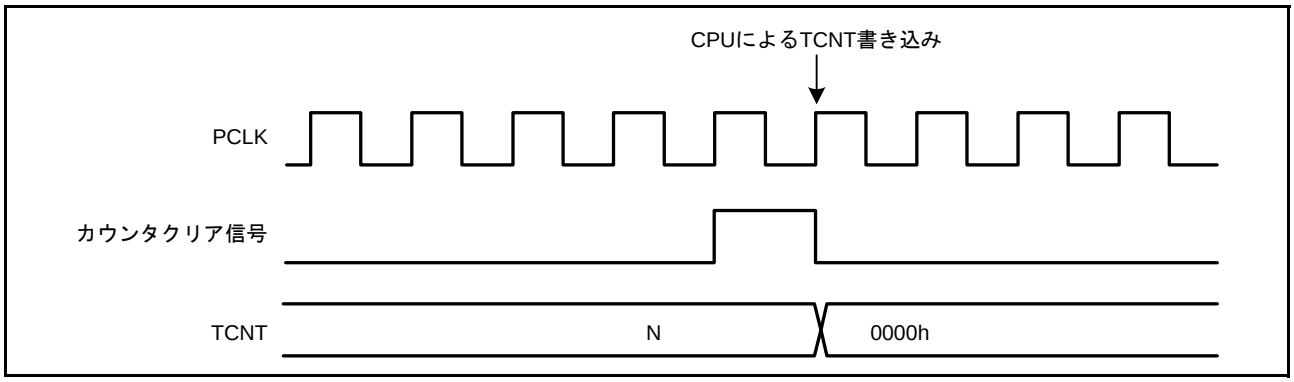


図 25.45　TPUm.TCNT カウンタへの書き込みとクリアの競合

25.10.5　TPUm.TCNT カウンタへの書き込みとカウントアップの競合

TCNT カウンタのライトサイクルでカウントアップが発生してもカウントアップされず、TCNT カウンタへの書き込みが優先されます。このタイミングを図 25.46 に示します。

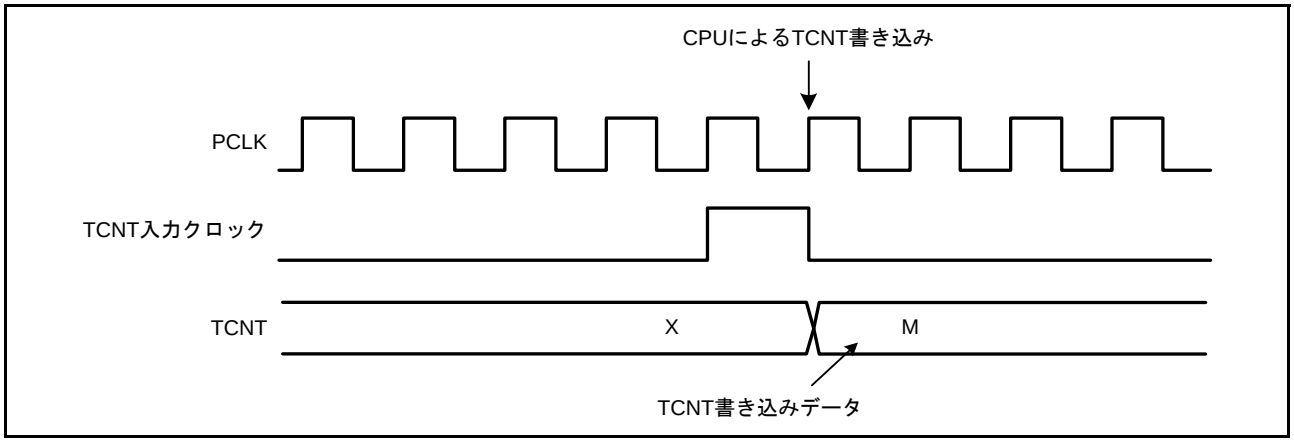


図 25.46　TPUm.TCNT カウンタへの書き込みとカウントアップの競合

25.10.6　TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません。

このタイミングを図 25.47 に示します。

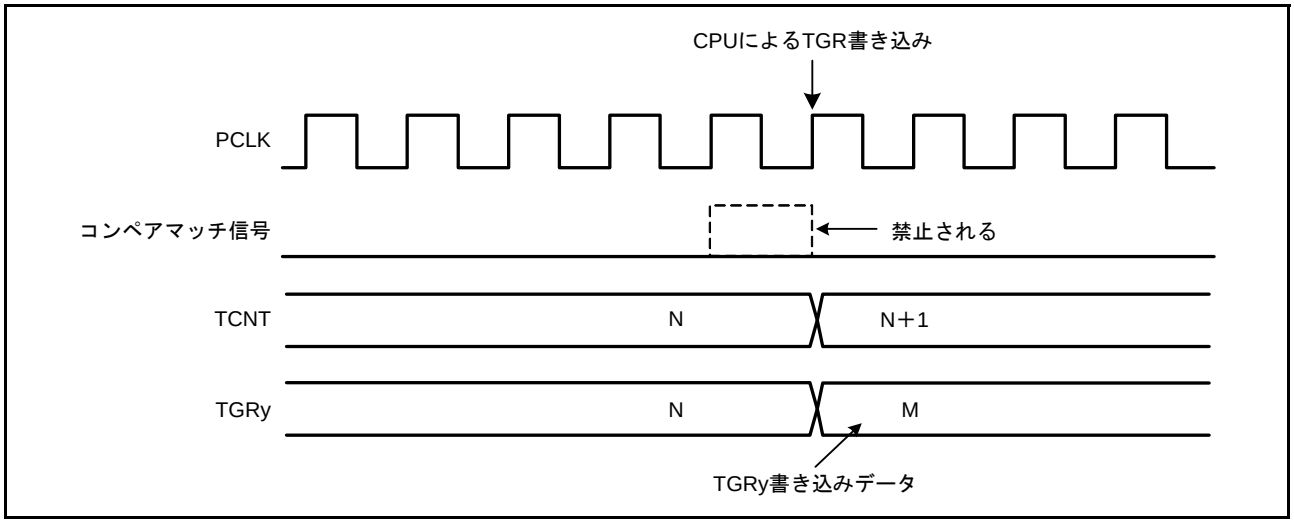


図 25.47　TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

25.10.7　バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります。

このタイミングを図 25.48 に示します。

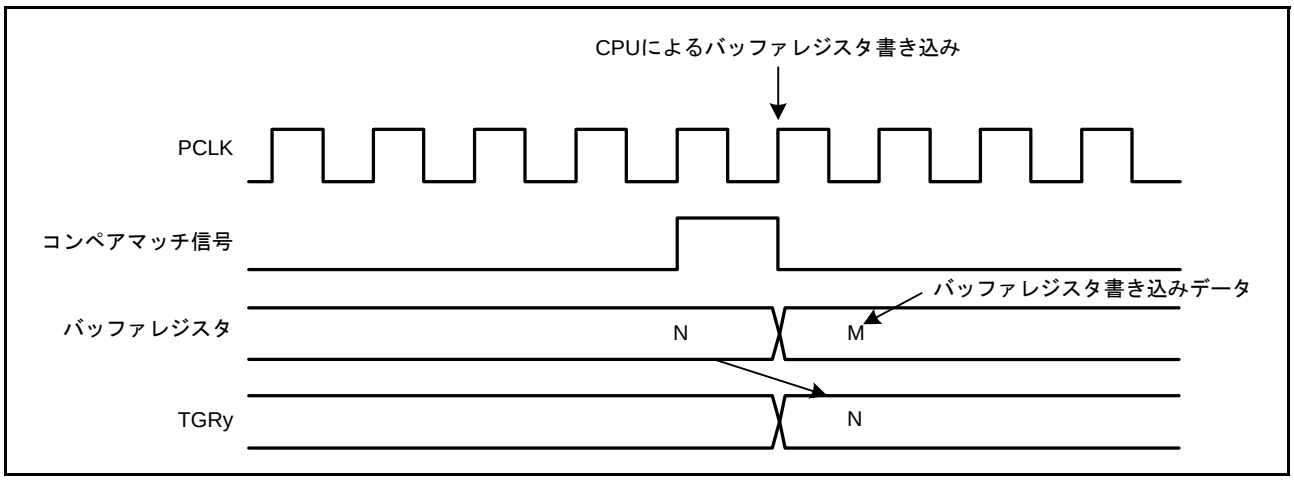


図 25.48　バッファレジスタへの書き込みとコンペアマッチの競合

25.10.8　TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります。

このタイミングを図 25.49 に示します。

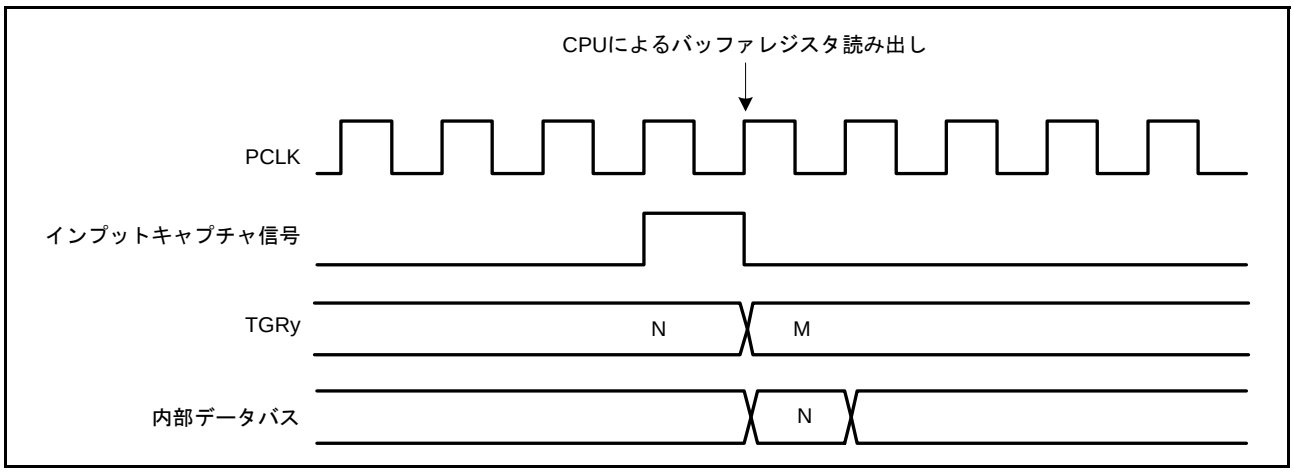


図 25.49　TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

25.10.9　TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます。このタイミングを図 25.50 に示します。

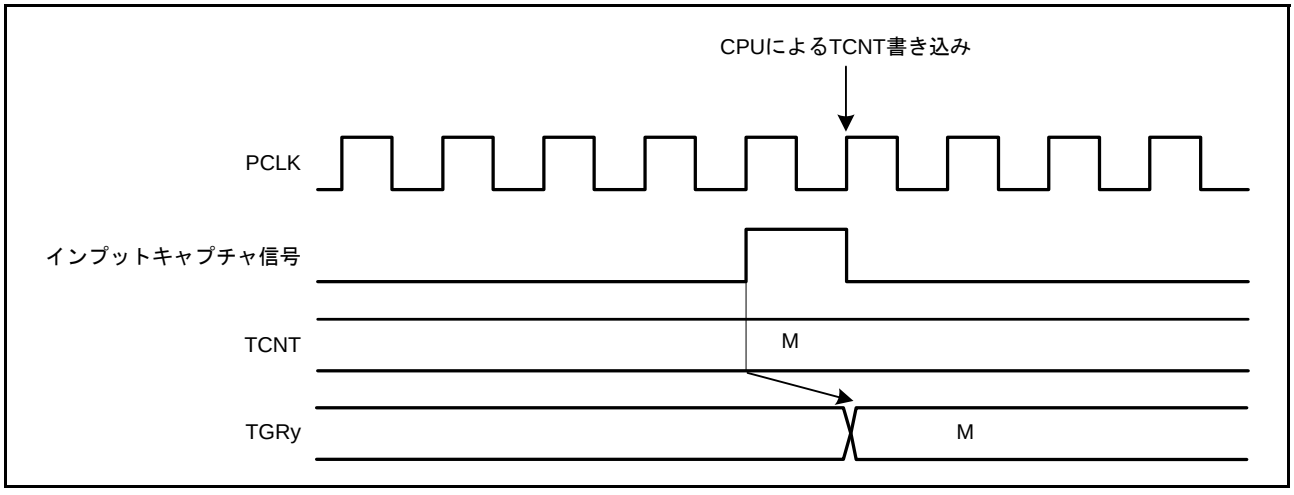


図 25.50　TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

25.10.10　バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタのライトサイクルでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。このタイミングを図 25.51 に示します。

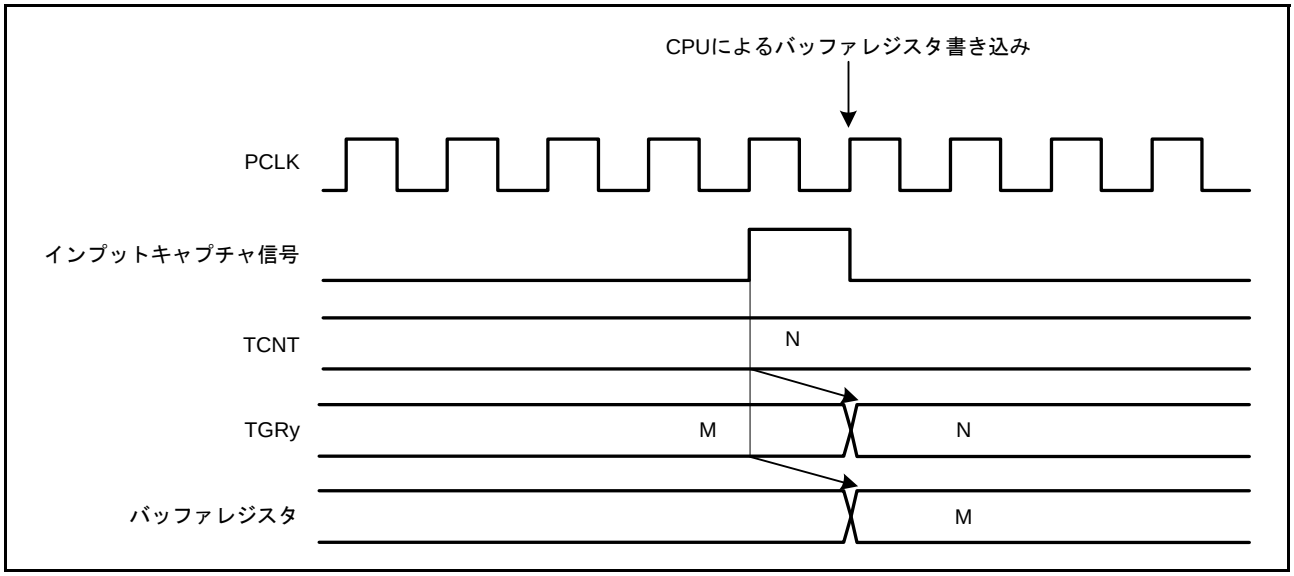


図 25.51　バッファレジスタへの書き込みとインプットキャプチャの競合

25.10.11　オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、コンペアマッチ割り込みが発生するとともに、TPUm.TCNT カウンタのクリアが行われオーバフロー割り込みが発生します。

TPUm.TGRy レジスタのコンペアマッチをクリア要因とし、TGRy レジスタを “FFFFh” にした場合の動作タイミングを図 25.52 に示します。

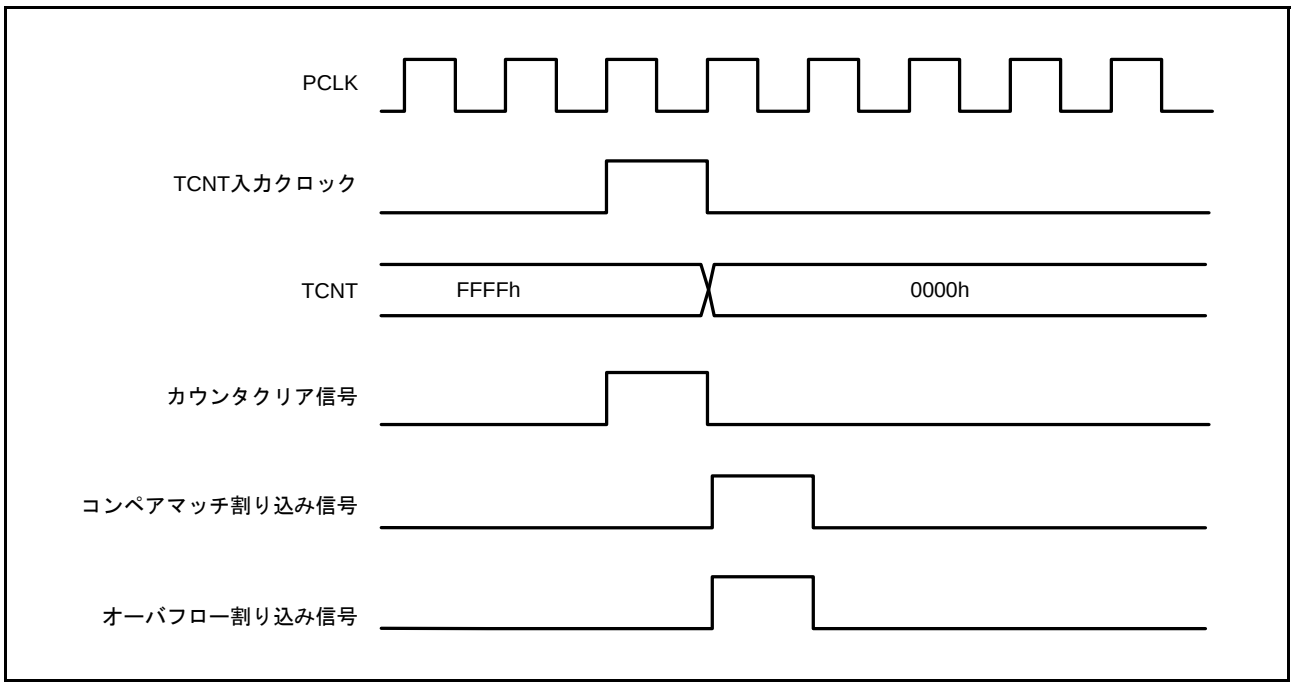


図 25.52　オーバフローとカウンタクリアの競合

25.10.12　TPUm.TCNT カウンタへの書き込みとオーバフロー / アンダフローの競合

TCNT カウンタのライトサイクルでアップカウント / カウントダウンが発生し、オーバフロー / アンダフローが発生しても TCNT カウンタへの書き込みが優先されます。

TCNT カウンタへの書き込みとオーバフロー競合時の動作タイミングを図 25.53 に示します。

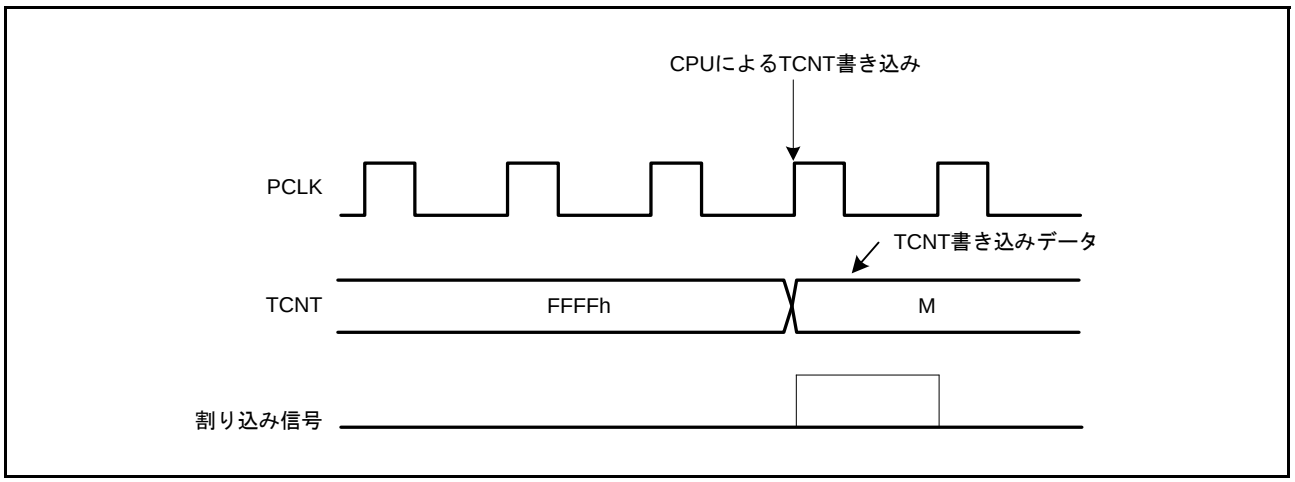


図 25.53　TPUm.TCNT カウンタへの書き込みとオーバフローの競合

25.10.13　入出力端子の兼用

RX63N グループ、RX631 グループでは、TCLKA 入力 と TIOCB5 入出力、TCLKB 入力 と TIOCB2 入出力、TCLKC 入力 と TIOCB1 入出力、TCLKD 入力 と TIOCB0 入出力、TCLKG 入力 と TIOCB7 入出力、TCLKH 入力 と TIOCB8 入出力、TCLKB 入力 と TIOCD0 入出力、TCLKC 入力 と TIOCC3 入出力、TCLKD 入力 と TIOCD3 入出力、TCLKE 入力 と TIOCC6 入出力、TCLKF 入力 と TIOCD6 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

25.10.14　コンペアマッチパルス割り込みの連続出力

TGR に “0000h” を設定して、カウンタクロックを PCLK/1 としたコンペアマッチでカウンタクリアすると、TCNT カウンタは “0000h” のまま更新されず、パルスのコンペアマッチ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは 2 つ目以降の割り込みを検出できなくなります。

コンペアマッチパルス割り込みが連続出力する動作タイミングを図 25.54 に示します。

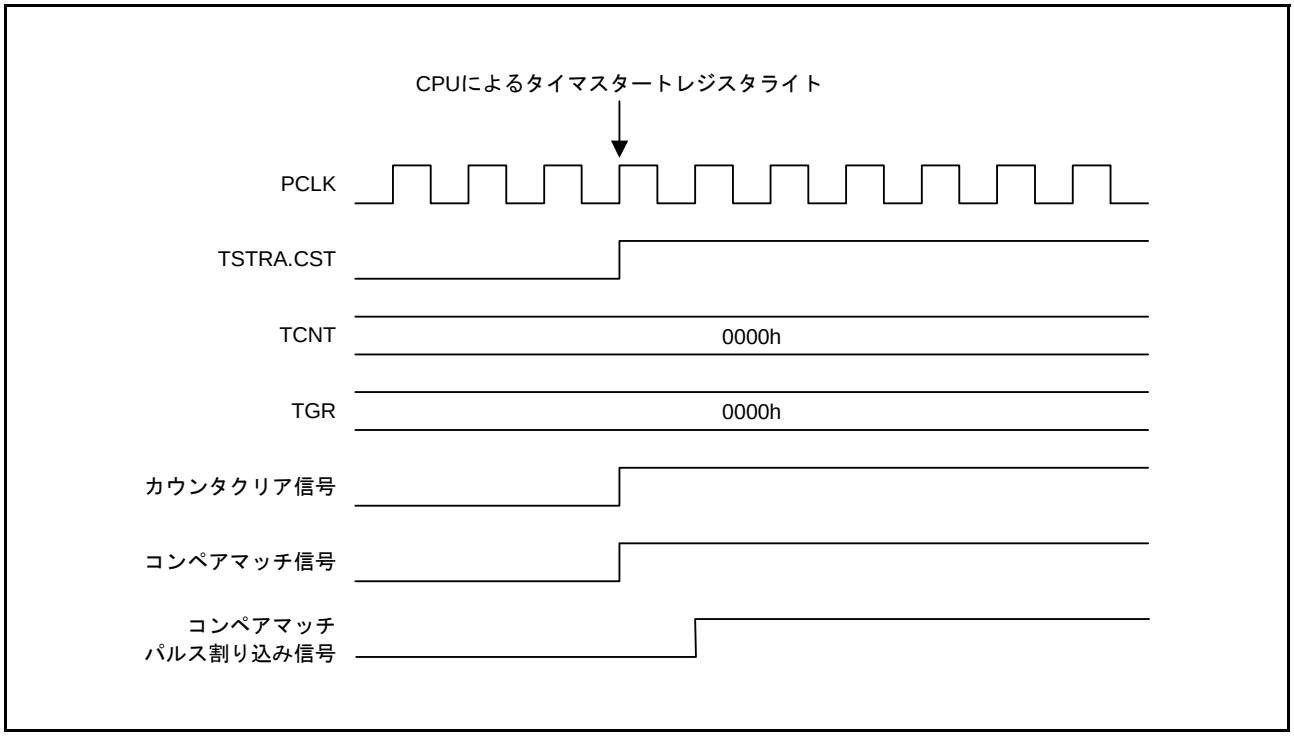


図 25.54　コンペアマッチパルス割り込みの連続出力

25.10.15　インプットキャプチャパルス割り込みの連続出力

インプットキャプチャを両エッジに指定し、インプットキャプチャ入力が内部サンプリングによって 1PCLK サイクルとして検出されるパルス幅の場合、立ち上がりエッジと立ち下がりエッジによるインプットキャプチャが連続して発生するために、パルスのインプットキャプチャ割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは 2 つ目以降の割り込みを検出できなくなります。

インプットキャプチャパルス割り込みが連続出力する動作タイミングを図 25.55 に示します。

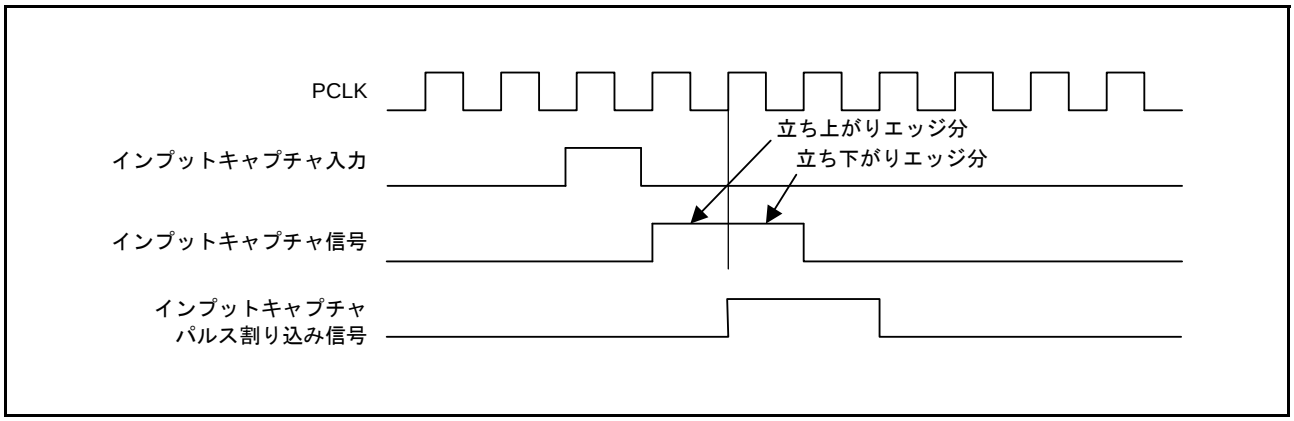


図 25.55　インプットキャプチャパルス割り込みの連続出力

25.10.16　アンダフローパルス割り込みの連続出力

位相計数モード 1 で、TGR を “0000h”、カウンタクリア要因をコンペアマッチとして動作させ、TCNT カウンタが “0000h” のときに、位相計数の対象となる 2 本の外部クロックの同方向のエッジが PCLK の 2 サイクル内で発生した場合、TCNT カウンタは “0000h” のまま更新されず、パルスのコンペアマッチ割り込みとアンダフロー割り込みを連続してレベル状に出力します。

パルス割り込みを使用している場合、割り込みコントローラは連続する割り込みの 2 つ目を検出できなくなります。

アンダフローパルス割り込みが連続出力する動作タイミングを図 25.56 に示します。

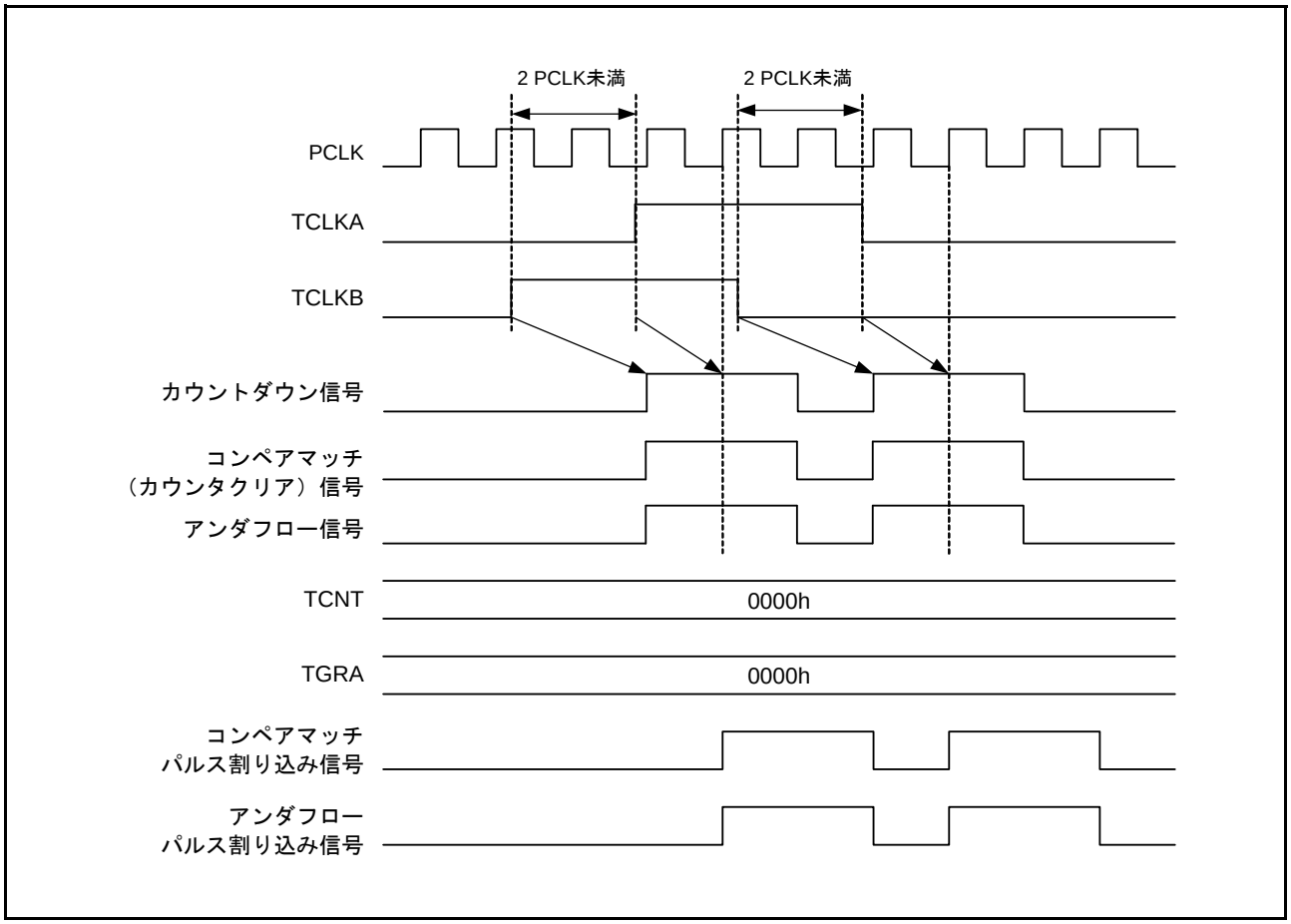


図 25.56　アンダフローパルス割り込みの連続出力

26. プログラマブルパルスジェネレータ（PPG）

プログラマブルパルスジェネレータ（PPG）は、16ビットタイマパルスユニット（TPU）とマルチファンクションタイマパルスユニット2（MTU）をタイムベースとしてパルスを出力します。

RX63Nグループ、RX631グループには2ユニットのPPGを内蔵しています。1ユニットは、16ビットのパルス出力端子を持ち、4ビット単位を1つのパルス出力グループとして構成しています。各パルス出力グループは同時に動作させることも、個別に動作させることもできます。

26.1 概要

表26.1にPPGの仕様を、表26.2にPPG機能一覧を示します。

図26.1、図26.2にPPGのブロック図を示します。

表26.1　PPGの仕様

項目	内容
出力ビット数	最大32ビット
パルス出力	• 4グループ×2ユニットを出力可能 • 出力トリガ信号を選択可能 • ノンオーバラップ動作可能 • 反転出力の指定可能
出力データ転送	DTC、DMACとの連携動作可能（TPUとMTUの割り込み機能を使用時）
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

表26.2　PPG機能一覧

項目			PPG0	PPG1
PPG出力トリガ	MTUのチャネル0～3（MTU0～MTU3）	コンペアマッチ	○	○
		インプットキャプチャ	○	○
	TPU（ユニット0）のチャネル0～3（TPU0～TPU3）	コンペアマッチ	—	○
		インプットキャプチャ	—	○
ノンオーバラップ動作			○	○
出力データ転送	DTC		○	○
	DMAC		○	○
反転出力の指定			○	○
モジュールストップの設定（注1）			MSTPCRA.MSTPA11ビット	MSTPCRA.MSTPA10ビット

○：可能

—：不可能

注1.　詳細は「11. 消費電力低減機能」を参照してください。

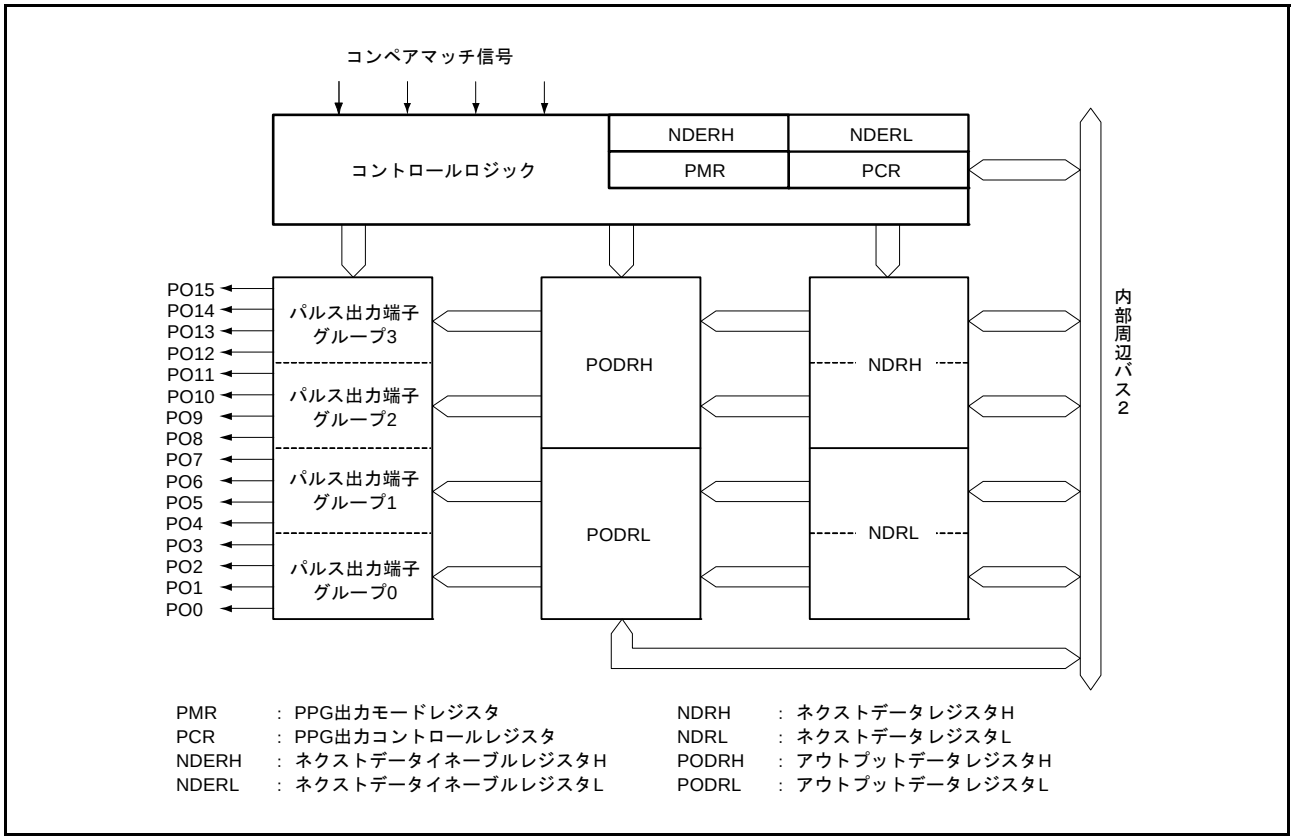


図 26.1　PPG0 のブロック図

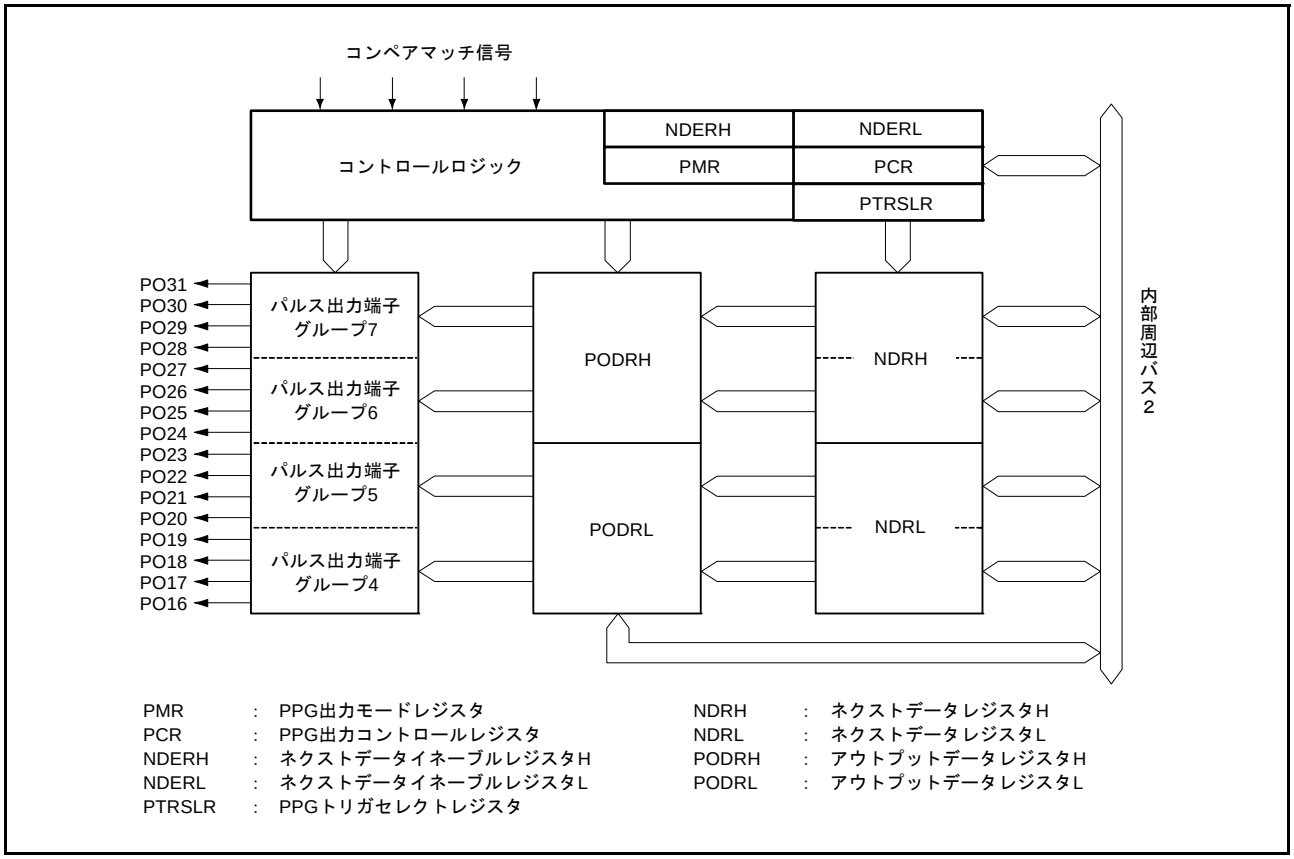


図 26.2　PPG1 のブロック図

表 26.3 に PPG の入出力端子を示します。

表26.3　　PPGの入出力端子

ユニット	端子名	入出力	機能
PPG0	PO0	出力	パルス出力グループ0のパルス出力
	PO1	出力	
	PO2	出力	
	PO3	出力	
	PO4	出力	パルス出力グループ1のパルス出力
	PO5	出力	
	PO6	出力	
	PO7	出力	
	PO8	出力	パルス出力グループ2のパルス出力
	PO9	出力	
	PO10	出力	
	PO11	出力	
	PO12	出力	パルス出力グループ3のパルス出力
	PO13	出力	
	PO14	出力	
	PO15	出力	
PPG1	PO16	出力	パルス出力グループ4のパルス出力
	PO17	出力	
	PO18	出力	
	PO19	出力	
	PO20	出力	パルス出力グループ5のパルス出力
	PO21	出力	
	PO22	出力	
	PO23	出力	
	PO24	出力	パルス出力グループ6のパルス出力
	PO25	出力	
	PO26	出力	
	PO27	出力	
	PO28	出力	パルス出力グループ7のパルス出力
	PO29	出力	
	PO30	出力	
	PO31	出力	

26.2　レジスタの説明

26.2.1　PPG トリガセレクトレジスタ（PTRSLR）

アドレス　0008 81F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PTRSL
リセット後の値	0	0	0	0	0	0	0	1

- PPG1.PTRSLR

ビット	シンボル	ビット名	機能	R/W
b0	PTRSL	PPG トリガ選択ビット	0：PPG1のトリガはMTU0～MTU3 1：PPG1のトリガはTPU0～TPU3	R/W
b1-7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PTRSL ビット（PPG トリガ選択ビット）

PPG1 のトリガ入力を MTU0 ～ MTU3 または TPU0 ～ TPU3 の何れかの系統から選択します。

“0” にすると PPG1 へのトリガは MTU0 ～ MTU3 に、“1” にすると PPG1 へのトリガは TPU0 ～ TPU3 になります。

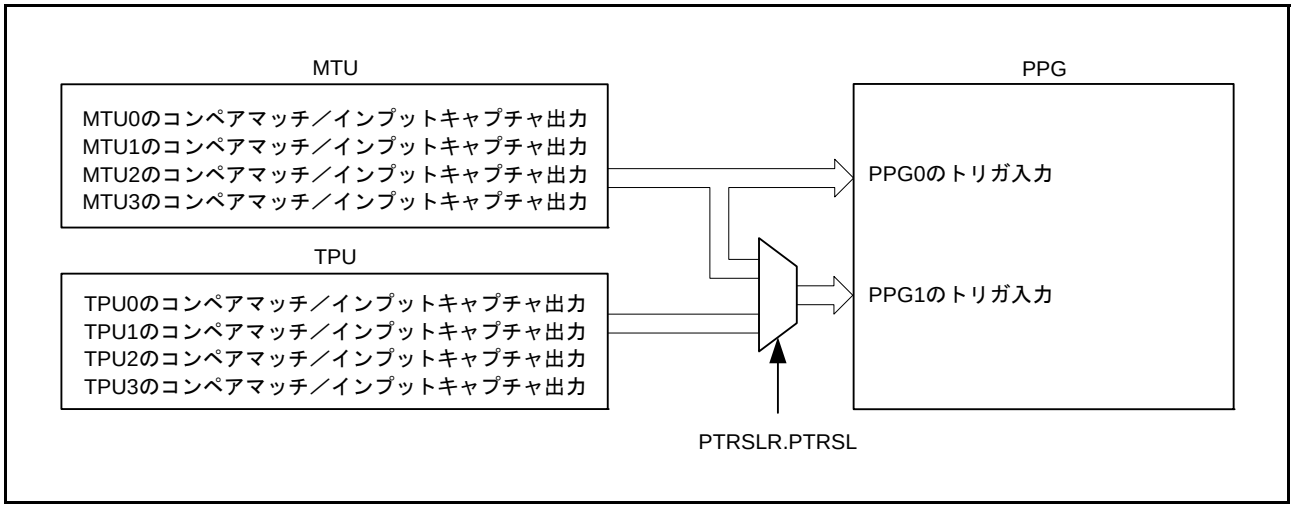


図 26.3　PPG トリガセレクトのブロック図

26.2.2 ネクストデータイネーブルレジスタ H（NDERH）、ネクストデータイネーブルレジスタ L（NDERL）

アドレス 0008 81E8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81E9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER8	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER9	ネクストデータ転送許可ビット		R/W
b2	NDER10	ネクストデータ転送許可ビット		R/W
b3	NDER11	ネクストデータ転送許可ビット		R/W
b4	NDER12	ネクストデータ転送許可ビット		R/W
b5	NDER13	ネクストデータ転送許可ビット		R/W
b6	NDER14	ネクストデータ転送許可ビット		R/W
b7	NDER15	ネクストデータ転送許可ビット		R/W

PPG0.NDERH レジスタは、PPG による PO8 ～ PO15 へのパルス出力をビット単位で許可 / 禁止します。

NDERi ビット（ネクストデータ転送許可ビット）（i=15 ～ 8）

“1” にすると、PPG0.PCR レジスタで選択したトリガが発生したときに、PPG0.NDRH レジスタの対応するビットから PPG0.PODRH レジスタへデータが転送されます。“0” のビットは、PPG0.NDRH レジスタから PPG0.PODRH レジスタへのデータ転送は行われません。

- PPG0.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER0	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER1	ネクストデータ転送許可ビット		R/W
b2	NDER2	ネクストデータ転送許可ビット		R/W
b3	NDER3	ネクストデータ転送許可ビット		R/W
b4	NDER4	ネクストデータ転送許可ビット		R/W
b5	NDER5	ネクストデータ転送許可ビット		R/W
b6	NDER6	ネクストデータ転送許可ビット		R/W
b7	NDER7	ネクストデータ転送許可ビット		R/W

PPG0.NDERL レジスタは、PPG による PO0 ～ PO7 へのパルス出力をビット単位で許可 / 禁止します。

NDERi ビット（ネクストデータ転送許可ビット）（i=7 ～ 0）

“1” にすると、PPG0.PCR レジスタで選択したトリガが発生したときに、PPG0.NDRL レジスタの対応するビットから PPG0.PODRL レジスタへデータが転送されます。“0” のビットは、PPG0.NDRL レジスタから PPG0.PODRL レジスタへのデータ転送は行われません。

アドレス　0008 81F8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERH	NDER 31	NDER 30	NDER 29	NDER 28	NDER 27	NDER 26	NDER 25	NDER 24
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81F9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERL	NDER 23	NDER 22	NDER 21	NDER 20	NDER 19	NDER 18	NDER 17	NDER 16
リセット後の値	0	0	0	0	0	0	0	0

- PPG1.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER 24	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER 25	ネクストデータ転送許可ビット		R/W
b2	NDER 26	ネクストデータ転送許可ビット		R/W
b3	NDER 27	ネクストデータ転送許可ビット		R/W
b4	NDER 28	ネクストデータ転送許可ビット		R/W
b5	NDER 29	ネクストデータ転送許可ビット		R/W
b6	NDER 30	ネクストデータ転送許可ビット		R/W
b7	NDER 31	ネクストデータ転送許可ビット		R/W

PPG1.NDERH レジスタは、PPG による PO24 ～ PO31 へのパルス出力をビット単位で許可 / 禁止します。

NDERi ビット（ネクストデータ転送許可ビット）（i=31 ～ 24）

“1” にすると、PPG1.PCR レジスタで選択したトリガが発生したときに、PPG1.NDRH レジスタの対応するビットから PPG1.PODRH レジスタへデータが転送されます。“0” のビットは、PPG1.NDRH レジスタから PPG1.PODRH レジスタへのデータ転送は行われません。

- PPG1.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER 16	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER 17	ネクストデータ転送許可ビット		R/W
b2	NDER 18	ネクストデータ転送許可ビット		R/W
b3	NDER 19	ネクストデータ転送許可ビット		R/W
b4	NDER 20	ネクストデータ転送許可ビット		R/W
b5	NDER 21	ネクストデータ転送許可ビット		R/W
b6	NDER 22	ネクストデータ転送許可ビット		R/W
b7	NDER 23	ネクストデータ転送許可ビット		R/W

PPG1.NDERL レジスタは、PPG による PO16 ～ PO23 へのパルス出力をビット単位で許可 / 禁止します。

NDERi ビット（ネクストデータ転送許可ビット）（i=23 ～ 16）

“1” にすると、PPG1.PCR レジスタで選択したトリガが発生したときに、PPG1.NDRL レジスタの対応するビットから PPG1.PODRL レジスタへデータが転送されます。“0” のビットは、PPG1.NDRL レジスタから PPG1.PODRL レジスタへのデータ転送は行われません。

26.2.3　アウトプットデータレジスタ H（PODRH）、アウトプットデータレジスタ L（PODRL）

アドレス　0008 81EAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81EBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD8	アウトプットデータレジスタビット	0：POi端子からLowを出力 1：POi端子からHighを出力 (i=15～8)	R/W
b1	POD9	アウトプットデータレジスタビット		R/W
b2	POD10	アウトプットデータレジスタビット		R/W
b3	POD11	アウトプットデータレジスタビット		R/W
b4	POD12	アウトプットデータレジスタビット		R/W
b5	POD13	アウトプットデータレジスタビット		R/W
b6	POD14	アウトプットデータレジスタビット		R/W
b7	POD15	アウトプットデータレジスタビット		R/W

PPG0.PODRH レジスタは、パルス出力値が格納されます。PPG0.NDERH レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRH レジスタの値がこのレジスタに転送されます。

PODi ビット（アウトプットデータレジスタビット）（i=15 ～ 8）

PPG0.NDERH レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRH レジスタの値がこのレジスタに転送されます。PPG0.NDERH.NDERi(i=15 ～ 8) ビットのいずれかが “1” の期間、CPU からの書き込みはできません。PPG0.NDERH レジスタが “00h” の状態では、パルスの初期出力値を設定することができます。

- PPG0.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD0	アウトプットデータレジスタビット	0：POi端子からLowを出力 1：POi端子からHighを出力 (i=7～0)	R/W
b1	POD1	アウトプットデータレジスタビット		R/W
b2	POD2	アウトプットデータレジスタビット		R/W
b3	POD3	アウトプットデータレジスタビット		R/W
b4	POD4	アウトプットデータレジスタビット		R/W
b5	POD5	アウトプットデータレジスタビット		R/W
b6	POD6	アウトプットデータレジスタビット		R/W
b7	POD7	アウトプットデータレジスタビット		R/W

PPG0.PODRL レジスタは、パルス出力値が格納されます。PPG0.NDERL レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRL レジスタの値がこのレジスタに転送されます。

PODi ビット（アウトプットデータレジスタビット）（i=7 ～ 0）

PPG0.NDERL レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRL レジスタの値がこのレジスタに転送されます。PPG0.NDERL.NDERi(i=7 ～ 0) ビットのいずれかが “1” の期間、CPU からの書き込みはできません。PPG0.NDERL レジスタが “00h” の状態では、パルスの初期出力値を設定することができます。

アドレス　0008 81FAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81FBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16
リセット後の値	0	0	0	0	0	0	0	0

- PPG1.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD24	アウトプットデータレジスタビット	0：POi端子からLowを出力 1：POi端子からHighを出力 (i=31～24)	R/W
b1	POD25	アウトプットデータレジスタビット		R/W
b2	POD26	アウトプットデータレジスタビット		R/W
b3	POD27	アウトプットデータレジスタビット		R/W
b4	POD28	アウトプットデータレジスタビット		R/W
b5	POD29	アウトプットデータレジスタビット		R/W
b6	POD30	アウトプットデータレジスタビット		R/W
b7	POD31	アウトプットデータレジスタビット		R/W

PPG1.PODRH レジスタは、パルス出力値が格納されます。PPG1.NDERH レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG1.NDRH レジスタの値がこのレジスタに転送されます。

PODi ビット（アウトプットデータレジスタビット）（i=31 ～ 24）

PPG1.NDERH レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG1.NDRH レジスタの値がこのレジスタに転送されます。PPG1.NDERH.NDERi(i=31 ～ 24) ビットのいずれかが “1” の期間、CPU から書き込みはできません。PPG1.NDERH レジスタが “00h” の状態では、パルスの初期出力値を設定することができます。

- PPG1.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD16	アウトプットデータレジスタビット	0：POi 端子から Low を出力 1：POi 端子から High を出力 (i=23～16)	R/W
b1	POD17	アウトプットデータレジスタビット		R/W
b2	POD18	アウトプットデータレジスタビット		R/W
b3	POD19	アウトプットデータレジスタビット		R/W
b4	POD20	アウトプットデータレジスタビット		R/W
b5	POD21	アウトプットデータレジスタビット		R/W
b6	POD22	アウトプットデータレジスタビット		R/W
b7	POD23	アウトプットデータレジスタビット		R/W

PPG1.PODRL レジスタは、パルス出力値が格納されます。PPG1.NDERL レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG1.NDRL レジスタの値がこのレジスタに転送されます。

PODi ビット（アウトプットデータレジスタビット）（i=23 ～ 16）

PPG1.NDERL レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG1.NDRL レジスタの値がこのレジスタに転送されます。PPG1.NDERL.NDERi(i=23 ～ 16) ビットのいずれかが “1” の期間、CPU から書き込みはできません。PPG1.NDERL レジスタが “00h” の状態では、パルスの初期出力値を設定することができます。

26.2.4　ネクストデータレジスタ H（NDRH）、ネクストデータレジスタ L（NDRL）

アドレス　0008 81ECh、0008 81EEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81EDh、0008 81EFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.NDRH

PPG0.NDRH レジスタは、パルス出力の次のデータを格納します。PPG0.NDRH レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 2、3 の出力トリガが同一の場合

パルス出力グループ 2、3 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

- 0008 81ECh（パルス出力グループ 2 とパルス出力グループ 3 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b4	NDR12	ネクストデータレジスタビット		R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

注.　PPG0.NDRH のアドレスが割り当てられていない番地（0008 81EEh）を読み出したときの値は FFh です。書き込みはできません。

(2) パルス出力グループ 2 とパルス出力グループ 3 で出力トリガが異なる場合

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- 0008 81ECh（パルス出力グループ 3 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR12	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送されます	R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

- 0008 81EEh（パルス出力グループ 2 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG0.NDRL

PPG0.NDRL レジスタは、パルス出力の次のデータを格納します。PPG0.NDRL レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 0、1 の出力トリガが同一の場合

パルス出力グループ 0、1 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

- 0008 81EDh（パルス出力グループ 0 とパルス出力グループ 1 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b4	NDR4	ネクストデータレジスタビット		R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

注. PPG0.NDRLのアドレスが割り当てられていない番地（0008 81EFh）を読み出したときの値はFFhです。書き込みはできません。

(2) パルス出力グループ 0 とパルス出力グループ 1 で出力トリガが異なる場合

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- 0008 81EDh（パルス出力グループ 1 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR4	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

- 0008 81EFh（パルス出力グループ 0 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

アドレス 0008 81FCh、0008 81FEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRH	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81FDh、0008 81FFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRL	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16
リセット後の値	0	0	0	0	0	0	0	0

- PPG1.NDRH

PPG1.NDRH レジスタは、パルス出力の次のデータを格納します。PPG1.NDRH レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 6、7 の出力トリガが同一の場合

パルス出力グループ 6、7 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

- 0008 81FCh（パルス出力グループ 6 とパルス出力グループ 7 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b4	NDR28	ネクストデータレジスタビット		R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

注. PPG1.NDRHのアドレスが割り当てられていない番地（0008 81FEh）を読み出したときの値はFFhです。書き込みはできません。

(2) パルス出力グループ 6 とパルス出力グループ 7 で出力トリガが異なる場合

パルス出力グループ 6 とパルス出力グループ 7 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- 0008 81FCh（パルス出力グループ 7 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR28	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRH レジスタの対応するビットに転送されます	R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

- 0008 81FEh（パルス出力グループ 6 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG1.NDRL

PPG1.NDRL レジスタは、パルス出力の次のデータを格納します。PPG1.NDRL レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 4、5 の出力トリガが同一の場合

パルス出力グループ 4、5 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

- 0008 81FDh（パルス出力グループ 4 とパルス出力グループ 5 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR17	ネクストデータレジスタビット		R/W
b2	NDR18	ネクストデータレジスタビット		R/W
b3	NDR19	ネクストデータレジスタビット		R/W
b4	NDR20	ネクストデータレジスタビット		R/W
b5	NDR21	ネクストデータレジスタビット		R/W
b6	NDR22	ネクストデータレジスタビット		R/W
b7	NDR23	ネクストデータレジスタビット		R/W

注.　PPG1.NDRLのアドレスが割り当てられていない番地（0008 81FFh）を読み出したときの値はFFhです。書き込みはできません。

(2) パルス出力グループ 4 とパルス出力グループ 5 で出力トリガが異なる場合

パルス出力グループ 4 とパルス出力グループ 5 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- 0008 81FDh（パルス出力グループ 5 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR20	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR21	ネクストデータレジスタビット		R/W
b6	NDR22	ネクストデータレジスタビット		R/W
b7	NDR23	ネクストデータレジスタビット		R/W

- 0008 81FFh（パルス出力グループ 4 がマッピング）

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR17	ネクストデータレジスタビット		R/W
b2	NDR18	ネクストデータレジスタビット		R/W
b3	NDR19	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

26.2.5 PPG 出力コントロールレジスタ（PCR）

アドレス PPG0.PCR 0008 81E6h、PPG1.PCR 0008 81F6h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

- PPG0.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ0コンペアマッチ選択ビット	b1 b0 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ1コンペアマッチ選択ビット	b3 b2 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ2コンペアマッチ選択ビット	b5 b4 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ3コンペアマッチ選択ビット	b7 b6 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ	R/W

- PPG1.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ4コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b1 b0 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b1 b0 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ5コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b3 b2 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b3 b2 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W

ビット	シンボル	ビット名	機能	R/W
b5-b4	G2CMS[1:0]	グループ6コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b5 b4 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b5 b4 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ7コンペアマッチ選択ビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 b7 b6 0 0：MTU0のコンペアマッチ 0 1：MTU1のコンペアマッチ 1 0：MTU2のコンペアマッチ 1 1：MTU3のコンペアマッチ • PPG1.PTRSLR.PTRSLビットが“1”の場合 b7 b6 0 0：TPU0のコンペアマッチ 0 1：TPU1のコンペアマッチ 1 0：TPU2のコンペアマッチ 1 1：TPU3のコンペアマッチ	R/W

PPGn.PCR レジスタ (n=0、1) は、パルス出力トリガ信号をグループ単位で選択します。
出力トリガの選択については、「26.2.6　PPG 出力モードレジスタ（PMR）」を参照してください。

26.2.6　PPG 出力モードレジスタ（PMR）

アドレス　PPG0.PMR 0008 81E7h、PPG1.PMR 0008 81F7h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
リセット後の値	1	1	1	1	0	0	0	0

- PPG0.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ0ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新）（n = 0～3）	R/W
b1	G1NOV	グループ1ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新）（n = 0～3）	R/W
b2	G2NOV	グループ2ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新）（n = 0～3）	R/W
b3	G3NOV	グループ3ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新）（n = 0～3）	R/W
b4	G0INV	グループ0出力極性変更ビット	0：反転出力 1：直接出力	R/W
b5	G1INV	グループ1出力極性変更ビット	0：反転出力 1：直接出力	R/W
b6	G2INV	グループ2出力極性変更ビット	0：反転出力 1：直接出力	R/W
b7	G3INV	グループ3出力極性変更ビット	0：反転出力 1：直接出力	R/W

- PPG1.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ4ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n=0～3）	R/W

ビット	シンボル	ビット名	機能	R/W
b1	G1NOV	グループ5ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n=0～3）	R/W
b2	G2NOV	グループ6ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n=0～3）	R/W
b3	G3NOV	グループ7ノンオーバラップビット	• PPG1.PTRSLR.PTRSLビットが“0”の場合 0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3） • PPG1.PTRSLR.PTRSLビットが“1”の場合 0：通常動作 （選択されたTPUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたTPUnのコンペアマッチA、Bで出力値を更新） （n=0～3）	R/W
b4	G0INV	グループ4出力極性変更ビット	0：反転出力 1：直接出力	R/W
b5	G1INV	グループ5出力極性変更ビット	0：反転出力 1：直接出力	R/W
b6	G2INV	グループ6出力極性変更ビット	0：反転出力 1：直接出力	R/W
b7	G3INV	グループ7出力極性変更ビット	0：反転出力 1：直接出力	R/W

PPGn.PMR レジスタ (n=0、1) は、PPG のパルス出力モードをグループ単位で設定します。

反転出力に設定すると PPGn.PODRH レジスタ、PPGn.PODRL レジスタの値が “1” のとき端子に Low を、PPGn.PODRH レジスタ、PPGn.PODRL レジスタの値が “0” のとき端子に High を出力します。また、ノンオーバラップ動作に設定すると PPG は、出力トリガとなる MTU または TPU のコンペアマッチ A、B で出力値を更新します。

詳細は、「26.3.4　パルス出力ノンオーバラップ動作」を参照してください。

26.3　動作説明

PPG 概要図を図 26.4 に示します。

PPG は、PPGn.NDERH、PPGn.NDERL レジスタ (n=0、1) の対応するビットをそれぞれ “1”（データ転送許可）に設定することにより、パルス出力状態となります。

初期出力値は、対応する PPGn.PODRH、PPGn.PODRL レジスタの初期設定値に依存します。その後、PPGn.PCR レジスタで指定したコンペアマッチが発生すると、対応する PPGn.NDRH、PPGn.NDRL レジスタの値がそれぞれ PPGn.PODRH、PPGn.PODRL レジスタに転送されて出力値が更新されます。

次のコンペアマッチが発生するまでに PPGn.NDRH、PPGn.NDRL レジスタに出力データを書くことにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

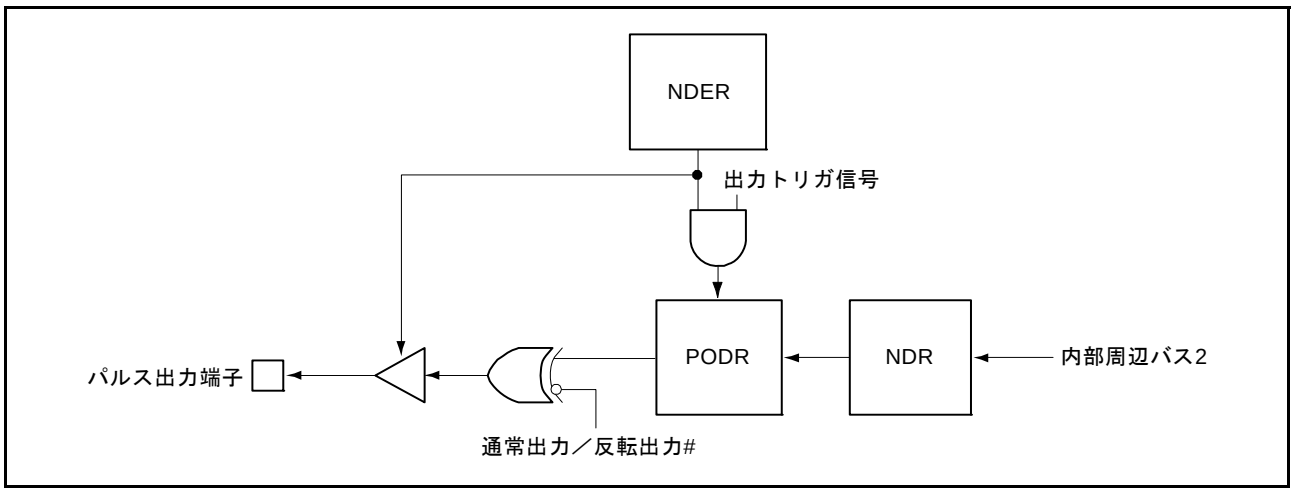


図 26.4　PPG 概要図

26.3.1　出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、PPGn.NDRH、PPGn.NDRL レジスタ (n=0、1) の値が PPGn.PODRH、PPGn.PODRL レジスタに転送され、出力されます。

このタイミングを図 26.5 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

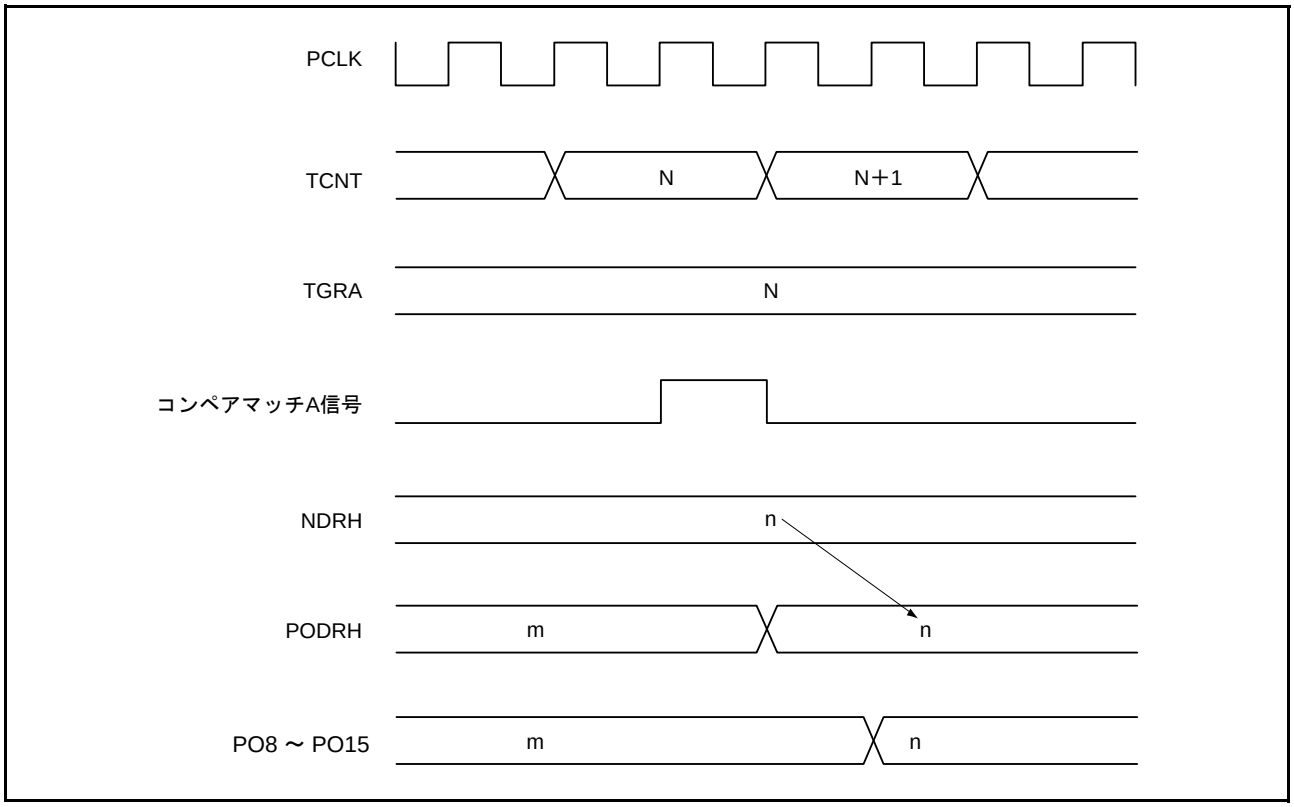
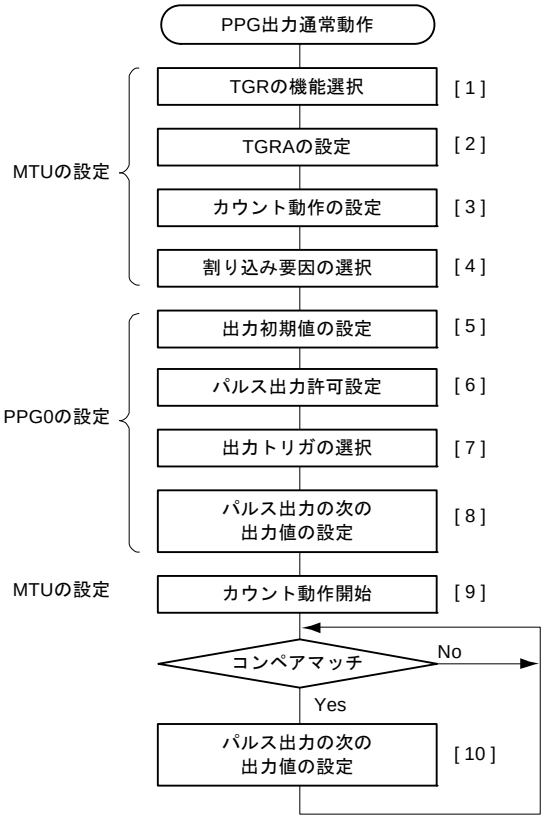


図 26.5　NDR の内容が転送・出力されるタイミング例

26.3.2　通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 26.6、図 26.7 に示します。

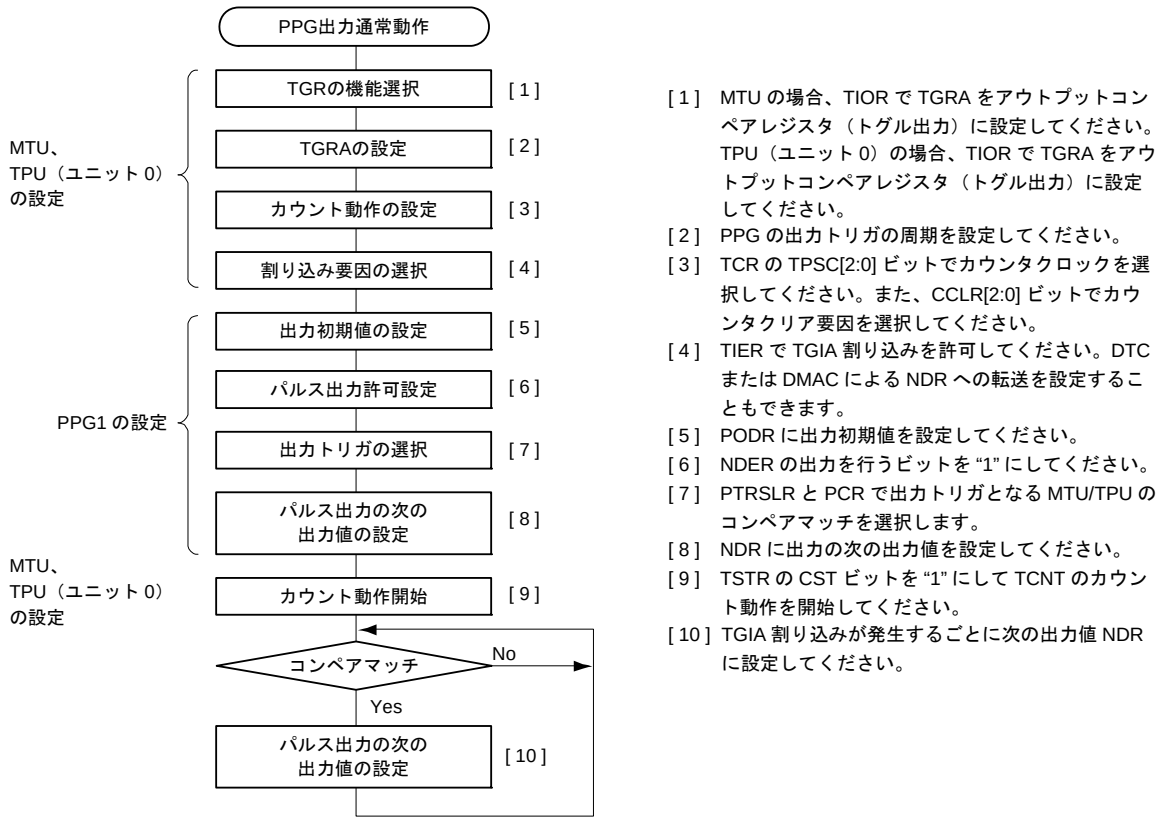
（1）PPG0 の設定



[1]　MTUのTIORでTGRAをアウトプットコンペアレジスタ（トグル出力）に設定してください。
[2]　PPGの出力トリガの周期を設定してください。
[3]　TCRのTPSC[2:0]ビットでカウンタクロックを選択してください。また、CCLR[2:0]ビットでカウンタクリア要因を選択してください。
[4]　TIERでTGIA割り込みを許可してください。DTCまたはDMACによるNDRへの転送を設定することもできます。
[5]　PODRに出力初期値を設定してください。
[6]　NDERの出力を行うビットを“1”にしてください。
[7]　PCRで出力トリガとなるMTUのコンペアマッチを選択します。
[8]　NDRに出力の次の出力値を設定してください。
[9]　TSTRのCSTビットを“1”にしてTCNTのカウント動作を開始してください。
[10]　TGIA割り込みが発生するごとに次の出力値をNDRに設定してください。

図 26.6　パルス出力通常動作の設定手順例（PPG0 の設定）

（2）PPG1 の設定



[1] MTU の場合、TIOR で TGRA をアウトプットコンペアレジスタ（トグル出力）に設定してください。TPU（ユニット 0）の場合、TIOR で TGRA をアウトプットコンペアレジスタ（トグル出力）に設定してください。
[2] PPG の出力トリガの周期を設定してください。
[3] TCR の TPSC[2:0] ビットでカウンタクロックを選択してください。また、CCLR[2:0] ビットでカウンタクリア要因を選択してください。
[4] TIER で TGIA 割り込みを許可してください。DTC または DMAC による NDR への転送を設定することもできます。
[5] PODR に出力初期値を設定してください。
[6] NDER の出力を行うビットを “1” にしてください。
[7] PTRSLR と PCR で出力トリガとなる MTU/TPU のコンペアマッチを選択します。
[8] NDR に出力の次の出力値を設定してください。
[9] TSTR の CST ビットを “1” にして TCNT のカウント動作を開始してください。
[10] TGIA 割り込みが発生するごとに次の出力値 NDR に設定してください。

図 26.7　パルス出力通常動作の設定手順例（PPG1 の設定）

26.3.3　パルス出力通常動作例（5 相パルス出力例）

パルス出力を使用して一定周期で 5 相パルスを出力させた PPG0 の例を図 26.8 に示します。

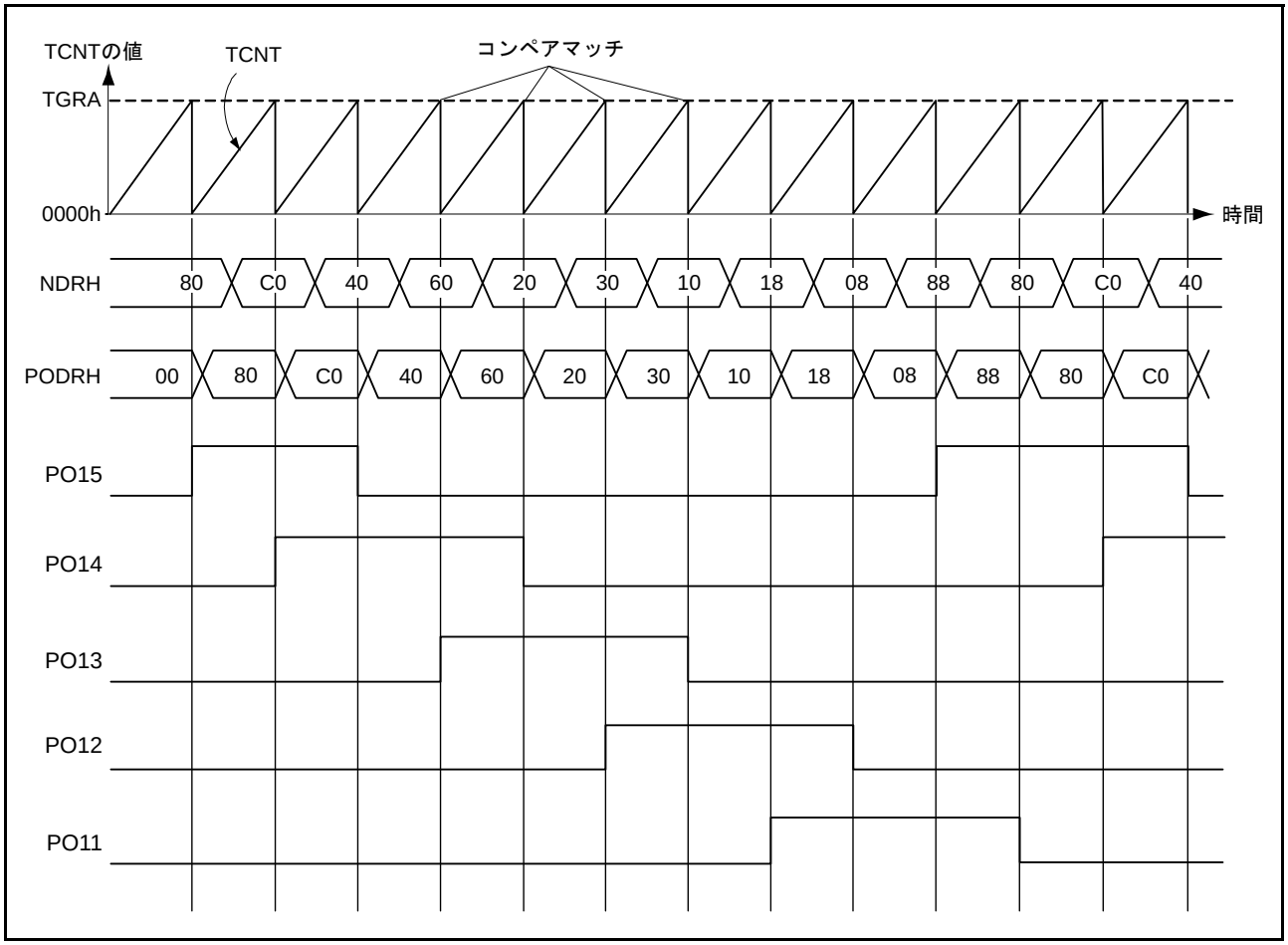


図 26.8　パルス出力通常動作例（5 相パルス出力例）

1. 出力トリガとする MTU の MTUn.TGRA レジスタ (n=0 ～ 3) をアウトプットコンペアレジスタに設定します。TGRA レジスタには周期を設定し、コンペアマッチ A によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを “1” にして、コンペアマッチ／インプットキャプチャ A（TGIAn）割り込み要求を許可します。
2. PPG0.NDERH レジスタに F8h を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。PPG0.NDRH レジスタに出力データ 80h を書きます。
3. MTU 当該チャネルの動作を開始しコンペアマッチ A が発生すると、PPG0.NDRH レジスタの値が PPG0.PODRH レジスタに転送され出力されます。TGIAn 割り込み処理で、PPG0.NDRH レジスタに次の出力データ C0h を書きます。
4. 以後、TGIAn 割り込みで順次 40h、60h、20h、30h、10h、18h、08h、88h… を書くことで、5 相の 1 － 2 相パルス出力を行うことができます。
   TGIAn 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

26.3.4　パルス出力ノンオーバラップ動作

ノンオーバラップ動作時の PPG0.NDRH、PPG0.NDRL レジスタ (n=0、1) から PPG0.PODRH、PPG0.PODRL レジスタへの転送は、以下のようになっています。

- コンペアマッチ A では PPG0.NDRH、PPG0.NDRL レジスタの値を常に PPG0.PODRH、PPG0.PODRL レジスタへ転送します。
- コンペアマッチ B では PPG0.NDRH、PPG0.NDRL レジスタの転送するビットの内容が “0” のときのみ転送を行います。“1” のときは転送を行いません。

ノンオーバラップ時のパルス出力動作を図 26.9 に示します。

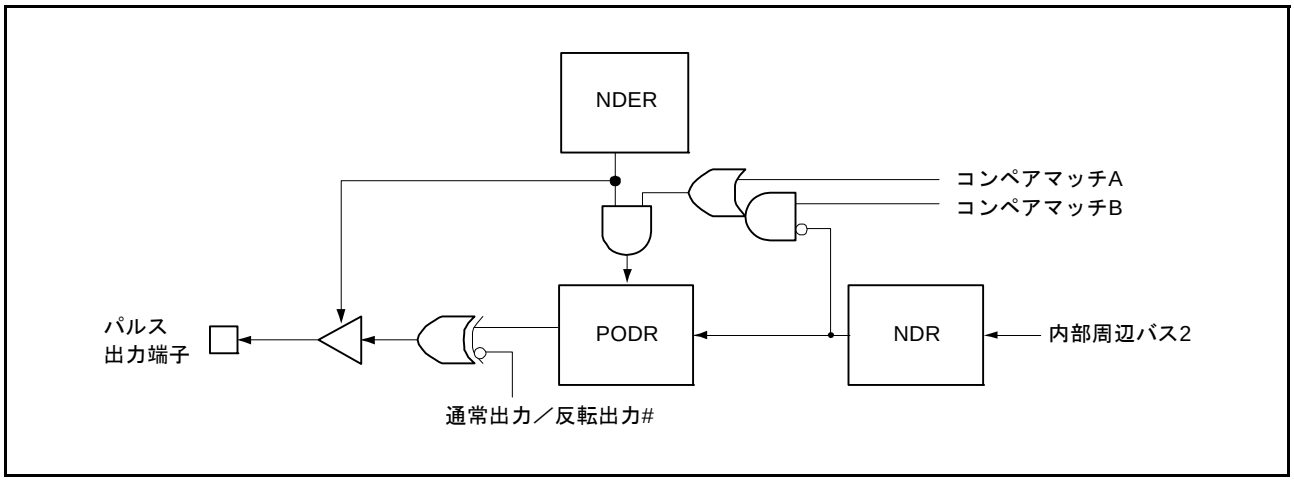


図 26.9　パルス出力ノンオーバラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことができます。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまでの間（ノンオーバラップ期間）、PPG0.NDRH、PPG0.NDRL レジスタの値を変更しないようにしてください。そのためには TGIA 割り込みの割り込み処理ルーチンで、PPG0.NDRH、PPG0.NDRL レジスタに次のデータを書いてください。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、この書き込みは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 26.10 に示します。

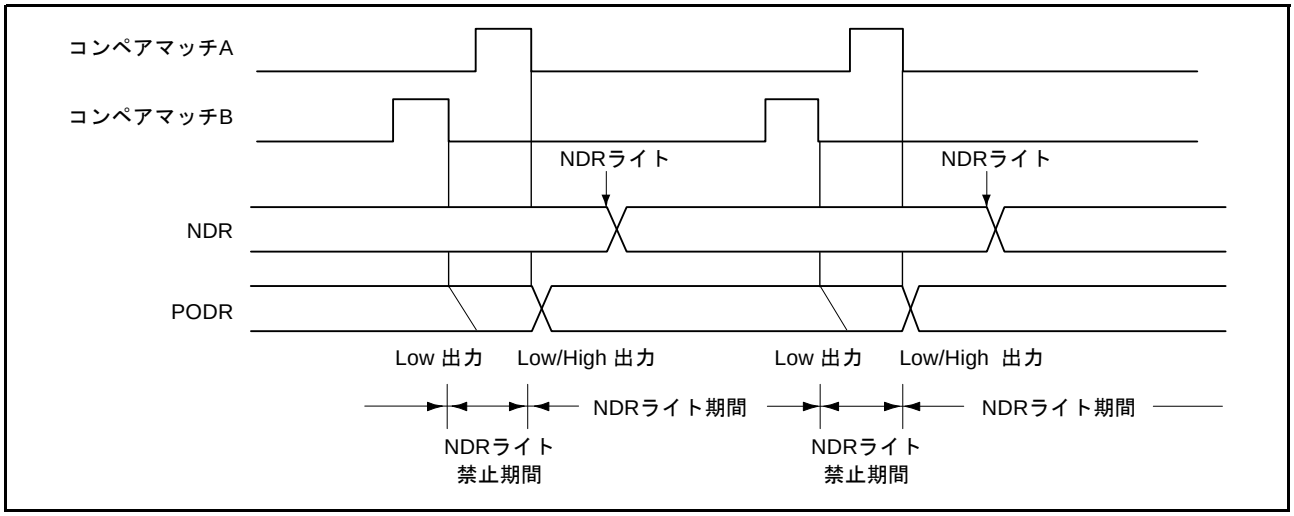


図 26.10　ノンオーバラップ動作と PPGn.NDRH、PPGn.NDRL レジスタ書き込みタイミング

26.3.5　ノンオーバラップ動作のパルス出力設定手順例

パルス出力ノンオーバラップ動作の設定手順例を図 26.11、図 26.12 に示します。

（1）PPG0 の設定

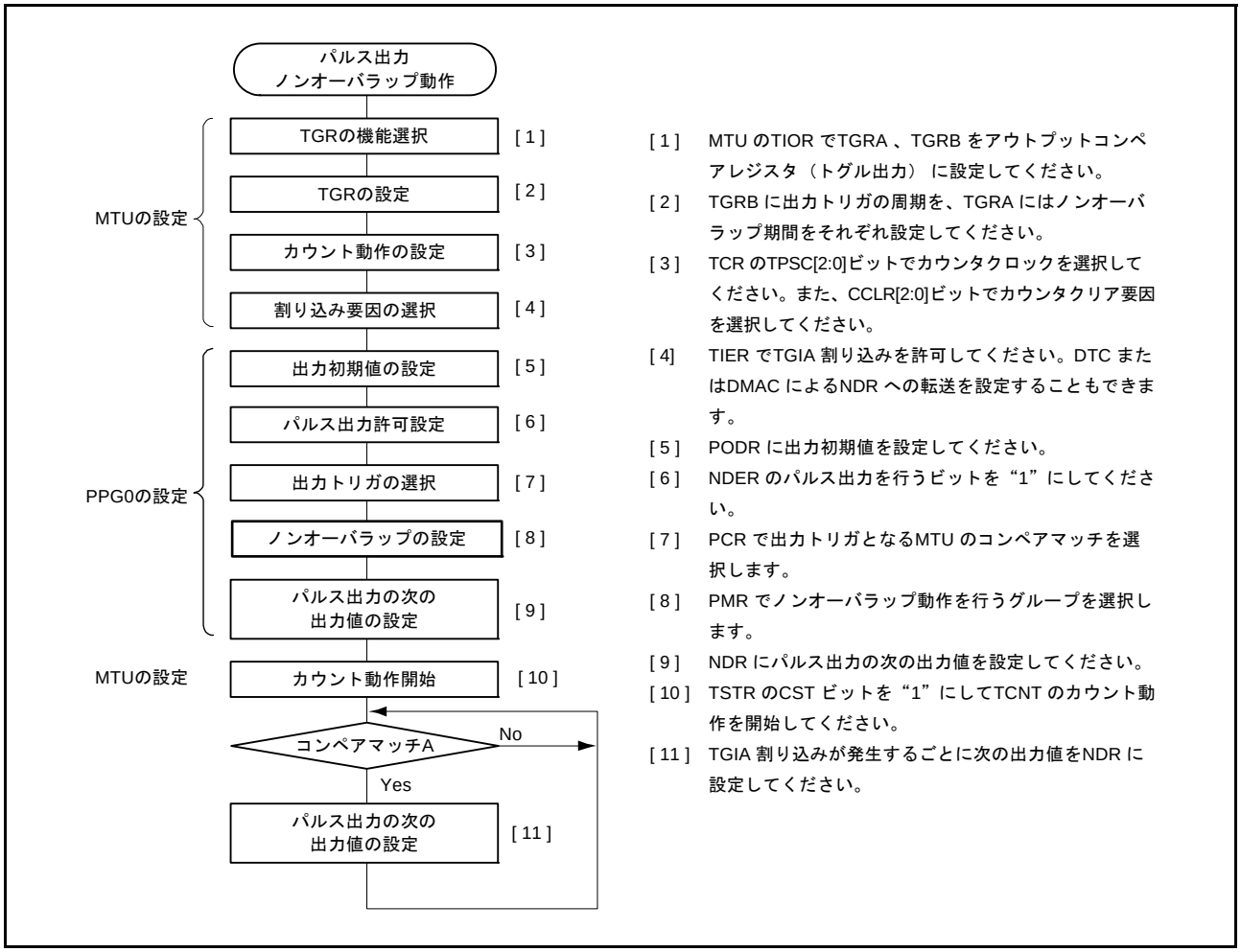
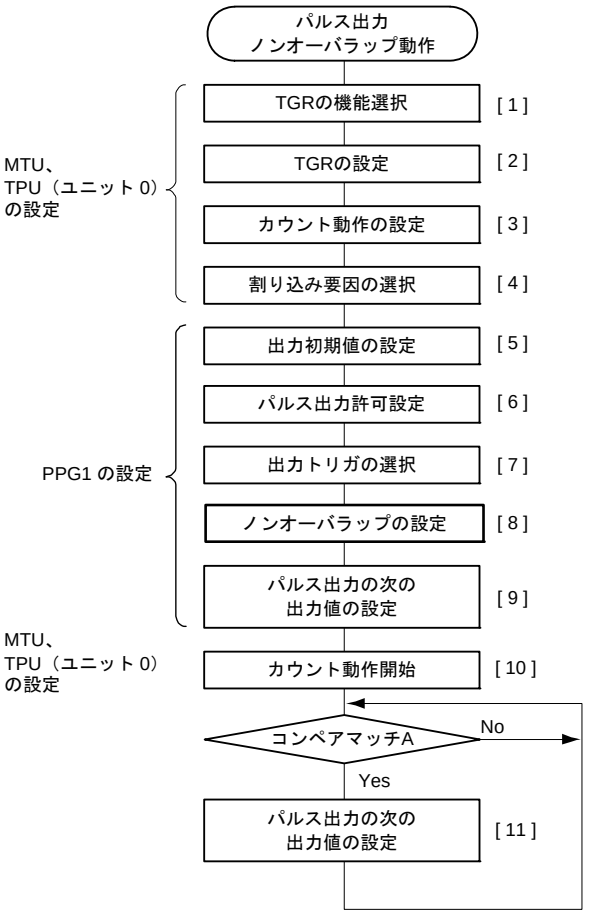


図 26.11　パルス出力ノンオーバラップ動作の設定手順例（PPG0 の設定）

（2）PPG1 の設定



[1] MTU の場合、TIOR で TGRA、TGRB をアウトプットコンペアレジスタ（トグル出力）に設定してください。TPU（ユニット 0）の場合、TIOR で TGRA、TGRB をアウトプットコンペアレジスタ（トグル出力）に設定してください。

[2] TGRB に出力トリガの周期を、TGRA にはノンオーバラップ期間をそれぞれ設定してください。

[3] TCR の TPSC[2:0] ビットでカウンタクロックを選択してください。また、CCLR[2:0] ビットでカウンタクリア要因を選択してください。

[4] TIER で TGIA 割り込みを許可してください。DTC または DMAC による NDR への転送を設定することもできます。

[5] PODR に出力初期値を設定してください。

[6] NDER のパルス出力を行うビットを “1” にしてください。

[7] PTRSLR と PCR で出力トリガとなる MTU/TPU のコンペアマッチを選択します。

[8] PMR でノンオーバラップ動作を行うグループを選択します。

[9] NDR にパルス出力の次の出力値を設定してください。

[10] TSTR の CST ビットを “1” にして TCNT のカウント動作を開始してください。

[11] TGIA 割り込みが発生するごとに次の出力値を NDR に設定してください。

図 26.12　パルス出力ノンオーバラップ動作の設定手順例（PPG1 の設定）

26.3.6　パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）

パルス出力を使用して 4 相の相補ノンオーバラップのパルスを出力させた PPG0 の例を図 26.13 に示します。

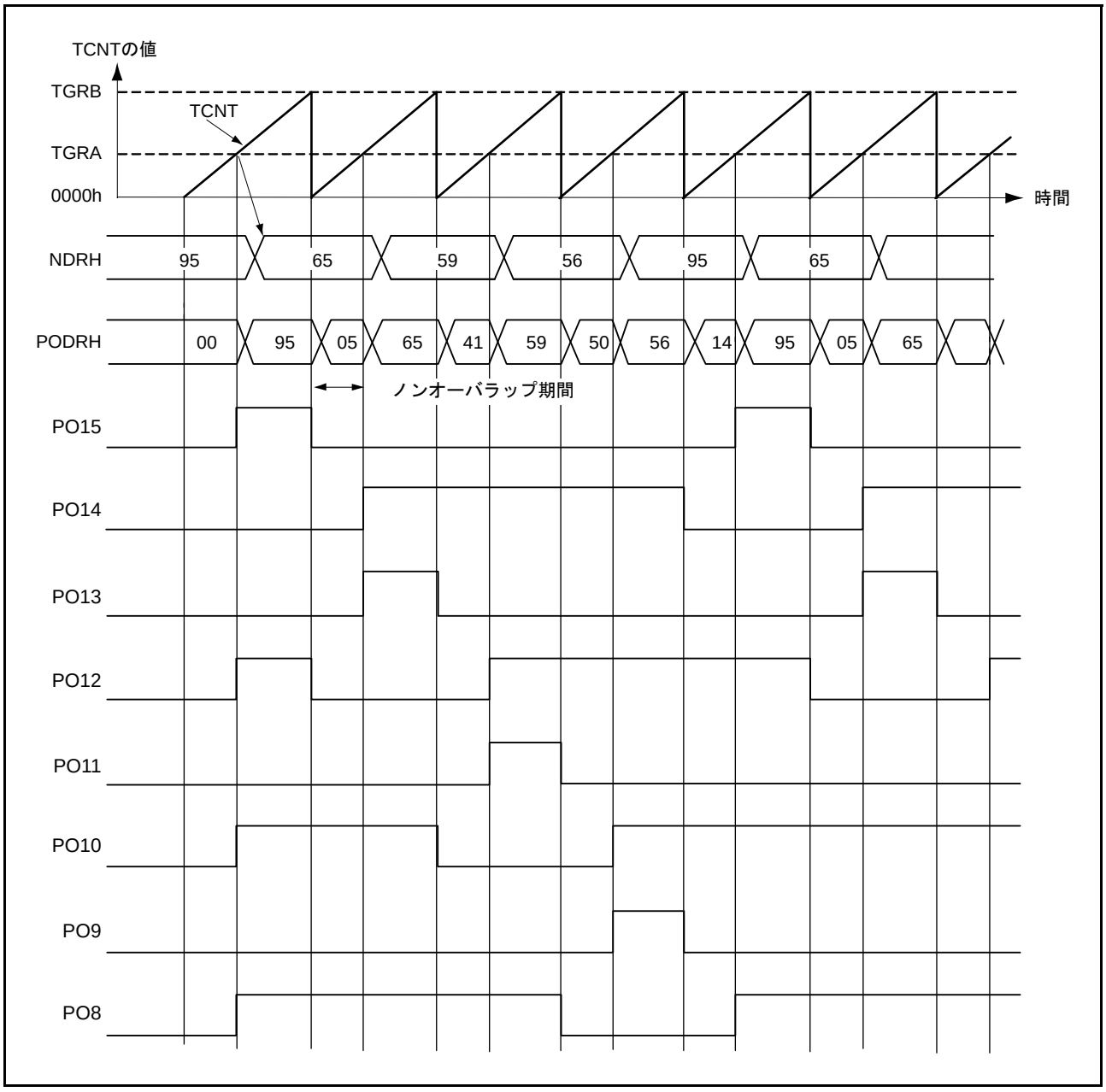


図 26.13　パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力）

1. 出力トリガとする MTU の MTUn.TGRA、TGRB レジスタ (n=0 ～ 3) をアウトプットコンペアレジスタに設定します。TGRB レジスタには周期、TGRA レジスタにはノンオーバラップ期間を設定し、コンペアマッチ B によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを “1” にして、コンペアマッチ／インプットキャプチャ A（TGIAn）割り込み要求を許可します。
2. PPG0.NDERH に FFh を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。
   PPG0.PMR.G3NOV,G2NOV ビットをそれぞれ “1” にして、ノンオーバラップ動作を設定します。
   PPG0.NDRH に出力データ 95h を書きます。
3. MTU 当該チャネルの動作を開始すると、TGRB レジスタのコンペアマッチで High 出力→ Low 出力の変化、TGRA レジスタのコンペアマッチで Low 出力→ High 出力の変化を行います（Low 出力→ High 出力の変化は TGRA レジスタの設定値分遅延することになります）。
   TGIAn 割り込み処理で PPG0.NDRH に次の出力データ 65h を書きます。
4. 以後、TGIAn 割り込みで順次 59h、56h、95h… を書くことで、4 相の相補ノンオーバラップ出力を行うことができます。
   TGIAn 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

26.3.7　パルス反転出力

PPG0.PMR.G3INV, G2INV, G1INV, G0INV ビットを “0” にすると、PPG0.PODRH、PPG0.PODRL レジスタの値に対する反転値を端子出力することができます。

図 26.13 の設定で、さらに G3INV、G2INV ビットを “0” にしたときの端子出力の様子を**図 26.14** に示します。

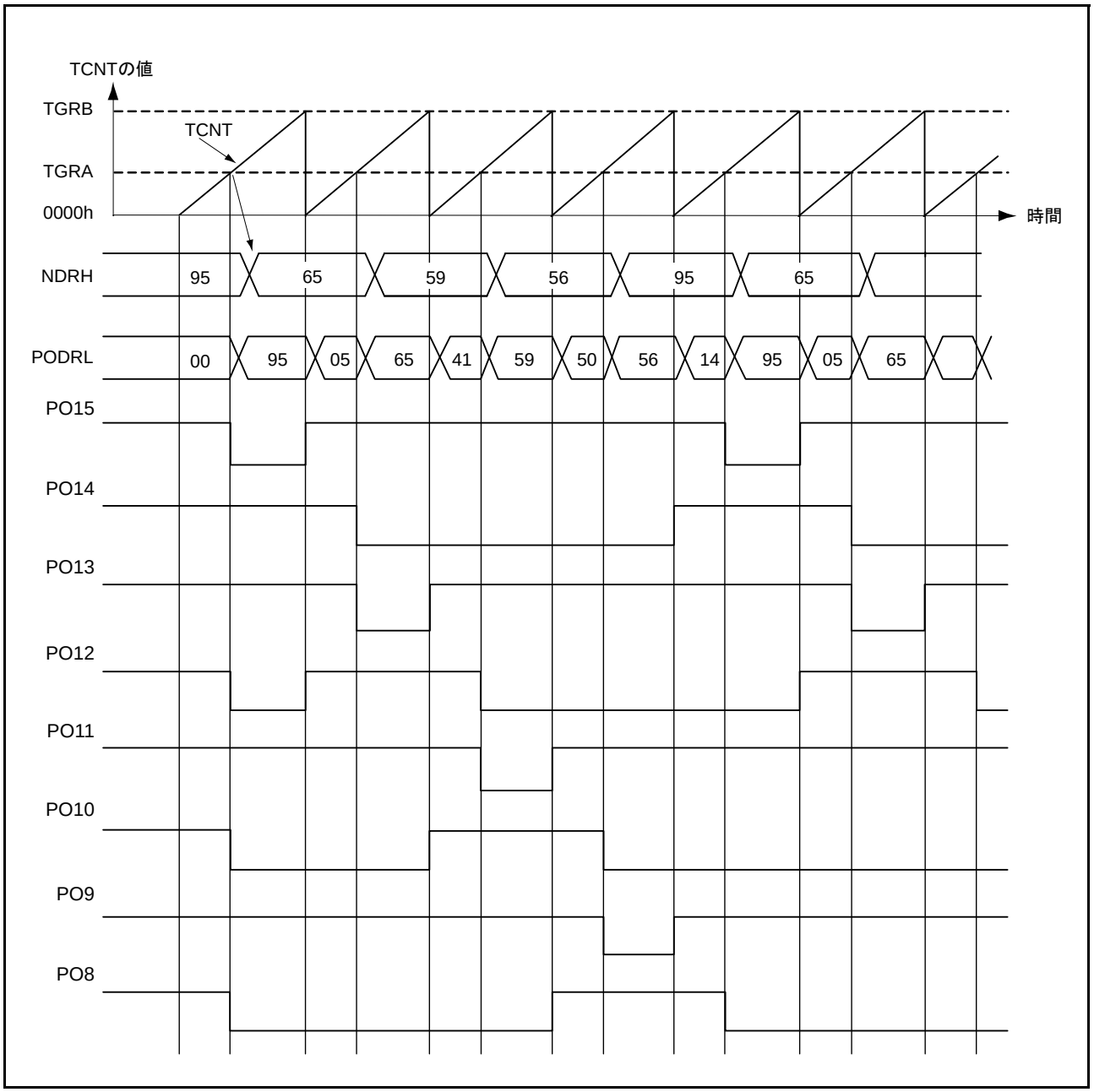


図 26.14　パルス反転出力例

26.3.8　インプットキャプチャによるパルス出力

PPG0 のパルス出力は、MTU のコンペアマッチだけでなく、インプットキャプチャによっても可能です。PPG0.PCR レジスタによって選択された MTU の MTUn.TGRA レジスタ (n=0 ～ 3) がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャ信号によりパルス出力を行います。

このタイミングを図 26.15 に示します。

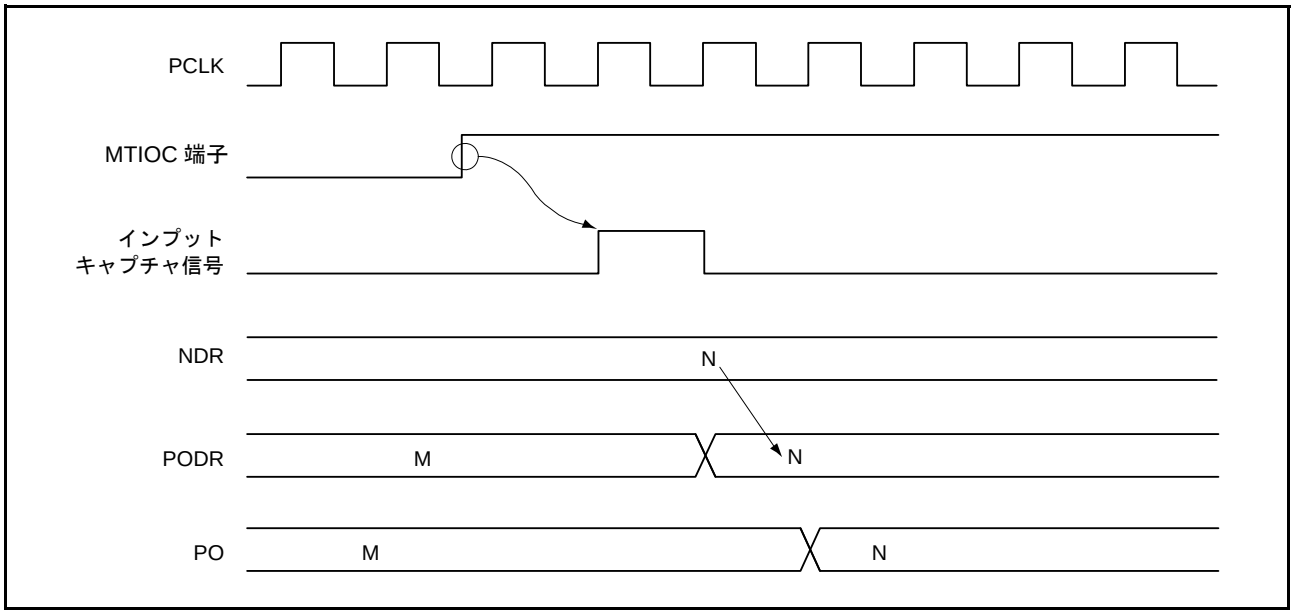


図 26.15　インプットキャプチャによるパルス出力例

26.4　使用上の注意事項

26.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作を禁止 / 許可することができます。初期値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11.　消費電力低減機能」を参照してください。

27. 8ビットタイマ（TMR）

RX63N グループ、RX631 グループは、8 ビットのカウンタをベースにした 2 チャネルの 8 ビットタイマ（TMR）を 2 ユニット（ユニット 0、ユニット 1）、合計 4 チャネル内蔵しています。外部イベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット 0、1 は同一機能で、SCI のボーレートクロックが生成可能です。

27.1 概要

表 27.1 に TMR の仕様を示します。

図 27.1 にユニット 0、図 27.2 にユニット 1 のブロック図を示します。

表27.1　TMRの仕様

項目	仕様
カウントクロック	• 分周クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 • 外部クロック
チャネル数	（8ビット×2チャネル）×2ユニット
コンペアマッチ	• 8ビットモード（コンペアマッチA、コンペアマッチB） • 16ビットモード（コンペアマッチA、コンペアマッチB）
カウンタクリア	コンペアマッチA、コンペアマッチB、外部リセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャネルのカスケード接続	• 16ビットカウントモード TMR0を上位、TMR1を下位（TMR2を上位、TMR3を下位）とする16ビットタイマ • コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント（TMR3はTMR2のコンペアマッチをカウント）
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2のコンペアマッチA（注1）
SCIのボーレートクロック生成	SCIのボーレートクロックを生成（注2）
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

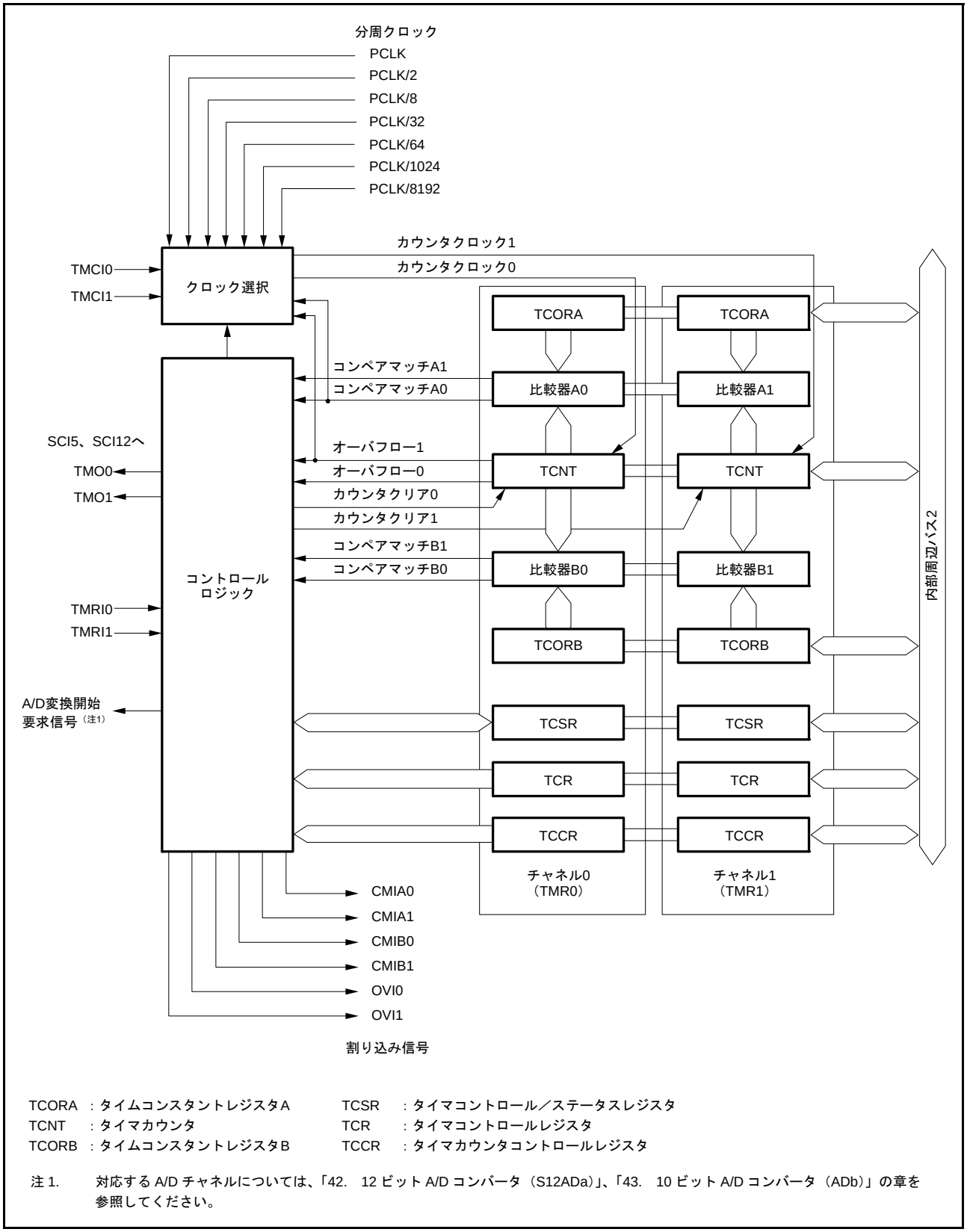
注1.　詳細は「42. 12ビットA/Dコンバータ（S12ADa）」、「43. 10ビットA/Dコンバータ（ADb）」を参照してください。
注2.　詳細は「35. シリアルコミュニケーションインタフェース（SCIc、SCId）」を参照してください。

表27.2　TMRの機能一覧

項目		ユニット0			ユニット1		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRI0	TMR1.TCORA TMR1.TCORB TMRI1	TMR0.TCORA + TMR1.TCORA TMR0.TCORB+ TMR1.TCORB TMRI0	TMR2.TCORA TMR2.TCORB TMRI2	TMR3.TCORA TMR3.TCORB TMRI3	TMR2.TCORA + TMR3.TCORA TMR2.TCORB+ TMR3.TCORB TMRI2
コンペアマッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフロー	TMR0の コンペアマッチA	—	TMR3の オーバフロー	TMR2の コンペアマッチA	—
A/Dコンバータの変換開始トリガ（注1）		○	—	○	○	—	○
SCIのボーレートクロックの生成（注2）		○		—	○		—
モジュールストップの設定（注3）		（ユニット0）MSTPCRA.MSTPA5ビット、（ユニット1）MSTPCRA.MSTPA4ビット					

○：可能
—：不可能

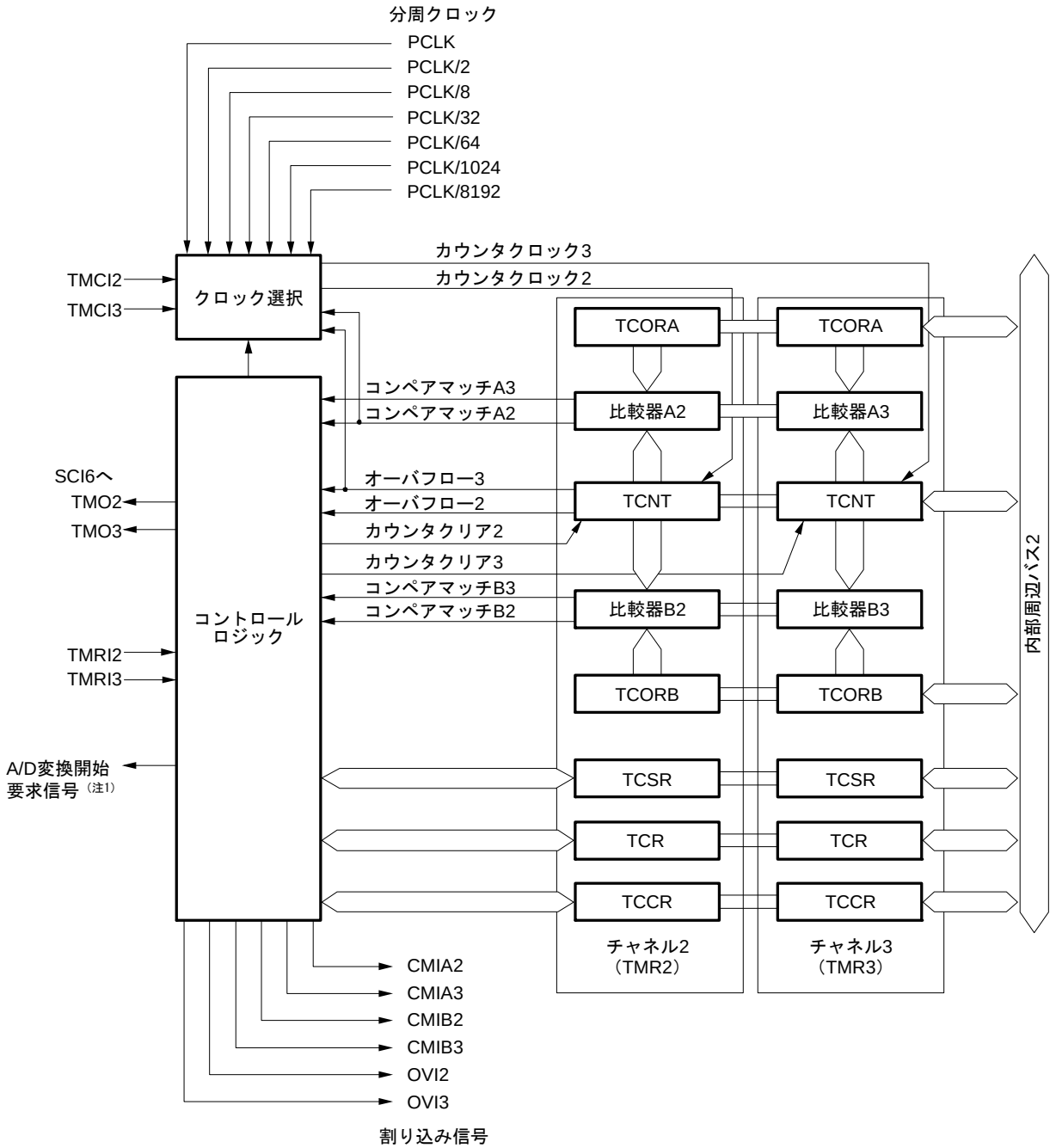
注1.　詳細は「42.　12ビットA/Dコンバータ（S12ADa）」、「43.　10ビットA/Dコンバータ（ADb）」を参照してください。
注2.　詳細は「35.　シリアルコミュニケーションインタフェース（SCIc、SCId）」を参照してください。
注3.　詳細は「11.　消費電力低減機能」を参照してください。



TCORA　：タイムコンスタントレジスタA　　TCSR　：タイマコントロール／ステータスレジスタ
TCNT　：タイマカウンタ　　TCR　：タイマコントロールレジスタ
TCORB　：タイムコンスタントレジスタB　　TCCR　：タイマカウンタコントロールレジスタ

注 1.　対応する A/D チャネルについては、「42.　12 ビット A/D コンバータ（S12ADa）」、「43.　10 ビット A/D コンバータ（ADb）」の章を参照してください。

図 27.1　TMR（ユニット 0）のブロック図



TCORA　：タイムコンスタントレジスタA　　TCSR　：タイマコントロール／ステータスレジスタ
TCNT　：タイマカウンタ　　TCR　：タイマコントロールレジスタ
TCORB　：タイムコンスタントレジスタB　　TCCR　：タイマカウンタコントロールレジスタ

注 1.　対応する A/D チャネルについては、「42.　12 ビット A/D コンバータ（S12ADa）」、「43.　10 ビット A/D コンバータ（ADb）」の章を参照してください。

図 27.2　TMR（ユニット 1）のブロック図

表 27.3 に TMR で使用する入出力端子を示します。

表27.3　TMRの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCI0	入力	カウンタ外部クロック入力
		TMRI0	入力	カウンタ外部リセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCI1	入力	カウンタ外部クロック入力
		TMRI1	入力	カウンタ外部リセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCI2	入力	カウンタ外部クロック入力
		TMRI2	入力	カウンタ外部リセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCI3	入力	カウンタ外部クロック入力
		TMRI3	入力	カウンタ外部リセット入力

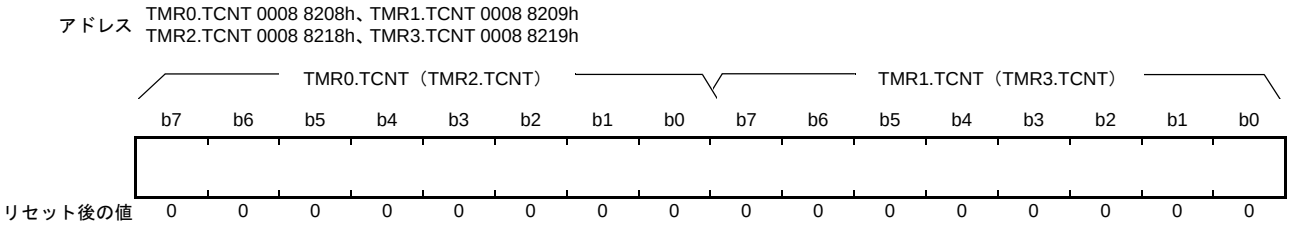
27.2　レジスタの説明

表 27.4 に 16 ビットアクセスのレジスタ配置を示します。

表27.4　16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 8208h	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR

27.2.1　タイマカウンタ（TCNT）



TCNT カウンタは、8 ビットのリード／ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ（TMR2.TCNT カウンタと TMR3.TCNT カウンタ）を 16 ビットカウンタとしてワードアクセスすることも可能です。

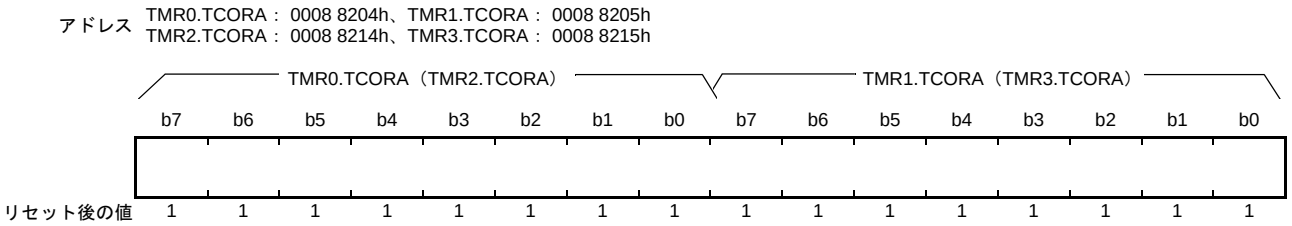
カウントクロックは、TCCR.CSS [1:0] ビット , CKS[2:0] ビットで選択します。

TCNT カウンタは、外部リセット入力信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR [1:0] ビットにより選択します。

TCNT カウンタのオーバフロー（“FFh” → “00h”）が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバフロー割り込み（“L” パルス）を出力します。

なお、対応する割り込みベクタ番号は、**「15.　割り込みコントローラ（ICUb）」**と**「表 27.6　TMR の割り込み要因」**を参照してください。

27.2.2　タイムコンスタントレジスタ A（TCORA）



TCORA レジスタは、8 ビットのリード／ライト可能なレジスタです。

TMR0.TCORA レジスタと TMR1.TCORA レジスタ（TMR2.TCORA レジスタと TMR3.TCORA レジスタ）を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込み（“L” パルス）を出力します。

ただし、TCORA レジスタへのライト時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMOn 端子からのタイマ出力を制御することができます。

27.2.3　タイムコンスタントレジスタ B（TCORB）

アドレス　TMR0.TCORB 0008 8206h、TMR1.TCORB 0008 8207h
TMR2.TCORB 0008 8216h、TMR3.TCORB 0008 8217h

	TMR0.TCORB（TMR2.TCORB）								TMR1.TCORB（TMR3.TCORB）							
	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

TCORB レジスタは、8 ビットのリード／ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ（TMR2.TCORB レジスタと TMR3.TCORB レジスタ）を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込み（“L” パルス）を出力します。

ただし、TCORBn レジスタへのライト時には比較しません。また、このコンペアマッチ B と TCSRn.OSB[1:0] ビットの設定により、TMOn 端子からのタイマ出力を制御することができます。

27.2.4　タイマコントロールレジスタ（TCR）

アドレス　TMR0.TCR 0008 8200h、TMR1.TCR 0008 8201h
TMR2.TCR 0008 8210h、TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット（注1）	b4 b3 0 0：クリアを禁止 0 1：コンペアマッチAによりクリア 1 0：コンペアマッチBによりクリア 1 1：外部リセット入力によりクリア （TCCR.TMRISビットでエッジまたはレベルを選択）	R/W
b5	OVIE	タイマオーバフロー割り込み許可ビット	0：オーバフローによる割り込み要求（OVIn）を禁止 1：オーバフローによる割り込み要求（OVIn）を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0：コンペアマッチAによる割り込み要求（CMIAn）を禁止 1：コンペアマッチAによる割り込み要求（CMIAn）を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0：コンペアマッチBによる割り込み要求（CMIBn）を禁止 1：コンペアマッチBによる割り込み要求（CMIBn）を許可	R/W

注1.　カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「21. I/Oポート」を参照してください。

CMIEA ビット（コンペアマッチ割り込み許可 A ビット）

TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求（CMIAn）の許可または禁止を選択します。

CMIEB ビット（コンペアマッチ割り込み許可 B ビット）

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求（CMIBn）の許可または禁止を選択します。

27.2.5　タイマカウンタコントロールレジスタ（TCCR）

アドレス　TMR0.TCCR 0008 820Ah、TMR1.TCCR 0008 820Bh
TMR2.TCCR 0008 821Ah、TMR3.TCCR 0008 821Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット（注1）	表27.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表27.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0：外部リセットの立ち上がりでクリア 1：外部リセットのHighでクリア	R/W

注1.　カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「21. I/Oポート」を参照してください。

CKS[2:0] ビット（クロック選択ビット）
CSS[1:0] ビット（クロックソース選択ビット）

CKS[2:0] ビットおよび CSS[1:0] ビットは、クロックを選択します。詳細は、**表 27.5** を参照してください。

TMRIS ビット（タイマリセット検出条件選択ビット）

TCR.CCLR [1:0] ビットが “11b”（外部リセット入力によりクリア）のとき有効となり、外部リセット検出条件（レベルまたはエッジ）を選択します。

表27.5　TCNTカウンタに入力するクロックとカウント条件

チャネル	TCCRレジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0（TMR2）	0	0	—	0	0	クロック入力を禁止
					1	外部クロックの立ち上がりエッジでカウント（注1）
				1	0	外部クロックの立ち下がりエッジでカウント（注1）
					1	外部クロックの立ち上がり／立ち下がり両エッジでカウント（注1）
	0	1	0	0	0	分周クロック：PCLKでカウント
					1	分周クロック：PCLK/2でカウント
				1	0	分周クロック：PCLK/8でカウント
					1	分周クロック：PCLK/32でカウント
			1	0	0	分周クロック：PCLK/64でカウント
					1	分周クロック：PCLK/1024でカウント
				1	0	分周クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT（TMR3.TCNT）のオーバフロー信号でカウント（注2）
TMR1（TMR3）	0	0	—	0	0	クロック入力を禁止
					1	外部クロックの立ち上がりエッジでカウント（注1）
				1	0	外部クロックの立ち下がりエッジでカウント（注1）
					1	外部クロックの立ち上がり／立ち下がり両エッジでカウント（注1）
	0	1	0	0	0	分周クロック：PCLKでカウント
					1	分周クロック：PCLK/2でカウント
				1	0	分周クロック：PCLK/8でカウント
					1	分周クロック：PCLK/32でカウント
			1	0	0	分周クロック：PCLK/64でカウント
					1	分周クロック：PCLK/1024でカウント
				1	0	分周クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT（TMR2.TCNT）のコンペアマッチAでカウント（注2）

注1.　カウンタ外部リセットを使用する場合は、該当する端子のPORTn.PDR.Bnビットを“0”に、PORTn.PMR.Bnビットを“1”にしてください。詳細については「21.　I/Oポート」を参照してください。

注2.　TMR0（TMR2）のクロック入力をTMR1.TCNT（TMR3.TCNT）カウンタのオーバフロー信号とし、TMR1（TMR3）のクロック入力をTMR0.TCNT（TMR2.TCNT）カウンタのコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

27.2.6 タイマコントロール／ステータスレジスタ（TCSR）

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h、TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA （注1）	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB （注1）	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b4	ADTE	A/Dトリガ許可ビット （注2）	0：コンペアマッチAによるA/D変換開始要求を禁止 1：コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMOn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力は“Low”です。

注2. 対応するA/Dチャネルについては、「42. 12ビットA/Dコンバータ（S12ADa）」、「43. 10ビットA/Dコンバータ（ADb）」を参照してください。

OSA[1:0] ビット（アウトプット選択ビット A）

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMOn 端子の出力方法を選択します。

OSB[1:0] ビット（アウトプット選択ビット B）

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMOn 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス　TMR1.TCSR 0008 8203h、TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA （注1）	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB （注1）	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1.　OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMOn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力は“Low”です。

OSA[1:0] ビット（アウトプット選択ビット A）

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMOn 端子の出力方法を選択します。

OSB[1:0] ビット（アウトプット選択ビット B）

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMOn 端子の出力方法を選択します。

27.3　動作説明

27.3.1　　パルス出力

任意のデューティパルスを出力させる例を図 27.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “01b”（コンペアマッチ A によりクリア）に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b”（High 出力）、TCSR.OSB[1:0] ビットを “01b”（Low 出力）にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力は Low です。

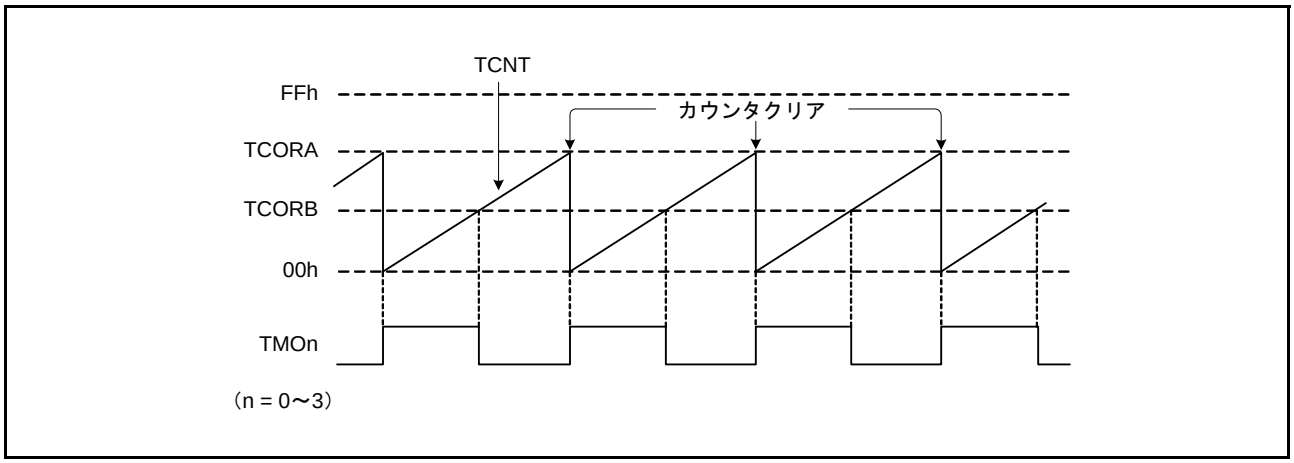


図 27.3　　パルス出力例

27.3.2　リセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 27.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b”（外部リセット入力によりクリア）にし、TCCR.TMRIS ビットを “1”（外部リセットの High でクリア）にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b”（High 出力）、TCSR.OSB[1:0] ビットを “01b”（Low 出力）にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が（TCORB － TCORA）の波形を出力できます。

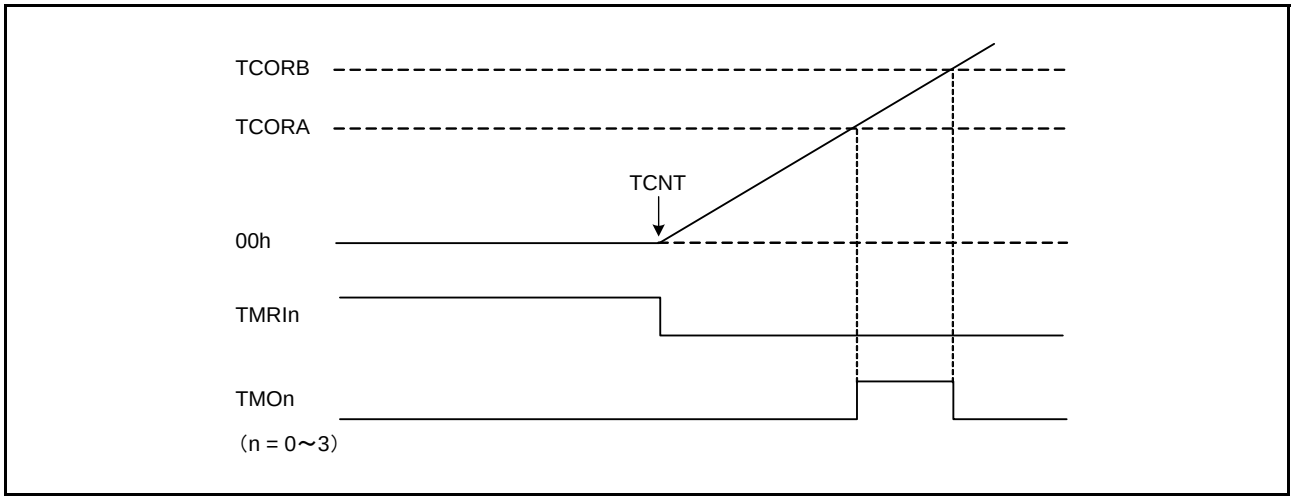


図 27.4　リセット入力例

27.4　動作タイミング

27.4.1　TCNT カウンタのカウントタイミング

分周クロック動作の場合の TCNT カウンタのカウントタイミングを図 27.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 27.6 に示します。

なお外部クロックのパルス幅は、単エッジの場合は 1.5PCLK 以上、両エッジの場合は 2.5PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

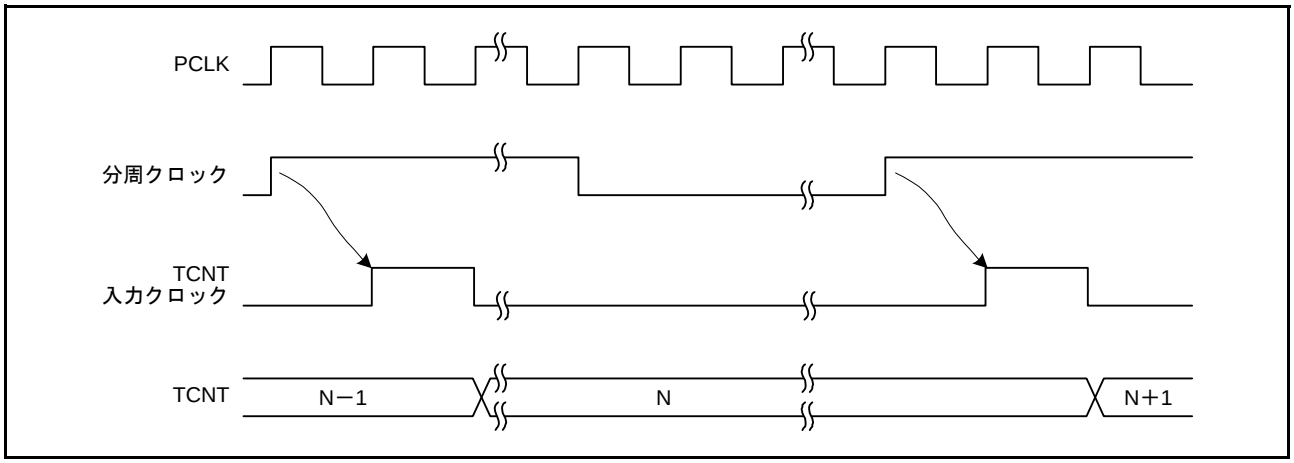


図 27.5　分周クロック動作時のカウントタイミング

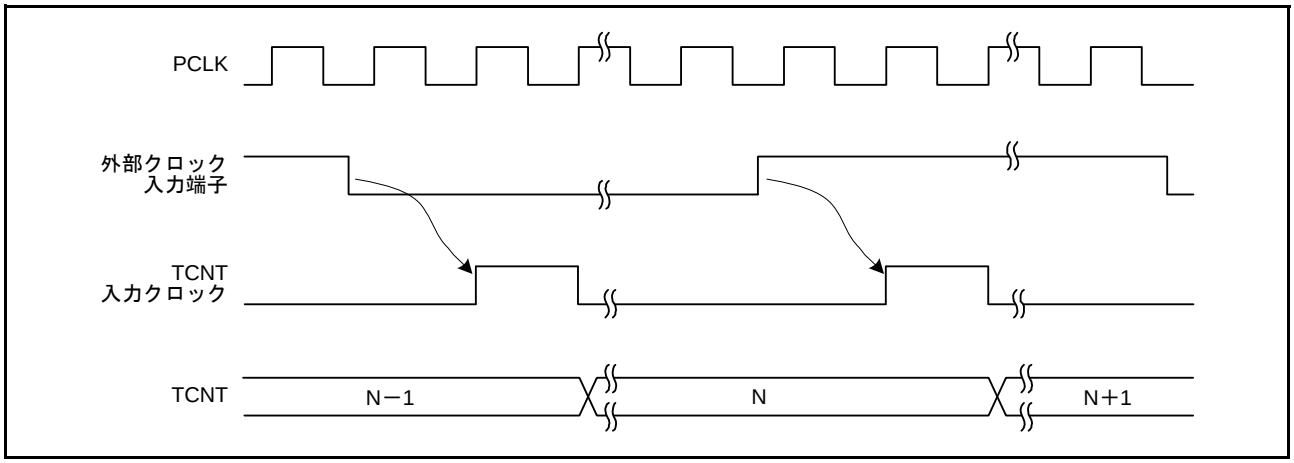


図 27.6　外部クロック動作時のカウントタイミング（両エッジの場合）

27.4.2　コンペアマッチ時の割り込み信号出力タイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウンタ入力クロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 27.7 に示します。

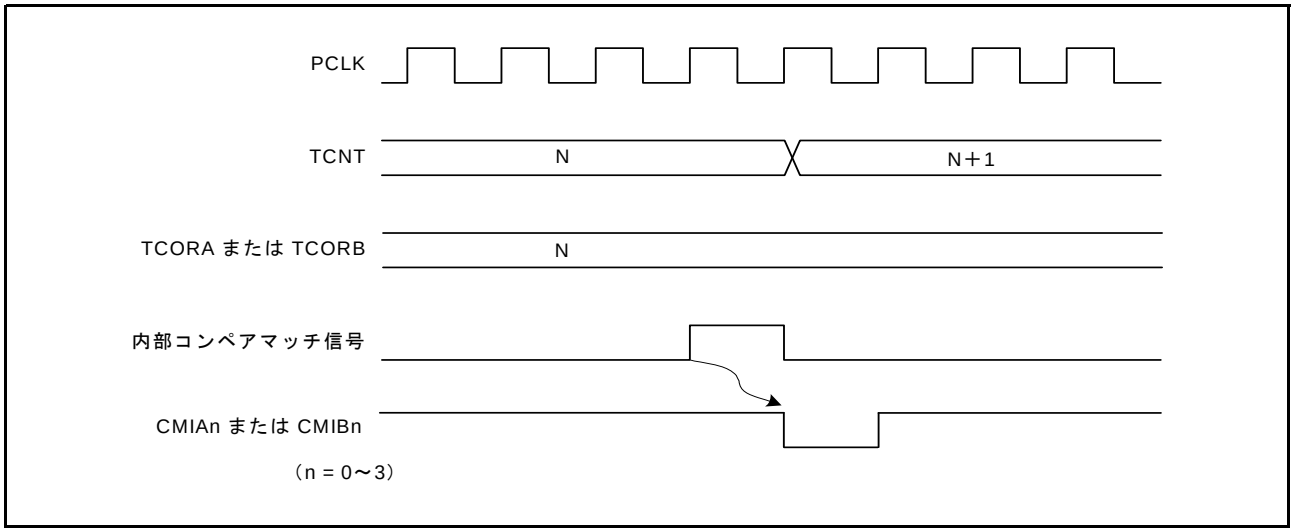


図 27.7　コンペアマッチ時の割り込み信号出力タイミング

27.4.3　コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子（TMOn）に出力されます。

コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 27.8 に示します。

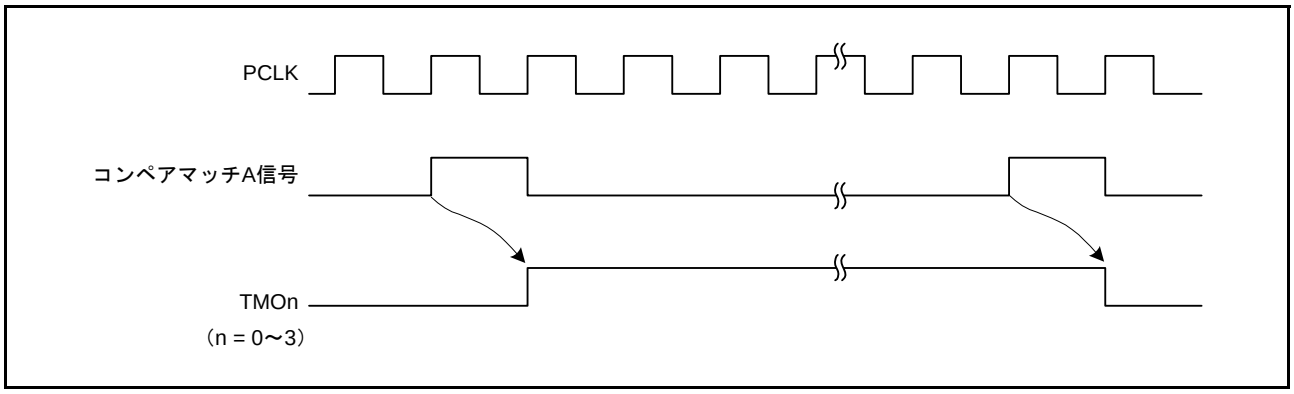


図 27.8　コンペアマッチ A 信号によるタイマ出力タイミング

27.4.4　コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 27.9 に示します。

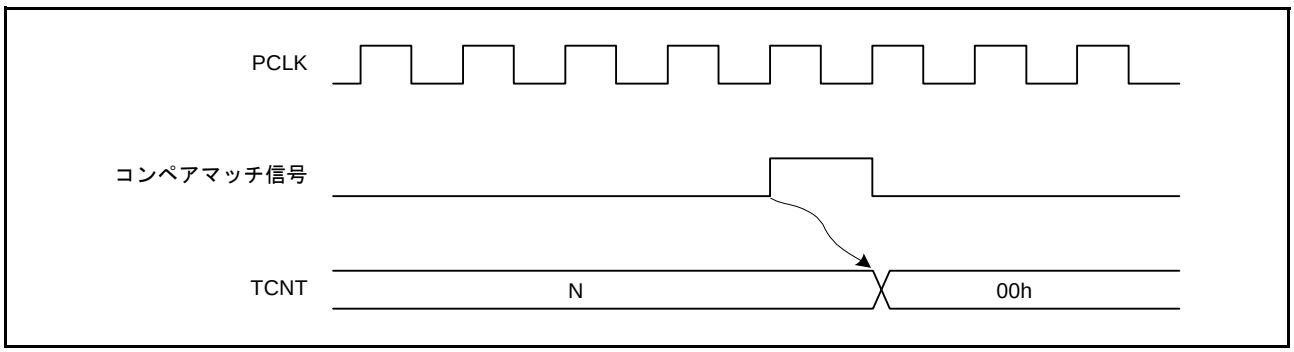


図 27.9　コンペアマッチによるカウンタクリアタイミング

27.4.5　TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCRn.CCLR[1:0] ビットの選択により外部リセット入力の立ち上がりエッジ、または High でクリアされます。外部リセットの入力から TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部リセット入力によるクリアタイミングを図 27.10、図 27.11 に示します。

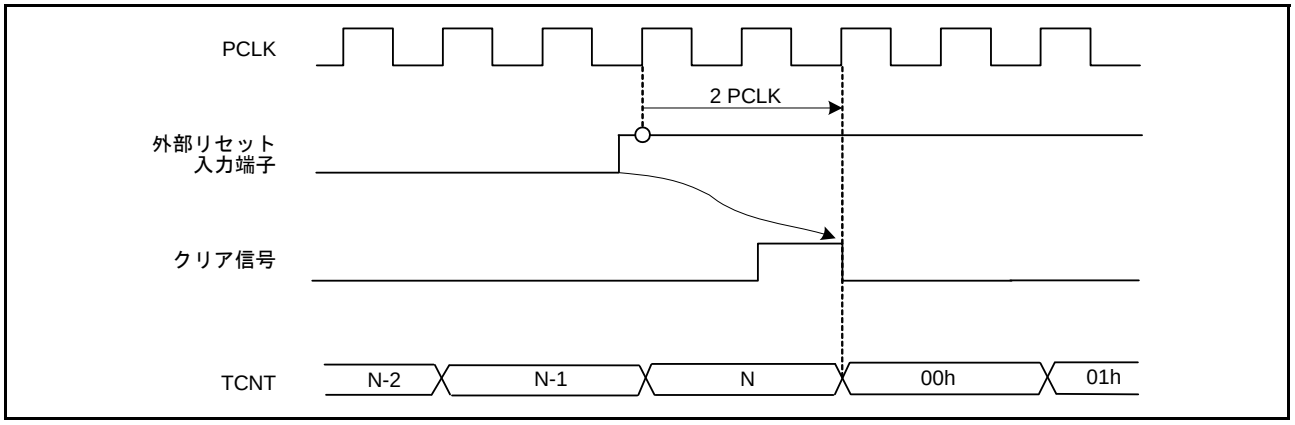


図 27.10　外部リセット入力によるクリアタイミング（立ち上がりエッジ）

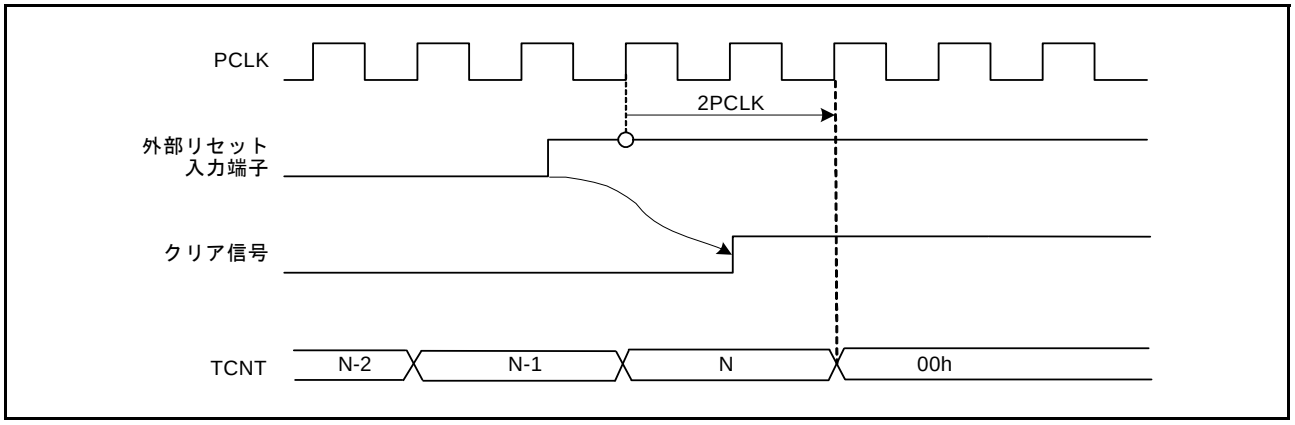


図 27.11　外部リセット入力によるクリアタイミング（High）

27.4.6　オーバフロー時の割り込み信号出力タイミング

TCNT カウンタのオーバフロー（“FFh” → “00h”）が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 27.12 に示します。

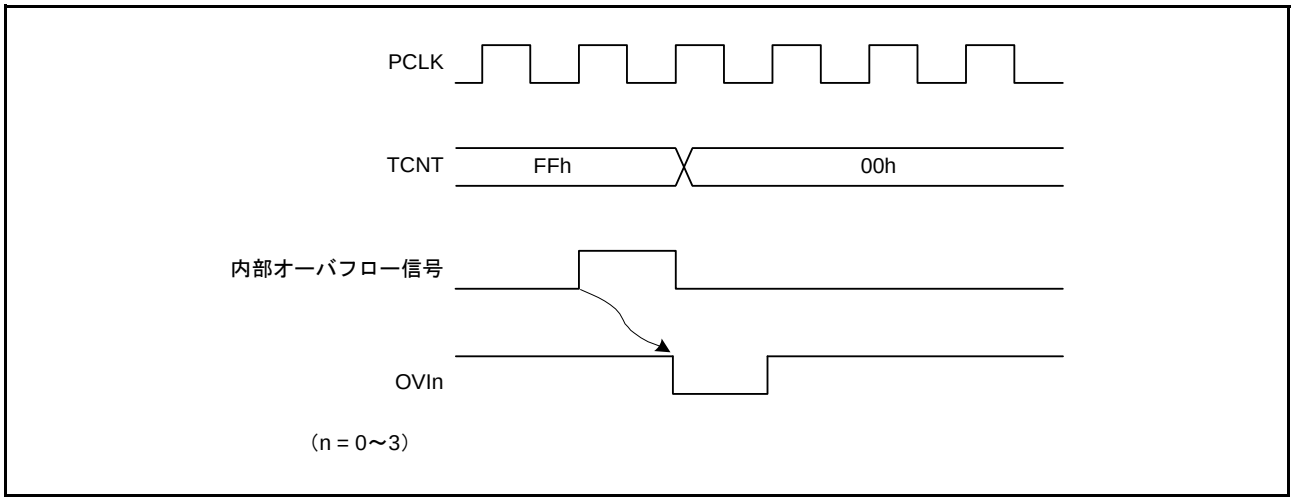


図 27.12　オーバフローによる割り込み信号出力タイミング

27.5　カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを “11b” にすると、2 チャネルの TMR はカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

【補足】「27.5　カスケード接続時の動作」は、ユニット 0 について説明しています。ユニット 1 のカスケード接続時の動作は、ユニット 0 と同様です。

27.5.1　16 ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが “11b” のとき、TMR0 を上位 8 ビット、TMR1 を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。

(1)　カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が 16 ビットカウンタに対して有効になります。
  TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生すると 16 ビットカウンタ（TMR0.TCNT、TMR1.TCNT カウンタの両方）がクリアされます。また、TMRI0 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ（TMR0.TCNT、TMR1.TCNT カウンタの両方）がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2)　端子出力

- TMR0.TCSR.OSA[1:0], OSB[1:0] ビットによる TMO0 端子の出力制御は、16 ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0], OSB[1:0] ビットによる TMO1 端子の出力制御は、下位 8 ビットのコンペアマッチ条件に従います。

27.5.2　コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが “11b” のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMOn（n = 0、1）端子の出力、カウンタクリアなどは各チャネルの設定に従います。

27.6 割り込み要因

27.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIAn、CMIBn、OVIn の 3 種類があります。表 27.6 に各割り込み要因と優先順位を示します。

なお、CMIAn、CMIBn 割り込みにより DTC を起動することができます。TMRn の割り込み要因による DMAC の起動はできません。

表 27.6　TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバフロー	不可能	低

27.6.2 A/D コンバータの起動

TMR0、TMR2 のコンペアマッチ A で、A/D コンバータ（注 1）を起動することができます。

TMRn.TCSR.ADTE ビットが “1”（コンペアマッチ A による A/D 変換開始要求を許可）の状態で、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

注 1.　対応する A/D コンバータのユニットに関しては「42.　12 ビット A/D コンバータ（S12ADa）」、「43.　10 ビット A/D コンバータ（ADb）」を参照してください。

表 27.7　A/D コンバータの起動

モジュールシンボル	ユニット	対象	A/D 起動要因	A/D 変換開始要求
S12AD	0	TMR0.TCORA と TMR0.TCNT	コンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORA と TMR2.TCNT		TMTRG0AN_1
AD	0	TMR0.TCORA と TMR0.TCNT		TMTRG0AN_0

27.7　使用上の注意事項

27.7.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止／許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「11.　消費電力低減機能」**を参照してください。

27.7.2　周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK（TCNT カウンタが一致したカウント値を更新するタイミング）でクリアされます。このため、カウンタの周波数は以下の式になります（f：カウンタ周波数、PCLK：動作周波数、N：TCORA、TCORB レジスタの設定値）。

$$f = PCLK/(N+1)$$

27.7.3　TCNT カウンタへの書き込みとカウンタクリアの競合

図 27.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

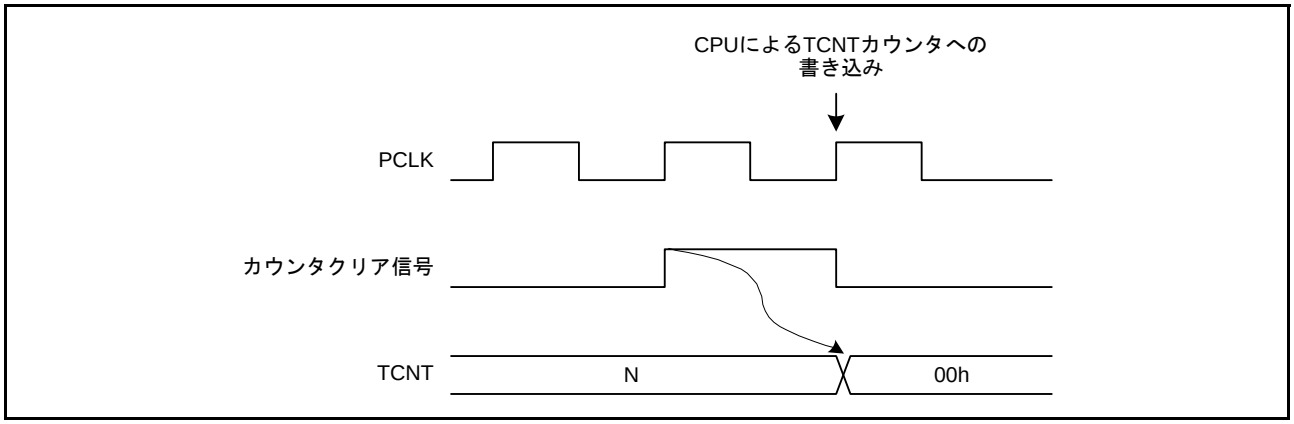


図 27.13　TCNT カウンタへの書き込みとカウンタクリアの競合

27.7.4　TCNT カウンタへの書き込みとカウントアップの競合

図 27.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

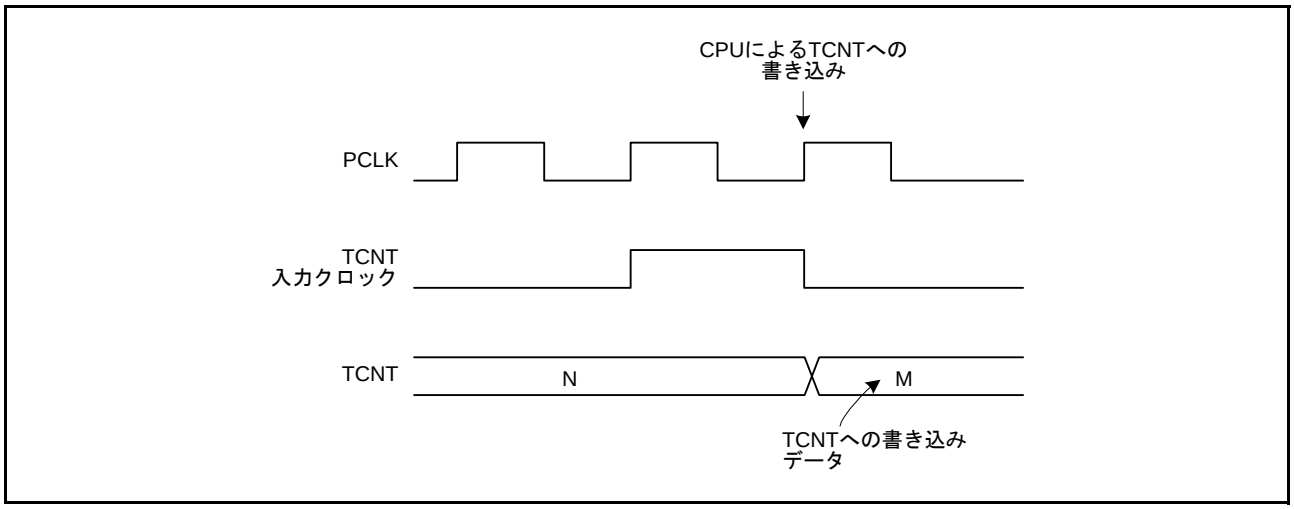


図 27.14　TCNT カウンタへの書き込みとカウントアップの競合

27.7.5　TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 27.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチは発生しません。

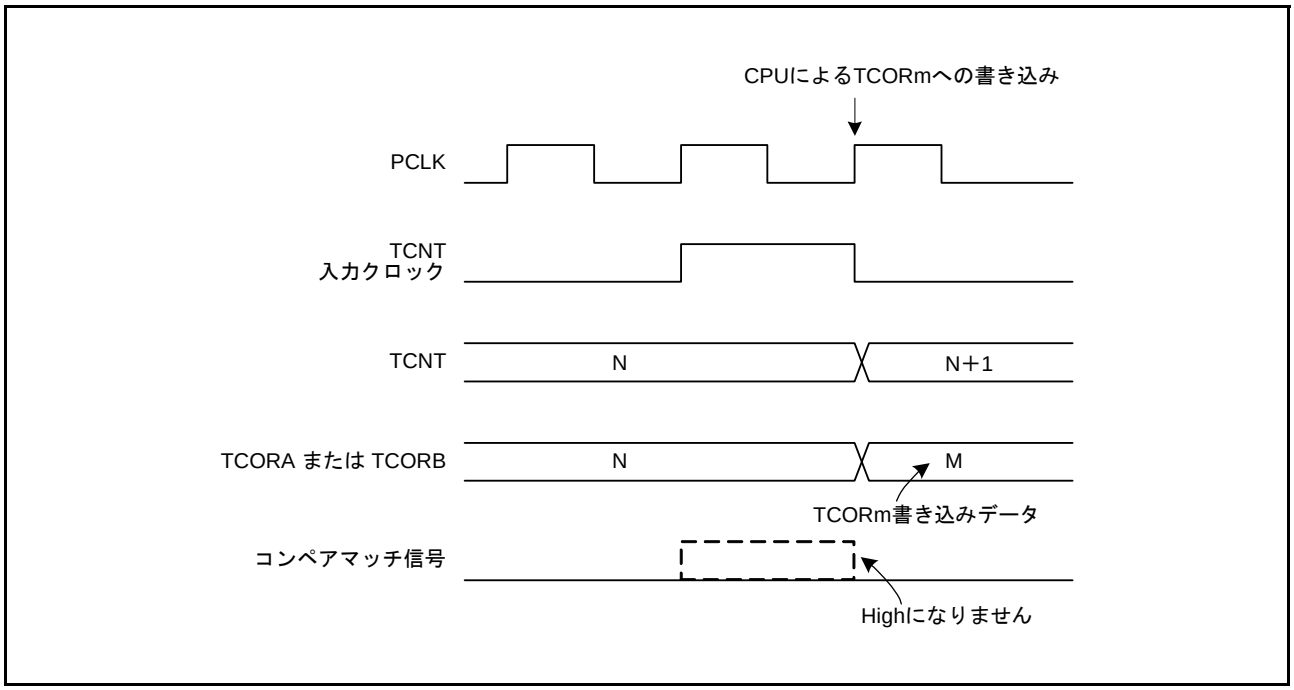


図 27.15　TCORA、TCORB レジスタのライトとコンペアマッチの競合

27.7.6　コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、**表 27.8** に示すタイマ出力の優先順位の高い方が出力されます。

表27.8　タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

27.7.7　分周クロックの切り替えと TCNT カウンタの動作

分周クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。分周クロックの切り替えタイミング（TCCR.CKS[2:0] ビットの書き換え）と、TCNT カウンタ動作の関係を**表 27.9** に示します。

分周クロックから TCNT カウンタのクロックを生成する場合、分周クロックの立ち上がりエッジを検出しています。そのため、たとえば**表 27.9** の No.2 のように、Low → High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウンタクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、分周クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表27.9　分周クロックの切り替えとTCNTカウンタの動作 (1 / 2)

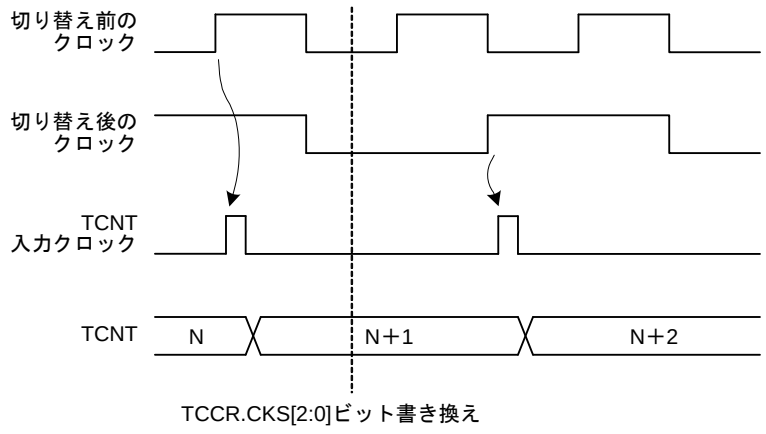
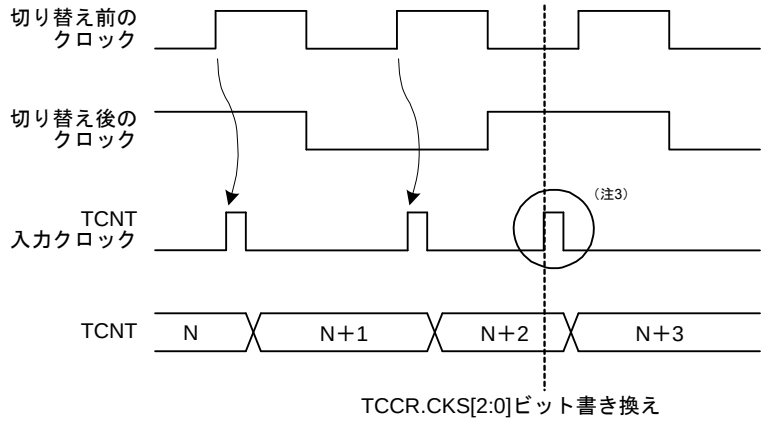
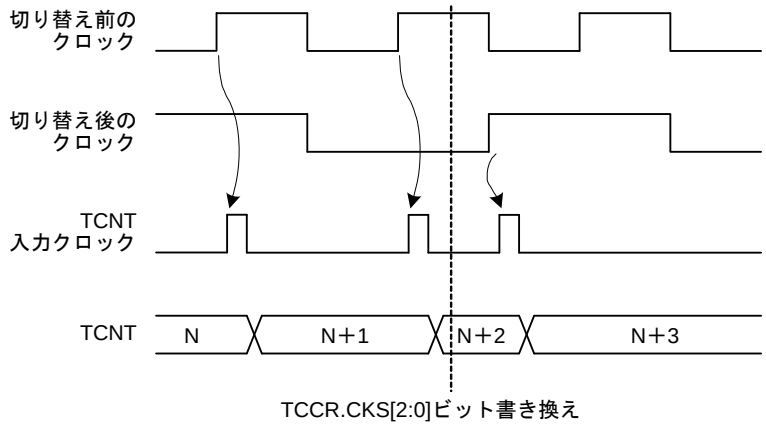
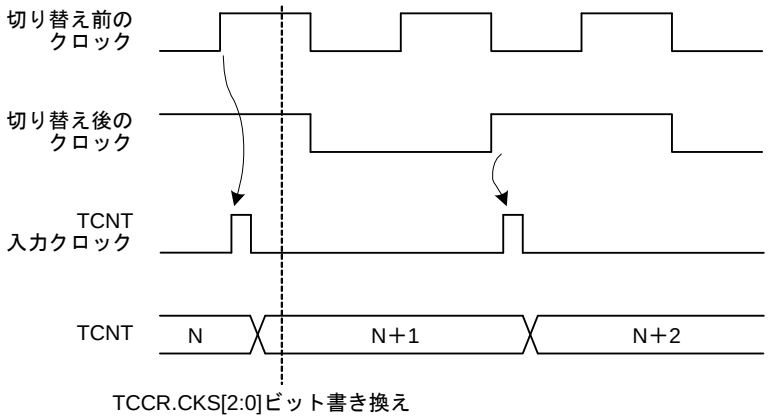
No	TCCR.CKS[2:0]ビット 書き換えタイミング	TCNTクロックの動作
1	Low→Low（注1）の切り替え	

表27.9　分周クロックの切り替えとTCNTカウンタの動作 (2 / 2)

No	TCCR.CKS[2:0]ビット 書き換えタイミング	TCNTクロックの動作
2	Low→High（注2）の切り替え	
3	High→Low（注4）の切り替え	
4	High→Highの切り替え	

注1.　Low→停止、および停止→Lowの場合を含みます。
注2.　停止→Highの場合を含みます。
注3.　切り替えのタイミングをエッジとみなすために発生し、TCNTはカウントアップされてしまいます。
注4.　High→停止の場合を含みます。

27.7.8　カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNTカウンタ（TMR2.TCNT、TMR3.TCNTカウンタ）の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

27.7.9　コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを “00h” に、分周クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “00h” のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは 2 つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 27.16 に示します。

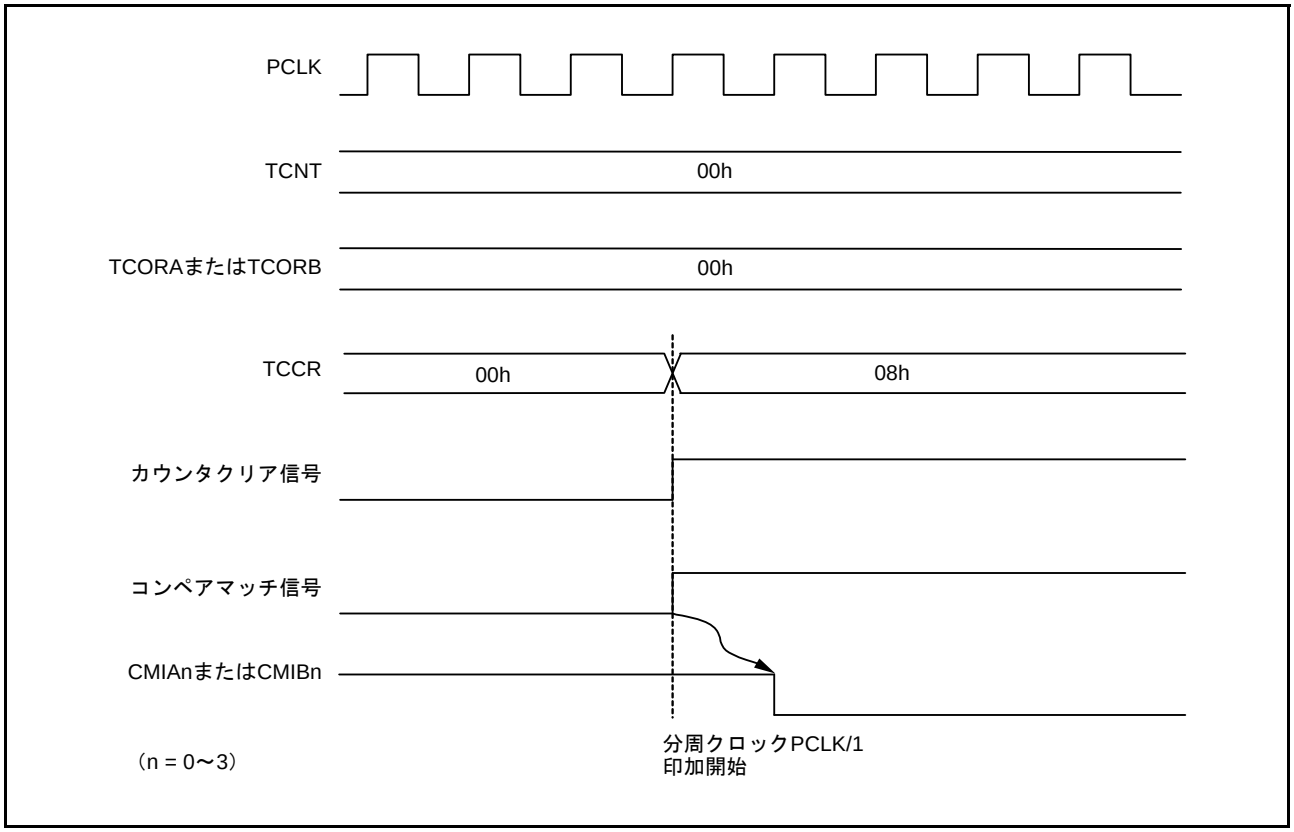


図 27.16　コンペアマッチ割り込みの連続出力

28. コンペアマッチタイマ（CMT）

RX63N グループ、RX631 グループは、2 チャネルの 16 ビットタイマにより構成されるコンペアマッチタイマ（CMT）を 2 ユニット（ユニット 0、ユニット 1）、合計 4 チャネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

28.1 概要

表 28.1 に CMT の仕様を示します。

図 28.1 に CMT（ユニット 0）のブロック図を示します。2 チャネルの CMT で 1 ユニットを構成し、ユニット 0 とユニット 1 は同じ仕様です。

表 28.1　CMTの仕様

項目	機能
カウントクロック	• 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中から各チャネル独立に選択可能
割り込み	コンペアマッチ割り込みを各チャネル独立に要求することが可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

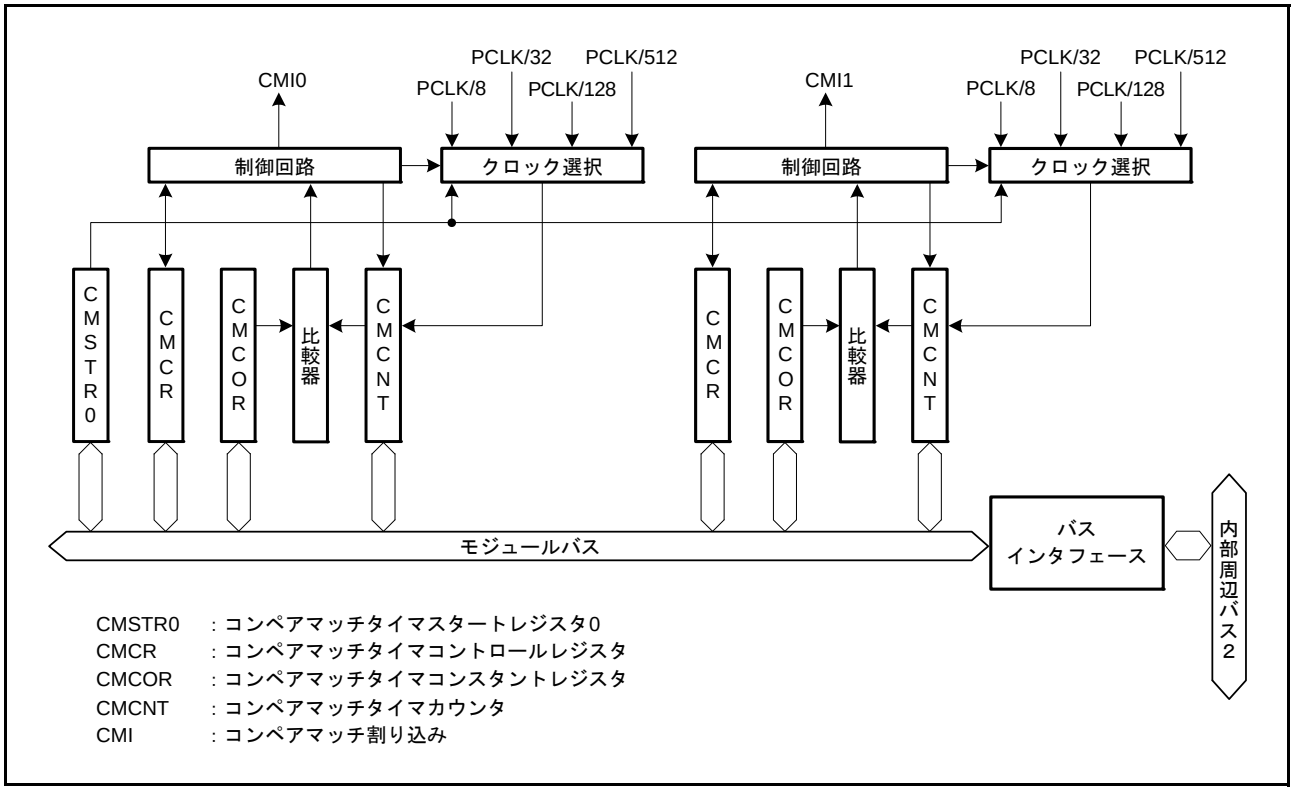


図 28.1　CMT（ユニット 0）のブロック図

28.2　レジスタの説明

28.2.1　コンペアマッチタイマスタートレジスタ 0（CMSTR0）

アドレス　0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0：CMT0.CMCNTカウンタのカウント動作停止 1：CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	0：CMT1.CMCNTカウンタのカウント動作停止 1：CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.2　コンペアマッチタイマスタートレジスタ 1（CMSTR1）

アドレス　0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0：CMT2.CMCNTカウンタのカウント動作停止 1：CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3ビット	0：CMT3.CMCNTカウンタのカウント動作停止 1：CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

28.2.3　コンペアマッチタイマコントロールレジスタ（CMCR）

アドレス　CMT0.CMCR 0008 8002h、CMT1.CMCR 0008 8008h、
CMT2.CMCR 0008 8012h、CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：PCLK/8 0 1：PCLK/32 1 0：PCLK/128 1 1：PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0：コンペアマッチ割り込み（CMIn）を禁止 1：コンペアマッチ割り込み（CMIn）を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット（クロック選択ビット）

周辺モジュールクロック（PCLK）を分周して得られる 4 種類の分周クロックから CMCNT カウンタに入力するカウントクロックを選択します。

CMSTRm.STRn ビット（m = 0, 1、n = 0 ～ 3）を “1” に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット（コンペアマッチ割り込み許可ビット）

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み（CMIn）(n = 0 ～ 3) の発生を許可するか禁止するかを選択します。

28.2.4　コンペアマッチタイマカウンタ（CMCNT）

アドレス　CMT0.CMCNT 0008 8004h、CMT1.CMCNT 0008 800Ah、
CMT2.CMCNT 0008 8014h、CMT3.CMCNT 0008 801Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMCNT カウンタは、割り込み要求を発生させるための読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット（m = 0, 1、n = 0 ～ 3）を “1” にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み（CMIn）（n = 0 ～ 3）が発生します。

28.2.5　コンペアマッチタイマコンスタントレジスタ（CMCOR）

アドレス　CMT0.CMCOR 0008 8006h、CMT1.CMCOR 0008 800Ch、
CMT2.CMCOR 0008 8016h、CMT3.CMCOR 0008 801Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定する読み出し / 書き込み可能なレジスタです。

28.3　動作説明

28.3.1　周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット（m = 0, 1、n = 0 ～ 3）を “1” にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み（CMIn）（n = 0 ～ 3）が発生します。CMCNT カウンタは “0000h” から再びカウントアップを再開します。CMCNT カウンタの動作を図 28.2 に示します。

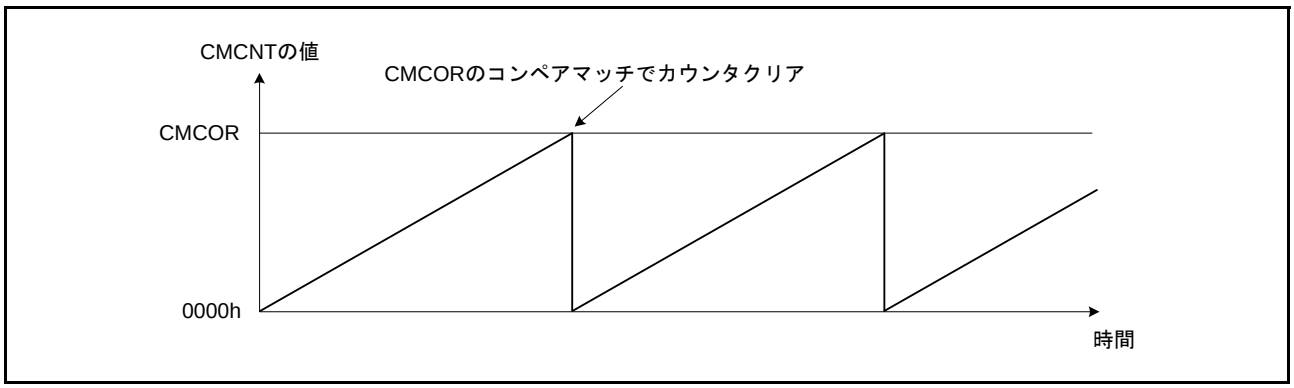


図 28.2　CMCNT カウンタの動作

28.3.2　CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック（PCLK）を分周した 4 種類の分周クロック（PCLK/8、PCLK/32、PCLK/128、PCLK/512）から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 28.3 に示します。

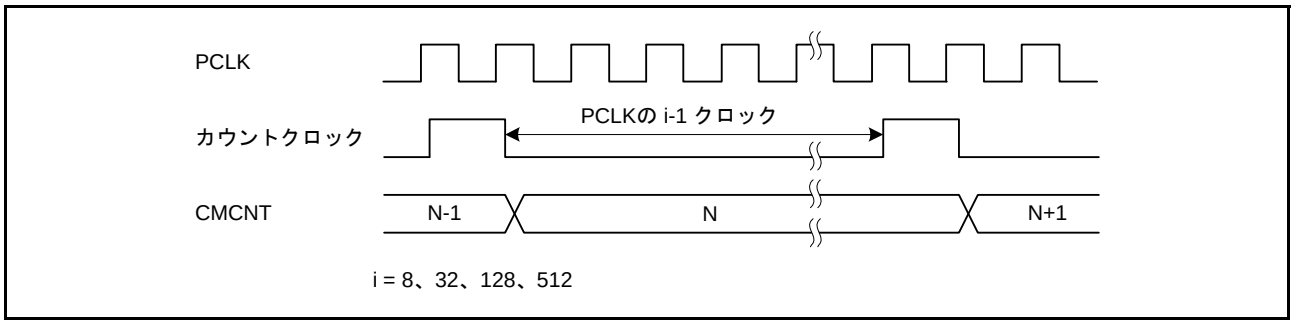


図 28.3　CMCNT カウンタのカウントタイミング

28.4 割り込み

28.4.1 割り込み要因

CMT は、チャネルごとにコンペアマッチ割り込み（CMIn）（n = 0 ～ 3）を持ち、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「15. 割り込みコントローラ（ICUb）」を参照してください。

表 28.2　CMT の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
CMI0	CMT0.CMCNT と CMT0.CMCOR のコンペアマッチ	可能	可能
CMI1	CMT1.CMCNT と CMT1.CMCOR のコンペアマッチ	可能	可能
CMI2	CMT2.CMCNT と CMT2.CMCOR のコンペアマッチ	可能	可能
CMI3	CMT3.CMCNT と CMT3.CMCOR のコンペアマッチ	可能	可能

28.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペマッチ割り込み（CMIn）（n = 0 ～ 3）が発生します。

コンペアマッチ信号は、一致した最後のステート（CMCNT カウンタが一致したカウント値を更新するタイミング）で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのセットタイミングを図 28.4 に示します。

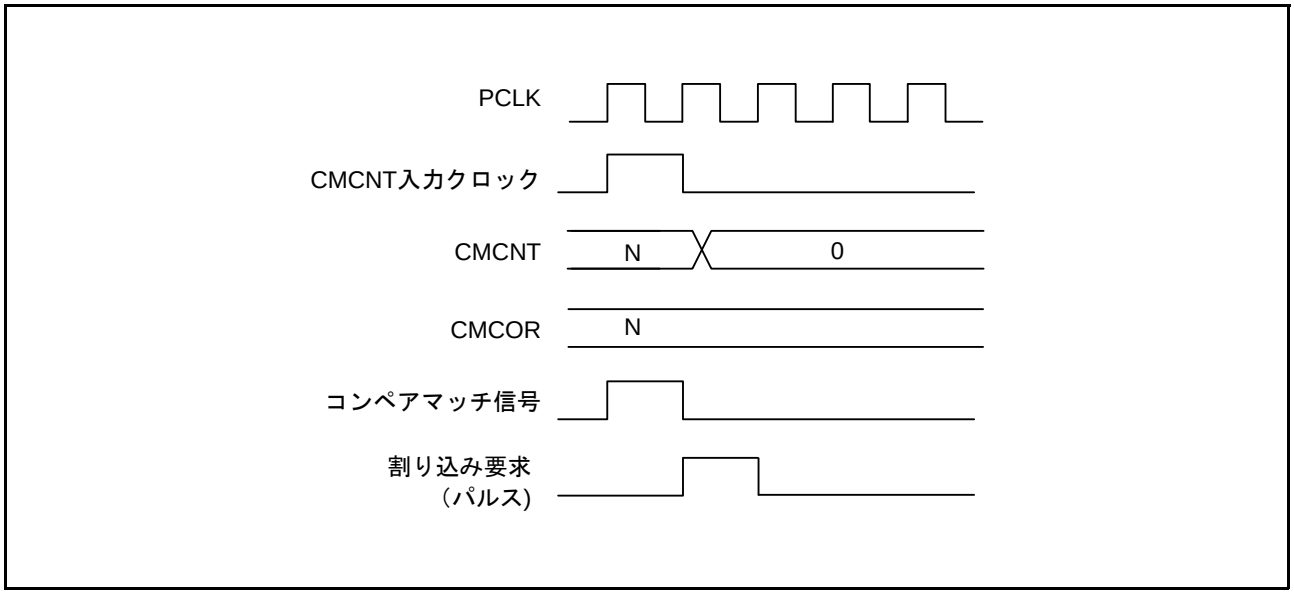


図 28.4　コンペマッチ割り込みのセットタイミング

28.5　使用上の注意事項

28.5.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作禁止 / 許可を設定することが可能です。初期値では、CMT の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11.　消費電力低減機能」を参照してください。

28.5.2　CMCNT カウンタへの書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 28.5 に示します。

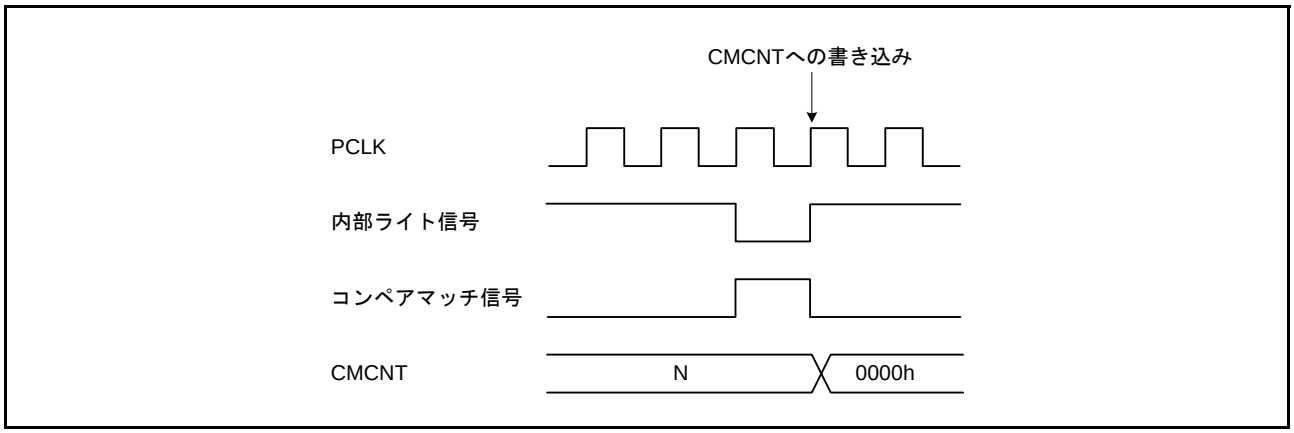


図 28.5　CMCNT カウンタへの書き込みとコンペアマッチの競合

28.5.3　CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへの書き込み中にカウントアップが発生しても、CMCNT カウンタはカウントアップされずに CMCNT カウンタへの書き込みが優先されます。このタイミングを図 28.6 に示します。

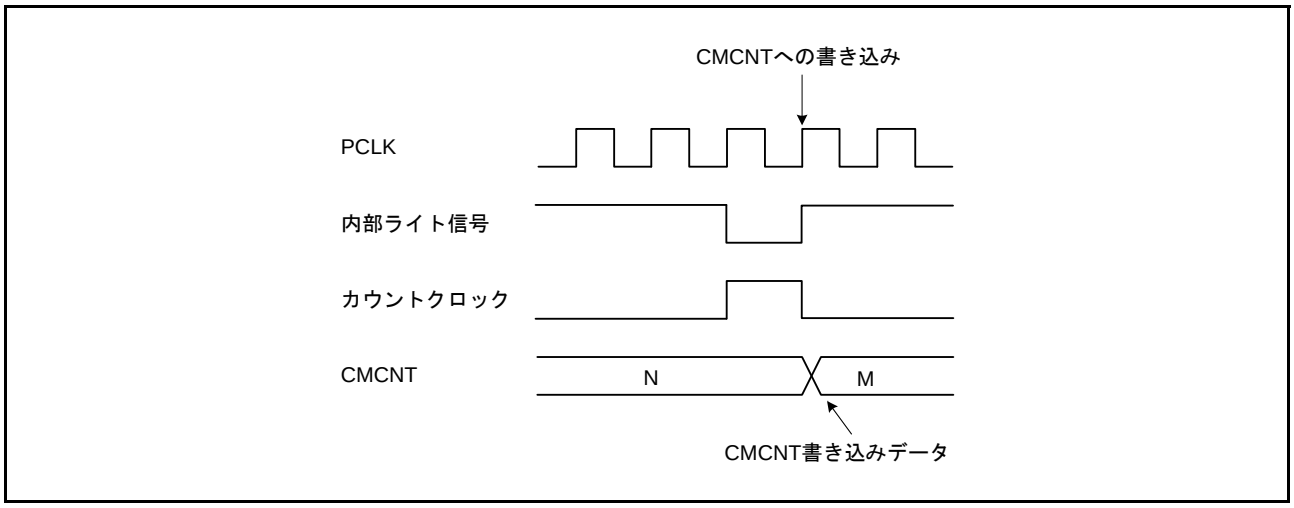


図 28.6　CMCNT カウンタへの書き込みとカウントアップの競合

29. リアルタイムクロック（RTCa）

29.1 概要

RTC は、00 年から 99 年の 100 年をカウントできる時計カウンタです。年の千と百の位を “20” とみなして 2000 年から 2099 年のうるう年を自動で補正しカウントします。

時計カウンタのカウントソースは、2 種類（サブクロックとメインクロック）から選択することができます。

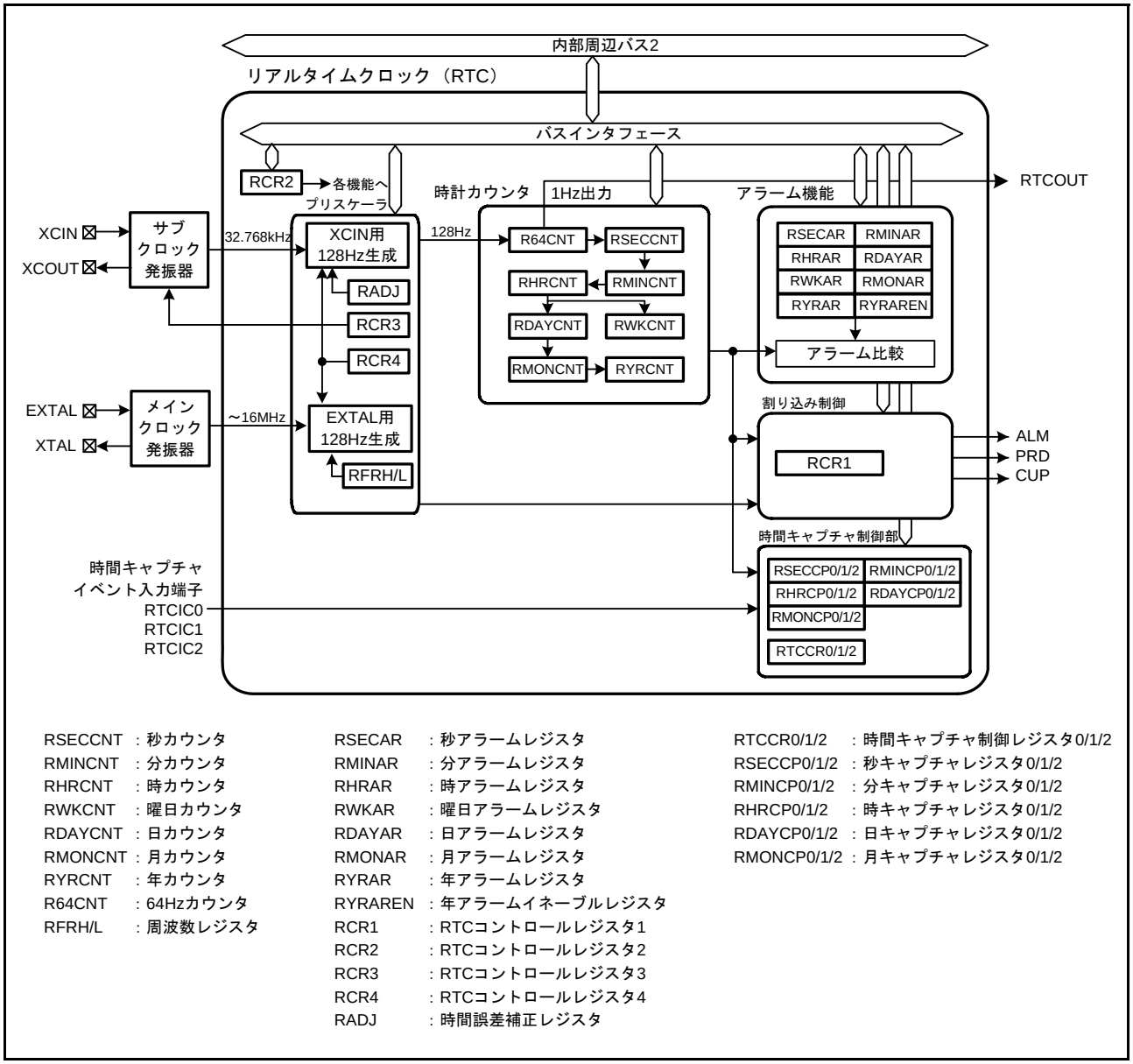
RTC は、カウントソースをプリスケーラで分周した 128Hz クロックを基準クロックとして年、月、日、曜日、午前／午後（12 時間モード時）、時、分、秒、1/128 秒単位でカウントします。

表 29.1 に RTC の仕様を、**図 29.1** に RTC のブロック図を、**表 29.2** に RTC の入出力端子を示します。

表29.1　RTCの仕様

項目	内容
カウントソース（注1）	サブクロック（XCIN）またはメインクロック（EXTAL）
時計/カレンダ機能	• 年、月、日、曜日、時、分、秒をカウント、BCD表示 • 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hzの状態をバイナリで表示 • 12時間/24時間モード切り替え機能 • スタート/ストップ機能 • 30秒調整機能（30秒未満は00秒に切り捨て、30秒以降は1分に桁上げ） • うるう年自動補正機能 • 1Hzクロック出力 • 時計誤差補正機能
割り込み	• アラーム割り込み（ALM） アラーム割り込み条件として、年、月、日、曜日、時、分、秒のいずれと比較するか選択可能 • 周期割り込み（PRD） 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期から選択可能 • 桁上げ割り込み（CUP） 秒カウンタへの桁上げ、または64Hzカウンタの読み出しと64Hzカウンタへの桁上げが重なったとき、発生したことを示す • アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	• 3本のイベント入力によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ

注1.　「周辺モジュールクロック周波数≧カウントソースクロック周波数」となるようにしてください。



RSECCNT　：秒カウンタ
RMINCNT　：分カウンタ
RHRCNT　：時カウンタ
RWKCNT　：曜日カウンタ
RDAYCNT　：日カウンタ
RMONCNT　：月カウンタ
RYRCNT　：年カウンタ
R64CNT　：64Hzカウンタ
RFRH/L　：周波数レジスタ

RSECAR　：秒アラームレジスタ
RMINAR　：分アラームレジスタ
RHRAR　：時アラームレジスタ
RWKAR　：曜日アラームレジスタ
RDAYAR　：日アラームレジスタ
RMONAR　：月アラームレジスタ
RYRAR　：年アラームレジスタ
RYRAREN　：年アラームイネーブルレジスタ
RCR1　：RTCコントロールレジスタ1
RCR2　：RTCコントロールレジスタ2
RCR3　：RTCコントロールレジスタ3
RCR4　：RTCコントロールレジスタ4
RADJ　：時間誤差補正レジスタ

RTCCR0/1/2　：時間キャプチャ制御レジスタ0/1/2
RSECCP0/1/2　：秒キャプチャレジスタ0/1/2
RMINCP0/1/2　：分キャプチャレジスタ0/1/2
RHRCP0/1/2　：時キャプチャレジスタ0/1/2
RDAYCP0/1/2　：日キャプチャレジスタ0/1/2
RMONCP0/1/2　：月キャプチャレジスタ0/1/2

図 29.1　RTC のブロック図

表29.2　RTCの入出力端子

端子名	入出力	機能
XCIN	入力	RTC用に32.768kHzの水晶振動子を接続します。詳細は「9.　クロック発生回路」を参照してください
XCOUT	出力	
EXTAL	入力	メインクロック用の水晶振動子を接続します。詳細は「9.　クロック発生回路」を参照してください
XTAL	出力	
RTCOUT	出力	1Hzの波形を出力します。ただし、ディープソフトウェアスタンバイモード時には出力しません
RTCIC0	入力	時間キャプチャイベント入力端子です
RTCIC1	入力	
RTCIC2	入力	

29.2　レジスタの説明

RTC のレジスタの書き込み／読み出しは、**「29.5.5　レジスタの書き込み / 読み出し時の注意事項」**に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x（不定）のビットは、リセット、ディープソフトウェアスタンバイモードでは初期化されません。また、カウント動作時（RCR2.START ビット = “1” のとき）にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 /64Hz カウンタは動作を継続します。ただし、レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移しないでください。詳細は、**「29.5.4　レジスタ設定後の低消費電力モード移行について」**を参照ください。

29.2.1　64Hz カウンタ（R64CNT）

アドレス　0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

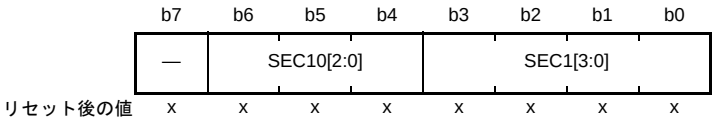
x：不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz ビット	1Hz～64Hz の状態を示します	R
b1	F32HZ	32Hz ビット		R
b2	F16HZ	16Hz ビット		R
b3	F8HZ	8Hz ビット		R
b4	F4HZ	4Hz ビット		R
b5	F2HZ	2Hz ビット		R
b6	F1HZ	1Hz ビット		R
b7	—	予約ビット	読むと “0” が読めます。書き込みは無効になります	R

R64CNT カウンタは、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。
R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。
RTC ソフトウェアリセットまたは 30 秒調整を実行すると “00h” になります。
読み出し時は、**「29.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

29.2.2　秒カウンタ（RSECCNT）

アドレス　0008 C402h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	秒一位カウントビット	秒一位は1秒ごとに0から9をカウントします。桁上がりが発生すると、秒十位が＋1されます	R/W
b6-b4	SEC10[2:0]	秒十位カウントビット	秒十位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W

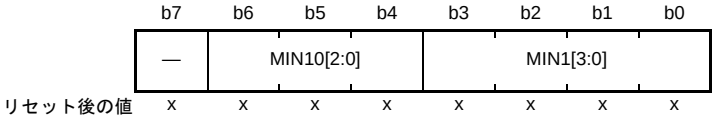
RSECCNT カウンタは、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で “00” ～ “59” です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、「29.3.5　64Hz カウンタおよび時刻読み出し手順」に従ってください。

29.2.3　分カウンタ（RMINCNT）

アドレス　0008 C404h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	分一位カウントビット	分一位は1分ごとに0から9をカウントします。桁上がりが発生すると、分十位が＋1されます	R/W
b6-b4	MIN10[2:0]	分十位カウントビット	分十位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W

RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で “00” ～ “59” です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、「29.3.5　64Hz カウンタおよび時刻読み出し手順」に従ってください。

29.2.4　時カウンタ（RHRCNT）

アドレス　0008 C406h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PM	HR10[1:0]		HR1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	時一位カウントビット	時一位は1時間ごとに0から9をカウントします。桁上がりが発生すると、時十位が＋1されます	R/W
b5-b4	HR10[1:0]	時十位カウントビット	時十位は時一位の桁上がりごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0：午前 1：午後	R/W
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W

RHRCNTカウンタは、BCDコード化された時部分の設定・カウント用のカウンタであり、分カウンタの1時間ごとのキャリーによってカウント動作を行います。

時の設定可能範囲は、時間モードビット（RCR2.HR24）によってそれぞれ以下の範囲となります。

RCR2.HR24ビットが“0”：10進（BCD）で“00”～“11”

RCR2.HR24ビットが“1”：10進（BCD）で“00”～“23”

上記以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

RHRCNTカウンタを読み出す場合は、RCR2.HR24ビットが“0”の場合のみPMビットが有効になります。RCR2.HR24ビットが“1”の場合は、PMビットの値を無視してください。

読み出し時は、「29.3.5　64Hzカウンタおよび時刻読み出し手順」に従ってください。

29.2.5　曜日カウンタ（RWKCNT）

アドレス　0008 C408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DAYW[2:0]		
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2　b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定しないでください	R/W
b7-b3	—	予約ビット	“0” を設定してください。読むと同値が読めます	R/W

RWKCNT カウンタは BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。設定可能範囲は、10 進（BCD）で “0” ～ “6” です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「29.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

29.2.6　日カウンタ（RDAYCNT）

アドレス　0008 C40Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DATE10[1:0]		DATE1[3:0]			
リセット後の値	0	0	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	日一位カウントビット	日一位は1日ごとに0～9をカウントします。桁上がりが発生すると日十位が＋1されます	R/W
b5-b4	DATE10[1:0]	日十位カウントビット	日十位は日一位の桁上がりごとに0～3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

うるう年は年カウンタ（RYRCNT）の 00 を 2000 年とみなして 2000 年から 2099 年を、400、100、4 で割り切れるかどうかによって計算されます。

設定可能範囲は、10 進（BCD）で 01 ～ 31 です。それ以外の値が設定されると、正常に動作しません（月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください）。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「29.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

29.2.7　月カウンタ（RMONCNT）

アドレス　0008 C40Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
リセット後の値	0	0	0	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	月一位カウントビット	月一位は1月ごとに0～9をカウントします。桁上がりが発生すると月十位が＋1されます	R/W
b4	MON10	月十位カウントビット	月十位は月一位の桁上がりごとに0～1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 01 ～ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「29.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

29.2.8　年カウンタ（RYRCNT）

アドレス　0008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	年一位カウントビット	年一位は1年ごとに0～9をカウントします。桁上がりが発生すると年十位が＋1されます	R/W
b7-b4	YR10[3:0]	年十位カウントビット	年十位は年一位の桁上がりごとに0～9をカウントします。	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRCNT カウンタは、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 99 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「29.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

29.2.9　秒アラームレジスタ（RSECAR）

アドレス　0008 C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	SEC10[2:0]			SEC1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	秒一位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	秒十位の設定値	R/W
b7	ENB	ENBビット	“1”であれば、RSECCNTカウンタの値と比較を行います	R/W

RSECAR レジスタは、BCD コード化された秒部分のカウンタ（RSECCNT）に対応するアラームレジスタです。ENB ビットが “1” であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

秒の設定可能範囲は、10 進（BCD）で 00 ～ 59 であり、それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

29.2.10　分アラームレジスタ（RMINAR）

アドレス　0008 C412h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	MIN10[2:0]			MIN1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	分一位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	分十位の設定値	R/W
b7	ENB	ENBビット	“1”であれば、RMINCNTカウンタの値と比較を行います	R/W

RMINAR レジスタは、BCD コード化された分部分のカウンタ（RMINCNT）に対応するアラームレジスタです。ENB ビットが “1” であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

分の設定可能範囲は、10 進（BCD）で 00 ～ 59 ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

29.2.11　時アラームレジスタ（RHRAR）

アドレス　0008 C414h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	PM	HR10[1:0]		HR1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	時一位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	時十位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0：午前 1：午後	R/W
b7	ENB	ENBビット	“1”であれば、RHRCNTカウンタの値と比較を行います	R/W

RHRAR レジスタは、BCD コード化された時部分のカウンタ（RHRCNT）に対応するアラームレジスタです。ENB ビットが “1” であれば、RHRAR レジスタの値と RHRCNT カウンタの値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみカウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

時の設定可能範囲は、時間モードビット（RCR2.HR24）によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが “0”：10 進（BCD）で 00 ～ 11

RCR2.HR24 ビットが “1”：10 進（BCD）で 00 ～ 23

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24 ビットが “0” の場合は、PM ビットの設定も行ってください。

RCR2.HR24 ビットが “1” の場合は、PM ビットの値は無効となります。

RHRAR レジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

29.2.12　曜日アラームレジスタ（RWKAR）

アドレス　0008 C416h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	DAYW[2:0]		
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2　b0 ０ ０ ０：日 ０ ０ １：月 ０ １ ０：火 ０ １ １：水 １ ０ ０：木 １ ０ １：金 １ １ ０：土 １ １ １：設定しないでください	R/W
b6-b3	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W
b7	ENB	ENBビット	“1”であれば、RWKCNTカウンタの値と比較を行います	R/W

RWKAR レジスタは、BCD コード化された曜日部分のカウンタ（RWKCNT）に対応するアラームレジスタです。ENB ビットが “1” であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

曜日の設定可能範囲は、10 進（BCD）で 0 ～ 6 であり、それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

29.2.13　日アラームレジスタ（RDAYAR）

アドレス　0008 C418h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	DATE10[1:0]		DATE1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	日一位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	日十位の設定値	R/W
b6	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W
b7	ENB	ENBビット	“1”であれば、RDAYCNTカウンタの値と比較を行います	R/W

RDAYAR レジスタは、BCD コード化された日部分のカウンタ（RDAYCNT）に対応するアラームレジスタです。ENB ビットが “1” であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

日の設定可能範囲は、10 進（BCD）で 01 ～ 31 であり、それ以外の値が設定されると、正常に動作しません。

RDAYAR レジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

29.2.14　月アラームレジスタ（RMONAR）

アドレス　0008 C41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	MON10	MON1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	月一位の設定値	R/W
b4	MON10	10月ビット	月十位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W
b7	ENB	ENBビット	“1”であれば、RMONCNTカウンタの値と比較を行います	R/W

RMONAR レジスタは、BCD コード化された月部分のカウンタ（RMONCNT）に対応するアラームレジスタです。ENB ビットが “1” であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

月の設定可能範囲は、10 進（BCD）で 01 ～ 12 であり、それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

29.2.15　年アラームレジスタ（RYRAR）

アドレス　0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	年一位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	年十位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年部分のカウンタ（RYRCNT）に対応するアラームレジスタです。

年の設定可能範囲は、10 進（BCD）で 00 ～ 99 であり、それ以外の値が設定されると、正常に動作しません。

RYRAR レジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

29.2.16　年アラームイネーブルレジスタ（RYRAREN）

アドレス　0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W
b7	ENB	ENBビット	“1”であれば、RYRCNTカウンタの値と比較を行います	R/W

RYRAREN レジスタは、ENB ビットが “1” であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

RYRAREN レジスタは、RTC ソフトウェアリセットを実行すると 00h になります。

29.2.17　RTC コントロールレジスタ 1（RCR1）

アドレス　0008 C422h

	b7	b6	b5	b4	b3	b2	b1	b0
	PES[3:0]				—	PIE	CIE	AIE
リセット後の値	x	x	x	x	0	x	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可ビット	0：アラーム割り込み要求を許可しない 1：アラーム割り込み要求を許可する	R/W
b1	CIE	桁上げ割り込み許可ビット	0：桁上げ割り込み要求を許可しない 1：桁上げ割り込み要求を許可する	R/W
b2	PIE	周期割り込み許可ビット	0：周期割り込み要求を許可しない 1：周期割り込み要求を許可する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	PES[3:0]	周期割り込み選択ビット	b7　b4 0 1 1 0：周期割り込み発生の周期を1/256秒ごとにする （ただし、メインクロック選択時（RCR4.RCKSEL=1）は、PES[3:0]=0110bの割り込み発生周期は1/128秒ごとになります。） 0 1 1 1：周期割り込み発生の周期を1/128秒ごとにする 1 0 0 0：周期割り込み発生の周期を1/64秒ごとにする 1 0 0 1：周期割り込み発生の周期を1/32秒ごとにする 1 0 1 0：周期割り込み発生の周期を1/16秒ごとにする 1 0 1 1：周期割り込み発生の周期を1/8秒ごとにする 1 1 0 0：周期割り込み発生の周期を1/4秒ごとにする 1 1 0 1：周期割り込み発生の周期を1/2秒ごとにする 1 1 1 0：周期割り込み発生の周期を1秒ごとにする 1 1 1 1：周期割り込み発生の周期を2秒ごとにする 上記以外は、周期割り込みを発生しない	R/W

AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット（アラーム割り込み許可ビット）

アラーム割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイモード中にカウンタとアラーム時刻が一致した場合、AIE ビットの設定に関係なくディープソフトウェアスタンバイモードから復帰します。

CIE ビット（桁上げ割り込み許可ビット）

秒カウンタ（RSECCNT）への桁上げ、または 64Hz カウンタ（R64CNT）読み出しと、64Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

PIE ビット（周期割り込み許可ビット）

周期割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイモード中に PES[3:0] ビットで選択した周期と一致した場合、PIE ビットの設定に関係なくディープソフトウェアスタンバイモードから復帰します。

PES[3:0] ビット（周期割り込み選択ビット）

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込み（PRD）の要因を定期的に発生します。

29.2.18　RTC コントロールレジスタ 2（RCR2）

アドレス　0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット	0：年、月、曜日、日、時、分、秒、64Hzカウンタおよびプリスケーラは停止 1：年、月、曜日、日、時、分、秒、64Hzカウンタおよびプリスケーラは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	• 書き込み時 0：書き込み無効 1：プリスケーラおよびRTCソフトウェアリセット対象レジスタ（R64CNT、RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAR、RYRAREN、RADJ、RTCCRy、RSECCPy、RMINCPy、RHRCPy、RDAYCPy、RMONCPy、RCR2.ADJ30、RCR2.AADJE、RCR2.RTCOE）をリセット • 読み出し時 0：通常の時計動作またはRTCソフトウェアリセット完了 1：RTCソフトウェアリセット中	R/W
b2	ADJ30	30秒調整ビット	• 書き込み時 0：書き込み無効 1：30秒調整の実行 • 読み出し時 0：通常の時計動作または30秒調整が完了 1：30秒調整中	R/W
b3	RTCOE	RTCOUT出力許可ビット	0：RTCOUT出力禁止 1：RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット（注1）	0：自動補正機能禁止 1：自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット（注1）	0：1分ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する 1：10秒ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する	R/W
b6	HR24	時間モードビット	0：RTCは12時間モードで動作 1：RTCは24時間モードで動作	R/W
b7	—	予約ビット	“0”を設定してください。読むと同値が読めます	R/W

注1.　メインクロック選択時は、AADJEビット、AADJPビットの設定は無効です。

START ビット（スタートビット）

プリスケーラおよびカウンタ（時計）の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセットビット）

プリスケーラおよび RTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに “1” が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に “0” になります。

RESET ビットに “1” を書き込んだ場合は、“0” になったことを確認してから次の処理を実行してください。

ADJ30 ビット（30 秒調整ビット）

30 秒調整を行うビットです。

ADJ30 ビットに “1” が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに “1” が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に “0” になります。ADJ30 ビットに “1” を書き込んだ場合は、“0” になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケーラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0” になります。

RTCOE ビット（RTCOUT 出力許可ビット）

RTCOUT（1Hz クロック）の出力を許可するビットです。

RTCOE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止（START ビットへの “0” 書き込み）するときは、同時に RTCOE ビットの値を書き換えないでください。

RTCOUT を外部端子に出力する場合は、RTCOE ビットを許可にし、かつポート制御の設定もしてください。

AADJE ビット（自動補正機能許可ビット）

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット（RADJ.PMADJ[1:0]）を “00b”（補正しない）にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0” になります。

AADJP ビット（自動補正周期選択ビット）

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット（RADJ.PMADJ[1:0]）を “00b”（補正しない）にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0” になります。

HR24 ビット（時間モードビット）

RTC の時間モードを 12 時間モードで動作するか、24 時間モードで動作するかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えないでください。

29.2.19　RTC コントロールレジスタ 3（RCR3）

アドレス　0008 C426h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RTCDV[2:0]			RTCEN
リセット後の値	0	0	0	0	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	サブクロック発振器制御ビット	0：サブクロック発振器停止 1：サブクロック発振器動作	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3　b1 0 0 1：低CL用ドライブ能力 1 1 0：標準CL用ドライブ能力（注1） 上記以外は 設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　64ピンパッケージ版では“110b”を設定してください。

RCR3 レジスタは、クロック発生回路にあるサブクロック発振器を制御するためのレジスタです。

RCR3 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

サブクロック発振器の制御については、「9.　クロック発生回路」を参照してください。

RTCEN ビット（サブクロック発振器制御ビット）

サブクロック発振器の動作 / 停止を制御します。

サブクロック発振器の動作 / 停止は、RTCEN ビットおよびクロック発生回路のレジスタで制御されます。

サブクロックを RTC のカウントソースとして使用する場合は、RTCEN ビットでサブクロック発振器の動作設定を行ってください。

拡張クロック選択時（RCR4.RCKSEL ビット =“1”）は、RTCEN ビットの値にかかわらずクロック発生回路のレジスタでのみサブクロック発振器の動作 / 停止が制御されます。

RTCDV[2:0] ビット（サブクロック発振器ドライブ能力制御ビット）

サブクロック発振器のドライブ能力を制御します。標準 CL の水晶発振子を接続する場合は “110b”（標準 CL 用ドライブ能力）、低 CL の水晶発振子を接続する場合は “001b”（低 CL 用ドライブ能力）を設定してください。

RTCDV[2:0] ビットの設定は、サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット（SOSCCR.SOSTP）が “1”、かつ RTC コントロールレジスタ 3 のサブクロック発振器制御ビット（RCR3.RTCEN）が “0” のときに行ってください。

29.2.20　RTC コントロールレジスタ 4（RCR4）

アドレス　0008 C428h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL
リセット後の値	0	0	0	0	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択ビット	0：サブクロックを選択 1：メインクロックを選択	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCKSEL ビットが “0” にセットされているとサブクロックを使用して時計のカウント動作を行い、RCKSEL ビットが “1” であればメインクロックを使用して時計のカウントを行います。

RCKSEL ビット（カウントソース選択ビット）

カウントソースを、サブクロック、メインクロックから選択します。

カウントソースの選択は、電源投入後、RTC のレジスタ初期設定前に一度だけ行ってください。

29.2.21　周波数レジスタ H/L（RFRH/L）

・RFRH レジスタ

アドレス　0008 C42Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC[16]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

x：不定

・RFRL レジスタ

アドレス　0008 C42Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFC[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

- RFRH レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	RFC[16]	周波数比較値	メインクロックから動作クロックを作成するために、128Hzのクロック周期になる比較値を設定します	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- RFRL レジスタ

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数比較値	メインクロックから動作クロックを作成するために、128Hzのクロック周期になる比較値を設定します	R/W

RFRH/L レジスタは、メインクロック選択時のプリスケーラを制御するレジスタです。

RTC の時計カウンタは、128Hz クロックを基準クロックとして動作します。このため、メインクロック動作時は、プリスケーラでメインクロックを分周し 128Hz クロックを生成します。RFC[16:0] ビットには、メインクロック周波数から 128Hz を生成するための周波数比較値を設定します。周波数比較値は、メインクロック周波数によって値を変更してください。計算方法は以下を参照してください。

周波数比較値の設定可能範囲は、0000 0007h ～ 0001 FFFFh です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

なお、メインクロック周波数が 16.778MHz 以上の場合、設定できません。

また、周辺モジュールクロックとメインクロックの動作周波数は、『周辺モジュールクロック≧メインクロック』となるようにしてください。

- 周波数比較値計算方法

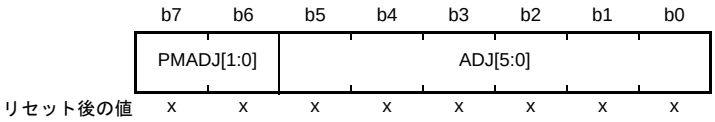
RFC[16:0] =（メインクロック周波数）÷128 － 1

表 29.3　メインクロック周波数による RFRH/L レジスタ設定例

メインクロック周波数	RFRH/L レジスタ設定値
4MHz	0000 7A11h
8MHz	0000 F423h
10MHz	0001 312Ch
12MHz	0001 6E35h
16MHz	0001 E847h

29.2.22　時間誤差補正レジスタ（RADJ）

アドレス　0008 C42Eh



x：不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正値ビット	誤差補正値を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0：補正動作を行いません 0 1：時計を進める 1 0：時計を遅らせる 1 1：設定しないでください	R/W

時計を誤差補正値に応じて進めるか、遅らせることによって、補正を行います。

サブクロック選択時のみ RADJ レジスタの設定が有効になります。

メインクロック選択時は、RADJ レジスタに値を設定しても補正動作を行いません。

自動補正機能許可ビット（RCR2.AADJE）が “0” の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが “1” の場合は、自動補正周期選択ビット（RCR2.AADJP）で設定した間隔で補正動作を行います。

ソフトウェア設定による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正値を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると 00h になります。

ADJ[5:0] ビット（補正値ビット）

時計の誤差に応じて補正値（サブクロックのクロックサイクル数）を設定します。

PMADJ[1:0] ビット（プラスマイナスビット）

ADJ[5:0] ビットで設定した誤差補正値に応じて時計を進めるか、遅らせるかを選択します。

29.2.23　時間キャプチャ制御レジスタ y（RTCCRy）（y=0 ～ 2）

アドレス　RTCCR0 0008 C440h、RTCCR1 0008 C442h、RTCCR2 0008 C444h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCEN	—	TCNF[1:0]		—	TCST	TCCT[1:0]	
リセット後の値	x	0	x	x	0	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御ビット	b1 b0 0 0：イベント検出しない 0 1：立ち上がりエッジ検出 1 0：立ち下がりエッジ検出 1 1：両エッジ検出	R/W
b2	TCST	時間キャプチャステータスビット	イベント検出されたことを示します “0”を書き込むことで“0”にすることが可能です 0：イベント検出なし 1：イベント検出あり（注1）	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御ビット	b5 b4 0 0：ノイズフィルタOFF 0 1：設定しないください 1 0：ノイズフィルタON（カウントソース） 1 1：ノイズフィルタON（カウントソースの32分周）	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TCEN	時間キャプチャイベント入力端子イネーブルビット	0：RTCICn端子が時間キャプチャイベント入力端子として 無効になります 1：RTCICn端子が時間キャプチャイベント入力端子として有効になります （n = 0～2）	R/W

注1.　“1”の書き込みは無効です。

RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRy レジスタは、カウントソースに同期して更新されます。RTCCRy レジスタを書き換えた場合は、TCST ビットを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると “00h” になります。

TCCT[1:0] ビット（時間キャプチャ制御ビット）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）のエッジ検出を制御するビットです。

検出するエッジの選択が可能です。TCCT[1:0] ビットは、TCEN ビットが “1” の状態で設定してください。

TCST ビット（時間キャプチャステータスビット）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）のイベントが検出されたことを示すビットです。

TCST ビットが “0” の場合は、イベント検出されていないことを示します。

TCST ビットが “1” の場合は、該当する端子のイベントが検出されたことを示し、そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は、最初のキャプチャ時刻を保持します。

カウント動作停止中（RCR2.START ビットが “0”）にイベントが検出された場合は、キャプチャした値を保証できません。キャプチャした値を破棄するために TCST ビットを “0” にしてから使用してください。

TCST ビットに “0” を書き込むことで、TCST ビットを “0” にできます。また、“0” 以外の値の書き込みは無効になります。

TCST ビットを “0” にするときは、TCCT[1:0] ビットを “00b”（イベント検出しない）にした状態で行ってください。

TCST ビットは、カウントソースに同期して “0” になります。TCST ビットを “0” にした場合は、値が更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット（時間キャプチャノイズフィルタ制御ビット）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）のノイズフィルタを制御するビットです。

ノイズフィルタが ON の場合、カウントソースの 1 分周、32 分周のどちらかを選択することが可能です。このとき、時間キャプチャイベント入力端子の入力レベルが選択されたサンプル間隔で 3 回一致すると、入力レベルを決定します。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットを “00b”（イベント検出しない）にした状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0] ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。また、TCNF[1:0] ビットは、TCEN ビットが “1” の状態で設定してください。

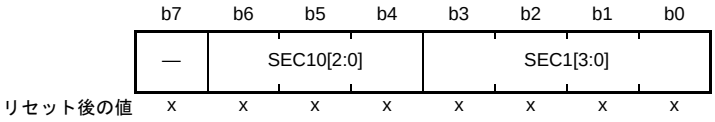
TCEN ビット（時間キャプチャイベント入力端子イネーブルビット）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）の有効／無効を制御するビットです。

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）がピンマルチされている場合、ポート制御の設定をし、かつ TCEN ビットも有効にしてください。このとき、ポート制御の設定を先に行ってください。TCEN ビットを “0” にする場合、TCCT[1:0] ビットも “00b” にしてください。

29.2.24　秒キャプチャレジスタ y（RSECCPy）（y=0 ～ 2）

アドレス　RSECCP0 0008 C452h、RSECCP1 0008 C462h、RSECCP2 0008 C472h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	秒一位キャプチャビット	秒一位のキャプチャ値を示します	R
b6-b4	SEC10[2:0]	秒十位キャプチャビット	秒十位のキャプチャ値を示します	R
b7	—	予約ビット	“0” を設定してください。読むと同値が読めます	R/W

RSECCPy レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

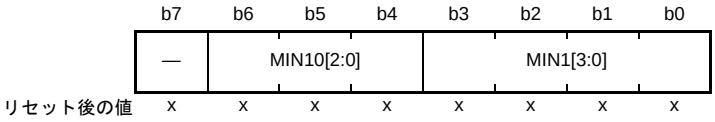
RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、RTCIC2 端子によるイベント検出時は RSECCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると “00h” になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

29.2.25　分キャプチャレジスタ y（RMINCPy）（y=0 ～ 2）

アドレス　RMINCP0 0008 C454h、RMINCP1 0008 C464h、RMINCP2 0008 C474h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	分一位キャプチャビット	分一位のキャプチャ値を示します	R
b6-b4	MIN10[2:0]	分十位キャプチャビット	分十位のキャプチャ値を示します	R
b7	—	予約ビット	“0” を設定してください。読むと同値が読めます	R/W

RMINCPy レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMINCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると “00h” になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

29.2.26　時キャプチャレジスタ y（RHRCPy）（y=0 ～ 2）

アドレス　RHRCP0 0008 C456h、RHRCP1 0008 C466h、RHRCP2 0008 C476h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PM	HR10[1:0]		HR1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	時一位キャプチャビット	時一位のキャプチャ値を示します	R
b5-b4	HR10[1:0]	時十位キャプチャビット	時十位のキャプチャ値を示します	R
b6	PM	PM ビット	0：午前 1：午後	R
b7	—	予約ビット	“0” を設定してください。読むと同値が読めます	R/W

RHRCPy レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、RTCIC2 端子によるイベント検出時は RHRCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RCR2.HR24 ビットが “0”（12 時間モードで動作）の場合のみ、PM ビットが有効になります。

RTC ソフトウェアリセットを実行すると “00h” になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

29.2.27　日キャプチャレジスタ y（RDAYCPy）（y=0 ～ 2）

アドレス　RDAYCP0 0008 C45Ah、RDAYCP1 0008 C46Ah、RDAYCP2 0008 C47Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DATE10[1:0]		DATE1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	日一位キャプチャビット	日一位のキャプチャ値を示します	R
b5-b4	DATE10[1:0]	日十位キャプチャビット	日十位のキャプチャ値を示します	R
b7-b6	—	予約ビット	“0” を設定してください。読むと同値が読めます	R/W

RDAYCPy レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると “00h” になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

29.2.28　月キャプチャレジスタ y（RMONCPy）（y=0 ～ 2）

アドレス　RMONCP0 0008 C45Ch、RMONCP1 0008 C46Ch、RMONCP2 0008 C47Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
リセット後の値	0	0	0	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	月一位キャプチャビット	月一位のキャプチャ値を示します	R
b4	MON10	月十位キャプチャビット	月十位のキャプチャ値を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

RMONCPy レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMONCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると “00h” になります。

読み出し処理は、RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

29.3 動作説明

29.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キャプチャ制御レジスタの初期設定をしてください。

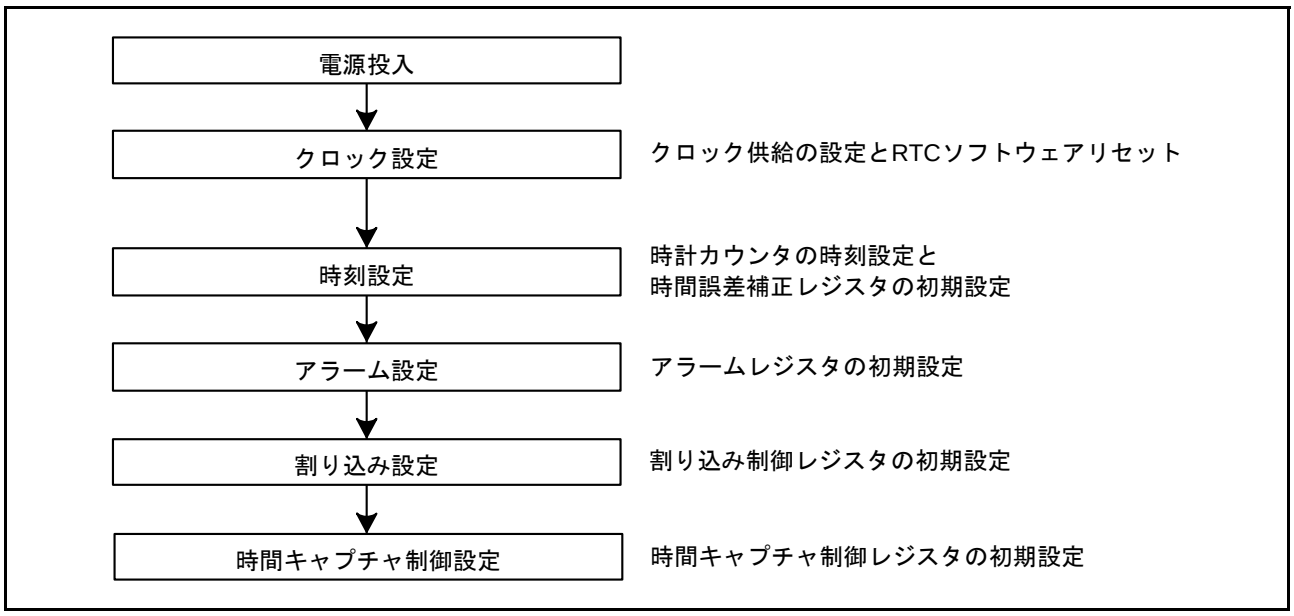
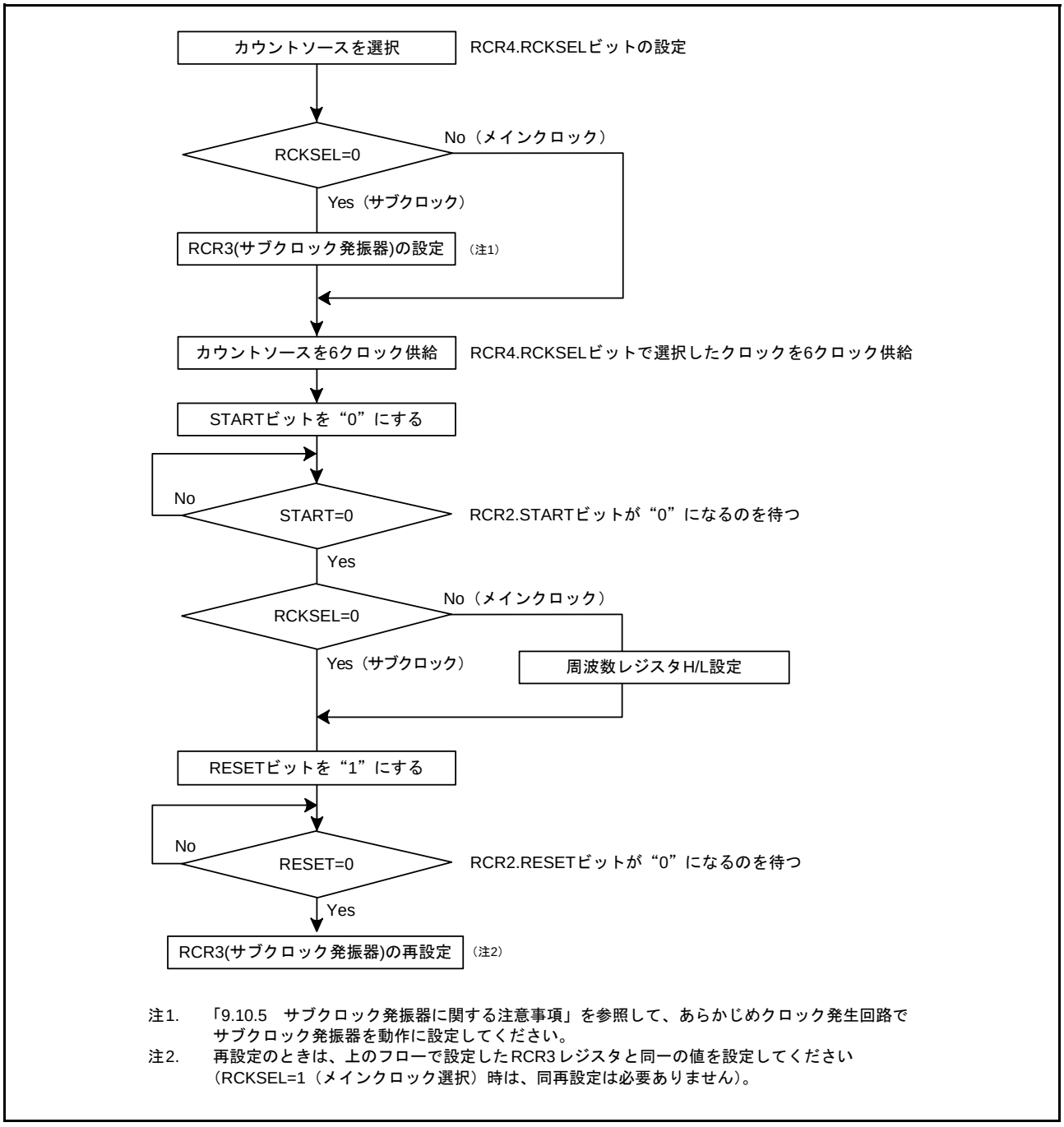


図 29.2　電源投入後の初期設定概要

29.3.2　クロック設定手順

図 29.3 にクロック設定手順を示します。

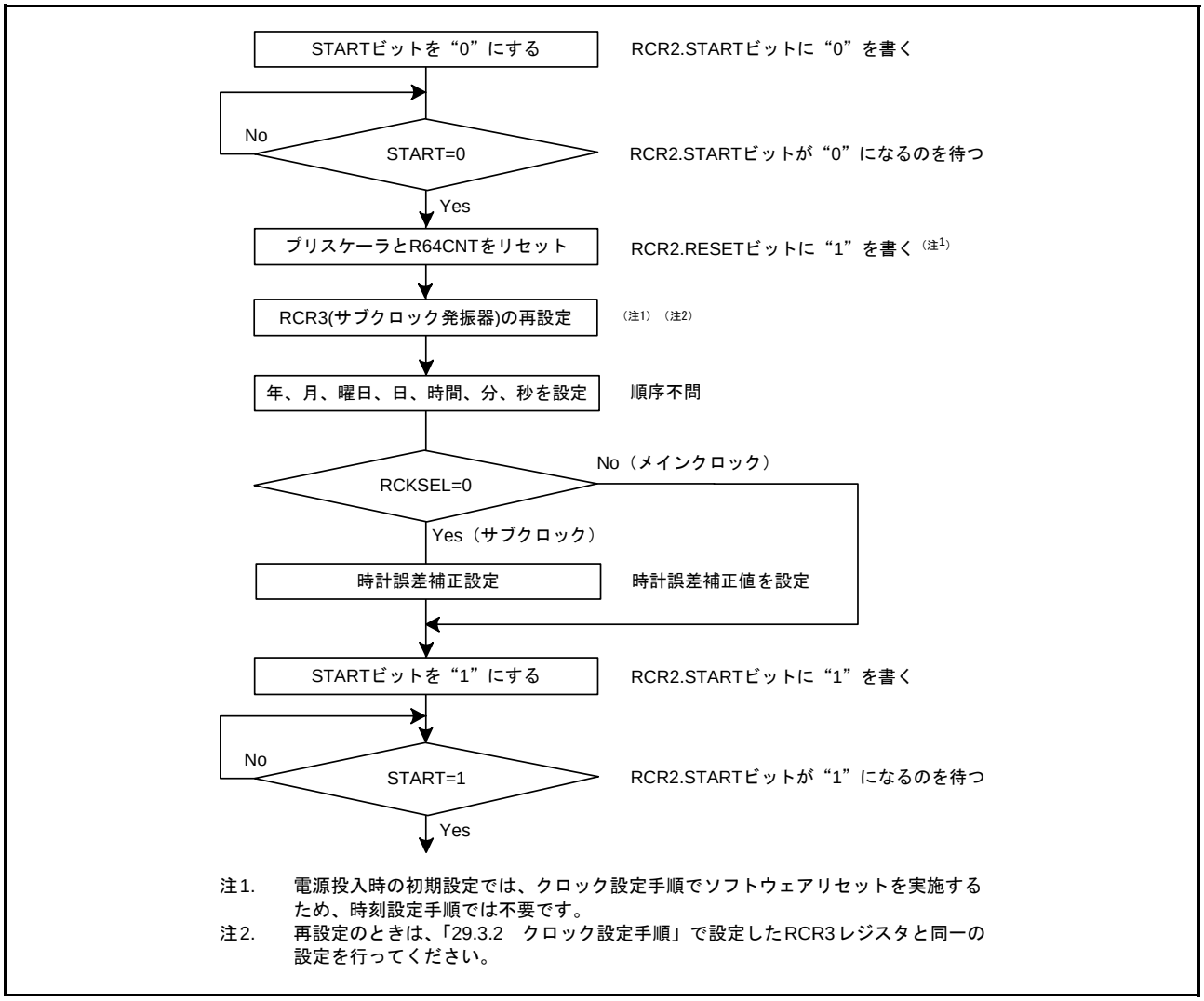


注1.　「9.10.5　サブクロック発振器に関する注意事項」を参照して、あらかじめクロック発生回路でサブクロック発振器を動作に設定してください。
注2.　再設定のときは、上のフローで設定したRCR3レジスタと同一の値を設定してください（RCKSEL=1（メインクロック選択）時は、同再設定は必要ありません）。

図 29.3　クロック設定手順

29.3.3　時刻設定手順

図 29.4 に時刻設定手順を示します。



注1.　電源投入時の初期設定では、クロック設定手順でソフトウェアリセットを実施するため、時刻設定手順では不要です。
注2.　再設定のときは、「29.3.2　クロック設定手順」で設定したRCR3レジスタと同一の設定を行ってください。

図 29.4　時刻設定手順

29.3.4　30 秒調整手順

図 29.5 に 30 秒調整手順を示します。

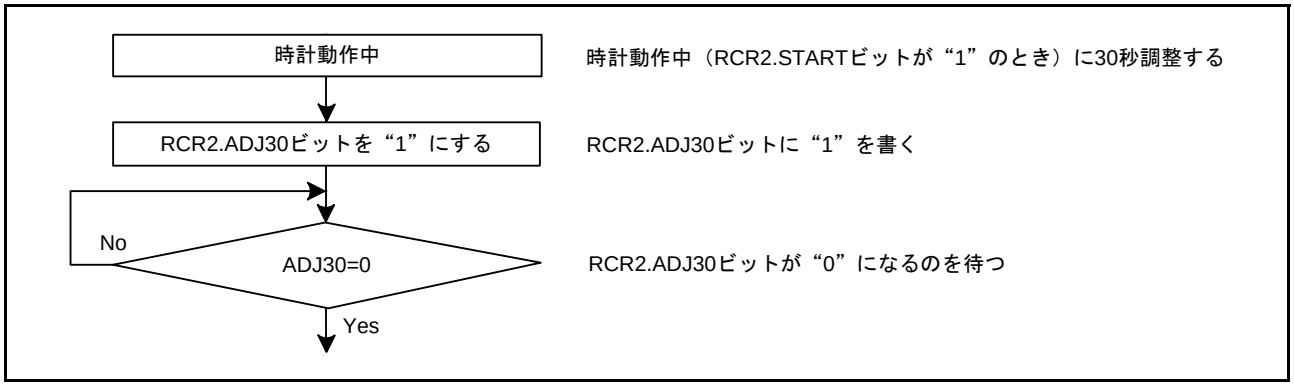


図 29.5　30 秒調整手順

29.3.5　64Hz カウンタおよび時刻読み出し手順

図 29.6 に 64Hz カウンタおよび時刻読み出し手順を示します。

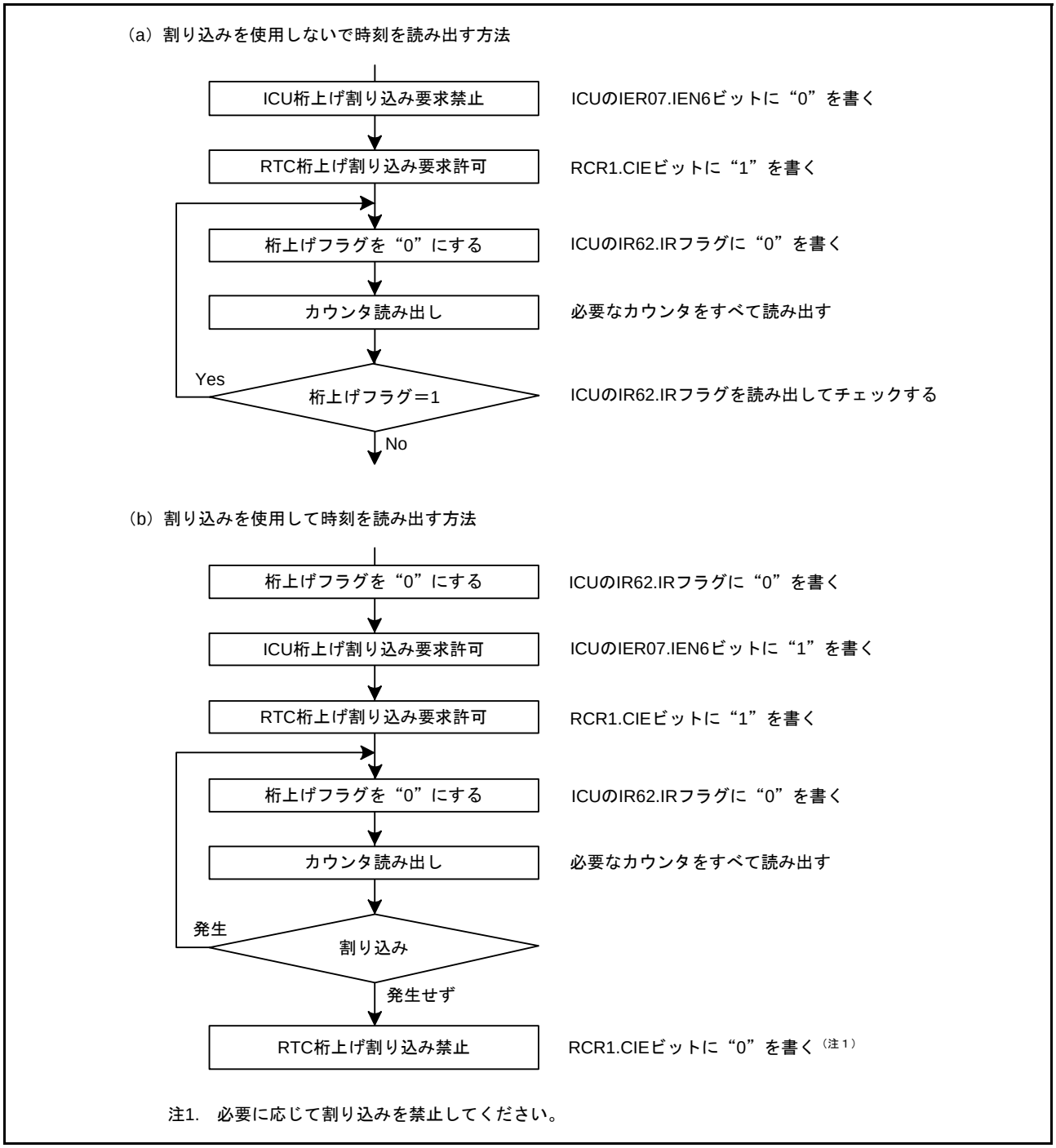


図 29.6　時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 29.6 の（a）に、桁上げ割り込みを使用する方法を図 29.6 の（b）に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

29.3.6　アラーム機能

図 29.7 にアラーム機能の使用方法を示します。

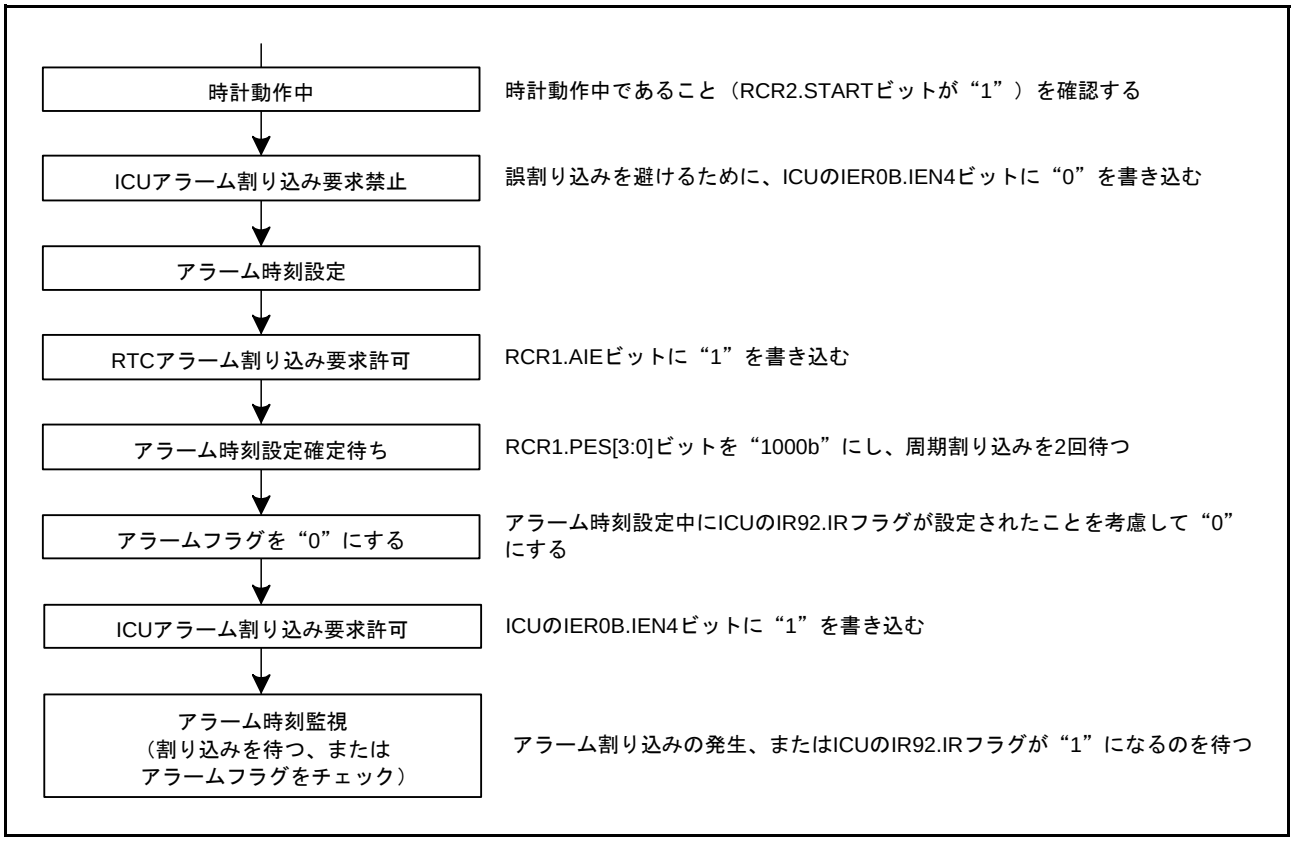


図 29.7　アラーム機能の使用方法

アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタの ENB ビットに “1” を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに “0” を書き込みます。

カウンタとアラーム時刻が一致した場合は、ICU の IR92.IR フラグが “1” になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ICU の IER0B.IEN4 ビットに “1” が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ICU の IR92.IR フラグは “0” を書き込むと “0” になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。

29.3.7　アラーム割り込み禁止手順

図 29.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。

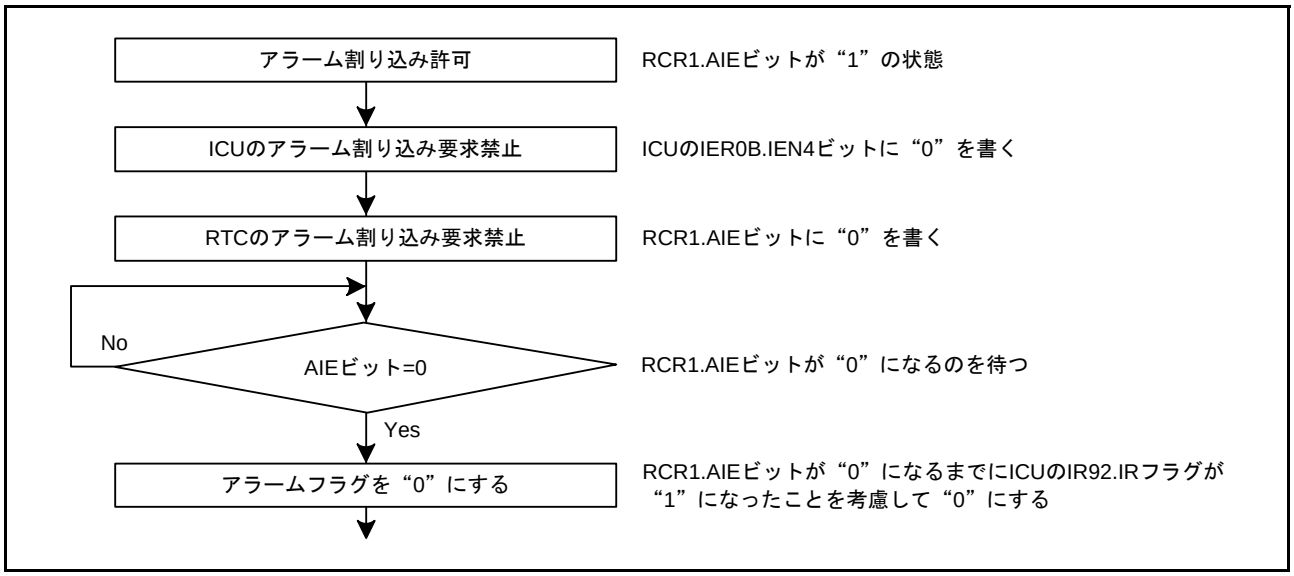


図 29.8　アラーム割り込み要求を禁止する手順

29.3.8　時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差（遅れる / 進む）を補正します。サブクロック選択時、32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

29.3.8.1　自動補正機能

RCR2.AADJE ビットが “1” の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1）サブクロック＝ 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RCR2.AADJP ビット = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] ビット = 10b（遅らせる）
- RADJ.ADJ[5:0] ビット = 60（3Ch）

例 2）サブクロック = 32.766kHz

補正方法：

サブクロックの周波数が 32.766kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：

- RCR2.AADJP ビット = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（進める）
- RADJ.ADJ[5:0] ビット = 20（14h）

29.3.8.2　ソフトウェアによる補正

RCR2.AADJE ビットが “0” の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1）サブクロック＝ 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b（遅らせる）
- RADJ.ADJ[5:0] ビット = 1（01h）
  1 秒の割り込みごとに RADJ レジスタに書き込む

29.3.8.3　補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを “00b”（補正しない）にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合
（1）RADJ.PMADJ[1:0] ビットを “00b”（補正しない）にする
（2）RCR2.AADJE ビットを “1”（自動補正機能許可）にする
（3）RCR2.AADJP ビットで補正周期を選択する
（4）RADJ.PMADJ[1:0] ビットに加減算を、RADJ.ADJ[5:0] ビットで時計誤差補正値を設定する

自動補正から、ソフトウェアによる補正に切り替える場合
（1）RADJ.PMADJ[1:0] ビットを “00b”（補正しない）にする
（2）RCR2.AADJE ビットを “0”（ソフトウェアによる補正機能有効）にする
（3）任意のタイミングで RADJ.PMADJ[1:0] ビットに加減算を、RADJ.ADJ[5:0] ビットで時計誤差補正値を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

29.3.8.4　補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを “00b”（補正しない）にしてください。

29.3.8.5　時間キャプチャ機能

RTC は時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、秒の値を格納します。

また、RTC の時間キャプチャイベント入力端子には、ノイズフィルタを使用することができます。ノイズフィルタは、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回一致した場合、RTC 内部に一致したレベルを伝達し、サンプリングした端子のレベルが 3 回一致するまで RTC 内部のレベルを維持します。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの ON/OFF を設定できます。

ノイズフィルタ OFF の場合の動作を図 29.9 に、ノイズフィルタ ON の場合の動作を図 29.10 に示します。

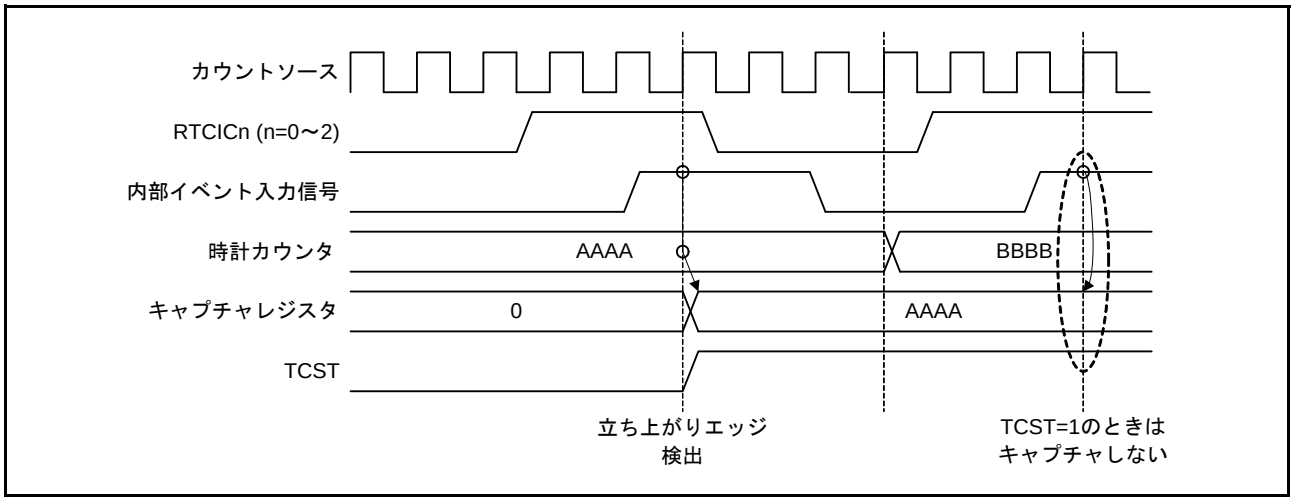


図 29.9　時間キャプチャ機能動作タイミング（フィルタ OFF）

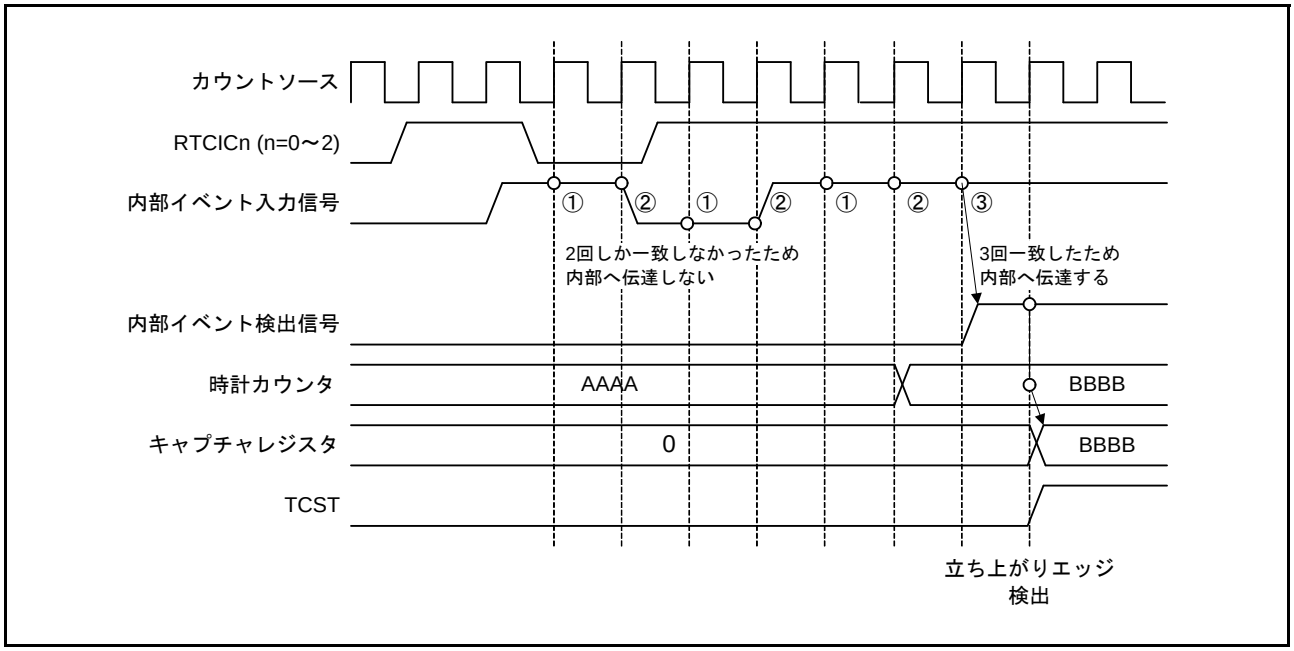


図 29.10　時間キャプチャ機能動作タイミング（フィルタ ON）

29.4　割り込み要因

RTC の割り込み要因には、以下の 3 種類があります。**表 29.4** に RTC の割り込み要因を示します。

表 29.4　RTC の割り込み要因

名称	割り込み要因	割り込みステータスフラグ（注1）
ALM	アラーム割り込み	IR92.IR
PRD	周期割り込み	IR93.IR
CUP	桁上げ割り込み	IR62.IR

注1.　詳細は「15.　割り込みコントローラ（ICUb）」を参照してください。ディープソフトウェアスタンバイモードからの復帰後の要因判別は、消費電力低減機能側のフラグを参照してください。詳細は、「11.　消費電力低減機能」を参照してください。

(1)　アラーム割り込み（ALM）

アラームレジスタと時計カウンタとの比較結果によって割り込みを発生します（詳細は各アラームレジスタの説明を参照してください）。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグがセットされる可能性があるため、アラームレジスタの変更後、一度当該割り込みの IR92.IR フラグを “0” にしてください。アラーム割り込みの割り込みフラグは、一度 “0” にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまでセットされません。

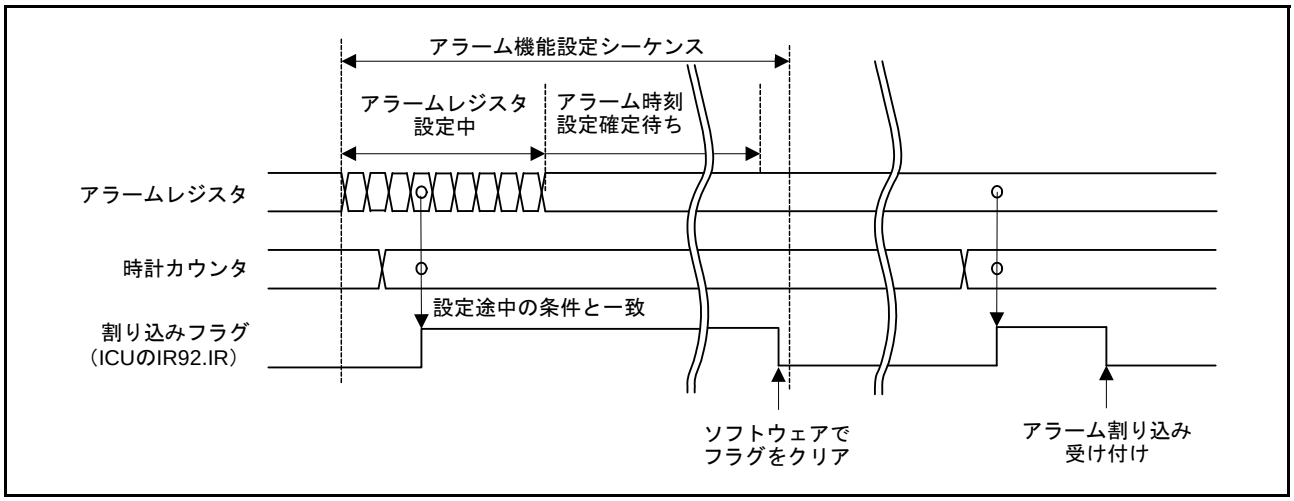


図 29.11　アラーム割り込み（ALM）のタイミングチャート

(2)　周期割り込み（PRD）

2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期で発生する割り込みです。RCR1.PES[3:0] ビットによって周期の選択が可能です。

(3)　桁上げ割り込み（CUP）

秒カウンタへの桁上げが発生したとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときにアサートされる割り込みです。

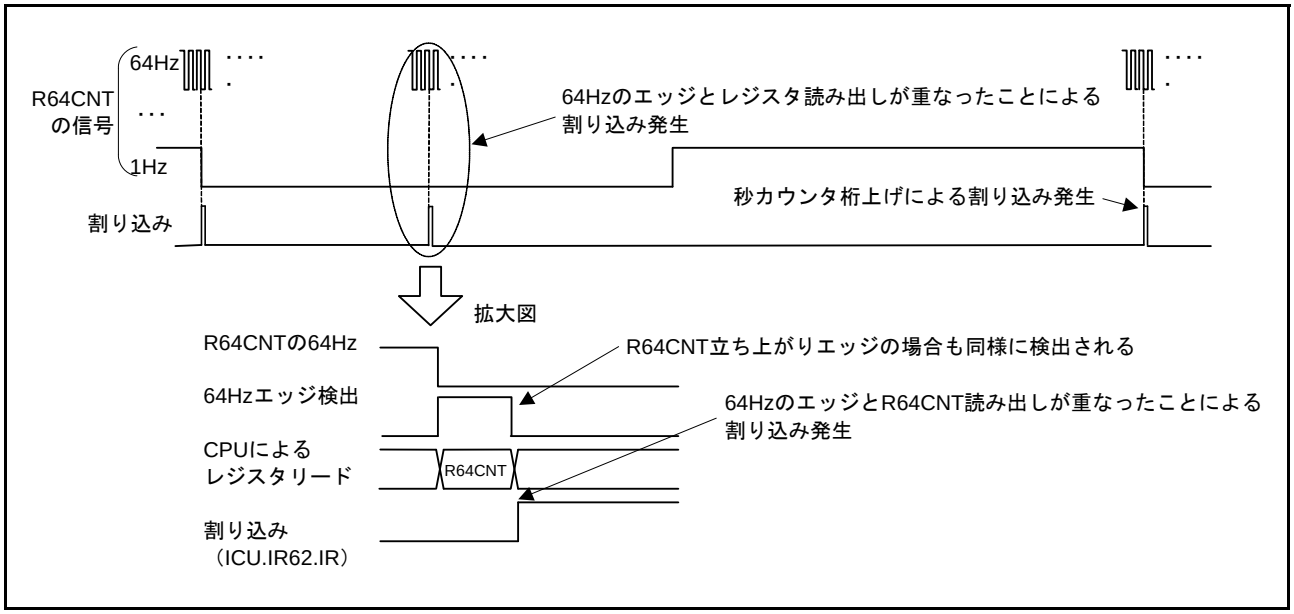


図 29.12　桁上げ割り込み（CUP）のタイミングチャート

29.5　使用上の注意事項

29.5.1　カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビット＝1 のとき）は、以下のレジスタに書き込みを行わないでください。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT、
RCR2.RTCOE、RCR2.HR24、RFRH、RFRL

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

29.5.2　周期割り込みの使用について

周期割り込みの使用方法を図 29.13 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケーラ、R64CNT、RSECCNT カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止／動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正値の分だけ加減されます。

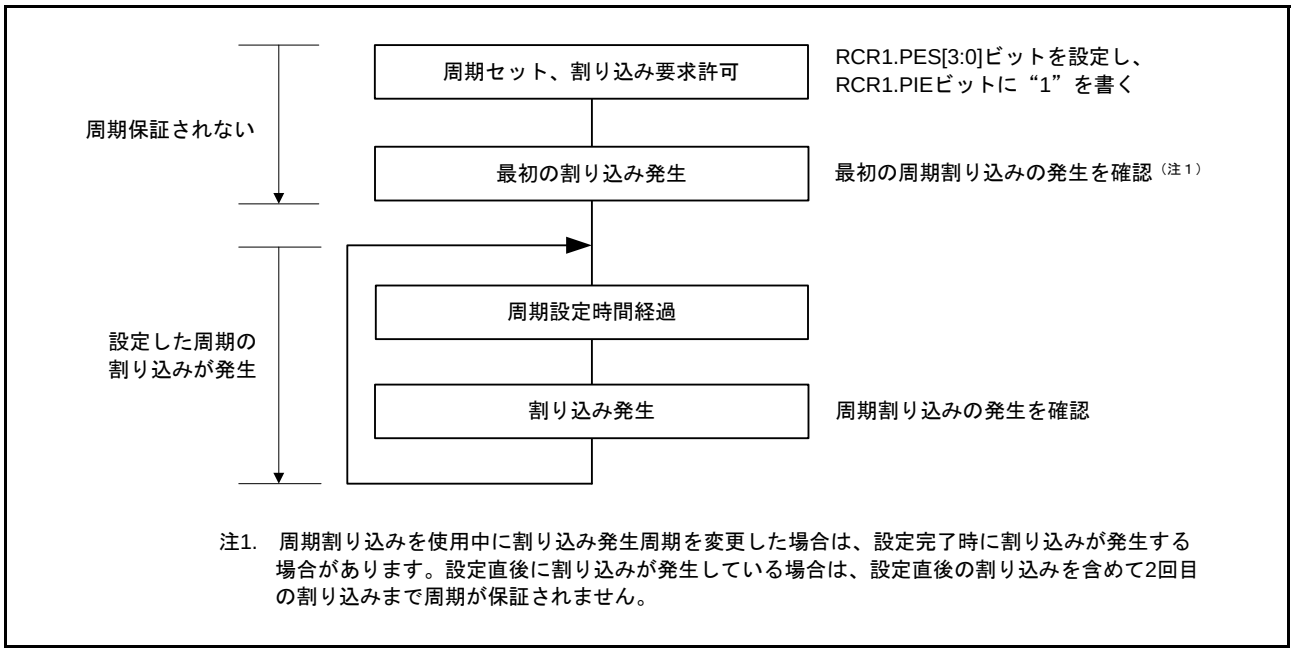


図 29.13　周期割り込み機能の使用方法

29.5.3　RTCOUT（1Hz）出力について

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT（1Hz）出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT（1Hz）出力の周期は、誤差補正値の分だけ周期がずれます。

29.5.4　レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態（ソフトウェアスタンバイモード / ディープソフトウェアスタンバイモード / バッテリバックアップ機能）へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

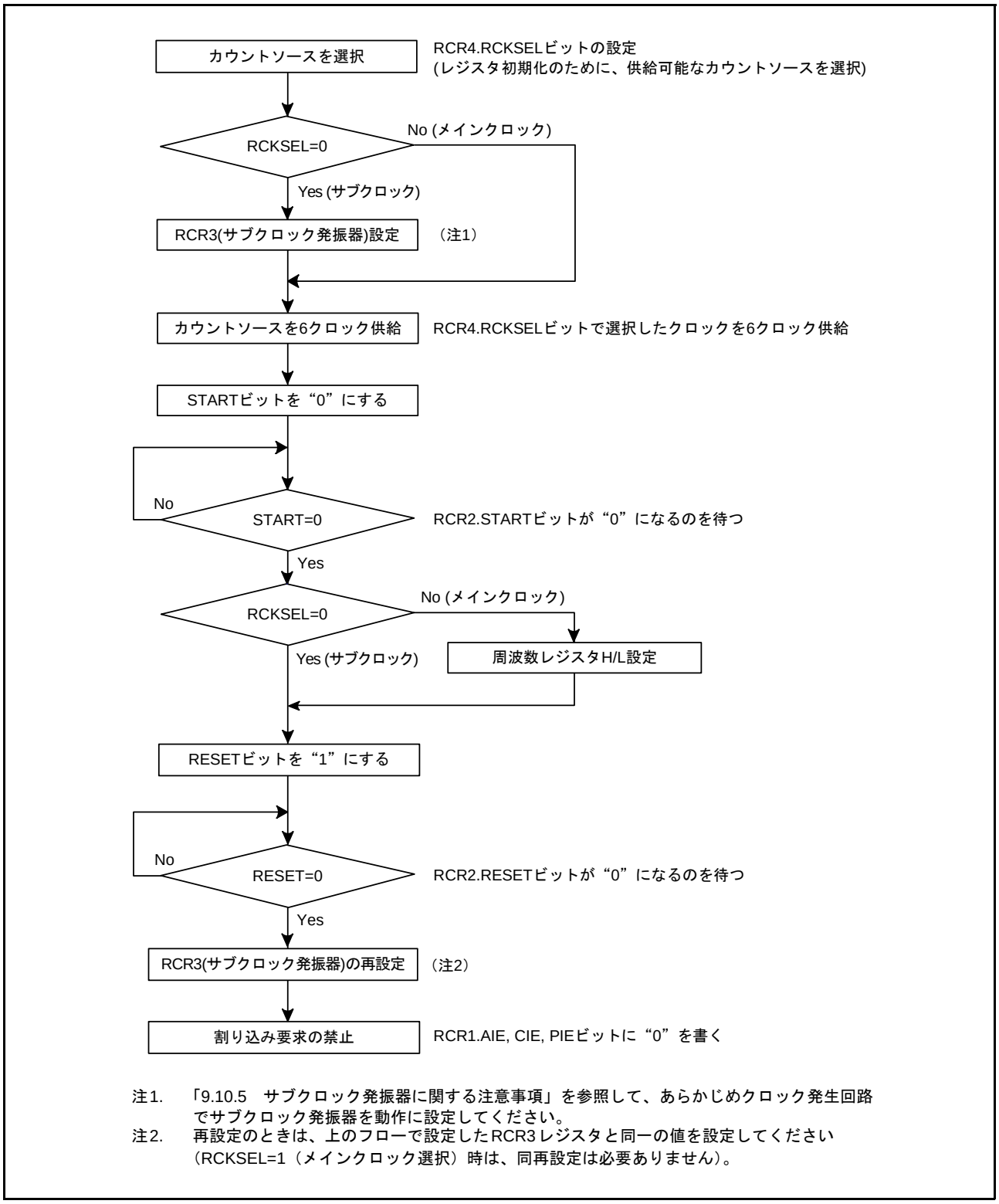
29.5.5　レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの読み出しは、「29.3.5　64Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE, AADJP, HR24 ビット、RCR3 レジスタ、RCR4 レジスタ、周波数レジスタの書き込み後の読み出しは、空読み出し 3 回後の読み出しから書き込み値が反映されます。
- RCR1.CIE ビット、RCR2.RTCOE ビットは、書き込み直後の読み出しで書き込み値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、バッテリバックアップ機能から復帰した後に時計カウンタの値を読み出すときは、時計動作中（RCR2.START ビット = “1”）で 1/128 秒待ってから読み出しを行ってください。

29.5.6　リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われないため、初期状態によっては意図しない割り込みが発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、**図 29.14** に示す初期化手順に従って、レジスタの初期化をしてください。



注1.　「9.10.5　サブクロック発振器に関する注意事項」を参照して、あらかじめクロック発生回路でサブクロック発振器を動作に設定してください。

注2.　再設定のときは、上のフローで設定したRCR3レジスタと同一の値を設定してください（RCKSEL=1（メインクロック選択）時は、同再設定は必要ありません）。

図 29.14　初期化手順

30. ウォッチドッグタイマ（WDTA）

ウォッチドッグタイマ（WDT）は、プログラムの暴走を検知します。

WDT は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローに到達すると、リセット出力によって本 LSI をリセットすることができます。または、カウント値がアンダフローに到達することによって、割り込み要求の発生を選択することもできます。ダウンカウンタのカウント値をリフレッシュすることによってカウント値を初期値に戻し再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュを行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うとリセットまたは割り込み要求を出力します。これによってリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローもしくはリフレッシュ可能期間外のリフレッシュ後は、WDT はカウントを停止します。カウントの再開は、レジスタスタートモードの場合にはリフレッシュ実施後に、オートスタートモードの場合にはリセット出力 / 割り込み要求出力後に自動的に行います。

30.1 概要

WDT はリセット解除後、自動的にカウント開始を行うオートスタートモードと、リフレッシュ（レジスタ書き込み）によるカウント開始を行うレジスタスタートモードの 2 種類のモードがあります。

オートスタートモードでは、リセット解除前にオプション機能選択レジスタ 0（OFS0）に対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力の設定を行います。

レジスタスタートモードでは、リセット解除後にリフレッシュによるカウント開始前にレジスタに対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力の設定を行います。

オートスタートモード、もしくはレジスタスタートモードの選択は WDT スタートモード選択ビット（OFS0.WDTSTRT）で行います。

オートスタートモード選択時（OFS0.WDTSTRT = 0）、WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）の設定は無効となり、OFS0 レジスタの設定が有効となります。

レジスタスタートモード選択時（OFS0.WDTSTRT = 1）、OFS0 レジスタの設定は無効となり、WDTCR、WDTRCR レジスタの設定が有効となります。

表 30.1 に WDT の仕様を示します。図 30.1 に WDT のブロック図を示します。

表 30.1　WDT の仕様 (1 / 2)

項目	内容
カウントソース	周辺クロック（PCLK）
クロック分周比	4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周
カウント動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• リセット後、自動的にカウント開始（オートスタートモード） • リフレッシュ（WDTRR レジスタに 00h を書き込み後、FFh を書き込む）により、カウント開始（レジスタスタートモード）
カウント停止条件	• リセット（ダウンカウンタ、レジスタは初期値に戻る） • アンダフロー、リフレッシュエラー発生時 カウント再開（オートスタートモード：自動、レジスタスタートモード：リフレッシュ）
ウィンドウ機能	ウィンドウ開始 / 終了位置を設定可能（リフレッシュ許可 / 禁止期間）
リセット出力要因	• ダウンカウンタがアンダフローした場合 • リフレッシュ許可期間以外でリフレッシュを行った場合（リフレッシュエラー）
割り込み要求出力要因	• ダウンカウンタがアンダフローした場合、ノンマスカブル割り込み（WUNI）を発生 • リフレッシュ許可期間以外でリフレッシュを行った場合（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

表30.1　　WDTの仕様（２／２）

項目	内容
出力信号（内部信号）	• リセット出力 • 割り込み要求出力
オートスタートモード（オプション機能選択レジスタ0（OFS0）制御）	• リセット後のクロック分周比の選択（OFS0.WDTCKS[3:0]ビット） • ウォッチドッグタイマのタイムアウト期間の選択（OFS0.WDTTOPS[1:0]ビット） • ウォッチドッグタイマのウィンドウ開始位置の選択（OFS0.WDTRPSS[1:0]ビット） • ウォッチドッグタイマのウィンドウ終了位置の選択（OFS0.WDTRPES[1:0]ビット） • リセット出力、または割り込み要求出力の選択（OFS0.WDTRSTIRQSビット）
レジスタスタートモード（WDTレジスタ制御）	• リフレッシュ動作後のクロック分周比の選択（WDTCR.CKS[3:0]ビット） • ウォッチドッグタイマのタイムアウト期間の選択（WDTCR.TOPS[1:0]ビット） • ウォッチドッグタイマのウィンドウ開始位置の選択（WDTCR.RPSS[1:0]ビット） • ウォッチドッグタイマのウィンドウ終了位置の選択（WDTCR.RPES[1:0]ビット） • リセット出力、または割り込み要求出力の選択（WDTRCR.RSTIRQSビット）

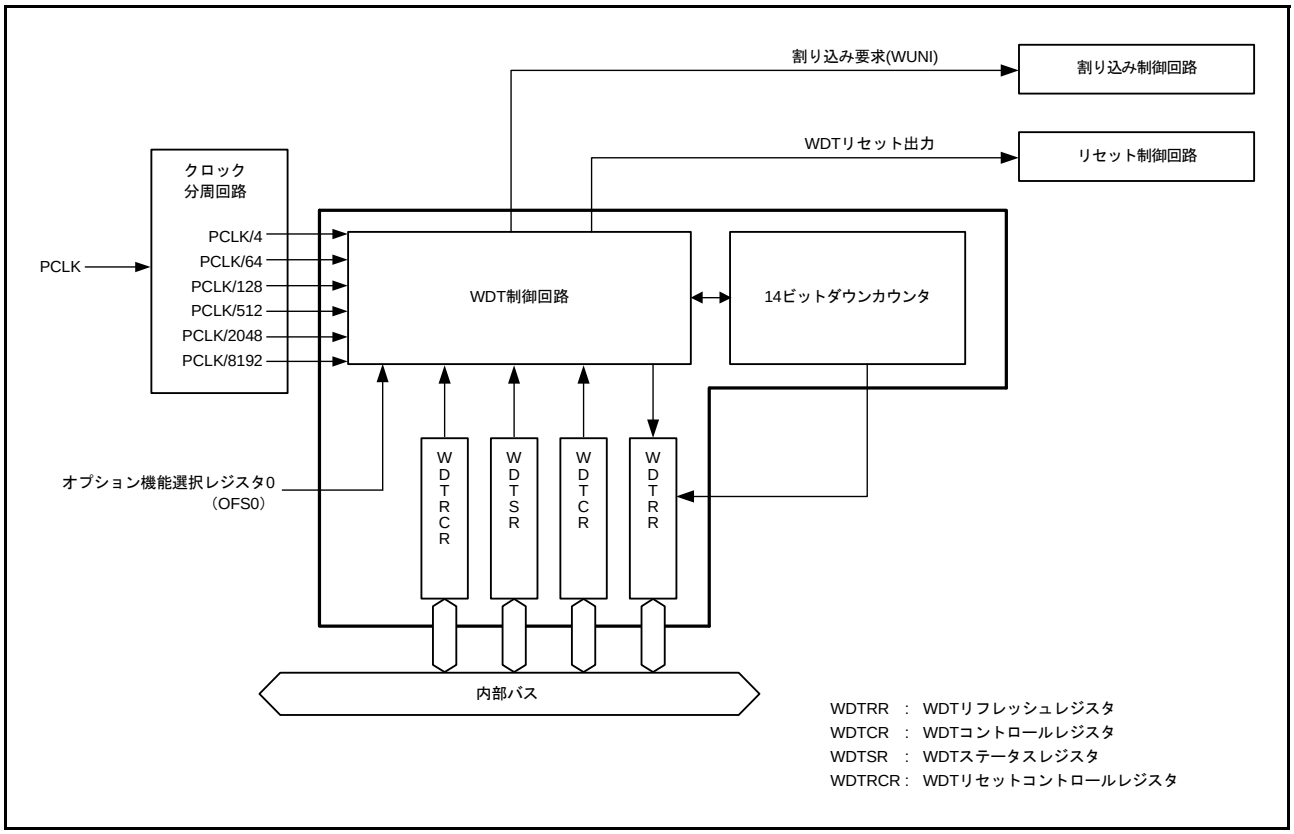
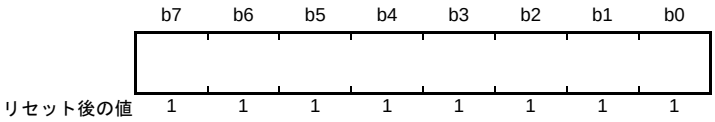


図 30.1　　WDT のブロック図

30.2　レジスタの説明

30.2.1　WDT リフレッシュレジスタ（WDTRR）

アドレス　0008 8020h



ビット	機能	R/W
b7-b0	“00h” 書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む（リフレッシュ動作）ことにより WDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット（OFS0.WDTTOPS[1:0]）で設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDT コントロールレジスタ のタイムアウト期間選択ビット（WDTCR.TOPS[1:0]）で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「30.3.3　リフレッシュ動作」を参照してください。

30.2.2 WDT コントロールレジスタ（WDTCR）

アドレス 0008 8022h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh）	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1：PCLK/4 0 1 0 0：PCLK/64 1 1 1 1：PCLK/128 0 1 1 0：PCLK/512 0 1 1 1：PCLK/2048 1 0 0 0：PCLK/8192 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

WDTCR レジスタへの書き込みには制限があります。詳細については、**「30.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」**を参照してください。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0（OFS0）の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、**「30.3.8 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応」**を参照してください。

TOPS[1:0] ビット（タイムアウト期間選択ビット）

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（PCLK 数）は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 30.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLK 数の関係を示します。

表30.2　タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	PCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLK/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLK/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLK/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLK/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット（クロック分周比選択ビット）

WDT は、周辺クロック（PCLK）を分周する分周比設定を 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 / 8192 分周から選択します。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLK の 4096 ～ 134217728 クロックの間で設定できます。

RPES[1:0] ビット（ウィンドウ終了位置選択ビット）

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 ＞ ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 30.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表30.3　　タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

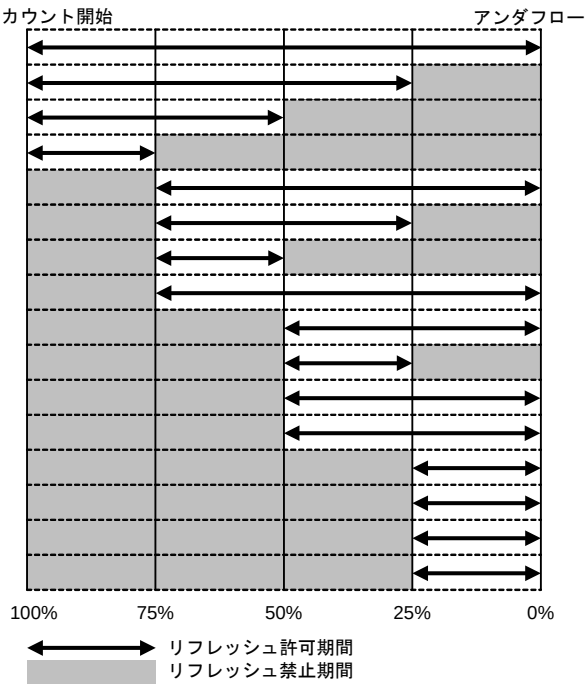
TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット（ウィンドウ開始位置選択ビット）

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダフロー発生時を 0%）の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 30.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始（%）	終了（%）
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

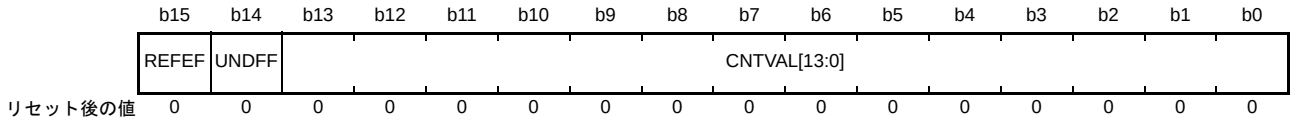


注.　「ウィンドウ終了」≧「ウィンドウ開始」設定を行った場合、「ウィンドウ終了」設定は0%になります。

図 30.2　　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

30.2.3 WDT ステータスレジスタ（WDTSR）

アドレス 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R(/W) （注1）
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R(/W) （注1）

注1. フラグを“0”にするための“0”書き込みのみ可能です。

WDTSR レジスタは、WDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット（ダウンカウンタ値ビット）

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ（アンダフローフラグ）

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が “1” のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF フラグ（リフレッシュエラーフラグ）

リフレッシュエラー（リフレッシュ禁止期間中のリフレッシュ動作）の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

30.2.4　WDT リセットコントロールレジスタ（WDTRCR）

アドレス　0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求出力を許可 1：リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには制限があります。詳細については、**「30.3.2　WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を**参照してください。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0（OFS0）の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、**「30.3.8　オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応」**を参照してください。

30.2.5　オプション機能選択レジスタ 0（OFS0）

OFS0 レジスタについては、**「30.3.8　オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応」**を参照してください。

30.3 動作説明

30.3.1 カウント開始条件別の各動作

WDT のスタートモードの選択は、オプション機能選択レジスタ 0 の WDT スタートモード選択ビット（OFS0.WDTSTRT）で行います。

OFS0.WDTSTRT ビットが “1”（ レジスタスタートモード）の場合、WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）の設定が有効となり、WDT リフレッシュレジスタ（WDTRR）へのリフレッシュ動作でカウントが開始されます。OFS0.WDTSTRT ビットが “0”（オートスタートモード）の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

30.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 の WDT スタートモード選択ビット（OFS0.WDTSTRT）が “1” の場合、レジスタスタートモードとなり、WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）が有効となります。

リセット解除後、WDTCR レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、また WDTRCR レジスタにリセット出力 / 割り込み要求出力の設定を行います。その後、リフレッシュ動作でダウンカウンタにタイムアウト期間選択ビット（WDTCR.TOPS[1:0]）で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求（WUNI）を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット（WDTRCR.RSTIRQS）の設定により行います。

図 30.3 に以下の条件での動作例を示します。

- WDT スタートモード選択ビット（OFS0.WDTSTRT）: “1”（レジスタスタートモード）
- リセット割り込み要求選択ビット（WDTRCR.RSTIRQS）: “1”（リセット出力許可）
- ウィンドウ開始位置選択ビット（WDTCR.RPSS[1:0]）: “10b”（75%）
- ウィンドウ終了位置選択ビット（WDTCR.RPES[1:0]）: “10b”（25%）

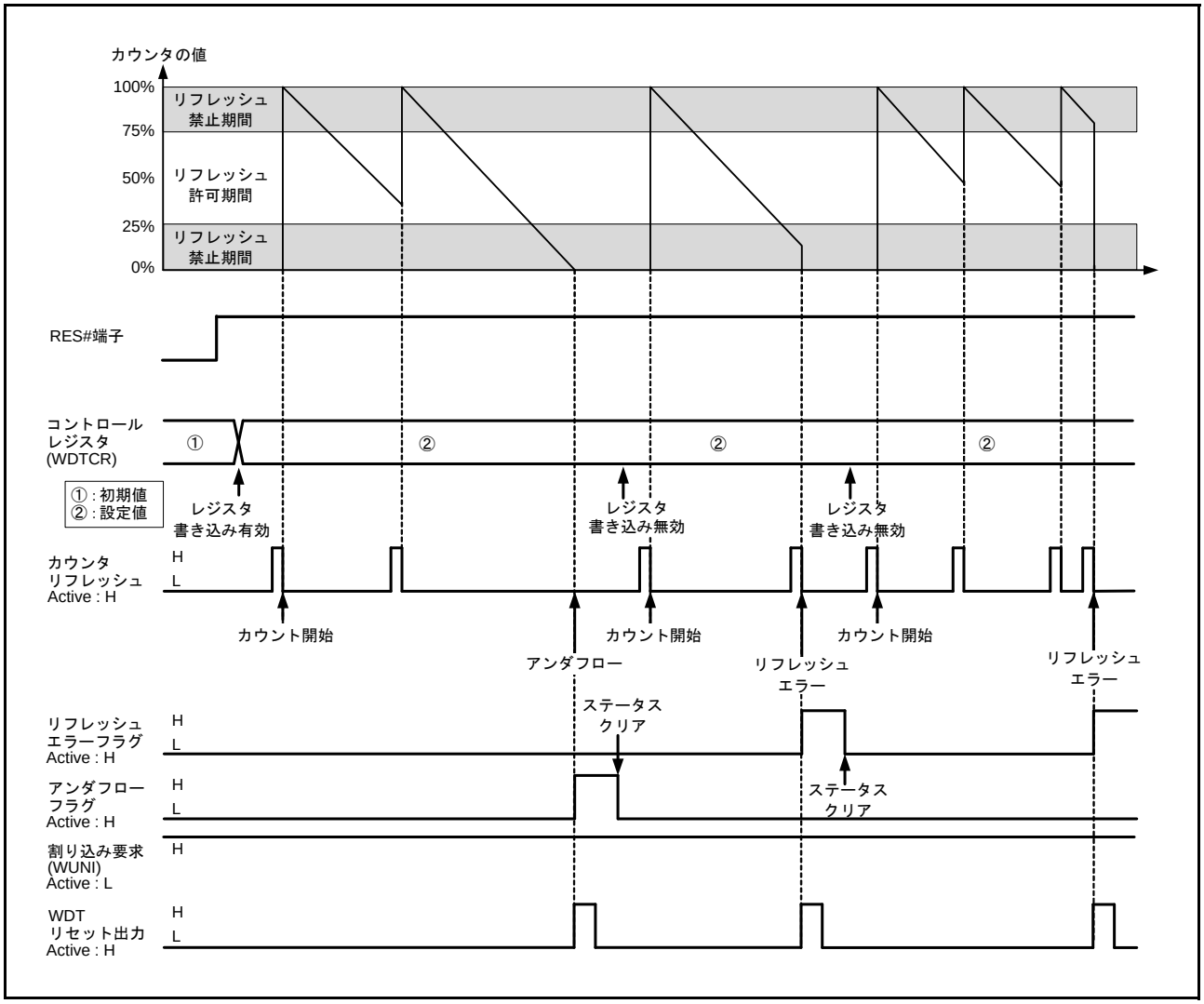


図 30.3　レジスタスタートモード動作例

30.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 の WDT スタートモード選択ビット（OFS0.WDTSTRT）が “0” の場合、オートスタートモードとなり、WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0（OFS0）によって、クロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、リセット出力 / 割り込み要求出力が設定されます。その後、リセット解除でダウンカウンタに WDT タイムアウト期間選択ビット（OFS0.WDTTOPS[1:0]）で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求（WUNI）を出力します。リセットまたはノンマスカブル割り込み要求発生後、1 サイクルカウント後にダウンカウンタはタイムアウト期間をリロードし、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット（OFS0.WDTRSTIRQS）の設定により行います。

図 30.4 に以下の条件での動作例を示します。

- WDT スタートモード選択ビット（OFS0.WDTSTRT）: “0”（オートスタートモード）
- リセット割り込み要求選択ビット（OFS0.WDTRSTIRQS）: “0”（ノンマスカブル割り込み要求出力許可）
- ウィンドウ開始位置選択ビット（OFS0.WDTRPSS[1:0]）: “10b”（75%）
- ウィンドウ終了位置選択ビット（OFS0.WDTRPES[1:0]）: “10b”（25%）

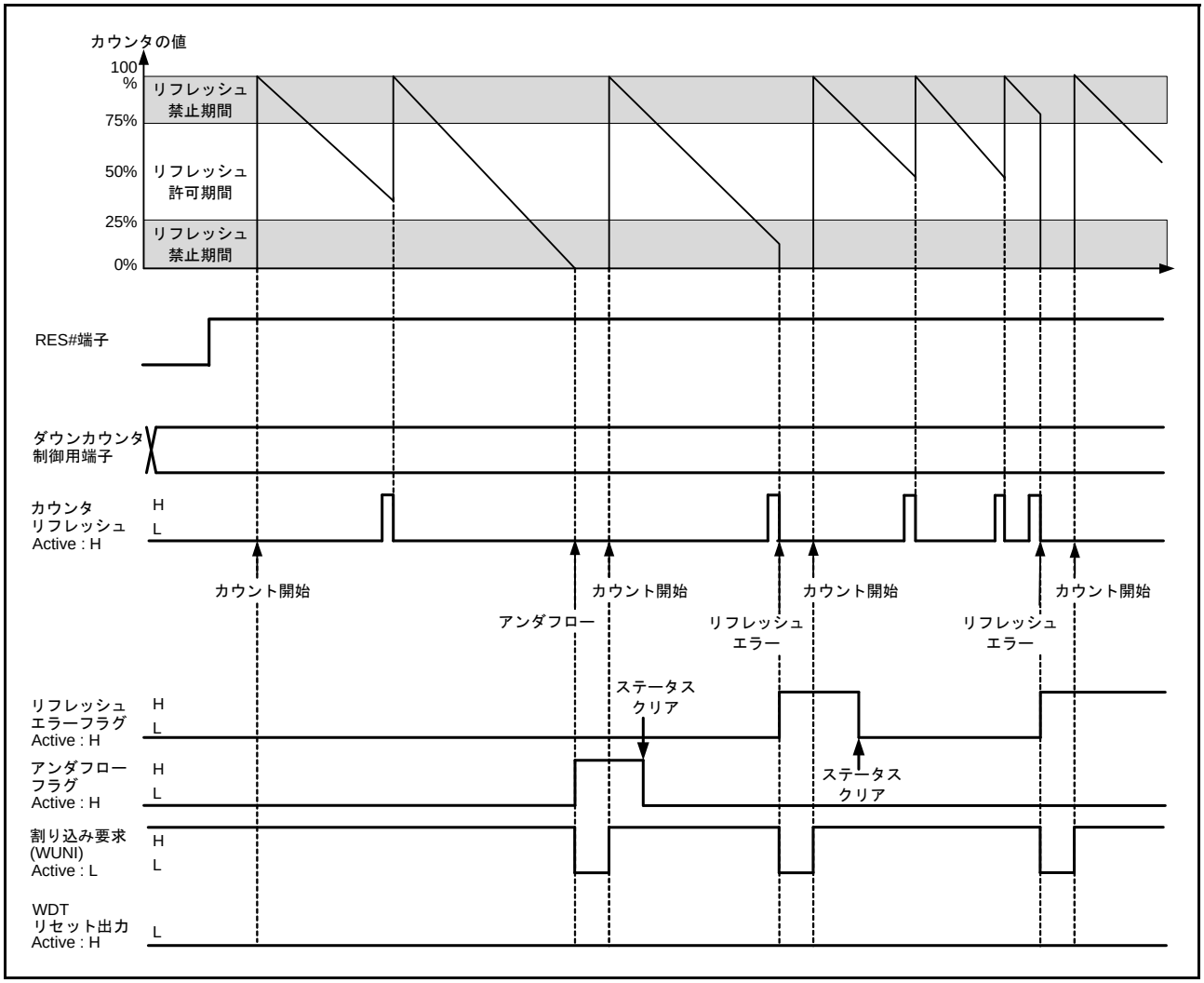


図 30.4　オートスタートモード動作例

30.3.2　WDTCR レジスタ、WDTRCR レジスタ書き込み制御

WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作（カウントスタート）後、もしくは WDTCR、WDTRCR レジスタへ書き込みを行うと、WDT 内部のプロテクト信号が “1” となり、以後 WDTCR、WDTRCR レジスタへの書き込みをプロテクトします。

WDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 30.5 に WDTCR レジスタ書き込み制御波形を示します。

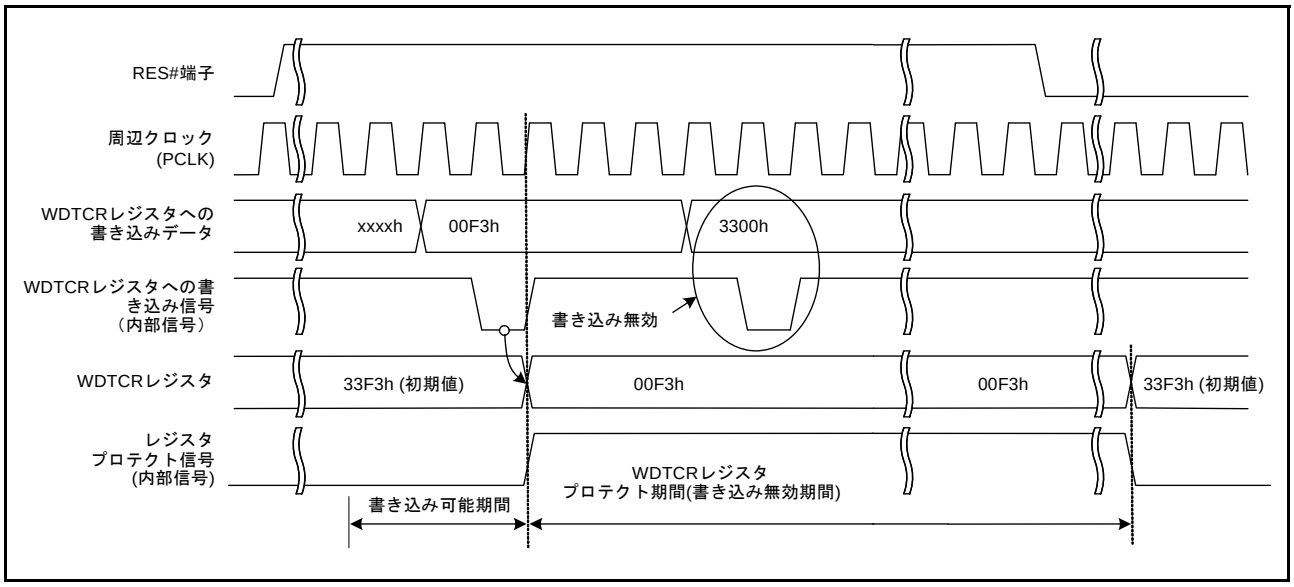


図 30.5　WDTCR レジスタ書き込み制御波形

30.3.3　リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、WDT リフレッシュレジスタ（WDTRR）へ “00h” 書き込みに続けて “FFh” 書き込みを行います。“00h” 書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1 回目）→ “00h”（2 回目）の書き込みを行った場合でも、その後 “FFh” を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h”（n-1 回目）→ “00h”（n 回目）→ “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h” 以前の書き込みが “00h” 以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、WDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、WDTRR レジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h”（n-1 回目）→ “00h”（n 回目）→ “FFh”
- “00h” →別レジスタアクセスまたは WDTRR レジスタの読み出し→ “FFh”

【リフレッシュ無効書き込み例】

- “23h”（“00h” 以外）→ “FFh”
- “00h” → “54h”（“FFh” 以外）
- “00h” → “AAh”（“00h” および “FFh” 以外）→ “FFh”

リフレッシュ動作として、WDTRR レジスタへの “00h” の書き込みがリフレッシュ許可期間外であっても、WDTRR レジスタへの “FFh” の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、ダウンカウンタがリフレッシュされるタイミングは、WDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります（1 サイクル間の周辺クロック（PCLK）数は、クロック分周比選択ビット（WDTCR.CKS[3:0]）の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはダウンカウンタがアンダフローする 4 カウント前までに、WDTRR レジスタへの “FFh” 書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット（WDTSR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が “1FFFh” とした場合、WDTRR レジスタへの “00h” の書き込みが “1FFFh” より前（たとえば “2002h”）であっても、WDTSR.CNTVAL[13:0] ビットの値が “1FFFh” になってから、WDTRR レジスタへ “FFh” を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が “1FFFh” とした場合、WDTRR レジスタへ “00h” → “FFh” を書き込み直後に WDTSR.CNTVAL[13:0] ビットの値を読み出して “2003h”（“1FFFh” の 4 カウント前）以上であればリフレッシュを行います。
- “0000h” までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合 WDTRR レジスタへ “00h” → “FFh” を書き込み直後に WDTSR.CNTVAL[13:0] ビットの値を読み出して “0003h”（アンダフローの 4 カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 30.6 にクロック分周比が PCLK /64 の場合の WDT リフレッシュ動作波形を示します。

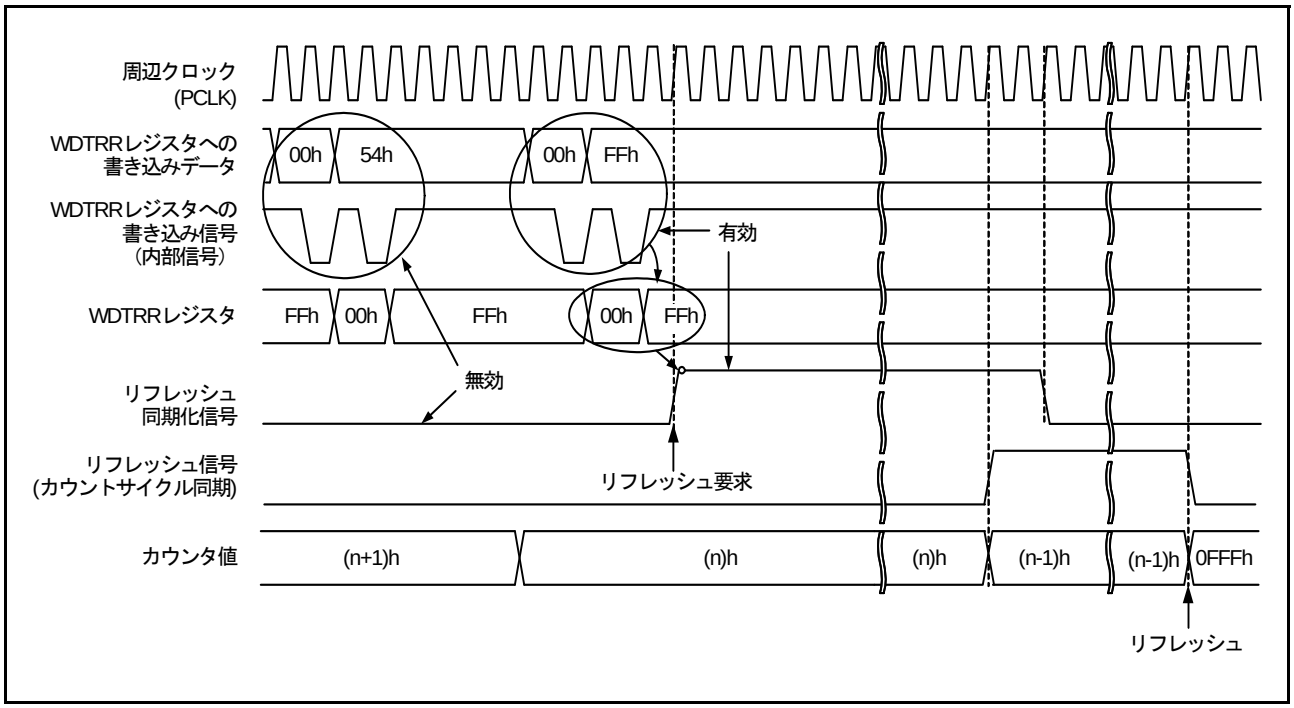


図 30.6　WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b）

30.3.4　ステータスフラグ

リフレッシュエラーフラグ（WDTSR.REFEF）、アンダフローフラグ（WDTSR.UNDFF）は、WDT がリセットを出力した場合のリセット要因、または WDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に WDTSR.REFEF フラグ、または WDTSR.UNDFF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を “0” にするには “0” を書き込んでください。“1” の書き込みは無効です。

各フラグは、“0” にしなくても動作に影響を与えません。“0” にしない場合は、次に WDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に WDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、“0” 書き込みによるフラグクリア反映後の値を読み出すためには、PCLK で数クロック（最小 5 クロック）必要となります。

30.3.5　リセット出力

レジスタスタートモード時、リセット割り込み選択ビット（WDTRCR.RSTIRQS）を “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 の WDT リセット割り込み要求選択ビット（OFS0.WDTRSTIRQS）を “1” にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態（ALL“0”）で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

30.3.6　割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット（WDTRCR.RSTIRQS）を “0” にした場合，またはオートスタートモード時、オプション機能選択レジスタ 0 の WDT リセット割り込み要求選択ビット（OFS0.WDTRSTIRQS）を “0” にした場合、ダウンカウンタのアンダフローまたはリフレッシュエラーが発生したとき、ノンマスカブル割り込み（WUNI）が発生します。

表 30.4　WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

30.3.7　ダウンカウンタ値の読み出し

WDT はカウンタ値を WDT ステータスレジスタのダウンカウンタ値（WDTSR.CNTVAL[13:0] ビット）へ格納します。WDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、カウンタ値を確認することができます。

図 30.7 にクロック分周比が PCLK /64 の場合のダウンカウンタ値の読み出し処理を示します。

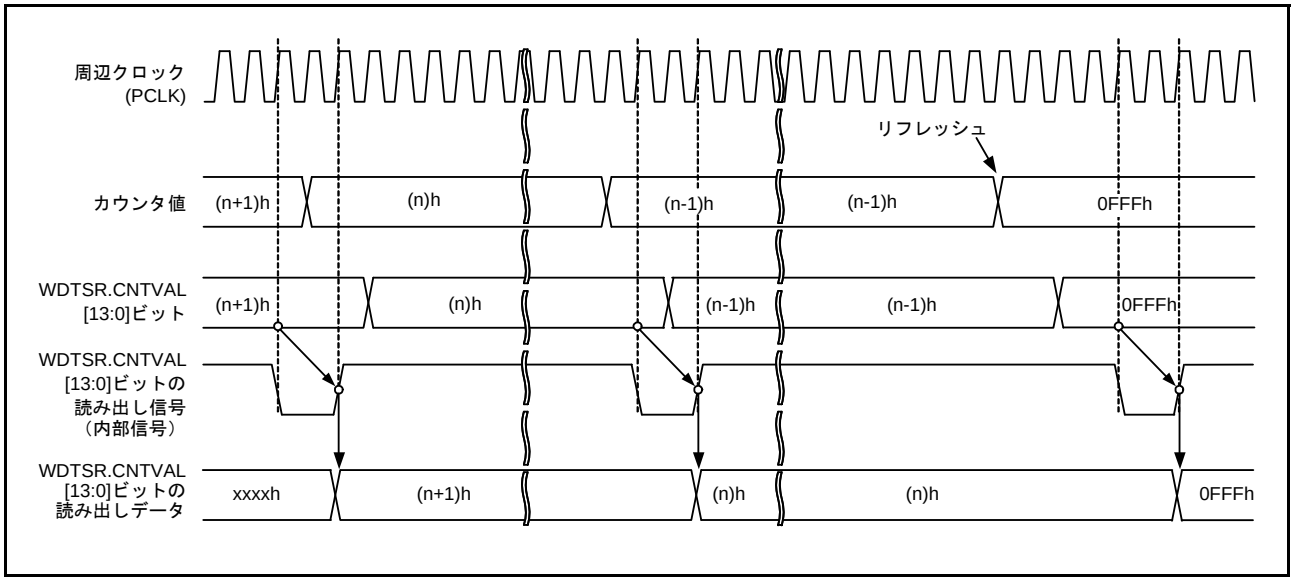


図 30.7　WDT ダウンカウンタ値の読み出し処理（WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b）

30.3.8　オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応

表 30.5 にオプション機能選択レジスタ 0（OFS0）によるダウンカウンタ制御、リセット出力または割り込み要求出力制御と WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）の対応を示します。OFS0 レジスタと WDTCR、WDTRCR レジスタ制御の有効 / 無効切り替えは、WDT スタートモード選択ビット（OFS0.WDTSTRT）にて行います。

なお、OFS0 レジスタの設定は、WDT 動作中は固定してください。

OFS0 レジスタについては、「7.2.1　オプション機能選択レジスタ 0（OFS0）」を参照してください。

表 30.5　オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応

制御	機能	OFS0 レジスタ （オートスタートモード時有効） OFS0.WDTSTRT = 0	WDT レジスタ （レジスタスタートモード時有効） OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS

31. 独立ウォッチドッグタイマ（IWDTa）

独立ウォッチドッグタイマ（IWDT）は、プログラムの暴走を検知するために従来のウォッチドッグタイマとは独立して使用するウォッチドッグタイマです。

IWDT は 14 ビットのダウンカウンタを内蔵しており、ダウンカウントしたカウント値がアンダフローに到達すると、リセット出力によって本 LSI をリセットすることができます。または、カウント値がアンダフローに到達することによって、割り込み要求の発生を選択することもできます。ダウンカウンタのカウント値をリフレッシュすることによってカウント値を初期値に戻し再びカウントすることができます。また、リフレッシュ可能な期間を設定することができます。リフレッシュ可能な期間にリフレッシュを行うとカウンタを初期化し再度カウントすることができますが、リフレッシュ可能期間外にリフレッシュを行うとリセットまたは割り込み要求を出力します。これによってリフレッシュ間隔を加味したプログラムの暴走を検知できます。なお、アンダフローもしくはリフレッシュ可能期間外のリフレッシュ後は、IWDT はカウントを停止します。カウントの再開は、レジスタスタートモードの場合にはリフレッシュ実施後に、オートスタートモードの場合にはリセット出力 / 割り込み要求出力後に自動的に行います。

31.1 概要

IWDT はリセット解除後、自動的にカウント開始を行うオートスタートモードと、リフレッシュ（レジスタ書き込み）によるカウント開始を行うレジスタスタートモードの 2 種類のモードがあります。

オートスタートモードでは、リセット解除前にオプション機能選択レジスタ 0（OFS0）に対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力、およびスリープモードカウント停止制御の設定を行います。

レジスタスタートモードでは、リセット解除後にリフレッシュによるカウント開始前にレジスタに対して、クロック分周比、リフレッシュのウィンドウ開始 / 終了位置、タイムアウト期間、アンダフロー時のリセット出力 / ノンマスカブル割り込み要求出力、およびスリープモードカウント停止制御の設定を行います。

オートスタートモード、もしくはレジスタスタートモードの選択は、IWDT スタートモード選択ビット（OFS0.IWDTSTRT）で行います。

オートスタートモード選択時（OFS0.IWDTSTRT = 0）、IWDT コントロールレジスタ（IWDTCR）、IWDT リセットコントロールレジスタ（IWDTRCR）、および IWDT カウント停止コントロールレジスタ（IWDTCSTPR）の設定は無効となり、OFS0 レジスタの設定が有効となります。

レジスタスタートモード選択時（OFS0.IWDTSTRT = 1）、OFS0 レジスタの設定は無効となり、IWDTCR、IWDTRCR、および IWDTCSTPR レジスタの設定が有効となります。

表 31.1 に IWDT の仕様を示します。

表31.1　IWDTの仕様 (1 / 2)

項目	内容
カウントソース（注1）	IWDT専用クロック（IWDTCLK）
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	• リセット後、自動的にカウント開始（オートスタートモード） • リフレッシュ（IWDTRRレジスタに00hを書き込み後、FFhを書き込む）により、カウント開始（レジスタスタートモード）
カウント停止条件	• リセット（ダウンカウンタ、レジスタは初期値に戻る） • アンダフロー、リフレッシュエラー発生時 カウント再開（オートスタートモード：自動、レジスタスタートモード：リフレッシュ）
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能（リフレッシュ許可/禁止期間）
リセット出力要因	• ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合（リフレッシュエラー）

注1.　「周辺モジュールクロック周波数≧4×（カウントソースの分周後周波数）」となるようにしてください。

表31.1　IWDTの仕様 (2 / 2)

項目	内容
割り込み要求出力要因	• ダウンカウンタがアンダフローしたときノンマスカブル割り込み（WUNI）を発生 • リフレッシュ許可期間以外でリフレッシュを行った場合（リフレッシュエラー）
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード（オプション機能選択レジスタ0（OFS0）制御）	• リセット後のクロック分周比の選択（OFS0.IWDTCKS[3:0]ビット） • ウォッチドッグタイマのタイムアウト期間の選択（OFS0.IWDTTOPS[1:0]ビット） • ウォッチドッグタイマのウィンドウ開始位置の選択（OFS0.IWDTRPSS[1:0]ビット） • ウォッチドッグタイマのウィンドウ終了位置の選択（OFS0.IWDTRPES[1:0]ビット） • リセット出力、または割り込み要求出力の選択（OFS0.IWDTRSTIRQSビット） • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択（OFS0.IWDTSLCSTPビット）
レジスタスタートモード（IWDTレジスタ制御）	• リフレッシュ動作後のクロック分周比の選択（IWDTCR.CKS[3:0]ビット） • ウォッチドッグタイマのタイムアウト期間の選択（IWDTCR.TOPS[1:0]ビット） • ウォッチドッグタイマのウィンドウ開始位置の選択（IWDTCR.RPSS[1:0]ビット） • ウォッチドッグタイマのウィンドウ終了位置の選択（IWDTCR.RPES[1:0]ビット） • リセット出力、または割り込み要求出力の選択（IWDTRCR.RSTIRQSビット） • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択（IWDTCSTPR.SLCSTPビット）

IWDT使用時は、周辺クロック（PCLK）が停止した場合でも動作するように、周辺クロック（PCLK）とIWDT専用クロック（IWDTCLK）の2つのクロックが必要です。バスインタフェース部とレジスタ部はPCLKで動作し、14ビットのダウンカウンタと制御回路はIWDTCLKで動作します。

周辺クロック動作ブロック、IWDT専用クロック動作ブロック間の信号は、同期化回路を介して接続されます。

図31.1にIWDTのブロック図を示します。

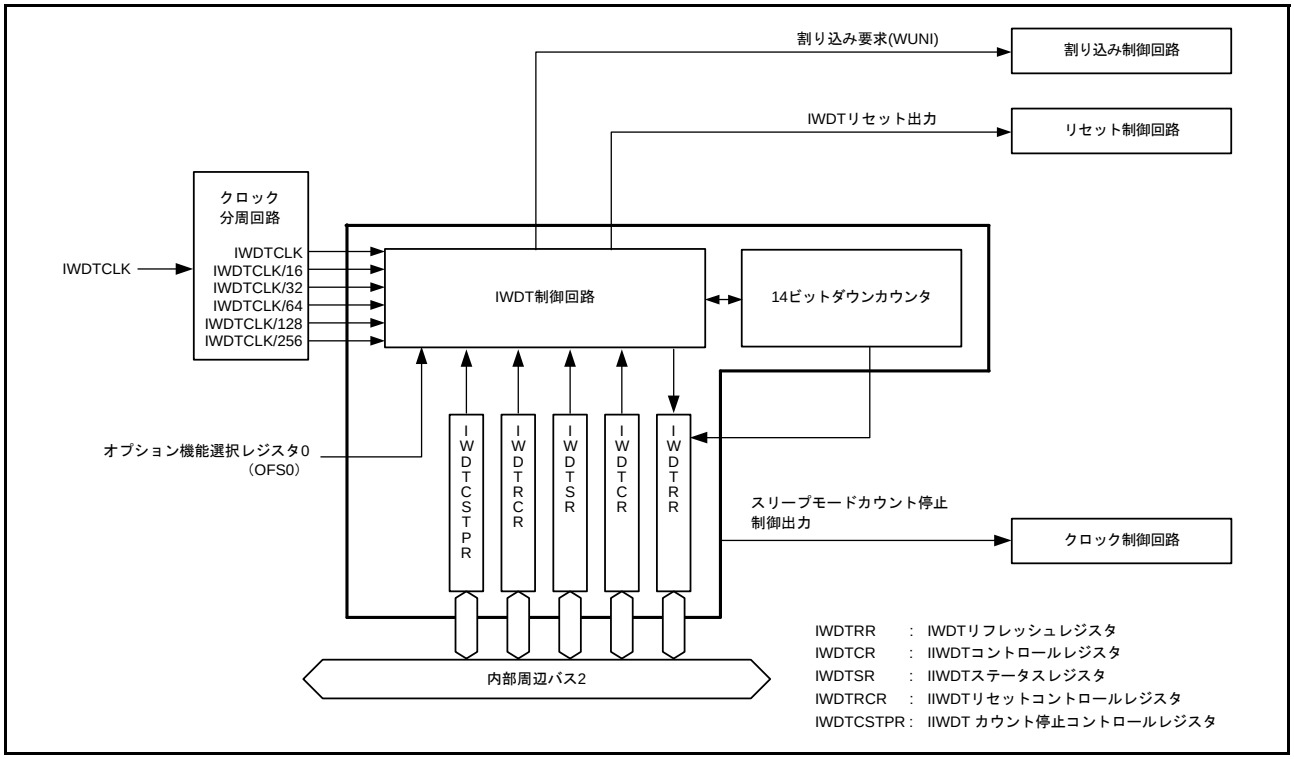
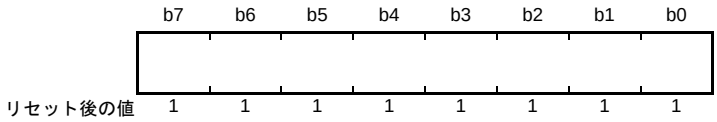


図31.1　IWDTのブロック図

31.2　レジスタの説明

31.2.1　IWDT リフレッシュレジスタ（IWDTRR）

アドレス　0008 8030h



ビット	機能	R/W
b7-b0	“00h” 書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む（リフレッシュ動作）ことにより IWDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 の IWDT タイムアウト期間選択ビット（OFS0.IWDTTOPS[1:0]）で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDT コントロールレジスタ のタイムアウト期間選択ビット（IWDTCR.TOPS[1:0]）で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h” を書き込んだ場合は “00h” が、“00h” 以外の値を書き込んだ場合は “FFh” となります。

リフレッシュ動作の詳細については、「31.3.3　リフレッシュ動作」を参照してください。

31.2.2　IWDT コントロールレジスタ（IWDTCR）

アドレス　0008 8032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh）	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7　b4 0 0 0 0：IWDTCLK 0 0 1 0：IWDTCLK/16 0 0 1 1：IWDTCLK/32 0 1 0 0：IWDTCLK/64 1 1 1 1：IWDTCLK/128 0 1 0 1：IWDTCLK/256 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、**「31.3.2　IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」**を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0（OFS0）の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、**「31.3.8　オプション機能選択レジスタ 0（OFS0）と IWDT レジスタの対応」**を参照してください。

TOPS[1:0] ビット（タイムアウト期間選択ビット）

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル /4096 サイクル /8192 サイクル /16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（IWDTCLK 数）は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 31.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表31.2　タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDTCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット（クロック分周比選択ビット）

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 /16 分周 /32 分周 /64 分周 /128 分周 /256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 1024 ～ 4194304 クロックの間で設定できます。

RPES[1:0] ビット（ウィンドウ終了位置選択ビット）

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 ＞ ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 31.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表31.3　　タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

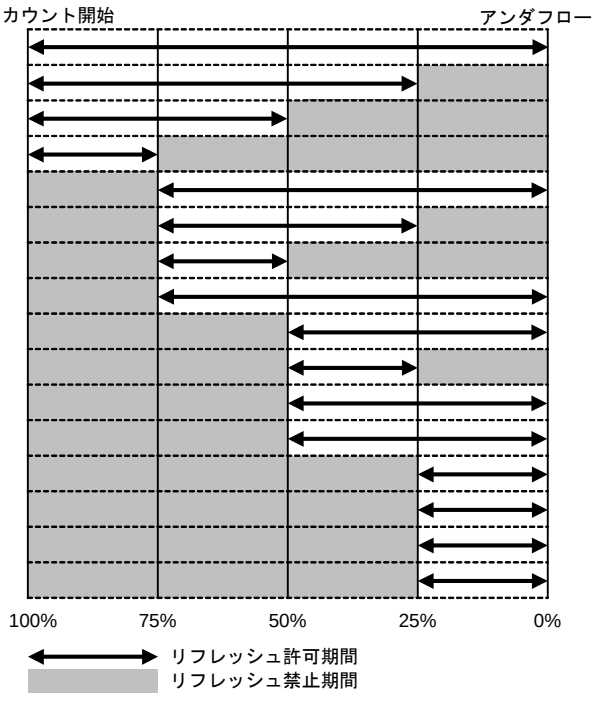
TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット（ウィンドウ開始位置選択ビット）

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダフロー発生時を 0%）の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 31.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始（%）	終了（%）
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

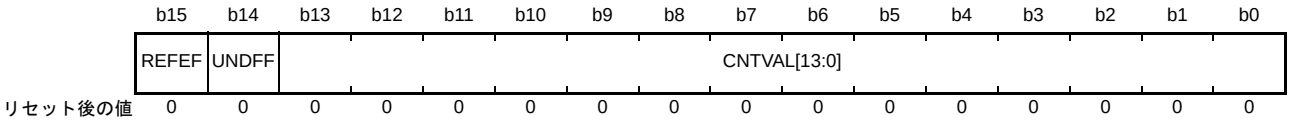


注.　「ウィンドウ終了」≧「ウィンドウ開始」設定を行った場合、「ウィンドウ終了」設定は0%になります。

図 31.2　　RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

31.2.3　IWDT ステータスレジスタ（IWDTSR）

アドレス　0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	0：アンダフローなし 1：アンダフロー発生	R(/W) （注1）
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラーなし 1：リフレッシュエラー発生	R(/W) （注1）

注1.　フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット（ダウンカウンタ値ビット）

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し 1 カウントずれることがあります。

UNDFF フラグ（アンダフローフラグ）

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が “1” のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が “0” のとき、アンダフローは発生していません。

値を “0” にするには、UNDFF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

REFEF フラグ（リフレッシュエラーフラグ）

リフレッシュエラー（リフレッシュ禁止期間中のリフレッシュ動作）の発生状態を確認することができます。

読み出した値が “1” のとき、リフレッシュエラーが発生した状態です。読み出した値が “0” のとき、リフレッシュエラーは発生していません。

値を “0” にするには、REFEF フラグに “0” を書き込んでください。“1” の書き込みは無効です。

31.2.4　IWDT リセットコントロールレジスタ（IWDTRCR）

アドレス　0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスカブル割り込み要求出力を許可 1：リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、**「31.3.2　IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」**を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0（OFS0）の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、**「31.3.8　オプション機能選択レジスタ 0（OFS0）と IWDT レジスタの対応」**を参照してください。

31.2.5　IWDT カウント停止コントロールレジスタ（IWDTCSTPR）

アドレス　0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止有効	R/W

IWDTCSTPR レジスタへの書き込みには制限があります。詳細については、**「31.3.2　IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」**を参照してください。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0（OFS0）の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、**「31.3.8　オプション機能選択レジスタ 0（OFS0）と IWDT レジスタの対応」**を参照してください。

SLCSTP ビット（スリープモードカウント停止制御ビット）

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止を選択します。

31.2.6　オプション機能選択レジスタ 0（OFS0）

OFS0 レジスタについては、**「31.3.8　オプション機能選択レジスタ 0（OFS0）と IWDT レジスタの対応」**を参照してください。

31.3 動作説明

31.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット（OFS0.IWDTSTRT）で行います。

OFS0.IWDTSTRT ビットが “1”（ レジスタスタートモード）の場合、IWDT コントロールレジスタ（IWDTCR）、IWDT リセットコントロールレジスタ（IWDTRCR）、IWDT カウント停止コントロールレジスタ（IWDTCSTPR）の設定が有効となり、IWDT リフレッシュレジスタ（IWDTRR）へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが “0”（オートスタートモード）の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

31.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット（OFS0.IWDTSTRT）が “1” の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ（IWDTCR）、IWDT リセットコントロールレジスタ（IWDTRCR）、および IWDT カウント停止コントロールレジスタ（IWDTCSTPR）が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力 / 割り込み要求出力、また IWDTCSTPR レジスタに低消費電力モードへの遷移時での IWDT のダウンカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でダウンカウンタにタイムアウト期間選択ビット（IWDTCR.TOPS[1:0]）で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求（WUNI）を出力します。リセット出力、または割り込み要求出力の選択は、リセット割り込み要求選択ビット（IWDTRCR.RSTIRQS）の設定により行います。

図 31.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット（OFS0.IWDTSTRT）: “1”（レジスタスタートモード）
- リセット割り込み要求選択ビット（IWDTRCR.RSTIRQS）: “1”（リセット出力許可）
- ウィンドウ開始位置選択ビット（IWDTCR.RPSS[1:0]）: “10b”（75%）
- ウィンドウ終了位置選択ビット（IWDTCR.RPES[1:0]）: “10b”（25%）

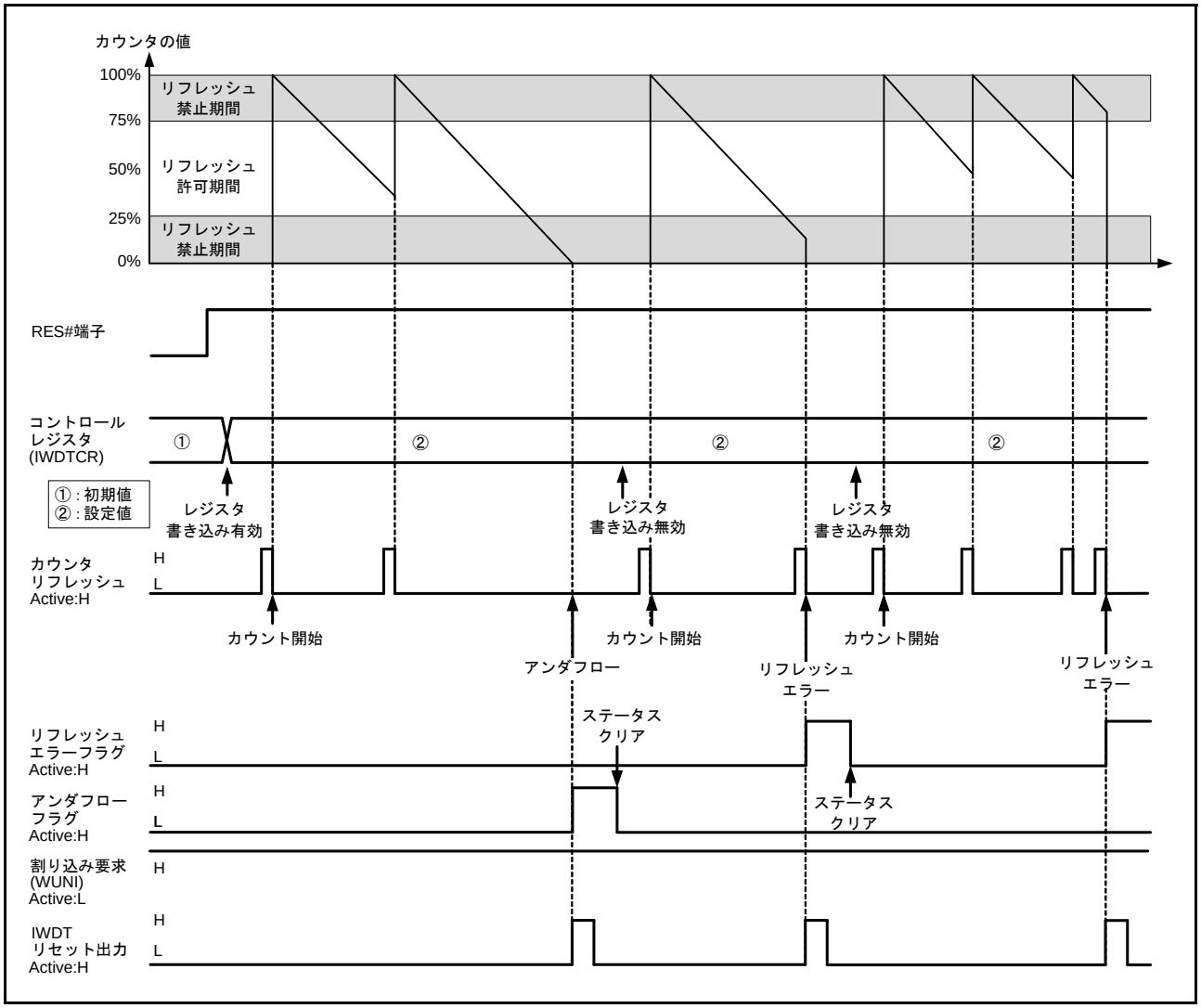


図 31.3　　レジスタスタートモード動作例

31.3.1.2　オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット（OFS0.IWDTSTRT）が “0” の場合、オートスタートモードとなり、IWDT コントロールレジスタ 0（IWDTCR）、IWDT リセットコントロールレジスタ（IWDTRCR）、および IWDT カウント停止コントロールレジスタ（IWDTCSTPR）が無効となります。

また、リセット期間中に OFS0 レジスタにクロック分周比、ウィンドウ開始 / 終了位置、タイムアウト期間、リセット出力 / 割り込み要求出力、また低消費電力モードへの遷移時での IWDT のダウンカウンタのカウント停止制御の設定を行います。その後、リセット解除でダウンカウンタに IWDT タイムアウト期間選択ビット（OFS0.IWDTTOPS[1:0]）で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求（WUNI）を出力します。リセットまたはノンマスカブル割り込み要求を 1 カウントサイクル出力後、ダウンカウンタはタイムアウト期間をリロードし、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット（OFS0.IWDTRSTIRQS）の設定により行います。

図 31.4 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット（OFS0.IWDTSTRT）：“0”（オートスタートモード）
- リセット割り込み要求選択ビット（OFS0.IWDTRSTIRQS）：“0”（ノンマスカブル割り込み要求出力許可）
- ウィンドウ開始位置選択ビット（OFS0.IWDTRPSS[1:0]）：“10b”（75%）
- ウィンドウ終了位置選択ビット（OFS0.IWDTRPES[1:0]）：“10b”（25%）

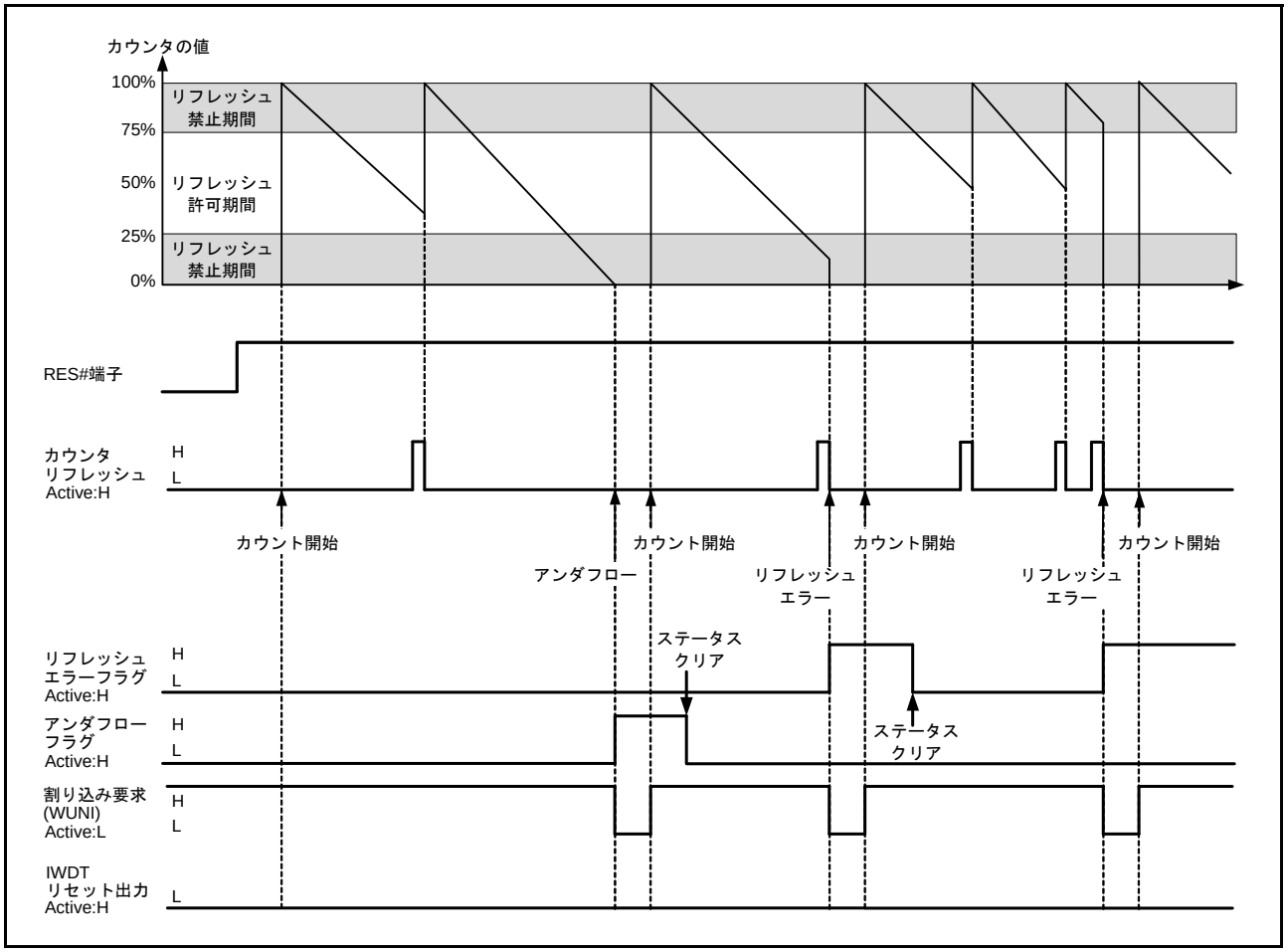


図 31.4　オートスタートモード動作例

31.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御

IWDT コントロールレジスタ（IWDTCR）、IWDT リセットコントロールレジスタ（IWDTRCR）、および IWDT カウント停止コントロールレジスタ（IWDTCSTPR）への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作（カウントスタート）後、もしくは IWDTCR、IWDTRCR、または IWDTCSTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が “1” となり、以後 IWDTCR、IWDTRCR、および IWDTCSTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 31.5 に IWDTCR レジスタ書き込み制御波形を示します。

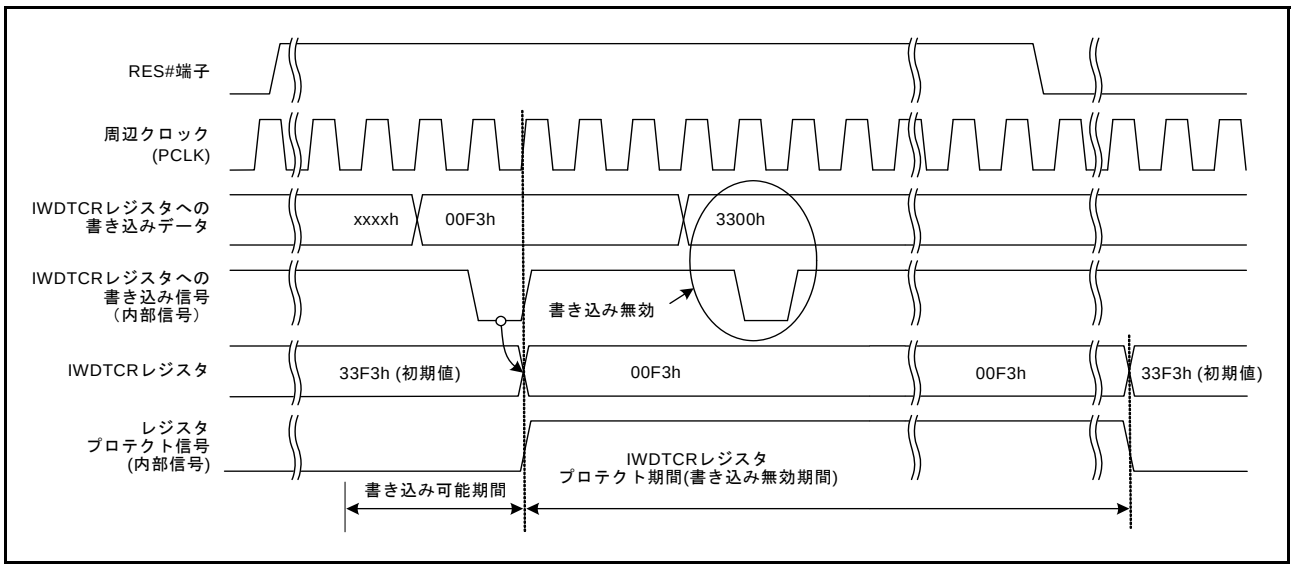


図 31.5　IWDTCR レジスタ書き込み制御波形

31.3.3　リフレッシュ動作

ダウンカウンタのリフレッシュ、およびダウンカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDT リフレッシュレジスタ（IWDTRR）へ “00h” 書き込みに続けて “FFh” 書き込みを行います。“00h” 書き込み後に “FFh” 以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ “00h” → “FFh” の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”（1 回目）→ “00h”（2 回目）の書き込みを行った場合でも、その後 “FFh” を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h”（n-1 回目）→ “00h”（n 回目）→ “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h” 以前の書き込みが “00h” 以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの “00h” 書き込みと “FFh” 書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h”（n-1 回目）→ “00h”（n 回目）→ “FFh”
- “00h” →別レジスタアクセスまたは IWDTRR レジスタの読み出し→ “FFh”

【リフレッシュ無効書き込み例】

- “23h”（“00h” 以外）→ “FFh”
- “00h” → “54h”（“FFh” 以外）
- “00h” → “AAh”（“00h” および “FFh” 以外）→ “FFh”

リフレッシュ動作として、IWDTRR レジスタへの “00h” の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの “FFh” の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、ダウンカウンタがリフレッシュされるタイミングは、IWDTRR レジスタに “FFh” を書き込み後、カウントサイクル数で最大 4 サイクル必要となります（1 サイクル間の IWDT 専用クロック（IWDTCLK）数は、クロック分周比選択ビット（IWDTCR.CKS[3:0]）の設定値により異なります）。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはダウンカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの “FFh” 書き込みを完了してください。ダウンカウンタの値はダウンカウンタ値ビット（IWDTSR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が “1FFFh” とした場合、IWDTRR レジスタへの “00h” の書き込みが “1FFFh” より前（たとえば “2002h”）であっても、IWDTSR.CNTVAL[13:0] ビットの値が “1FFFh” になってから、IWDTRR レジスタへ “FFh” を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が “1FFFh” とした場合、IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “2003h”（“1FFFh” の 4 カウント前）以上であればリフレッシュを行います。
- “0000h” までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ “00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して “0003h”（アンダフローの 4 カウント前）以上であればアンダフローは発生せず、リフレッシュを行います。

図 31.6 に PCLK ＞ IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を、図 31.7 に PCLK ＜ IWDTCLK、クロック分周比が IWDTCLK /16 の場合の IWDT リフレッシュ動作波形を示します。

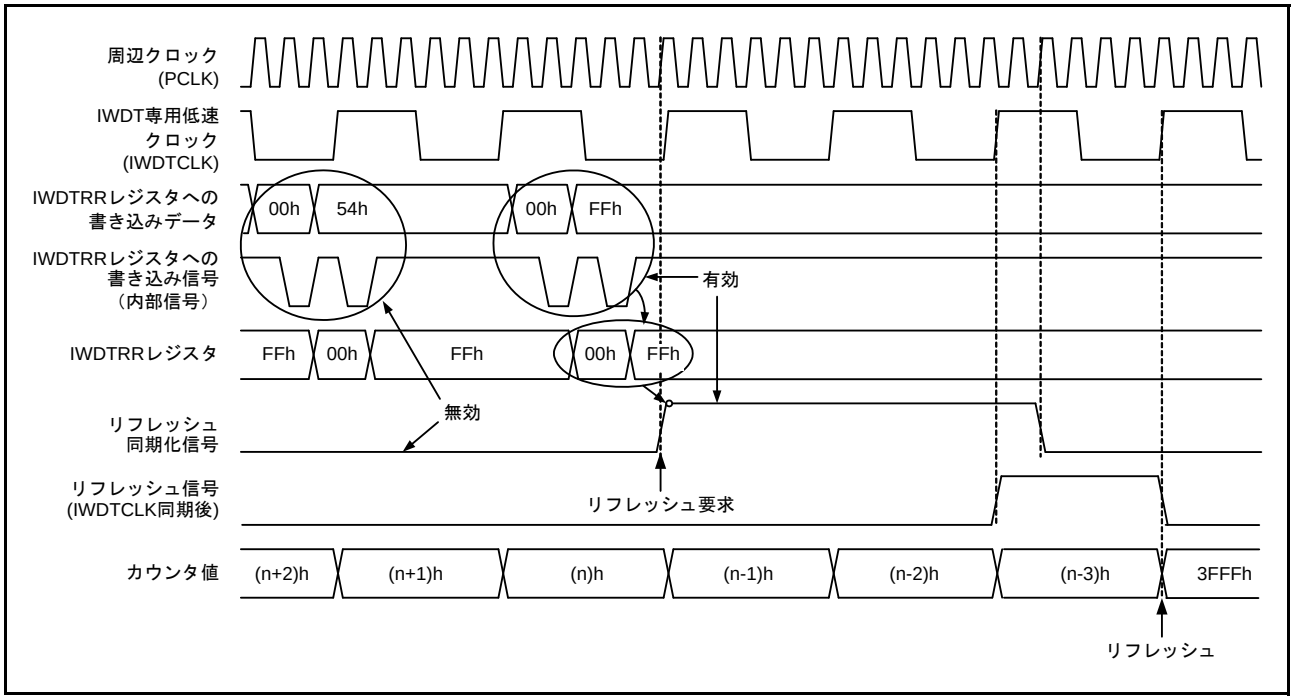


図 31.6　IWDT リフレッシュ動作波形（IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b）

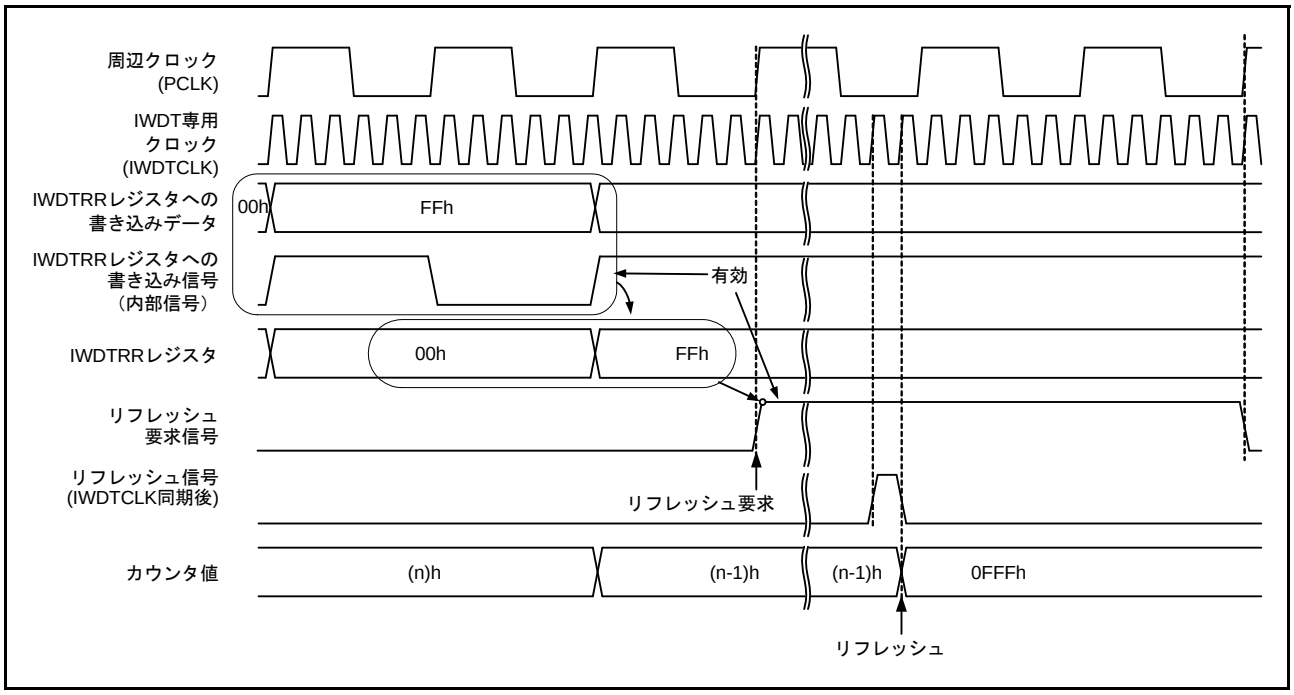


図 31.7　IWDT リフレッシュ動作波形（IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 01 b）

31.3.4　ステータスフラグ

リフレッシュエラーフラグ（IWDTSR.REFEF）、アンダフローフラグ（IWDTSR.UNDFF）は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDFF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を “0” にするには “0” を書き込んでください。“1” の書き込みは無効です。

各フラグは、“0” にしなくても動作に影響を与えません。“0” にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、“0” 書き込みによるフラグクリア反映後の値を読み出すためには、IWDTCLK で数クロック（最小 3 クロック）と PCLK で数クロック（最小 2 クロック）必要となります。

31.3.5　リセット出力

レジスタスタートモード時、リセット割り込み選択ビット（IWDTRCR.RSTIRQS）を “1” にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 の IWDT リセット割り込み要求選択ビット（OFS0.IWDTRSTIRQS）を “1” にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態（ALL“0”）で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

31.3.6　割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット（IWDTRCR.RSTIRQS）を “0” にした場合，またはオートスタートモード時、オプション機能選択レジスタ 0 の IWDT リセット割り込み要求選択ビット（OFS0.IWDTRSTIRQS）を “0” にした場合、ダウンカウンタのアンダフローまたはリフレッシュエラーが発生したとき、ノンマスカブル割り込み（WUNI）が発生します。

表 31.4　IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

31.3.7　ダウンカウンタ値の読み出し

IWDT のダウンカウンタは IWDT 専用クロック（IWDTCLK）で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺クロック（PCLK）で同期化し、IWDT ステータスレジスタのダウンカウンタ（IWDTSR.CNTVAL[13:0] ビット）へ格納します。

IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック（最大 4 クロック）必要となるため、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し 1 カウントずれることがあります。

図 31.8 に PCLK ＞ IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT ダウンカウンタ値の読み出し処理を、図 31.9 に PCLK ＜ IWDTCLK、クロック分周比が IWDTCLK /16 の場合の IWDT ダウンカウンタ値の読み出し処理を示します。

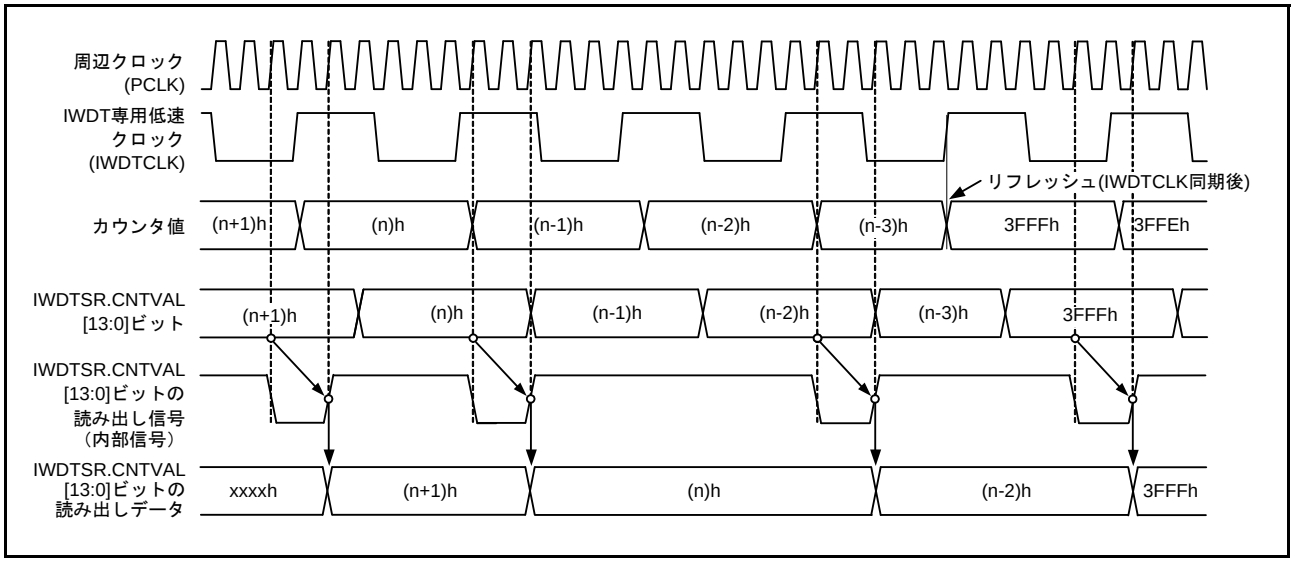


図 31.8　IWDT ダウンカウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b）

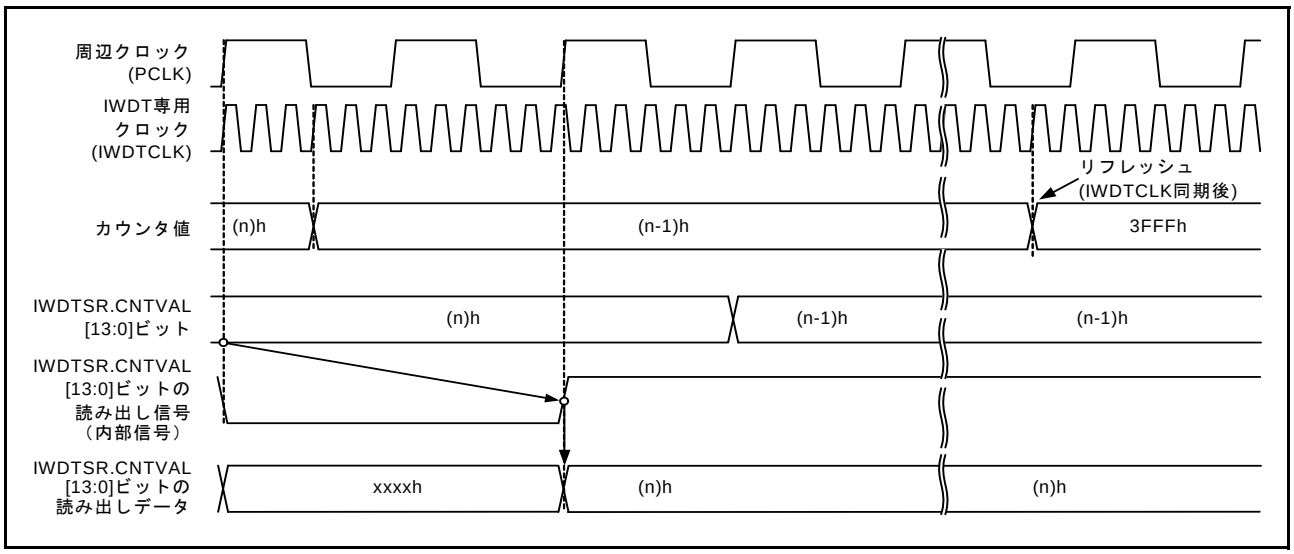


図 31.9　IWDT ダウンカウンタ値の読み出し処理（IWDTCR.CKS[3:0] = 0010b、IWDTCR.TOPS[1:0] = 11b）

31.3.8　オプション機能選択レジスタ 0（OFS0）と IWDT レジスタの対応

表 31.5 にオプション機能選択レジスタ 0（OFS0）によるダウンカウンタ制御、リセット出力または割り込み要求出力制御、カウント停止制御と IWDT コントロールレジスタ（IWDTCR）、IWDT リセットコントロールレジスタ（IWDTRCR）、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) の対応を示します。OFS0 レジスタと IWDTCR、IWDTRCR、IWDTCSTPR レジスタ制御の有効 / 無効切り替えは、IWDT スタートモード選択ビット（OFS0.IWDTSTRT）にて行います。

なお、OFS0 レジスタの設定は、IWDT 動作中は固定してください。

OFS0 レジスタについては、「7.2.1　オプション機能選択レジスタ 0（OFS0）」を参照してください。

表 31.5　オプション機能選択レジスタ 0（OFS0）と IWDT レジスタの対応

制御	機能	OFS0 レジスタ （オートスタートモード時有効） OFS0.IWDTSTRT = 0	IWDT レジスタ （レジスタスタートモード時有効） OFS0.IWDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDTRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDTRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDTRSTIRQS	IWDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止選択	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

31.4　使用上の注意事項

31.4.1　リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定ください。

32. イーサネットコントローラ（ETHERC）

32.1 概要

RX63N グループは、イーサネットあるいは IEEE802.3 の MAC（Media Access Control）層規格に準拠したイーサネットコントローラ（ETHERC）を内蔵しています。ETHERC は同規格に合致する物理層 LSI（PHY-LSI）と接続することにより、イーサネット／ IEEE802.3 フレームの送受信を行うことができます。
ETHERC は MAC 層インタフェースを 1 系統内蔵しています。また、ETHERC は内部でイーサネットコントローラ用ダイレクトメモリアクセスコントローラ（EDMAC）に接続されており、メモリとの高速アクセスが可能です。

表 32.1 に ETHERC の仕様を、**図 32.1** に ETHERC の構成を、**表 32.2** に ETHERC の端子構成を示します。

表32.1　ETHERCの仕様

項目	内容
プロトコル	IEEE802.3x規格のフロー制御準拠
データ送受信	イーサネット/IEEE802.3フレームの送受信
転送速度	10Mbpsおよび100Mbps転送に対応
モード	全二重モードおよび半二重モードに対応
インタフェース	IEEE802.3u規格のMII（Media Independent Interface）およびRMII（Reduced Media Independent Interface）に対応
機能	Magic Packet™（注1）の検出およびWake-On-LAN（WOL）信号の出力

注1.　Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。

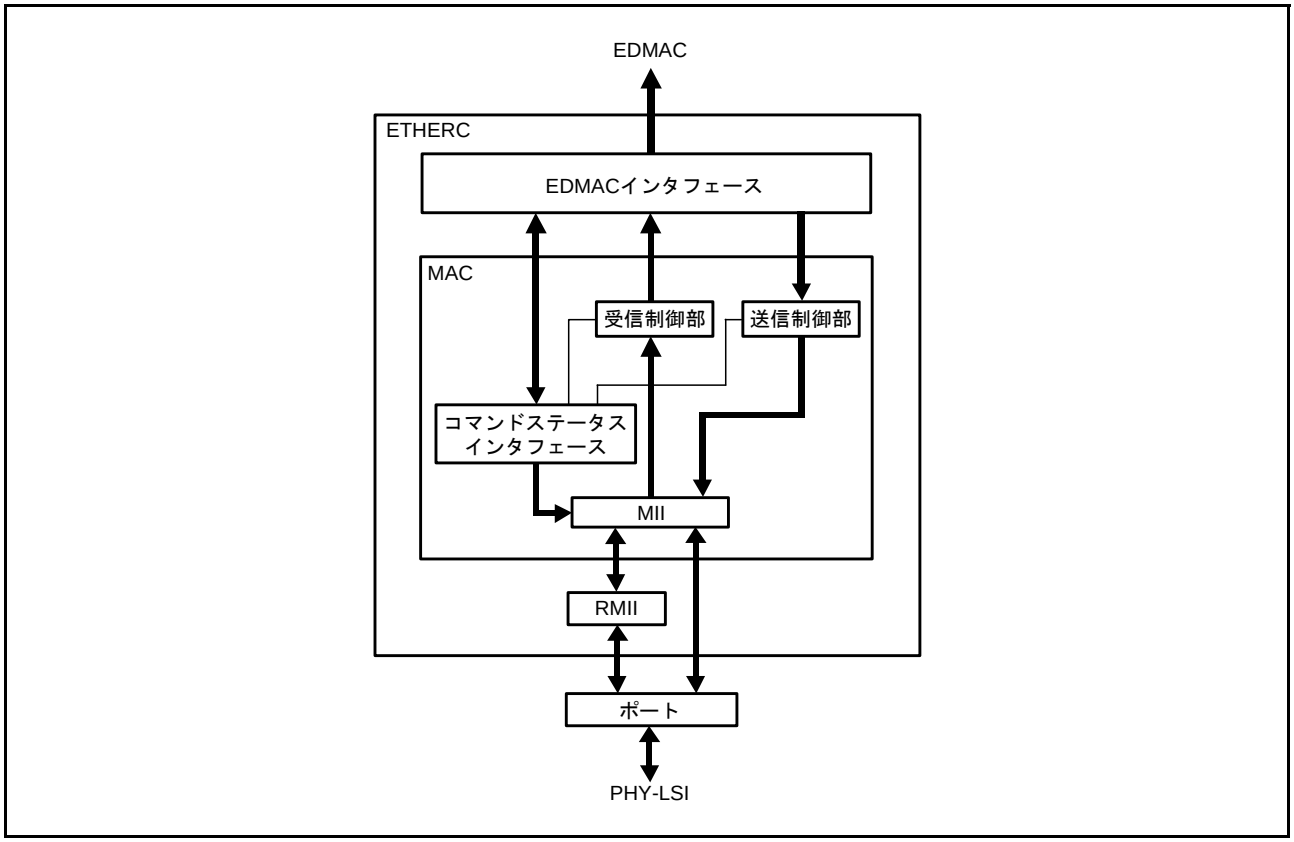


図 32.1　ETHERC の構成

表32.2　ETHERCの入出力端子

動作モード	端子名	入出力	機能
MII	ET_TX_CLK（注1）	入力	送信クロック信号 ET_TX_EN、ET_ETXD3～ET_ETXD0、ET_TX_ERのタイミング参照信号
	ET_RX_CLK（注1）	入力	受信クロック信号 ET_RX_DV、ET_ERXD3～ET_ERXD0、ET_RX_ERのタイミング参照信号
	ET_TX_EN（注1）	出力	送信許可信号 ET_ETXD3～ET_ETXD0上に送信データが準備できたことを示す信号
	ET_ETXD3～ET_ETXD0（注1）	出力	4ビットの送信データ
	ET_TX_ER（注1）	出力	送信中のエラーをPHY-LSIに通知
	ET_RX_DV（注1）	入力	有効な受信データがET_ERXD3～ET_ERXD0上にあることを示す信号
	ET_ERXD3～ET_ERXD0（注1）	入力	4ビットの受信データ
	ET_RX_ER（注1）	入力	受信エラー端子データ受信中に発生したエラー状態を示す信号
	ET_CRS（注1）	入力	キャリア検出信号
	ET_COL（注1）	入力	衝突検出信号
	ET_MDC（注1）	出力	ET_MDIOによる情報転送用の参照クロック信号
	ET_MDIO（注1）	入出力	STAとPHY-LSIとの間で管理情報を交換するための双方向信号
	ET_LINKSTA	入力	PHY-LSIからのリンクステータス入力
	ET_EXOUT	出力	外部出力用端子
	ET_WOL	出力	Magic Packet™受信を示すウェイク・オン・ラン信号
RMII	ET_MDC	出力	ET_MDIOによる情報転送用の参照クロック信号
	ET_MDIO	入出力	STAとPHY-LSIとの間で管理情報を交換するための双方向信号
	ET_WOL	出力	Magic Packet受信を示すウェイクオンラン信号
	ET_LINKSTA	入力	PHY-LSIからのリンクステータス入力
	ET_EXOUT	出力	外部出力用端子
	REF50CK（注2）	入力	RMII_TXD_EN、RMII_TXD1～RMII_TXD0、RMII_CRS_DV、RMII_RXD1～RMII_RXD0、RMII_RX_ERのタイミング参照信号
	RMII_TXD1～RMII_TXD0（注2）	出力	2ビットの送信データ
	RMII_TXD_EN（注2）	出力	RMII_TXD1～RMII_TXD0上に送信データが準備できたことを示す信号
	RMII_RXD1～RMII_RXD0（注2）	入力	2ビットの受信データ
	RMII_RX_ER（注2）	入力	データ受信中に発生したエラー状態を認識
	RMII_CRS_DV（注2）	入力	キャリア検出信号/有効な受信データがRMII_RXD1～RMII_RXD0上にあることを示す信号

注1.　IEEE802.3u準拠のMII信号
注2.　IEEE802.3u準拠のRMII信号

32.2　レジスタの説明

32.2.1　ETHERC モードレジスタ（ECMR）

アドレス　000C 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PRCEF	—	—	MPDE	—	—	RE	TE	—	ILB	RTM	DM	PRM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRM	プロミスキャスモードビット	0：ETHERCは通常動作 1：ETHERCはプロミスキャスモード動作	R/W
b1	DM	デュプレックスモードビット	0：半二重転送方式を指定する 1：全二重転送方式を指定する	R/W
b2	RTM	送受信レートビット	0：10Mbps 1：100Mbps	R/W
b3	ILB	内部ループバックモードビット	0：通常のデータ送受信を行う 1：DM＝1のとき、ETHERC内のMAC内部でのデータの折り返しを行う	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TE	送信許可ビット	0：送信機能を無効にする 1：送信機能を有効にする	R/W
b6	RE	受信許可ビット	0：受信機能を無効にする 1：受信機能を有効にする	R/W
b8-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	MPDE	Magic Packet™検出許可ビット	0：Magic Packet™の検出を許可しない 1：Magic Packet™の検出を許可する	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	PRCEF	CRCエラーフレーム受信許可ビット	0：CRCエラーとなった受信フレームをエラーとする 1：CRCエラーとなった受信フレームをエラーとしない	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TXF	送信系フロー制御動作モードビット	0：PAUSEフレームの検出機能は無効 （自動PAUSEフレームは送信されません） 1：送信系のフロー制御機能が有効 （必要に応じて自動PAUSEフレームが送信されます）	R/W
b17	RXF	受信系フロー制御動作モードビット	0：PAUSEフレームの検出機能は無効 1：受信系のフロー制御機能が有効	R/W
b18	PFR	PAUSEフレーム受信モードビット	0：PAUSEフレームをEDMACへ転送しない 1：PAUSEフレームをEDMACへ転送する	R/W
b19	ZPF	0 time PAUSEフレーム使用許可ビット	0：TIMEパラメータが0のPAUSEフレーム制御を無効にする 1：TIMEパラメータが0のPAUSEフレーム制御を有効にする	R/W
b20	TPC	PAUSEフレーム送信ビット	0：PAUSE期間中でもPAUSEフレームを送信する 1：PAUSE期間中にはPAUSEフレームを送信しない	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECMR レジスタは、ETHERC の動作モードを指定するレジスタです。

ECMR レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合は、EDMAC の EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）によって ETHERC および EDMAC を初期状態に戻してから再設定してください。

PRM ビット（プロミスキャスモードビット）

PRM ビットを設定すると、すべてのイーサネットフレームを受信することができます。すべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず受信可能なすべてのフレームを表します。

RTM ビット（送受信レートビット）

RMII 選択時、送受信のビットレートを設定します。

TE ビット（送信許可ビット）

TE ビットを送信機能有効（TE = 1）から無効（TE = 0）としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。

RE ビット（受信許可ビット）

RE ビットを受信機能有効（RE = 1）から無効（RE = 0）としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。

MPDE ビット（Magic Packet™ 検出許可ビット）

イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet™ の検出機能を許可するかしないかの選択を行います。

ZPF ビット（0 time PAUSE フレーム使用許可ビット）

ZPF ビットを “0” にすると、Timer 値の示す時間が経過するまで次のフレーム送信を行いません。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。

ZPF ビットを “1” にすると、Timer 値の示す時間が経過していない状態で受信 FIFO のデータ量が EDMAC のフロー制御開始 FIFO しきい値設定レジスタ（FCFTR）設定値未満になると、Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。

32.2.2　受信フレーム長上限レジスタ（RFLR）

アドレス 000C 0108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RFL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	RFL[11:0]	受信フレームデータ長11～0	000h～5EEh：1,518バイト 5EFh：1,519バイト 5F0h：1,520バイト ：　： 7FFh：2,047バイト 800h～FFFh：2,048バイト	R/W
b31-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFLR レジスタは、RX63N が受信することのできる最大フレーム長をバイト単位で指定するレジスタです。

RFLR レジスタは、受信機能が有効な状態での書き換えを禁止します。

RFL[11:0] ビット（受信フレームデータ長 11 ～ 0）

RFL[11:0] ビットに設定された値をフレーム長チェック値とし、この値を超えたときフレーム長誤りエラーとします。

ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には宛先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。

32.2.3 ETHERC ステータスレジスタ（ECSR）

アドレス 000C 0110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFR	PSRTO	—	LCHNG	MPD	ICD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICD	不正キャリア検出ビット	0：PHY-LSIは、回線上で不正キャリアを検出していない 1：PHY-LSIは、回線上で不正キャリアを検出した	R/W
b1	MPD	Magic Packet™検出ビット	0：Magic Packet™を検出していない 1：Magic Packet™を検出した	R/W
b2	LCHNG	リンク信号変化ビット	0：LINKSTA信号の変化を検出していない 1：LINKSTA信号の変化（HighからLow、あるいはLowからHigh）を検出した	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PSRTO	PAUSEフレーム再送リトライオーバビット	0：PAUSEフレーム再送回数が上限値を超えていない 1：PAUSEフレーム再送回数が上限値を超えた	R/W
b5	BFR	Broadcastフレーム連続受信ビット	0：Broadcastフレームの連続受信を検出していない 1：Broadcastフレームの連続受信を検出した	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECSR レジスタは、ETHERC 内のステータスを表示するレジスタです。

各ステータスは、割り込みによって CPU に通知することが可能です。BFR、PSRTO、LCHNG、MPD、ICD ビットに “1” を書くと、対応するフラグが “0” になります。“0” を書いた場合は、フラグに影響を与えません。また、割り込みを発生するビットは、ETHERC 割り込み許可レジスタ（ECSIPR）の対応するビットによって割り込みを許可または禁止することができます。

ECSR レジスタが要因で発生する割り込みは、EDMAC の ETHERC/EDMAC ステータスレジスタ（EESR）の ETHERC ステータスレジスタ要因ビット（ECI）に反映されます。

ICD ビット（不正キャリア検出ビット）

回線上で PHY-LSI が不正なキャリアを検出したことを表します。

PHY-LSI から RX63N へ通知される信号が ET_RX_DV = 0 かつ ET_RX_ER = 1、かつ ET_ERXD3 ～ ET_ERXD 0 = 1110 の組み合わせとなった場合、ICD ビットが “1” になります（図 32.9 参照）。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。

LCHNG ビット（リンク信号変化ビット）

PHY-LSI から入力される ET_LINKSTA 信号が、High から Low にあるいは Low から High に変化したことを表します。

現在の Link 状態を確認するには、PHY 部ステータスレジスタ（PSR）の LINKSTA 端子状態ビット（LMON）を参照してください。

PSRTO ビット（PAUSE フレーム再送リトライオーバビット）

フロー制御を用いる際の PAUSE フレームの再送において、再送回数が自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）に設定した再送上限値に達したことを表します。

32.2.4　ETHERC 割り込み許可レジスタ（ECSIPR）

アドレス　000C 0118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFSIPR	PSRTOIP	—	LCHNGIP	MPDIP	ICDIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICDIP	不正キャリア検出割り込み許可ビット	0：ICDの割り込み通知を禁止 1：ICDの割り込み通知を許可	R/W
b1	MPDIP	Magic Packet™検出割り込み許可ビット	0：MPDの割り込み通知を禁止 1：MPDの割り込み通知を許可	R/W
b2	LCHNGIP	リンク信号変化割り込み許可ビット	0：LCHNGの割り込み通知を禁止 1：LCHNGの割り込み通知を許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PSRTOIP	Pauseフレーム再送リトライオーバ割り込み許可ビット	0：PSRTOの割り込み通知を禁止 1：PSRTOの割り込み通知を許可	R/W
b5	BFSIPR	Broadcastフレーム連続受信割り込み許可ビット	0：ECSRの対応するビットによる割り込みを許可 1：ECSRの対応するビットによる割り込みを禁止	R/W
b31-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECSIPR レジスタは、ECSR レジスタによって報告される割り込み要因の許可を指示するレジスタです。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

32.2.5　PHY 部インタフェースレジスタ（PIR）

アドレス 000C 0120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	—	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MDC	MII/RMII マネジメントデータクロックビット	MDC ビットに設定された値を ET_MDC 端子より出力し、MII/RMII へのマネジメントデータクロックを供給します。	R/W
b1	MMD	MII/RMII マネジメントモードビット	0：リード方向を規定 1：ライト方向を規定	R/W
b2	MDO	MII/RMII マネジメントデータアウトビット	ET_MDIO 端子より出力するデータを格納します。ET_MDIO 端子は、MMD ビットが“1”（ライト方向を規定）のときに出力します。MMD ビットが“0”（リード方向を規定）のときには出力しません。	R/W
b3	MDI	MII/RMII マネジメントデータインビット	ET_MDIO 端子のレベルを表します。書き込みは“0”としてください。	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PIR レジスタは、MII/RMII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供するレジスタです。

MDC ビット（MII/RMII マネジメントデータクロックビット）

MDC ビットに設定された値を ET_MDC 端子より出力し、MII/RMII へのマネジメントデータクロックを供給します。

MII/RMII レジスタへのアクセス方法については、**「32.3.4　MII/RMII レジスタのアクセス方法」**を参照してください。

32.2.6 PHY 部ステータスレジスタ（PSR）

アドレス 000C 0128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LMON
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—

ビット	シンボル	ビット名	機能	R/W
b0	LMON	LINKSTA端子状態ビット	EX_LINKSTA端子にPHY-LSIから出力されるLink信号を接続することによってLink状態を読むことができます。極性については、接続するPHY-LSIの仕様を参照してください	R
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PSR レジスタは、PHY-LSI からのインタフェース信号を表示するレジスタです。

32.2.7 乱数生成カウンタ上限値設定レジスタ（RDMLR）

アドレス 000C 0140h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	RMD[19:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMD[19:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b19-b0	RMD[19:0]	乱数生成部で使用しているカウンタの上限値	00000h：通常の動作での設定値 00001h～FFFFEh：乱数生成部で使用しているカウンタの上限値を設定	R/W
b31-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注．　RDMLR レジスタは、乱数生成部の動作が変わるため、“0”以外を書く場合は注意してください。

RDMLR レジスタは、乱数生成部で使用しているカウンタの上限値を設定するレジスタです。
RDMLR レジスタは、送受信機能が有効な状態での書き替えは禁止です。

32.2.8　IPG 設定レジスタ（IPGR）

アドレス 000C 0150h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IPG[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IPG[4:0]	Inter Packet Gap ビット	00h：16 ビット時間 01h：20 ビット時間 　：　： 14h：96 ビット時間（初期値） 　：　： 1Fh：140 ビット時間	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IPGR レジスタは、IPG（Inter Packet Gap）の値を設定するレジスタです。

ECMR レジスタの送受信機能が有効な状態での書き替えは禁止です。詳細は「32.3.6　IPG 設定による動作」を参照してください。

IPG[4:0] ビット（Inter Packet Gap ビット）

4 ビット時間ごとの IPG 値を設定します。

32.2.9　自動 PAUSE フレーム設定レジスタ（APR）

アドレス 000C 0154h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	AP[15:0]	自動PAUSEビット	自動PAUSEフレームのTIMEパラメータ値を設定します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

APR レジスタは、自動 PAUSE フレームの TIME パラメータ値を設定するレジスタです。自動 PAUSE フレームを送信するときに、APR レジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

APR レジスタは、送受信機能が有効な状態での書き替えは禁止です。

AP[15:0] ビット（自動 PAUSE ビット）

自動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。

32.2.10　手動 PAUSE フレーム設定レジスタ（MPR）

アドレス　000C 0158h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MP[15:0]	手動PAUSEビット	手動PAUSEフレームのTIMEパラメータ値を設定します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MPR レジスタは、手動 PAUSE フレームの TIME パラメータ値を設定するレジスタです。手動 PAUSE フレームを送信するときに、MPR レジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

MPR レジスタは、送信機能が有効な状態で、書き込みを行ってください。

MP[15:0] ビット（手動 PAUSE ビット）

手動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。読むと不定値が読めます。

32.2.11　受信 PAUSE フレームカウンタ（RFCF）

アドレス　000C 0160h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RPAUSE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	RPAUSE[7:0]	PAUSEフレーム受信回数	受信カウンタ	R
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFCF レジスタは、PAUSE フレームの受信カウンタです。

32.2.12　自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）

アドレス　000C 0164h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TPAUSE[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TPAUSE[15:0]	自動PAUSEフレーム再送回数上限値	0000h：再送回数無制限 0001h：再送回数は、1回 ：　： FFFFh：再送回数は、65535回	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPAUSER レジスタは、自動 PAUSE フレームの再送回数の上限値を設定するレジスタです。
TPAUSER レジスタは、送信機能が有効な状態での書き替えは禁止です。

32.2.13　PAUSE フレーム再送回数カウンタ（TPAUSECR）

アドレス　000C 0168h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TXP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TXP[7:0]	PAUSEフレーム受信回数	PAUSEフレームの再送回数	R
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPAUSECR レジスタは、PAUSE フレームの再送回数を示すカウンタです。

32.2.14 Broadcast フレーム受信回数設定レジスタ（BCFRR）

アドレス 000C 016Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	BCF[15:0]	Broadcast フレームの 連続受信回数設定ビット	0000h：受信回数制限なし 0001h：1 フレーム受信 ：　： FFFFh：65535 フレーム受信	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、は“0”としてください	R/W

BCFRR レジスタは、Broadcast フレーム連続受信回数を設定するレジスタです。

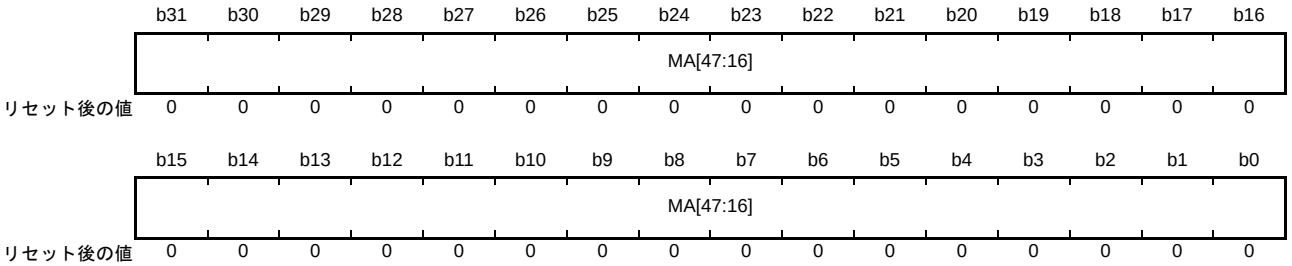
BCFRR レジスタは、受信機能が有効な状態での書き替えは禁止です。

BCF[15:0] ビット（Broadcast フレームの連続受信回数設定ビット）

DA（宛先アドレス）がブロードキャストアドレスのフレームを設定した回数値まで受信することが可能であり、設定を超えて受信した場合は以降のブロードキャストフレームを破棄します。

32.2.15　MAC アドレス上位設定レジスタ（MAHR）

アドレス　000C 01C0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	MA[47:16]	MACアドレス47～16	MACアドレスの上位32ビットを設定します。MACアドレスが01-23-45-67-89-AB（16進数表示）である場合、MAHRレジスタには01234567hを設定します	R/W

MAHR レジスタは、48 ビットの MAC アドレスの上位 32 ビットを設定するレジスタです。

MAHR レジスタの設定は、リセット後の初期設定時に行います。

MAC アドレスの設定は、送信および受信機能が有効な状態で書き替えることを禁止します。EDMAC の EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）によって ETHERC および EDMAC を初期状態に戻してから再設定してください。

32.2.16 MAC アドレス下位設定レジスタ（MALR）

アドレス 000C 01C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MA[15:0]	MACアドレス15～0	MACアドレスの下位16ビットを設定します。MACアドレスが01-23-45-67-89-AB（16進数表示）である場合、MALRレジスタには89ABhを設定します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MALR レジスタは、48 ビットの MAC アドレスの下位 16 ビットを設定するレジスタです。

MALR レジスタの設定は、リセット後の初期設定時に行います。

MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMAC の EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）によって ETHERC および EDMAC を初期状態に戻してから再設定してください。

32.2.17　送信リトライオーバカウンタレジスタ（TROCR）

アドレス　000C 01D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	送信時に再送を合わせて16回の試行で送信できなかったフレームのカウント数を表します	R/W

TROCR レジスタは、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示すカウンタです。

送信を 16 回失敗すると、TROCR レジスタは 1 カウントアップします。TROCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。TROCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.18　遅延衝突検出カウンタレジスタ（CDCR）

アドレス　000C 01D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	送信開始からのすべての遅延衝突の回数を表します	R/W

CDCR レジスタは、送信開始以降すべての回線上の遅延衝突回数を示すカウンタです。

CDCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。CDCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.19　キャリア消失カウンタレジスタ（LCCR）

アドレス　000C 01D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	データ送信中に消失したキャリアカウント数を表します	R/W

LCCR レジスタは、データの送信中にキャリアが消失した回数を示すカウンタです。

LCCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。LCCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.20　キャリア未検出カウンタレジスタ（CNDCR）

アドレス　000C 01DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	未検出キャリアのカウント数を表します	R/W

CNDCR レジスタは、プリアンブルを送出中にキャリアを検出できなかった回数を示すカウンタです。

CNDCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。CNDCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.21　CRC エラーフレーム受信カウンタレジスタ（CEFCR）

アドレス　000C 01E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	CRCエラーとなったフレームを受信したカウント数を表します	R/W

CEFCR レジスタは、CRC エラーとなったフレームの受信回数を示すカウンタです。

CEFCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。CEFCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.22　フレーム受信エラーカウンタレジスタ（FRECR）

アドレス　000C 01E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	フレームを受信中にエラーとなったカウント数を表します	R/W

FRECR レジスタは、PHY-LSI から入力される ET_RX_ER 端子により受信エラーとなったフレームの個数を示すカウンタです。

ET_RX_ER 端子がアクティブになるごとに 1 カウントアップします。FRECR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。FRECR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.23　64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）

アドレス　000C 01ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	64 バイト未満のフレームを受信したカウント数を表します	R/W

TSFRCR レジスタは、64 バイト未満のフレームを受信したことを示すカウンタです。

TSFRCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。TSFRCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.24　指定バイト超フレーム受信カウンタレジスタ（TLFRCR）

アドレス　000C 01F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	RFLRの値を超えるフレームを受信したカウント数を表します	R/W

TLFRCR レジスタは、RFLR レジスタで指定した値を超えるフレームを受信したことを示すカウンタです。

TLFRCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、TLFRCR レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ（RFCR）に反映されます。TLFRCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.25　端数ビットフレーム受信カウンタレジスタ（RFCR）

アドレス　000C 01F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	端数ビットデータを含むフレームを受信したカウント数を表します	R/W

RFCR レジスタは、8 ビットに満たない端数ビットデータを含むフレームを受信したことを示すカウンタです。

RFCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。RFCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.2.26　マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）

アドレス　000C 01F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マルチキャストフレームを受信したカウント数を表します	R/W

MAFCR レジスタは、マルチキャストアドレスを指定するフレームを受信したことを示すカウンタです。

MAFCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。MAFCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

32.3　動作説明

ETHERC の動作の概要を以下に示します。ETHERC は IEEE802.3x に準拠した制御をサポートしており、使用される Pause フレームの送信および受信が可能です。

32.3.1　送信動作

ETHERC 送信部は、送信 EDMAC から送信要求があると送信データをフレームに組み立てて MII/RMII に出力します。MII/RMII を経由した送信データは、PHY-LSI によって回線上に送出されます。ETHERC 送信部の状態遷移図を図 32.2 に示します。

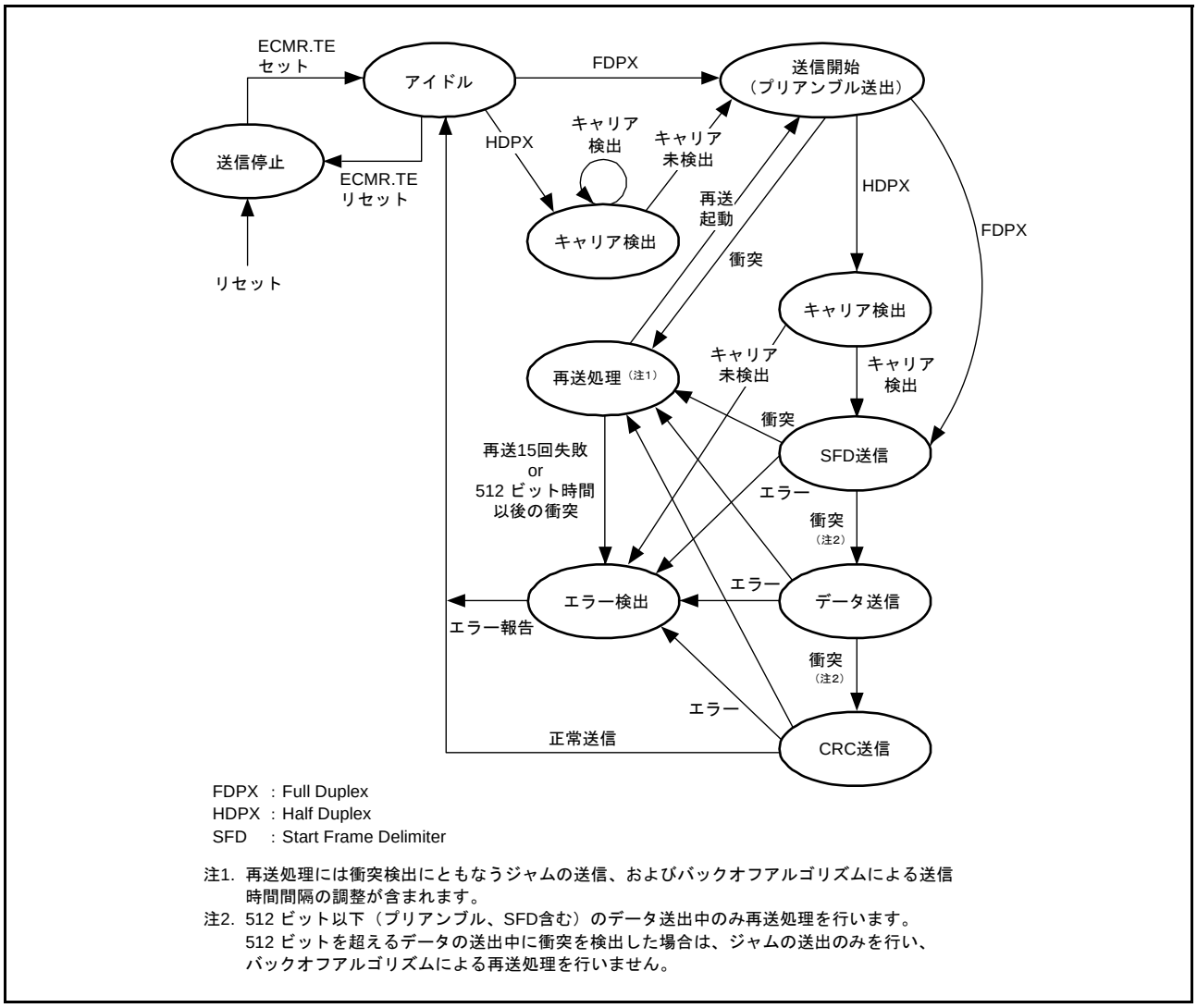


図 32.2　ETHERC 送信部状態遷移図

1. 送信許可ビット（ECMR.TE）がセットされると、送信アイドル状態に遷移します。
2. EDMAC から送信要求があると、ETHERC はキャリア検出、フレーム間隔時間の送信延期を経てプリアンブルを MII/RMII に送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信 EDMAC から送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRC を順次送信します。送信を終了すると、送信 EDMAC が送信終了割り込み（TC）を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後はアイドル状態に遷移し、以後送信データがあれば送信を継続します。

32.3.2　受信動作

ETHERC 受信部は、MII/RMII より入力されたフレームをプリアンブル、SFD、データおよび CRC データに分解し、受信 EDMAC には DA（宛先アドレス）から CRC データまでを出力します。ETHERC 受信部の状態遷移図を**図 32.3** に示します。

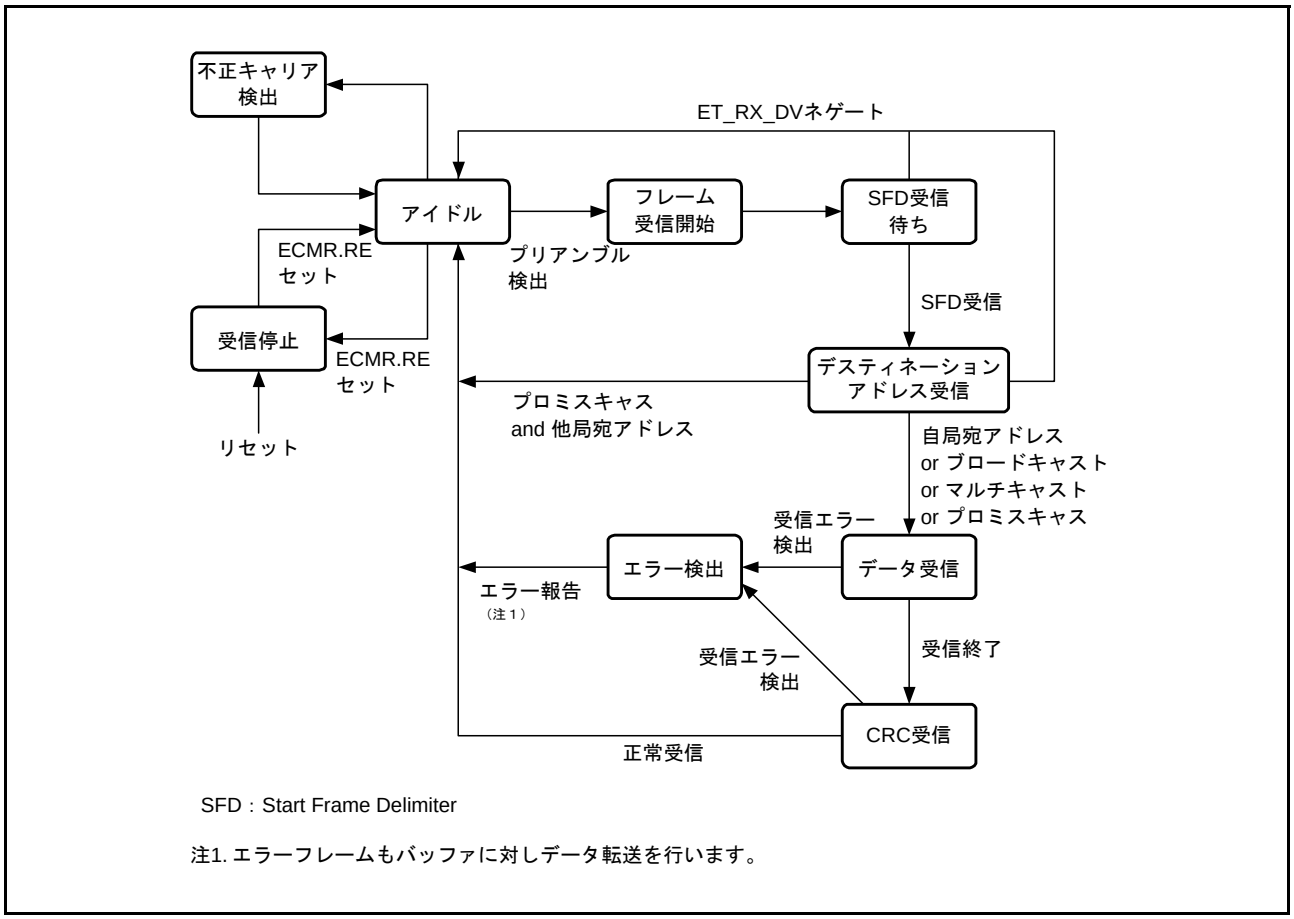


図 32.3　ETHERC 受信部状態遷移図

1. 受信許可ビット（ECMR.RE ビット）がセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンブルに続く SFD（スタートフレームデリミタ）を検出すると、受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのデスティネーションアドレスが RX63N 宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. MII/RMII からのデータ受信後、フレームデータ部の CRC チェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時はエラーステータスを報告します。
5. 1 フレームを受信後、ETHERC モードレジスタ内の受信許可ビットが設定（ECMR.RE = 1）されていると、次のフレーム受信に備えます。

32.3.3　フレームタイミング

32.3.3.1　MII フレームタイミング

MII フレームのタイミングを図 32.4 ～図 32.9 に示します。

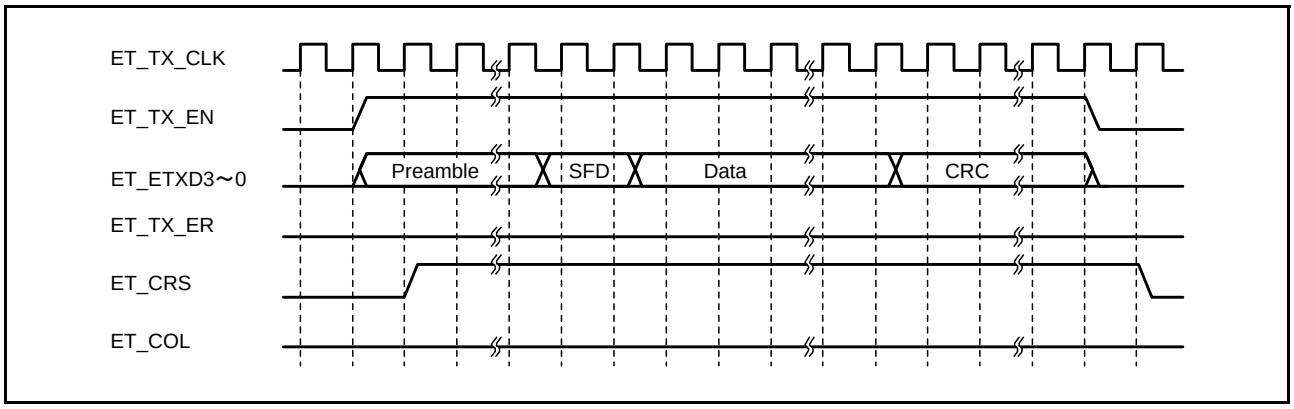


図 32.4　MII フレーム送信タイミング（正常時）

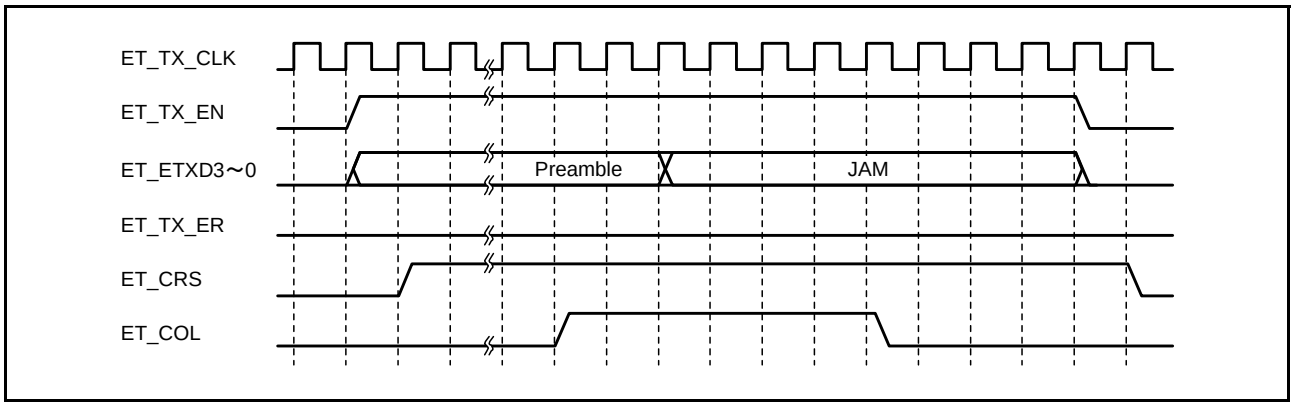


図 32.5　MII フレーム送信タイミング（衝突発生）

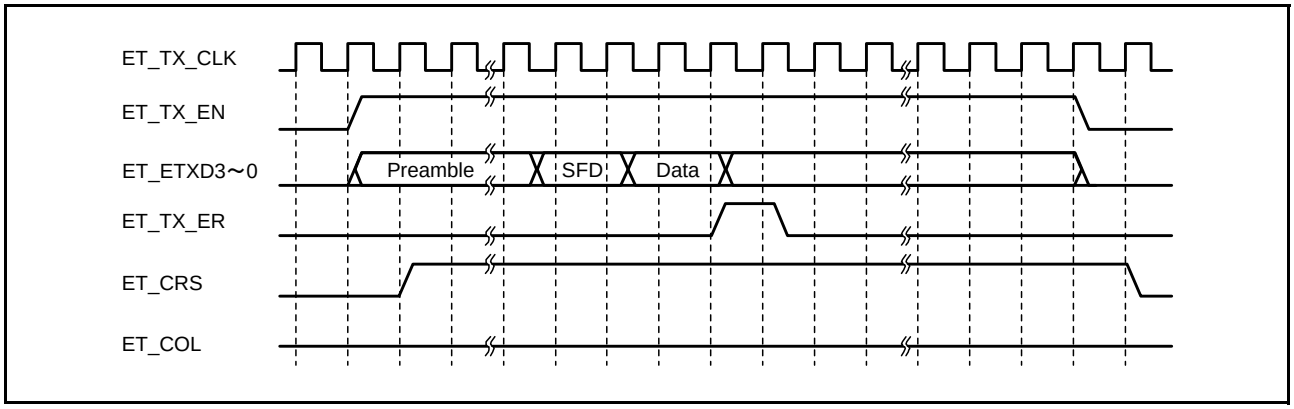


図 32.6　MII フレーム送信タイミング（送信エラー発生）

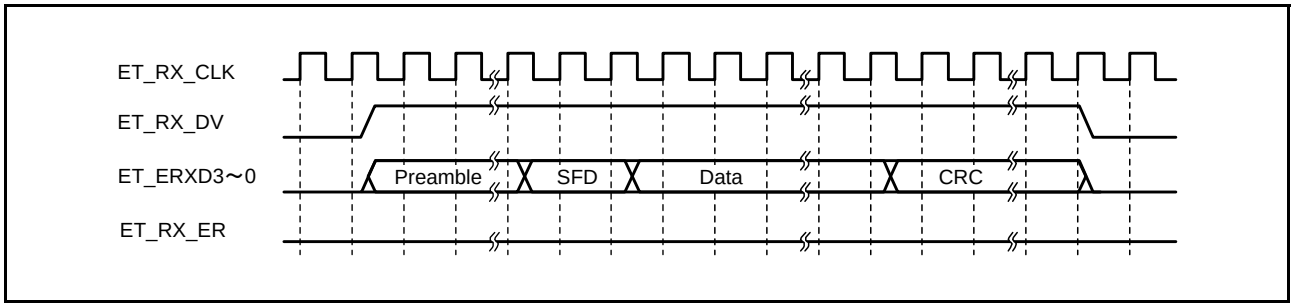


図 32.7　MII フレーム受信タイミング（正常受信）

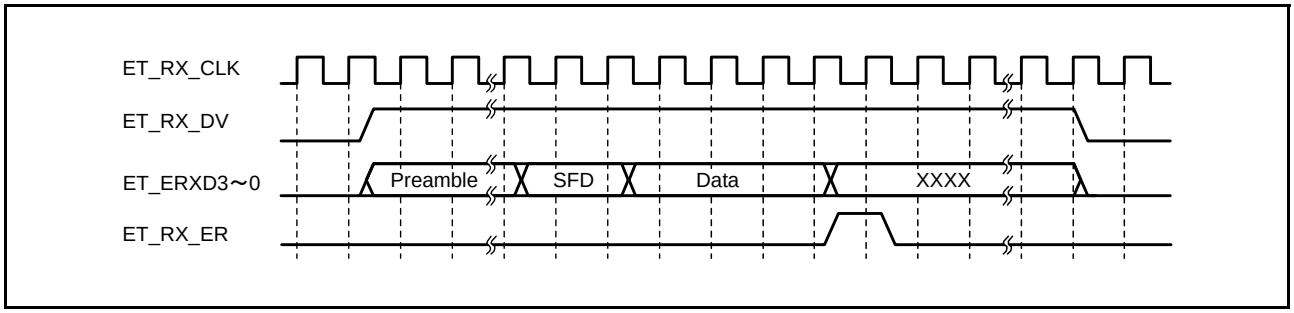


図 32.8　MII フレーム受信タイミング（受信エラー（1）受信エラー通知）

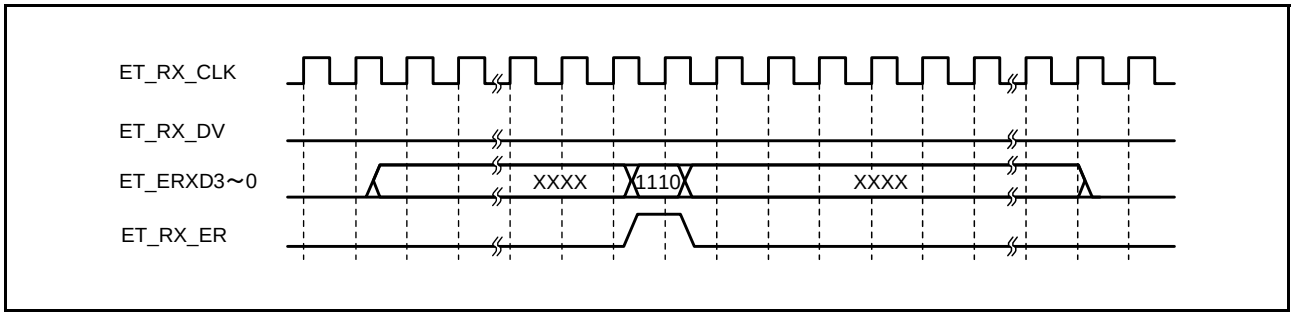


図 32.9　MII フレーム受信タイミング（受信エラー（2）キャリアエラー通知）

32.3.3.2 RMII フレームタイミング

RMII のフレームタイミングを図 32.10 ～図 32.12 に示します。

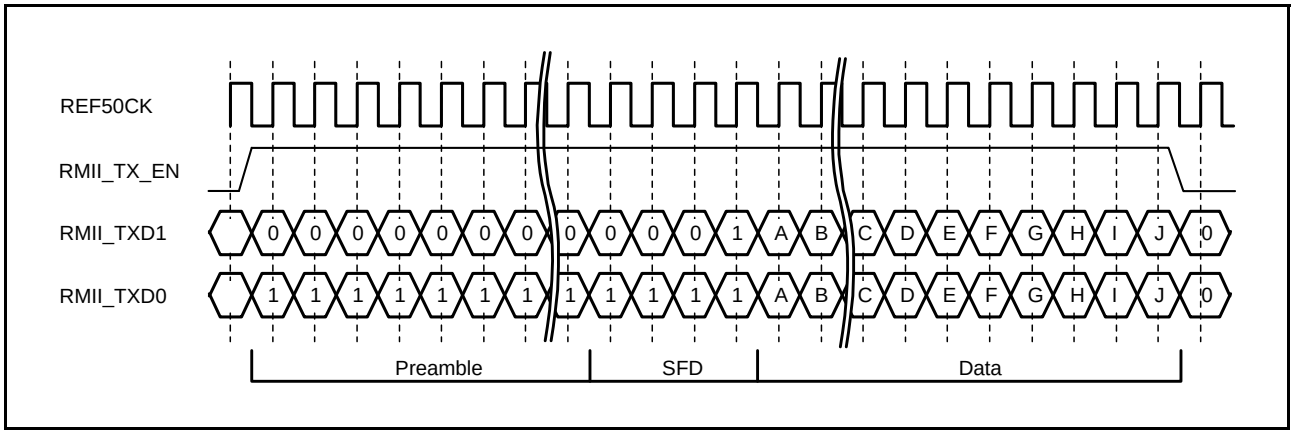


図 32.10　RMII フレーム送信タイミング（正常送信）

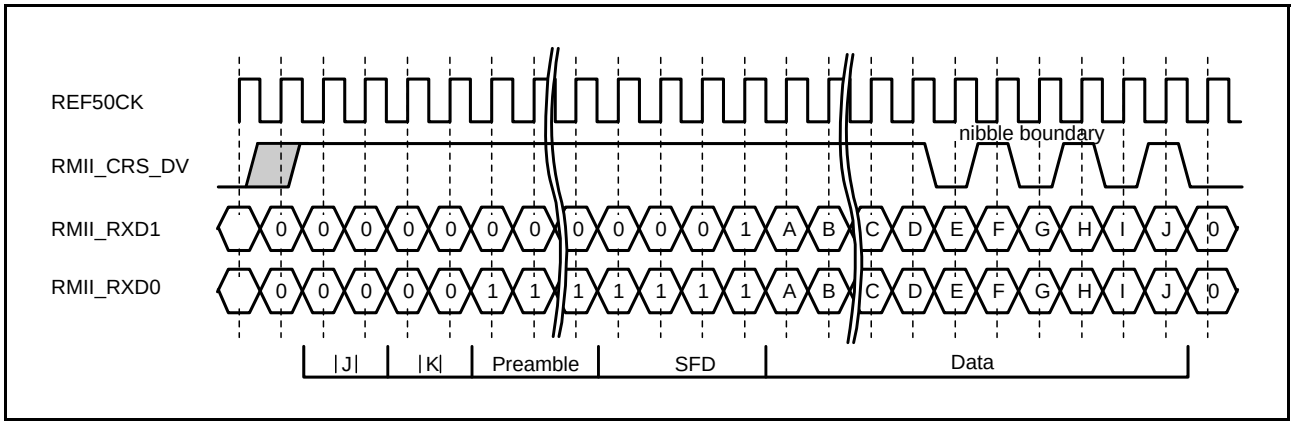


図 32.11　RMII フレーム受信タイミング（正常受信）

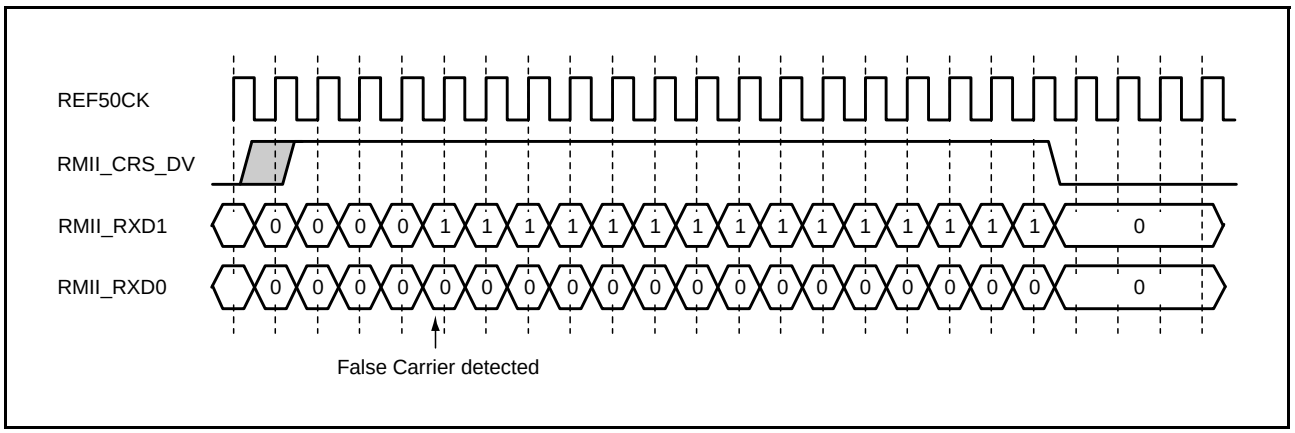


図 32.12　RMII フレーム受信タイミング（False Carrier を伴う受信）

32.3.4　MII/RMII レジスタのアクセス方法

PHY-LSI 内にある MII/RMII レジスタへは、RX63N の PHY 部インタフェースレジスタ（PIR）を経由してアクセスします。MII/RMII フレームフォーマットに従い、シリアルインタフェースとして接続します。

32.3.4.1　MII/RMII 管理フレームのフォーマット

MII/RMII 管理フレームのフォーマットを図 32.13 に示します。MII/RMII レジスタをアクセスするには、「32.3.4.2　MII/RMII レジスタアクセス手順」で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MII/RMII管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	ー
リード	1..1	01	10	00001	RRRRR	Z0	D..D	ー
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

PRE　：32個の連続した1b
ST　：フレームの先頭を示す01bのライト
OP　：アクセス種別を示すコードのライト
PHYAD：PHY-LSIのアドレスが1番の場合、0001bをライト（MSB から順次ライト）。
　このビットは、PHY-LSIアドレスによって可変となる。
REGAD：レジスタアドレスが1番の場合、0001bをライト（MSBから順次ライト）。
　このビットは、PHY-LSIのレジスタアドレスによって可変となる。
TA　：MII/RMIIインタフェース上でデータの送信元を切り替える時間
　（a）書き込み時は10bをライト
　（b）読み出し時は、「バス解放」（Z0と表記）を行う
DATA　：16ビットのデータ。MSBから順次ライトあるいはリード
　（a）書き込み時は、16ビットデータのライト
　（b）読み出し時は、16ビットデータのリード
IDLE　：次のMII管理フォーマット入力までの待機時間
　（a）書き込み時は、「単独バス解放」（Xと表記）を行う
　（b）読み出し時は、すでにTA時にバス解放済みであり制御不要

図 32.13　MII/RMII 管理フレームフォーマット

32.3.4.2　MII/RMII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ（PIR）を経由して MII/RMII レジスタをアクセスします。アクセスは、1 ビット単位のデータの書き込み、1 ビット単位のデータの読み出し、バスの解放および単独バス解放の組み合わせによって実現します。MII/RMII レジスタアクセスタイミング例を図 32.14 ～図 32.17 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

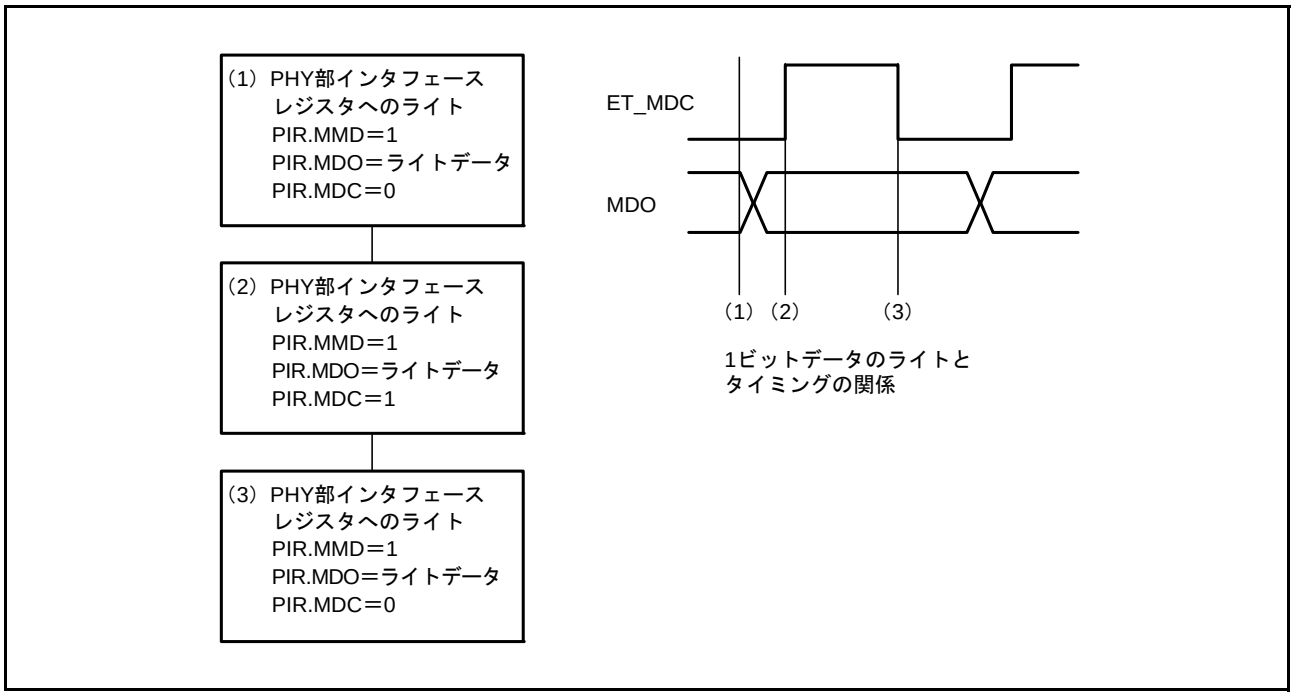


図 32.14　1 ビットデータのライトフロー

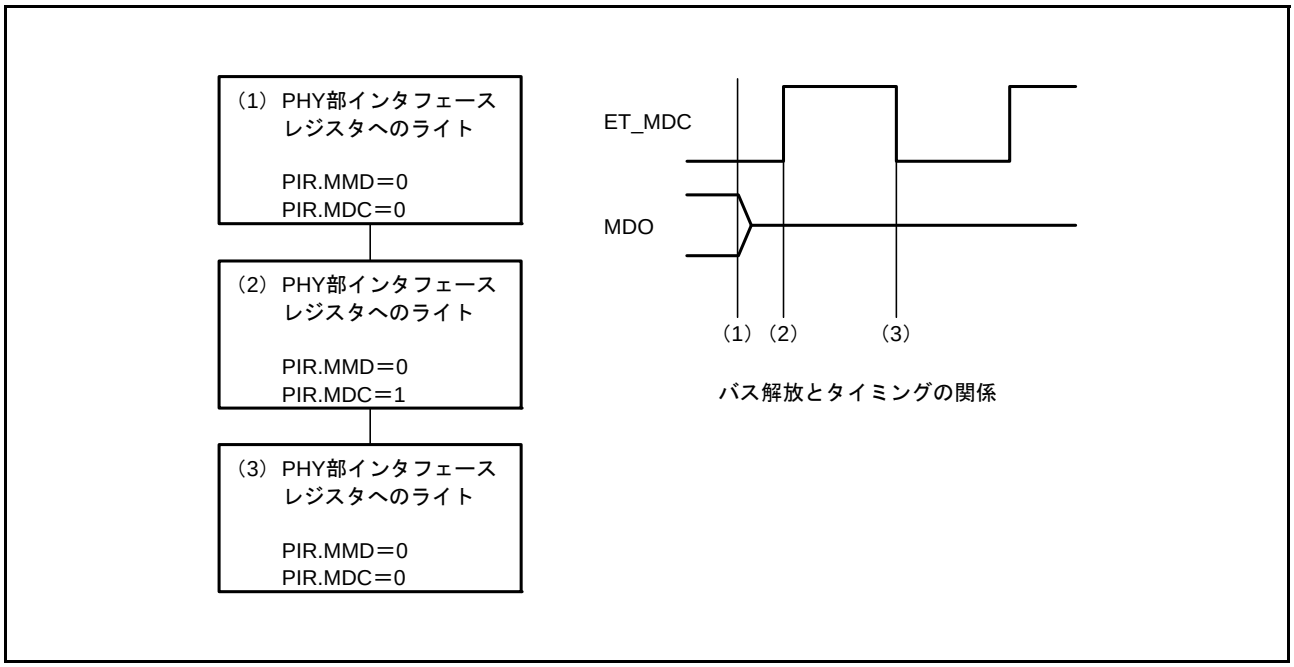


図 32.15　バス解放フロー（図 32.13 中のリード時の TA）

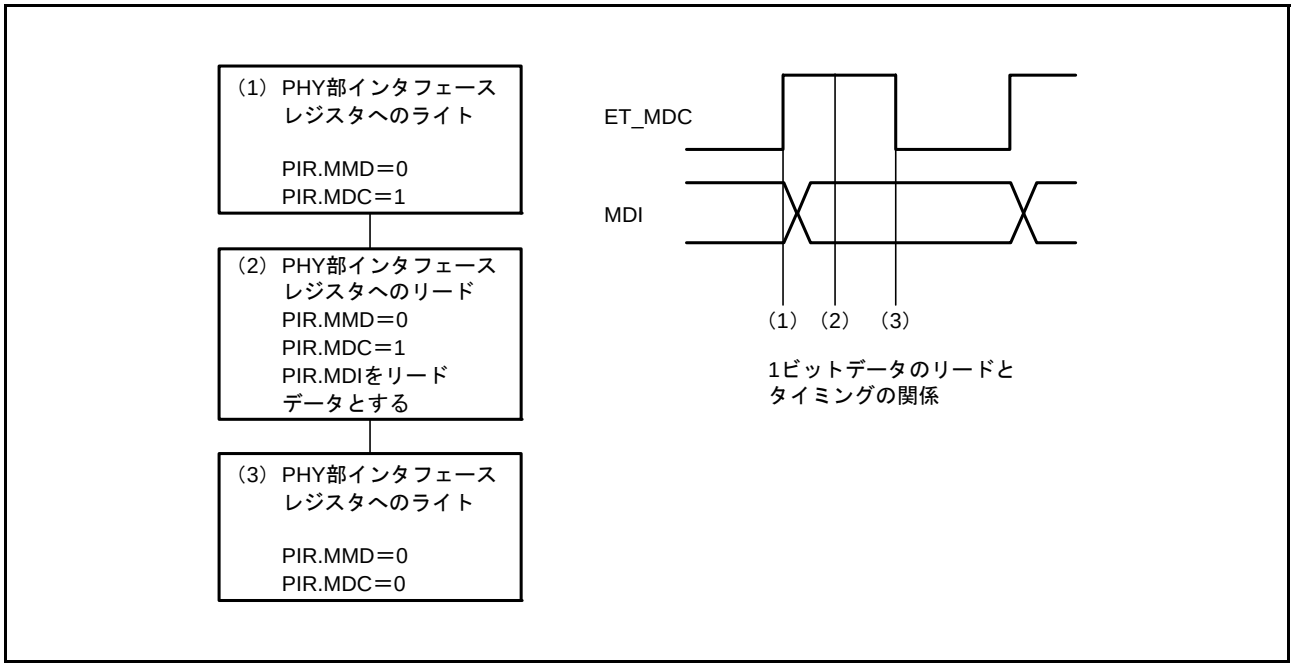


図 32.16　1 ビットデータのリードフロー

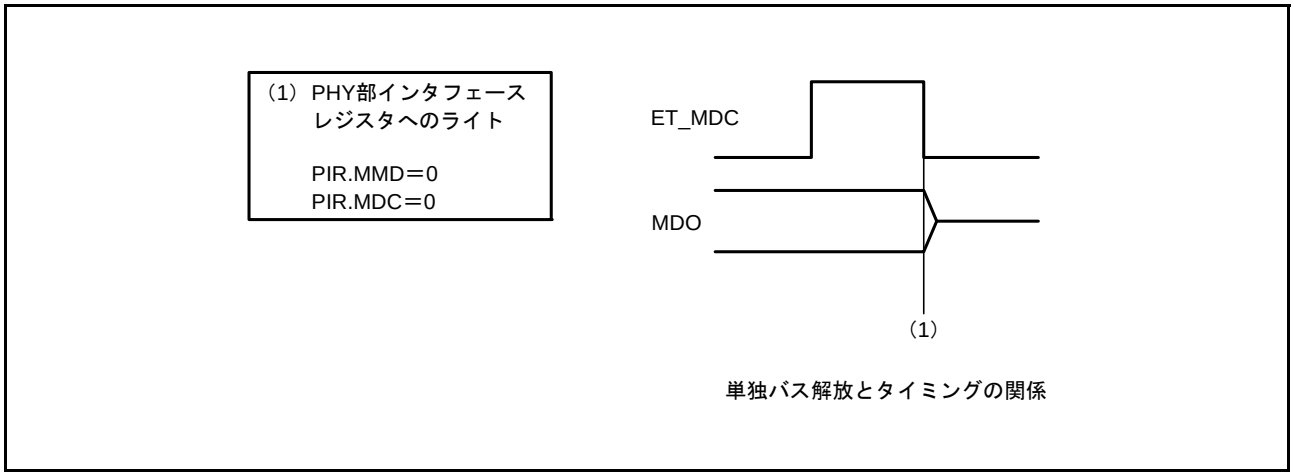


図 32.17　単独バス解放フロー（図 32.13 中のライト時の IDLE）

32.3.5　Magic Packet™ の検出

ETHERC は、Magic Packet™ の検出機能を有しています。この機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能（WOL：Wake-On-LAN、Magic Packet™ 検出時 High 出力 / ソフトウェアでネゲート）を提供します。これによって、ホスト装置などから送出される Magic Packet™ を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet™ を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、ETHERC には受信ステータスなどが報告されています。割り込み処理から通常の動作に復帰するためには、EDMAC の EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）により ETHERC および EDMAC の初期化を実行してください。

Magic Packet™ においては、宛先アドレスにかかわらず受信を行います。結果として、Magic Packet™ 内のフォーマットで指定される宛先に合致する場合のみ有効となり、ET_WOL 端子が有効となります。Magic Packet™ に関する詳細については、AMD 社の技術資料を参照してください。

RX63N を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可／マスクレジスタによって割り込み要因の出力を禁止します。
2. ETHERC モードレジスタ（ECMR）の Magic Packet™ 検出許可ビット（MPDE）を設定します。
3. ETHERC モードレジスタ（ECMR）の受信許可ビット（RE）を “1” にします。
4. ETHERC 割り込み許可レジスタ（ECSIPR）の Magic Packet™ 検出割り込み許可ビット（MPDIP）を “1” にします。
5. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。
6. Magic Packet™ を検出すると、CPU には割り込みが通知されます。また、周辺 LSI に対しては、ET_WOL 端子により Magic Packet™ を検出したことを通知します。

32.3.6　IPG 設定による動作

ETHERC は、送信フレーム間の無送信期間 IPG（Inter Packet Gap）を変更する機能を有しています。IPG 設定レジスタ（IPGR）の設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお、IPG の設定は IEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

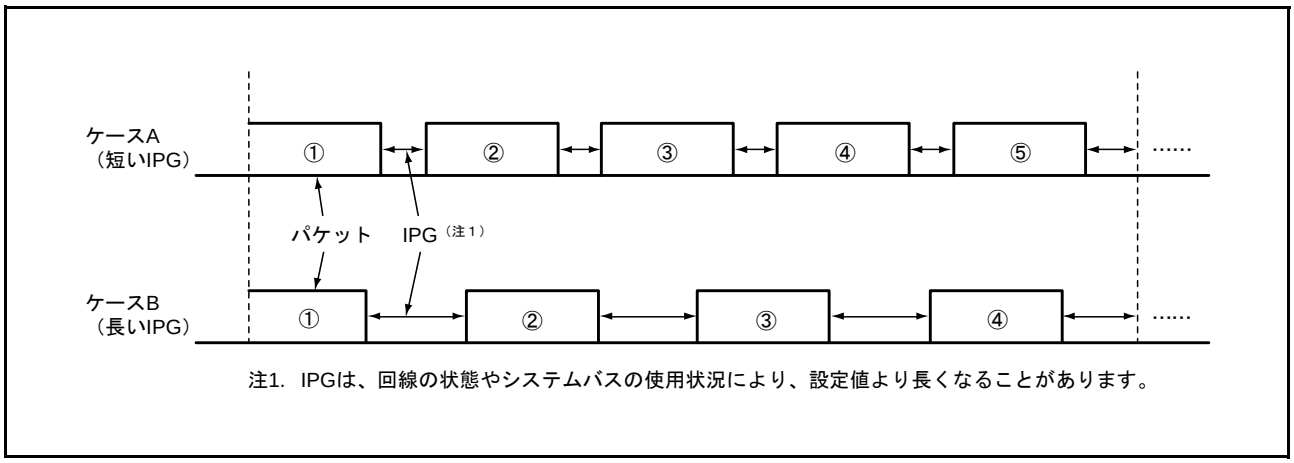


図 32.18　IPG の変更による伝送効率の違い

32.3.7　フロー制御

ETHERC は、全二重動作時に IEEE802.3x 準拠のフロー制御機能をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の手順があります。

32.3.7.1　自動 PAUSE フレームの送信

受信フレームに対しては、受信 FIFO（EDMAC に内蔵）に書き込まれたデータ量が EDMAC のフロー制御開始 FIFO しきい値設定レジスタ（FCFTR）に設定された値に達すると PAUSE フレームを自動送信します。このときの PAUSE フレームに含まれる TIME パラメータは、自動 PAUSE フレーム設定レジスタ（APR）で設定します。自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR レジスタ設定値未満になるまで繰り返されます。また、自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）により PAUSE フレームの再送信回数の上限値を設定することもできます。この場合は、受信 FIFO 内のデータ量が FCFTR レジスタ設定値未満になるか、送信回数が TPAUSER レジスタの設定値に達するまで PAUSE フレームの送信が繰り返されます。自動 PAUSE フレームの送信は ETHERC モードレジスタ（ECMR）の送信系フロー制御動作モードビット（TXF）が “1” の場合に有効となります。

32.3.7.2　手動 PAUSE フレームの送信

ソフトウェアからの指示により、PAUSE フレームを送信します。手動 PAUSE フレーム設定レジスタ（MPR）への Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は、1 回のみです。

32.3.7.3　PAUSE フレームの受信

PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。ただし、送信中のフレームについては送信を継続します。PAUSE フレームの受信は ETHERC モードレジスタ（ECMR）の受信系フロー制御動作モードビット（RXF）が “1” の場合に有効となります。

32.4 PHY-LSI との接続

図 32.19、図 32.20 に PHY-LSI との接続例を示します。

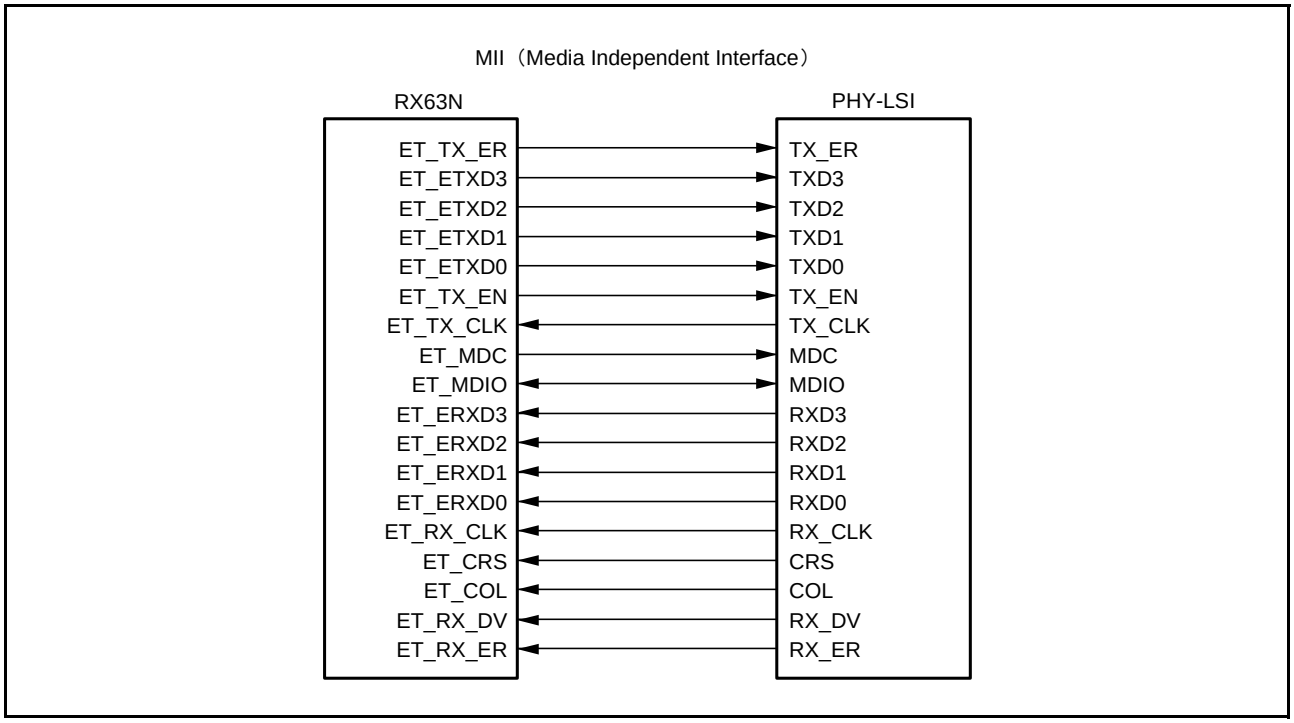


図 32.19　PHY-LSI との接続例（MII）

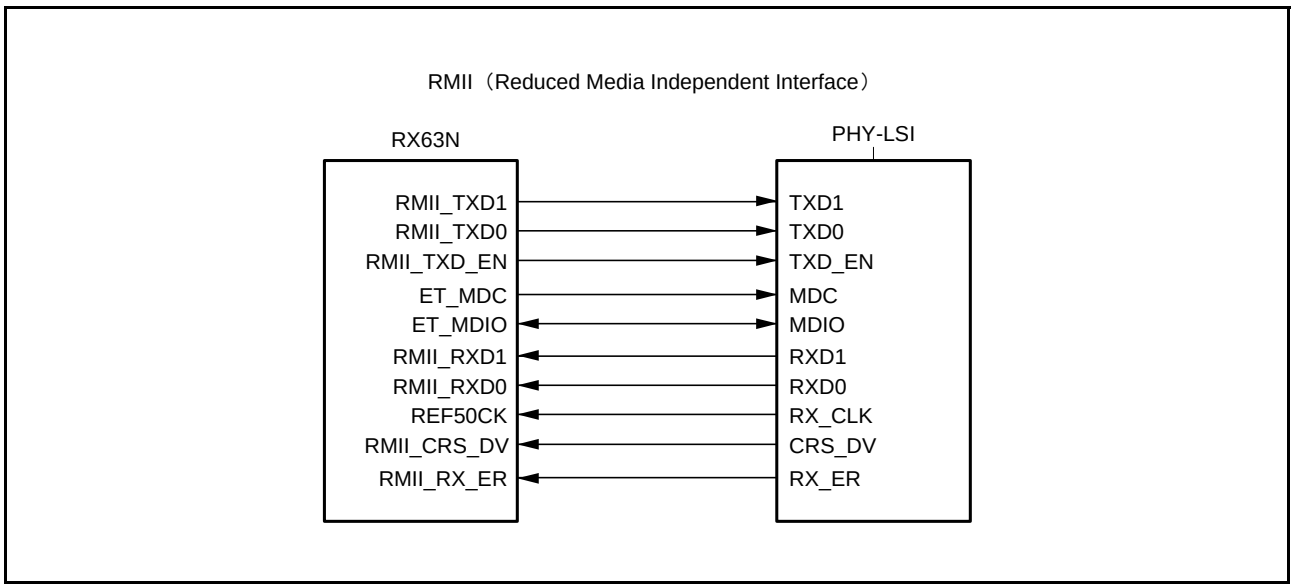


図 32.20　PHY-LSI との接続例（RMII）

32.5　使用上の注意事項

ETHERC を使用する際は、以下のことに注意してください。

32.5.1　LCHNG ビットのセット条件について

ET_LINKSTA 端子への入力レベルが変化していない場合でも、ECSR.LCHNG ビットが “1” になる場合があります。MPC の PSEL で ET_LINKSTA 端子を選択したときや、EDMAC の EDMR.SWR ビットによる ETHERC/EDMAC のソフトウェアリセット解除時に、ET_LINKSTA 端子に High が入力されている場合です。これは MPC で ET_LINKSTA 端子を選択していないときや、ETHERC/EDMAC のソフトウェアリセット中に、LSI 内部の ET_LINKSTA 信号が外部端子への入力レベルとは無関係に Low に固定されているからです。

誤ってリンク信号変化割り込みを発生させないように、ECSR.LCHNG ビットをクリアしてから、ECSIPR.LCHNGIP ビットを “1” にしてください。

32.5.2　RMII 選択時の RMII_RX_ER 端子入力について

RMII 選択時、PHY から受け取る受信エラー信号の幅が RMII のリファレンスクロック 50MHz の 1 サイクル分しか出ない場合、エラー信号として認識しません。

33. イーサネットコントローラ用 DMA コントローラ（EDMAC）

33.1 概要

RX63N グループは、イーサネットコントローラ（ETHERC）に直結したダイレクトメモリアクセスコントローラ（EDMAC）を内蔵しています。バッファ管理の多くの部分を EDMAC がディスクリプタを用いて制御します。このため CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。

表 33.1 に EDMAC の仕様を、**図 33.1** に EDMAC とメモリ上のディスクリプタおよび送信と受信バッファの構成を示します。

表 33.1　EDMACの仕様

項目	内容
データ送受信	• ディスクリプタ管理方式 • シングルフレーム・マルチバッファ方式対応
機能	• ブロック転送（32バイト単位）によるシステムバスの効率利用 • 送受信フレームステータスのディスクリプタ反映 • 受信データへのパディング挿入可能
消費電力低減機能	• モジュールストップ状態への設定が可能

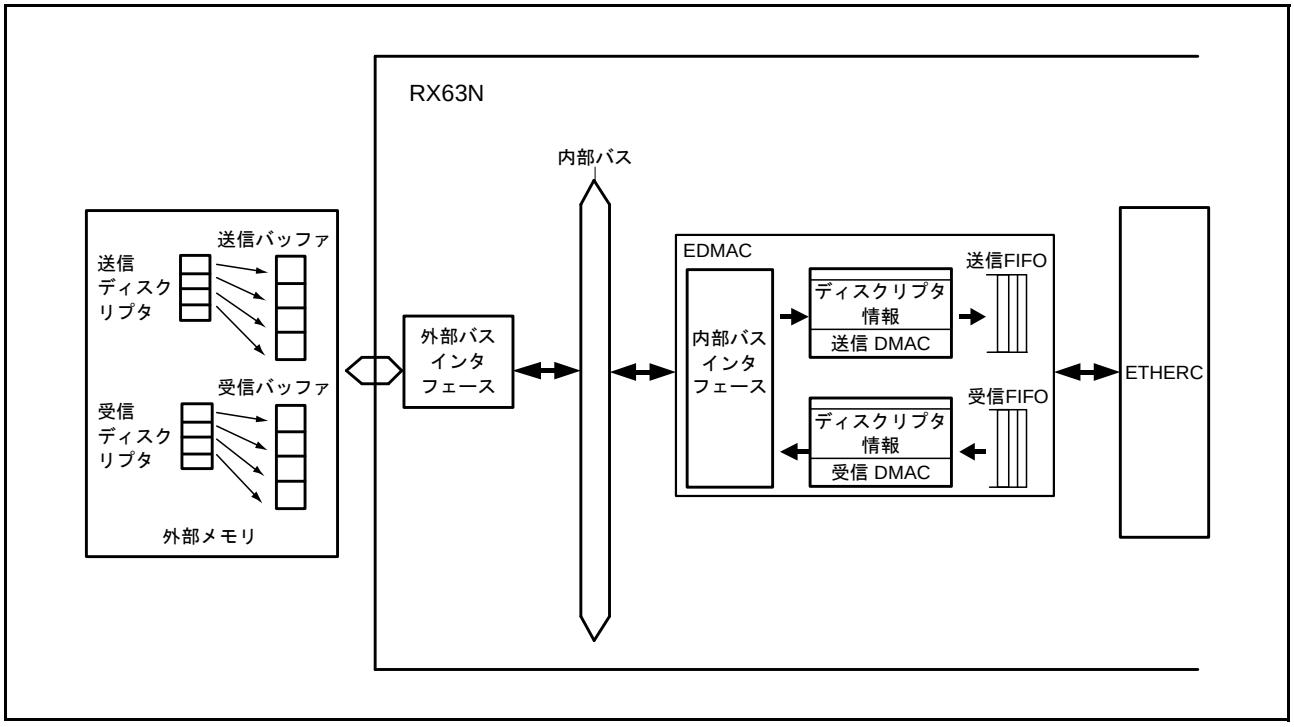


図 33.1　EDMAC とディスクリプタおよびバッファの構成

33.2　レジスタの説明

33.2.1　EDMAC モードレジスタ（EDMR）

アドレス　000C 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	DE	DL[1:0]		—	—	—	SWR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWR	ソフトウェアリセットビット	（書き込み時） 0：無効 1：内部ハードウェアをリセット（注1） （読み出し時） “0”が読めます。	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	DL[1:0]	送受信ディスクリプタ長指定ビット	b5 b4 0 0：16バイト 0 1：32バイト 1 0：64バイト 1 1：16バイト	R/W
b6	DE	ビッグエンディアンモード／リトルエンディアンモード指定ビット（注2）	0：ビッグエンディアンモード（ロングワードアクセス） 1：リトルエンディアンモード（ロングワードアクセス）	R/W
b31-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセットされるレジスタは、TDLAR、RMFCR、TFUCR、RFOCR レジスタ以外のレジスタです。
注2.　送受信データについて有効になります。送受信ディスクリプタ、レジスタについては無効です（ビッグエンディアンのみサポート）。

EDMR レジスタは、EDMAC の動作モードを指定するレジスタです。

EDMR レジスタの設定は、リセット後の初期設定時に行います。データ送信中に EDMR レジスタによって ETHERC および EDMAC を初期化すると回線上に異常データを送出する可能性があります。

動作モードの設定は、送信と受信機能が有効状態で書き替えることを禁止します。動作モードを切り替えるには、SWR ビットによって ETHERC および EDMAC を初期状態に戻してから再設定してください。

なお、ETHERC および EDMAC の初期化完了までの所要時間は、EDMAC の内部バスのクロックで 64 サイクルです。このため ETHERC および EDMAC 内のレジスタアクセスは、EDMAC の内部バスのクロックで 64 サイクル経過後に行ってください。

33.2.2 EDMAC 送信要求レジスタ（EDTRR）

アドレス 000C 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TR	送信要求ビット	0：送信停止状態 “0”を書き込んでも送信は停止しません。送信の終了は、送信ディスクリプタ内の有効ビットで制御します 1：送信開始 該当するディスクリプタを読み込み、送信有効ビットが“1”であるフレームを送信します	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDTRR レジスタは、EDMAC に送信指示を行うレジスタです。

1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。このディスクリプタ内の送信ディスクリプタ有効ビットが有効であれば、送信を継続します。また、送信ディスクリプタ有効ビットが無効な場合は、TR ビットを “0” にして送信 DMAC の動作を停止します。

33.2.3 EDMAC 受信要求レジスタ（EDRRR）

アドレス 000C 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RR	受信要求ビット	0：受信機能を無効にする（注1） 1：受信ディスクリプタを読み込み、EDMAC受信可能状態にする	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、EDMACは正常な動作ができなくなります。この場合、再度EDMACを受信可能状態とするためには、EDMR.SWRビットでソフトウェアリセットしてください。
EDMACをソフトウェアリセットせずに受信機能を無効とするには、ETHERCのECMR.REビットによって受信機能を無効とします。次にEDMACの受信が完了し受信ディスクリプタのライトバックが確認できた後、EDRRRレジスタの受信機能を無効にしてください。

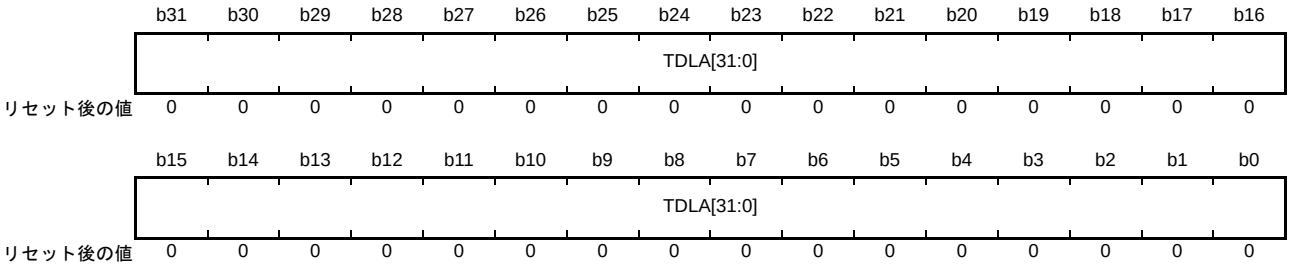
EDRRR レジスタは、EDMAC に受信指示を行うレジスタです。

EDMAC は RR ビットが “1” になると、当該受信ディスクリプタを読み込みます。ディスクリプタ内の受信ディスクリプタ有効ビットが有効であれば、ETHERC からの受信要求に備えます。

受信バッファ分の受信が完了すると、EDMAC は次のディスクリプタを読み込みフレームの受信に備えます。このときディスクリプタ内の受信ディスクリプタ有効ビットが無効である場合は、RR ビットを “0” にして受信 DMAC の動作を停止します。

33.2.4　送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）

アドレス　000C 0018h



ビット	シンボル	ビット名	機能	R/W
b31-b0	TDLA[31:0]	送信ディスクリプタ先頭アドレスビット	16バイトバウンダリ：TDLA[3:0] = 0000b 32バイトバウンダリ：TDLA[4:0] = 00000b 64バイトバウンダリ：TDLA[5:0] = 000000b	R/W

TDLAR レジスタは、送信ディスクリプタリストの先頭アドレスを設定するレジスタです。

各ディスクリプタは、EDMR.DL[1:0] ビットで示すディスクリプタ長に合致する境界構成とします。

送信中に TDLAR レジスタを書き替えることは禁止します。TDLAR レジスタの書き替えは、送信停止状態（EDTRR.TR ビット = “0”）で行なってください。

TDLA[31:0] ビット（送信ディスクリプタ先頭アドレスビット）

指定したディスクリプタ長によって下位ビットを設定します。

33.2.5　受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）

アドレス　000C 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLA[31:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RDLA[31:0]	受信ディスクリプタ先頭アドレスビット	16バイトバウンダリ：RDLA[3:0] = 0000b 32バイトバウンダリ：RDLA[4:0] = 00000b 64バイトバウンダリ：RDLA[5:0] = 000000b	R/W

RDLAR レジスタは、受信ディスクリプタリストの先頭アドレスを設定するレジスタです。

各ディスクリプタは、EDMR.DL[1:0] ビットで示すディスクリプタ長に合致する境界構成とします。

受信中に RDLAR レジスタを書き替えることは禁止します。RDLAR レジスタの書き替えは、受信停止状態（EDRRR.RR ビット = “0”）で行ってください。

RDLA[31:0] ビット（受信ディスクリプタの先頭アドレスビット）

指定したディスクリプタ長によって下位ビットを設定します。

33.2.6 ETHERC/EDMAC ステータスレジスタ（EESR）

アドレス 000C 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB	—	—	—	TABT	RABT	RFCOF	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERF	受信フレームCRCエラービット	0：CRCエラー未検出 1：CRCエラー検出	R/W
b1	PRE	PHY-LSI受信エラービット	0：PHY-LSI受信エラー未検出 1：PHY-LSI受信エラー検出	R/W
b2	RTSF	ショートフレーム受信エラービット	0：ショートフレーム未受信 1：ショートフレーム受信	R/W
b3	RTLF	ロングフレーム受信エラービット	0：ロングフレーム未受信 1：ロングフレーム受信	R/W
b4	RRF	端数ビットフレーム受信ビット	0：端数ビットフレーム未受信 1：端数ビットフレーム受信	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAF	マルチキャストアドレスフレーム受信ビット	0：マルチキャストアドレスフレーム未受信 1：マルチキャストアドレスフレーム受信	R/W
b8	TRO	送信リトライオーバビット	0：送信リトライオーバ未検出 1：送信リトライオーバ検出	R/W
b9	CD	遅延衝突検出ビット	0：遅延衝突未検出 1：遅延衝突検出	R/W
b10	DLC	キャリア消失検出ビット	0：キャリア消失未検出 1：キャリア消失検出	R/W
b11	CND	キャリア未検出ビット	0：送信開始時にキャリア検出 1：キャリア未検出	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOF	受信FIFOオーバフロービット	0：オーバフロー未発生 1：オーバフロー発生	R/W
b17	RDE	受信ディスクリプタ枯渇ビット	0：受信ディスクリプタ有効ビットRD0.RACT = 1を検出 1：受信ディスクリプタ有効ビットRD0 RACT = 0を検出	R/W
b18	FR	フレーム受信ビット	0：フレーム未受信 1：フレーム受信済み	R/W
b19	TFUF	送信FIFOアンダフロービット	0：アンダフロー未発生 1：アンダフロー発生	R/W
b20	TDE	送信ディスクリプタ枯渇ビット	0：送信ディスクリプタ有効ビットTD0.TACT = 1を検出 1：送信ディスクリプタ有効ビットTD0.TACT = 0を検出	R/W
b21	TC	フレーム送信完了ビット	0：転送未完了または転送未指示 1：転送完了	R/W
b22	ECI	ETHERCステータスレジスタ要因ビット	0：ETHERCステータス割り込み要因未検出 1：ETHERCステータス割り込み要因検出	R （注1）
b23	ADE	アドレスエラービット	0：不正なメモリアドレスを検出していない（正常動作） 1：不正なメモリアドレスを検出した（注2）	R/W
b24	RFCOF	受信フレームカウンタオーバフロービット	0：受信フレームカウンタがオーバフローしていない 1：受信フレームカウンタがオーバフローした	R/W

ビット	シンボル	ビット名	機能	R/W
b25	RABT	受信中断検出ビット	0：フレーム受信中断未発生または受信未指示 1：フレーム受信中断発生	R/W
b26	TABT	送信中断検出ビット	0：フレーム送信中断未発生または送信未指示 1：フレーム送信中断発生	R/W
b29-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	TWB	ライトバック完了ビット	0：ライトバック未完了または送信未指示 1：ライトバック完了	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　ECIビットは読み出し専用です。ETHERCのECSRレジスタの要因がクリアされるとECIビットもクリアされます。
注2.　アドレスエラーが検出されるとEDMACは送受信を停止します。再開するには、EDMR.SWRビットによってソフトウェアリセットをかけてから再設定してください。

EESR レジスタは、ETHERC と EDMAC を合わせた通信ステータスを表示するレジスタです。

EESR レジスタは、割り込み要因として報告されます。各ビットは “1” を書くことで “0” になります（ただし、ECI ビットは読み出し専用で “1” を書いても “0” になりません）。“0” を書いても各ビットの状態には影響しません。各割り込み要因は ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）の当該ビットによって禁止することが可能です。

RTSF ビット（ショートフレーム受信エラービット）

64 バイト未満のフレームを受信したことを示します。

RTLF ビット（ロングフレーム受信エラービット）

ETHERC の受信フレーム長上限レジスタ（RFLR）で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。

TRO ビット（送信リトライオーバビット）

フレーム送信中にリトライオーバが発生したことを示します。これは ETHERC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送をあわせ全部で 16 回の送信試行に失敗したことを示します。

CD ビット（遅延衝突検出ビット）

フレーム送信中に遅延衝突を検出したことを示します。

DLC ビット（キャリア消失検出ビット）

フレーム送信中のキャリア消失を検出したことを示します。

RFOF ビット（受信 FIFO オーバフロービット）

フレームを受信中に受信 FIFO がオーバフローしたことを示します。

RDE ビット（受信ディスクリプタ枯渇ビット）

受信ディスクリプタ枯渇（RDE ビット = “ 1”）が発生した場合は、当該受信ディスクリプタを RD0.RACT = “1” に設定し受信起動をかけることで、受信を再開することができます。

FR ビット（フレーム受信ビット）

フレームを受信し、受信ディスクリプタを更新したことを示します。FR ビットは、1 フレームを受信する度に “1” にセットされます。

TFUF ビット（送信 FIFO アンダフロービット）

フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線上には不完全なデータが送出されます。

TDE ビット（送信ディスクリプタ枯渇ビット）

マルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、EDMAC が送信ディスクリプタを読み込んだときにディスクリプタ内の送信ディスクリプタ有効ビット（TD0.TACT）が “1” になっていないことを示します。結果として不完全なフレームを送出する場合があります。

送信ディスクリプタ枯渇（TDE = “1”）が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき TDLAR レジスタに格納されているアドレスからの開始となります。

TC ビット（フレーム送信完了ビット）

送信ディスクリプタによって指定されたデータをすべて ETHERC より送信したことを示します。1 フレーム／1 バッファ処理では、1 フレームの送信が完了した場合、またマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット（TD0.TACT）がセットされていなかった場合に送信完了とみなし、TC ビットが “1” となります。フレーム送信完了後は、EDMAC は転送状態を当該ディスクリプタにライトバックします。

ADE ビット（アドレスエラービット）

EDMAC が転送しようとしたメモリアドレスが不正であったことを示します。

RFCOF ビット（受信フレームカウンタオーバフロービット）

受信 FIFO 内のフレームカウンタがオーバフローしたことを示します。

RABT ビット（受信中断検出ビット）

フレーム受信時、障害等によって ETHERC がフレーム受信を中断したことを示します。

TABT ビット（送信中断検出ビット）

フレーム送信時、障害等によって ETHERC がフレーム送信を中断したことを示します。

TWB ビット（ライトバック完了ビット）

フレーム送信完了後の EDMAC からの当該ディスクリプタへのライトバックが完了したことを示します。この動作は、送信割り込み設定レジスタ（TRIMD）の送信割り込み設定ビット（TIS）が “1”（割り込み設定）になっているときのみ有効です。

33.2.7 ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）

アドレス 000C 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWBIP	—	—	—	TABTIP	RABTIP	RFCOFIP	ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CNDIP	DLCIP	CDIP	TROIP	RMAFIP	—	—	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERFIP	受信フレームCRCエラー割り込み許可ビット	0：CRCエラー割り込み禁止 1：CRCエラー割り込み許可	R/W
b1	PREIP	PHY-LSI受信エラー割り込み許可ビット	0：PHY-LSI受信エラー割り込み禁止 1：PHY-LSI受信エラー割り込み許可	R/W
b2	RTSFIP	ショートフレーム受信エラー割り込み許可ビット	0：ショートフレーム受信エラー割り込み禁止 1：ショートフレーム受信エラー割り込み許可	R/W
b3	RTLFIP	ロングフレーム受信エラー割り込み許可ビット	0：ロングフレーム受信エラー割り込み禁止 1：ロングフレーム受信エラー割り込み許可	R/W
b4	RRFIP	端数ビットフレーム受信割り込み許可ビット	0：端数ビットフレーム受信割り込み禁止 1：端数ビットフレーム受信割り込み許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAFIP	マルチキャストアドレスフレーム受信割り込み許可ビット	0：マルチキャストアドレスフレーム受信割り込み禁止 1：マルチキャストアドレスフレーム受信割り込み許可	R/W
b8	TROIP	送信リトライオーバ割り込み許可ビット	0：送信リトライオーバ割り込み禁止 1：送信リトライオーバ割り込み許可	R/W
b9	CDIP	遅延衝突検出割り込み許可ビット	0：遅延衝突割り込み禁止 1：遅延衝突割り込み許可	R/W
b10	DLCIP	キャリア消失検出割り込み許可ビット	0：キャリア消失検出割り込み禁止 1：キャリア消失検出割り込み許可	R/W
b11	CNDIP	キャリア未検出割り込み許可ビット	0：キャリア未検出割り込み禁止 1：キャリア未検出割り込み許可	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOFIP	受信FIFOオーバフロー割り込み許可ビット	0：オーバフロー割り込み禁止 1：オーバフロー割り込み許可	R/W
b17	RDEIP	受信ディスクリプタ枯渇割り込み許可ビット	0：受信ディスクリプタ枯渇割り込み禁止 1：受信ディスクリプタ枯渇割り込み許可	R/W
b18	FRIP	フレーム受信割り込み許可ビット	0：フレーム受信割り込み禁止 1：フレーム受信割り込み許可	R/W
b19	TFUFIP	送信FIFOアンダフロー割り込み許可ビット	0：アンダフロー割り込み禁止 1：アンダフロー割り込み許可	R/W
b20	TDEIP	送信ディスクリプタ枯渇割り込み許可ビット	0：送信ディスクリプタ枯渇割り込み禁止 1：送信ディスクリプタ枯渇割り込み許可	R/W
b21	TCIP	フレーム送信完了割り込み許可ビット	0：フレーム送信完了割り込み禁止 1：フレーム送信完了割り込み許可	R/W
b22	ECIIP	ETHERCステータスレジスタ要因割り込み許可ビット	0：ETHERCステータス割り込み禁止 1：ETHERCステータス割り込み許可	R/W
b23	ADEIP	アドレスエラー割り込み許可ビット	0：アドレスエラー割り込み禁止 1：アドレスエラー割り込み許可	R/W
b24	RFCOFIP	受信フレームカウンタオーバフロー割り込み許可ビット	0：受信フレームカウンタがオーバフロー割り込み禁止 1：受信フレームカウンタがオーバフロー割り込み許可	R/W

ビット	シンボル	ビット名	機能	R/W
b25	RABTIP	受信中断検出割り込み許可ビット	0：受信中断検出割り込み禁止 1：受信中断検出割り込み許可	R/W
b26	TABTIP	送信中断検出割り込み許可ビット	0：送信中断検出割り込み禁止 1：送信中断検出割り込み許可	R/W
b29-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	TWBIP	ライトバック完了割り込み許可ビット	0：ライトバック完了割り込み禁止 1：ライトバック完了割り込み許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EESIPR レジスタは、ETHERC/EDMAC ステータスレジスタ（EESR）の各ビットに対応する割り込み許可レジスタです。各ビットは “1” を書くことで割り込みが許可されます。

33.2.8　送受信ステータスコピー指示レジスタ（TRSCER）

アドレス　000C 0038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CNDCE	DLCCE	CDCE	TROCE	RMAFCE	—	—	RRFCE	RTLFCE	RTSFCE	PRECE	CERFCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERFCE	CERFビットコピー指示ビット	0：EESR.CERFビットのステータスを受信ディスクリプタのRD0.RFSビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRD0.RFSビットに反映しない	R/W
b1	PRECE	PREビットコピー指示ビット	0：EESR.PREビットのステータスを受信ディスクリプタのRD0.RFSビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRD0.RFSビットに反映しない	R/W
b2	RTSFCE	RTSFビットコピー指示ビット	0：EESR.RTSFビットのステータスを受信ディスクリプタのRD0.RFSビットに反映する。 1：該当する要因が発生しても受信ディスクリプタのRD0.RFSビットに反映しない	R/W
b3	RTLFCE	RTLFビットコピー指示ビット	0：EESR.RTLFビットのステータスを受信ディスクリプタのRD0.RFSビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRD0.RFSビットに反映しない	R/W
b4	RRFCE	RRFビットコピー指示ビット	0：EESR.RRFビットのステータスを受信ディスクリプタのRD0.RFSビットに反映する。 1：該当する要因が発生しても受信ディスクリプタのRD0.RFSビットに反映しない	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAFCE	RMAFビットコピー指示ビット	0：EESR.RMAFビットのステータスを受信ディスクリプタのRD0.RFSビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRD0.RFSビットに反映しない	R/W
b8	TROCE	TROビットコピー指示ビット	0：EESR.TROビットのステータスを送信ディスクリプタのTD0.TFSビットに反映する 1：該当する要因が発生しても送信ディスクリプタのTD0.TFSビットに反映しない	R/W
b9	CDCE	CDビットコピー指示ビット	0：EESR.CDビットのステータスを送信ディスクリプタのTD0.TFSビットに反映する 1：該当する要因が発生しても送信ディスクリプタのTD0.TFSビットに反映しない	R/W
b10	DLCCE	DLCビットコピー指示ビット	0：EESR.DLCビットのステータスを送信ディスクリプタのTD0.TFSビットに反映する 1：該当する要因が発生しても送信ディスクリプタのTD0.TFSビットに反映しない	R/W
b11	CNDCE	CNDビットコピー指示ビット	0：EESR.CNDビットのステータスを送信ディスクリプタのTD0.TFSビットに反映する 1：該当する要因が発生しても送信ディスクリプタのTD0.TFSビットに反映しない	R/W
b31-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRSCER レジスタは、ETHERC/EDMAC ステータスレジスタ（EESR）の各ビットで報告される送信、および受信ステータス情報を当該ディスクリプタの TFS25 ～ TFS 0 および RFS26 ～ RFS 0 に反映するか否かを指示するレジスタです。

TRSCER レジスタの各ビットは EESR レジスタのビット 11 ～ビット 0 に対応し、各ビットを “0” にすると、送信ステータス（EESR レジスタのビット 11 ～ビット 8）は送信ディスクリプタの TFS3 ～ TFS0 ビットに、また受信ステータス（EESR のビット 7 ～ビット 0）は受信ディスクリプタの RFS7 ～ RFS0 ビットに反映されます。“1” にすると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは “0” になっています。

33.2.9　ミスドフレームカウンタレジスタ（RMFCR）

アドレス　000C 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MFC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MFC[15:0]	ミスドフレームカウンタビット	受信時に、受信バッファに転送しきれずに廃棄されたフレーム数を示します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMFCR レジスタは、受信時に受信バッファに収容しきれずに廃棄されたフレーム数を示すカウンタです。受信 FIFO がオーバフローすると、この FIFO 内にある受信フレームは廃棄されます。このときに廃棄するフレームの数をカウントアップします。RMFCR レジスタの値が FFFFh になるとカウントアップを停止します。カウンタの値は、RMFCR レジスタへの書き込み動作で “0” になります。

33.2.10　送信 FIFO しきい値指定レジスタ（TFTR）

アドレス　000C 0048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TFT[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	TFT[10:0]	送信FIFOしきい値	000h：ストア＆フォワードモード 001h～00Ch：設定しないでください 00Dh：52バイト 00Eh：56バイト ：　： 01Fh：124バイト 020h：128バイト ：　： 03Fh：252バイト 040h：256バイト ：　： 07Fh：508バイト 080h：512バイト ：　： 0FFh：1020バイト 100h：1024バイト ：　： 1FFh：2044バイト 200h：2048バイト 201h～7FFh：設定しないでください	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　1フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。
注2.　送受信FIFO容量よりもTFTRレジスタの設定値が大きいときの動作は保証しません。
注3.　送信アンダフローの発生を防ぐため、初期値（ストア＆フォワードモード）での設定を推奨します。

TFTR レジスタは、最初の送信を開始するまでの送信 FIFO のしきい値を指定するレジスタです。実際のしきい値は、設定した数値の 4 倍の値に相当します。

ETHERC は送信 FIFO 内のデータ数が TFTR レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお TFTR レジスタの設定は、送信停止状態で行ってください。

TFT[10:0] ビット（送信 FIFO しきい値ビット）

送信 FIFO のしきい値は、FIFO 容量指定レジスタ（FDR）で指定した FIFO 容量値より小さい値に設定してください。

33.2.11　FIFO 容量指定レジスタ（FDR）

アドレス　000C 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TFD[4:0]					—	—	—	RFD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	RFD[4:0]	受信FIFO容量ビット	00000：256バイト 00001：512バイト 00010：768バイト 00011：1024バイト 00100：1280バイト 00101：1536バイト 00110：1792バイト 00111：2048バイト 上記以外：設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	TFD[4:0]	送信FIFO容量	00000：256バイト 00001：512バイト 00010：768バイト 00011：1024バイト 00100：1280バイト 00101：1536バイト 00110：1792バイト 00111：2048バイト 上記以外：設定しないでください	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注．　送受信FIFO容量よりもFDRレジスタの設定値が大きいときの動作は保証しません。

FDR レジスタは、送信および受信 FIFO の容量を指定するレジスタです。
ETHERC を起動するときは、0000 0707h を設定してください。

RFD[4:0] ビット（受信 FIFO 容量ビット）

受信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。

TFD[4:0] ビット（送信 FIFO 容量ビット）

送信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。

33.2.12　受信方式制御レジスタ（RMCR）

アドレス 000C 0058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNC	RNR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RNR	受信要求リセットビット	0：EDRRRの受信要求ビット（RR）は、1フレームの受信が完了したときハードウェアでセルフクリアします。1フレーム単位の制御が可能です。後続の受信フレームを受信する場合は、再度RRビットを設定する必要があります 1：EDRRRの受信要求ビット（RR）は、上位ソフトウェアによって制御します。RRビットに“1”書き込み後は、RRビットに“0”書き込みを行うまでハードウェアが自律的に受信ディスクリプタのフェッチを行ない、フレームを受信します。複数フレームを連続で受信可能となります。連続受信を行なう場合は、RNRビットを“1”にすることを推奨致します。ただし、受信ディスクリプタ枯渇を検出した場合は、ハードウェアでRRビットをセルフクリアします	R/W
b1	RNC	受信要求ビットnonリセットモード指定ビット	0：Nop 1：EDRRRの受信要求ビット（RR）のリセットをソフトウェア制御にします。フェッチしたディスクリプタのRD0.RACTビットが“0”の場合（受信ディスクリプタ枯渇）でもRRビットをセルフリセットせず、連続して受信ディスクリプタのフェッチを行ない受信フレームのDMAを継続します	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMCR レジスタは、フレームを受信するときの EDMAC 受信要求レジスタ（EDRRR）の受信要求ビット（RR）の制御方法を指定するレジスタです。

RMCR レジスタの設定は、受信停止状態で行ってください。

33.2.13　送信 FIFO アンダランカウント（TFUCR）

アドレス　000C 0064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	UNDER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	UNDER[15:0]	送信FIFOアンダフロー数ビット	送信FIFOにおけるアンダフローが発生した回数が設定されます。 カウント値がFFFFhになると停止します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TFUCR レジスタは、送信 FIFO がアンダランした回数を示すレジスタです。
カウンタの値は、TFUCR レジスタへの書き込み動作で “0” になります。

33.2.14　受信 FIFO オーバフローカウント（RFOCR）

アドレス　000C 0068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	OVER[15:0]	受信FIFOオーバフロー数ビット	受信FIFOにおけるオーバフローが発生した回数が設定されます。 カウント値がFFFFhになると停止します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFOCR レジスタは、受信 FIFO がオーバフローした回数を示すレジスタです。
カウンタの値は、RFOCR レジスタへの書き込み動作で “0” になります。

33.2.15　個別出力信号設定レジスタ（IOSR）

アドレス　000C 006Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELB	外部ループバックモード	0：ET_EXOUT端子は、Lowを出力する 1：ET_EXOUT端子は、Highを出力する	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IOSR レジスタは外部ループバックモード時、外部出力端子（ET_EXOUT）の出力レベルを選択するレジスタです。

ELB ビットの値は、RX63N の外部出力端子（ET_EXOUT）にそのまま出力されます。ET_EXOUT 端子を用いて PHY-LSI におけるループバックモードの指示などに利用します。この機能によって PHY-LSI でのループバック機能を実現する場合は、PHY-LSI に ET_EXOUT 端子に対応する端子があることが必要です。

33.2.16　フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）

アドレス　000C 0070h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFO[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDO[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	RFDO[2:0]	受信FIFOオーバフロー BSY送出しきい値ビット	b2　b0 ０ ０ ０：受信FIFO内に256－32バイトのデータ容量を格納時 ０ ０ １：受信FIFO内に512－32バイトのデータ容量を格納時 ： １ １ ０：受信FIFO内に1792－32バイトのデータ容量を格納時 １ １ １：受信FIFO内に2048－64バイトのデータ容量を格納時	R/W
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RFFO[2:0]	受信フレーム数オーバフロー BSY送出しきい値ビット	b18　b16 ０ ０ ０：受信フレームを受信FIFO内に2フレーム格納完了時 ０ ０ １：受信フレームを受信FIFO内に4フレーム格納完了時 ０ １ ０：受信フレームを受信FIFO内に6フレーム格納完了時 ： １ １ ０：受信フレームを受信FIFO内に14フレーム格納完了時 １ １ １：受信フレームを受信FIFO内に16フレーム格納完了時	R/W
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCFTR レジスタは、ETHERC のフロー制御の設定（自動 PAUSE 送信のしきい値設定）を行うレジスタです。

受信 FIFO データ容量（RFDO[2:0] ビット）、受信フレーム数（RFFO[2:0] ビット）によるしきい値を設定できます。受信 FIFO データ容量しきい値判定、および受信フレーム数しきい値判定の論理和を条件としてフロー制御を開始します。

RFDO[2:0] ビットの設定条件によってフロー制御をオンにするとき、FIFO 容量設定レジスタ（FDR）で設定した受信 FIFO 容量値と同じ設定である場合は、（FIFO データ容量－ 64）バイトでフロー制御をオンにします。たとえば FDR.RFD[4:0] = “00111b”、FCFTR.RFDO[2:0] = “111b” の場合は、受信 FIFO 内に（2048 － 64）バイトのデータを格納されたときフロー制御がオンになります。なお、RFDO[2:0] ビットの設定値は、FDR.RFD[4:0] ビットの設定値と同じか小さい値を設定してください。

33.2.17　受信データパディング挿入設定レジスタ（RPADIR）

アドレス　000C 0078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PADS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	PADR[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PADR[5:0]	パディング範囲ビット	00h：受信データの1バイト目の直前にパディングサイズ分挿入 01h：受信データの2バイト目の直前にパディングサイズ分挿入 ： 3Eh：受信データの63バイト目の直前にパディングサイズ分挿入 3Fh：受信データの64バイト目の直前にパディングサイズ分挿入	R/W
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	PADS[1:0]	パディングサイズビット	b17 b16 0　0：パディング挿入なし 0　1：1バイト挿入 1　0：2バイト挿入 1　1：3バイト挿入	R/W
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RPADIR レジスタは、受信データに対するパディングの挿入の設定を行うレジスタです。
RPADIR レジスタを再設定するときは、EDMR.SWR ビットでリセットしてから行ってください。

33.2.18　送信割り込み設定レジスタ（TRIMD）

アドレス　000C 007Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TIM	—	—	—	TIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIS	送信割り込み設定	0：割り込み未設定 TIMビットで指定したモードでの割り込み通知を行わない TISビット＝0のとき、TIMビットの設定は無効 1：割り込み設定 TIMビットで指定したモードでEESR.TWBビットを“1”とし割り込み通知を行う	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TIM	送信割り込みモード	0：毎送信フレームモード 送信フレーム毎ライトバック完了時に割り込み 1：割り込みモード 送信ディスクリプタTD0.TWBIビット設定ディスクリプタのライトバック完了時に割り込み	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRIMD レジスタは、送信動作時にフレームごとのライトバック完了を EESR.TWB ビットおよび割り込みにて通知するかどうかを指定するレジスタです。

33.2.19　受信バッファライトアドレスレジスタ（RBWAR）

アドレス　000C 00C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RBWAR レジスタは、EDMAC が受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを格納するレジスタです。

RBWAR レジスタに表示されるアドレスをモニタすることによって、EDMAC が受信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。EDMAC が実行しているバッファライト処理とレジスタの読み出しの値が一致していない場合もあります。

RBWAR レジスタは、読み出し専用です。書き込みは禁止です。

33.2.20　受信ディスクリプタフェッチアドレスレジスタ（RDFAR）

アドレス　000C 00CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。

RDFAR レジスタに表示されるアドレスをモニタすることによって、EDMAC がどの辺の受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。EDMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

RDFAR レジスタは、読み出し専用です。書き込みは禁止です。

33.2.21　送信バッファリードアドレスレジスタ（TBRAR）

アドレス　000C 00D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TBRAR レジスタは、EDMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを格納するレジスタです。

TBRAR レジスタに表示されるアドレスをモニタすることによって、EDMAC が送信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。EDMAC が実行しているバッファリード処理とレジスタの読み出しの値が一致していない場合もあります。

TBRAR レジスタは、読み出し専用です。書き込みは禁止です。

33.2.22　送信ディスクリプタフェッチアドレスレジスタ（TDFAR）

アドレス　000C 00D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。

TDFAR レジスタに表示されるアドレスをモニタすることによって、EDMAC がどの辺の送信ディスクリプタ情報をもとに処理を実行しているか認識できます。EDMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

TDFAR レジスタは、読み出し専用です。書き込みは禁止です。

33.3　動作説明

EDMAC は ETHERC と接続され、送受信データを CPU の介在なく効率的な転送をメモリ（バッファ）との間で行います。EDMAC は、各バッファと対応したディスクリプタと呼ぶバッファポインタなどを格納した制御情報を自ら読み込みます。この制御情報に従って送信データを送信バッファから読み込み、受信データは受信バッファに書き込みます。このディスクリプタを複数個連続して配置（ディスクリプタリスト）することで、送信ならびに受信を連続して実行できます。

33.3.1　ディスクリプタリストとデータバッファ

通信プログラムは送受信の開始に先立って、メモリ上に送信および受信の各ディスクリプタリストを作成します。そしてこのリストの先頭アドレスを送信または受信ディスクリプタリスト先頭アドレスレジスタに設定します。

ディスクリプタの開始アドレスの設定は、EDMAC モードレジスタ（EDMR）で設定したディスクリプタ長に従ったアドレス境界に設定してください。送信バッファの開始アドレスの設定は、ロングワード境界、ワード境界、バイト境界のいずれに設定しても構いません。

33.3.1.1　送信ディスクリプタ

図 33.2 に送信ディスクリプタと送信バッファの関係を示します。送信ディスクリプタの指示によって、送信フレームと送信バッファの構成を 1 フレーム／1 バッファまたは 1 フレーム／マルチバッファのように関連づけることが可能です。

送信バッファ長（TBL）1 ～ 16 バイトの指定を行なう際、バッファアドレスは 32 バイト境界にする必要があります。なお、送信バッファ長（TBL）0 バイトの指定の動作は保証されません。

各送信ディスクリプタのリセット後の値は 0000 0000h です。

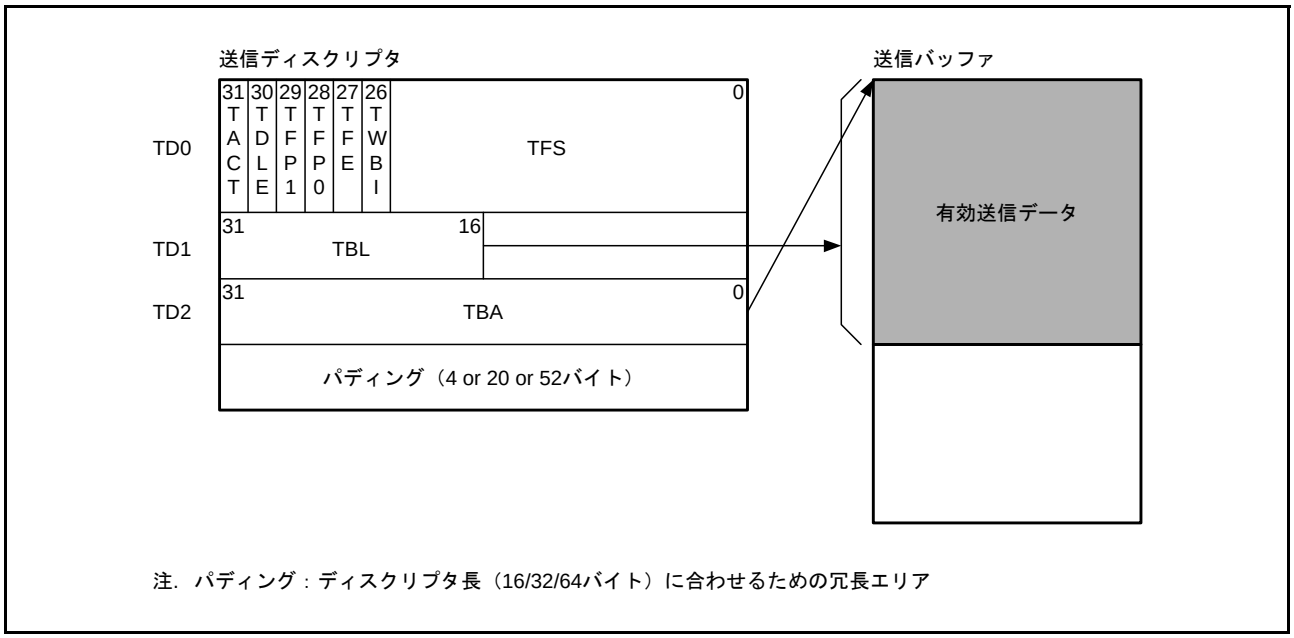


図 33.2　送信ディスクリプタと送信バッファの関係

(1)　送信ディスクリプタ 0（TD0）

ビット	シンボル	ビット名	機能	R/W
b25-b0	TFS	送信フレームステータス	TFS25～9：予約（書く場合、“0”としてください） TFS8：送信アボート検出 セット（＝1）時、フレーム送信中にアボート信号が“1”になったことを示します。（TFEセット要因） TFS7～4：予約（書く場合、“0”としてください） TFS3：ノーキャリア検出（EESR.CNDビットに相当） TFS2：キャリア消失検出（EESR.DLCビットに相当） TFS1：送信中の遅延衝突検出（EESR.CDビットに相当） TFS0：送信リトライオーバ（EESR.TROビットに相当） セット（＝1）時、フレーム送信中にTFS8～1が“1”になったことを示します。（TFEセット要因ですが、TRSCERによって設定可能）	R/W
b26	TWBI	ライトバック完了後割り込み指示	（TRIMDの設定によって有効となります。） 0：Nop 1：本ディスクリプタへのライトバック完了後割り込みます	R/W
b27	TFE	送信フレームエラー	0：フレーム受信を継続（通常動作） 1：フレーム受信中断発生	R/W
b29-b28	TFP[1:0]	送信フレーム内位置	b29　b28 0　0：ディスクリプタで指示する送信バッファのフレーム送信を維持する（フレームを完結しない） 0　1：ディスクリプタで指示する送信バッファはフレームの最後を含む（フレームを完結する） 1　0：ディスクリプタで指示する送信バッファはフレームの先頭である（フレームを完結しない） 1　1：ディスクリプタで指示する送信バッファの内容が1フレームに相当する（1フレーム／1バッファ）	R/W
b30	TDLE	送信ディスクリプタリング最終	TDLEビットがセットされると、当該ディスクリプタが送信ディスクリプタリングの最終であることを示します	R/W
b31	TACT	送信ディスクリプタ有効	当該ディスクリプタが有効であることを示します	R/W

注．　ライトバックするビットを下線で示しています。

TD0 は送信フレームのステータスを示します。これによってフレーム送信状態を連絡します。

TFE ビット（送信フレームエラービット）

TFE ビットが “1” のとき、TFS にエラーがあることを示します。（TFS7 ～ TFS0 については、TRSCER によって TFE ビットが “1” になるのを禁止することが可能です。ただし、TFS7 ～ TFS0 の要因が TFS8 も “1” になる場合は禁止できません。）

TFP ビット（送信フレーム内位置ビット）

送信バッファと送信フレームの関連づけを行います。前後のディスクリプタにおいて、TFP ビットおよび TBL ビットの設定は、理論的に正しい関係を維持してください。

TACT ビット（送信ディスクリプタ有効ビット）

当該ディスクリプタが有効であることを示します。TACT ビットはソフトウェアによってセット “1” になり、送信フレームを転送完了したときまたは何らかの要因によって送信がアボートされたときにハードウェアによって “0” になります。

(2) 送信ディスクリプタ 1（TD1）

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	TBL	送信バッファ長	対象となる送信バッファの有効バイト長を示します	R/W

TD1 は送信バッファの有効バイト長を示します。

(3) 送信ディスクリプタ 2（TD2）

ビット	シンボル	ビット名	機能	R/W
b31-b0	TBA	送信バッファアドレス	送信バッファの先頭アドレスを示します	R/W

TD2 は送信バッファの先頭アドレスを示します。

33.3.1.2 受信ディスクリプタ

図 33.3 に受信ディスクリプタと受信バッファの関係を示します。受信バッファのアドレスは 32 バイトバウンダリで設定してください。

受信バッファ長（RBL）0 のディスクリプタ指定の動作は保証されません。

各受信ディスクリプタのリセット後の値は 0000 0000h です。

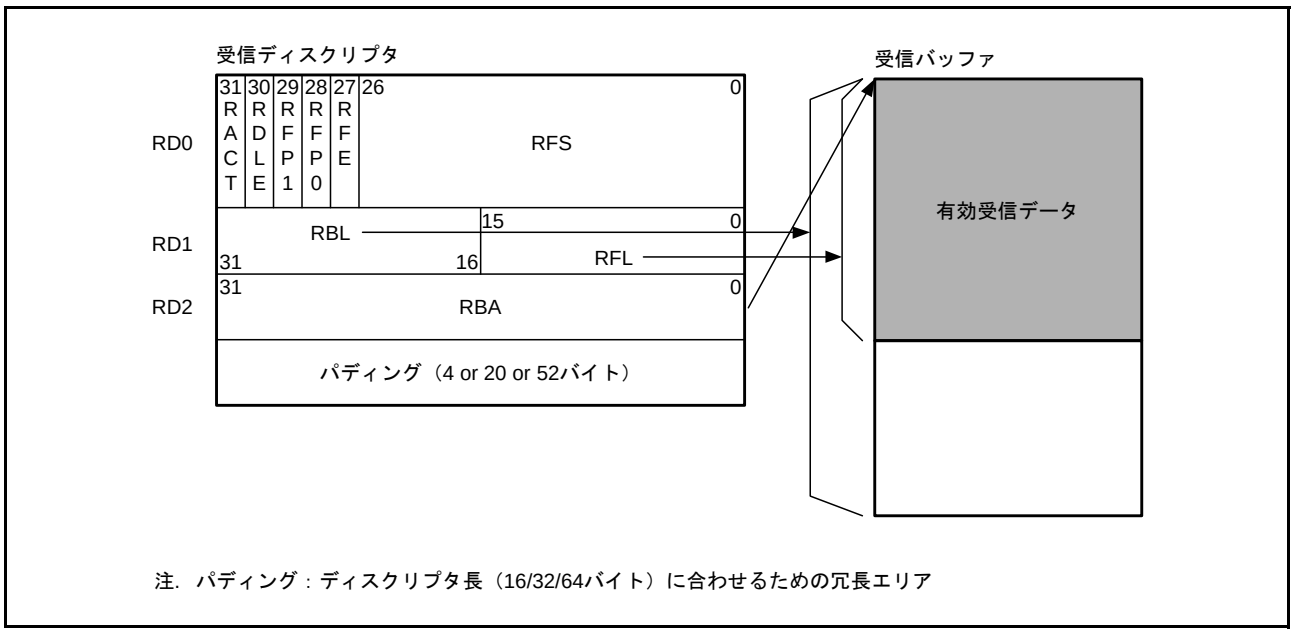


図 33.3　受信ディスクリプタと受信バッファの関係

(1)　受信ディスクリプタ 0（RD0）

ビット	シンボル	ビット名	機能	R/W
b26-b0	RFS	受信フレームステータス	RFS26～10：予約（書く場合、“0”としてください） RFS9：受信FIFOオーバフロー（EESRのRFOFビットに相当） “1”のとき、受信FIFOオーバフローによって、途中で切断されたフレームがライトバックされたことを示します。 RFS8：受信アボート検出（EESRのRABTビットに相当） “1”のとき、RFS3～RFS0のいずれかのビットが“1”になったことを示します RFS7：マルチキャストアドレスフレームを受信（EESRのRMAFビットに相当） RFS6、5：予約（書く場合、“0”としてください） RFS4：端数ビットフレーム受信（EESRのRRFビットに相当） RFS3：ロングフレーム受信エラー（EESRのRTLFビットに相当） RFS2：ショートフレーム受信エラー（EESRのRTSFビットに相当） RFS1：PHY-LSI受信エラー（EESRのPREビットに相当） RFS0：受信フレームCRCエラー（EESRのCERFビットに相当）	R/W
b27	RFE	受信フレームエラー	0：RFSにエラーなし 1：RFSにエラー発生	R/W
b29-b28	RFP[1:0]	受信フレーム内位置	b29　b28 0　0：本ディスクリプタで指示する受信バッファのフレーム受信を継続する（フレームを完結しない） 0　1：本ディスクリプタで指示する受信バッファはフレームの最後を含む（フレームを完結する） 1　0：本ディスクリプタで指示する受信バッファはフレームの先頭である（フレームを完結しない） 1　1：本ディスクリプタで指示する受信バッファの内容が1フレームに相当する（1フレーム／1バッファ）	R/W
b30	RDLE	受信ディスクリプタリング最終	RDLEビットがセットされると、当該ディスクリプタが受信ディスクリプタリングの最終であることを示します	R/W
b31	RACT	受信ディスクリプタ有効	当該ディスクリプタが有効であることを示します	R/W

注．　ライトバックするビットを下線で示しています。

RD0 は受信フレームのステータスを示します。これによってフレーム受信状態を連絡します。

RFE ビット（受信フレームエラービット）

RFE ビットが “1” のとき、RFS にエラーがあることを示します。（RFS7 ～ RFS0 については、TRSCER によって RFE ビットが “1” になるのを禁止することが可能です。ただし、RFS7 ～ RFS0 の要因によって RFS8 が “1” になるのを禁止できません。）

RFP ビット（受信フレーム内位置ビット）

受信バッファと受信フレームの関連づけを行います。

RACT ビット（受信ディスクリプタ有効ビット）

該当ディスクリプタが有効であることを示します。RACT ビットはソフトウェアによって “1” になり、受信フレームを RD2 で示されるバッファアドレスに転送し、フレームすべてを転送完了したとき、または受信バッファが一杯になった場合にハードウェアによって “0” になります。

(2) 受信ディスクリプタ 1（RD1）

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFL	受信フレーム長	バッファ内に格納された受信フレームの長さ（バイト数）を示します。RPADIRで指定されたパディング分のバイト数は含みません。フレームの最後を含むディスクリプタにライトバックされます	R/W
b31-b16	RBL	受信バッファ長	対象となる受信バッファのバイト長を示します。バッファ長は32×nの大きさで設定してください	R/W

注.　ライトバックするビットを下線で示しています。

RD1 は受信バッファ長および受信フレーム長を示します。

(3) 受信ディスクリプタ 2（RD2）

ビット	シンボル	ビット名	機能	R/W
b31～b0	RBA	受信バッファアドレス	受信バッファの先頭アドレスを示します。バッファアドレスは32バイト境界に設定してください	R/W

RD2 は受信バッファの先頭アドレスを示します。

33.3.2　送信機能

送信機能が有効で、EDTRR.TR ビットを “1” にすると EDMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初期状態では送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）で示すディスクリプタ）を読み込みます。読んだディスクリプタの TD0.TACT ビットが有効な場合、EDMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して ETHERC に転送します。ETHERC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TD0.TFP ビットの値によって以下のような処理を行います。

- TD0.TFP[1:0] = “00b ”or “10b” （フレーム継続）
  DMA 転送後、ディスクリプタのライトバック（TD0.TACT ビットのみ）を行います。
- TD0.TFP[1:0] = “01b” or “11b”（フレーム終了）
  フレームの送信完了後、ディスクリプタのライトバック（TD0.TACT ビットおよびステータス）を行います。

読み込んだディスクリプタの TD0.TACT ビットが有効な間は、EDMAC ディスクリプタの読み込みとフレームの送信を継続します。TD0.TACT ビットが無効なディスクリプタを読み込むと、EDMAC は EDTRR.TR ビットをリセットして送信処理を完了します。

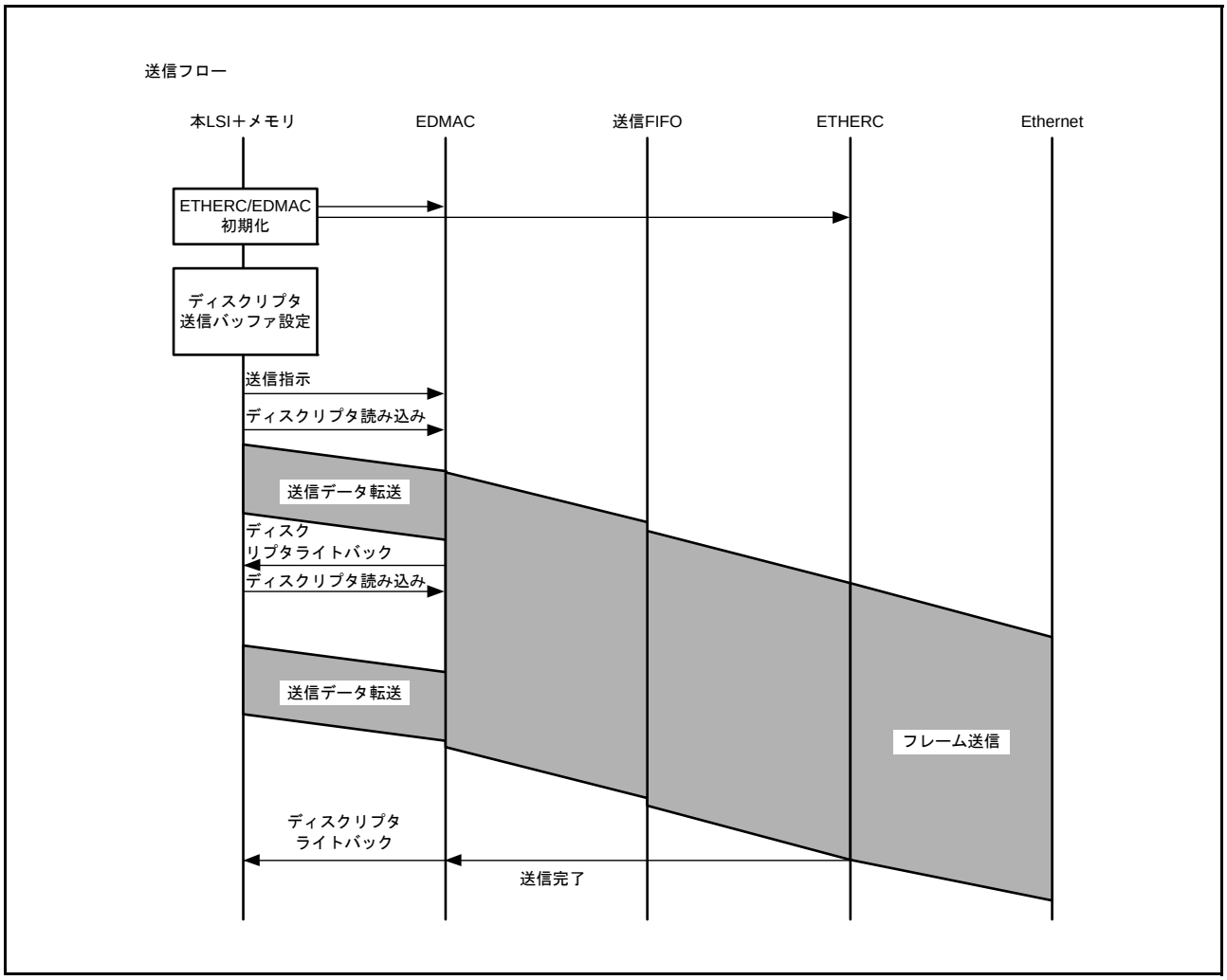


図 33.4　送信フローの例

33.3.3　受信機能

受信機能が有効で CPU が EDRRR.RR ビットを “1” にすると、EDMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初期状態では受信ディスクリプタ先頭アドレスレジスタ（RDLAR）で示すディスクリプタ）を読んだ後に受信待機状態となります。RD0.RACT ビットが有効でかつ自局あてのフレームを受信すると、RD2 で指定される受信バッファに転送します。受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、EDMAC はバッファが満了となった時点でディスクリプタにライトバック（RD0.RFP[1:0] = 10b or 00b）を行った後に次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック（RD0.RFP[1:0] = 11b or 01b）を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

なお連続してフレームを受信するには、受信方式制御レジスタ RMCR.RNC ビットを “1” にしてください。初期化後は、“0” になっています。

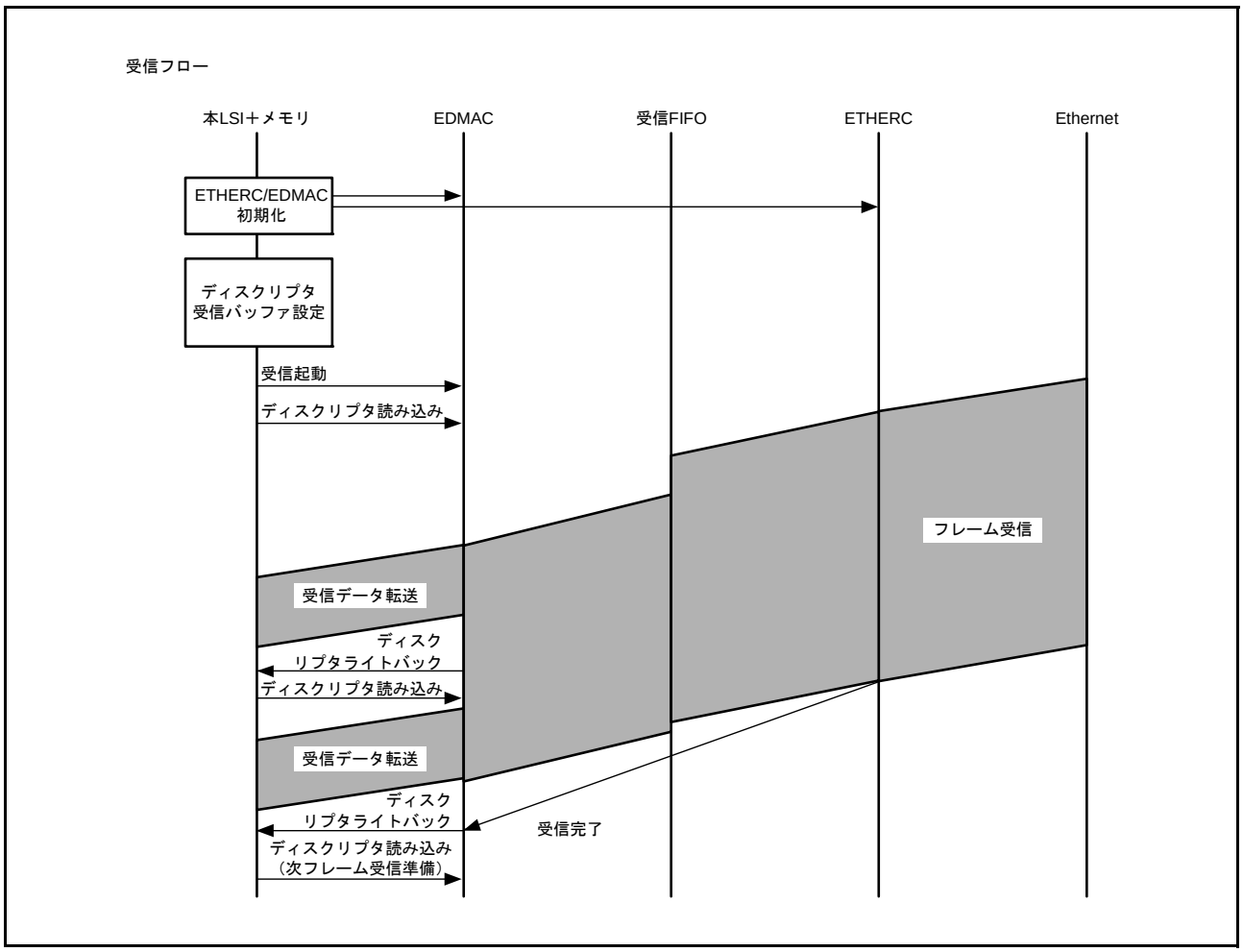


図 33.5　受信フローの例

33.3.4　マルチバッファフレームの送受信処理について

33.3.4.1　マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、EDMAC は図 33.6 に示す処理を行います。

図中で送信ディスクリプタが無効（TD0.TACT ビットが “0”）である部分は、すでにバッファデータを正常に送信したデータであることを、送信ディスクリプタが有効（TD0.TACT ビットが “1”）である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効（TD0.TACT ビットが “1”）で、かつ最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TD0.TACT ビットを “0” にします。その後、次のディスクリプタを読み、送信フレーム内の位置を TD0.TFP[1:0] ビットをもとに、継続 [00b] または終了 [01b] の判断を行います。継続ディスクリプタである場合は、TD0.TACT ビットを “0” にするのみで、すぐに次ディスクリプタの読み出しを行います。最終ディスクリプタである場合は、TD0.TACT ビットを “0” にするのみでなく、TD0.TFE ビットおよび TD0.TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

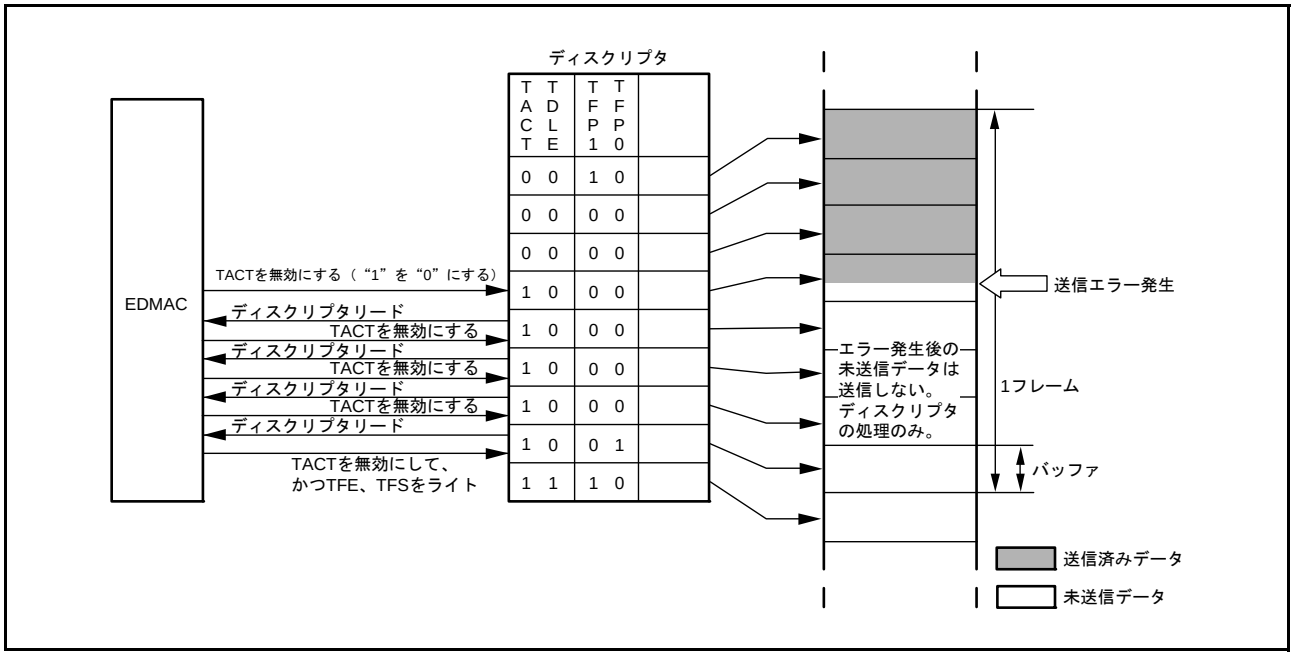


図 33.6　送信エラー発生後の EDMAC 動作

33.3.4.2　マルチバッファフレームの受信処理

マルチバッファフレームの受信中にエラーが発生した場合は、EDMAC は**図 33.7** に示す処理を行います。

図中で受信ディスクリプタが無効（RD0.RACT ビットが “0”）である部分はすでにバッファデータを正常に受信したデータであることを示し、受信ディスクリプタが有効（RD0.RACT ビットが “1”）である部分は未受信バッファであることを示します。図中で RD0.RACT ビットが “1” で、かつ最初のディスクリプタ部分でフレーム受信エラーが発生した場合は、ディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

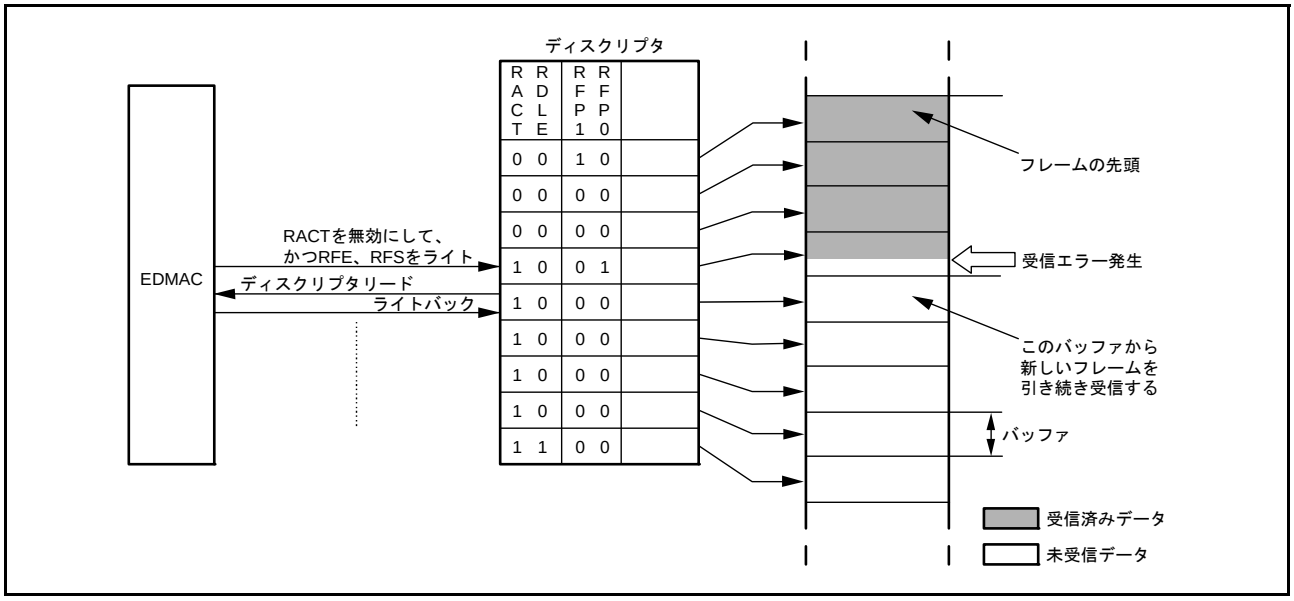


図 33.7　受信エラー発生後の EDMAC 動作

33.4　使用上の注意事項

33.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）によって、EDMAC の動作を禁止 / 許可することができます。リセット後の値では、EDMAC の動作は停止します。モジュールストップ状態を解除することによって、レジスタをアクセスできます。詳細は、**「11.　消費電力低減機能」**を参照してください。

34. USB2.0 ホスト / ファンクションモジュール（USBa）

34.1 概要

RX63N グループ、RX631 グループは、USB2.0 ホスト / ファンクションモジュール（USB0）と、USB2.0 ファンクションモジュール（USB1）の 2 ポートを内蔵しています。

USB は、ホストコントローラとファンクションコントローラを備えた USB コントローラです。

ホストコントローラと、ファンクションコントローラは、USB（Universal Serial Bus）規格 2.0 のフルスピード転送に対応します。また、USB は USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1 ～ 9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表 34.1 に USB の仕様を示します。

表34.1　USBの仕様

項目	内容
特長	• USB2.0に対応したUDC（USB Device Controller）およびトランシーバを内蔵 2ポート内蔵 USB0：ホストコントローラ機能/ファンクションコントローラ機能/OTGに対応 USB1：ファンクションコントローラ機能に対応 • ホストコントローラとファンクションコントローラを内蔵 （ソフトウェアで切り替え可能） • セルフパワーモードおよびバスパワーモードを選択可能 • OTG（ON-The-Go）に対応
	ホストコントローラ機能選択時 • フルスピード転送（12Mbps）に対応 • ハブを1段経由し、複数の周辺デバイスと接続し通信が可能 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能
	ファンクションコントローラ機能選択時 • フルスピード転送（12Mbps）に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補間機能
通信データ転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
内部バスインタフェース	内部周辺バス3に接続
パイプコンフィギュレーション	• USB通信用バッファメモリを内蔵 • 最大10本のパイプを選択可能（デフォルトコントロールパイプを含む） • パイプ1～9は任意のエンドポイント番号を割り付け可能
	各パイプの設定可能な転送条件 • パイプ0：コントロール転送専用のパイプ（デフォルトコントロールパイプ：DCP）、バッファサイズは8/16/32/64バイト（シングルバッファ） • パイプ1、2：バルク転送またはアイソクロナス転送を選択可能なパイプ、バッファサイズはバルク転送時バッファサイズは8/16/32/64バイト（ダブルバッファ指定可能）、アイソクロナス転送時 1～256バイト（ダブルバッファ指定可能） • パイプ3～5：バルク転送専用のパイプ、バッファサイズは8/16/32/64バイト（ダブルバッファ指定可能） • パイプ6～9：インタラプト転送専用のパイプ、1～64バイト（シングルバッファ）
その他の機能	• トランザクションカウントによる受信トランスファ終了機能 • BRDY割り込みイベント通知タイミング変更機能（BFRE） • DnFIFO（n = 0, 1）ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能（DCLRM） • トランスファ終了による応答PIDのNAK設定機能（SHTNAK）
消費電力低減機能	モジュールストップ状態への設定が可能

図 34.1 に USB のブロック図を示します。

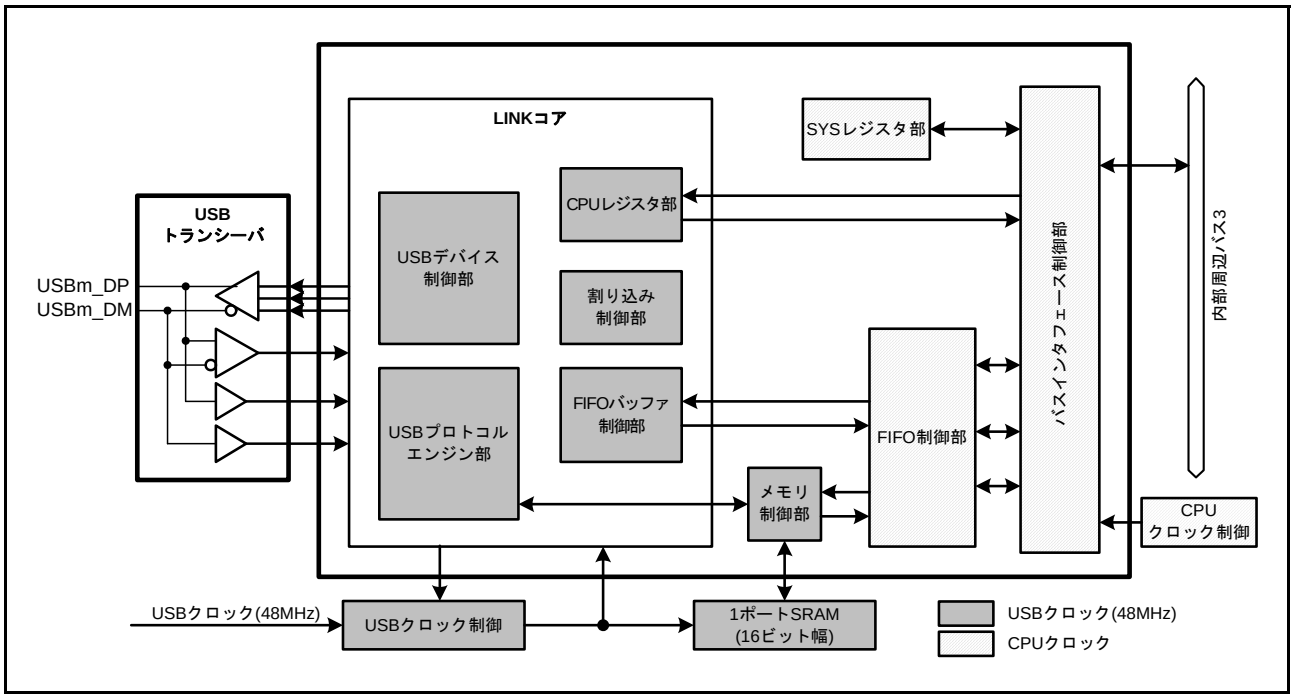


図 34.1　USB のブロック図

表 34.2 に USB の入出力端子を示します。

表34.2　USBの入出力端子

ポート	端子名	入出力	機能
USB0	USB0_DP	入出力	ポート0 USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB0_DM	入出力	ポート0 USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB0_VBUS	入力	ポート0 USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます
	USB0_EXICEN	出力	ポート0 外部電源（OTG）チップのローパワー制御信号
	USB0_VBUSEN	出力	ポート0 外部電源チップへのVBUS（5V）の供給許可信号
	USB0_OVRCURA USB0_OVRCURB	入力	ポート0 外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	ポート0 OTG動作時miniABコネクタのID入力信号を接続します
	USB0_DPUPE	出力	ポート0 ファンクション動作時のUSB D+信号の1.5kΩプルアップ抵抗の制御信号
	USB0_DPRPD USB0_DRPD	出力	ポート0 ホスト動作時のUSB D+およびD-信号の15kΩプルダウン抵抗の制御信号
USB1	USB1_DP	入出力	ポート1 USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB1_DM	入出力	ポート1 USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB1_VBUS	入力	ポート1 USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます
	USB1_DPUPE	出力	ポート1 ファンクション動作時のUSB D+信号の1.5kΩプルアップ抵抗の制御信号
共通	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グランド端子

34.2 レジスタの説明

34.2.1 システムコンフィギュレーションコントロールレジスタ（SYSCFG）

アドレス USB0.SYSCFG 000A 0000h、USB1.SYSCFG 000A 0200h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	—	—	DCFM（注1）	DRPD（注1）	DPRPU	—	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1. USB1.SYSCFG レジスタのb6、b5は、予約ビットです。

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USB動作許可ビット	0：USBの動作禁止 1：USBの動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DPRPU	D+ライン抵抗制御ビット	0：プルアップ禁止 1：プルアップ許可	R/W
b5	DRPD（注1）	D+/D-ライン抵抗制御ビット	0：プルダウン禁止 1：プルダウン許可	R/W
b6	DCFM（注1）	コントローラ機能選択ビット	0：ファンクションコントローラ機能を選択 1：ホストコントローラ機能を選択	R/W
b9-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBクロック許可ビット	0：USBへのクロック供給停止 1：USBへのクロック供給許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USB1.SYCSCFG レジスタのb6、b5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

USBE ビット（USB 動作許可ビット）

USB の動作禁止 / 許可を指定します。

USBE ビットを “1” から “0” に変更したときに初期化されるレジスタとビットを表 34.3 に示します。

USBE ビットの変更は、SCKE ビットが “1” のときに行ってください。

ホストコントローラ機能選択時は、DRPD ビットを “1” にした後、SYSSTS0.LNST[1:0] ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USBE ビットを “1” にしてください。

表34.3 USBEビットへの“0”書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	備考
ファンクションコントローラ機能	SYSSTS0	LNST[1:0]	ホストコントローラ機能選択時は値保持
	DVSTCTR0	RHST[2:0]	
	INTSTS0	DVSQ[2:0]	ホストコントローラ機能選択時は値保持
	USBADDR	USBADDR[6:0]	ホストコントローラ機能選択時は値保持
	USBREQ	BREQUEST[7:0]、 BMREQUESTTYPE[7:0]	ホストコントローラ機能選択時は値保持
	USBVAL	WVALUE[15:0]	ホストコントローラ機能選択時は値保持
	USBINDX	WINDEX[15:0]	ホストコントローラ機能選択時は値保持
	USBLENG	WLENGTH[15:0]	ホストコントローラ機能選択時は値保持
ホストコントローラ機能	DVSTCTR0	RHST[2:0]	
	FRMNUM	FRNM[10:0]	ファンクションコントローラ機能選択時は値保持

DPRPU ビット（D+ ライン抵抗制御ビット）

ファンクションコントローラ機能選択時、D+ ラインのプルアップの禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に DPRPU ビットを “1” にすると、USB は USBm_DPUPE 端子をアサートし、USB ホストに対してアタッチを通知することができます。また、DPRPU ビットを “1” から “0” に変更することにより、USB は USBm_DPUPE 端子をネゲートしますので、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの “1” 書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0” にしてください。

DRPD ビット（D+/D- ライン抵抗制御ビット）

ホストコントローラ機能選択時、USB0_DPRPD 端子および USB0_DRPD 端子により D+/D- ラインのプルダウンの禁止 / 許可を指定します。

DRPD ビットへの “1” 書き込みは、ホストコントローラ機能選択時に行ってください。

ファンクションコントローラ機能選択時は、DRPD ビットを “0” にしてください。

DCFM ビット（コントローラ機能選択ビット）

USB0 の機能を選択します。

DCFM ビットの変更は、DPRPU ビットが “0” かつ DRPD ビットが “0” のときに行ってください。

SCKE ビット（USB クロック許可ビット）

USB への 48MHz クロック供給の停止 / 許可を指定します。

SCKE ビットが “0” の場合、SYSCFG レジスタのみ、読み出し / 書き込みができます。

USB 内の他のレジスタは、SCKE ビットが “0” の場合には、読み出し / 書き込みはできません。

34.2.2　システムコンフィギュレーションステータスレジスタ 0（SYSSTS0）

アドレス　USB0.SYSSTS0 000A 0004h、USB1.SYSSTS0 000A 0204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OCVMON[1:0]（注1）		—	—	—	—	—	—	—	HTACT（注1）	—	—	—	IDMON（注1）	LNST[1:0]	
リセット後の値	0（注2）	0（注2）	0	0	0	0	0	0	0	0	0	0	0	0（注2）	0	0

注1.　USB1.SYSSTS0レジスタのb15、b14、b6、b2は、予約ビットです。
注2.　USB0_OVRCURA/USB0_OVRCURB端子およびUSB0_ID端子の状態に依存します。

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスモニタビット	b1 b0 0 0：SE0 0 1：J-State 1 0：K-State 1 1：SE1	R
b2	IDMON（注1）	外部ID0入力端子モニタビット	0：USB0_ID端子が“Low”のとき 1：USB0_ID端子が“High”のとき	R
b5-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	HTACT（注1）	USBホストシーケンサステータスモニタビット	0：USB0のホストシーケンサが完全に停止している 1：USB0のホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OCVMON[1:0]（注1）	外部USB0_OVRCURA/USB0_OVRCURB入力端子モニタビット	OCVMON[1]ビットにUSB0_OVRCURA端子の状態が表示されます OCVMON[0]ビットにUSB0_OVRCURB端子の状態が表示されます	R

注1.　USB1.SYSSTS0レジスタのb15、b14、b6、b2は、予約ビットです。読むと“0”が読み出されます。書き込みは無効になります。

LNST[1:0] ビット（USB データラインステータスモニタビット）

USB データバスライン（D+ ライン、D- ライン）のステータスが表示されます。

LNST[1:0] ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理（SYSCFG.DPRPU ビット を “1” にする）以後、ホストコントローラ機能選択時には、プルダウン許可（SYSCFG.DRPD ビットを “1” にする）以後に行ってください。

HTACT ビット（USB ホストシーケンサステータスモニタビット）

USB0 のホストシーケンサが完全に停止しているときに、HTACT ビットに “0” を示します。

USB0 のクロックを停止させるときには、HTACT ビットが “0” であることを確認してください。

OCVMON[1:0] ビット（外部 USB0_OVRCURA/USB0_OVRCURB 入力端子モニタビット）

外部電源チップからのオーバカレントのステータスが表示されます。

34.2.3 デバイスステートコントロールレジスタ 0（DVSTCTR0）

アドレス USB0.DVSTCTR0 000A 0008h、USB1.DVSTCTR0 000A 0208h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HNPBTOA（注1）	EXICEN（注1）	VBUSEN（注1）	WKUP	RWUPE（注1）	USBRST（注1）	RESUME（注1）	UACT（注1）	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1. USB1.DVSTCTR0レジスタのb11～b9、b7～b4は、予約ビットです。

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスビット	• ホストコントローラ機能選択時 b2 b0 ０００：通信速度不定（パワード時あるいは非接続時） １ｘｘ：USBバスリセット処理中 ００１：ロースピード接続時（注2） ０１０：フルスピード接続時 x：Don’t care • ファンクションコントローラ機能選択時 b2 b0 ０００：通信速度不定 １００：USBバスリセット処理中 ０１０：フルスピード接続時	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT（注1）	USBバス許可ビット	0：ダウンポート動作禁止（SOF送出禁止） 1：ダウンポート動作許可（SOF送出許可）	R/W
b5	RESUME（注1）	レジューム出力ビット	0：レジューム信号非出力 1：レジューム信号出力	R/W
b6	USBRST（注1）	USBバスリセット出力ビット	0：USBバスリセット信号非出力 1：USBバスリセット信号出力	R/W
b7	RWUPE（注1）	ウェイクアップ検出許可ビット	0：ダウンポートリモートウェイクアップ出力禁止 1：ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0：リモートウェイクアップ信号非出力 1：リモートウェイクアップ信号出力	R/W（注3）
b9	VBUSEN（注1）	USB0_VBUSEN出力端子制御ビット	VBUSENビット値がそのまま外部USB0_VBUSEN端子の状態として出力されます	R/W
b10	EXICEN（注1）	USB0_EXICEN出力端子制御ビット	EXICENビット値がそのまま外部USB0_EXICEN端子の状態として出力されます	R/W
b11	HNPBTOA（注1）	ホストネゴシエーションプロトコル（HNP）制御ビット	OTGにて使用時に、BデバイスからAデバイスに切り替える時に使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU=“0”またはSYSCFG.DCFM=“1”にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USB1.DVSTCTR0レジスタのb11～b9、b7～b4は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2. USBコントローラはロースピードデバイスとの通信はサポートしていません。本値が読み出されたときには上位アプリにて異常接続処理をしてください。
注3. “1”のみ書けます。

RHST[2:0] ビット（USB バスリセットステータスビット）

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ビットに “1” を書いた後、RHST[2:0] ビットは “100b” を示します。

ソフトウェアが USBRST ビットに “0” を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] ビットの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] ビットは “010b” を示し、DVST 割り込みが発生します。

UACT ビット（USB バス許可ビット）

ホストコントローラ機能選択時に、USB バス動作許可（USB バス上への SOF パケットの送出制御）を行います。

UACT ビットを “1” にすると、USB0 は USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアが UACT ビットに “1” を書いてから、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを “0” にした場合、USB0 は SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB0 は UACT ビットを “0” にします。

- 通信中（UACT ビットが “1” のとき）に DTCH 割り込みを検出した場合
- 通信中（UACT ビットが “1” のとき）に EOFERR 割り込みを検出した場合

UACT ビットに “1” を書くときは、USB バスリセット処理終了時（USBRST ビットへの “0” 書き込み）、または、サスペンドからのレジューム処理終了時（RESUME ビットへの “0” 書き込み）のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0” にしてください。

RESUME ビット（レジューム出力ビット）

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを “1” にすると、USB0 はポートを K-State ドライブし、レジューム出力を行います。

USB0 は、RESUME ビットが “1” の期間（ソフトウェアが RESUME ビットに “0” を書き込むまで）K-State 出力を継続します。RESUME ビットが “1” の期間（レジューム期間）は USB Specification2.0 に準拠した時間を確保してください。

RESUME ビットへの “1” 書き込みは、サスペンド中にのみ行ってください。

レジューム終了（RESUME ビットへの “0” 書き込み）と同時に UACT ビットに “1” を書いてください。

ファンクションコントローラ機能選択時は、“0” にしてください。

USBRST ビット（USB バスリセット出力ビット）

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを “1” にすると、USB0 は USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB0 は、USBRST ビットが “1” の期間（ソフトウェアが USBRST ビットに “0” を書くまで）SE0 出力を継続します。USBRST ビットが “1” の期間（USB バスリセット期間）は USB Specification2.0 に準拠した時間を確保してください。

通信中（UACT ビットが “1”）またはレジューム中（RESUME ビットが “1”）に USBRST ビットに “1” を書いた場合、USB0 は UACT ビットが “0” かつ RESUME ビットが “0” の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了（USBRST ビットへの “0” 書き込み）と同時に UACT ビットに “1” を書いてくだ

さい。
ファンクションコントローラ機能選択時は、“0” にしてください。

RWUPE ビット（ウェイクアップ検出許可ビット）

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止 / 許可を指定します。

RWUPE ビットを “1” にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5µs 間の K-State）を検出し、レジューム処理（K-State のドライブ）を行います。

RWUPE ビットを “0” にした場合、USB0 が USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。

RWUPE ビットを “1” にしたときには、サスペンド中であっても内部クロックを停止しないでください（SYSCFG.SCKE ビットを “1” にしてください）。

ファンクションコントローラ機能選択時は、“0” にしてください。

WKUP ビット（ウェイクアップ出力ビット）

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ（レジューム信号出力）禁止 / 許可を指定します。

USB は、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを “1” にすると、USB は 10ms の K-State を出力した後、WKUP ビットを “0” にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、USB は、サスペンド状態を検出した直後に WKUP ビットに “1” を書いて、2ms 待ってから K-State を出力します。

WKUP ビットへの “1” 書き込みは、デバイスステートがサスペンド（INTSTS0.DVSQ[2:0] ビットが “1xxb”）であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。WKUP ビットを “1” にする場合は、サスペンド中であっても内部クロックを停止しないでください。（SYSCFG.SCKE ビットが “1” の状態で WKUP ビットに “1” を書いてください。）

ホストコントローラ機能選択時は、“0” を書いてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル（HNP）制御ビット）

OTG にて使用時に、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが “1” であれば、内部ファンクション制御は SYSCFG.DPRPU ビットを “0” または SYSCFG.DCFM ビットを “1” にしても HNP 処理が終了するまでサスペンド状態を維持します。このとき、D+ の立ち下がりを検出しても、レジューム（RESM）割り込みは発生しません。

“1” にした後、ホストアタッチ（相手のプルアップ）検出または HNP 処理タイムアウト時に FW にて “0” を書き、HNP 処理を終了させます。

34.2.4 CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO）

アドレス　USB0.CFIFO 000A 0014h、USB0.D0FIFO 000A 0018h、USB0.D1FIFO 000A 001Ch
USB1.CFIFO 000A 0214h、USB1.D0FIFO 000A 0218h、USB1.D1FIFO 000A 021Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIFOPORT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	FIFOPORT[15:0]	FIFOポートビット	FIFOポートレジスタの有効ビットは、MBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを、表34.4、表34.5に示します	R/W

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータの読み出し / 書き込みを行うポートレジスタ（CFIFO、D0FIFO、D1FIFO）以外に、FIFO ポートに割り当てるパイプを選択するポート選択レジスタ（CFIFOSEL、D0FIFOSEL、D1FIFOSEL）、ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、D1FIFOCTR）で構成されています。

各 FIFO ポートには、下記に示す特長があります。

- DCP（コントロール転送）用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DMA 転送による FIFO バッファアクセスは D0FIFO あるいは D1FIFO ポートを通して行ってください。
- CPU による D1FIFO あるいは D0FIFO ポートアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、ポート選択レジスタの CURPIPE[3:0] ビットに設定するパイプ番号（選択パイプ）を変更できません（DMA 転送機能使用時など）。
- FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状況には、アクセス権が CPU 側にある場合と SIE 側にある場合の 2 種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスができません。

FIFOPORTT[15:0] ビット（FIFO ポートビット）

FIFOPORT[15:0] ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。

FIFO ポートレジスタへのアクセスは、ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、D1FIFOCTR）の FRDY ビットが “1” を示しているときのみ可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、D1FIFOSEL）の MBW ビットおよび BIGEND ビットの設定値により異なります。有効ビットを**表 34.4**、**表 34.5** に示します。

表34.4　16ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15～8	ビット7～0
0	N+1データ	N+0データ
1	N+0データ	N+1データ

表34.5　8ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15～8	ビット7～0
0	アクセス禁止（注1）	N+0データ
1	アクセス禁止（注1）	N+0データ

注1.　禁止領域を読むことは禁止です。

34.2.5 CFIFO ポート選択レジスタ（CFIFOSEL）
D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL）

- CFIFOSEL

アドレス　USB0.CFIFOSEL 000A 0020h、USB1.CFIFOSEL 000A 0220h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0 0 0 0：DCP（デフォルトコントロールパイプ） 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外：設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP選択時のCFIFOポートアクセス方向ビット	0：バッファメモリ読み出し選択 1：バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0：8ビット幅 1：16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリワインドビット	0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R/W （注1）
b15	RCNT	リードカウントモードビット	0：CFIFOの全受信データ読み出し終了時にDTLN[8:0]ビットを“0”クリア （ダブルバッファの場合は一面のみ読み出し終了時） 1：CFIFO受信データ読み出しごとにDTLN[8:0]ビットをカウントダウン	R/W

注1.　読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が “0000b” の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（CFIFO ポートアクセスパイプ指定ビット）

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

ISEL ビット（DCP 選択時の CFIFO ポートアクセス方向ビット）

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

MBW ビット（CFIFO ポートアクセスビット幅ビット）

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット（バッファポインタリワインドビット）

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを “1” にすると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW ビット を “1” にすることと CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを “1” にするときは、FRDY ビットが “1” であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

- D0FIFOSEL、D1FIFOSEL

アドレス　USB0.D0FIFOSEL 000A 0028h、USB0.D1FIFOSEL 000A 002Ch
USB1.D0FIFOSEL 000A 0228h、USB1.D1FIFOSEL 000A 022Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定ビット	b3 b0 0 0 0 0：DCP（デフォルトコントロールパイプ） 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外：設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0：8ビット幅 1：16ビット幅	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DMA転送要求許可ビット	0：DMA転送要求禁止 1：DMA転送要求許可	R/W
b13	DCLRM	選択パイプのデータ読み出し後の自動バッファメモリクリアモード	0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリワインドビット	0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R/W （注1）
b15	RCNT	リードカウントモードビット	0：DnFIFOの全受信データ読み出し終了時にDTLN[8:0]ビットを“0”クリア （ダブルバッファの場合は一面のみ読み出し終了時） 1：DnFIFO受信データ読み出しごとにDTLN[8:0]ビットをカウントダウン （n = 0, 1）	R/W

注1.　読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットを “0000b” にした場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（FIFO ポートアクセスパイプ指定ビット）

D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

MBW ビット（FIFO ポートアクセスビット幅ビット）

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット（DMA 転送要求許可ビット）

DMA 転送要求発行の禁止 / 許可を指定します。

DMA 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを “1” にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを “0” にした後で変更を行ってください。

DCLRM ビット（選択パイプのデータ読み出し後の自動バッファメモリクリアモード）

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。

DCLRM ビットを “1” にした場合、選択パイプに割り当てた FIFO バッファが空の状態で Zero-Length packet を受信したとき、または PIPECFG.BFRE ビット を “1” にしたときにショートパケットを受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ビットへの “1” 書き込みを USB が行います。

SOFCFG.BRDYM ビットを “1” にして USB を使用するときには、DCLRM ビットを “0” にしてください。

REW ビット（バッファポインタリワインドビット）

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを “1” にすると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW ビットを “1” にすることと “1” の設定と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを “1” にするときは、FRDY ビットが “1” であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモードビット）

CFIFOCTR.DTLN ビットの読み出しモードを指定します。

PIPECFG.BFRE ビットを “1” にして DnFIFO にアクセスを行う場合は、RCNT ビットを “0” にしてください。

34.2.6 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR）

アドレス　USB0.CFIFOCTR 000A 0022h、USB0.D0FIFOCTR 000A 002Ah、USB0.D1FIFOCTR 000A 002Eh
USB1.CFIFOCTR 000A 0222h、USB1.D0FIFOCTR 000A 022Ah、USB1.D1FIFOCTR 000A 022Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示ビット	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]ビットの説明を参照してください	R
b12-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディビット	0：FIFOポートアクセス不可能 1：FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0：無効 1：CPU側バッファメモリクリア	R/W （注1）
b15	BVAL	バッファメモリ有効フラグ	0：無効 1：書き込み終了	R/W （注2）

注1.　“0”を読んだ後、“1”のみ書けます。
注2.　“1”のみ書けます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、各 FIFO ポートに対応しています。

DTLN[8:0] ビット（受信データ長表示ビット）

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] ビットの値は、DnFIFOSEL.RCNT ビットの設定値により以下のように異なります。（n = 0, 1）

- RCNT = “0” のとき

CPU（DMAC）が FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB は受信データ長を DTLN[8:0] ビットに表示します。

PIPECFG.BFRE ビットが “1” のときには、読み出しが完了しても BCLR =“1” を行うまでは USB は受信データ長を保持します。

- RCNT ビットが “1” のとき

読み出しごとに USB は DTLN[8:0] ビットの表示をダウンカウントします。（MBW ビットが “0” のときは -1、MBW ビットが “1” のときは -2 ずつダウンカウント）

1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] ビットは “0” を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN[8:0] ビットに表示します。

FRDY ビット（FIFO ポートレディビット）

CPU（DMAC）から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB は FRDY ビットに “1” を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR ビットを “1” にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが “1” のときに、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット（CPU バッファクリアビット）

選択パイプの CPU 側の FIFO バッファをクリアする場合に “1” にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能な状態である場合でも、USB は片面の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR ビットを “1” にすると、USB は FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の DCPCTR.PID[1:0] ビットを NAK に設定した後で BCLR ビットを “1” にしてください。

選択パイプが送信方向の場合、BVAL フラグと BCLR ビットへ同時に “1” を書いた場合には、USB はそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの “1” 書き込みは、USB が FIFO ポートコントロールの FRDY ビットが “1” を示しているときに実施してください。

BVAL フラグ（バッファメモリ有効フラグ）

CURPIPE[3:0] ビットに指定したパイプ（選択パイプ）の CPU 側の FIFO バッファの書き込み終了時に “1” にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを “1” にしてください。USB は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL フラグを “1” にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に BVAL フラグを “1” にする

MaxPacketSize 分のデータを書くと、USB が BVAL フラグを “1” にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL フラグへの “1” 書き込みは、USB が FRDY ビットに “1” を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL フラグへの “1” 書き込みを行わないでください。

34.2.7　割り込み許可レジスタ 0（INTENB0）

アドレス　USB0.INTENB0 000A 0030h、USB1.INTENB0 000A 0230h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット（注1）	0：割り込み出力禁止 1：割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット（注1）	0：割り込み出力禁止 1：割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット（注1）	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W

注1.　RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ設定できます。ホストコントローラ機能選択時は、“1”にしないでください。

ソフトウェアが INTENB0 レジスタを “1” にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込みを発生させます。

USB は、INTENB0 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに “1” を表示します。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが “1” の状態で、ソフトウェアが INTENB0 レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は USB 割り込み発生させます。

34.2.8　割り込み許可レジスタ 1（INTENB1）

アドレス　USB0.INTENB1 000A 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCHE	接続検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W

注．　INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定できます。ファンクションコントローラ機能選択時は、“1”にしないでください。

INTENB1 レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、および SETUP トランザックションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアが INTENB1 レジスタを “1” にしたビットに対応する割り込みを USB0 が検出した場合に、USB0 は USB 割り込みを発生します。

USB0 は、INTENB1 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットに “1” を表示します。

各割り込み要因に対応する INTSTS1 レジスタのステータスビットが “1” の状態で、ソフトウェアが INTENB1 レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB0 は USB 割り込み発生させます。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

34.2.9 BRDY 割り込み許可レジスタ（BRDYENB）

アドレス USB0.BRDYENB 000A 0036h、USB1.BRDYENB 000A 0236h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE	PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1BRDYE	パイプ1のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2BRDYE	パイプ2のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3BRDYE	パイプ3のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8BRDYE	パイプ8のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9BRDYE	パイプ9のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットを “1” にすることを禁止するか、許可するかを指定します。

ソフトウェアが BRDYENB レジスタを “1” にしたパイプに対して、USB が BRDY 割り込みを検出した場合に、USB は BRDYSTS.PIPEnBRDY ビット (n=0 ～ 9) の対応するビットに “1” を表示し、INTSTS0.BRDY ビットに “1” を表示し、BRDY 割り込みを発生します。

BRDYSTS.PIPEnBRDY ビットのうち、少なくともひとつのビットが “1” の状態で、ソフトウェアが BRDYENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は BRDY 割り込みを発生します。

34.2.10 NRDY 割り込み許可レジスタ（NRDYENB）

アドレス USB0.NRDYENB 000A 0038h、USB1.NRDYENB 000A 0238h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1NRDYE	パイプ1のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2NRDYE	パイプ2のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3NRDYE	パイプ3のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8NRDYE	パイプ8のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9NRDYE	パイプ9のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に INTSTS0.NRDY ビットを “1” にすることを禁止するか、許可するかを指定します。

ソフトウェアが NRDYENB レジスタを “1” にしたパイプに対して、USB が NRDY 割り込み要因を検出した場合に、USB は NRDYSTS.PIPEnNRDY ビット (n=0 ～ 9) の対応するビットに “1” を表示し、INTSTS0.NRDY ビットに “1” を表示し、NRDY 割り込みを発生します。

NRDYSTS.PIPEnNRDY ビットの少なくともひとつのビットが “1” の状態で、ソフトウェアが NRDYENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は NRDY 割り込みを発生します。

34.2.11 BEMP 割り込み許可レジスタ（BEMPENB）

アドレス USB0.BEMPENB 000A 003Ah、USB1.BEMPENB 000A 023Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE	PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1BEMPE	パイプ1のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2BEMPE	パイプ2のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3BEMPE	パイプ3のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8BEMPE	パイプ8のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9BEMPE	パイプ9のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0.BEMP ビットを “1” にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアが BEMPENB レジスタを “1” にしたパイプに対して、USB が BEMP 割り込み要因を検出した場合に、USB は BEMPSTS.PIPEnBEMP ビット (n=0 ～ 9) の対応するビットに “1” を表示し、INTSTS0.BEMP ビットに “1” を表示し、BEMP 割り込みを発生します。

BEMPSTS.PIPEnBEMP ビットのうち、少なくともひとつのビットが “1” の状態で、ソフトウェアが BEMPENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB は BEMP 割り込みを発生します。

34.2.12 SOF 出力コンフィグレーションレジスタ（SOFCFG）

アドレス USB0.SOFCFG 000A 003Ch、USB1.SOFCFG 000A 023Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRNENSEL（注1）	—	BRDYM	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1. USB1.SOFCFG レジスタの b8 は、予約ビットです。

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS（注1）	エッジ割り込み出力ステータスモニタビット	エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します。	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDYM	BRDY割り込みステータスクリアタイミング設定ビット	0：ソフトウェアがステータスをクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBがステータスをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRNENSEL（注1）（注2）	トランザクション有効期間切り替えビット	0：ロースピード未対応 1：ロースピード対応	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ割り込み出力信号を使用しないシステムでは不要なビットです。
注2. USB1.SOFCFG レジスタの b8 は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

EDGESTS ビット（エッジ割り込み出力ステータスモニタビット）

エッジ割り込み出力信号がエッジ処理中であるとき、“1” を示します。

USB のクロックを停止するときは、EDGESTS ビットが “0” であることを確認してください。

BRDYM ビット（BRDY 割り込みステータスクリアタイミング設定ビット）

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

TRNENSEL ビット（トランザクション有効期間切り替えビット）

フルスピードまたはロースピード通信中のポートにおいて、1 フレーム中に USB0 がトークン発行を行う期間（トランザクション有効期間）を指定します。

TRNENSEL ビットには、HUB 経由でロースピードデバイスが接続されたときに “1” にしてください。

TRNENSEL ビットは、ホストコントローラ機能選択時のみ有効です。

ファンクションコントローラ機能選択時は、“0” にしてください。

34.2.13 割り込みステータスレジスタ 0（INTSTS0）

アドレス USB0.INTSTS0 000A 0040h、USB1.INTSTS0 000A 0240h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
リセット後の値	0	0	0	0/1（注1）	0	0	0	0	0（注2）	0	0	0/1（注3）	0	0	0	0

注1. パワーオンリセットのとき“0”、USBバスリセットのとき“1”になります。
注2. USBm_VBUS端子がHighのとき“1”、Lowのとき“0”です。
注3. パワーオンリセットのとき“000b”、USBバスリセットのとき“001b”になります。

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージビット	b2 b0 0 0 0：アイドルまたはセットアップステージ 0 0 1：コントロールリードデータステージ 0 1 0：コントロールリードステータスステージ 0 1 1：コントロールライトデータステージ 1 0 0：コントロールライトステータスステージ 1 0 1：コントロールライト（NoData）ステータスステージ 1 1 0：コントロール転送シーケンスエラー 1 1 1：設定しないでください	R
b3	VALID	USBリクエストビット	0：未検出 1：セットアップパケット受信	R/W（注1）
b6-b4	DVSQ[2:0]	デバイスステートビット	b6 b4 0 0 0：パワードステート 0 0 1：デフォルトステート 0 1 0：アドレスステート 0 1 1：コンフィギュレーションステート 1 x x：サスペンドステート （x：Don’t care）	R
b7	VBSTS	VBUS入力ステータスビット	0：USBm_VBUS端子がLow 1：USBm_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスビット	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータスビット	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータスビット	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータスビット（注2）	0：コントロール転送ステージ遷移割り込み発生なし 1：コントロール転送ステージ遷移割り込み発生あり	R/W（注1）
b12	DVST	デバイスステート遷移割り込みステータスビット（注2）	0：デバイスステート遷移割り込み発生なし 1：デバイスステート遷移割り込み発生あり	R/W（注1）
b13	SOFR	フレーム番号更新割り込みステータスビット	0：SOF割り込み発生なし 1：SOF割り込み発生あり （1）ホストコントローラ機能設定時 ソフトウェアがUACTビットを“1”に設定しているとき、フレームナンバの更新タイミングでSOFRビットに“1”を表示します。（SOFR割り込みは、1msごとに検出します。） （2）ファンクションコントローラ機能設定時 フレームナンバの更新時にUSBはSOFRビットに“1”を表示します。（SOFR割り込みは、1msごとに検出します。） USBホストからのSOFパケットが破損したときでも、内部補間により、USBはSOFR割り込みを検出します。	R/W（注1）
b14	RESM	レジューム割り込みステータスビット（注2、注3）	0：レジューム割り込み発生なし 1：レジューム割り込み発生あり	R/W（注1）
b15	VBINT	VBUS割り込みステータスビット（注3）	0：VBUS割り込み発生なし 1：VBUS割り込み発生あり	R/W（注1）

注1. VBINTビット、RESMビット、SOFRビット、DVSTビット、CTRTビットまたはVALIDビットをクリアする場合は、クリアしたい

ビットにのみ“0”を、その他のビットには“1”を書き込んでください。“0”を示しているステータスビットへの“0”書き込みを行わないでください。

注2. RESMビット、DVSTビット、CTRTビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”（禁止）にしてください。

注3. VBINTビット、RESMビットが示すステータス変化をクロック停止中（SCKEビットが“0”）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

CTSQ[2:0] ビット（コントロール転送ステージビット）

ホストコントローラ機能選択時、読み出しは無効です。

VALID ビット（USB リクエストビット）

ホストコントローラ機能選択時、読み出しは無効です。

DVSQ[2:0] ビット（デバイスステートビット）

USB バスリセットで DVSQ[2:0] ビットは初期化されます。

ホストコントローラ機能選択時、読み出しは無効です。

BRDY ビット（バッファレディ割り込みステータスビット）

BRDY 割り込みステータスが表示されます。

BRDYENB.PIPEnBRDYE ビット (n=0 ～ 9) を “1” にしたパイプに対応する BRDYSTS.PIPEnBRDY ビット (n=0 ～ 9) のうち、少なくともひとつが “1” になったとき（ソフトウェアが BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BRDY 割り込み状態を検出したとき）に、USB は BRDY ビットに “1” を表示します。

PIPEnBRDY ステータスのアサート条件は、「34.3.3.1　BRDY 割り込み」を参照ください。

ソフトウェアが、PIPEnBRDYE ビットで許可しているパイプに対応する PIPEnBRDY ビットのすべてに “0” を書くと、USB は BRDY ビットを “0” にします。

ソフトウェアが BRDY ビットに対して “0” を書いても、BRDY ビットを “0” にすることはできません。

NRDY ビット（バッファノットレディ割り込みステータスビット）

NRDYENB.PIPEnNRDYE ビット (n=0 ～ 9) を “1” にしたパイプに対応する NRDYSTS.PIPEnNRDY ビット (n=0 ～ 9) のうち、少なくともひとつが “1” になったとき（ソフトウェアが NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が NRDY 割り込み状態を検出したとき）に、USB は NRDY ビットに “1” を表示します。

PIPEnNRDY ステータスのアサート条件は、「34.3.3.2　NRDY 割り込み」」を参照ください。

ソフトウェアが、PIPEnNRDYE ビットで許可しているパイプに対応する PIPEnNRDY ビットのすべてに “0” を書くと、USB は NRDY ビットを “0” にします。

ソフトウェアが NRDY ビットに対して “0” を書いても、NRDY ビットを “0” にすることはできません。

BEMP ビット（バッファエンプティ割り込みステータスビット）

BEMPENB.PIPEnBEMPE ビット (n=0 ～ 9) を “1” にしたパイプに対応する BEMPSTS.PIPEnBEMP ビット (n=0 ～ 9) のうち、少なくともひとつが “1” になったとき（ソフトウェアが BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BEMP 割り込み状態を検出したとき）に、USB は BEMP ビットに “1” を表示します。

PIPEnBEMP ステータスのアサート条件は、「34.3.3.3　BEMP 割り込み」を参照ください。

ソフトウェアが、PIPEnBEMPE ビットで許可しているパイプに対応する PIPEnBEMP ビットすべてに “0” を書くと、USB は BEMP ビットを “0” にします。

ソフトウェアが BEMP ビットに対して “0” を書いても、BEMP ビットを “0” にすることはできません。

CTRT ビット（コントロール転送ステージ遷移割り込みステータスビット）

ファンクションコントローラ機能設定時、USB がコントロール転送のステージ遷移を検出したときに、USB は CTSQ[2:0] ビットの値を更新し、CTRT ビットに “1” を表示します。

コントロール転送ステージ遷移割り込みが発生したときには、USB がコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

DVST ビット（デバイスステート遷移割り込みステータスビット）

ファンクションコントローラ機能設定時、USB がデバイスステートの変化を検出したときに、USB は DVSQ[2:0] ビットの値を更新し、DVST ビットに “1” を表示します。

デバイスステート遷移割り込みが発生したときには、USB が次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

SOFR ビット（フレーム番号更新割り込みステータスビット）

(1) ホストコントローラ機能設定時

ソフトウェアが DVSTCTR0.UACT ビットを “1” にしているとき、フレームナンバの更新タイミングで SOFR ビットに “1” を表示します。（フレーム番号更新割り込みは、1ms ごとに検出します。）

(2) ファンクションコントローラ機能設定時

フレームナンバの更新時に USB は SOFR ビットに “1” を表示します。（フレーム番号更新割り込みは、1ms ごとに検出します。）

USB ホストからの SOF パケットが破損したときでも、内部補間により、USB は SOFR 割り込みを検出します。

RESM ビット（レジューム割り込みステータスビット）

ファンクションコントローラ機能設定時、USB がサスペンド状態（DVSQ[2:0] ビットが “1xxb”）であり、かつ、USBm_DP 端子の立ち下りを検出したときに、RESM ビットに “1” を表示します。

ホストコントローラ機能選択時、読み出し値は無効です。

VBINT ビット（VBUS 割り込みステータスビット）

USB が USBm_VBUS 端子入力値の変化（High から Low への変化あるいは Low から High への変化）を検出したときに、VBINT ビットに “1” を表示します。USB は USBm_VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

34.2.14　割り込みステータスレジスタ 1（INTSTS1）

アドレス　USB0.INTSTS1 000A 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答割り込みステータスビット	0：SACK割り込み発生なし 1：SACK割り込み発生あり	R/W（注1）
b5	SIGN	セットアップトランザクションエラー割り込みステータスビット	0：SIGN割り込み発生なし 1：SIGN割り込み発生あり	R/W（注1）
b6	EOFERR	EOFエラー検出割り込みステータスビット	0：EOFERR割り込み発生なし 1：EOFERR割り込み発生あり	R/W（注1）
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH割り込みステータスビット	0：ATTCH割り込み発生なし 1：ATTCH割り込み発生あり	R/W（注1）
b12	DTCH	USB切断検出割り込みステータスビット	0：DTCH割り込み発生なし 1：DTCH割り込み発生あり	R/W（注1）
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBバス変化割り込みステータスビット（注2）	0：BCHG割り込み発生なし 1：BCHG割り込み発生あり	R/W（注1）
b15	OVRCR	オーバカレント入力変化割り込みステータスビット（注2）	0：OVRCR割り込み発生なし 1：OVRCR割り込み発生あり	R/W（注1）

注1.　INTSTS1レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。

注2.　OVRCRビットおよびBCHGビットが示すステータス変化をクロック停止中（SYSCFG.SCKEビットが“0”）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。OVRCRビットおよびBCHGビット以外の割り込みは、クロック停止中（SYSCFG.SCKEビットが“0”）は検出しません。

INTSTS1 レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

SACK ビット（セットアップトランザクション正常応答割り込みステータスビット）

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USB0 が発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、USB0 は SACK 割り込みを検出し、SACK ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB0 は SACK 割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

SIGN ビット（セットアップトランザクションエラー割り込みステータスビット）

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USB0 が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、USB0 は SIGN 割り込みを検出し、SIGN ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB0 は SIGN 割り込み発生をします。

USB0 の SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USB0 がタイムアウトを検出したとき
- ACK パケットが破損したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

EOFERR ビット（EOF エラー検出割り込みステータスビット）

ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。

USB2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを USB0 が検出したときに、EOFERR 割り込みを検出し、EOFERR ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB0 は EOFERR 割り込みを発生します。

USB0 は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

ATTCH ビット（ATTCH 割り込みステータスビット）

ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。

USB0 がポートにフルスピード信号レベルの J-State または K-State を 2.5μs 間検出したとき、USB0 は ATTCH 割り込みを検出し、ATTCH ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB0 は割り込み発生をします。

USB0 の ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5μs 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5μs 間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

DTCH ビット（USB 切断検出割り込みステータスビット）

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクト検出時に、USB0 は DTCH 割り込みを検出し、DTCH ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB0 は割り込み発生します。

USB0 は、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。

USB0 は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

BCHG ビット（USB バス変化割り込みステータスビット）

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルでの状態変化が発生した（J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した）ときに、USB0 は BCHG 割り込みを検出し、BCHG ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB0 は割り込み発生を発生させます。

USB ポートの現在の入力状態を、SYSSTS0.LNST[1:0] ビットに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST[1:0] ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

OVRCR ビット（オーバカレント入力変化割り込みステータスビット）

USB0_OVRCURA および USB0_OVRCURB 入力端子の変化割り込みステータスが表示されます。

USB0_OVRCURA または USB0_OVRCURB 端子入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）したときに、USB0 は OVRCR 割り込みを検出し、OVRCR ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB0 は割り込みを発生させます。

34.2.15 BRDY 割り込みステータスレジスタ（BRDYSTS）

アドレス USB0.BRDYSTS 000A 0046h、USB1.BRDYSTS 000A 0246h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BRDY	PIPE8BRDY	PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータスビット（注2）	0：割り込み発生なし 1：割り込み発生あり	R/W（注1）
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SOFCFG.BRDYMビットが“0”の場合、BRDYSTSレジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。
注2. SOFCFG.BRDYMビットが“0”の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

34.2.16 NRDY 割り込みステータスレジスタ（NRDYSTS）

アドレス USB0.NRDYSTS 000A 0048h、USB1.NRDYSTS 000A 0248h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NRDYSTSレジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。

34.2.17 BEMP 割り込みステータスレジスタ（BEMPSTS）

アドレス USB0.BEMPSTS 000A 004Ah、USB1.BEMPSTS 000A 024Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP	PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータスビット	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BEMPSTSレジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。

34.2.18　フレームナンバレジスタ（FRMNUM）

アドレス　USB0.FRMNUM 000A 004Ch、USB1.FRMNUM 000A 024Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号ビット	フレーム番号表示	R
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラービット	0：エラーなし 1：エラー発生	R/W （注1）
b15	OVRN	オーバラン/アンダーラン検出ステータスビット	0：エラーなし 1：エラー発生	R/W （注1）

注1.　“0”のみ書けます。

FRNM[10:0] ビット（フレーム番号ビット）

USB は、1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に FRNM[10:0] ビットを書き替え、最新のフレーム番号を表示します。

FRNM[10:0] ビットを読み出すときは、2 度一致で読み出してください。

CRCE ビット（受信データエラービット）

アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアは、CRCE ビットに “0” を書くことにより CRCE ビットを “0” にすることができます。

このとき FRMNUM レジスタの他のビットには “1” を書いてください。

(1) ホストコントローラ機能選択時

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させます。

(2) ファンクションコントローラ機能選択時

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させません。

OVRN ビット（オーバラン / アンダーラン検出ステータスビット）

アイソクロナス転送を行っているパイプに対するオーバラン / アンダーランエラー検出の有無が表示されます。

ソフトウェアは、OVRN ビットに “0” を書くことにより、OVRN ビットを “0” にすることができます。このとき、FRMNUM レジスタの他のビットには “1” を書いてください。

(1) ホストコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN ビットに “1” を表示します。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

(2) ファンクションコントローラ機能選択時

以下のいずれかの場合に、USB が OVRN ビットに “1” を表示します。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき

- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

34.2.19　デバイスステート切り替えレジスタ（DVCHGR）

アドレス　USB0.DVCHGR 000A 004Eh、USB1.DVCHGR 000A 024Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DVCHG	デバイスステート切り替えビット	0：USBADDR.STSRECOV[3:0]ビットおよびUSBADDR.USBADDR[6:0]ビットへの書き込み無効 1：USBADDR.STSRECOV[3:0]ビットおよびUSBADDR.USBADDR[6:0]ビットへの書き込み許可	R/W

詳細は「34.3.1.4　USB サスペンド / レジューム割り込みによるディープソフトウェア スタンバイモードの解除」を参照してください。

34.2.20　USB アドレスレジスタ（USBADDR）

アドレス　USB0.USBADDR 000A 0050h、USB1.USBADDR 000A 0250h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	STSRECOV[3:0]				—	USBADDR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	USBADDR[6:0]	USBアドレスビット	ファンクションコントローラ機能選択時、SET_ADRESSリクエストを正常に処理したときに、ホストから割り付けられたUSBアドレスを表示します	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	STSRECOV[3:0]	ステータスリカバリービット	● ファンクションコントローラ機能選択時の復帰 b11 b8 1 0 0 1：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが“010b”）、INTSTS0.DVSQ[2:0]ビットが“001b”（Defaultステート） 1 0 1 0：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが“010b”）、INTSTS0.DVSQ[2:0]ビットが“010b”（Addressステート） 1 0 1 1：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが“010b”）、INTSTS0.DVSQ[2:0]ビットが“011b”（Configuaredステート） 上記以外：設定しないでください ● ホストコントローラ機能選択時の復帰 b11 b8 1 0 0 0：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが“010b”） 上記以外：設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

USBADDR[6:0] ビット（USB アドレスビット）

USB が USB バスリセットを検出したとき、USBADDR[6:0] ビットに 00h を表示します。

DVCHGR.DVCHG ビットを “1” にしているときに書き込み可能となり、USB 電源遮断から復帰時に、ソフトウェアにて遮断前の USB アドレスへ設定することができます。

ホストコントローラ機能選択時、USBADDR[6:0] ビットは無効です。

USBADDR[6:0] ビットは、USB バスリセット検出で初期化されます。

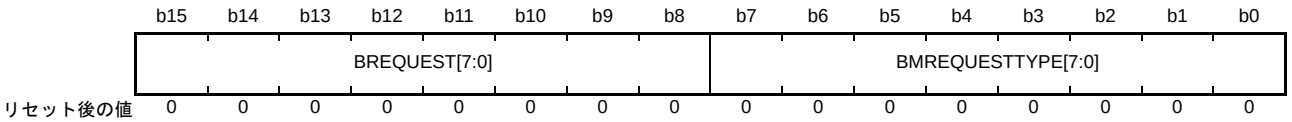
STSRECOV[3:0] ビット（ステータスリカバリービット）

USB 電源遮断から復帰するときの USB の内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細は「34.3.1.4　USB サスペンド / レジューム割り込みによるディープソフトウェア スタンバイモードの解除」を参照してください。

STSRECOV[3:0] ビットは、DVCHGR.DVCHG ビットを “1” にしているときのみ書き込みが可能です。

34.2.21 USB リクエストタイプレジスタ（USBREQ）

アドレス USB0.USBREQ 000A 0054h、USB1.USBREQ 000A 0254h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USBリクエストbmRequestTypeの値	R/W（注1）
b15-b8	BREQUEST[7:0]	リクエストビット	USBリクエストbRequestの値	R/W（注1）

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット（リクエストタイプビット）

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラ機能選択時
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが “1” の状態で BMREQUESTTYPE[7:0] ビットの書き替えは行わないでください
- ファンクションコントローラ機能選択時
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です

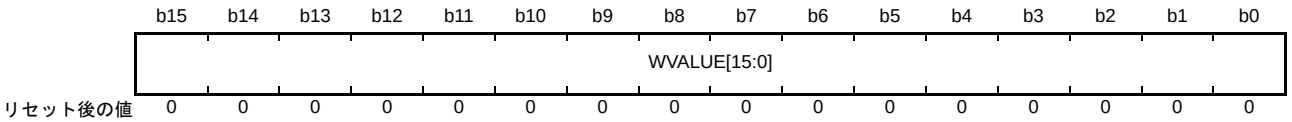
BREQUEST[7:0] ビット（リクエストビット）

USB リクエスト bRequest の値を格納します。

- ホストコントローラ機能選択時
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが “1” の状態で BREQUEST[7:0] ビットの書き替えは行わないでください。
- ファンクションコントローラ機能選択時
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

34.2.22 USB リクエストバリューレジスタ（USBVAL）

アドレス USB0.USBVAL 000A 0056h、USB1.USBVAL 000A 0256h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュービット	USB リクエスト wValue の値	R/W（注1）

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBVAL レジスタは、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

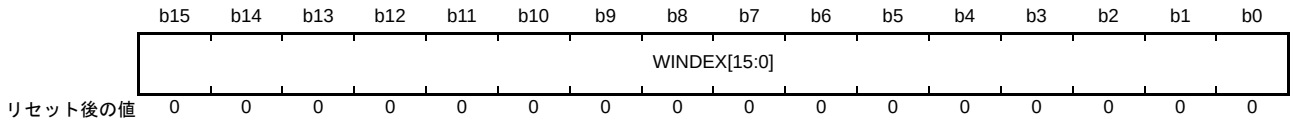
WVALUE[15:0] ビット（バリュービット）

USB リクエスト wValue の値を格納します。

- ホストコントローラ機能を選択時
  送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。
  DCPCTR.SUREQ ビットが “1” の状態で WVALU[15:0] ビットの書き替えは行わないでください。
- ファンクションコントローラ選択時
  SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。WVALU[15:0] ビットへの書き込みは無効です。

34.2.23　USB リクエストインデックスレジスタ（USBINDX）

アドレス　USB0.USBINDX 000A 0058h、USB1.USBINDX 000A 0258h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックスビット	USB リクエスト wIndex の値	R/W（注1）

注1.　ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

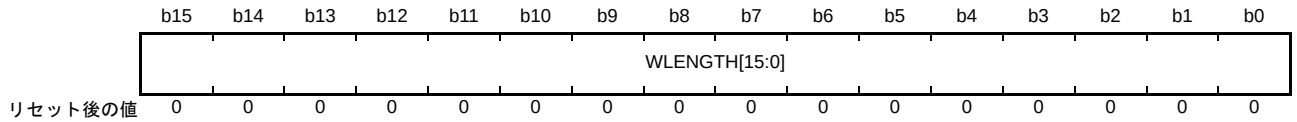
WINDEX[15:0] ビット（インデックスビット）

USB リクエスト wIndex の値を格納します。

- ホストコントローラ機能を選択時
  送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。
  DCPCTR.SUREQ ビットが “1” の状態で WINDEX[15:0] ビットの書き替えは行わないでください
- ファンクションコントローラ選択時
  SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します
  WINDEX[15:0] ビットへの書き込みは無効です。

34.2.24　USB リクエストレングスレジスタ（USBLENG）

アドレス　USB0.USBLENG 000A 005Ah、USB1.USBLENG 000A 025Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENGTH[15:0]	レングスビット	USBリクエストwLengthの値	R/W（注1）

注1.　ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

WLENGTH[15:0] ビット（レングスビット）

USB リクエスト wLength の値を格納します。

- ホストコントローラ機能を選択時
  送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。
  DCPCTR.SUREQ ビットが “1” の状態でビットの書き換えは行わないでください。
- ファンクションコントローラ選択時
  SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。WLENGTH [15:0] ビットへの書き込みは無効です。

34.2.25 DCP コンフィギュレーションレジスタ（DCPCFG）

アドレス USB0.DCPCFG 000A 005Ch、USB1.DCPCFG 000A 025Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SHTNAK	—	—	DIR（注1）	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1. USB1.DCPCFG レジスタのb4は、予約ビットです。

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR （注1）	転送方向設定ビット（注2）	0：データ受信方向 1：データ送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット（注2）	0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USB1.DCPCFG レジスタのb4は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2. 設定の変更は、PID = NAKの状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DIR ビット（転送方向設定ビット）

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを “0” にしてください。

SHTNAK ビット（トランスファ終了時のパイプ禁止ビット）

コントロール転送が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。

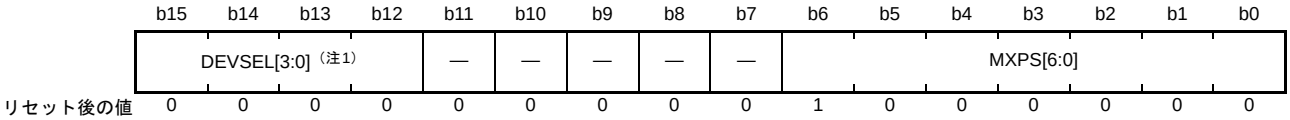
SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを “1” にしている場合、USB は、トランスファの終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき

34.2.26 DCP マックスパケットサイズレジスタ（DCPMAXP）

アドレス USB0.DCPMAXP 000A 005Eh、USB1.DCPMAXP 000A 025Eh



注1. USB1.DCPMAXP レジスタのb15-b12は、予約ビットです。

ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット（注2）	DCPの最大データペイロード（マックスパケットサイズ）設定	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]（注1）	デバイス選択ビット（注3）	b15 b12 0 0 0 0：アドレス0000 0 0 0 1：アドレス0001 0 0 1 0：アドレス0010 0 0 1 1：アドレス0011 0 1 0 0：アドレス0100 0 1 0 1：アドレス0101 上記以外：設定しないでください	R/W

注1. USB1.DCPMAXP レジスタのb15-b12は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2. MXPS[6:0] ビットの設定の変更は、PID=NAKの状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、ポート選択レジスタのCURPIPE[3:0]ビットへDCPを設定後、ポートコントロールレジスタのBCLRビットを“1”にしてバッファクリア処理を実施してください。
注3. DEVSEL[3:0]ビットの設定の変更は、PID=NAKの状態およびDCPCTR.SUREQビットが“0”の期間に実施してください。DCPのDCPCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSB0がPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

MXPS[6:0] ビット（マックスパケットサイズビット）

DCP の最大データペイロード（マックスパケットサイズ）を MXPS[6:0] ビットに設定してください。初期値は、40h（64 バイト）です。

MXPS[6:0] ビットの設定は、USB 規格に準拠した値を設定してください。

MXPS[6:0] ビットが “0” の状態で FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。

DEVSEL[3:0] ビット（デバイス選択ビット）

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn（n = 0 ～ 5）レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを “0010b” にする場合、DEVADD2 レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0] ビットの値を “0000b” にしてください。

34.2.27 DCP コントロールレジスタ（DCPCTR）

アドレス USB0.DCPCTR 000A 0060h、USB1.DCPCTR 000A 0260h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ（注1）	—	—	SUREQCLR（注1）	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

注1. USB1.DCPCTR レジスタのb14、b11は、予約ビットです。

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0：無効 1：コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0：DCPはトランザクションで未使用 1：DCPはトランザクションで使用	R
b6	SQMON	シーケンストグルビットモニタビット	0：DATA0 1：DATA1	R
b7	SQSET	トグルビットセットビット（注4）	0：無効 1：DATA1指定	R/W（注2）
b8	SQCLR	トグルビットクリアビット（注4）	0：無効 1：DATA0指定	R/W（注2）
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR（注1）	SUREQビットクリアビット	0：無効 1：SUREQビットの0クリア実行	R/W（注3）
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ（注1）	SETUPトークン送出ビット	0：無効 1：セットアップパケット送出	R/W（注3）
b15	BSTS	バッファステータスビット	0：バッファアクセス不可能 1：バッファアクセス可能	R

注1. USB1.DCPCTRレジスタのb14、b11は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2. 読むと“0”が読めます。“1”のみ書けます。
注3. “1””のみ書けます。
注4. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID = NAKの状態のときに実施してください。DCPのPID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PID[1:0] ビット（応答 PID ビット）

PID[1:0] ビットでコントロール転送における USB の応答を制御します。

（1）ホストコントローラ機能選択時

以下の手順で PID[1:0] ビットを NAK から BUF に変更してください。

- 送信方向設定時

  DVSTCTR0.UACT ビットが “1” かつ PID = NAK の状態で FIFO バッファに送信データを書き込み完了し、PID = BUF を書き込んでください。PID = BUF の書き込み後、USB は OUT トランザクションを実行します。
- 受信方向設定時

  DVSTCTR0.UACT ビットが “1” かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認し

（空の状態にし）、PID = BUF を書き込んでください。PID = BUF の書き込み後、USB は IN トランザクションを実行します。

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- ソフトウェアが PID[1:0] ビットに BUF を設定しているときに、USB が MaxPacketSize を超えるデータを受信した場合、USB は PID = STALL（11b）を表示します。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID = NAK を表示します。
- STALL ハンドシェイクを受信した場合、USB は PID = STALL（11b）を表示します。

（2）ファンクションコントローラ機能選択時

以下の場合に、USB が PID[1:0] ビットの値を変更します。

- USB が SETUP パケットを受信したときに、USB は PID[1:0] ビットを PID = NAK に変更します。このとき、USB は INTSTS0.VALID ビットに “1” を表示し、ソフトウェアで VALID ビットを “0” にするまでは、ソフトウェアは PID[1:0] ビットを変更できません。
- ソフトウェアが PID[1:0] ビットに BUF を設定しているときに、USB が MaxPacketSize を超えるデータを受信した場合、USB は PID = STALL（11b）を表示します。
- USB がコントロール転送シーケンスエラーを検出した場合、PID = STALL（1xb）を表示します。
- USB が USB バスリセットを検出した場合、PID = NAK を表示します。

SET_ADDRESS リクエスト処理（自動処理）時には、USB は PID[1:0] ビットの設定値を参照しません。PID[1:0] ビットは USB バスリセットで初期化されます。

CCPL ビット（コントロール転送終了許可ビット）

ファンクションコントローラ機能選択時に、CCPL ビットを “1” にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応する PID[1:0] ビットが BUF のとき、ソフトウェアが CCPL ビットを “1” にすると、USB はコントロール転送のステージを完了させます。

コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USB は SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、USB は CCPL ビットを “1” から “0” に変更します。

INTSTS0.VALID ビットが “1” のとき、ソフトウェアは CCPL ビットへの “1” 書き込みを行うことができません。

CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラ機能選択時には、CCPL ビットへは “0” を書き込んでください。

PBUSY ビット（パイプビジービット）

DCP が PID[1:0] ビットを BUF から NAK に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY ビットを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを “1” から “0” に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「34.3.4.1　パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビットモニタビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理すると USB は SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、USB は SQMON ビットを “1”（期待値を DATA1 に設定）にします。

また、ファンクションコントローラ機能選択時、USB はステータスステージの IN/OUT トランザクションでは SQMON ビットを参照しません。また正常終了してもトグルさせません。

SQSET ビット（トグルビットセットビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA1 に設定することができます。

SQCLR ビットと SQSET ビットを同時に “1” にしないでください。

SQCLR ビット（トグルビットクリアビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA0 に設定することができます。SQCLR ビットは “0” を表示します。

SQCLR ビットと SQSET ビットを同時に “1” にしないでください。

SUREQCLR ビット（SUREQ ビットクリアビット）

ホストコントローラ機能選択時に、SUREQCLR ビットを “1” にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは “0” を表示します。

SETUP トランザクションにおいて、SUREQ ビットが “1” のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを “1” にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB0 が自動的に SUREQ ビットを “0” にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットの “0” による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは “0” を書いてください。

SUREQ ビット（SETUP トークン送出ビット）

ホストコントローラ機能選択時、SUREQ ビットを “1” にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB0 は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを “0” にします。

また、SUREQCLR ビットをソフトウェアで “1” にすることにより、USB0 は SUREQ ビットを “0” にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを “1” にしてください。SUREQ ビットを “1” にする前に、DCP の PID[1:0] ビットを NAK に設定していることを確認してください。また、SUREQ ビットを “1” にした後、SETUP トランザクションが終了するまで（SUREQ ビットが “1”）の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを “1” にしてください。その他のときには、“0” を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは “0” を書いてください。

BSTS ビット（バッファステータスビット）

DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS ビットの意味は、ポート選択レジスタの ISEL ビットの設定値により以下のように異なります。

- ISEL ビットが “0” のとき、受信データの読み出しが可能かどうかを表示
- ISEL ビットが “1” のとき、送信データの書き込みが可能かどうかを表示

34.2.28　パイプウィンドウ選択レジスタ（PIPESEL）

アドレス　USB0.PIPESEL 000A 0064h、USB1.PIPESEL 000A 0264h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択ビット	b3　b0 0 0 0 0：未選択 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外：設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パイプ 1 ～ 9 の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP、および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPnTRE、および PIPnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット（パイプウィンドウ選択ビット）

書き込み / 読み出しを対象とする PIPECFG、PIPEMAXP、PIPEPERI レジスタに対応するパイプ番号を指定します。

PIPESEL[3:0] ビットで指定したパイプ番号に対応する PIPECFG、PIPEMAXP、PIPEPERI レジスタの読み出し / 書き込みができます。

PIPESEL[3:0] ビットを “0000b” にしたときは、PIPECFG、PIPEMAXP、PIPEPERI、および PIPEnCTR レジスタの各ビットは、すべて “0” が読めます。書き込みは無効です。

34.2.29　パイプコンフィギュレーションレジスタ（PIPECFG）

アドレス　USB0.PIPECFG 000A 0068h、USB1.PIPECFG 000A 0268h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット（注1）	選択パイプのエンドポイント番号を指定します。 0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット（注2、注3）	0：受信方向 1：送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット（注1）	0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット（注2、注3）	0：シングルバッファ 1：ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定ビット（注2、注3）	0：データ送受信でBRDY割り込み 1：データ読み出し完了時にBRDY割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット（注1）	• パイプ1、2の場合 b15 b14 0 0：パイプを不使用 0 1：バルク転送 1 0：設定しないでください 1 1：アイソクロナス転送 • パイプ3～5の場合 b15 b14 0 0：パイプを不使用 0 1：バルク転送 1 0：設定しないでください 1 1：設定しないでください • パイプ6～9の場合 b15 b14 0 0：パイプ不使用 0 1：設定しないでください 1 0：インタラプト転送 1 1：設定しないでください	R/W

注1.　TYPE[1:0]ビット、SHTNAKビットおよびEPNUM[3:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSY = “0”を確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注2.　BFREビット、DBLBビットおよびDIRビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3.　選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでPIPEnCTR.ACLRMビットに“1”、“0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFGレジスタは、パイプ1～9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット（エンドポイント番号ビット）

選択パイプのエンドポイント番号を指定します。

“0000b” の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。（EPNUM[3:0] ビットが “0000b” の設定は重複可能です。）

DIR ビット（転送方向指定ビット）

選択パイプの転送方向を指定します。

ソフトウェアが DIR ビットを “0” にしている場合、USB は選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB は選択パイプを送信方向に使用します。

SHTNAK ビット（トランスファ終了時のパイプ禁止ビット）

選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプがパイプ 1 ～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアが SHTNAK ビットを “1” にしている場合、USB は、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PIPEnCTR.PID[1:0] ビットを NAK に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット（ダブルバッファモードビット）

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1 ～ 5 選択時に有効です。

BFRE ビット（BRDY 割り込み動作指定ビット）

USB から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB は、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアはポートコントロールレジスタの BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアが BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB は BRDY 割り込みを発生させません。

詳細は、「34.3.3.1　BRDY 割り込み」を参照してください。

TYPE[1:0] ビット（転送タイプビット）

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ（選択パイプ）の転送タイプを指定します。

選択パイプを PID = BUF に設定する（選択したパイプを使用した USB 通信を開始する）前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

34.2.30　パイプマックスパケットサイズレジスタ（PIPEMAXP）

アドレス　USB0.PIPEMAXP 000A 006Ch、USB1.PIPEMAXP 000A 026Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]（注1）				—	—	—	MXPS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0/1（注2）	0	0	0	0	0	0

注1.　USB1.PIPEMAXPレジスタのb15-b12は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
注2.　PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないとき“0000h”、選択しているとき“0040h”です。

ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズビット（注1）	• パイプ1、2： 1バイト（001h）～256バイト（100h） • パイプ3～5： 8バイト（008h）、16バイト（010h）、 32バイト（020h）、64バイト（040h） （[8:7]ビットおよび[2:0]のビットはありません） • パイプ6～9： 1バイト（001h）～64バイト（040h） （[8:7]ビットのビットはありません）	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]（注1）	デバイス選択ビット（注2）	b3　b0 0 0 0 0：アドレス0000 0 0 0 1：アドレス0001 0 0 1 0：アドレス0010 0 0 1 1：アドレス0011 0 1 0 0：アドレス0100 0 1 0 1：アドレス0101 上記以外：設定しないでください	R/W

注1.　MXPS[8:0]ビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
注2.　DEVSEL[3:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSB0がPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEMAXP レジスタは、パイプ 1 ～ 9 に対して、マックスパケットサイズを指定するレジスタです。

MXPS[8:0] ビット（MAX パケットサイズビット）

選択パイプの最大データペイロード（マックスパケットサイズ）を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。MXPS[8:0] ビットが “0” のとき、FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。

DEVSEL[3:0] ビット（デバイス選択ビット）

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn（n = 0 ～ 5）レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを “0010b” にする場合、DEVADD2 アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を “0000b” にしてください。

34.2.31　パイプ周期制御レジスタ（PIPEPERI）

アドレス　USB0.PIPEPERI 000A 006Eh、USB1.PIPEPERI 000A 026Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]（注1）	インターバルエラー検出間隔ビット	選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュビット	0：バッファフラッシュしない 1：バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　IITV[2:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEPERI レジスタはパイプ 1 ～ 9 に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット（インターバルエラー検出間隔ビット）

IITV[2:0] ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID = NAK 設定後 PIPEnCTR.ACLRM ビットを “1” にして、インターバルタイマの初期化を行ってください。

パイプ 3 ～ 5 に対しては、IITV[2:0] ビットは存在しません。パイプ 3 ～ 5 に対応する IITV[2:0] ビットの位置には “000b” を設定してください。

IFIS ビット（アイソクロナス IN バッファフラッシュビット）

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ（選択パイプ）がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中に USB ホストから IN トークンを USB が受信しなかった場合に、USB が自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時（PIPECFG.DBLB ビットを “1” にしたとき）は、USB がクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0] ビットを “000b” にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを “000b” にしてください。

34.2.32　パイプnコントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）

- PIPEnCTR（n = 1 ～ 5）

アドレス　USB0.PIPE1CTR 000A 0070h、USB0.PIPE2CTR 000A 0072h、USB0.PIPE3CTR 000A 0074h、USB0.PIPE4CTR 000A 0076h、USB0.PIPE5CTR 000A 0078h、USB1.PIPE1CTR 000A 0270h、USB1.PIPE2CTR 000A 0272h、USB1.PIPE3CTR 000A 0274h、USB1.PIPE4CTR 000A 0276h、USB1.PIPE5CTR 000A 0278h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0：当該パイプはトランザクションで未使用 1：当該パイプはトランザクションで使用	R
b6	SQMON	トグルビット確認ビット	0：DATA0 1：DATA1	R
b7	SQSET	トグルビットセットビット（注2）	0：無効 1：DATA1指定	R/W （注1）
b8	SQCLR	トグルビットクリアビット（注2）	0：無効 1：DATA0指定	R/W （注1）
b9	ACLRM	自動バッファクリアモード（注3）	0：禁止 1：許可（全バッファ初期化）	R/W
b10	ATREPM	自動応答モードビット（注2）	0：自動応答禁止 1：自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタビット	0：バッファメモリに送信可能データなし 1：バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスビット	0：CPUからのバッファアクセス不可能 1：CPUからのバッファアクセス可能	R

注1.　読むと“0”が読めます。“1”のみ書けます。
注2.　ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
注3.　ACLRMビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEnCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PID[1:0] ビット（応答 PID ビット）

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを BUF に変更してください。PID[1:0] ビット設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は**表 34.6** および**表 34.7** のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを BUF から NAK に変更する場合、NAK を書いた後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY ビットが “1” であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの PIPECFG.SHTNAK ビットを “1” にしている場合、USB がトランスファ終了を認識したときに、PID = NAK を表示します。
- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID = STALL（11b）を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID = NAK を表示します。
- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB は PID = NAK を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID = STALL（11b）を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK（00b）状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF（01b）状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL（11b）から NAK 状態にする場合には、一度 “10b” を書いてから “00b” を書いてください。

STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

PBUSY ビット（パイプビジービット）

当該パイプを現在トランザクションで使用中かどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY ビットを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを “1” から “0” に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「34.3.4.1　**パイプコントロールレジスタの切り替え手順**」を参照してください。

SQMON ビット（トグルビット確認ビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると USB は SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

SQSET ビット（トグルビットセットビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA1 にセットするときに “1” を指定します。

ソフトウェアが SQSET ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットに “0” を表示します。

SQCLR ビット（トグルビットクリアビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに “1” を指定します。

ソフトウェアが SQCLR ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットに “0” を表示します。

ACLRM ビット（自動バッファクリアモードビット）

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて**表 34.8** に示します。

ATREPM ビット（自動応答モードビット）

当該パイプの自動応答禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを “1” にすることが可能です。

ATREPM ビットを “1” にした場合、USB ホストからのトークンに対し USB は以下のように応答します。

（1）当該パイプが Bulk-IN 転送（PIPECFG.TYPE[1:0] ビットに “01b” かつ PIPECFG.DIR ビットに “1” を設定）の場合

ATREPM ビットが “1” かつ PID = BUF にしている場合、IN トークンに対して USB は Zero-Length パケットを送信します。

USB ホストからの ACK 受信のたびに（1 トランザクションは IN トークン受信→ Zero Length パケット送信→ ACK 受信）、USB はシーケンストグルビット（DATA-PID）の更新（トグル）を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

（2）当該パイプが Bulk-OUT 転送（PIPECFG.TYPE[1:0] ビットに “01b” かつ PIPECFG.DIR ビットに “0” を設定）の場合

ATREPM ビットが “1” かつ PID = BUF にしている場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを “1” にして USB 通信を行う場合、FIFO バッファは空の状態で設定を行ってください。ATREPM ビットを “1” にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは “0” にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは “0” を書いてください。

INBUFM ビット（送信バッファモニタビット）

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向（PIPECFG.DIR ビットが “1”）に設定している場合に、ソフトウェア（または DMAC）が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB は INBUFM ビットに “1” を表示します。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM ビットに “0” を表示します。ダブルバッファ使用時（PIPECFG.DBLB ビットが “1”）には、USB が 2 面分のデータを送信完了しかつソフトウェア（または DMAC）が 1 面分のデータ書き込みを完了していないときに、INBUFM ビットに “0” を表示します。

当該パイプを受信方向（PIPECFG.DIR ビットが “0”）に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット（バッファステータスビット）

当該パイプの FIFO バッファステータスが表示されます。

BSTS ビットの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 34.9 に示すように異なります。

表34.6　PID[1:0]ビットによるUSBの動作一覧（ホストコントローラ機能選択時）

PID[1:0]ビット	転送タイプ	転送方向 （DIRビット）	USBの動作
“00b”（NAK）	設定値に依存しない	設定値に依存しない	トークンを発行しない
“01b”（BUF）	バルク または インタラプト	設定値に依存しない	DVSTCTR0.UACTビットが“1”で、かつ当該パイプに対応するFIFOバッファが送受信可能な状態ならばトークンを発行する DVSTCTR0.UACTビットが“0”である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応するFIFOバッファの状態にかかわらずトークンを発行する
“10b”（STALL） または “11b”（STALL）	設定値に依存しない	設定値に依存しない	トークンを発行しない

表34.7　PID[1:0]ビットによるUSBの動作一覧（ファンクションコントローラ機能選択時）

PID[1:0]ビット	転送タイプ	転送方向 （DIRビット）	USBの動作
“00b”（NAK）	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う ただし、ATREPMビットが“1”のときの動作はATREPMビットの説明を参照してください
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う
“01b”（BUF）	バルク	受信方向 （DIRビットが“0”）	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 （DIRビットが“0”）	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 （DIRビットが“1”）	対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
	アイソクロナス	受信方向 （DIRビットが“0”）	USBホストからのOUTトークンに対し、当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
		送信方向 （DIRビットが“1”）	対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する
“10b”（STALL） または	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う
“11b”（STALL）	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う

表34.8　ACLRM = “1”設定時にUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容（ダブルバッファ設定時はFIFOバッファを2面ともクリア）	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	FIFOバッファトグル制御	PIPECFG.DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表34.9　BSTSビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTSビットの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了した後でソフトウェアでポートコントロールレジスタのBCLRビットに“1”を書いたときに“0”を表示します
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”を表示し、データの書き込みが完了したときに“0”を表示します
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください

- PIPEnCTR（n = 6 ～ 9）

アドレス　USB0.PIPE6CTR 000A 007Ah、USB0.PIPE7CTR 000A 007Ch、USB0.PIPE8CTR 000A 007Eh、USB0.PIPE9CTR 000A 0080h
USB1.PIPE6CTR 000A 027Ah、USB1.PIPE7CTR 000A 027Ch、USB1.PIPE8CTR 000A 027Eh、USB1.PIPE9CTR 000A 0280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0：当該パイプをUSBバスにて未使用 1：当該パイプはUSBバスにて使用	R
b6	SQMON	トグルビット確認ビット	0：DATA0 1：DATA1	R
b7	SQSET	トグルビットセットビット（注2）	0：無効 1：DATA1指定	R/W （注1）
b8	SQCLR	トグルビットクリアビット（注2）	0：無効 1：DATA0指定	R/W （注1）
b9	ACLRM	自動バッファクリアモードビット （注2、注3）	0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可（全バッファ初期化）	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスビット	0：バッファアクセス不可能 1：バッファアクセス可能	R

注1.　読むと“0”が読めます。“1”のみ書けます。
注2.　SQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
注3.　ACLRMビットの設定の変更は、PID = NAKおよびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットをBUFからNAKへ変更してから設定変更する場合には、PBUSYビットが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PID[1:0] ビット（応答 PID ビット）

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを BUF に変更してください。PID[1:0] ビットの設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は**表 34.6** および**表 34.7** のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY ビットが “1” であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID = STALL（11b）を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID = NAK を表示します。
- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB

は PID = NAK を表示します。

- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB は PID = STALL（11b）を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK（00b）状態から STALL 状態にする場合には、“10b” を書いてください。
- BUF（01b）状態から STALL 状態にする場合には、“11b” を書いてください。
- STALL（11b）から NAK 状態にする場合には、一度 “10b” を書いてから “00b” を書いてください。
- STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

PBUSY ビット（パイプビジービット）

当該パイプを現在 USB バスで使用中かどうかが表示されます。

USB は、当該パイプの USB トランザクションを開始したときに PBUSY ビットを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを “1” から “0” に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON ビット（トグルビット確認ビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理すると USB は SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

SQSET ビット（トグルビットセットビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに “1” を指定します。

ソフトウェアが SQSET ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットに “0” を表示します。

SQCLR ビット（トグルビットクリアビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに “1” を指定します。

ソフトウェアが SQCLR ビットを “1” にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットに “0” を表示します。

ACLRM ビット（自動バッファクリアモードビット）

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて**表 34.10** に示します。

BSTS ビット（バッファステータスビット）

当該パイプの FIFO バッファステータスが表示されます。

BSTS ビットの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により**表 34.9** に示すように異なります。

表34.10　ACLRMビットを“1”にしたときにUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	パイプの初期化をしたい場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

34.2.33 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）

アドレス　USB0.PIPE1TRE 000A 0090h、USB0.PIPE2TRE 000A 0094h、USB0.PIPE3TRE 000A 0098h、USB0.PIPE4TRE 000A 009Ch、USB0.PIPE5TRE 000A 00A0h、USB1.PIPE1TRE 000A 0290h、USB1.PIPE2TRE 000A 0294h、USB1.PIPE3TRE 000A 0298h、USB1.PIPE4TRE 000A 029Ch、USB1.PIPE5TRE 000A 02A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0：無効 1：カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注．　PIPEnTREレジスタの各ビットの変更は、PID = NAK時に実施してください。
対応するパイプのPIPEnCTR.PID[1:0]ビットをBUFからNAKへ変更したあとで各ビットの設定値を変更する場合には、PIPEnCTR.PBUSYビットが“0”であることを確認してから各ビットを変更してください。ただし、USBがPID[1:0]ビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

TRCLR ビット（トランザクションカウンタクリアビット）

当該パイプに対応するトランザクションカウンタの現在のカウント値をクリアし、TRCLR ビットに “0” を表示します。

TRENB ビット（トランザクションカウンタ許可ビット）

トランザクションカウンタ無効 / 有効を指定します。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0] ビットに総パケット数を設定した後で TRENB ビットを “1” にすると、USB は TRNCNT[15:0] ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- PIPECFG.SHTNAK ビットが “1” のとき、TRNCNT[15:0] ビットの設定値と同数のパケット受信を終了時点で対応するパイプの PIPEnCTR.PID[1:0] ビットを NAK に変更します。
- PIPECFG.BFRE ビットが “1” のとき、TRNCNT[15:0] ビットの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします

送信パイプについては、TRENB ビットを “0” にしてください。

トランザクションカウント機能を使用しない場合は、TRENB ビットを “0” にしてください。

トランザクションカウント機能を使用する場合、TRENB ビットを “1” にする前に TRNCNT[15:0] ビットの設定を行ってください。また、トランザクションカウントの対象となる最初のパケットを受信する前に TRENB ビットを “1” にしてください。

34.2.34　パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）

アドレス　USB0.PIPE1TRN 000A 0092h、USB0.PIPE2TRN 000A 0096h、USB0.PIPE3TRN 000A 009Ah、USB0.PIPE4TRN 000A 009Eh、USB0.PIPE5TRN 000A 00A2h、USB1.PIPE1TRN 000A 0292h、USB1.PIPE2TRN 000A 0296h、USB1.PIPE3TRN 000A 029Ah、USB1.PIPE4TRN 000A 029Eh、USB1.PIPE5TRN 000A 02A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRNCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタビット	• レジスタ書き込み時： DMA転送のトランザクション回数を設定します • レジスタ読み出し時： PIPEnTRE.TRENBビットが“0”の場合は、設定したトランザクション回数が表示されます。 PIPEnTRE.TRENBビットが“1”の場合は、カウント中のトランザクション回数が表示されます	R/W

PIPEnTRN レジスタは、USB バスリセットで設定値が保持されます。

TRNCNT[15:0] ビット（トランザクションカウンタビット）

USB は、受信時の状態が以下のすべて満たしたときに TRNCNT[15:0] ビットを 1 インクリメントします。

- PIPEnTRE.TRENB ビットが “1” である
- パケット受信時に（TRNCNT[15:0] 設定値≠現在のカウント値 +1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

USB は、以下のいずれかの条件が満たされたときに TRNCNT[15:0] ビットの表示を “0” にします。

(1) 以下の条件がすべて満たされたとき

- PIPEnTRE.TRENB ビットが “1” である
- パケット受信時に（TRNCNT[15:0] 設定値 = 現在のカウント値 +1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

(2) 以下条件がすべて満たされたとき

- PIPEnTRE.TRENB ビットが “1” である
- ショートパケットを受信した

(3) 以下の条件がすべて満たされたとき

- PIPEnTRE.TRENB ビットが “1” である
- ソフトウェアが PIPEnTRE.TRCLR ビットを “1” にした

送信パイプついては、TRNCNT[15:0] ビットを “0” にしてください。

トランザクションカウント機能を使用しない場合は、TRNCNT[15:0] ビットを “0” にしてください。

TRNCNT[15:0] ビットのトランザクション回数の設定は、PIPEnTRE.TRENB ビットが “0” のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始（PIPEnTRE.TRENB ビットが “1”）前に PIPEnTRE.TRCLR ビットに “1” を書いてください（カレントカウンタ値のクリア）。

34.2.35　デバイスアドレス n コンフィグレーションレジスタ（DEVADDn）（n = 0 ～ 5）

アドレス　USB0.DEVADD0 000A 00D0h、USB0.DEVADD1 000A 00D2h、USB0.DEVADD2 000A 00D4h、USB0.DEVADD3 000A 00D6h、USB0.DEVADD4 000A 00D8h、USB0.DEVADD5 000A 00DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]		—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0：DEVADDn レジスタ未使用 0 1：ロースピード 1 0：フルスピード 1 1：設定しないでください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ～ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID[1:0] ビットに BUF を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが “1” になっている

USBSPD[1:0] ビット（通信対象デバイスの転送速度ビット）

通信対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でロースピードデバイスが接続されたときには、“01b” にしてしてください。その他のフルスピードデバイスに対しては “10b” にしてください。

ホストコントローラ機能選択時、USB は、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、“00b” にしてください。

34.2.36　ディープスタンバイ USB トランシーバ制御 / 端子モニタレジスタ（DPUSR0R）

アドレス　000A 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DVBSTS1	—	—	—	—	—	DM1	DP1	DVBSTS0	—	DOVCB0	DOVCA0	—	—	DM0	DP0
リセット後の値	x	0	x	x	0	0	x	x	x	0	x	x	0	0	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FIXPHY1	—	—	—	SRPC1	—	—	—	FIXPHY0	—	—	—	SRPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRPC0	USB0シングルエンドレシーバ制御ビット	0：DP / DMの入力は禁止状態となる 1：DP / DMの入力は許可状態となる	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FIXPHY0	USB0 トランシーバ出力固定ビット	0：通常時、およびディープソフトウェアスタンバイから復帰時 1：ディープソフトウェアスタンバイへの移行時	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SRPC1	USB1シングルエンドレシーバ制御ビット	0：DP/DMの入力は禁止状態となる 1：DP/DMの入力は許可状態となる	R/W
b11-b9	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	FIXPHY1	USB1トランシーバ出力固定ビット	0：通常時、およびディープソフトウェアスタンバイから復帰時 1：ディープソフトウェアスタンバイへの移行時	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	DP0	USB0 DP 入力	USBポート0側のDP入力信号を表示します	R
b17	DM0	USB0 DM入力	USBポート0側のDM入力信号を表示します	R
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	DOVCA0	USB0 OVRCURA入力	USBポート0側のOVRCURA入力信号を表示します	R
b21	DOVCB0	USB0 OVRCURB入力	USBポート0側のOVRCURB入力信号を表示します	R
b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	DVBSTS0	USB0 VBUS入力	USBポート0側のVBUS入力を表示します	R
b24	DP1	USB1 DP入力	USBポート1側のDP入力信号を表示します	R
b25	DM1	USB1 DM入力	USBポート1側のDM入力信号を表示します	R
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29-b28	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	DVBSTS1	USB1 VBUS入力	USBポート1側のVBUS入力を表示します	R

SRPCn ビット（USBn シングルエンドレシーバ制御ビット）(n=0,1)

USB ポート n 側のトランシーバの DP/DM 入力制御を行います。

FIXPHYn ビットが “1” のときに有効となります。

FIXPHYn ビット（USBn トランシーバ出力固定ビット）(n=0,1)

USB ポート n 側のトランシーバへの出力をディスエーブル固定します。

34.2.37　ディープスタンバイ USB サスペンド / レジューム割り込みレジスタ（DPUSR1R）

アドレス　000A 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DVBINT1	—	—	—	—	—	DMINT1	DPINT1	DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVBSE1	—	—	—	—	—	DMINTE1	DPINTE1	DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DPINTE0	USB0 DP割り込み 許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b1	DMINTE0	USB0 DM割り込み 許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOVRCRAE0	USB0 OVRCURA割り込み許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b5	DOVRCRBE0	USB0 OVRCURB割り込み許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DVBSE0	USB0 VBUS割り込み許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b8	DPINTE1	USB1 DP割り込み 許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b9	DMINTE1	USB1 DM割り込み 許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b11-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DVBSE1	USB1 VBUS割り込み許可/クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b16	DPINT0	USB0 DP割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b17	DMINT0	USB0 DM割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b19-18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	DOVRCRA0	USB0 OVRCURA 割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b21	DOVRCRB0	USB0 OVRCURB 割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	DVBINT0	USB0 VBUS割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b24	DPINT1	USB1 DP割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b25	DMINT1	USB1 DM割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b29-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	DVBINT1	USB1 VBUS割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R

DPINTEn ビット（USBn DP 割り込み許可 / クリアビット）(n=0, 1)

USB ポート n 側の DP 入力によるディープソフトウェアスタンバイからの復帰を許可 / 禁止します。

DPINTn ビットが “1” のときに DPINTEn ビットに “0” を書くことにより、DPINTn ビットが “0” になります。

DMINTEn ビット（USBn DM 割り込み許可 / クリアビット）(n=0, 1)

USB ポート n 側の DM 入力によるディープソフトウェアスタンバイからの復帰を許可 / 禁止します。

DMINTn ビットが “1” のときに DMINTEn ビットに “0” を書くことにより、DMINTn ビットが “0” になります。

DOVRCRAE0 ビット（USB0 OVRCURA 割り込み許可 / クリアビット）

USB ポート 0 側の OVRCURA 入力によるディープソフトウェアスタンバイからの復帰を許可 / 禁止します。

DOVRCRA0 ビットが “1” のときに DOVRCRAE0 ビットに “0” を書くことにより、DOVRCRA0 ビットが “0” になります。

DOVRCRBE0 ビット（USB0 OVRCURB 割り込み許可 / クリアビット）

USB ポート 0 側の OVRCURB 入力によるディープソフトウェアスタンバイからの復帰を許可 / 禁止します。

DOVRCRB0 ビットが “1” のときに DOVRCRBE0 ビットに “0” を書くことにより、DOVRCRB0 ビットが “0” になります。

DVBSEn（USBn VBUS 割り込み許可 / クリアビット）(n=0, 1)

USB ポート n 側の VBUS 入力によるディープソフトウェアスタンバイからの復帰を許可 / 禁止します。

DVBINTn ビットが “1” のときに DVBSEn に “0” を書くことにより、DVBINTn ビットが “0” になります。

DPINTn ビット（USBn DP 割り込み要因による復帰表示ビット）(n=0, 1)

USB ポート n 側の DP 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DPINTEn ビットが “1” のときのみ、USB ポート n 側の DP 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DPINTn ビットが “1” のときに DPINTEn ビットに “0” を書くことにより、DPINTn ビットが “0” になります。

DMINTn ビット（USBn DM 割り込み要因による復帰表示ビット）(n=0,1)

USB ポート n 側の DM 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DMINTEn ビットが “1” のときのみ、USB ポート n 側の DM 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DMINTn ビットが “1” のときに DMINTEn ビットに “0” を書くことにより、DMINTn ビットが “0” になります。

DOVRCRA0 ビット（USB0 OVRCURA 割り込み要因による復帰表示ビット）

USB ポート 0 側の OVRCURA 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DOVRCRAE0 ビットが “1” のときのみ、USB ポート 0 側の OVRCURA 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DOVRCRA0 ビットが “1” のときに DOVRCRAE0 ビットに “0” を書くことにより、DOVRCRA0 ビットが “0” になります。

DOVRCRB0 ビット（USB0 OVRCURB 割り込み要因による復帰表示ビット）

USB ポート 0 側の OVRCURB 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DOVRCRBE0 ビットが “1” のときのみ、USB ポート 0 側の OVRCURB 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DOVRCRB0 ビットが “1” のときに DOVRCRBE0 ビットに “0” を書くことにより、DOVRCRB0 ビットが “0” になります。

DVBINTn ビット（USBn VBUS 割り込み要因による復帰表示ビット）(n=0, 1)

USB ポート n 側の VBUS 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DVBSEn ビットが “1” のときのみ、USB ポート n 側の VBUS 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DVBINTn ビットが “1” のときに DVBSEn ビットに “0” を書くことにより、DVBINTn ビットが “0” になります。

34.3 動作説明

34.3.1 システム制御

USB の初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

34.3.1.1 動作開始

USB へのクロック供給が開始された（SYSCFG.SCKE ビットが “1”）状態で、SYSCFG.USBE ビットを “1” にすることにより、動作が許可され、USB は動作を開始します。

34.3.1.2 コントローラ機能の選択設定

USB0 は、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFM ビットで行います。ただし、DCFM ビットの設定は、パワーオンリセット直後の初期設定または D+ のプルアップ禁止状態（SYSCFG.DPRPU ビットが “0”）で D+/D- のプルダウン禁止状態（SYSCFG.DRPD ビットが “0”）ときに行ってください。

34.3.1.3　USB 外部接続回路例

図 34.2 にセルフパワード時の USB コネクタの OTG 接続例（USB0）を示します。

USB0 は、D+ 信号のプルアップ抵抗と D+、D- 信号のプルダウン抵抗の許可信号を制御します。SYSCFG.DPRPU ビット、SYSCFG.DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に DPRPU ビットに “0” を設定した場合は、USB データラインのプルアップ抵抗をディスエーブルにしますので、USB ホストにデバイスの切断を通知することができます。

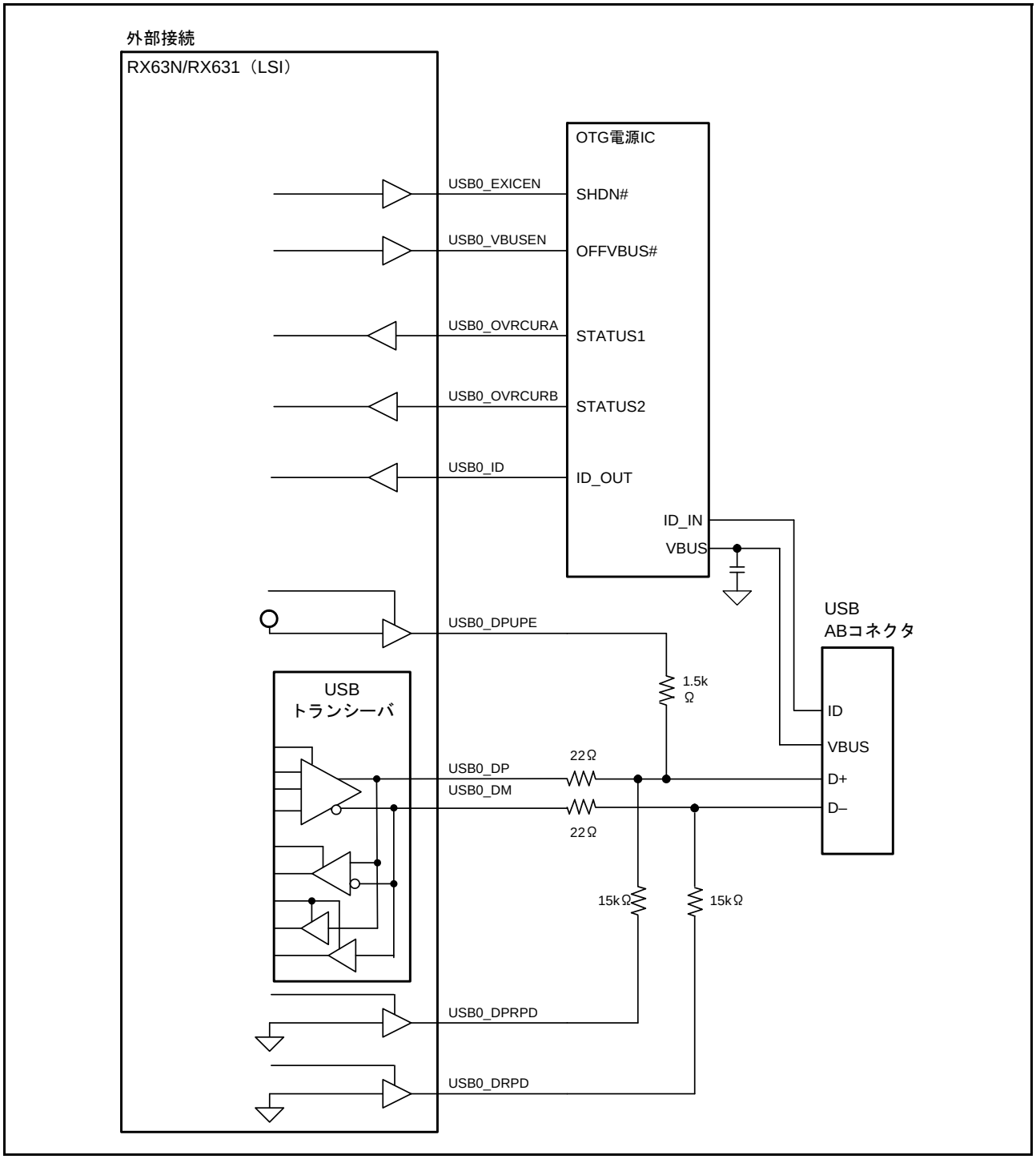


図 34.2　セルフパワード時の USB コネクタの OTG 接続例（USB0）

図 34.3 にセルフパワード時の USB コネクタのファンクション接続例を示します。

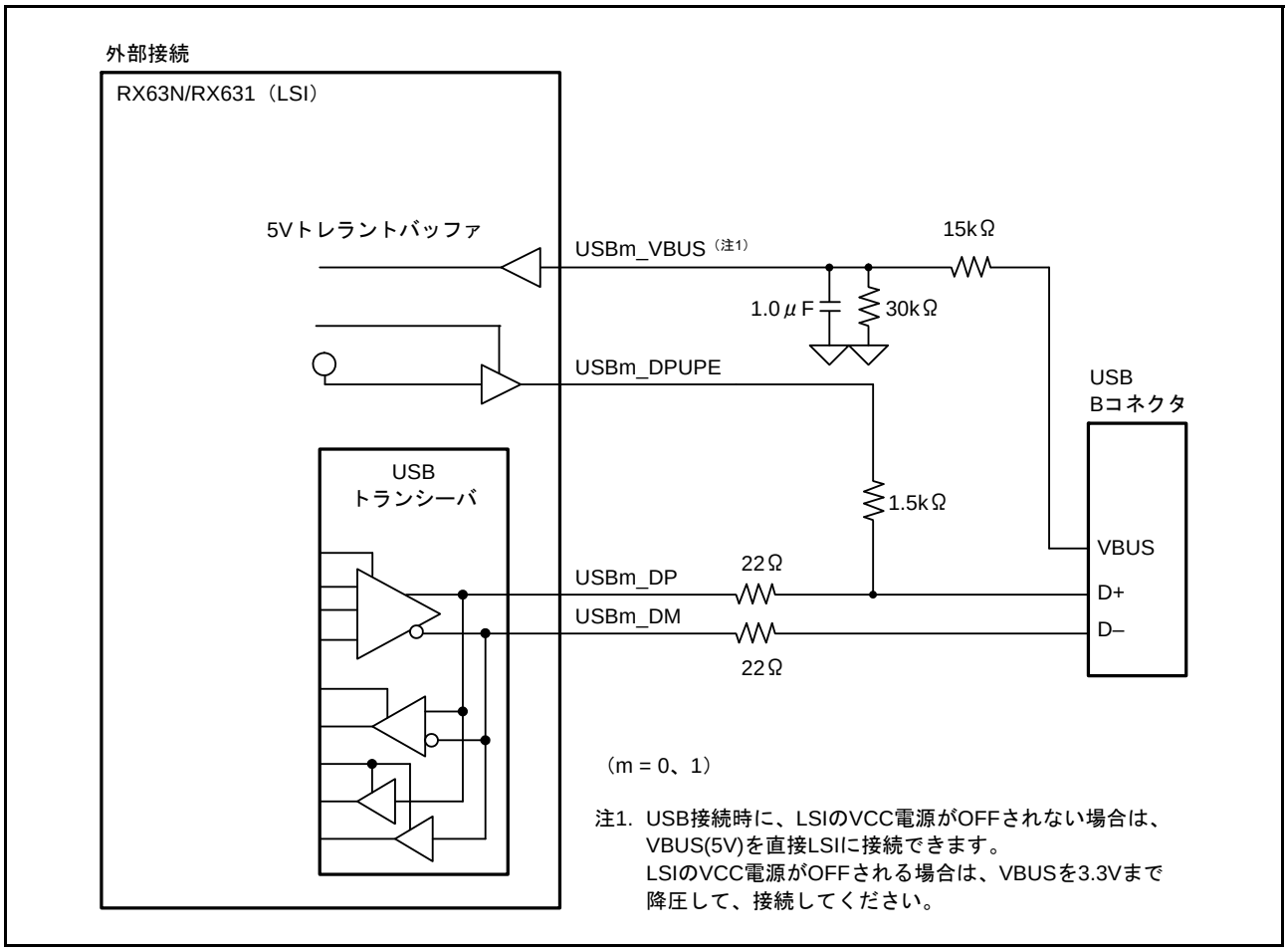


図 34.3　セルフパワード時の USB コネクタのファンクション接続例

図 34.4 に USB コネクタのホスト接続例（USB0）を示します。

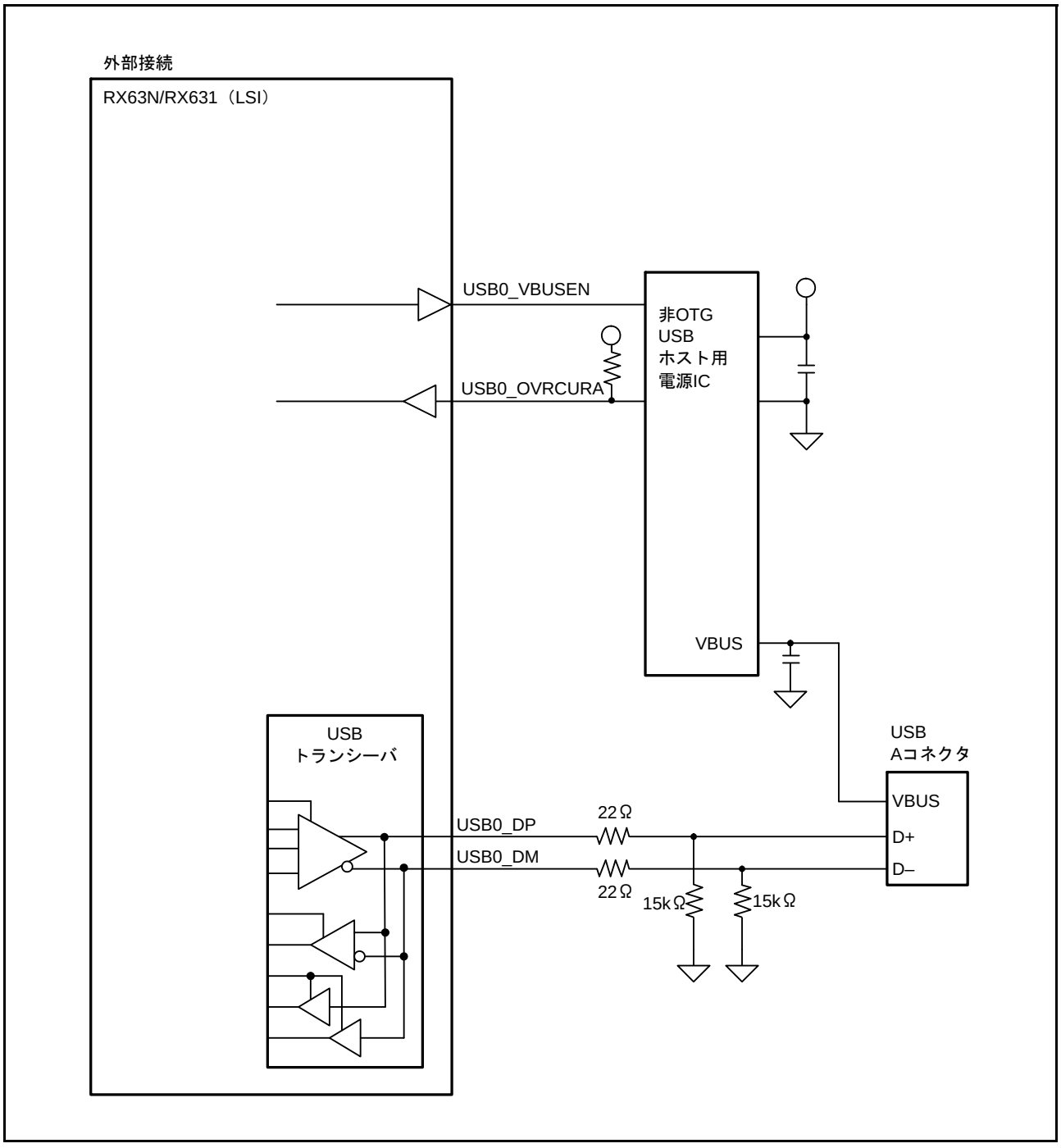


図 34.4　USB コネクタのホスト接続例（USB0）

図 34.5 にバスパワード時の USB コネクタのファンクション接続例を示します。

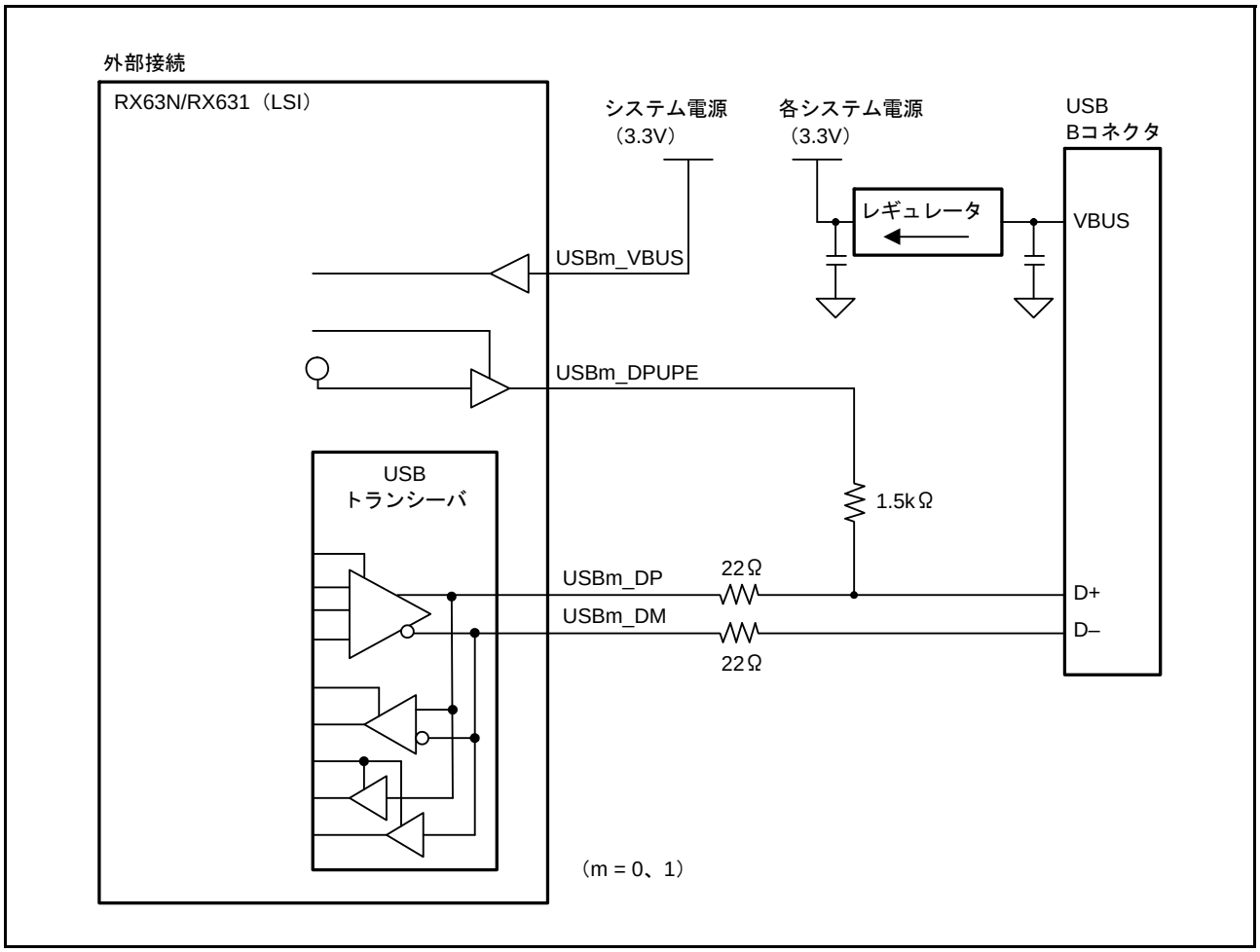


図 34.5　バスパワード時の USB コネクタのファンクション接続例

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。

34.3.1.4　USB サスペンド / レジューム割り込みによるディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、USB のサスペンド / レジューム割り込みにより解除することが可能です。

USB のサスペンド / レジューム割り込みの検出は、USB レジューム検出部で行います。USB レジューム検出部は、USB0、USB1 用の入出力端子の制御およびモニタを行ない、サスペンド / レジューム割り込みを検出します。

図 34.6 に USB レジューム検出部と USB0 用入出力端子の接続概略図を、**図 34.7** に USB レジューム検出部と USB1 用入出力端子の接続概略図を示します。

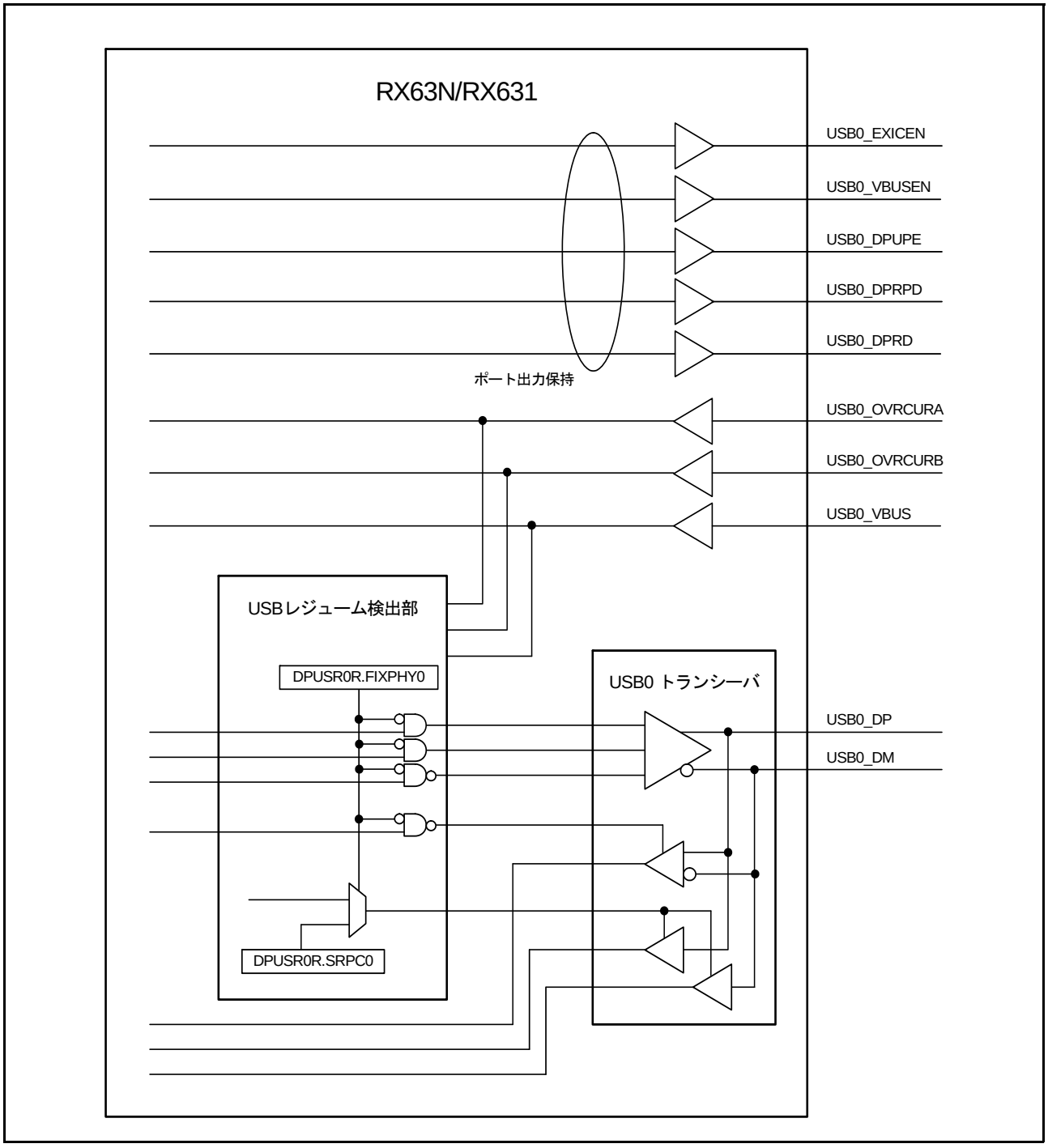


図 34.6　USB レジューム検出部と USB0 用入出力端子の接続概略図

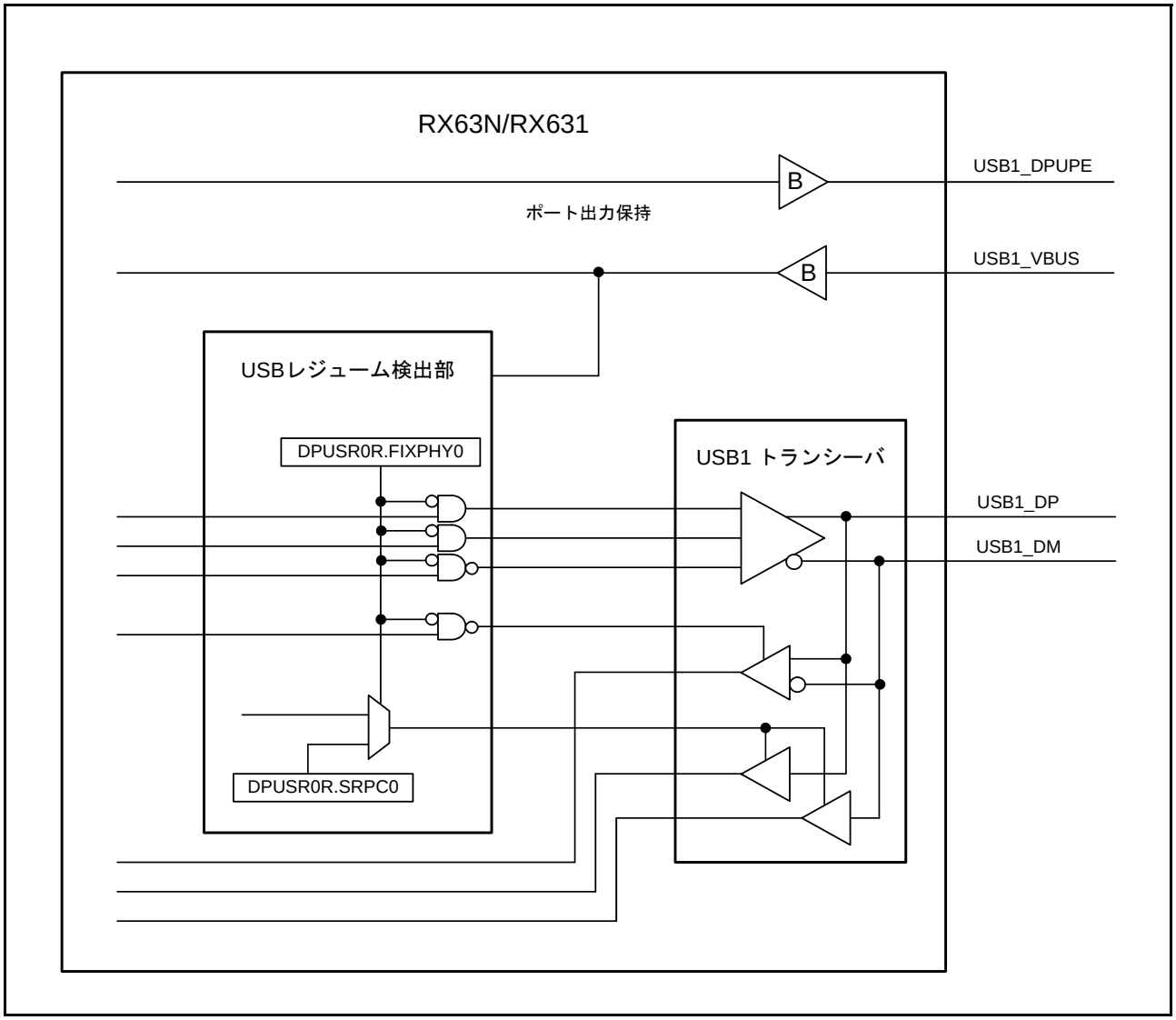


図 34.7　USB レジューム検出部と USB1 用入出力端子の接続概略図

USB のサスペンド / レジューム割り込みの要因と入出力端子の対応を**表 34.11** に示します。

表34.11　USBのサスペンド/レジューム割り込みの要因と入出力端子の対応

ポート	USB動作モード	要因	端子名
USB0	ファンクション/OTG	レジューム	USB0_DP
	ホスト/OTG	接続/切断	USB0_DP / USB0_DM
	ファンクション	接続/切断	USB0_VBUS
	ホスト	過電流検出	USB0_OVRCURA
	OTG	過電流検出	USB0_OVRCURA / USB0_OVRCURB
USB1	ファンクション	レジューム	USB1_DP
		接続/切断	USB1_VBUS

ディープソフトウェアスタンバイモードの解除を USB のサスペンド / レジューム割り込みでを行う場合は、DPSBYCR.IOKEEP ビットを設定し、I/O ポートの出力保持を行う必要があります。

図 34.8 にホスト時またはファンクション時のディープソフトウェアスタンバイ遷移時の USB 設定フローを示します。図 34.9 にホスト時のディープソフトウェアスタンバイ解除時の USB 設定フローを示します。図 34.10 にファンクション時のディープソフトウェアスタンバイ解除時の USB 設定フローを示します。

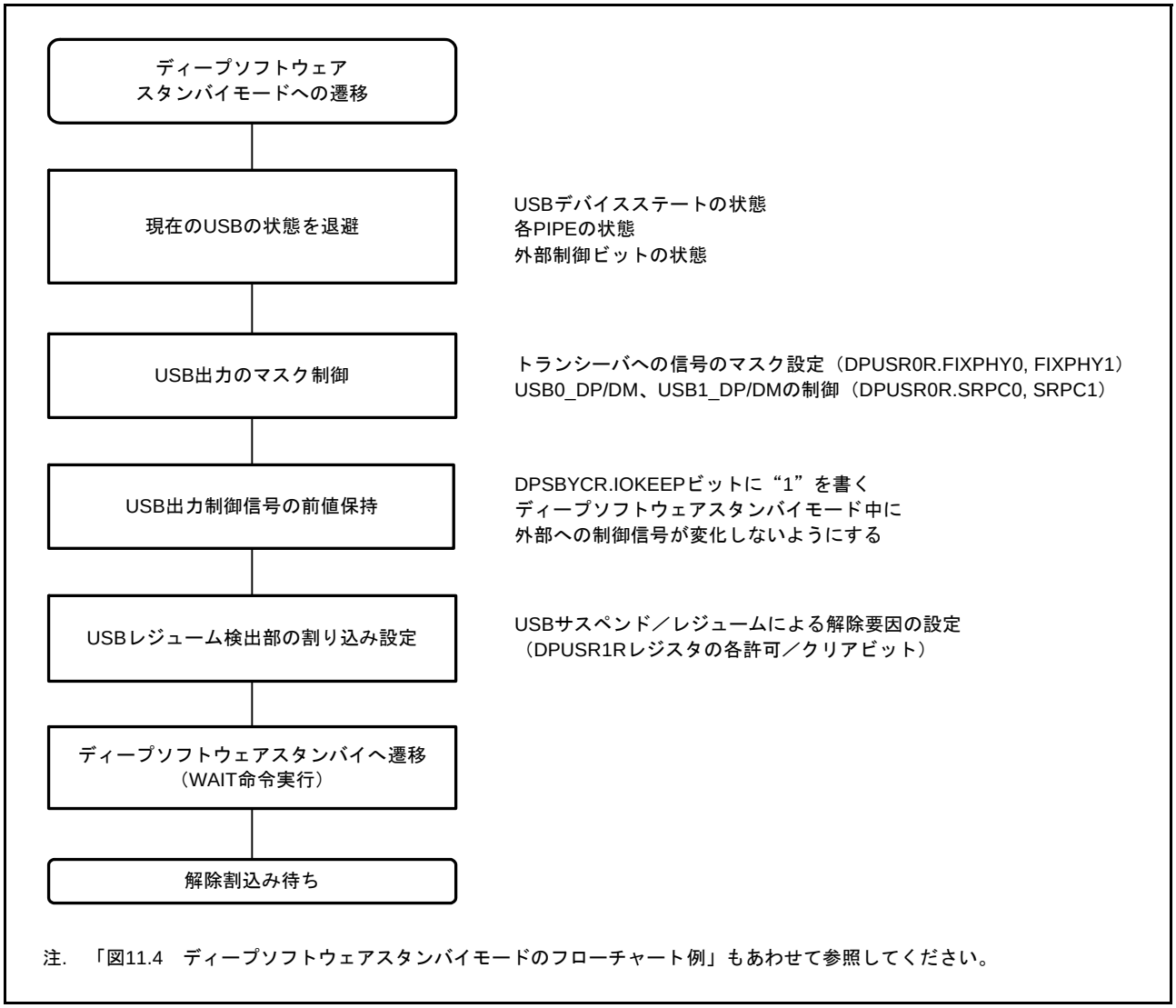


図 34.8　ホスト時またはファンクション時のディープソフトウェアスタンバイ遷移時の USB 設定フロー

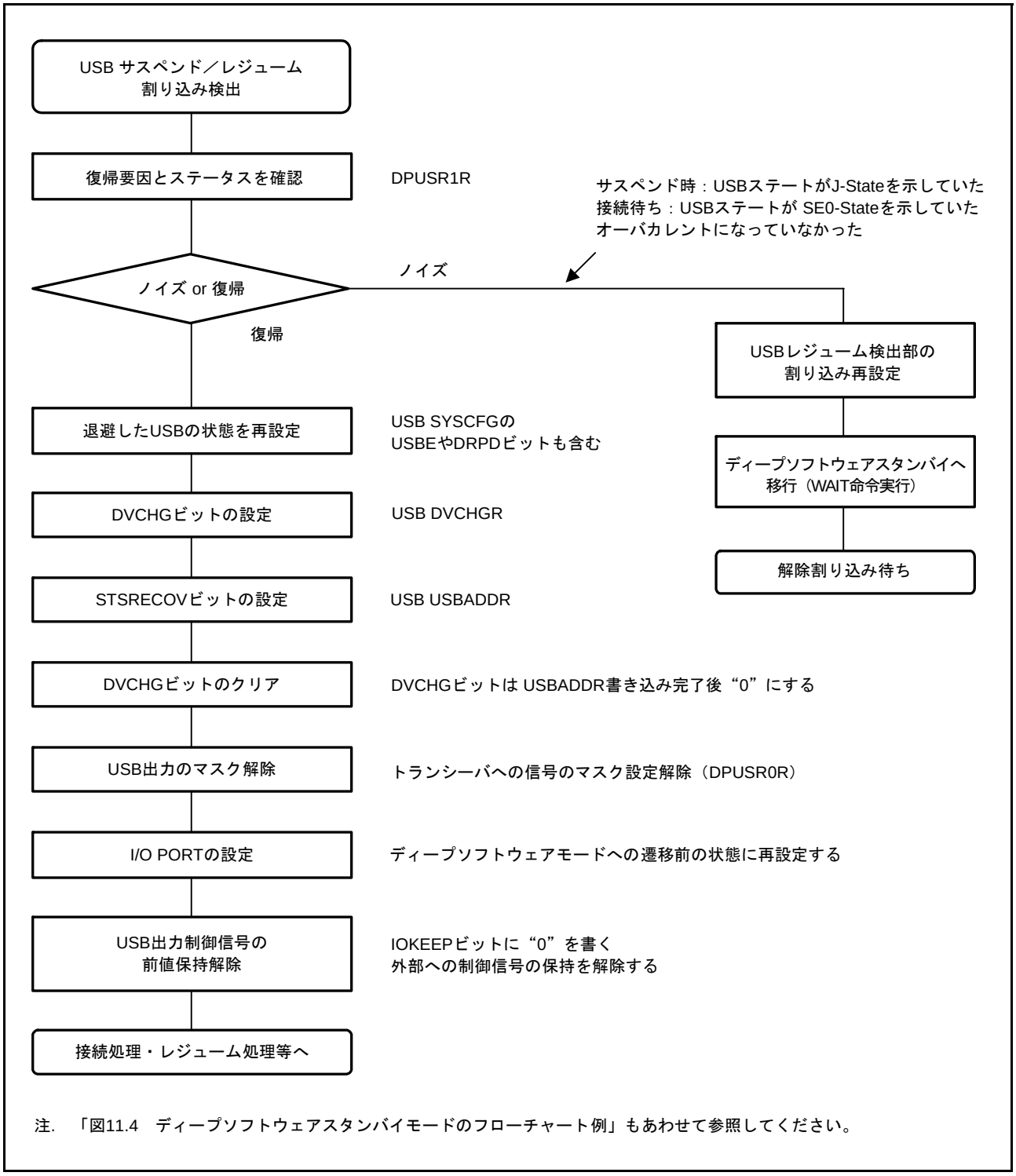
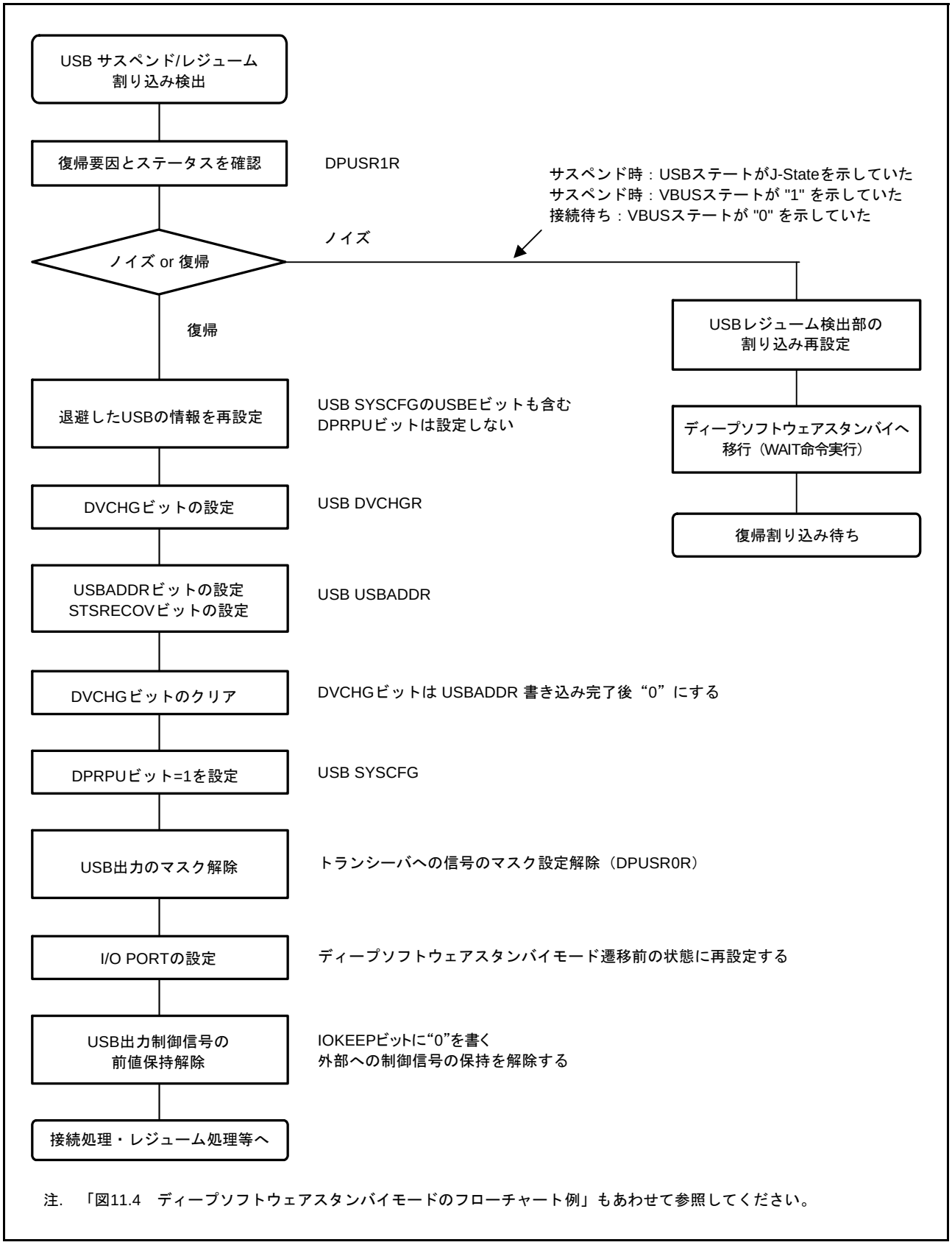


図 34.9　ホスト時のディープソフトウェアスタンバイ解除時の USB 設定フロー



注.　「図11.4　ディープソフトウェアスタンバイモードのフローチャート例」もあわせて参照してください。

図 34.10　ファンクション時のディープソフトウェアスタンバイ解除時の USB 設定フロー

34.3.2 割り込み要因

表 34.12 に USB の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ（ICU）に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表34.12　割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	● USBm_VBUS入力端子の状態変化を検出したとき（Low→High、High→Lowの両方の変化）	ホスト/ファンクション（注1）	INTSTS0.VBSTS
RESM	レジューム割り込み	● サスペンド状態においてUSBバスの状態変化を検出したとき（J-State→K-StateまたはJ-State→SE0）	ファンクション	—
SOFR	フレーム番号更新割り込み	［ホストコントローラ機能選択時］ ● フレーム番号の異なるSOFパケットを送信したとき ［ファンクションコントローラ機能選択時］ ● フレーム番号の異なるSOFパケットを受信したとき	ホスト/ファンクション	—
DVST	デバイスステート遷移割り込み	● デバイスステートの遷移を検出したとき（以下） USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信	ファンクション	INTSTS0.DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	● コントロール転送のステージ遷移を検出したとき（以下） セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	ファンクション	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	● バッファメモリ中の全データを送信してバッファが空になったとき ● マックスパケットサイズを超えたパケットを受信したとき	ホスト/ファンクション	BEMPSTS.PIPEnBEMP
NRDY	バッファノットレディ割り込み	［ホストコントローラ機能選択時］ ● 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき ● 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき（無応答が3回連続、またはパケット受信エラーが3回連続） ● アイソクロナス転送時にオーバラン/アンダーランが発生したとき ［ファンクションコントローラ機能選択時］ ● PIDビット＝BUFを設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき ● アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生したとき ● アイソクロナス転送でデータ受信時にオーバラン/アンダーランが発生したとき	ホスト/ファンクション	NRDYSTS.PIPEnNRDY
BRDY	バッファレディ割り込み	● バッファがレディ（リードまたはライト可能状態）になったとき	ホスト/ファンクション	BRDYSTS.PIPEnBRDY
OVRCR	オーバカレント変化割り込み（注2）	● USB0_OVRCURAおよびUSB0_OVRCURB入力端子の状態変化を検出したとき（Low→High、High→Lowの両方の変化）	ホスト	INTSTS1.OVRCR
BCHG	バス変化割り込み（注2）	● USBバスステートの変化を検出したとき	ホスト/ファンクション	SYSSTS0.LNST[1:0]
DTCH	フルスピード動作時切断検出（注2）	● フルスピード動作時周辺デバイスの切断を検出したとき	ホスト	DVSTCTR0.RHST[2:0]
ATTCH	デバイス接続検出（注2）	● USBバスステートが2.5μs連続したJ-STATE、または2.5μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。	ホスト	—
EOFERR	EOFエラー検出（注2）	● 周辺デバイスのEOFエラーを検出	ホスト	—
SACK	SETUP正常（注2）	● セットアップトランザクションの正常応答（ACK）を受信したとき	ホスト	—
SIGN	SETUPエラー（注2）	● セットアップトランザクションのエラー（無応答またはACKパケット破損）を3回連続で検出したとき	ホスト	—

注1.　本割り込みは、ホスト機能時も発生しますが、通常ホスト機能時には使用しません。
注2.　USB1には、これらの割り込みはありません。

図 34.11 に USB0 の割り込み関連図を、図 34.12 に USB1 の割り込み関連図を示します。

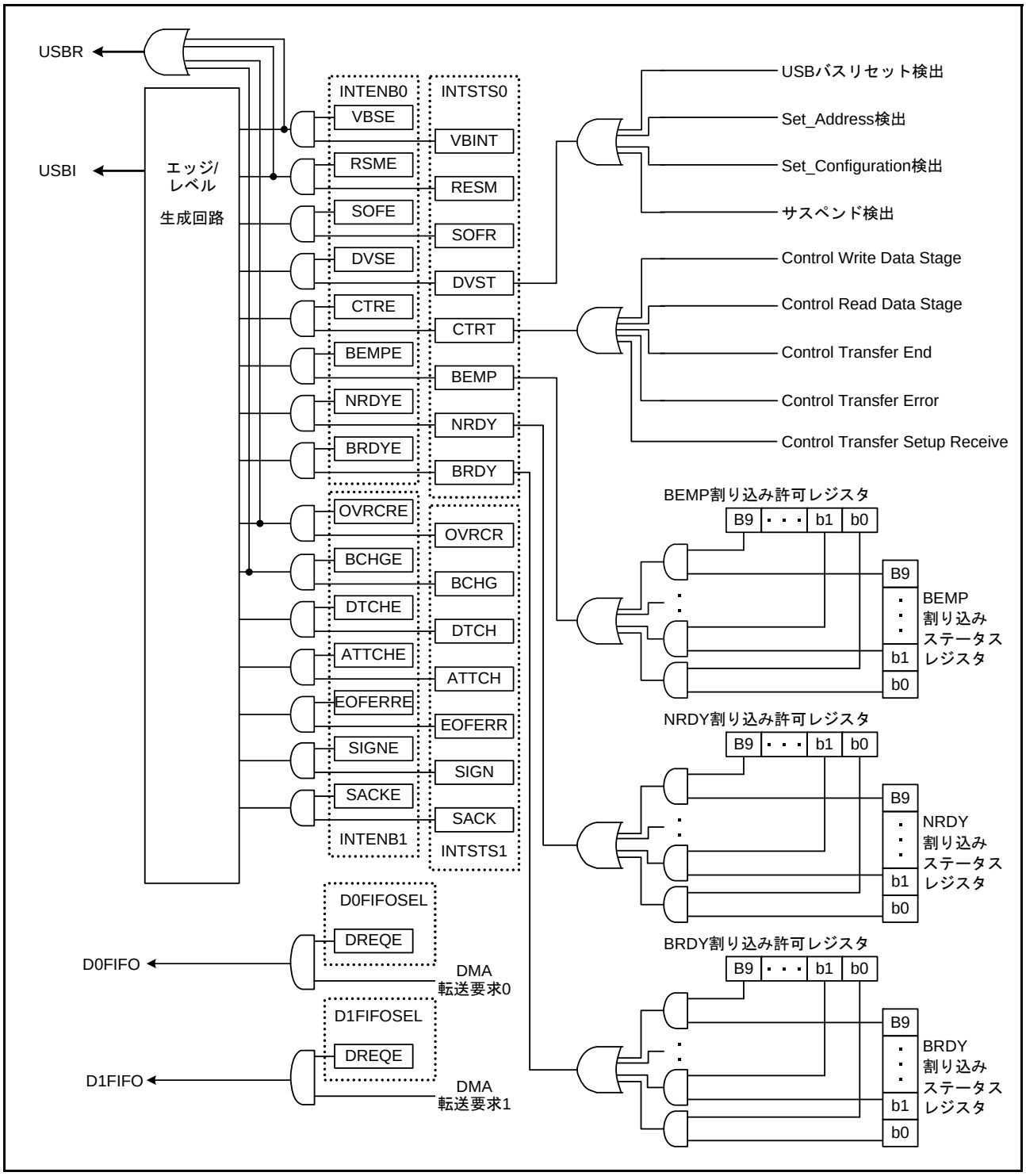


図 34.11　USB0 割り込みの関連図

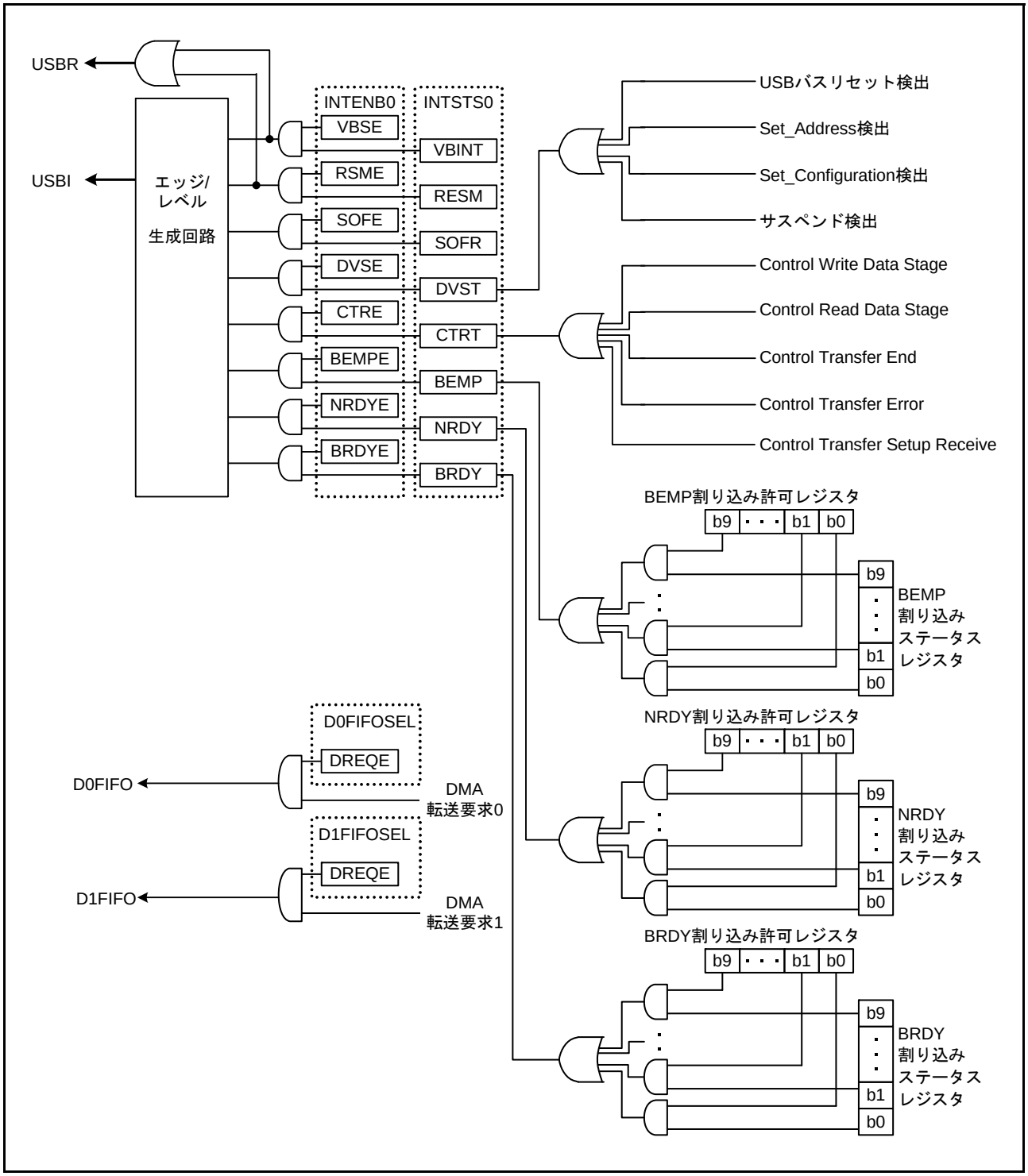


図 34.12　USB1 割り込みの関連図

表 34.13 に USBm の割り込み一覧を示します。（m = 0, 1）

表34.13　USBmの割り込み一覧

割り込み名称	割り込みフラグ	DTCの起動	DMACの起動	優先順位
D0FIFO	DMA転送要求0	可能	可能	高 ▲
D1FIFO	DMA転送要求1	可能	可能	
USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み（注1）、バス変化割り込み（注1）、フルスピード動作時切断検出（注1）、デバイス接続検出（注1）、EOFエラー検出（注1）、SETUP正常（注1）、SETUPエラー（注1）	不可能	不可能	▼ 低
USBR	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み	不可能	不可能	—

注1.　USB1には、これらの割り込はありません。

34.3.3　割り込みの説明

34.3.3.1　BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB は BRDYSTS レジスタの当該ビットを “1” にします。このとき、ソフトウェアが当該パイプに対応する BRDYENB.PIPEnBRDYE ビットを “1” にし、かつ、INTENB0.BRDYE ビットを “1” にしていれば、USB は BRDY 割り込みを発生させます。

BRDY 割り込みは、SOFCFG.BRDYM ビットおよび各パイプの PIPECFG.BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1)　SOFCFG.BRDYM ビットが “0” かつ PIPECFG.BFRE ビットが “0” のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する BRDYSTS.PIPEnBRDY ビットに “1” を表示します。

(a)　送信方向に設定したパイプの場合

- ソフトウェアが DIR ビットを “0” から “1” に変更したとき
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき（BSTS ビット読み出し値が “0” のとき）に、USB が当該パイプのパケット送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに “1” を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

(b)　受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき（BSTS ビット読み出し値が “0” のとき）に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
  データ PID ミスマッチのトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能状態であったとき
  読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアは、当該パイプに対応する PIPEnBRDY ビットに “0” を書くことにより、当該パイプの PIPEBRDY 割り込みステータスを “0” にすることができます。このとき、他のパイプに対応するビットには “1” を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2)　SOFCFG.BRDYM ビットが “0” かつ PIPECFG.BFRE ビットが “1” のとき

この設定の場合、USB は、受信パイプにおいて 1 トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットに “1” を表示します。

USB は、以下のいずれかのときに 1 トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- トランザクションカウンタ（PIPEnTRN）を使用し、PIPEnTRN.TRNCNT[15:0] ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB は 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、USB は 1 トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで “1” を書いてください。

この設定の場合には、USB は送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアは、当該パイプに対応する BRDYSTS.PIPEnBRDY ビットに “0” を書くことにより、当該パイプの PIPEBRDY 割り込みステータスを “0” にすることができます。このとき他のパイプに対応するビットには “1” を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、PIPEnCTR.ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3)　SOFCFG.BRDYM ビットが “1” かつ PIPECFG.BFRE ビットが “0” のとき

この設定の場合、BRDYSTS.PIPEnBRDY ビットの値は各パイプの BSTS ビットに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって USB が “1”、“0” を表示します。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば “1” を表示し、書き込み不可能な状態になれば “0” を表示します。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば “1” を表示し、すべてのデータを読み出したら（読み出しが不可能の状態になったら）“0” を表示します。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアが BCLR = “1” を書くまで該当ビットには “1” が表示され BRDY 割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアは、PIPEnBRDY ビットを “0” にすることはできません。

SOFCFG.BRDYM ビットが “1” のときは、PIPECFG.BFRE ビットはすべて（全パイプ）“0” にしてください。

図 34.13 に、BRDY 割り込み発生タイミング図を示します。

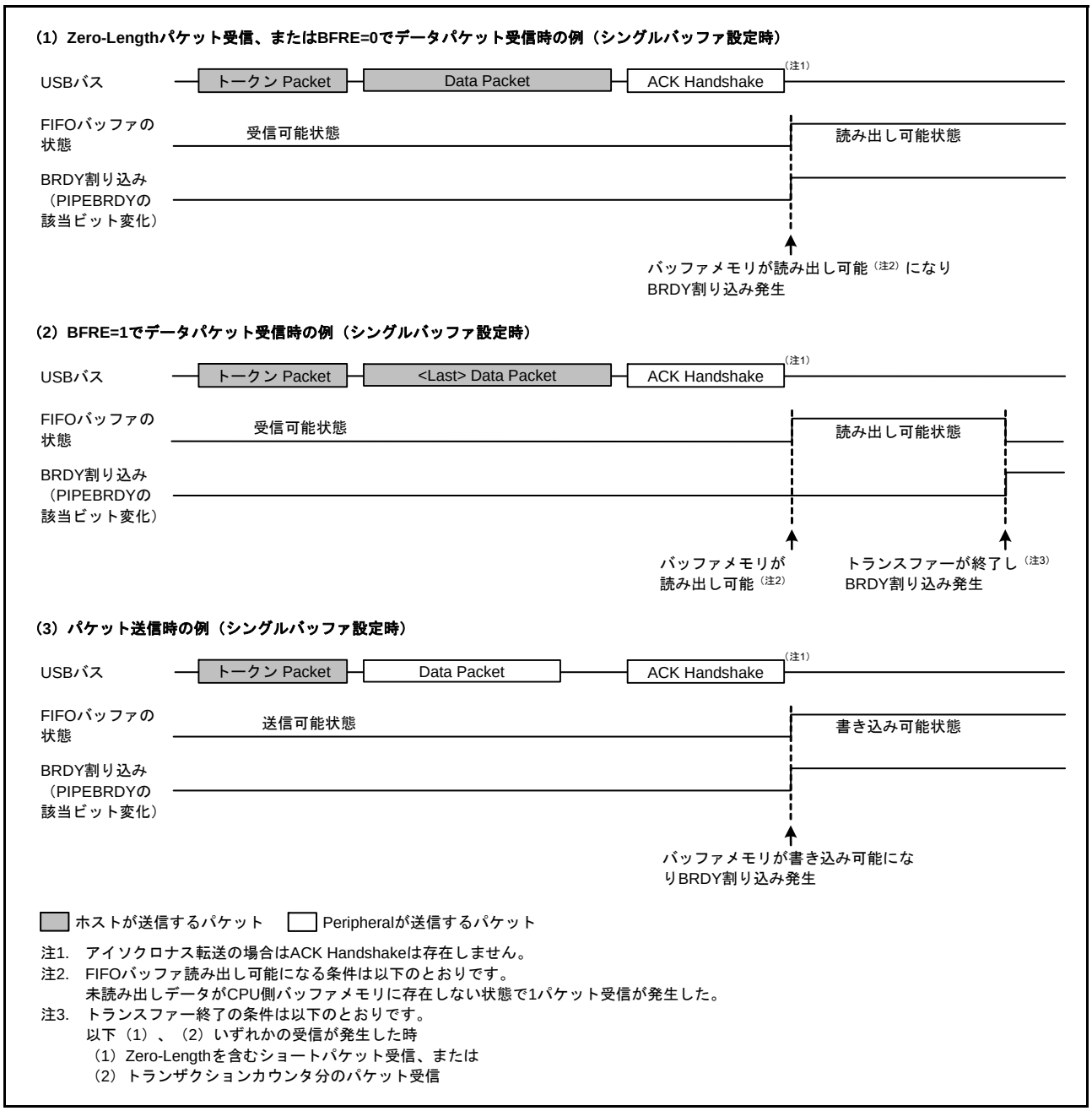


図 34.13　BRDY 割り込み発生タイミング図

USB が INTSTS0.BRDY ビットをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 34.14 に BRDY ビットクリア条件表を示します。

表 34.14　BRDY ビットクリア条件表

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアが BRDYSTS レジスタの全ビットを“0”にすると、USB は BRDY ビットを“0”にします
1	全パイプの BSTS ビットが “0”になったときに、USB は BRDY ビットを“0”にします

34.3.3.2　NRDY 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、USB が内部 NRDY 割り込み要求を発生させた場合に、USB は NRDYSTS.PIPEnNRDY ビットの対応するビットに “1” を表示します。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットを “1” にしている場合、USB は INTSTS0.NRDY ビットに “1” を表示し、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1)　ホストコントローラ機能選択時

(a)　送信方向パイプの場合

USB は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき
  このとき、USB は OUT トークンに続けて Zero-Length パケットを送信し、NRDYSTS.PIPEnNRDY ビットの対応するビットに “1” を表示し、FRMNUM.OVRN ビットにも “1” を表示します。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出）した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき
  このとき、USB は、PIPEnNRDY ビットの対応するビットに “1” を表示し、対応するパイプの PID[1:0] ビットを NAK に変更します。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL Handshake を受信したとき
  このとき USB は、PIPEnNRDY ビットの対応するビットに “1” を表示し、対応するパイプの PID[1:0] ビットを STALL（11b）に変更します。

(b)　受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき
  このとき USB は、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPEnNRDY ビットに “1” を表示し、OVRN ビットにも “1” を表示します。
  更に、IN トークンに対する受信データにパケットエラーを検出した場合には、FRMNUM.CRCE ビットにも “1” を表示します。
- 転送タイプがアイソクロナス転送以外のパイプで、USB が発行した IN トークンに対して周辺デバイスが無応答（周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき
  このとき USB は、当該パイプに対応する PIPEnNRDY ビットに “1” を表示し、対応するパイプの PID[1:0] ビットを NAK に変更します。
- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答 （周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき

このとき USB は、当該パイプに対応する PIPEnNRDY ビットに “1” を表示します （対応するパイプの PID[1:0] ビットの変更は行いません）。

- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーを検出したとき
  このとき USB は、当該パイプに対応する PIPEnNRDY ビットに “1” を表示し、CRCE ビットに “1” を表示します。
- STALL Handshake を受信したとき
  このとき USB は、当該パイプに対応する PIPEnNRDY ビットに “1” を表示し、対応するパイプの PID[1:0] ビットを STALL に変更します。

(2) ファンクションコントローラ機能選択時

(a) 送信方向パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき
  IN トークン受信時に USB は NRDY 割り込み要求を発生させ NRDYSTS.PIPEnNRDY ビットに “1” を表示します。
  割り込み発生パイプの転送タイプがアイソクロナスの場合、USB は Zero-Length パケットを送信し、FRMNUM.OVRN ビットに “1” を表示します。

(b) 受信方向パイプの場合

- FIFO バッファに空きがない状態で OUT トークンを受信したとき
  割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットに “1” を表示し、OVRN ビットに “1” を表示します。
  割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB は、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPEnNRDY ビットに “1” を表示します。
  ただし、再送時 （DATA-PID ミスマッチ発生時）には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
  SOF 受信のタイミングで USB は、NRDY 割り込み要求を発生させ、PIPEnNRDY ビットに “1” を表示します。

図 34.14 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

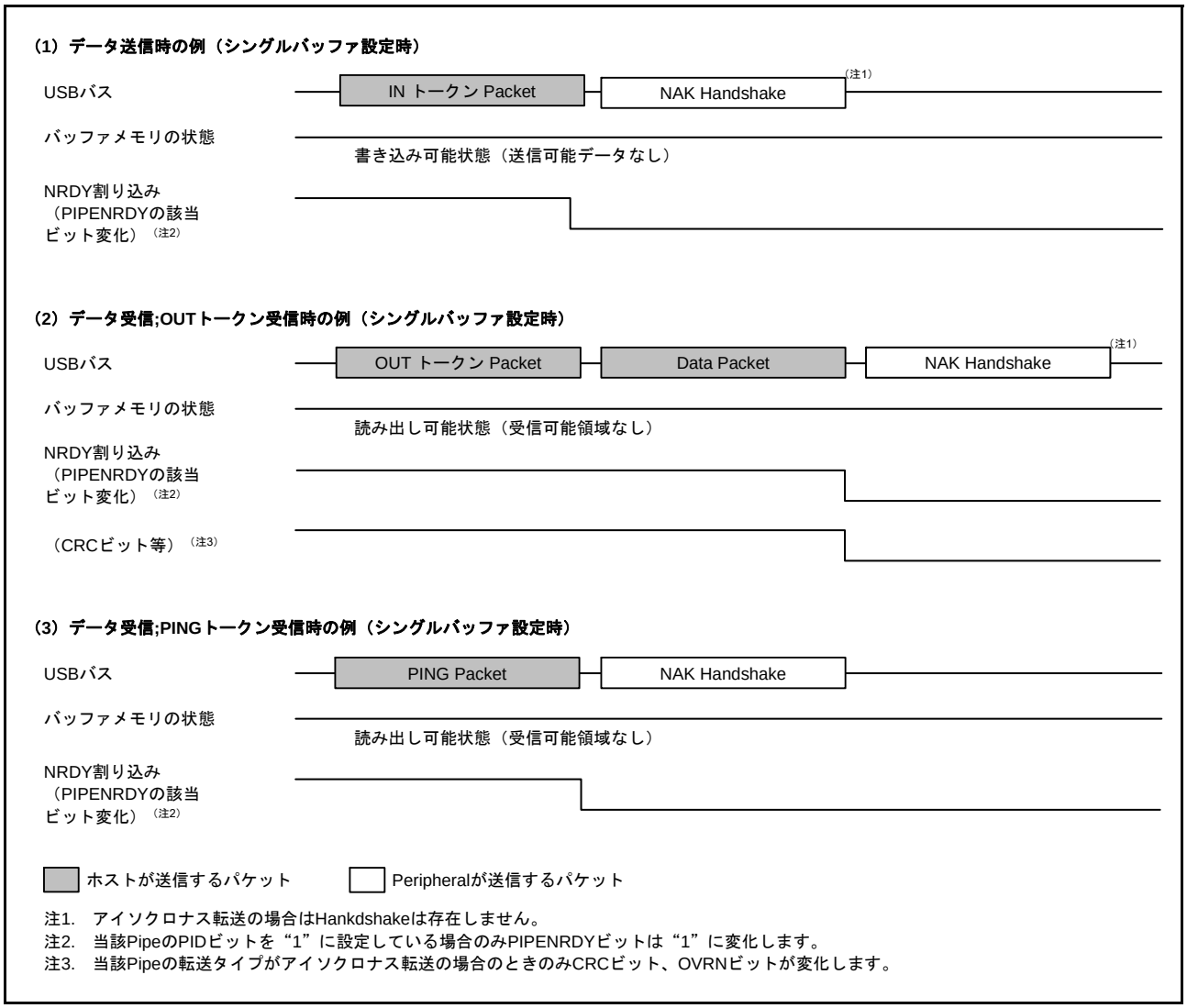


図 34.14　NRDY 割り込み発生タイミング図（ファンクションコントローラ機能選択時）

34.3.3.3　BEMP 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、USB が、BEMP 割り込みを検出した場合に、USB は BEMPSTS.PIPEnBEMP ビットの対応するビットに “1” を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットを “1” にしている場合、USB は INTSTS0.BEMP ビットに “1” を表示し、USB 割り込みが発生します。

以下の場合に、USB は内部 BEMP 割り込み要求を発生させます。

(1)　送信方向パイプの場合

送信完了時（Zero-Length パケットの送信時を含む）に、対応するパイプの FIFO バッファが空のとき、シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1 面分のデータ送信完了時にソフトウェア（DMAC）が CPU 側の FIFO バッファに対する書き込みを開始している場合
- また、PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットに “1” を書くことに

よるバッファクリア（エンプティ）。

- ファンクションコントローラ機能設定時、コントロール転送 Status ステージの IN 転送（Zero-Length パケット送信）時

(2)　受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき、USB は、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP ビットの対応するビットに “1” を表示し、受信データを破棄し、対応するパイプの PID[1:0] ビットを STALL（11b）に変更します。このとき USB は、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時

  BEMPSTS.PIPEnBEMP ビットに “0” を書くことにより、ステータスをクリアすることができます。

  BEMPSTS.PIPEnBEMP ビットに “1” を書いても、動作に影響ありません。

図 34.15 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

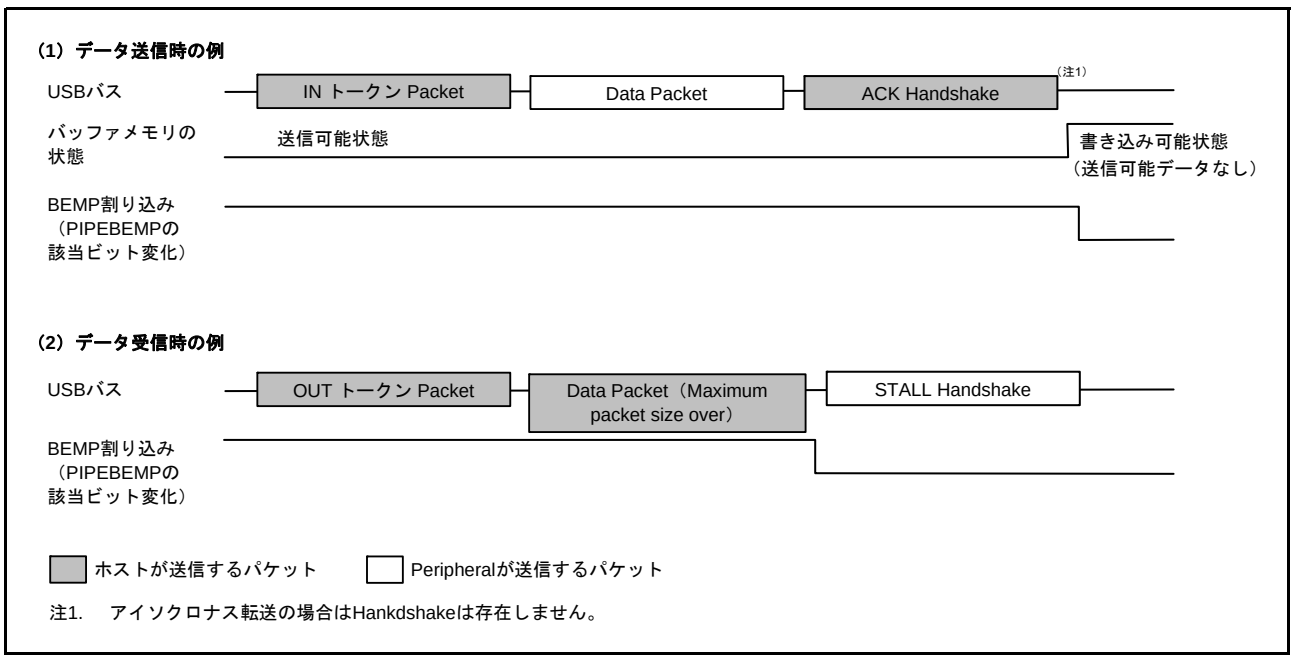


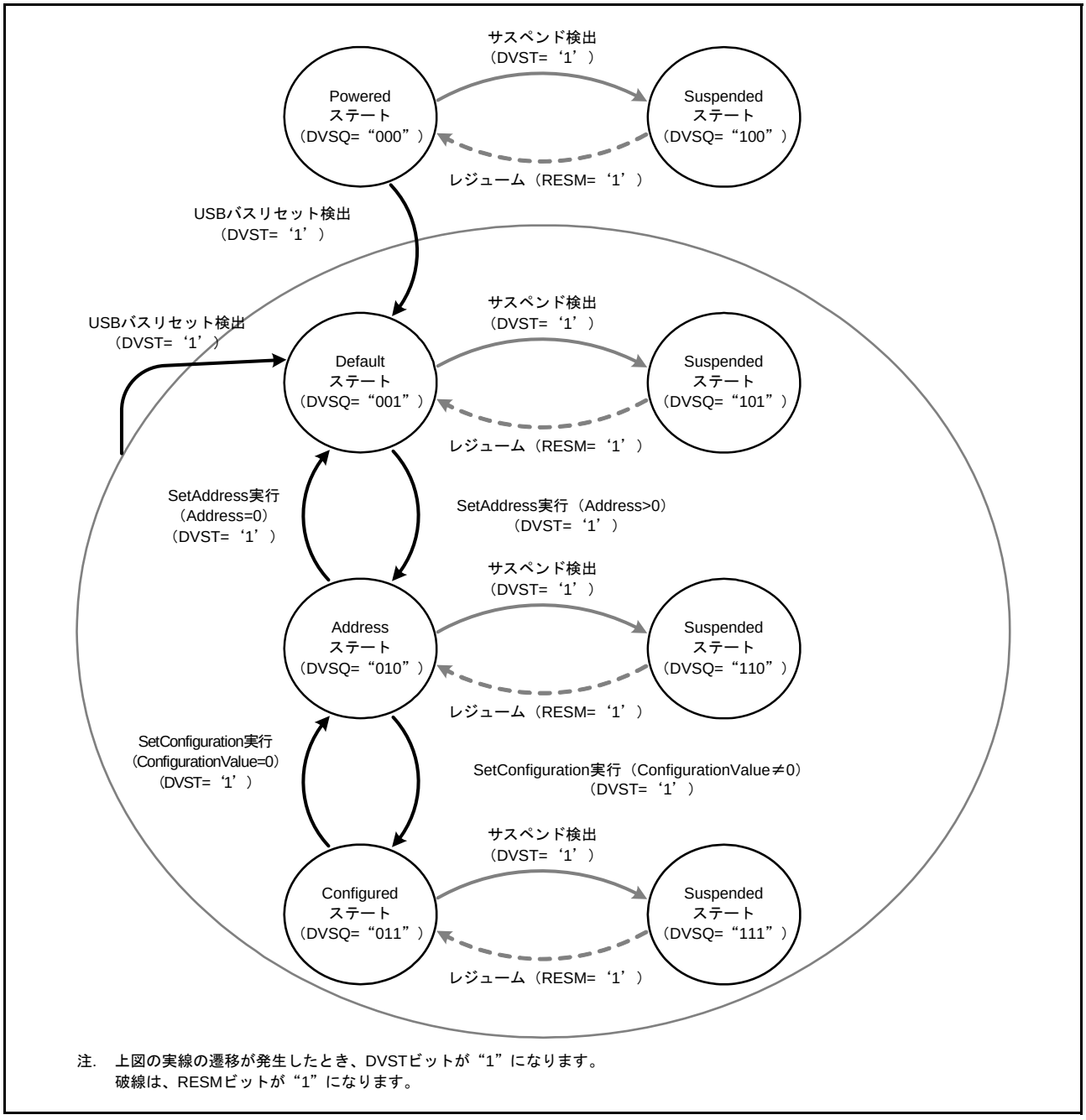
図 34.15　ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

34.3.3.4　デバイスステート遷移割り込み

図 34.16 に USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQ[2:0] ビットにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。



注.　上図の実線の遷移が発生したとき、DVSTビットが“1”になります。
破線は、RESMビットが“1”になります。

図 34.16　デバイスステート遷移図

34.3.3.5　コントロール転送ステージ遷移割り込み

図 34.17 に USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ[2:0] ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが “1xb”（STALL 応答）になります。

コントロールリード転送時

- データステージの IN トークンに対して、1 度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが DATAPID = DATA0 のパケットを受信

コントロールライト転送時

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データスステージで最初のデータパケットが DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークン受信

コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（INTSTS0.CTRT = “1”）は、CTSQ[2:0] = “110b” の値がシステムから CTRT ビットに “0” を書く（割り込みステータスクリア）まで保持されます。このため、CTSQ[2:0] = “110b” が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません（セットアップステージ完了は、USB で保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します）。

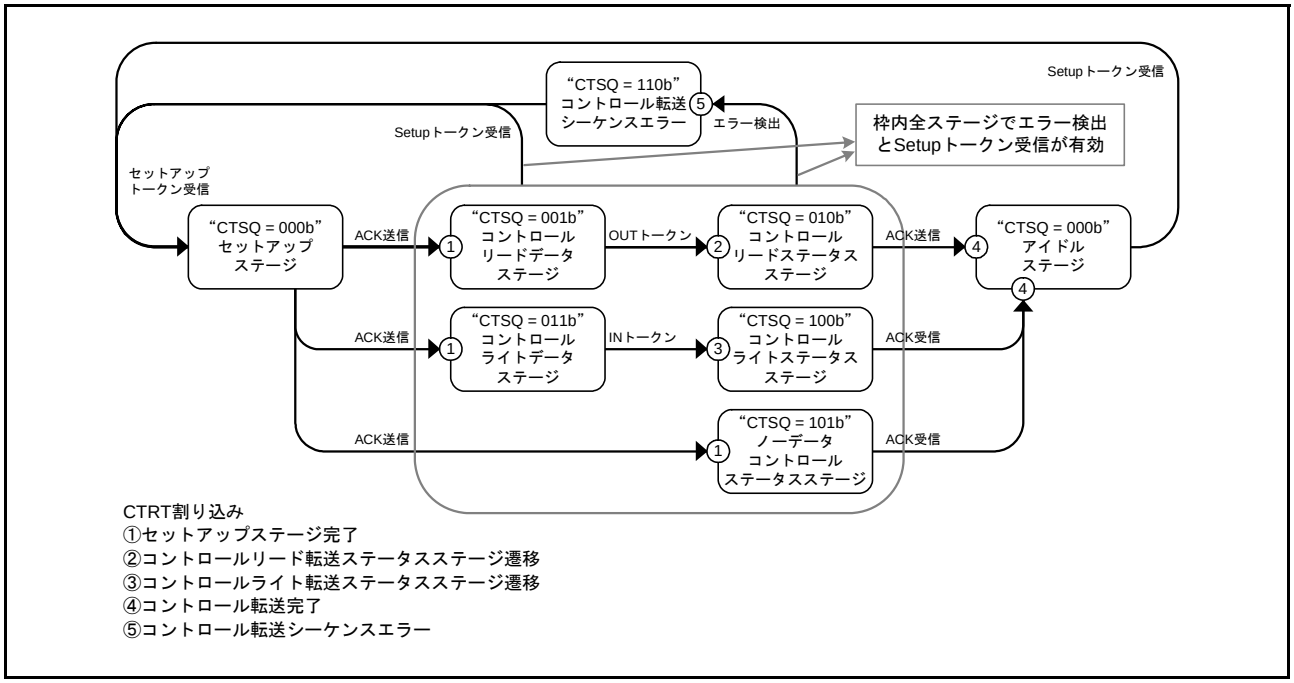


図 34.17　コントロール転送ステージ遷移図

34.3.3.6　フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、USB は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生します。

34.3.3.7　VBUS 割り込み

USBm_VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS ビットにて USBm_VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USBm_VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

34.3.3.8　レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化（J-State → K-State または J-State → SE0）したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

34.3.3.9　OVRCR 割り込み

ポート 0 側は、USB0_OVRCURA 端子または USB0_OVRCURB 端子に変化があった場合に OVRCR 割り込みが発生します。SYSSTS0.OCVMON[1:0] ビットにて USB0_OVRCURA 端子および USB0_OVRCURB 端子のレベルを確認できます。OVRCR 割り込みによって外部電源 IC からオーバカレント検出の確認ができます。また On-The-Go 接続時には VBUS コンパレータ変化検出の確認ができます。

34.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

34.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB は、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示する
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

34.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

34.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

34.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5μs 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5μs 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5μs 間継続したとき

34.3.3.15 EOFERR 割り込み

USB 2.0 仕様書に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを “0” に変更し表示する（n = 0, 1）
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

34.3.4　パイプコントロール

表 34.15 に USB のパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。USB にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表34.15　パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプを指定	パイプ1～9：設定可能
	BFRE	BRDY割り込みモードを選択	パイプ1～5：設定可能
	DBLB	ダブルバッファを選択	パイプ1～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は“0000b”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能（バルク転送選択時のみ設定可能） パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3～9：設定不可能
	IITV	インターバルカウンタ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3～5：設定不可能 パイプ6～9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答PID	「34.3.4.6　応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1～5：設定可能

34.3.4.1　パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可（PID = NAK）であるときのみ書き替えが可能になります。

USB 通信許可（PID = BUF）状態では設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR, SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM, ACLRM, SQCLR, SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

USB 通信許可（PID = BUF）状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを NAK に変更します。
3. 当該パイプの PBUSY ビットが “0” になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE[3:0] ビットにも設定されていないパイプ情報のみ書き替えが可能です。

CURPIPE[3:0] ビットに設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

34.3.4.2　転送タイプ

PIPECFG.TYPE[1:0] ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ 1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3 ～ 5：バルク転送を設定してください。
- パイプ 6 ～ 9：インタラプト転送を設定してください。

34.3.4.3　エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント “0” に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント “0” 固定）です。
- パイプ 1 ～ 9：1 から 15 までを選択して設定してください。
  ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定してください。

34.3.4.4　マックスパケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1 ～ 5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6 ～ 9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID = BUF）に設定してください。

- DCP：8、16、32、64 から選択して設定してください。
- パイプ 1 ～ 5：バルク転送時は、8、16、32、64 から選択して設定してください。
- パイプ 1、2：アイソクロナス転送時は、1 から 256 の値を設定してください。
- パイプ 6 ～ 9：1 から 64 の値を設定してください。

34.3.4.5　トランザクションカウンタ（パイプ 1 ～ 5 読み出し方向）

USB は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する PIPEnTRN レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、PIPECFG.SHTNAK ビット設定が “1” との組み合わせによりカレントカウンタが指定回数に一致すると、当該 PIPEnCTR.PID[1:0] ビットを NAK 状態とし、次の転送を不許可状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。
PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時の情報が異なります。

- TRENB ビットが “0”：設定したトランザクションカウンタ値が読めます。
- TRENB ビットが “1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID = BUF の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

34.3.4.6　応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットにて各パイプの応答 PID を設定します。各設定における USB の動作は下記のとおりです。

(1)　ホストコントローラ機能選択時の応答 PID 設定

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定：バッファメモリの状況に応じてトランザクションが実施されます。
  OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
  IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注．　DCP のセットアップトランザクションは、DCPCTR.SUREQ ビットで設定します。

(2)　ファンクションコントローラ機能選択時の応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して STALL 応答します。

注．　セットアップトランザクションに対しては、PID[1:0] ビットの設定にかかわらず、ACK 応答し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USB による書き込みが発生する場合があります。USB により PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

(3)　ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID = NAK となり、トークンの発行を自動的に停止します。
  アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
  （詳細は、「34.3.3.2　NRDY 割り込み」を参照してください。）
  －バルク転送時に PIPECFG.SHTNAK ビットを “1” にした場合でショートパケットを受信したとき
  －バルク転送時に SHTNAK ビットを “1” にし、トランザクションカウンタが終了したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID = STALL となり、トークンの発行を自動的に停止します。
  －送信したトークンに対して STALL を受信したとき
  －受信したデータパケットがマックスパケットサイズを超えたとき

(4)　ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して NAK 応答します。
  SETUP トークンを正常に受信したとき（DCP のみ）
  バルク転送時に PIPECFG.SHTNAK ビットを “1” にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して STALL 応答します。
  －受信データパケットでマックスパケットサイズオーバエラーを検出したとき
  －コントロール転送シーケンスエラーを検出したとき（DCP のみ）

34.3.4.7　データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USB によりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に USB が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA0 になり、ステータスステージでは DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

34.3.4.8　応答 PID = NAK 機能

USB には、PIPECFG.SHTNAK ビットを “1” にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答 PID = NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答 PID = BUF）設定を行う必要があります。

なお、応答 PID=NAK 機能はバルク転送時のみ動作することが可能です。

34.3.4.9　自動応答モード

バルク転送のパイプ（パイプ 1 ～ 5）において、PIPEnCTR.ATREPM ビットを “1” にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビットが “0”）には OUT-NAK モードとなり、IN 転送時（DIR ビットが “1”）には Null 自動応答モードとなります。

34.3.4.10　OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを “1” にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードを解除して、パイプ動作許可（応答 PID = BUF）を行ってください。通常モードでは、OUT データ受信が可能となります。

34.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを “1” にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。PIPEnCTR.INBUFM ビットが “0” であることで確認してください。INBUFM ビットが “1” の場合には、バッファ内にデータが存在しているため、PIPEnCTR.ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10µs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

34.3.5 FIFO バッファメモリ

34.3.5.1 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB にて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム（CPU 側）にある場合と USB（SIE 側）にある場合があります。

(1) バッファステータス

表 34.16 および**表 34.17** に USB のバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1 ～ 5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU（DMAC）による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 34.16　BSTS ビットによるバッファステータス

ISEL または DIR	BSTS	バッファメモリの状態
0（受信方向）	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0（受信方向）	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1（送信方向）	0	送信を完了していない FIFO ポートへの書き込み不可能
1（送信方向）	1	送信完了 CPU は書き込み可能

表34.17　INBUFMビットによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0（受信方向）	無効	無効
1（送信方向）	0	送信可能データを送信完了した 送信可能データなし
1（送信方向）	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

34.3.5.2　FIFO バッファクリア

表 34.18 に USB による FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアすることができます。

表34.18　各バッファクリア一覧

FIFOバッファクリアの種類	CPU側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
当該レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
当該ビット	BCLR ビット	DCLRM ビット	ACLRM ビット
“0”になる条件	“1”書き込みで“0”になる	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(1)　自動バッファクリアモード機能

USB には、PIPEnCTR.ACLRM ビットを “1” にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットを “1” にし、続けて “0” にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの “1” 書き込みと “0” 書き込みの間隔を 100ns 以上とってください。

(2)　バッファメモリ仕様（シングル / ダブル設定）

パイプ 1 ～ 5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

34.3.5.3　FIFO ポートの機能

表 34.19 に USB の FIFO ポート機能設定表を示します。データ書き込みアクセス時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL フラグによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL フラグによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時（DTLN[8:0] ビットが “0”）は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] ビットにて確認します。

表 34.19　FIFO ポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL、DnFIFOSEL（n = 0, 1）	RCNT	DTLN 読み出しモード選択
	REW	バッファメモリリワインド（再読み出し、再書き込み）
	DCLRM	指定パイプの受信データ読み出し後自動クリア（DnFIFO 専用）
	DREQE	DMA 転送許可（DnFIFO 専用）
	MBW	FIFO ポートアクセスビット幅
	BIGEND	FIFO ポートエンディアン選択
	ISEL	FIFO ポートアクセス方向（DCP 専用）
	CURPIPE	カレントパイプ選択
CFIFOCTR、DnFIFOCTR（n = 0, 1）	BVAL	バッファメモリ書き込み終了
	BCLR	CPU 側バッファメモリクリア
	DTLN	受信データ長確認

(1)　FIFO ポート選択

表 34.20 に各 FIFO ポートで選択可能なパイプ表を示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します）、ポートコントロールレジスタの FRDY ビットが “1” であることを確認し、FIFO ポートへアクセスしてください。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG.DIR ビットに従います。ただし、DCP のみポート選択レジスタの ISEL ビットにより決定します。

表 34.20　パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1～9	CPU アクセス	CFIFO ポートレジスタ D0FIFO/D1FIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

(2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビット設定と同時に REW ビットを “1” にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0” にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY ビットが “1” であることを確認する必要があります。

34.3.5.4 DMA 転送（D0FIFO/D1FIFO ポート）

(1) DMA 転送概要

パイプ 1 ～ 9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード（D0FIFO/D1FIFO ポート読み出し方向）

USB は、DnFIFOSEL.DCLRM ビットを “1” にすることで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 34.21 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。**表 34.21** に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、DnFIFO 自動クリアモードはバッファメモリ読み出し方向のみ設定できます。

表 34.21　パケット受信とソフトウェアによるバッファメモリクリア処理の関連

パケット受信時のバッファ状態	レジスタの設定			
	DCLRM = “0”		DCLRM = “1”	
	BFRE = “0”	BFRE = “1”	BFRE = “0”	BFRE = “1”
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

34.3.6　コントロール転送（DCP）

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ（DCP）を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

34.3.6.1　ホストコントローラ機能選択時のコントロール転送

(1)　セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに “1” を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0” になります。SUREQ = “1” 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP.DEVSEL[3:0] ビットを “0” にし、DEVADD0.USBSPD[1:0] ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL[3:0] ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDn レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP.DEVSEL[3:0]=“2h” のときは DEVADD2 レジスタを、PIPEMAXP.DEVSEL[3:0] = “5h” のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します（INTSTS1 レジスタの SIGN ビットおよび SACK ビット）。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR.SQMON ビットの内容にかかわらず、DATA0 のデータパケット（USB リクエスト）が送信されます。

(2)　データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(3)　ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR.DTLN[8:0] ビットで受信データ長を確認のうえ、CFIFOCTR.BCLR ビットでバッファメモリクリアを行ってください。

34.3.6.2　ファンクションコントローラ機能選択時のコントロール転送

(1)　セットアップステージ

USB は、USB に対する正常なセットアップパケットに対して ACK 応答します。セットアップステージの USB の動作を以下に示します。

新しいセットアップパケットを受信すると、USB は以下のビットをセットします。

- INTSTS0.VALID ビットを “1” にする
- DCPCTR.PID[1:0] ビットを NAK にセット
- DCPCTR.CCPL ビットを “0” にする

セットアップパケットに引き続きデータパケット受信すると、USB は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID ビットを “0” にした後にしてください。VALID ビットが “1” の状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、USB は、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USB は、受信した USB リクエストの方向ビット（bmRequestType のビット 8）およびリクエストデータ長（wLength）を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USB のステージ管理については図 34.20 を参照してください。

(2)　データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL.ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3)　ステータスステージ

DCPCTR.PID[1:0] ビットが PID = BUF の状態で、DCPCTR.CCPL ビットを “1” にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USB が自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
  USB からの Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
  USB は Zero-Length パケットの送信を行い、USB ホストからの ACK 応答を受信します。

(4)　コントロール転送自動応答機能

USB は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- コントロールリード転送以外の場合：bmRequestType ≠ 00h
- リクエストエラーの場合：wIndex ≠ 00h
- ノーデータコントロール転送以外の場合：wLength ≠ 00h
- リクエストエラーの場合：wValue ＞ 7Fh
- デバイスステートエラーのコントロール転送：INTSTS0.DVSQ[2:0] = 011b（Configured）

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

34.3.7　　バルク転送（パイプ 1 ～ 5）

バルク転送は、バッファメモリ使用方法（シングル / ダブルバッファ設定）の選択ができます。
USB は、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能（PIPECFG.BFRE ビット：「34.3.3.1　(2)　SOFCFG.BRDYM ビットが “0” かつ PIPECFG.BFRE ビットが “1” のとき」参照）
- トランザクションカウント機能
  （PIPEnTRE.TRENB, TRCLR ビット、PIPEnTRN.TRNCNT[15:0] ビット：「34.3.4.5　トランザクションカウンタ（パイプ 1 ～ 5 読み出し方向）」参照）
- 応答 PID = NAK 機能（PIPECFG.SHTNAK ビット：「34.3.4.8　応答 PID = NAK 機能」参照）
- 自動応答モード（PIPEnCTR.ATREPM ビット：「34.3.4.9　自動応答モード」参照）

34.3.8　　インタラプト転送（パイプ 6 ～ 9）

ファンクションコントローラ機能選択時、USB は、ホストコントローラが管理している周期に従ってインタラプト転送を行います。
ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

34.3.8.1　　ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0] ビットに、トランザクションのインターバルを設定します。USB コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1)　カウンタの初期化

USB コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット：
  IITV[2:0] ビットが初期化されます。
- PIPEnCTR.ACLRM ビットによるバッファメモリ初期化
  IITV[2:0] ビットは初期化されませんがカウントは初期化されます。PIPEnCTR.ACLRM ビットを “0” にすることにより、IITV の設定値を最初からカウントします。

なお、以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド
  IITV[2:0] ビットは初期化されません。DVSTCTR0.UACT ビットを “1” にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(2)　トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

34.3.9　　アイソクロナス転送（パイプ 1、2）

USB は、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ（PIPEPERI.IITV[2:0] ビット指定）
- アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
- アイソクロナス IN 転送バッファフラッシュ機能（PIPEPERI.IFIS ビット指定）

34.3.9.1　　アイソクロナス転送のエラー検出

USB は、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。**表 34.22** および**表 34.22** に USB がエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

(a)　PID エラー

- 受信パケットの PID が不正な場合

(b)　CRC エラー、ビットスタッフィングエラー

- 受信パケットの CRC にエラーがあった場合またはビットスタッフィングが不正な場合

(c)　マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

(d)　オーバラン、アンダーランエラー

- ホストコントローラ機能選択時
  IN 方向（受信）の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
  OUT 方向（送信）の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時
  IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータがない場合
  OUT 方向（受信）の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

(e)　インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合
- アイソクロナス OUT 転送でインターバルフレーム以外に OUT トークンを受信した場合

表34.22　トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
3	オーバラン、アンダーランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させ、FRMNUM.OVRNビットを“1”にします。ファンクションコントローラ機能選択時は、INトークンに対してZero-Lengthパケットを送信します。OUTトークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表34.23　データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、FRMNUM.CRCEビットを“1”にします
3	マックスパケットサイズオーバエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PID[1:0]ビットをSTALLにセットします

34.3.9.2　DATA-PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

IN 方向

- DATA0：データパケットの PID として送信します
- DATA1：送信しません
- DATA2：送信しません
- mDATA：送信しません

OUT 方向

- DATA0：データパケットの PID として正常受信します
- DATA1：データパケットの PID として正常受信します
- DATA2：パケットを無視します
- mDATA：パケットを無視します

34.3.9.3　インターバルカウンタ

PIPEPERI.IITV[2:0] ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、**表 34.24** に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 34.24　ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウントは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームです。

(1)　ファンクションコントローラ機能選択時でのカウンタの初期化

USB は、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット
  PIPEPERI.IITV[2:0] ビットが初期化されます。
- ACLRM によるバッファメモリ初期化
  IITV[2:0] ビットは初期化されませんがカウントは初期化されます。PIPEnCTR.ACLRM ビットを “0” にすることにより、IITV の設定値からカウントを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウントを開始します。

1. PID = BUF 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID = BUF 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを NAK または STALL に設定した場合
  インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
  IITV[2:0] ビットは初期化されません。SOF を受信すると、受信前の値からカウントを開始します。

(2)　ホストコントローラ機能選択時のインターバルカウントと転送制御

PIPEPERI.IITV[2:0] ビットの設定値に従って USB はトークン発行間隔を制御します。USB は 2^{IITV} 回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB は、ソフトウェアが PID[1:0] ビットを BUF に設定した次のフレームからトークン発行間隔のカウントを開始します。

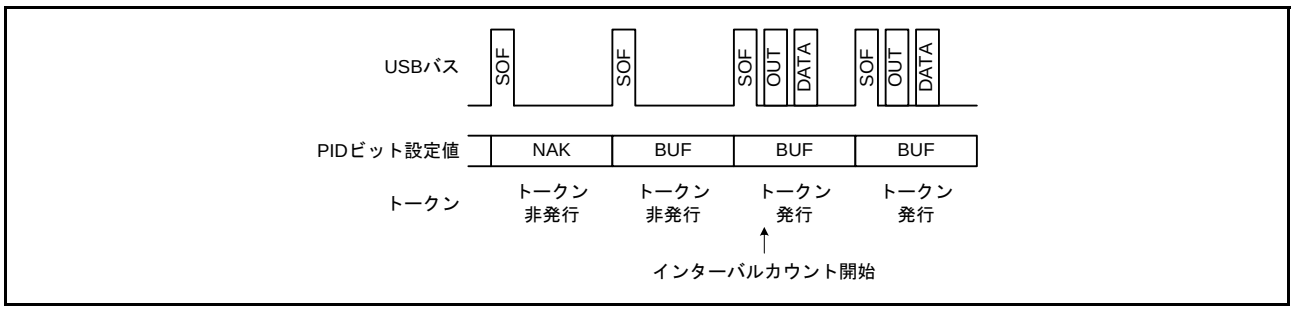


図 34.18　IITV= 0 の場合のトークン発行有無

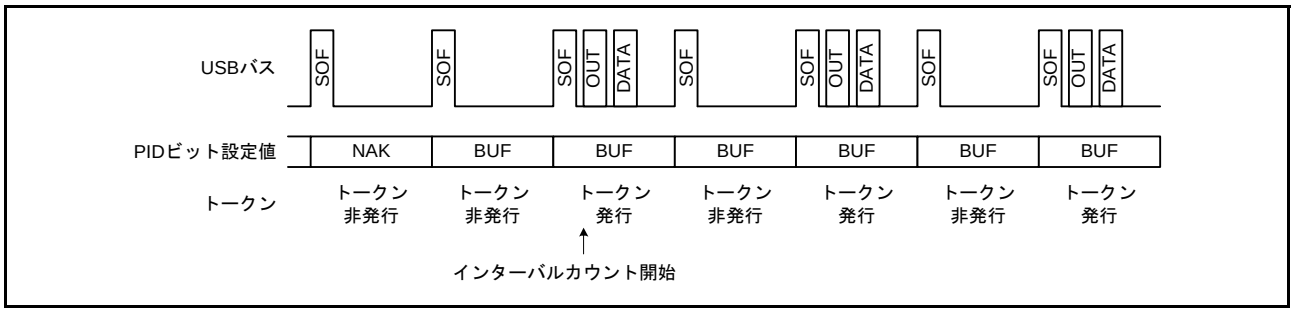


図 34.19　IITV = 1 の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB はトークンを発行します。

(a)　選択パイプがアイソクロナス IN 転送パイプの場合

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

（ソフトウェア（DMAC）が FIFO バッファからデータを読み出すのが遅いなどの原因で）FIFO バッファがフルのために、USB がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB は FRMNUM.OVRN ビットに “1” を表示し、NRDY 割り込みを発生させます。

(b)　選択パイプがアイソクロナス OUT 転送パイプの場合

（ソフトウェア（DMACA）が FIFO バッファにデータを書き込むのが遅いなどの原因で）送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB は OVRN ビットに “1” を表示し、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合です。

- USB が端子リセットされた場合
  （このとき、IITV[2:0] ビットへの設定値も “0” になります。）
- ソフトウェアで PIPEnCTR.ACLRM ビットを “1” にした場合

(3)　ファンクションコントローラ機能選択時のインターバルカウントと転送制御

(a)　選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0] ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、USB は NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB がデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV=0 以外のときには、インターバルカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID[1:0] ビットに NAK を設定した場合、USB は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。

- IITV=0 のとき:選択パイプの PID[1:0] ビットを BUF に変更した次のフレームからインターバルのカウントを開始します。

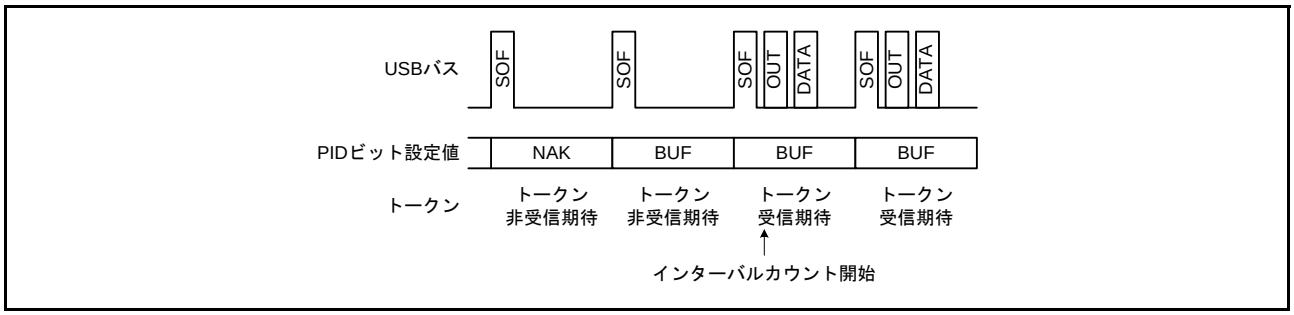


図 34.20　IITV= 0 の場合のフレームとトークン受信期待有無の関係

- IITV=0 以外のとき:選択パイプの PID[1:0] ビットを BUF に変更した後最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

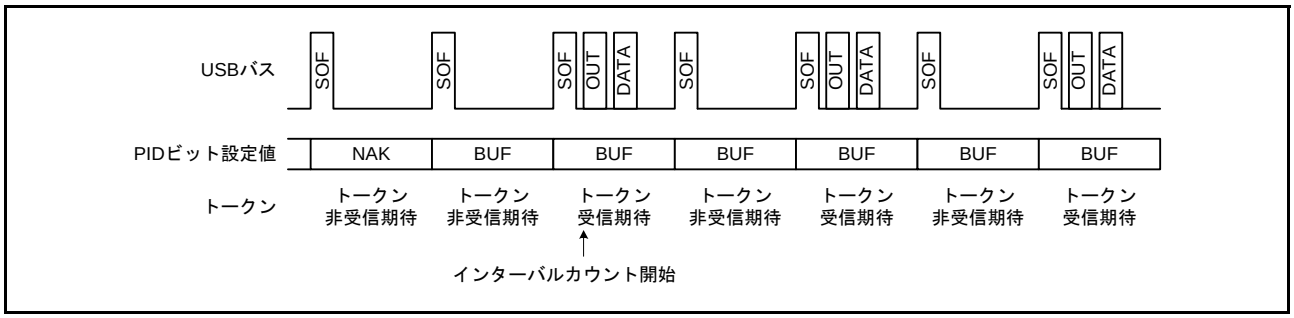


図 34.21　IITV= 0 以外の場合のフレームとトークン受信期待有無の関係

(b)　選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERI.IFIS ビットを “1” にして使用します。

IFIS ビットが “0” の場合には PIPEPERI.IITV[2:0] ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS ビットが “1” のときは、FIFO バッファに送信可能なデータが存在している状態で、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなかったとき、USB は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB が正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。（OUT 時と同様です）

ファンクションコントローラ機能選択時のインターバルカウント条件は以下のいずれかの場合です。

- USB がハードウェアリセットされた場合（このとき、IITV[2:0] ビットへの設定値も “000b” になります。）
- ソフトウェアで PIPEnCTR.ACLRM ビットを “1” にした場合
- USB が USB バスリセットを検出した場合

(4)　ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 34.22 に USB で、IITV=0（毎フレーム）にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

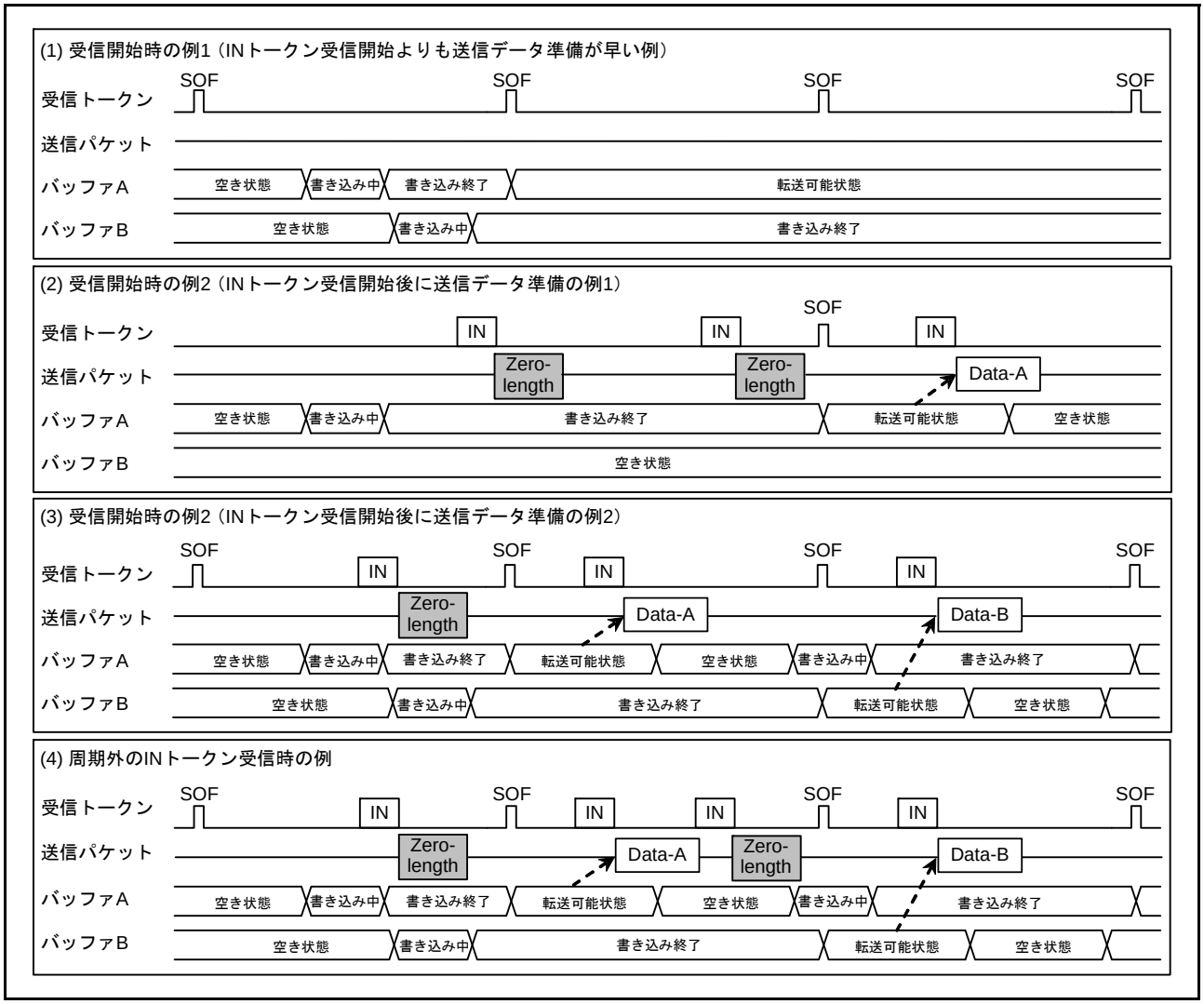


図 34.22　データセットアップ機能動作例

(5)　ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USB は、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は PIPEPERI.IITV[2:0] ビットの設定値により動作開始タイミングが異なります。

- IITV=0 の場合
  パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV=0 以外の場合
  最初の正常なトランザクション以降バッファフラッシュ動作します。

図 34.23 に USB のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダーランエラーとして Zero-Length パケットを送出します。

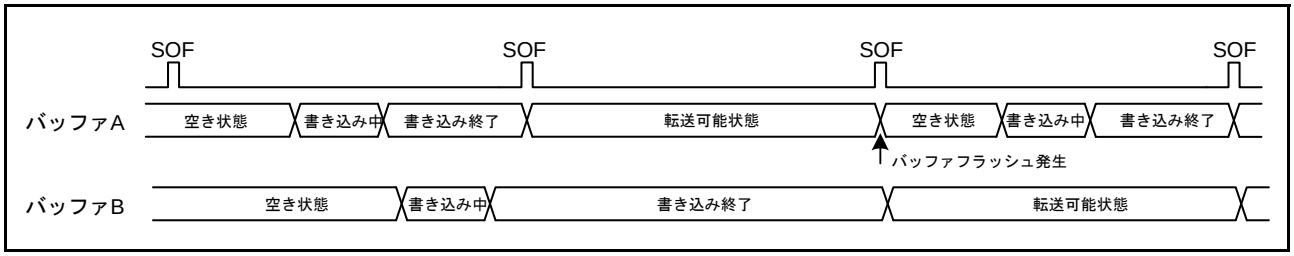


図 34.23　バッファフラッシュ機能動作例

図 34.24 に USB のインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は FRMNUM.OVRN ビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダーランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

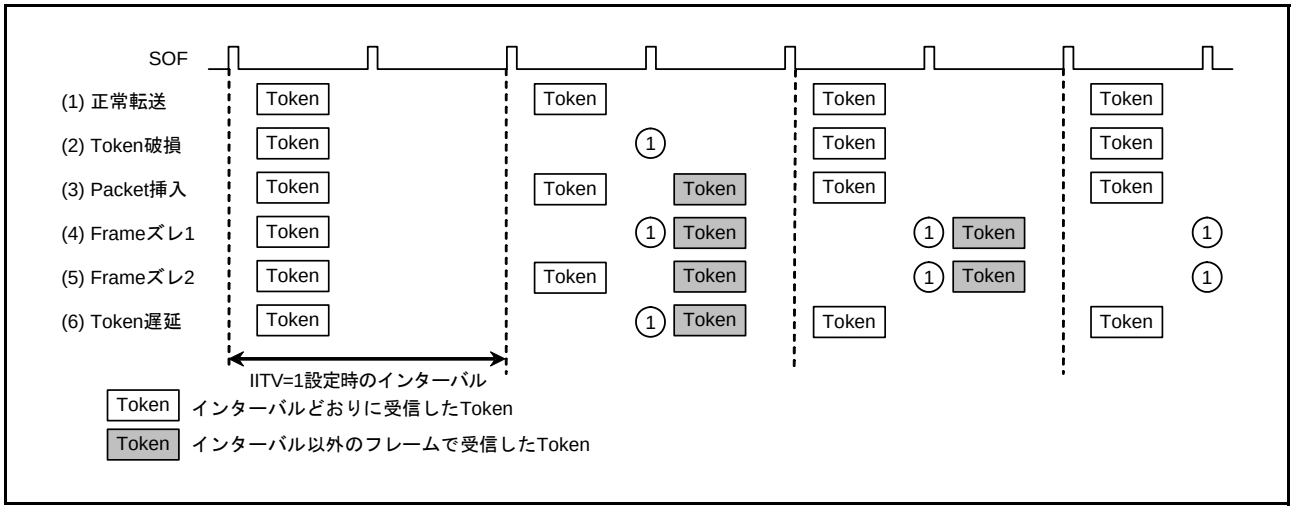


図 34.24　IITV=1 のときのインターバルエラー発生例

34.3.10　SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms 間隔で SOF パケットを受信できなかった場合に、USB は SOF を補間します。SOF 補間動作の開始は SYSCFG.USBE ビットが “1”、SYSCFG.SCKE ビットが “1” かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USB バスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- SOF パケット受信までは補間機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48MHz で 1ms をカウントし補間する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補間する
- サスペンド時および USB バスリセット受信中は補間しない

USB は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] ビットは更新されません。

34.3.11　パイプスケジュール

34.3.11.1　トランザクション発行条件

USB は、ホストコントローラ機能選択時、DVSTCTR0.UACT ビットを “1” にしたあと、**表 34.25** に示す条件でトランザクションを発行します。

表 34.25　トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	—（注1）	—（注1）	—（注1）	—（注1）	“1” 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	—（注1）
	OUT	BUF	無効	送信データあり	—（注1）
インタラプト転送	IN	BUF	有効	受信領域あり	—（注1）
	OUT	BUF	有効	送信データあり	—（注1）
アイソクロナス転送	IN	BUF	有効	（注2）	—（注1）
	OUT	BUF	有効	（注3）	—（注1）

注1.　表中の「−」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

注2.　受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

注3.　送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

34.3.11.2　転送スケジュール

USB のフレーム内の転送スケジューリング方法について説明します。USB は、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行
   パイプ 1 →パイプ 2 →パイプ 6 →パイプ 7 →パイプ 8 →パイプ 9 の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送のセットアップトランザクション
   DCP を確認してセットアップトランザクションが可能であれば送信します。
3. バルク、コントロール転送データステージ、ステータスステージの実行
   DCP →パイプ 1 →パイプ 2 →パイプ 3 →パイプ 4 →パイプ 5 の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。
   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

34.3.11.3　USB 通信許可

DVSTCTR0.UACT ビットを “1” にすることにより、SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを “0” にすると、SOF の送信を停止しサスペンドとなります。UACT ビットを “1” から “0” にする場合、次の SOF を送信してから停止します。

34.4　使用上の注意事項

34.4.1　　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、USB の動作禁止 / 許可することができます。リセット後の値では、USB の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、**「11.　消費電力低減機能」**を参照してください。

35. シリアルコミュニケーションインタフェース（SCIc、SCId）

RX63N グループ、RX631 グループは、独立した 13 チャネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。SCI は、SCIc モジュール（SCI0 ～ SCI11）と、SCId モジュール（SCI12）から構成されています。

SCIc（SCI0 ～ SCI11）は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）インタフェースに対応しています。さらに、簡易 I^2C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCId（SCI12）は、SCIc の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

35.1 概要

表 35.1 に SCIc の仕様を、**表 35.2** に SCId の仕様を、**表 35.3** に SCI チャネル別機能一覧を示します。

図 35.1 に SCI0 ～ SCI11（SCI5、SCI6 を除く）のブロック図を、**図 35.2** に SCI5、SCI6 のブロック図を、**図 35.3** に SCI12（SCId）のブロック図を示します。

表35.1　SCIcの仕様 (1 / 2)

項目		内容
シリアル通信方式		• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I2Cバス • 簡易SPIバス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表35.4～表35.6参照
データ転送		LSBファースト/MSBファースト選択可能（注1）
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、 開始条件/再開始条件/停止条件生成終了（簡易I2Cモード用）
消費電力低減機能		チャネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能（SCI5、SCI6）
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能

表35.1　SCIcの仕様 (2 / 2)

項目		内容
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I²Cモード	通信フォーマット	I²Cバスフォーマット
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	最大384 kbps
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能

注1.　簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表35.2　SCIdの仕様 (1 / 2)

項目		内容
シリアル通信方式		• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I²Cバス • 簡易SPIバス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表35.4～表35.7参照
データ転送		LSBファースト/MSBファースト選択可能（注1）
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、 開始条件/再開始条件/停止条件生成終了（簡易I²Cモード用）
消費電力低減機能		モジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn端子、RTSn端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート

表35.2　SCIdの仕様 (2 / 2)

項目		内容
簡易I²Cモード	通信フォーマット	I²Cバスフォーマット
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	最大384 kbps
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame送信	• Break Field Low widthの出力が可能/出力完了割り込み機能あり • バス衝突検出機能あり/検出割り込み機能あり
	Start Frame受信	• Break Field Low widthの検出が可能/検出完了割り込み機能あり • Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり • Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 • Control Field 1にプライオリティインタラプトビットを設定可能 • Break FieldがないStart Frameにも対応可能 • Control Field 0がないStart Frameにも対応可能 • ビットレート測定機能あり
	入出力制御機能	• TXDX12/RXDX12信号の極性選択が可能 • RXDX12信号にデジタルフィルタ機能を設定可能 • RXDX12端子とTXDX12端子を兼用した半二重通信が可能 • RXDX12端子受信データサンプリングタイミング選択可能 • 拡張シリアルモード制御部 OFF時、RXDX12受信信号をSCIcへスルー出力可能
	タイマ機能	• リロードタイマ機能として使用可能

注1.　簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表35.3　SCIチャネル別機能一覧

項目	SCI0～SCI4、SCI7～SCI11	SCI5、SCI6	SCI12
調歩同期式モード	○	○	○
クロック同期式モード	○	○	○
スマートカードインタフェースモード	○	○	○
簡易I²Cモード	○	○	○
簡易SPIモード	○	○	○
拡張シリアルモード	—	—	○
TMRクロック入力	—	○	○

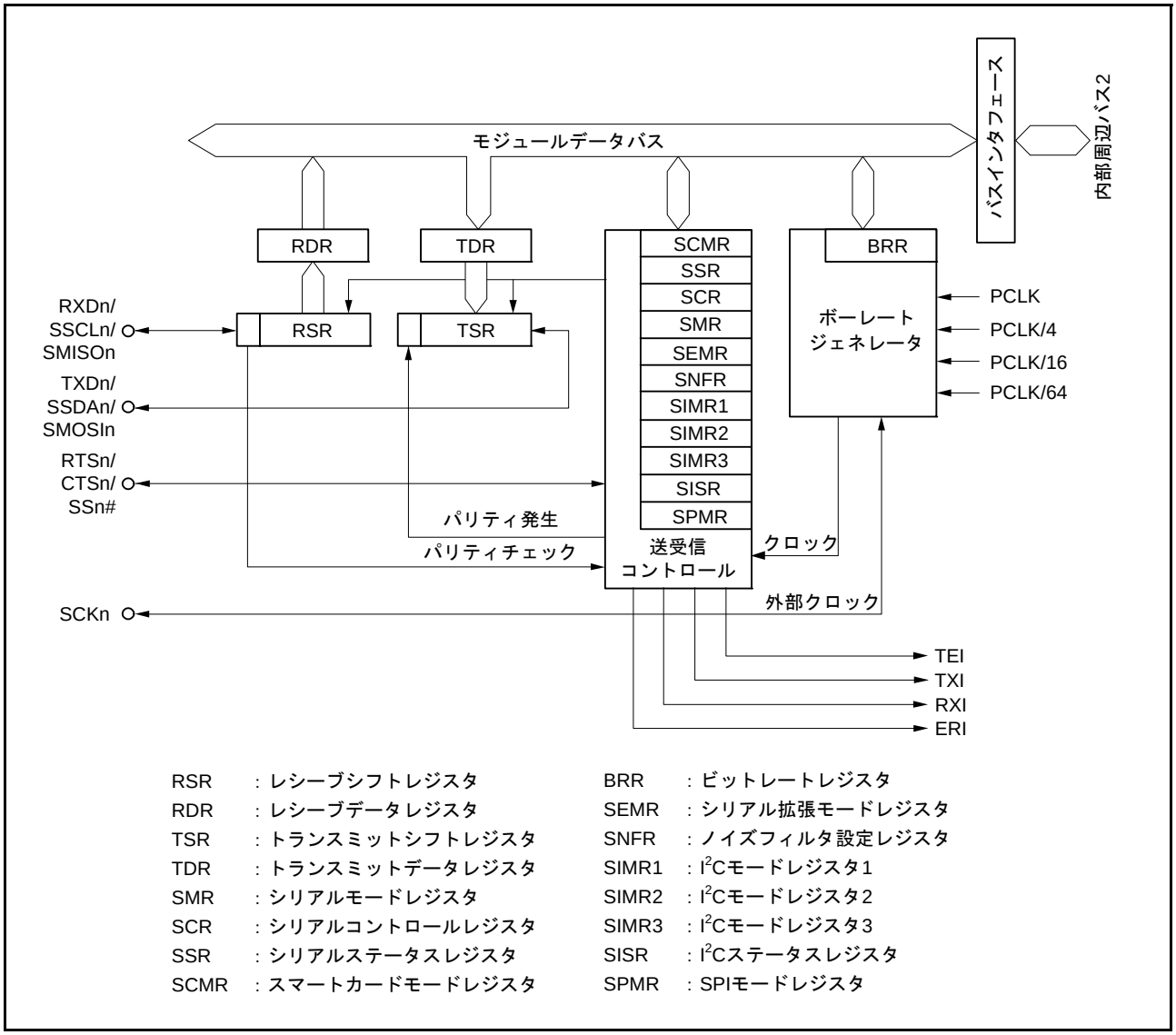
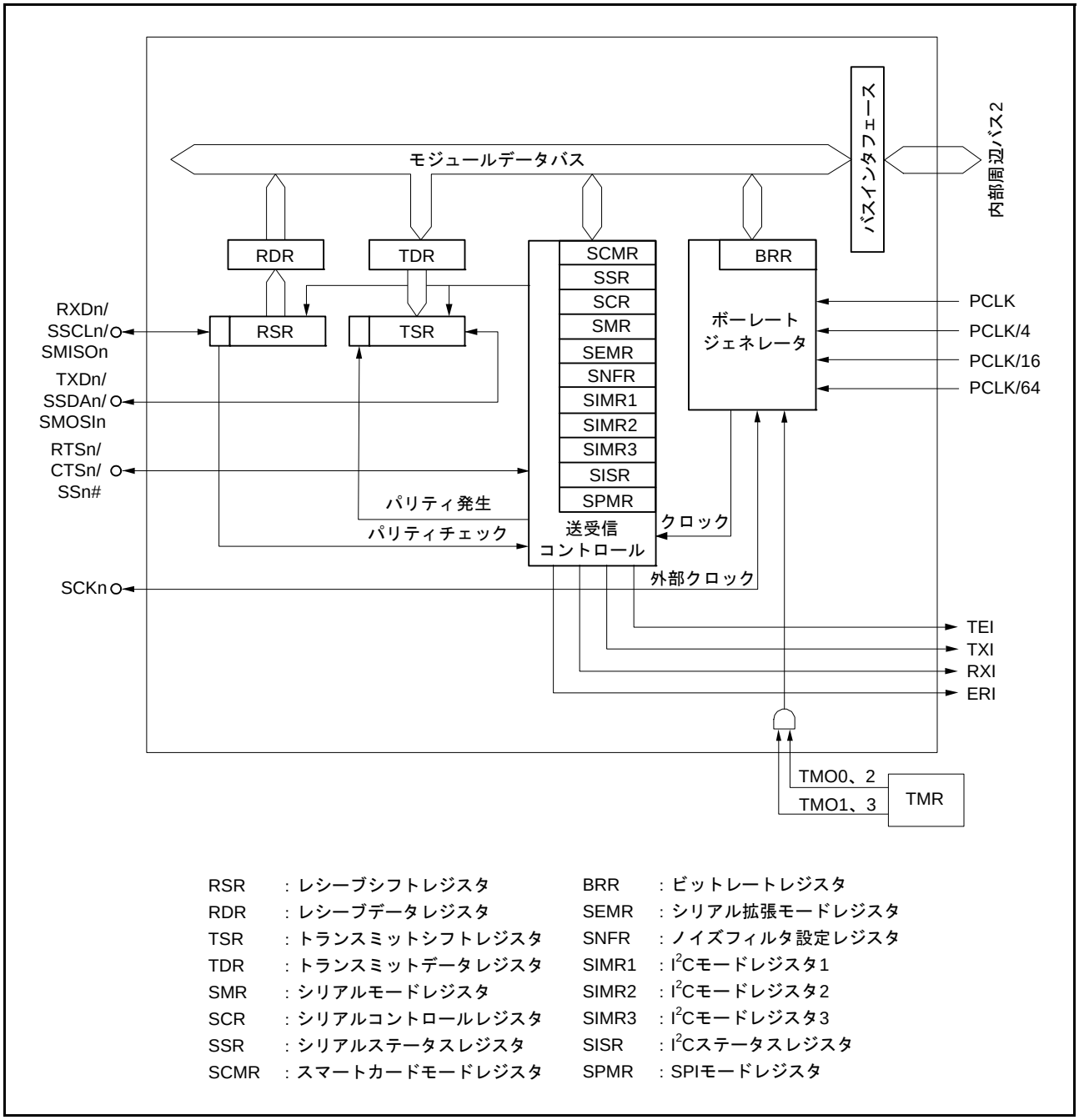


図 35.1　SCI0 ～ SCI4、SCI7 ～ SCI11 のブロック図



RSR　：レシーブシフトレジスタ
RDR　：レシーブデータレジスタ
TSR　：トランスミットシフトレジスタ
TDR　：トランスミットデータレジスタ
SMR　：シリアルモードレジスタ
SCR　：シリアルコントロールレジスタ
SSR　：シリアルステータスレジスタ
SCMR　：スマートカードモードレジスタ
BRR　：ビットレートレジスタ
SEMR　：シリアル拡張モードレジスタ
SNFR　：ノイズフィルタ設定レジスタ
SIMR1　：I^2Cモードレジスタ1
SIMR2　：I^2Cモードレジスタ2
SIMR3　：I^2Cモードレジスタ3
SISR　：I^2Cステータスレジスタ
SPMR　：SPIモードレジスタ

図 35.2　SCI5、SCI6 のブロック図

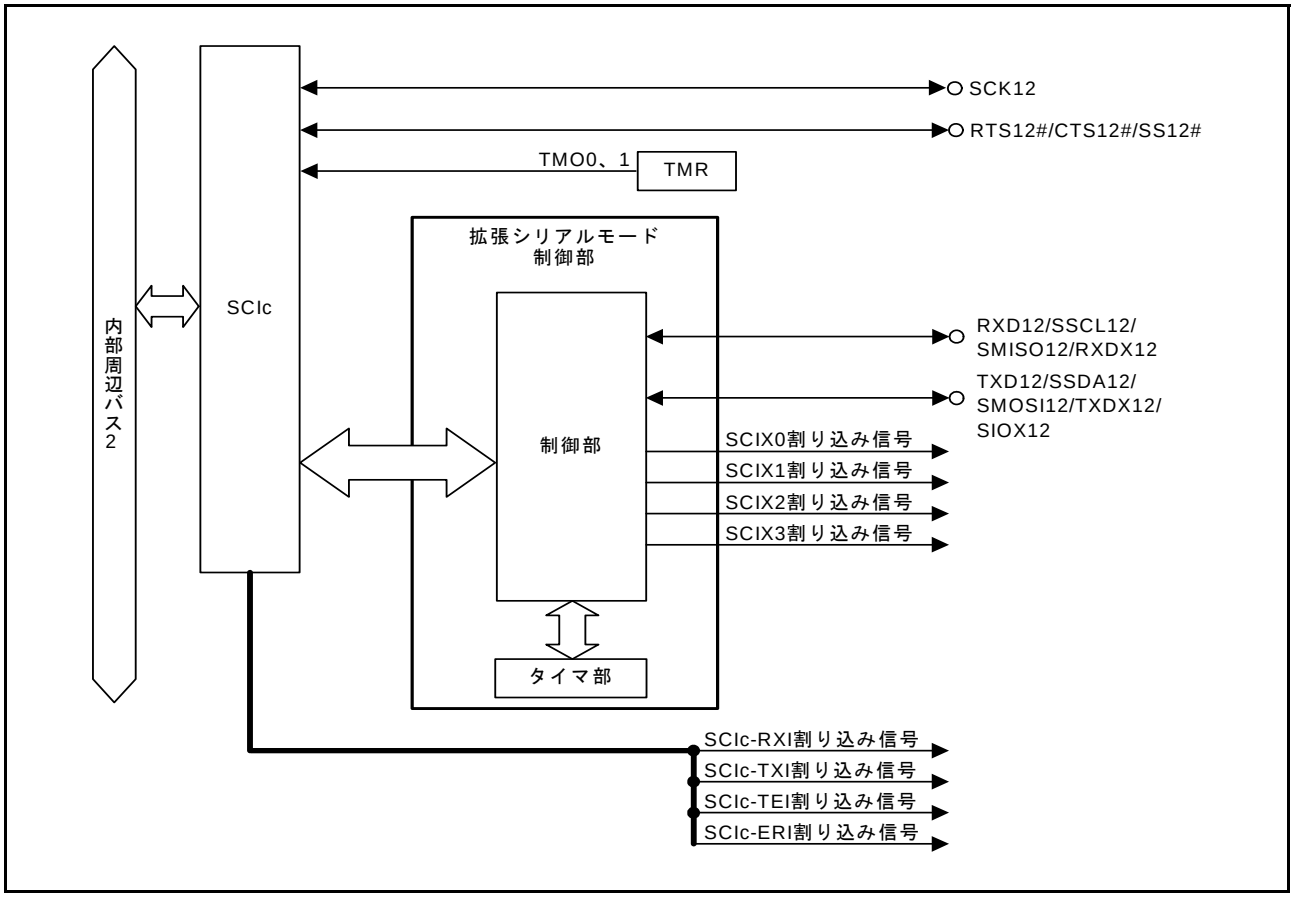


図 35.3　SCI12（SCId）のブロック図

表 35.4 ～表 35.7 に SCI の入出力端子をモード別に示します。

表35.4　SCIの入出力端子（調歩同期式/クロック同期式モード）(1 / 2)

チャネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2	入力	SCI2の受信データ入力端子
	TXD2	出力	SCI2の送信データ出力端子
	CTS2#/RTS2#	入出力	SCI2送受信開始制御用入出力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3	入力	SCI3の受信データ入力端子
	TXD3	出力	SCI3の送信データ出力端子
	CTS3#/RTS3#	入出力	SCI3送受信開始制御用入出力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4	入力	SCI4の受信データ入力端子
	TXD4	出力	SCI4の送信データ出力端子
	CTS4#/RTS4#	入出力	SCI4送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	RXD7	入力	SCI7の受信データ入力端子
	TXD7	出力	SCI7の送信データ出力端子
	CTS7#/RTS7#	入出力	SCI7送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子

表35.4　SCIの入出力端子（調歩同期式/クロック同期式モード）(2 / 2)

チャネル	端子名	入出力	機能
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	RXD10	入力	SCI10の受信データ入力端子
	TXD10	出力	SCI10の送信データ出力端子
	CTS10#/RTS10#	入出力	SCI10送受信開始制御用入出力端子
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	RXD11	入力	SCI11の受信データ入力端子
	TXD11	出力	SCI11の送信データ出力端子
	CTS11#/RTS11#	入出力	SCI11送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表35.5　SCIの入出力端子（簡易I2Cモード）

チャネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0のI2Cクロック入出力端子
	SSDA0	入出力	SCI0のI2Cデータ入出力端子
SCI1	SSCL1	入出力	SCI1のI2Cクロック入出力端子
	SSDA1	入出力	SCI1のI2Cデータ入出力端子
SCI2	SSCL2	入出力	SCI2のI2Cクロック入出力端子
	SSDA2	入出力	SCI2のI2Cデータ入出力端子
SCI3	SSCL3	入出力	SCI3のI2Cクロック入出力端子
	SSDA3	入出力	SCI3のI2Cデータ入出力端子
SCI4	SSCL4	入出力	SCI4のI2Cクロック入出力端子
	SSDA4	入出力	SCI4のI2Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI2Cクロック入出力端子
	SSDA5	入出力	SCI5のI2Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI2Cクロック入出力端子
	SSDA6	入出力	SCI6のI2Cデータ入出力端子
SCI7	SSCL7	入出力	SCI7のI2Cクロック入出力端子
	SSDA7	入出力	SCI7のI2Cデータ入出力端子
SCI8	SSCL8	入出力	SCI8のI2Cクロック入出力端子
	SSDA8	入出力	SCI8のI2Cデータ入出力端子
SCI9	SSCL9	入出力	SCI9のI2Cクロック入出力端子
	SSDA9	入出力	SCI9のI2Cデータ入出力端子
SCI10	SSCL10	入出力	SCI10のI2Cクロック入出力端子
	SSDA10	入出力	SCI10のI2Cデータ入出力端子
SCI11	SSCL11	入出力	SCI11のI2Cクロック入出力端子
	SSDA11	入出力	SCI11のI2Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI2Cクロック入出力端子
	SSDA12	入出力	SCI12のI2Cデータ入出力端子

表35.6　SCIの入出力端子（簡易SPIモード）(1 / 2)

チャネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	SMISO2	入出力	SCI2のスレーブ送出データ入出力端子
	SMOSI2	入出力	SCI2のマスタ送出データ入出力端子
	SS2#	入力	SCI2チップセレクト入力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	SMISO3	入出力	SCI3のスレーブ送出データ入出力端子
	SMOSI3	入出力	SCI3のマスタ送出データ入出力端子
	SS3#	入力	SCI3チップセレクト入力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	SMISO4	入出力	SCI4のスレーブ送出データ入出力端子
	SMOSI4	入出力	SCI4のマスタ送出データ入出力端子
	SS4#	入力	SCI4チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	SMISO7	入出力	SCI7のスレーブ送出データ入出力端子
	SMOSI7	入出力	SCI7のマスタ送出データ入出力端子
	SS7#	入力	SCI7チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	SMISO10	入出力	SCI10のスレーブ送出データ入出力端子
	SMOSI10	入出力	SCI10のマスタ送出データ入出力端子
	SS10#	入力	SCI10チップセレクト入力端子

表35.6　SCIの入出力端子（簡易SPIモード）(2 / 2)

チャネル	端子名	入出力	機能
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	SMISO11	入出力	SCI11のスレーブ送出データ入出力端子
	SMOSI11	入出力	SCI11のマスタ送出データ入出力端子
	SS11#	入力	SCI11チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表35.7　SCIの入出力端子（拡張シリアルモード）

チャネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

35.2　レジスタの説明

35.2.1　レシーブシフトレジスタ（RSR）

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

35.2.2　レシーブデータレジスタ（RDR）

アドレス　SCI0.RDR 0008 A005h、SCI1.RDR 0008 A025h、SCI2.RDR 0008 A045h、SCI3.RDR 0008 A065h、SCI4.RDR 0008 A085h、SCI5.RDR 0008 A0A5h、SCI6.RDR 0008 A0C5h、SCI7.RDR 0008 A0E5h、SCI8.RDR 0008 A105h、SCI9.RDR 0008 A125h、SCI10.RDR 0008 A145h、SCI11.RDR 0008 A165h、SCI12.RDR 0008 B305h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み（RXI）要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

35.2.3　トランスミットデータレジスタ（TDR）

アドレス　SCI0.TDR 0008 A003h、SCI1.TDR 0008 A023h、SCI2.TDR 0008 A043h、SCI3.TDR 0008 A063h、SCI4.TDR 0008 A083h、SCI5.TDR 0008 A0A3h、SCI6.TDR 0008 A0C3h、SCI7.TDR 0008 A0E3h、SCI8.TDR 0008 A103h、SCI9.TDR 0008 A123h、SCI10.TDR 0008 A143h、SCI11.TDR 0008 A163h、SCI12.TDR 0008 B303h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU から常にリード / ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに 1 回だけ行ってください。

35.2.4　トランスミットシフトレジスタ（TSR）

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

35.2.5　シリアルモードレジスタ（SMR）

注 .　SMR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1)　シリアルコミュニケーションインタフェースモードのとき（SCMR.SMIF ビット =0）

アドレス　SCI0.SMR 0008 A000h、SCI1.SMR 0008 A020h、SCI2.SMR 0008 A040h、SCI3.SMR 0008 A060h、SCI4.SMR 0008 A080h、SCI5.SMR 0008 A0A0h、SCI6.SMR 0008 A0C0h、SCI7.SMR 0008 A0E0h、SCI8.SMR 0008 A100h、SCI9.SMR 0008 A120h、SCI10.SMR 0008 A140h、SCI11.SMR 0008 A160h、SCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：PCLKクロック（n=0）（注1） 0 1：PCLK/4クロック（n=1）（注1） 1 0：PCLK/16クロック（n=2）（注1） 1 1：PCLK/64クロック（n=3）（注1）	R/W（注4）
b2	MP	マルチプロセッサモードビット	（調歩同期式モードのみ有効） 0：マルチプロセッサ通信機能を禁止 1：マルチプロセッサ通信機能を許可	R/W（注4）
b3	STOP	ストップビットレングスビット	（調歩同期式モードのみ有効） 0：1ストップビット 1：2ストップビット	R/W（注4）
b4	PM	パリティモードビット	（調歩同期式モードで、PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W（注4）
b5	PE	パリティイネーブルビット	（調歩同期式モードのみ有効） • 送信時 0：パリティビットなし 1：パリティビットを付加 • 受信時 0：パリティなしで受信 1：パリティチェックを行う	R/W（注4）
b6	CHR	キャラクタレングスビット	（調歩同期式モードのみ有効） 0：データ長8ビットで送受信（注2） 1：データ長7ビットで送受信（注3）	R/W（注4）
b7	CM	コミュニケーションモードビット	0：調歩同期式モードで動作 1：クロック同期式モードで動作	R/W（注4）

注1.　nは設定値の10進表示で、「35.2.9　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　クロック同期式モードでは、設定は無効でデータ長は8ビット固定です。
注3.　LSBファースト固定となり、送信ではTDRレジスタのMSB（b7）は送信されません。
注4.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「35.2.9　ビットレートレジスタ（BRR）」を参照してください。

MP ビット（マルチプロセッサモードビット）

マルチプロセッサ通信機能の禁止 / 許可を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット（ストップビットレングスビット）

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が “0” の場合は次の送信フレームのスタートビットと見なします。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティイネーブルビット）

PE ビットが “1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット（キャラクタレングスビット）

送受信データのデータ長を選択します。

クロック同期式モードでは、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット =1）

アドレス　SCI0.SMR 0008 A000h、SCI1.SMR 0008 A020h、SCI2.SMR 0008 A040h、SCI3.SMR 0008 A060h、SCI4.SMR 0008 A080h、SCI5.SMR 0008 A0A0h、SCI6.SMR 0008 A0C0h、SCI7.SMR 0008 A0E0h、SCI8.SMR 0008 A100h、SCI9.SMR 0008 A120h、SCI10.SMR 0008 A140h、SCI11.SMR 0008 A160h、SCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：PCLKクロック（n=0）（注1） 0 1：PCLK/4クロック（n=1）（注1） 1 0：PCLK/16クロック（n=2）（注1） 1 1：PCLK/64クロック（n=3）（注1）	R/W（注3）
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 b3 b2 0 0 0：93クロック（S=93）（注2） 0 0 1：128クロック（S=128）（注2） 0 1 0：186クロック（S=186）（注2） 0 1 1：512クロック（S=512）（注2） 1 0 0：32クロック（S=32）（注2）（初期値） 1 0 1：64クロック（S=64）（注2） 1 1 0：372クロック（S=372）（注2） 1 1 1：256クロック（S=256）（注2）	R/W（注3）
b4	PM	パリティモードビット	（調歩同期式モードで、PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W（注3）
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W（注3）
b6	BLK	ブロック転送モードビット	0：通常モードで動作します 1：ブロック転送モードで動作します	R/W（注3）
b7	GM	GSMモードビット	0：通常モードで動作します 1：GSMモードで動作します	R/W（注3）

注1.　nは設定値の10進表示で、「35.2.9　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　Sは「35.2.9　ビットレートレジスタ（BRR）」中のSの値を表します。
注3.　SCR.TEビット= 0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「35.2.9　ビットレートレジスタ（BRR）」を参照してください。

BCP[1:0] ビット（基本クロックパルスビット）

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「35.6.4　受信データサンプリングタイミングと受信マージン」を参照してください。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、**「35.6.2　データフォーマット（ブロック転送モード時を除く）」**を参照してください。

PE ビット（パリティイネーブルビット）

PE ビットは “1” に設定してください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット（ブロック転送モードビット）

BLK ビットを “1” に設定すると、ブロック転送モードで動作します。

ブロック転送モードについては、**「35.6.3　ブロック転送モード」**を参照してください。

GM ビット（GSM モードビット）

GM ビットを “1” に設定すると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0etu（etu：Elementary Time Unit、1 ビットの転送期間）に前倒しされ、クロック出力制御機能が追加されます。詳細は、**「35.6.6　シリアルデータの送信（ブロック転送モードを除く）」**、**「35.6.8　クロック出力制御」**を参照してください。

35.2.6　シリアルコントロールレジスタ（SCR）

注 .　SCR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1)　シリアルコミュニケーションインタフェースモードのとき（SCMR.SMIF ビット =0）

アドレス　SCI0.SCR 0008 A002h、SCI1.SCR 0008 A022h、SCI2.SCR 0008 A042h、SCI3.SCR 0008 A062h、SCI4.SCR 0008 A082h、SCI5.SCR 0008 A0A2h、SCI6.SCR 0008 A0C2h、SCI7.SCR 0008 A0E2h、SCI8.SCR 0008 A102h、SCI9.SCR 0008 A122h、SCI10.SCR 0008 A142h、SCI11.SCR 0008 A162h、SCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	• SCI0～SCI4、SCI7～SCI11の場合 （調歩同期式の場合） b1 b0 0 0：内蔵ボーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください （クロック同期式の場合） b1 b0 0 x：内部クロック SCKn端子はクロック出力端子となります 1 x：外部クロック SCKn端子はクロック入力端子となります	R/W （注1）
b1-b0	CKE[1:0]	クロックイネーブルビット	• SCI5、SCI6、SCI12の場合 （調歩同期式の場合） b1 b0 0 0：内蔵ボーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください ・TMRクロックを使用可能 （クロック同期式の場合） b1 b0 0 x：内部クロック： SCKn端子はクロック出力端子となります 1 x：外部クロック SCKn端子はクロック入力端子となります	R/W （注1）
b2	TEIE	トランスミットエンドインタラプトイネーブルビット	0：TEI割り込み要求を禁止 1：TEI割り込み要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	（調歩同期式モードで、SMR.MPビット＝“1”のとき有効） 0：通常の受信動作 1：マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER,FERの各ステータスフラグのセット（“1”）を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的にクリア（“0”）され、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注2）
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注2）
b6	RIE	レシーブインタラプトイネーブルビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

x：Don’t care

注1.　TEビット=0、REビット＝0の場合のみ書き込み可能です。
注2.　SMR.CMビットが“1”のときは、TEビット=0、REビット＝0の場合のみ“1”を書き込み可能です。
一度、TE、REビットのいずれかを“1”に設定した後は、TEビット=0、REビット＝0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット（クロックイネーブルビット）

クロックソースおよびSCKn端子の機能を選択します。

内蔵TMRクロックはSEMR.ACS0ビットと組み合わせて設定します。

TEIE ビット（トランスミットエンドインタラプトイネーブルビット）

TEI割り込み要求を許可、または禁止します。

TEI割り込み要求の禁止は、TEIEビットを“0”にすることで行うことができます。

簡易I^{2}Cモード（SIMR1.IICM =“1”）では、開始 / 再開始 / 停止条件生成完了割り込み（STI割込み）がTEI割り込みに割り当てられます。その場合もTEIEビットによりSTI割り込み要求を許可、または禁止することができます。

MPIE ビット（マルチプロセッサインタラプトイネーブルビット）

MPIEビットを“1”に設定すると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER、FERの各ステータスフラグは“1”にされません。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は**「35.4　マルチプロセッサ通信機能」**を参照してください。

SSR.MPBビット=0を含む受信データを受信しているときは、RSRレジスタからRDRレジスタへの受信データの転送、および受信エラーの検出と、ORER、FERの各フラグのセット（“1”）は行いません。

MPBビット=1を含む受信データを受信すると、MPBビットを“1”にし、MPIEビットを自動的に“0”にし、RXI、ERI割り込み要求（SCRのRIEビットが“1”に設定されている場合）と、ORER、FERフラグのセット（“1”）が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIEビットには“0”を書き込んでください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” に設定すると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを “1” に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから “1” を読み出した後、“0” にするか、RIE ビットを “0” にすることで行うことができます。

TIE ビット（トランスミットインタラプトイネーブルビット）

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” にすることで行うことができます。

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット =1）

アドレス　SCI0.SCR 0008 A002h、SCI1.SCR 0008 A022h、SCI2.SCR 0008 A042h、SCI3.SCR 0008 A062h、SCI4.SCR 0008 A082h、SCI5.SCR 0008 A0A2h、SCI6.SCR 0008 A0C2h、SCI7.SCR 0008 A0E2h、SCI8.SCR 0008 A102h、SCI9.SCR 0008 A122h、SCI10.SCR 0008 A142h、SCI11.SCR 0008 A162h、SCI12.SCR 0008 B302h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	• SMR.GM ビット =0 の場合 b1 b0 0 0：出力ディスエーブル （I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用できます） 0 1：クロック出力 1 x：（設定しないでください） • SMR.GM ビット =1 の場合 b1 b0 0 0：Low 出力固定 x 1：クロック出力 1 0：High 出力固定	R/W （注 1）
b2	TEIE	トランスミットエンドインタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注 2）
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注 2）
b6	RIE	レシーブインタラプトイネーブルビット	0：RXI および ERI 割り込み要求を禁止 1：RXI および ERI 割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0：TXI 割り込み要求を禁止 1：TXI 割り込み要求を許可	R/W

x：Don’t care

注 1.　TE ビット =0、RE ビット =0 の場合のみ書き込み可能です。

注 2.　SMR.CM ビットが“1”のときは、TE ビット =0、RE ビット =0 の場合のみ“1”を書き込み可能です。
一度、TE、RE ビットのいずれかを“1”に設定した後は、TE ビット =0、RE ビット =0 の書き込みのみ可能になります。SMR.CM ビットが“0”のときは、任意のタイミングで書き込みが可能です。

各割り込み要求については、**「35.11　割り込み要因」**を参照してください。

CKE[1:0] ビット（クロックイネーブルビット）

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、**「35.6.8　クロック出力制御」**を参照してください。

TEIE ビット（トランスミットエンドインタラプトイネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

MPIE ビット（マルチプロセッサインタラプトイネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” に設定すると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを “1” に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから “1” を読み出した後、“0” にするか、RIE ビットを “0” にすることで行うことができます。

TIE ビット（トランスミットインタラプトイネーブルビット）

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” にすることで行うことができます。

35.2.7　シリアルステータスレジスタ（SSR）

注 .　SSR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1)　シリアルコミュニケーションインタフェースモードのとき（SCMR.SMIF ビット =0）

アドレス　SCI0.SSR 0008 A004h、SCI1.SSR 0008 A024h、SCI2.SSR 0008 A044h、SCI3.SSR 0008 A064h、SCI4.SSR 0008 A084h、SCI5.SSR 0008 A0A4h、SCI6.SSR 0008 A0C4h、SCI7.SSR 0008 A0E4h、SCI8.SSR 0008 A104h、SCI9.SSR 0008 A124h、SCI10.SSR 0008 A144h、SCI11.SSR 0008 A164h、SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	x	x	0	0	0	1	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0：データ送信サイクル 1：ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0：データ送信サイクル 1：ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) （注1）
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W) （注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) （注1）
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。

MPB ビット（マルチプロセッサビット）

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが “0” のときは変化しません。

TEND フラグ（トランスミットエンドフラグ）

送信が終了したことを表示します。

［“1” になる条件］

- SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

［“0” になる条件］

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき
  TDR レジスタへの送信データの書き込みにより TEND フラグをクリアしたときは、TEND フラグをリードして “0” であることを確認してください。

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリエィエラーが発生して異常終了したことを表示します。

［“1” になる条件］

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

［“0” になる条件］

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に PER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

［“1” になる条件］

- ストップビットが “0” のとき
  2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

［“0” になる条件］

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に FER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0” にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

［“1” になる条件］

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに “1” がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

［“0” になる条件］

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に ORER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット =1）

アドレス　SCI0.SSR 0008 A004h、SCI1.SSR 0008 A024h、SCI2.SSR 0008 A044h、SCI3.SSR 0008 A064h、SCI4.SSR 0008 A084h、SCI5.SSR 0008 A0A4h、SCI6.SSR 0008 A0C4h、SCI7.SSR 0008 A0E4h、SCI8.SSR 0008 A104h、SCI9.SSR 0008 A124h、SCI10.SSR 0008 A144h、SCI11.SSR 0008 A164h、SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	x	x	0	0	0	1	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0”としてください	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) （注1）
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W) （注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) （注1）
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。

MPBT ビット（マルチプロセッサビットトランスファビット）

スマートカードインタフェースモードでは “0” としてください。

MPB ビット（マルチプロセッサビット）

スマートカードインタフェースモードでは使用しません。“0” としてください。

TEND フラグ（トランスミットエンドフラグ）

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき “1” にされます。

[“1” になる条件]

- SCR.TE ビット =0（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ =0 かつ TDR レジスタが更新されていないとき
  セットされるタイミングは、レジスタの設定により以下のように異なります。
  SMR.GM ビット =0、SMR.BLK ビット =0 のとき、送信開始から 12.5etu 後
  SMR.GM ビット =0、SMR.BLK ビット =1 のとき、送信開始から 11.5etu 後
  SMR.GM ビット =1、SMR.BLK ビット =0 のとき、送信開始から 11.0etu 後
  SMR.GM ビット =1、SMR.BLK ビット =1 のとき、送信開始から 11.0etu 後

［“0” になる条件］

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

［“1” になる条件］

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

［“0” になる条件］

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に PER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

［“1” になる条件］

- エラーシグナル Low をサンプリングしたとき

［“0” になる条件］

- “1” の状態を読み出した後、“0” を書き込んだとき

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

［“1” になる条件］

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに “1” がセットされた状態では、以降のシリアル受信を続けることはできません。

［“0” になる条件］

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に ORER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

35.2.8　スマートカードモードレジスタ（SCMR）

アドレス　SCI0.SCMR 0008 A006h、SCI1.SCMR 0008 A026h、SCI2.SCMR 0008 A046h、SCI3.SCMR 0008 A066h、SCI4.SCMR 0008 A086h、SCI5.SCMR 0008 A0A6h、SCI6.SCMR 0008 A0C6h、SCI7.SCMR 0008 A0E6h、SCI8.SCMR 0008 A106h、SCI9.SCMR 0008 A126h、SCI10.SCMR 0008 A146h、SCI11.SCMR 0008 A166h、SCI12.SCMR 0008 B306h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	—	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0：シリアルコミュニケーションインタフェースモード 1：スマートカードインタフェースモード	R/W（注1）
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット	0：TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1：TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W（注1）
b3	SDIR	送受信データトランスファディレクションビット（注2）	0：LSBファーストで送受信 1：MSBファーストで送受信	R/W（注1）
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 BCP1 BCP0 0 0 0：93クロック（S=93）（注3） 0 0 1：128クロック（S=128）（注3） 0 1 0：186クロック（S=186）（注3） 0 1 1：512クロック（S=512）（注3） 1 0 0：32クロック（S=32）（注3）（初期値） 1 0 1：64クロック（S=64）（注3） 1 1 0：372クロック（S=372）（注3） 1 1 1：256クロック（S=256）（注3）	R/W（注1）

注1.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。
注2.　簡易I²Cモード選択時、SDIRビットを“1”（MSBファースト）に設定してください。
注3.　Sは「35.2.9　ビットレートレジスタ（BRR）」中のSの値を表します。

SMIF ビット（スマートカードインタフェースモードセレクトビット）

スマートカードインタフェースモードで動作させるときは、“1” を設定します。

調歩同期式またはクロック同期式モードで動作させるときは、“0” を設定します。

SINV ビット（送受信データインバートビット）

送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

SDIR ビット（送受信データトランスファディレクションビット）

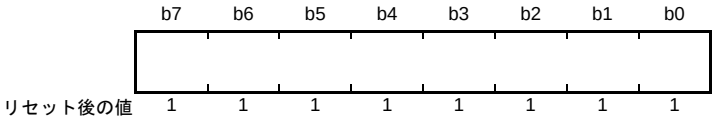
シリアル / パラレル変換の方向を選択します。

BCP2 ビット（基本クロックパルスビット 2）

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

35.2.9　ビットレートレジスタ（BRR）

アドレス　SCI0.BRR 0008 A001h、SCI1.BRR 0008 A021h、SCI2.BRR 0008 A041h、SCI3.BRR 0008 A061h、SCI4.BRR 0008 A081h、SCI5.BRR 0008 A0A1h、SCI6.BRR 0008 A0C1h、SCI7.BRR 0008 A0E1h、SCI8.BRR 0008 A101h、SCI9.BRR 0008 A121h、SCI10.BRR 0008 A141h、SCI11.BRR 0008 A161h、SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を**表 35.8** に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU から読み出しは常に可能ですが、書き込みは SCR.TE ビット =0、SCR.RE ビット =0 の場合のみ可能です。

表35.8　BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCSビット	BRRレジスタの設定値	誤差
調歩同期式、マルチプロセッサ通信	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差（%）＝ $\{\frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差（%）＝ $\{\frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
クロック同期式、簡易SPI		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース		$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差（%）＝ $\{\frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\} \times 100$
簡易I²C（注1）		$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B：ビットレート（bps）
N：ボーレートジェネレータの BRR の設定値（0 ≦ N ≦ 255）
PCLK：動作周波数（MHz）
n と S：下表のとおり SMR の設定値によって決まります。
注1.　簡易I²CモードでのSCL出力のHigh/Low幅がI²C規格を満たすようビットレートを調整してください。

表35.9　SCL High/Low幅算出式

モード	SCL	算出式（秒(s)）
I²C	High幅（min値）	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅（min値）	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表35.10　クロックソースの設定

SMRレジスタの設定値 CKS[1:0]ビット	クロックソース	n
0 0	PCLKクロック	0
0 1	PCLK/4クロック	1
1 0	PCLK/16クロック	2
1 1	PCLK/64クロック	3

表35.11　スマートカードインタフェースモード時の基本クロックの設定

SCMRレジスタの設定値 BCP2ビット	SMRレジスタの設定値 BCP[1:0]ビット	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおけるBRRレジスタの値Nの設定例を**表35.12**、**表35.13**に、各動作周波数における設定可能な最大ビットレートを**表35.13**に示します。また、クロック同期式モードおよび簡易SPIモードにおけるBRRレジスタの値Nの設定例を**表35.15**に、スマートカードインタフェースモードにおけるBRRレジスタの値Nの設定例を**表35.15**に、簡易I^2CモードにおけるBRRレジスタの値Nの設定例を**表35.19**に示します。スマートカードインタフェースモードでは1ビット転送期間の基本クロック数Sを選択できます。詳細は**「35.6.4　受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表35.14**、**表35.16**に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ（SEMR）の調歩同期基本クロックセレクトビット（ABCS）を“1”に設定したときのビットレートは**表35.12**の2倍になります。

表35.12　ビットレートに対するBRRの設定例（調歩同期式モード）（1）

ビットレート（bps）	動作周波数PCLK（MHz）											
	8			9.8304			10			12		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	141	0.03	2	174	–0.26	2	177	–0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	–1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	–2.34
31250	0	7	0.00	0	9	–1.70	0	9	0.00	0	11	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	–2.34

表35.12　ビットレートに対するBRRの設定例（調歩同期式モード）（2）

ビットレート（bps）	動作周波数PCLK（MHz）											
	12.288			14			16			17.2032		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	217	0.08	2	248	–0.17	3	70	0.03	3	75	0.48
150	2	159	0.00	2	181	0.16	2	207	0.16	2	223	0.00
300	2	79	0.00	2	90	0.16	2	103	0.16	2	111	0.00
600	1	159	0.00	1	181	0.16	1	207	0.16	1	223	0.00
1200	1	79	0.00	1	90	0.16	1	103	0.16	1	111	0.00
2400	0	159	0.00	0	181	0.16	0	207	0.16	0	223	0.00
4800	0	79	0.00	0	90	0.16	0	103	0.16	0	111	0.00
9600	0	39	0.00	0	45	–0.93	0	51	0.16	0	55	0.00
19200	0	19	0.00	0	22	–0.93	0	25	0.16	0	27	0.00
31250	0	11	2.40	0	13	0.00	0	15	0.00	0	16	1.20
38400	0	9	0.00	—	—	—	0	12	0.16	0	13	0.00

注.　SEMR.ABCSビット= 0のときの例です。
ABCSビット=1に設定したときは、ビットレートが2倍になります。

表35.12　ビットレートに対するBRRの設定例（調歩同期式モード）（3）

ビットレート（bps）	動作周波数PCLK（MHz）											
	18			19.6608			20			25		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	79	–0.12	3	86	0.31	3	88	–0.25	3	110	–0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	–0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	–0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	–0.15
9600	0	58	–0.69	0	63	0.00	0	64	0.16	0	80	0.47
19200	0	28	1.02	0	31	0.00	0	32	–1.36	0	40	–0.76
31250	0	17	0.00	0	19	–1.70	0	19	0.00	0	24	0.00
38400	0	14	–2.34	0	15	0.00	0	15	1.73	0	19	1.73

表35.12　ビットレートに対するBRRの設定例（調歩同期式モード）（4）

ビットレート（bps）	動作周波数PCLK（MHz）								
	30			33			50		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	132	0.13	3	145	0.33	3	221	–0.02
150	3	97	–0.35	3	106	0.39	3	162	–0.15
300	2	194	0.16	2	214	–0.07	3	80	0.47
600	2	97	–0.35	2	106	0.39	2	162	–0.15
1200	1	194	0.16	1	214	–0.07	2	80	0.47
2400	1	97	–0.35	1	106	0.39	1	162	–0.15
4800	0	194	0.16	0	214	–0.07	1	80	0.47
9600	0	97	–0.35	0	106	0.39	1	40	–0.76
19200	0	48	–0.35	0	53	–0.54	0	80	0.47
31250	0	29	0	0	32	0	0	49	0.00
38400	0	23	1.73	0	26	–0.54	0	40	–0.76

注.　SEMR.ABCSビット= 0のときの例です。
ABCSビット=1に設定したときは、ビットレートが2倍になります。

表35.13　各動作周波数における最大ビットレート（調歩同期式モード）

PCLK（MHz）	最大ビットレー（bps）	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0
33	1031250	0	0
50	1562500	0	0

注.　SEMR.ABCSビット= 1に設定したときは、ビットレートが2倍になります。

表35.14　外部クロック入力時の最大ビットレート（調歩同期式モード）

PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）	
		SEMR.ABCSビット= 0	SEMR.ABCSビット= 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
50	12.500	781250	1562500

表35.15　ビットレートに対するBRRの設定例（クロック同期式モード、簡易SPIモード）

ビットレート（bps）	動作周波数PCLK（MHz）															
	8		10		16		20		25		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	194
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	3	77
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	155
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	2	77
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	124
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	61
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	124
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	49
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	24
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	—	—
2M	0	0(注1)	—	—	0	1	—	—	—	—	—	—	—	—	—	—
2.5M			0	0(注1)			0	1	—	—	0	2	—	—	0	4
4M					0	0(注1)	—	—	—	—	—	—	—	—	—	—
5M							0	0(注1)	—	—	—	—	—	—	—	—
6.25M									0	0(注1)	—	—	—	—	0	1
7.5M											0	0(注1)	—	—	—	—
8.25M													0	0(注1)	—	—

空欄：設定できません。
—　：設定可能ですが誤差ができます。
注1.　連続送信/連続受信はできません。送信かつ同期クロック出力時、最終ビット送信終了から次のフレームの送信開始まで1ビット分の間隔が空きます。送信かつ同期クロック入力時、同期クロック出力元において最終ビット送信終了から次のフレーム送信開始まで1ビット期間以上間を空けてください。

表35.16　外部クロック入力時の最大ビットレート
（クロック同期式モード、簡易SPIモード）

PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7
30	5.0000	5000000.0
33	5.5000	5500000.0
50	8.3333	8333333.3

表35.17　ビットレートに対するBRRの設定例
（スマートカードインタフェースモードでn＝0、S＝372のとき）

ビットレート（bps）	PCLK（MHz）	n	N	誤差（%）
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01
	33.00	0	4	7.59
	50.00	0	6	0.01

表35.18　各動作周波数における最大ビットレート
（スマートカードインタフェースモードでS＝372のとき）

PCLK（MHz）	最大ビットレート（bps）	n	N
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0
30.00	40323	0	0
33.00	44355	0	0
50.00	67204	0	0

表35.19　ビットレートに対するBRRの設定例（簡易I²Cモード）（1）

ビットレート（bps）	動作周波数PCLK（MHz）											
	8			10			16			20		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
10k	0	24	0.0	0	31	–2.3	1	12	–3.8	1	15	–2.3
25k	0	9	0.0	0	12	–3.8	1	4	0.0	1	6	–10.7
50k	0	4	0.0	0	6	–10.7	1	2	–16.7	1	3	–21.9
100k	0	2	–16.7	0	3	–21.9	0	4	0.0	0	6	–10.7
250k	0	0	0.0	0	1	–37.5	0	1	0.0	0	2	–16.7
350k										0	1	–10.7

表35.19　ビットレートに対するBRRの設定例（簡易I²Cモード）（2）

ビットレート（bps）	動作周波数PCLK（MHz）											
	25			30			33			50		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
10k	1	19	–2.3	1	23	–2.3	1	25	–0.8	2	9	–2.3
25k	1	7	–2.3	1	9	–6.3	1	10	–6.3	2	3	–2.3
50k	1	3	–2.3	1	4	–6.3	1	5	–14.1	2	1	–2.3
100k	1	1	–2.3	1	2	–21.9	1	2	–14.1	1	3	–2.3
250k	0	3	–21.9	0	3	–6.3	0	4	–17.5	0	6	–10.7
350k	0	2	–25.6	0	2	–10.7	0	2	–1.8	0	4	–10.7

表35.20　各ビットレート設定でのSCL High/Low幅最小値（簡易I²Cモード）（1）

SCL High/Low幅 min値（μs）	動作周波数PCLK（MHz）											
	8			10			16			20		
	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

表35.20　各ビットレート設定でのSCL High/Low幅最小値（簡易I²Cモード）（2）

SCL High/Low幅 min値（μs）	動作周波数PCLK（MHz）											
	25			30			33			50		
	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅	n	N	High/Low幅
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	2	9	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	2	3	17.92/20.48
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	2	1	8.96/10.24
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	1	3	4.48/5.12
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	6	1.96/2.24
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	4	1.40/1.60

35.2.10　シリアル拡張モードレジスタ（SEMR）

アドレス　SCI0.SEMR 0008 A007h、SCI1.SEMR 0008 A027h、SCI2.SEMR 0008 A047h、SCI3.SEMR 0008 A067h、SCI4.SEMR 0008 A087h、SCI5.SEMR 0008 A0A7h、SCI6.SEMR 0008 A0C7h、SCI7.SEMR 0008 A0E7h、SCI8.SEMR 0008 A107h、SCI9.SEMR 0008 A127h、SCI10.SEMR 0008 A147h、SCI11.SEMR 0008 A167h、SCI12.SEMR 0008 B307h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFEN	ABCS	—	—	—	ACS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロック ソースセレクトビット	（調歩同期式モードのみ有効） 0：外部クロック入力 1：TMRクロック入力　（SCI5、SCI6、SCI12のみ有効） SCIチャネルとコンペアマッチ出力の対応を示します SCI: SCI5 / TMR: ユニット0 / コンペアマッチ出力: TMO0、TMO1 SCI: SCI6 / TMR: ユニット1 / コンペアマッチ出力: TMO2、TMO3 SCI: SCI12 / TMR: ユニット0 / コンペアマッチ出力: TMO0、TMO1	R/W （注1）
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロック セレクトビット	（調歩同期式モードのみ有効） 0：基本クロック16サイクルの期間が1ビット期間の転送レートになります 1：基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W （注1）
b5	NFEN	デジタルノイズフィルタ 機能イネーブルビット	（調歩同期式モード） 0：RXDn入力信号のノイズ除去機能無効 1：RXDn入力信号のノイズ除去機能有効 （簡易I²Cモード） 0：SSCLn、SSDAn入力信号のノイズ除去機能無効 1：SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを”0”にしてください。	R/W （注1）
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の 1 ビット期間のクロックを選択するためのレジスタです。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMOn(n=0 ～ 3) 出力をシリアル転送ベースクロックに設定することができます。

TMRn(n=0 ～ 3) の TMOn 出力を選択したときの設定例を**図 35.4** に示します。

ACS0 ビット（調歩同期クロックソースセレクトビット）

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード（SMR.CM ビット =0）で、外部クロック入力（SCR.CKE[1:0] ビット = 10b、11b）のときに有効です。外部クロック入力または、内蔵 TMR クロック入力を選択できます。

調歩同期式モード以外では、“0” としてください。

SCI5、SCI6、SCI12 以外は予約ビットです。SCI5、SCI6、SCI12 以外では書き込みは “0” にしてください。

NFEN ビット（デジタルノイズフィルタ機能イネーブルビット）

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

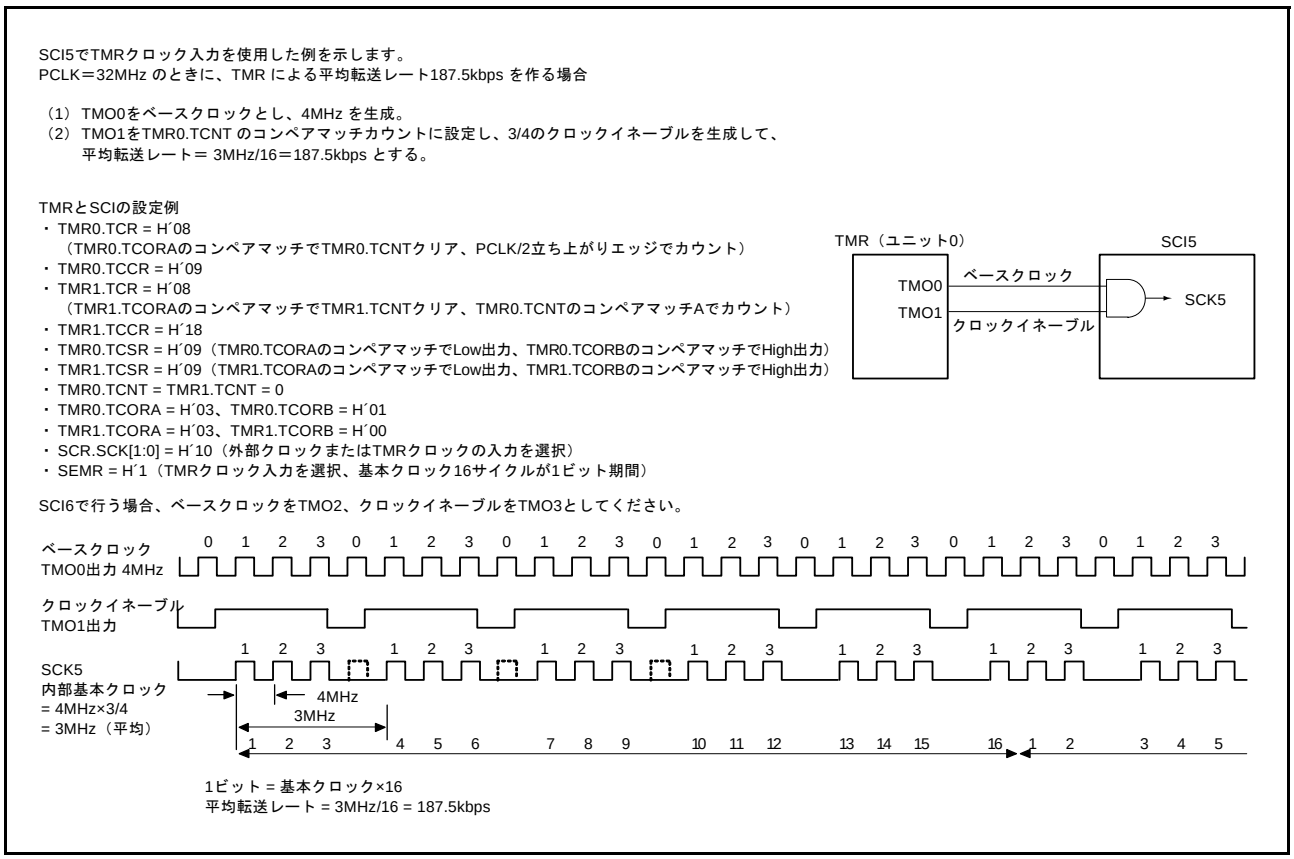


図 35.4　TMR クロック入力時の平均転送レート設定例

35.2.11　ノイズフィルタ設定レジスタ（SNFR）

アドレス　SCI0.SNFR 0008 A008h、SCI1.SNFR 0008 A028h、SCI2.SNFR 0008 A048h、SCI3.SNFR 0008 A068h、SCI4.SNFR 0008 A088h、SCI5.SNFR 0008 A0A8h、SCI6.SNFR 0008 A0C8h、SCI7.SNFR 0008 A0E8h、SCI8.SNFR 0008 A108h、SCI9.SNFR 0008 A128h、SCI10.SNFR 0008 A148h、SCI11.SNFR 0008 A168h、SCI12.SNFR 0008 B308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	NFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2　b0 ０ ０ ０：1分周のクロックをノイズフィルタに使用 簡易I²Cモード時、SMR.CKS[1:0]ビットで選択した内蔵ボーレートジェネレータのクロックソース基準で b2　b0 ０ ０ １：1分周のクロックをノイズフィルタに使用 ０ １ ０：2分周のクロックをノイズフィルタに使用 ０ １ １：4分周のクロックをノイズフィルタに使用 １ ０ ０：8分周のクロックをノイズフィルタに使用 上記以外：設定しないでください	R/W （注1）
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

NFCS[2:0] ビット（ノイズフィルタクロックセレクトビット）

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b” を設定してください。簡易 I²C モード時は “001b” ～ “100b” の中で設定してください。

35.2.12 I²C モードレジスタ 1（SIMR1）

アドレス　SCI0.SIMR1 0008 A009h、SCI1.SIMR1 0008 A029h、SCI2.SIMR1 0008 A049h、SCI3.SIMR1 0008 A069h、SCI4.SIMR1 0008 A089h、SCI5.SIMR1 0008 A0A9h、SCI6.SIMR1 0008 A0C9h、SCI7.SIMR1 0008 A0E9h、SCI8.SIMR1 0008 A109h、SCI9.SIMR1 0008 A129h、SCI10.SIMR1 0008 A149h、SCI11.SIMR1 0008 A169h、SCI12.SIMR1 0008 B309h

	b7	b6	b5	b4	b3	b2	b1	b0
	IICDL[4:0]					—	—	IICM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I²Cモードセレクトビット	SMIF IICM 0 0：シリアルインタフェースモード （調歩同期式、クロック同期式モードまたは簡易SPIモード） 0 1：簡易I²Cモード 1 0：スマートカードインタフェースモード 1 1：設定しないでください	R/W （注1）
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	（内蔵ボーレートジェネレータのクロックソース基準） b7 b3 0 0 0 0 0：出力遅延なし 0 0 0 0 1：0～1サイクル 0 0 0 1 0：1～2サイクル 0 0 0 1 1：2～3サイクル 0 0 1 0 0：3～4サイクル 0 0 1 0 1：4～5サイクル ：　： 1 1 1 1 0：29～30サイクル 1 1 1 1 1：30～31イクル	R/W （注1）

注1.　SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット（簡易 I²C モードセレクトビット）

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット（SSDA 出力遅延セレクトビット）

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ボーレートジェネレータのクロックソースを 1 サイクルとし、遅延なし～ 31 サイクルまでの選択が可能です。内蔵ボーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では “00000b” を設定してください。簡易 I²C モード時は、“00001b” ～ “11111b” のいずれかを設定してください。

35.2.13 I²C モードレジスタ 2（SIMR2）

アドレス　SCI0.SIMR2 0008 A00Ah、SCI1.SIMR2 0008 A02Ah、SCI2.SIMR2 0008 A04Ah、SCI3.SIMR2 0008 A06Ah、SCI4.SIMR2 0008 A08Ah、SCI5.SIMR2 0008 A0AAh、SCI6.SIMR2 0008 A0CAh、SCI7.SIMR2 0008 A0EAh、SCI8.SIMR2 0008 A10Ah、SCI9.SIMR2 0008 A12Ah、SCI10.SIMR2 0008 A14Ah、SCI11.SIMR2 0008 A16Ah、SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACKT	—	—	—	IICCSC	IICINTM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I²C割り込みモードセレクトビット	0：ACK/NACK割り込みを使用 1：受信割り込み、送信割り込みを使用	R/W （注1）
b1	IICCSC	クロック同期化ビット	0：クロック同期を行わない 1：クロック同期を行う	R/W （注1）
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0：ACK送信 1：NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット（I²C 割り込みモードセレクトビット）

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化ビット）

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに “1” を設定します。

IICCSC ビットに “0” を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには “1” を設定してください。

IICACKT ビット（ACK 送信データビット）

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は “1” を設定してください。

35.2.14 I²C モードレジスタ 3（SIMR3）

アドレス　SCI0.SIMR3 0008 A00Bh、SCI1.SIMR3 0008 A02Bh、SCI2.SIMR3 0008 A04Bh、SCI3.SIMR3 0008 A06Bh、SCI4.SIMR3 0008 A08Bh、SCI5.SIMR3 0008 A0ABh、SCI6.SIMR3 0008 A0CBh、SCI7.SIMR3 0008 A0EBh、SCI8.SIMR3 0008 A10Bh、SCI9.SIMR3 0008 A12Bh、SCI10.SIMR3 0008 A14Bh、SCI11.SIMR3 0008 A16Bh、SCI12.SIMR3 0008 B30Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTPREQ	IICRSTAREQ	IICSTAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0：開始条件を生成しない 1：開始条件を生成（注1、注3、注4）	R/W
b1	IICRSTAREQ	再開始条件生成ビット	0：再開始条件を生成しない 1：再開始条件を生成（注2、注3、注4）	R/W
b2	IICSTPREQ	停止条件生成ビット	0：停止条件を生成しない 1：停止条件を生成（注2、注3、注4）	R/W
b3	IICSTIF	開始/再開始/停止条件生成完了フラグ	0：各条件生成要求がない状態、または生成中の状態 1：各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0：シリアルデータ出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SSDAn端子はLowを出力 1 1：SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0：シリアルクロック出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SSCLn端子はLowを出力 1 1：SSCLn端子はハイインピーダンス状態	R/W

注1.　バスの状態を確認し、バスフリー状態のときに開始条件生成を行ってください。
注2.　バスの状態を確認し、バスビジー状態のときに再開始条件生成または停止条件生成を行ってください。
注3.　IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
注4.　IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット（開始条件生成ビット）

開始条件の生成を行うときは、IICSTAREQ ビットを “1” に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” に設定してください。

［“1” になる条件］

- “1” を書き込んだとき

［“0” になる条件］

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開始条件生成ビット）

再開始条件の生成を行うときは、IICRSTAREQ ビットを “1” に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” に設定してください。

［“1” になる条件］

- “1” を書き込んだとき

［“0” になる条件］

- 再開始条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成ビット）

停止条件の生成を行うときは、IICSTPREQ ビットを “1” に設定するとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ “01b” に設定してください。

［“1” になる条件］

- “1” を書き込んだとき

［“0” になる条件］

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始 / 再開始 / 停止条件生成完了フラグ）

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを “0” にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが “1” の場合に開始 / 再開始 / 停止条件生成完了割り込み（STI）要求が出力されます。

［“1” になる条件］

- 開始 / 再開始 / 停止の各条件の生成が完了したとき（ただし “0” になる条件と競合した場合は “0” になる条件が優先されます。）

［“0” になる条件］

- “0” を書き込んだとき（IICSTIF フラグが “0” になったことを確認してください。）
- SIMR1.IICM ビットが “0” のとき（簡易 I^2C モード以外のとき）
- SCR.TE ビットが “0” のとき

IICSDAS ビット（SSDA 出力セレクトビット）

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS ビットと IICSCLS ビットは同じ値に設定してください。

IICSCLS ビット（SSCL 出力セレクトビット）

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS ビットと IICSDAS ビットは同じ値に設定してください。

35.2.15 I²C ステータスレジスタ（SISR）

アドレス　SCI0.SISR 0008 A00Ch、SCI1.SISR 0008 A02Ch、SCI2.SISR 0008 A04Ch、SCI3.SISR 0008 A06Ch、SCI4.SISR 0008 A08Ch、SCI5.SISR 0008 A0ACh、SCI6.SISR 0008 A0CCh、SCI7.SISR 0008 A0ECh、SCI8.SISR 0008 A10Ch、SCI9.SISR 0008 A12Ch、SCI10.SISR 0008 A14Ch、SCI11.SISR 0008 A16Ch、SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0：ACK受信 1：NACK受信	R/W （注1）
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ（ACK 受信データフラグ）

受信された ACK/NACK ビットを読み出すことができます。

IICACK フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

35.2.16　SPI モードレジスタ（SPMR）

アドレス　SCI0.SPMR 0008 A00Dh、SCI1.SPMR 0008 A02Dh、SCI2.SPMR 0008 A04Dh、SCI3.SPMR 0008 A06Dh、SCI4.SPMR 0008 A08Dh、SCI5.SPMR 0008 A0ADh、SCI6.SPMR 0008 A0CDh、SCI7.SPMR 0008 A0EDh、SCI8.SPMR 0008 A10Dh、SCI9.SPMR 0008 A12Dh、SCI10.SPMR 0008 A14Dh、SCI11.SPMR 0008 A16Dh、SCI12.SPMR 0008 B30Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SS端子機能イネーブルビット	0：SS端子機能禁止 1：SS端子機能許可	R/W （注1）
b1	CTSE	CTSイネーブルビット	0：CTS機能禁止（RTS出力機能有効） 1：CTS機能許可	R/W （注1）
b2	MSS	マスタスレーブセレクトビット	0：TXDn端子：送信、RXDn端子：受信（マスタモード） 1：TXDn端子：受信、RXDn端子：送信（スレーブモード）	R/W （注1）
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0：モードフォルトエラーなし 1：モードフォルトエラーあり	R/W （注2）
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0：クロック極性反転なし 1：クロック極性反転あり	R/W （注1）
b7	CKPH	クロック位相セレクトビット	0：クロック遅れなし 1：クロック遅れあり	R/W （注1）

注1.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。
注2.　フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット（SS 端子機能イネーブルビット）

SSn# 端子を用いて送受信制御を行う場合（簡易 SPI モード）は “1” を設定します。それ以外の通信モードでは “0” を設定してください。なお、簡易 SPI モードでも、マスタモード（SCR.CKE[1:0] ビット =“00b” かつ MSS ビット =“0”）かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは “0” を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください（設定した場合、両ビット共に無効になります）。

CTSE ビット（CTS イネーブルビット）

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は “1” を設定します。“0” を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I^2C モード時は “0” を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください（設定しても無効になります）。

MSS ビット（マスタスレーブセレクトビット）

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを “1” に設定すると、TXDn 端子、RXDn 端子の機能が逆になり、TXDn 端子から受信データを入力し、RXDn 端子から送信データを出力します。

簡易 SPI モード以外のモード時は “0” を設定してください。

MFF フラグ（モードフォルトフラグ）

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

［“1” になる条件］

- 簡易 SPI モードのマスタモード設定時（SSE ビット =“1” かつ MSS ビット =“0”）に、SSn# 端子入力が Low になったとき

［“0” になる条件］

- “1” の状態を読み出した後、“0” を書き込んだとき

CKPOL ビット（クロック極性セレクトビット）

SCKn 端子からのクロック出力の極性を選択します。詳細は、**図 35.52** を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

CKPH ビット（クロック位相セレクトビット）

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、**図 35.52** を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

35.2.17　拡張シリアルモード有効レジスタ（ESMER）

アドレス　SCI12.ESMER 0008 B320h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ESME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0：拡張シリアルモード無効 1：拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット（拡張シリアルモード有効ビット）

ESME ビットが “1” の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを “0” にすると、以下の状態になります。

- 拡張シリアルモード制御部は初期化された状態になる

表 35.21　ESME ビットの設定とタイマ動作モードの動作保証

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	○（注 1）	×	×
1	○	○	○

○：動作保証必要、×：動作保証不要

注 1.　PCLK 選択時のみ動作します。

35.2.18　コントロールレジスタ 0（CR0）

アドレス　SCI12.CR0 0008 B321h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	BRME	RXDSF	SFSF	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0：Start Frame検出機能無効状態 1：Start Frame検出機能有効状態	R
b2	RXDSF	RXDX12入力ステータスフラグ	0：RXDX12入力許可状態 1：RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0：ビットレート測定無効 1：ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.19　コントロールレジスタ 1（CR1）

アドレス　SCI12.CR1 0008 B322h

	b7	b6	b5	b4	b3	b2	b1	b0
	PIBS[2:0]			PIBE	CF1DS[1:0]		CF0RE	BFE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0：Break Field の検出が無効 1：Break Field の検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0：Control Field 0受信無効 1：Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ選択ビット	b3 b2 0 0：PCF1DRを比較データに選択 0 1：SCF1DRを比較データに選択 1 0：PCF1DRおよびSCF1DRを比較データに選択 1 1：設定しないでください	R/W
b4	PIBE	プラリオリティインタラプトビットイネーブルビット	0：プライオリティインタラプトビット無効 1：プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プラリオリティインタラプトビットセレクトビット	b7　b5 0 0 0：Control Field 1　0ビット目 0 0 1：Control Field 1　1ビット目 0 1 0：Control Field 1　2ビット目 0 1 1：Control Field 1　3ビット目 1 0 0：Control Field 1　4ビット目 1 0 1：Control Field 1　5ビット目 1 1 0：Control Field 1　6ビット目 1 1 1：Control Field 1　7ビット目	R/W

35.2.20　コントロールレジスタ 2（CR2）

アドレス　SCI12.CR2 0008 B323h

	b7	b6	b5	b4	b3	b2	b1	b0
	RTS [1:0]		BCCS [1:0]		—	DFCS [2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS [2:0]	RXDX12信号デジタルフィルタクロック選択ビット	b2　b0 0 0 0：フィルタ無効 0 0 1：フィルタ有効（SCI基本クロック） 0 1 0：フィルタ有効（PCLK/8） 0 1 1：フィルタ有効（PCLK/16） 1 0 0：フィルタ有効（PCLK/32） 1 0 1：フィルタ有効（PCLK/64） 1 1 0：フィルタ有効（PCLK/128） 1 1 1：設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS [1:0]	バス衝突検出クロック選択ビット	b5 b4 0 0：SCI基本クロック 0 1：SCI基本クロックの2分周 1 0：SCI基本クロックの4分周 1 1：設定しないでください	R/W
b7-b6	RTS [1:0]	RXDX12受信サンプリングタイミング選択ビット	• SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0：SCI基本クロックの8クロック目の立ち上がり 0 1：SCI基本クロックの10クロック目の立ち上がり 1 0：SCI基本クロックの12クロック目の立ち上がり 1 1：SCI基本クロックの14クロック目の立ち上がり • SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0：SCI基本クロックの4クロック目の立ち上がり 0 1：SCI基本クロックの5クロック目の立ち上がり 1 0：SCI基本クロックの6クロック目の立ち上がり 1 1：SCI基本クロックの7クロック目の立ち上がり	R/W

注.　SCI基本クロックとは、SCI12.SEMR.ABCS=0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS=1のとき、1データ期間の1/8の周期です。また、SCI基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

35.2.21　コントロールレジスタ 3（CR3）

アドレス　SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0：Start Frameの検出を行わない 1：Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット（Start Frame 検出開始ビット）

SDST ビットを “1” にすると Start Frame の検出を開始します。読むと “0” が読み出されます。

35.2.22　ポートコントロールレジスタ（PCR）

アドレス　SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXPS	TXDXPS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0：TXDX12信号極性を反転せずに出力 1：TXDX12信号極性を反転して出力	R/W
b1	RXDXPS	RXDX12信号極性選択ビット	0：RXDX12極性を反転せずに入力 1：RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXDX12端子兼用選択ビット	0：TXDX12端子、RXDX12端子独立 1：TXDX12/RXDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット（TXDX12/RXDX12 端子兼用選択ビット）

SHARPS ビットが “1” の場合、TXDX12/RXDX12 端子を兼用した半二重通信が可能となります。

35.2.23　割り込みコントロールレジスタ（ICR）

アドレス　SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0：Break Field Low width検出割り込み禁止 1：Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0：Control Field 0一致割り込み禁止 1：Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0：Control Field 1一致割り込み禁止 1：Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0：プライオリティインタラプトビット検出割り込み禁止 1：プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0：バス衝突検出割り込み禁止 1：バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0：有効エッジ検出割り込み禁止 1：有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.24　ステータスレジスタ（STR）

アドレス　SCI12.STR 0008 B327h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	[“1”になる条件] • Break Field Low width検出したとき • Break Field Low width出力完了したとき • タイマがアンダフローしたとき [“0”になる条件] • STCR.BFDCLビットに“1”を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	[“1”になる条件] • Control Field 0受信データが設定データと一致したとき [“0”になる条件] • STCR.CF0MCLビットに“1”を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	[“1”になる条件] • Control Field 1受信データが設定データと一致したとき [“0”になる条件] • STCR.CF1MCLビットに“1”を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	[“1”になる条件] • プライオリティインタラプトビットを検出したとき [“0”になる条件] • STCR.PIBDCLビットに“1”を書いたとき	R
b4	BCDF	バス衝突検出フラグ	[“1”になる条件] • バス衝突を検出したとき [“0”になる条件] • STCR.BCDCLビットに“1”を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	[“1”になる条件] • 有効エッジを検出したとき [“0”になる条件] • STCR.AEDCLビットに“1”を書いたとき	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

35.2.25　ステータスクリアレジスタ（STCR）

アドレス　SCI12.STCR 0008 B328h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDCL	BCDCL	PIB-DCL	CF1MCL	CF0MCL	BFDCL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCL	BFDFクリアビット	BFDCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCL	PIBDFクリアビット	PIB DCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.26　Control Field 0 データレジスタ（CF0DR）

アドレス　SCI12.CF0DR 0008 B329h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

35.2.27 Control Field 0 コンペアイネーブルレジスタ（CF0CR）

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0：Control Field 0 ビット0コンペア無効 1：Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0：Control Field 0 ビット1コンペア無効 1：Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0：Control Field 0 ビット2コンペア無効 1：Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0：Control Field 0 ビット3コンペア無効 1：Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0：Control Field 0 ビット4コンペア無効 1：Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0：Control Field 0 ビット5コンペア無効 1：Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0：Control Field 0 ビット6コンペア無効 1：Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0：Control Field 0 ビット7コンペア無効 1：Control Field 0 ビット7コンペア有効	R/W

35.2.28 Control Field 0 受信データレジスタ（CF0RR）

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。CF0RR レジスタは CPU、DTC からライトできません。

35.2.29 プライマリ Control Field 1 データレジスタ（PCF1DR）

アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

35.2.30　セカンダリ Control Field 1 データレジスタ（SCF1DR）

アドレス　SCI12.SCF1DR 0008 B32Dh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード / ライト可能なレジスタです。

35.2.31　Control Field 1 コンペアイネーブルレジスタ（CF1CR）

アドレス　SCI12.CF1CR 0008 B32Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	CF1CE7	CF1CE6	CF1CE5	CF1CE4	CF1CE3	CF1CE2	CF1CE1	CF1CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1　0ビットコンペアイネーブル	0：Control Field 1　ビット0コンペア無効 1：Control Field 1　ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1　1ビットコンペアイネーブル	0：Control Field 1　ビット1コンペア無効 1：Control Field 1　ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1　2ビットコンペアイネーブル	0：Control Field 1　ビット2コンペア無効 1：Control Field 1　ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1　3ビットコンペアイネーブル	0：Control Field 1　ビット3コンペア無効 1：Control Field 1　ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1　4ビットコンペアイネーブル	0：Control Field 1　ビット4コンペア無効 1：Control Field 1　ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1　5ビットコンペアイネーブル	0：Control Field 1　ビット5コンペア無効 1：Control Field 1　ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1　6ビットコンペアイネーブル	0：Control Field 1　ビット6コンペア無効 1：Control Field 1　ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1　7ビットコンペアイネーブル	0：Control Field 1　ビット7コンペア無効 1：Control Field 1　ビット7コンペア有効	R/W

35.2.32　Control Field 1 受信データレジスタ（CF1RR）

アドレス　SCI12.CF1RR 0008 B32Fh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。CF1RR レジスタは CPU、DTC からライトできません。

35.2.33　タイマコントロールレジスタ（TCR）

アドレス　SCI12.TCR 0008 B330h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0：タイマカウント停止 1：タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

35.2.34　タイマモードレジスタ（TMR）

アドレス　SCI12.TMR 0008 B331h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TCSS[2:0]			TWRC	—	TOMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット（注1）	b1 b0 0 0：タイマモード 0 1：Break Field Low width判定モード 1 0：Break Field Low width出力モード 1 1：設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0：リロードレジスタとカウンタへの書き込み 1：リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット（注1）	b6　b4 0 0 0：PCLK 0 0 1：PCLK/2 0 1 0：PCLK/4 0 1 1：PCLK/8 1 0 0：PCLK/16 1 0 1：PCLK/32 1 1 0：PCLK/64 1 1 1：PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注2.　TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時（TCST=0）に行ってください。

TWRC ビット（カウンタ書き込み制御ビット）

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

35.2.35　タイマプリスケーラレジスタ（TPRE）

アドレス　SCI12.TPRE 0008 B332h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびのカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、システム動作クロックの 1 クロックが必要です。

35.2.36　タイマカウントレジスタ（TCNT）

アドレス　SCI12.TCNT 0008 B333h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

35.3　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを**図 35.5** に示します。

1 フレームは、スタートビット（Low）から始まり送受信データ、パリティビット、ストップビット（High）の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態（High）に保たれています。

SCI は通信回線を監視し、スペース（Low）を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード / ライトができ、連続送受信が可能です。

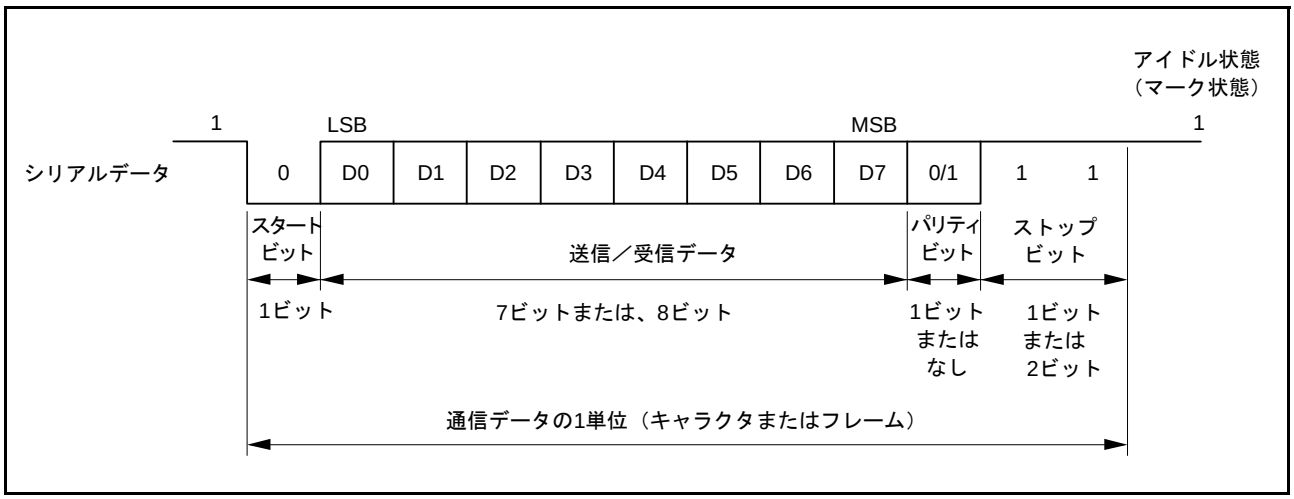


図 35.5　調歩同期式シリアル通信のデータフォーマット
（8 ビットデータ / パリティあり /2 ストップビットの例）

35.3.1　シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを**表 35.22** に示します。

フォーマットは 12 種類あり、SMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「**35.4　マルチプロセッサ通信機能**」を参照してください。

表35.22　シリアル送信/受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長
CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	0	S 8ビットデータ STOP
0	0	0	1	S 8ビットデータ STOP STOP
0	1	0	0	S 8ビットデータ P STOP
0	1	0	1	S 8ビットデータ P STOP STOP
1	0	0	0	S 7ビットデータ STOP
1	0	0	1	S 7ビットデータ STOP STOP
1	1	0	0	S 7ビットデータ P STOP
1	1	0	1	S 7ビットデータ P STOP STOP
0	—	1	0	S 8ビットデータ MPB STOP
0	—	1	1	S 8ビットデータ MPB STOP STOP
1	—	1	0	S 7ビットデータ MPB STOP
1	—	1	1	S 7ビットデータ MPB STOP STOP

S　　：スタートビット
STOP　：ストップビット
P　　：パリティビット
MPB　：マルチプロセッサビット

35.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 35.6 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表わすことができます。

$$M = \left| (0.5 - \frac{1}{2N}) - (L-0.5)F - \frac{D-0.5}{N}(1+F) \right| \times 100 \quad [\%] \qquad \cdots 式\ (1)$$

M ： 受信マージン
N ： クロックに対するビットレートの比
　　（SEMR.ABCSビット=0のときN=16、ABCSビット=1のときN=8）
D ： クロックのデューティ（D=0.5～1.0）
L ： フレーム長（L=9～12）
F ： クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）＝ 0、D（クロックのデューティ）＝ 0.5 とすると、

M=｛0.5-1/（2×16）｝×100［%］=46.875%

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30%の余裕を持たせてください。

注 1.　SEMR.ABCS ビット＝ 0 のときの例です。ABCS ビット＝ 1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

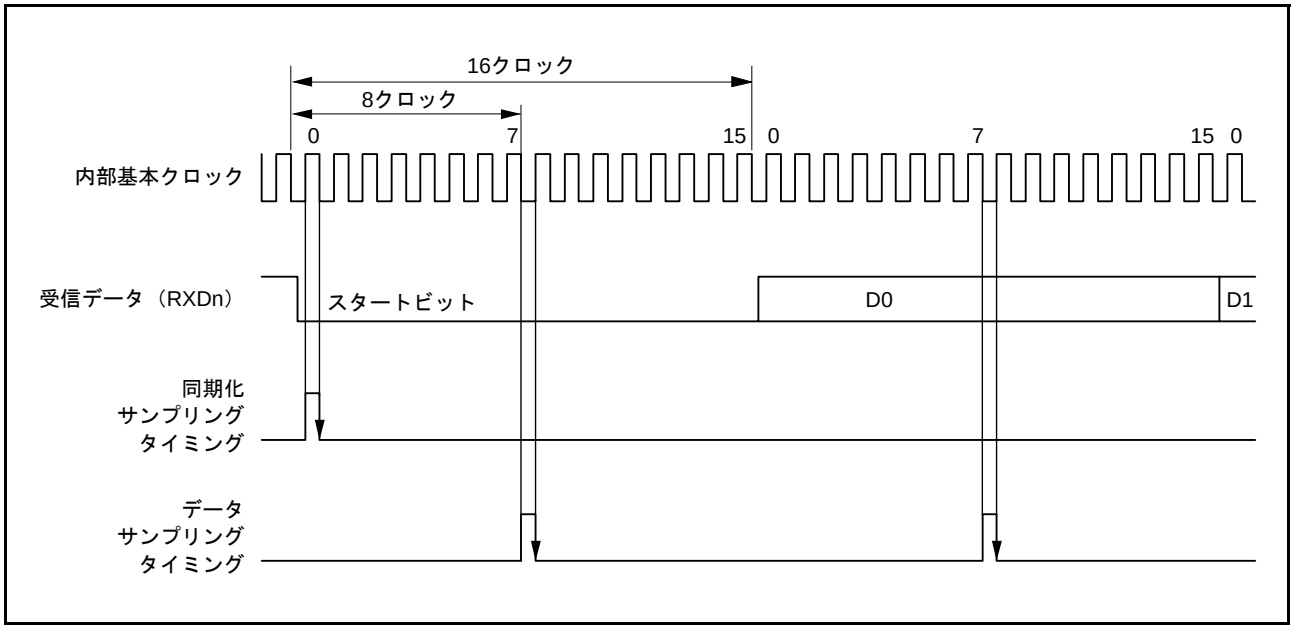


図 35.6　調歩同期式モードの受信データサンプリングタイミング

35.3.3　クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット＝ 0 のとき）、8 倍（SEMR.ABCS ビット＝ 1 のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0 ビット (n=5、6、12) の設定により、TMR0、TMR1 からの基本クロックを選択することが可能です。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は**図 35.7** に示すように送信データの中央でクロックが立ち上がります。

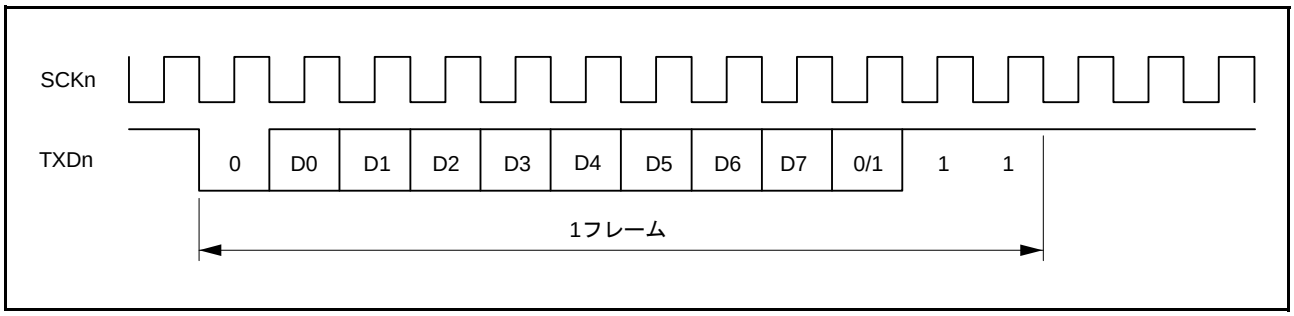


図 35.7　出力クロックと送信データの位相関係（調歩同期式モード：SMR.CHR=0,PE=1,MP=0,STOP=1）

35.3.4　CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを “1” にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTSn# 端子を Low にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して受信要求を行う機能で、受信可能状態になると Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが “1”
- 受信動作中でない
- 読み出し前の受信データがない
- SSR.ORER, FER, PER フラグがすべて “0”

[High になる条件]

Low になる条件を満たさない場合

35.3.5　SCI の初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 35.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” に設定しても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” に設定すると、SCR.TIE ビットが “1” の場合、TXI 割り込み要求が発生しますので注意してください。

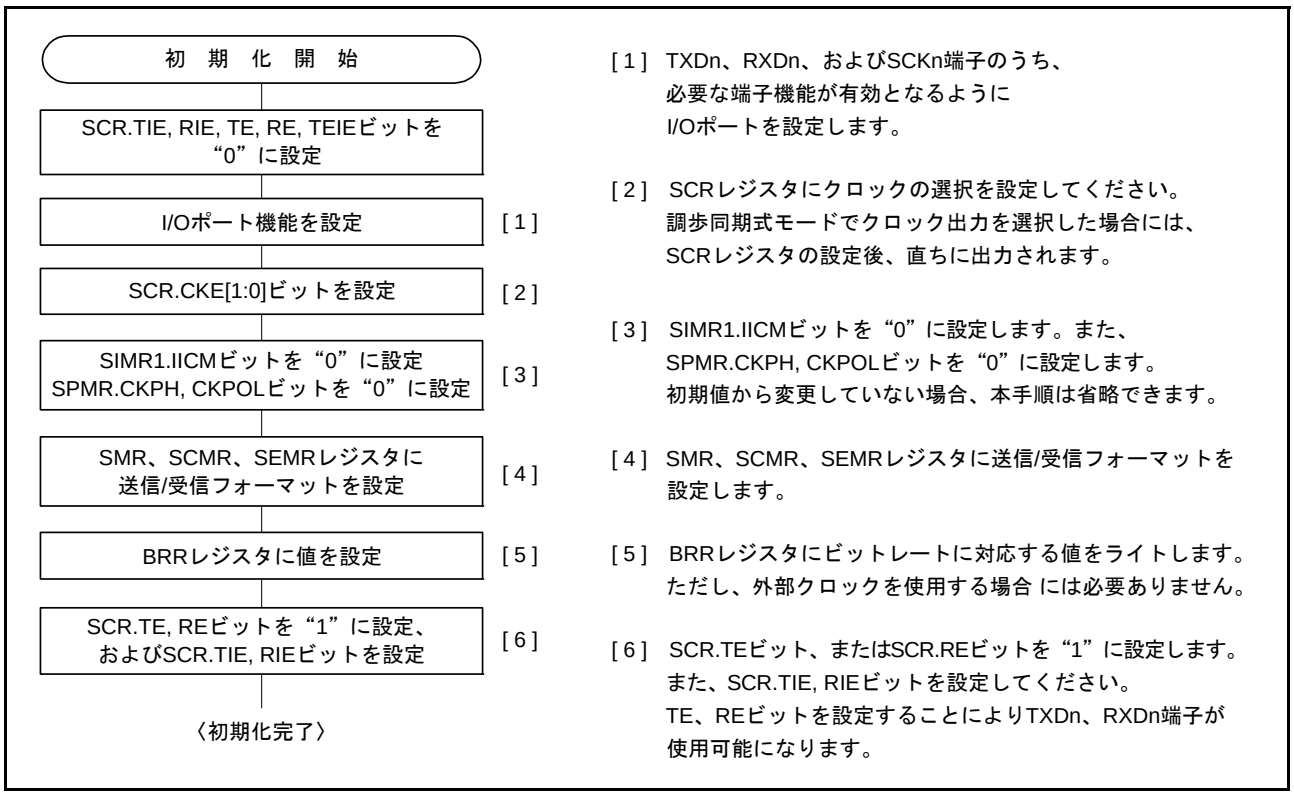


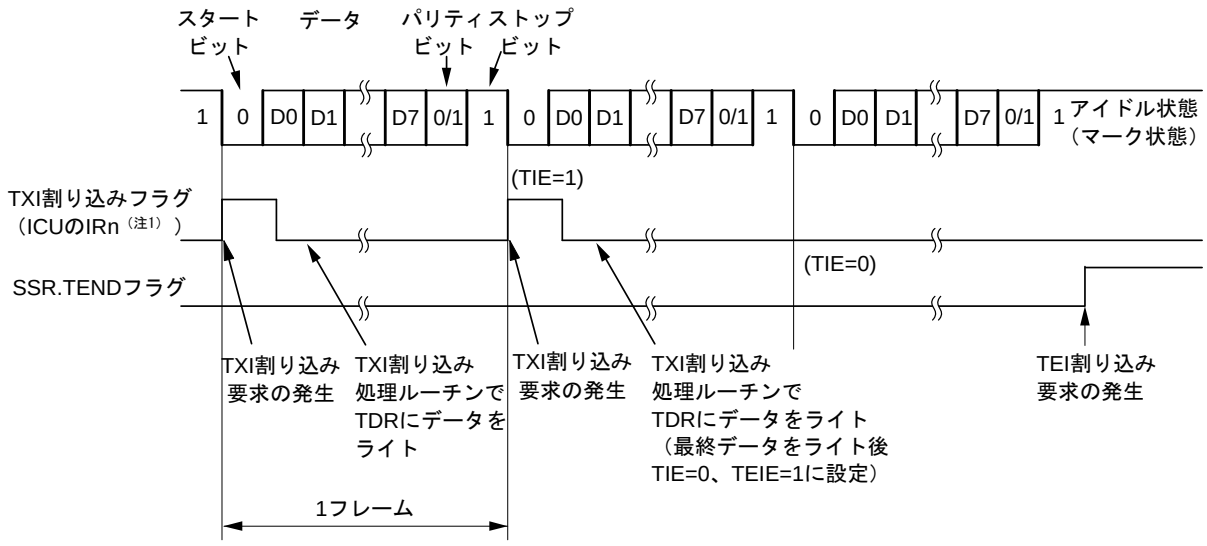
図 35.8　SCI の初期化フローチャートの例（調歩同期式モード）

35.3.6　シリアルデータの送信（調歩同期式モード）

図 35.9 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

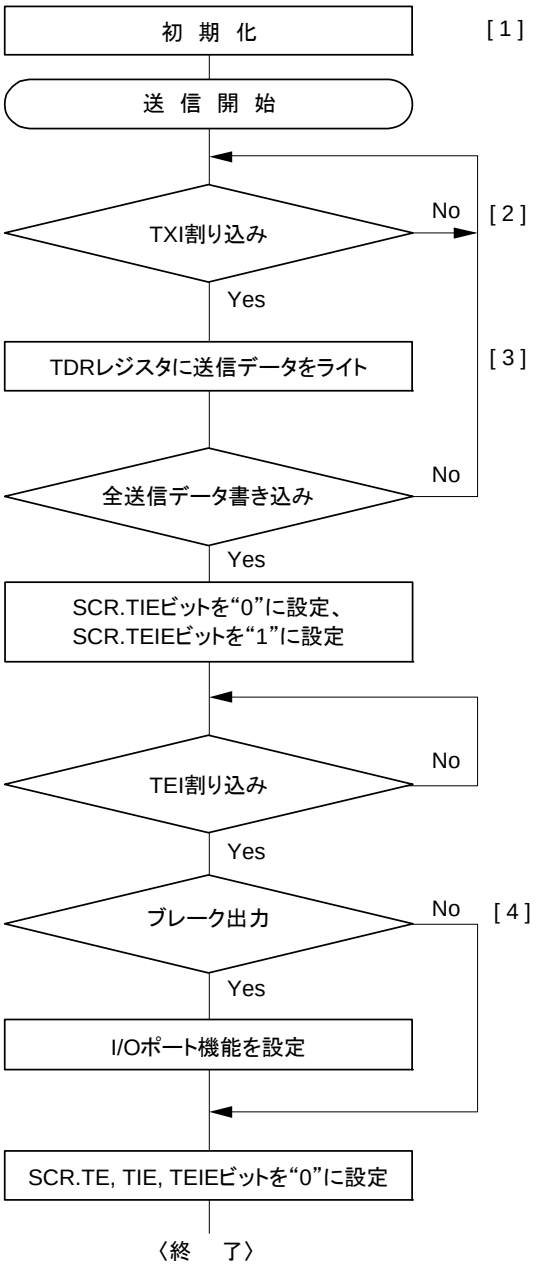
1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” に設定した後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” に設定することで発生します。
2. SPMR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” に設定されていると、TXI 割り込み要求を発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、“1” を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” にされていると、SSR.TEND フラグが “1” にされ TEI 割り込み要求を発生します。

図 35.10 にシリアル送信のフローチャートの例を示します。



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.9　調歩同期式モードのシリアル送信（送信中～送信終了時）の動作例（8 ビットデータ / パリティあり /1 ストップビットの例）



[1] SCIの初期化：
TXDn端子は自動的に送信データ出力端子になります。SCR.TEビットを “1” に設定した後、1フレーム分の1を出力して送信可能状態になります。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み要求（TXI）が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけライトしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけライトしてください。TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタに ライトした後、SCR.TIEビットを “0” に、SCR.TEIEビットを “1”に設定します。

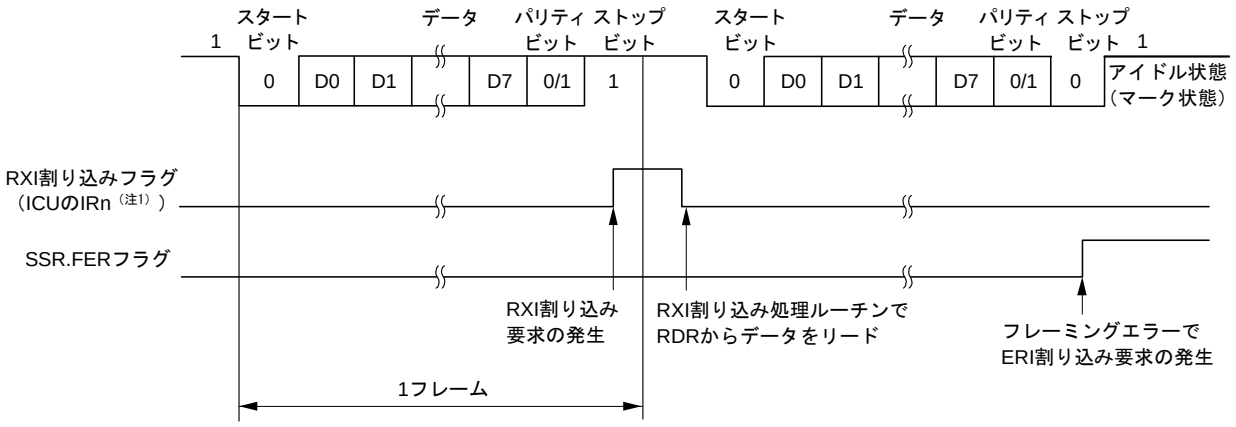
[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TXDn端子に対応するI/Oポート機能を設定（Low出力に設定）し、TXDn端子を汎用入出力ポート機能に切り替えた後、SCR.TEビットを“0”に設定します。

図 35.10　調歩同期式モードのシリアル送信のフローチャート例

35.3.7　シリアルデータの受信（調歩同期式モード）

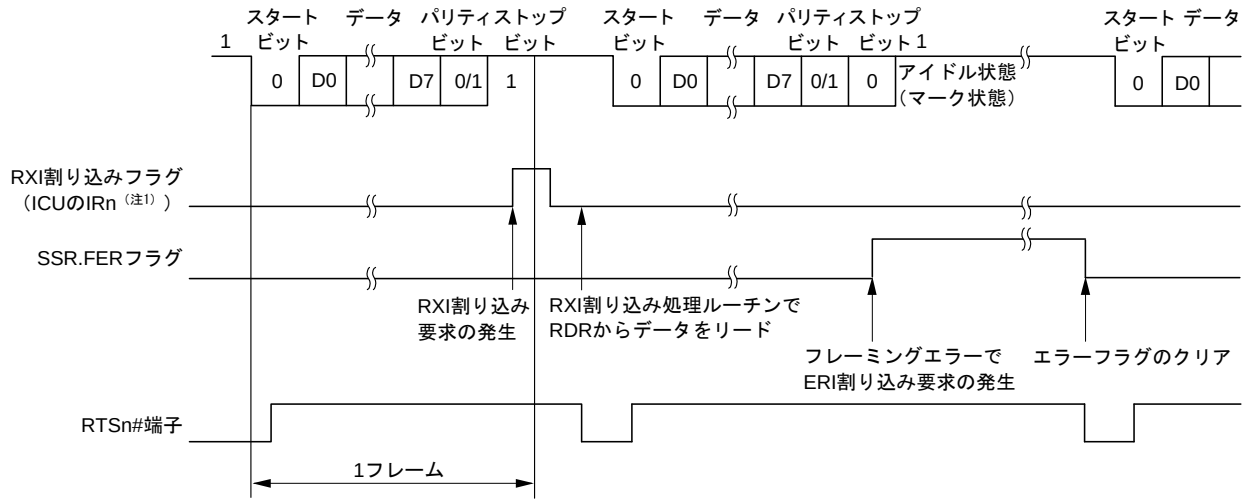
図 35.11、図 35.12 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットを “1” にして、RTSn# 端子出力を Low にします。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。
5. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” にされていると、RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします。



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.11　調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり /1 ストップビットの例）



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.12　調歩同期式モードのシリアル受信時の動作例（2）（RTS 機能使用時）
（8 ビットデータ / パリティあり /1 ストップビットの例）

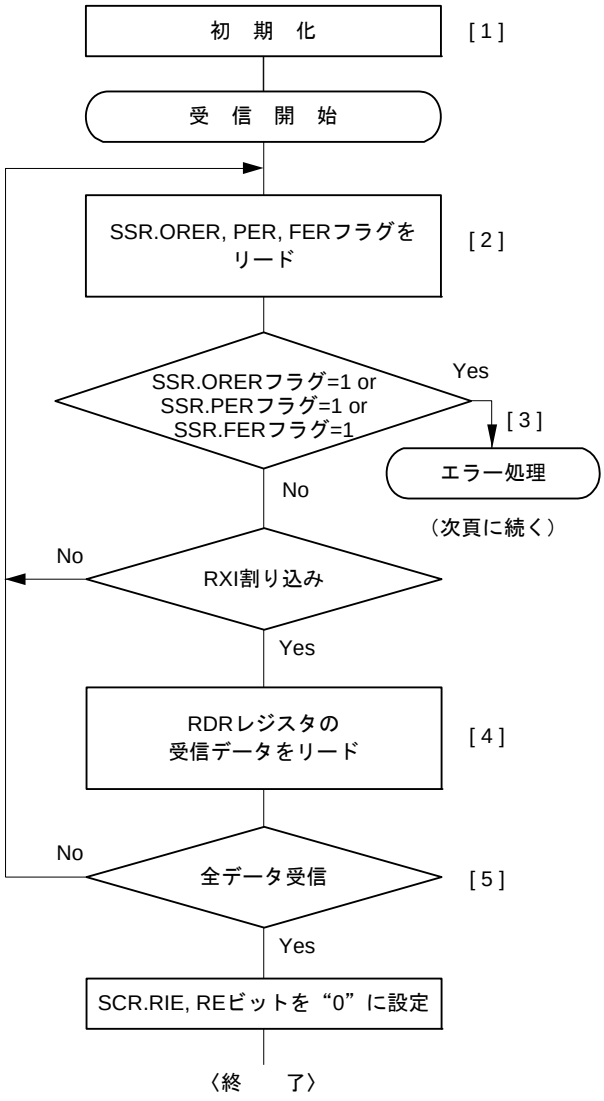
受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 35.23 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを “0” に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。

図 35.13、図 35.14 にシリアル受信のフローチャートの例を示します。

表35.23　SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー



[1] SCIの初期化：
RXDn端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、ERI割り込みが発生します。SSR.ORER, PER, FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、PER、FERフラグをすべて“0”に設定してください。ORER、PER、FERフラグのいずれかが“1”に設定された状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

[4] RXI割り込みルーチンで、RDRレジスタの受信データを1回リードします。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RXI割り込みルーチンでRDRレジスタの値をリードします。DMACまたはDTCを起動し、RDRレジスタの値をリードすることも可能です。

図 35.13　調歩同期式モードのシリアル受信のフローチャート例（1）

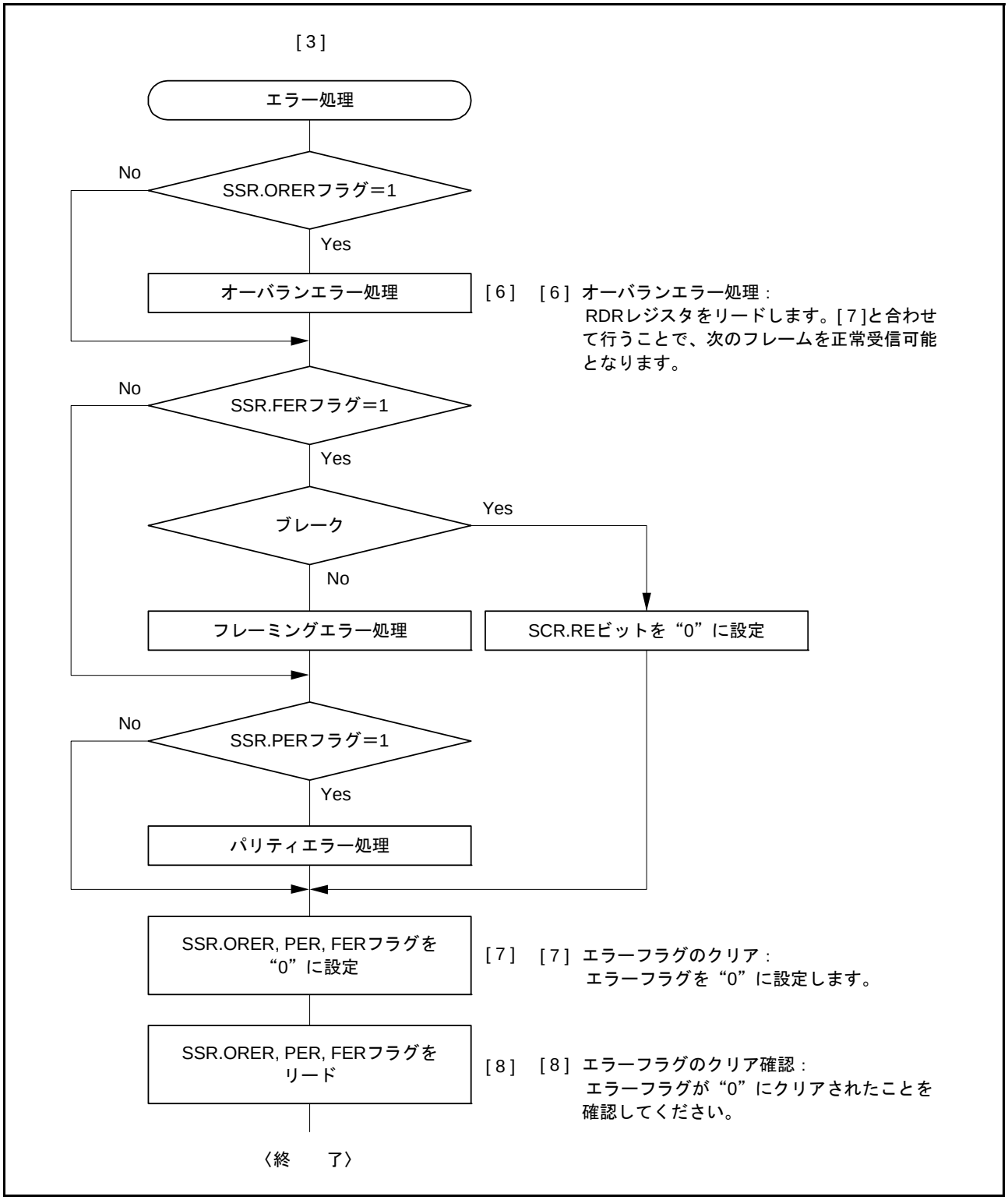


図 35.14　調歩同期式モードのシリアル受信のフローチャート例（2）

35.4　マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。**図 35.15** にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを “1” に設定すると、マルチプロセッサビットが 1 のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.ORER、FER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR.MPBT ビットが “1” にされるとともに SCR.MPIE ビットが自動的にクリアされて通常の受信動作に戻ります。このとき SCR.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

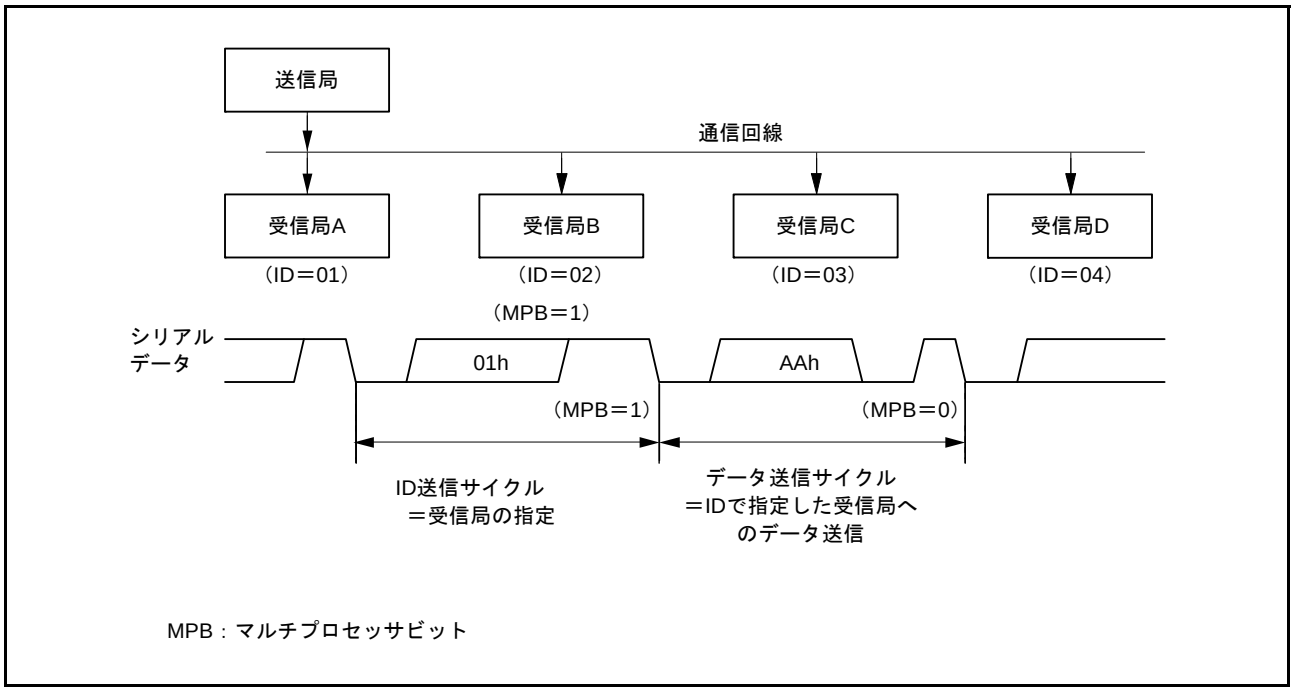


図 35.15　マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAh の送信の例）

35.4.1　マルチプロセッサシリアルデータ送信

図 35.16 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを “1” に設定して送信してください。データ送信サイクルでは SSR.MPBT ビットを “0” に設定して送信してください。その他の動作は調歩同期式モードの動作と同じです。

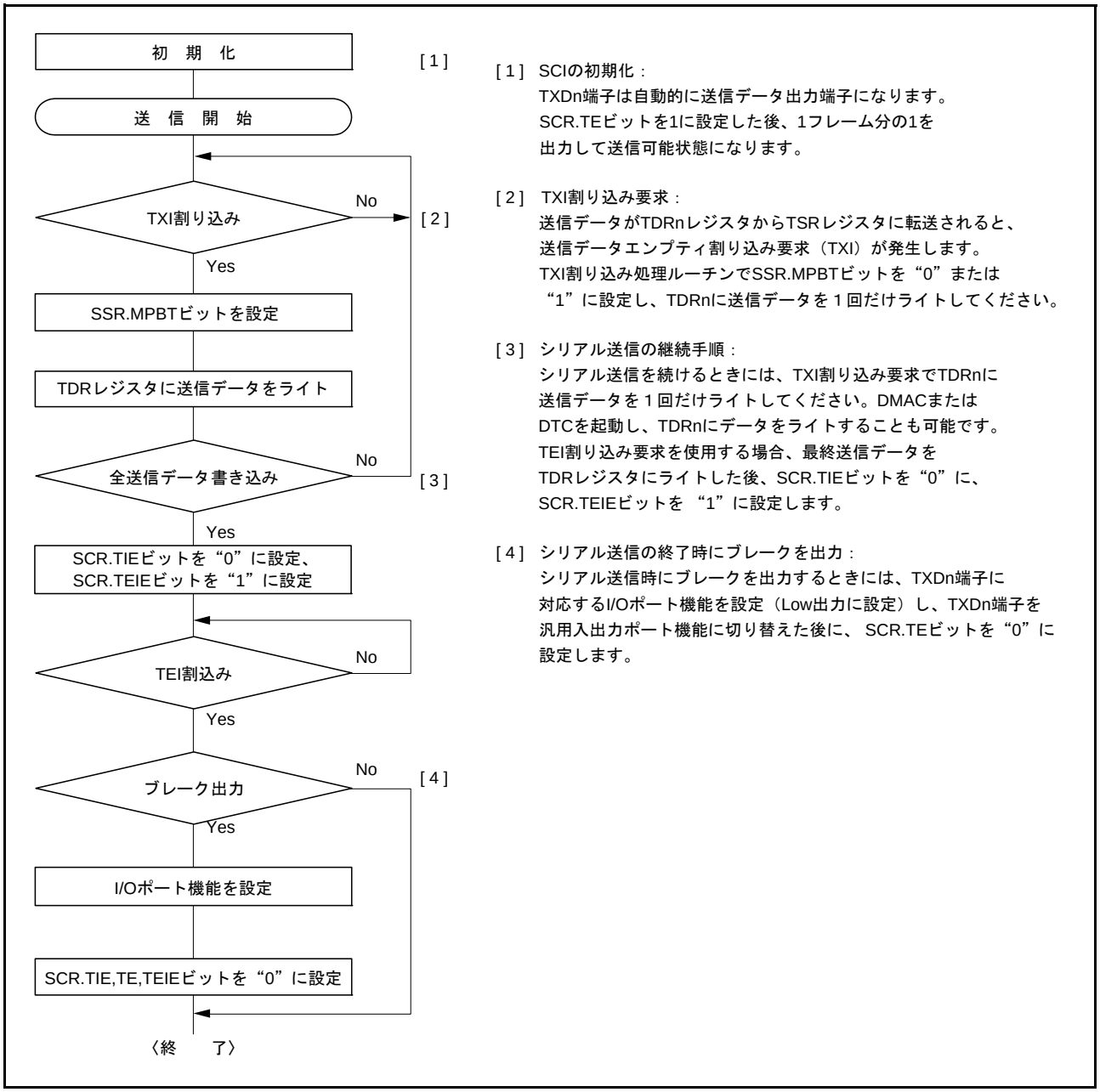


図 35.16　マルチプロセッサシリアル送信のフローチャートの例

35.4.2　マルチプロセッサシリアルデータ受信

図 35.18、図 35.19 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを “1” に設定するとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 35.17 に受信時の動作例を示します。

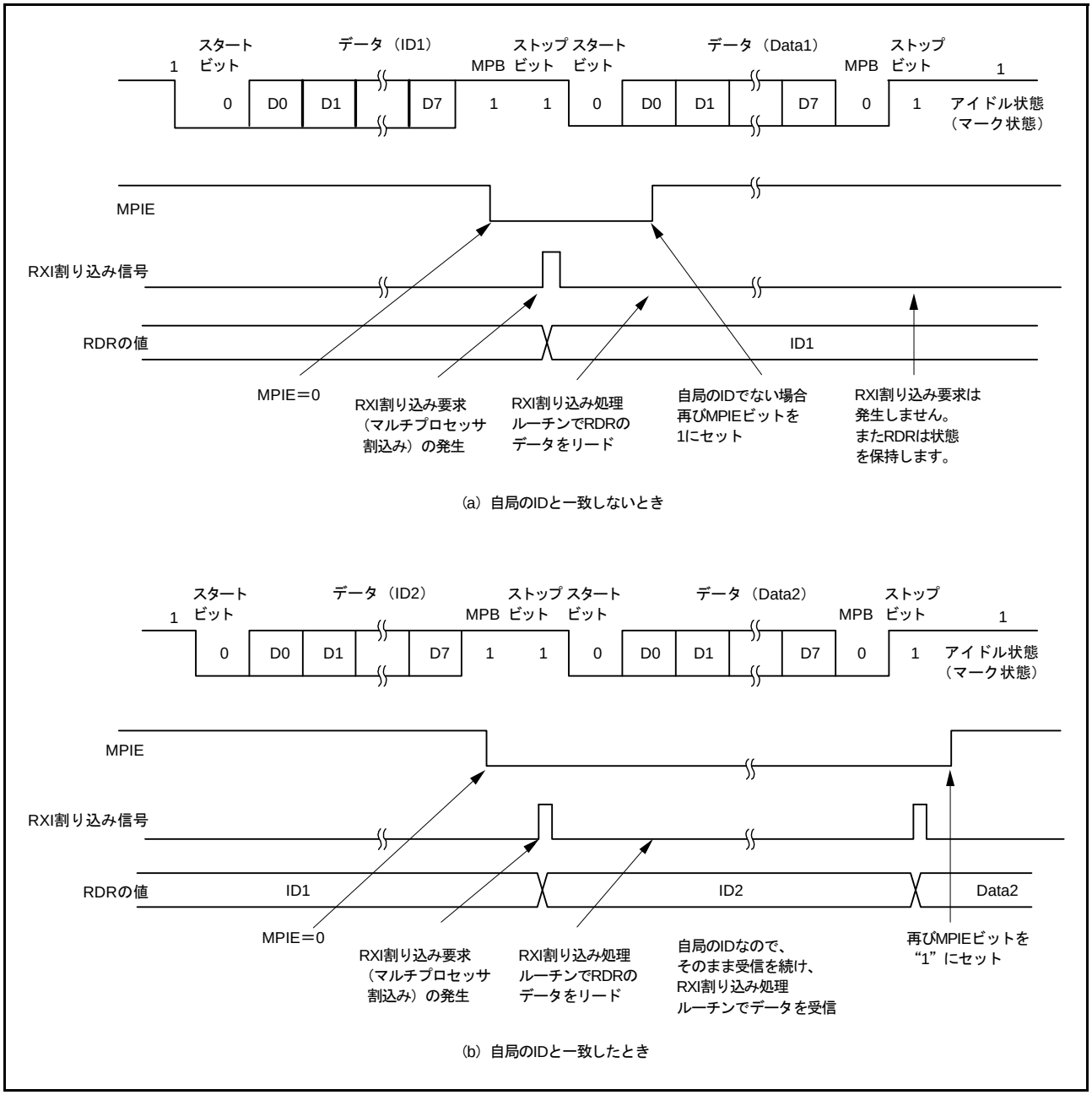
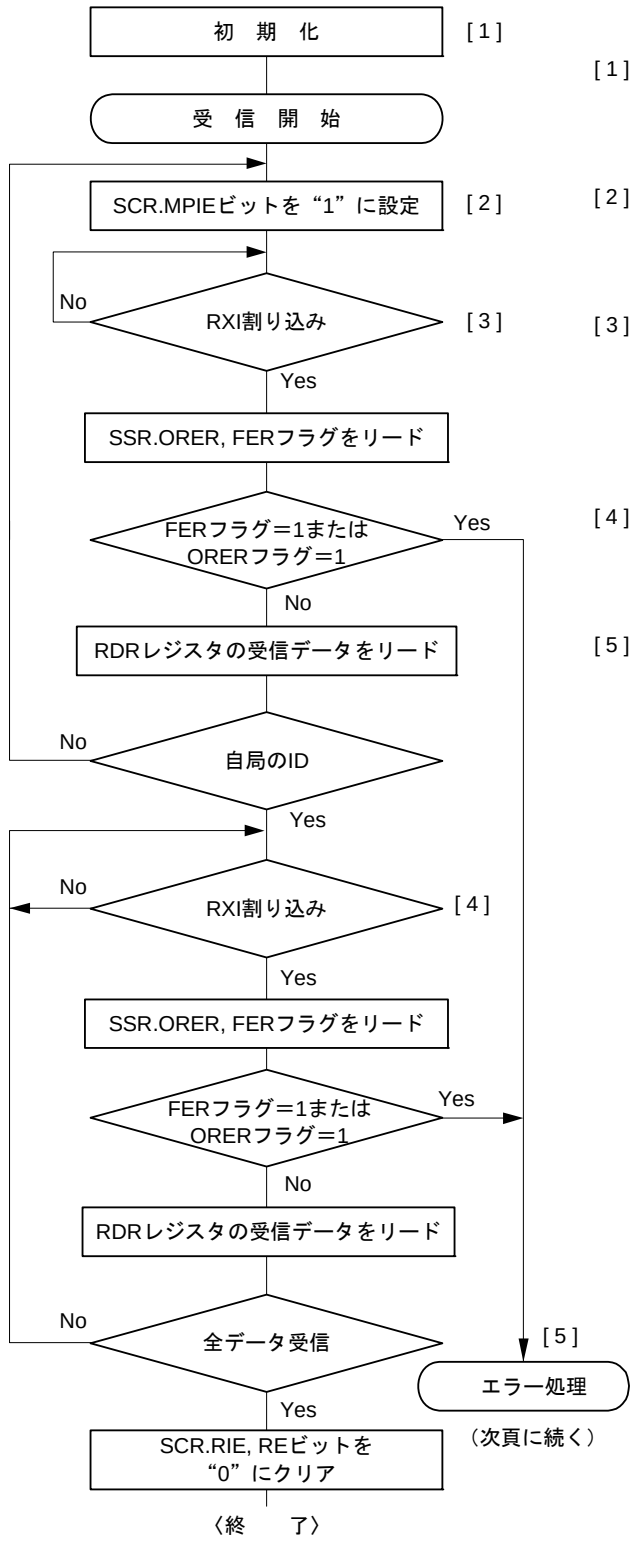


図 35.17　SCI の受信時の動作例（8 ビットデータ / マルチプロセッサビットあり /1 ストップビットの例）



[1] SCIの初期化：
RXDn端子は自動的に受信データ入力端子になります。

[2] ID受信サイクル：
SCR.MPIEビットを“1”に設定し、ID受信を待ちます。

[3] SCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRレジスタのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びSCR.MPIEビットを“1”に設定してRXI割り込みを待ちます。

[4] RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRレジスタのデータを1回リードします。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER, FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグをすべて“0”にクリアしてください。ORER、FERフラグのいずれかが“1”に設定された状態では受信を再開できません。また、フレーミングエラー時にRXDn端子の値をリードすることでブレークの検出ができます。

図 35.18　マルチプロセッサシリアル受信のフローチャートの例（1）

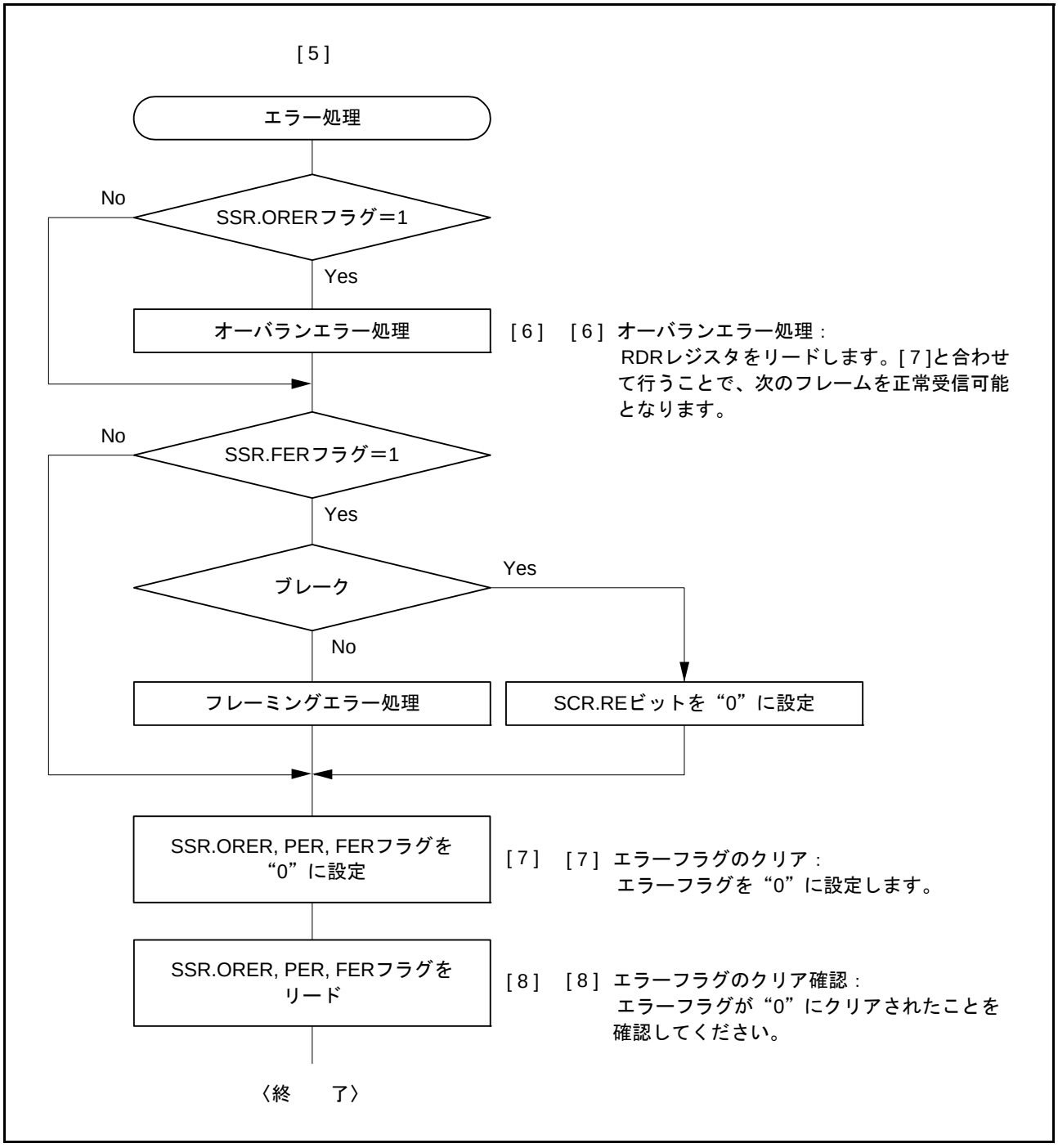


図 35.19　マルチプロセッサシリアル受信のフローチャートの例（2）

35.5　クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 35.20 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

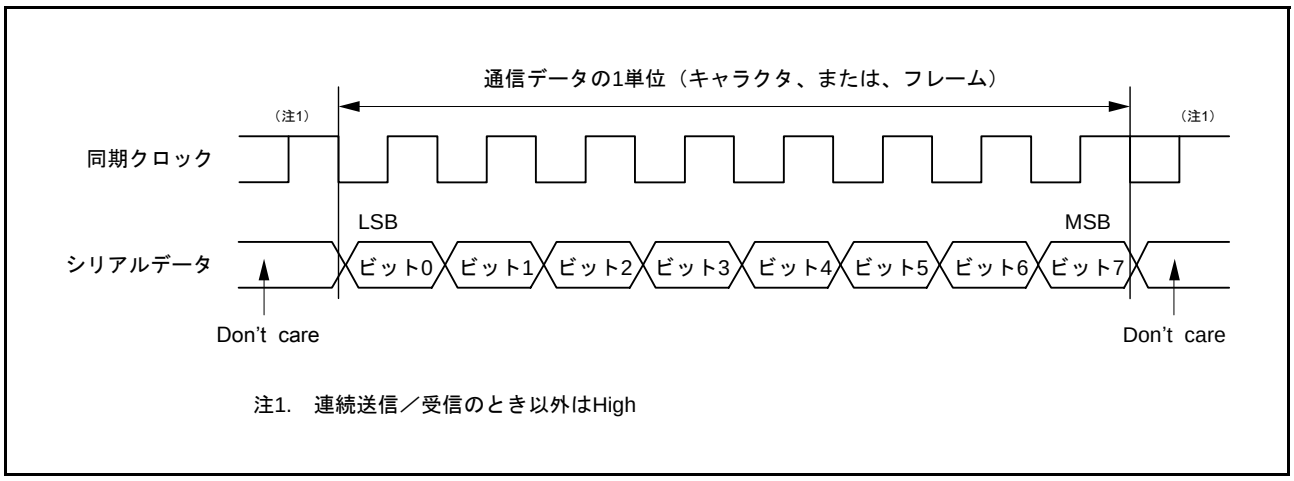


図 35.20　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの場合）

35.5.1　クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは CTS 機能有効で CTSn# 端子入力が High か、オーバランエラーが発生するか、SCR.RE ビットを “0” に設定するまで同期クロックは出力されます。CTS 機能が有効な場合は、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を停止します。

35.5.2　CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビット “1” に設定すると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが “1”
- 送受信動作中でない
- 読み出し前の受信データがない（SCR.RE ビットが “1” のとき）
- 送信データを書き込み済（SCR.TE ビットが “1” のとき）
- SSR.ORER フラグが “0”

[High になる条件]

Low になる条件を満たさない場合

35.5.3　SCI の初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 35.21 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” に設定しても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” に設定すると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

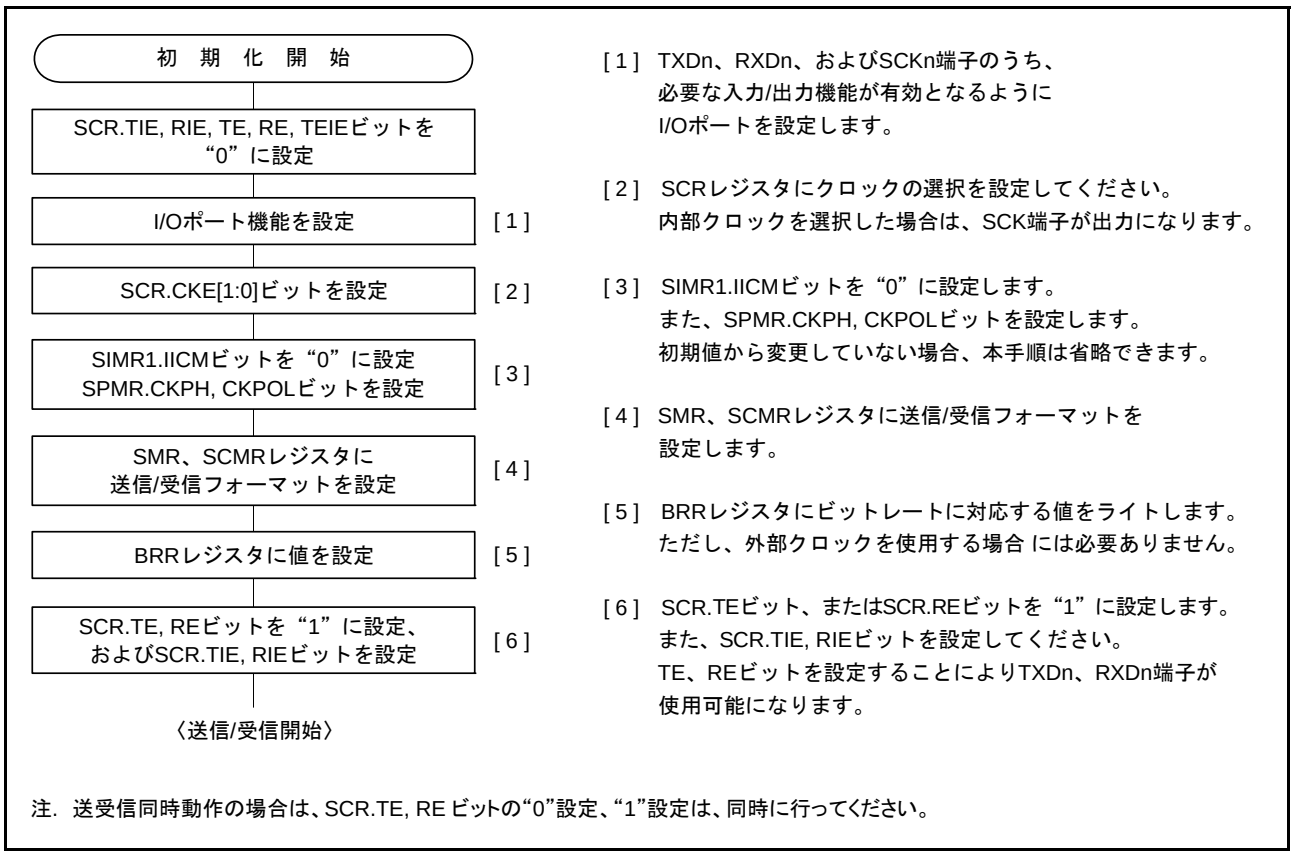


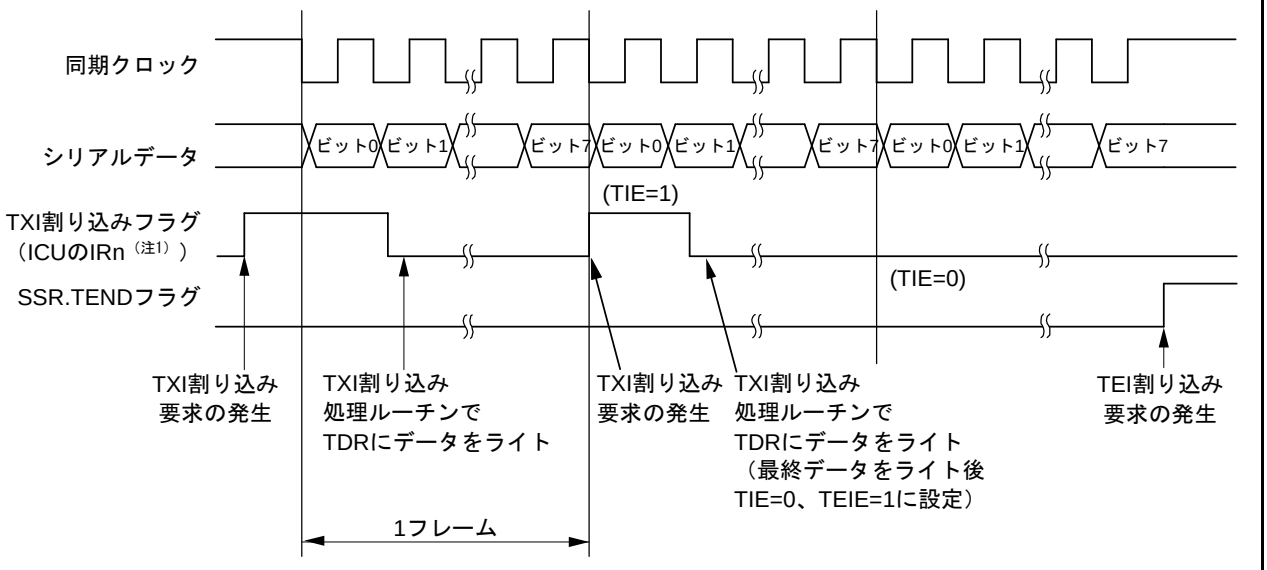
図 35.21　SCI の初期化フローチャートの例（クロック同期式モード）

35.5.4　シリアルデータの送信（クロック同期式モード）

図 35.22 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

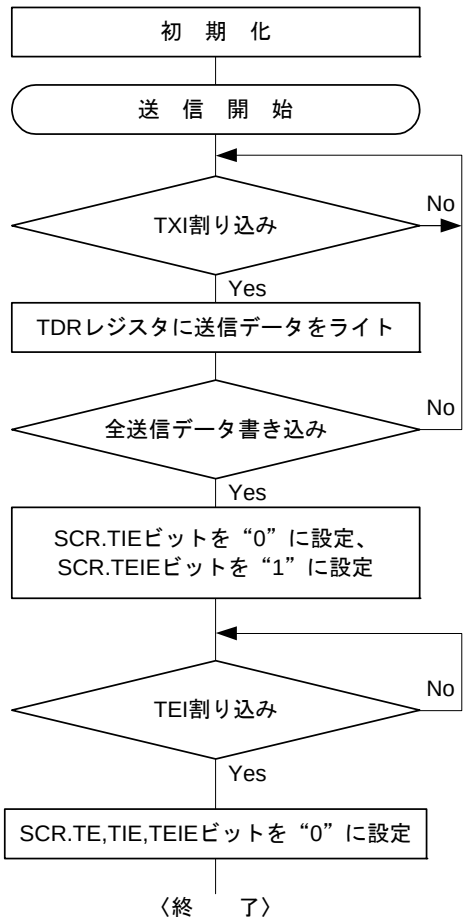
1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” に設定した後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” に設定することで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” に設定されていると、TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが “1”（CTS 機能許可）のとき、CTS 信号入力が Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが “1” にされていると、TEI 割り込み要求を発生します。SCKn 端子は High に固定されます。

図 35.23 にシリアル送信のフローチャートの例を示します。
受信エラーフラグ（SSR.ORER, FER, PER）が “1” にされた状態では送信を開始しません。送信開始の前に、受信エラーフラグを “0” に設定してください。また、受信エラーフラグは SCR.RE ビットを “0” にしただけではクリアされませんので注意してください。



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.22　クロック同期式モードのシリアル送信（送信中～送信終了時）の動作例



[1] SCIの初期化：
TXDn端子は自動的に送信データ出力端子になります。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み要求（TXI）が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回ライトします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、送信データエンプティ割り込み要求（TXI）によりTDRレジスタにデータをライトしてください。TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを “0” に、SCR.TEIEビットを “1”に設定します。

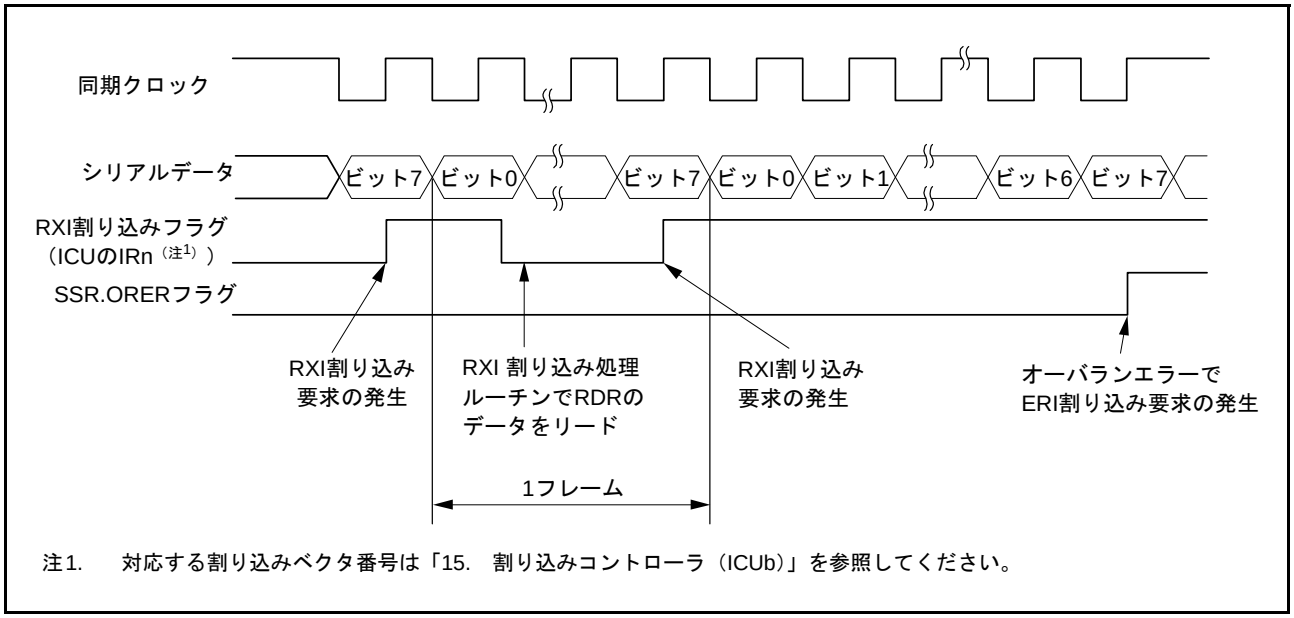
注.　外部クロック（SCR.CKE[1:0]ビット=10b、11b）のときは、最終ビットのSCK端子立ち上がりでSSR.TENDフラグが“1”になります。このとき、SCR.TEビットを直ぐ“0”に設定すると受信デバイス側の受信データのホールド時間が不足する場合があります。

図 35.23　クロック同期式モードのシリアル送信のフローチャート例

35.5.5　シリアルデータの受信（クロック同期式モード）

図 35.24、図 35.25 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTS 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが “1” にされていると、RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTS 信号出力を Low にします（RTS 機能使用時）。



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.24　クロック同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）

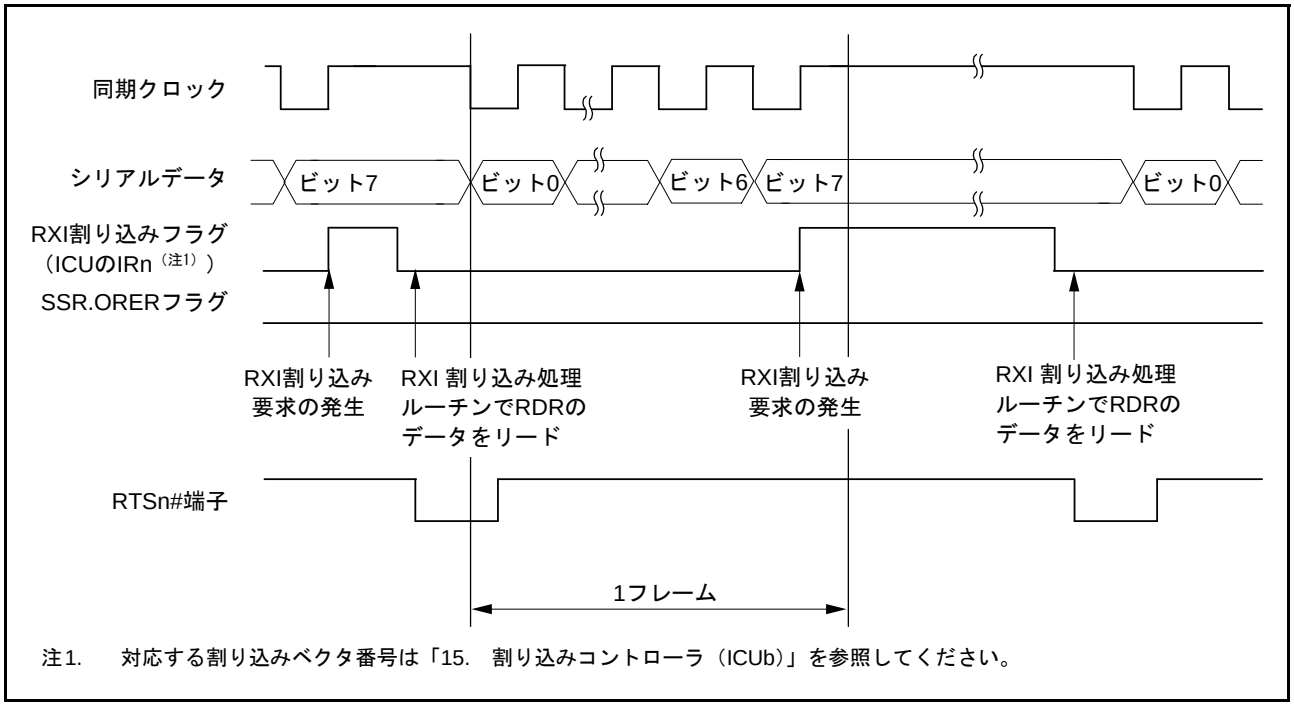
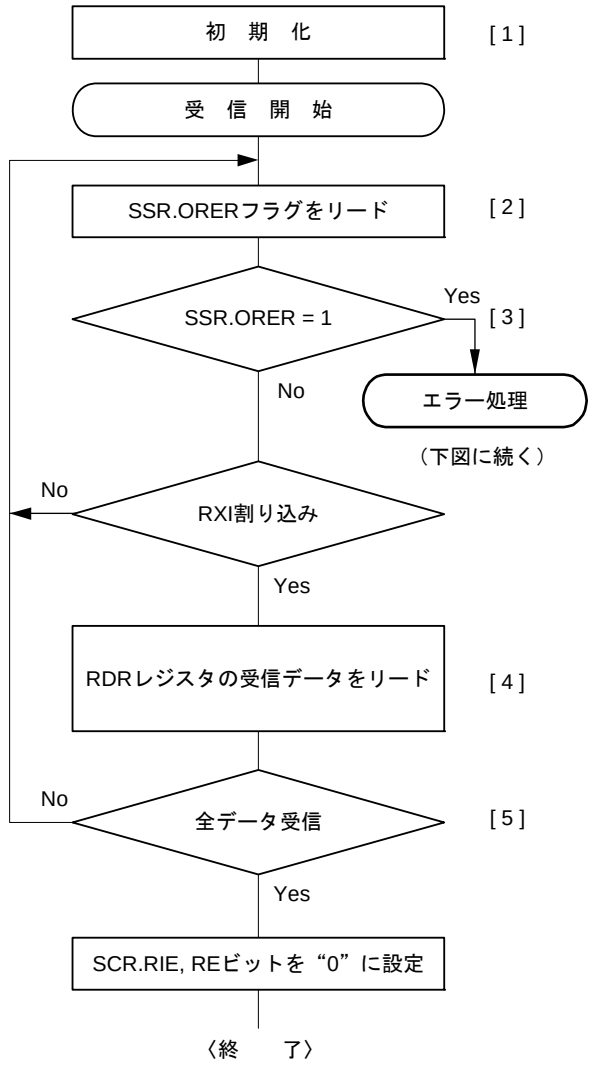


図 35.25　クロック同期式モードのシリアル受信時の動作例（2）（RTS 機能使用時）

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR.ORER, FER, PER フラグを “0” に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。

図 35.26 にシリアル受信のフローチャートの例を示します。

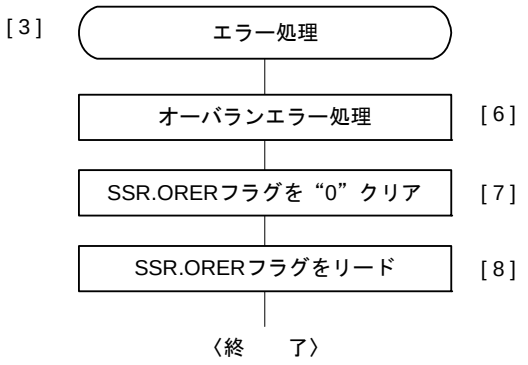


[1] SCIの初期化：
RXDn端子として使用するポートを入力に設定してください。

[2][3]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にクリアしてください。ORERフラグが“1”に設定された状態では、受信を再開できません。

[4] RXI割り込み要求（RXI）でRDRレジスタの受信データを1回リードしてください。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRレジスタのリードを終了しておいてください。受信データフル割り込み（RXI）要求でDMACまたはDTCを起動し、RDRの値をリードすることも可能です。



[6] オーバランエラー処理：
RDRレジスタをリードします。[7]と合わせて行うことで、次のフレームを正常受信可能となります。

[7] エラーフラグのクリア：
エラーフラグを“0”に設定します。

[8] エラーフラグのクリア確認：
エラーフラグが“0”にクリアされたことを確認してください。

図 35.26　クロック同期式モードのシリアル受信のフローチャート例

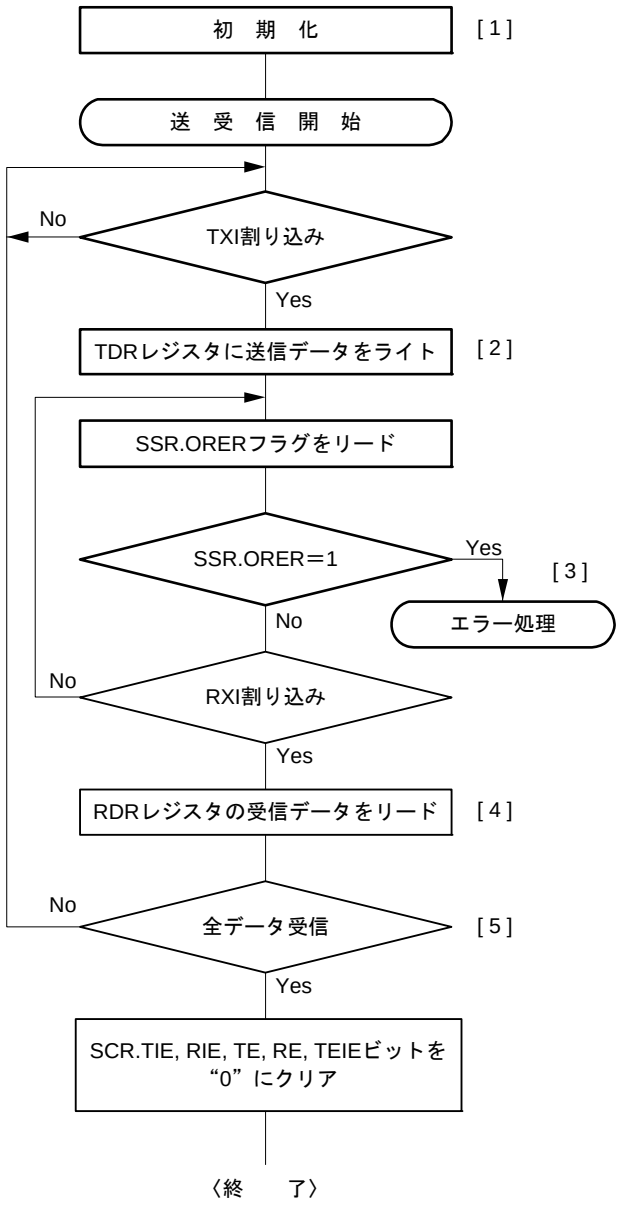
35.5.6　シリアルデータの送受信同時動作（クロック同期式モード）

図 35.27 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが “1” に設定されていることで確認してください。その後、SCR レジスタを初期化してから SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に “1” に設定してください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR.RIE, RE ビットを “0” に設定してから、エラーフラグ（SSR.ORER, FER, PER）が “0” に設定されていることを確認した後、SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に “1” に設定してください。



[1]　SCI初期化：
TXDn端子は送信データ出力端子に、RXDn端子は受信データ入力端子にして送受信同時動作可能状態になります。

[2]　送信データのライト：
TXI割り込みでTDRレジスタに送信データを1回ライトします。

[3]　受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”に設定してください。ORERフラグが“1”に設定された状態では受信を再開できません。

[4]　受信データのリード：
RXI割り込みでRDRレジスタの受信データを1回リードします。

[5]　シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前にRXI割り込みでRDRレジスタのリードを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTXI割り込みでTDRレジスタにデータをライトしてください。
送信データエンプティ割り込み（TXI）要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることや、受信データフル割り込み（RXI）要求でDMACまたはDTCを起動し、RDRレジスタの値をリードすることも可能です。

注.　送信、または受信動作から同時送受信に切り替えるときには、SCR.TIE, RIE, TE, RE, TEIEビットを“0”にクリアしてから、SCR.TIE, RIE, TE, REビットを同時に“1”に設定してください。

図 35.27　クロック同期式モードのシリアル送受信同時動作のフローチャート例

35.6　スマートカードインタフェースモードの動作

SCI の拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）とのインタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

35.6.1　接続例

図 35.28 にスマートカード（IC カード）との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット =1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には RX63N グループ、RX631 グループの出力ポートを使用できます。

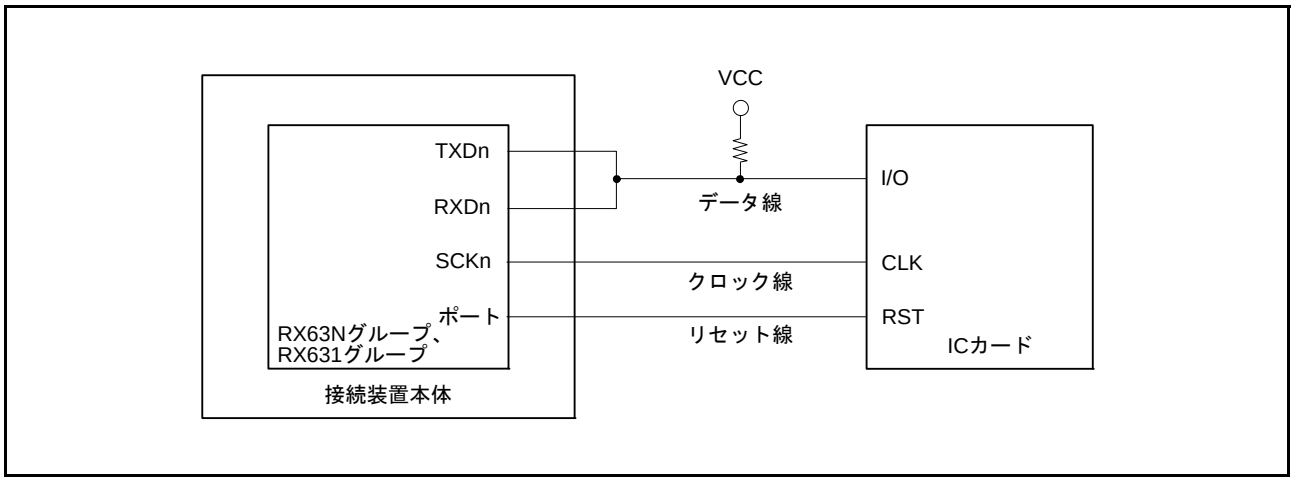


図 35.28　スマートカード（IC カード）との接続例

35.6.2　データフォーマット（ブロック転送モード時を除く）

図 35.29 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu（Elementary Time Unit : 1 ビットの転送期間）以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル（Low）を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

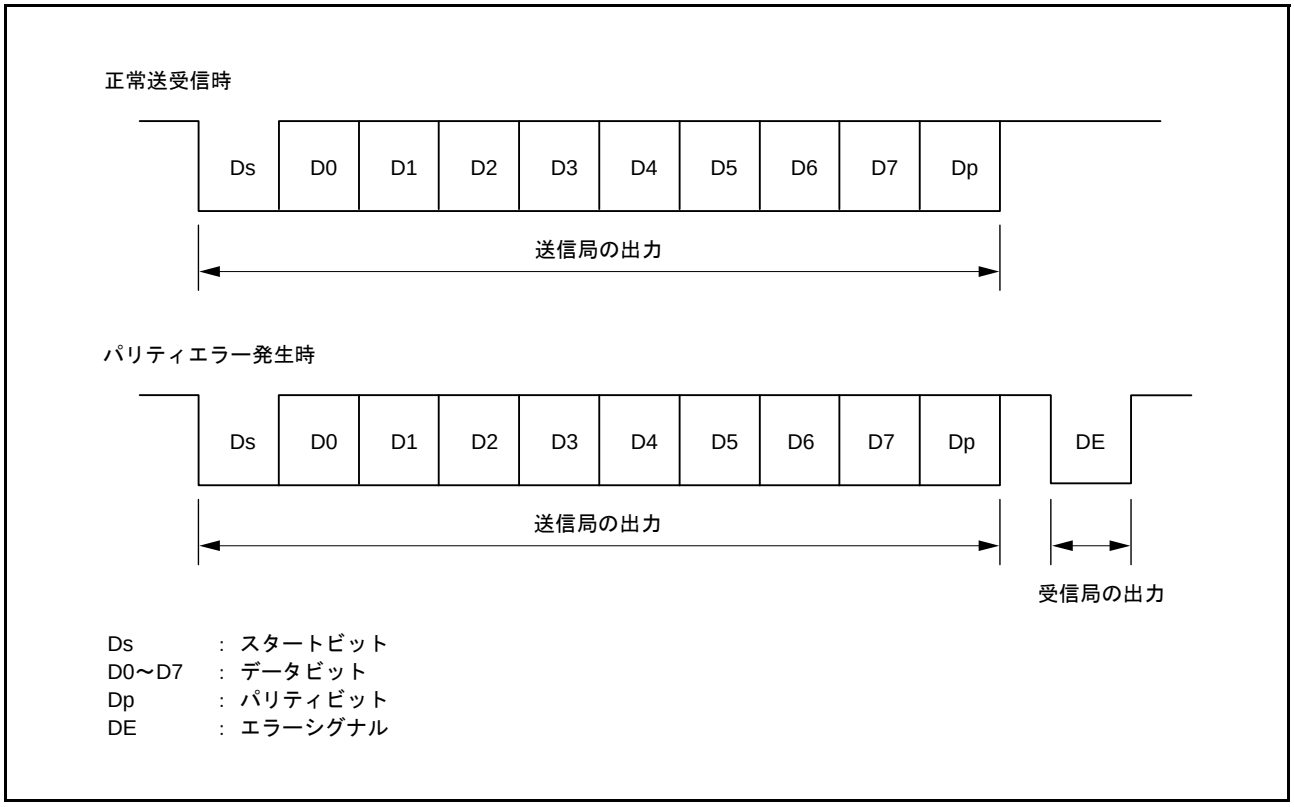


図 35.29　スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 35.30 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 35.30 の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “0” に設定してください。また、スマートカードの規程により偶数パリティとなるよう SMR.PM ビットには “0” を設定してください。

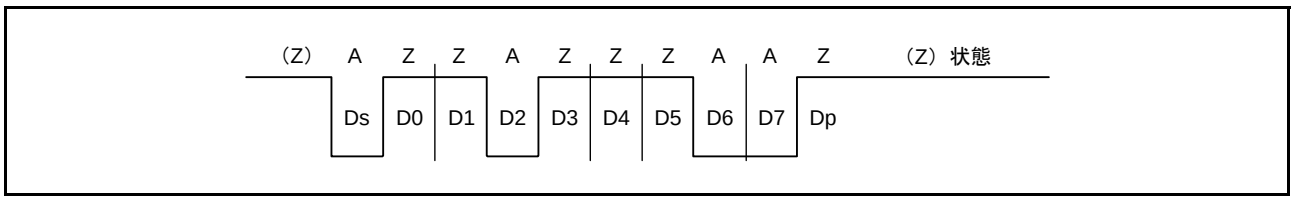


図 35.30　ダイレクトコンベンション（SCMR.SDIR ビット =0、SCMR.SINV ビット =0、SMR.PM ビット =0）

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 35.31 の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “1” に設定してください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。RX63N グループ、RX631 グループでは、SINV ビットはデータビット D7 ～ D0 のみ反転させます。このため、送受信とも SMR.PM ビットに “1” を設定してパリティビットを反転させてください。

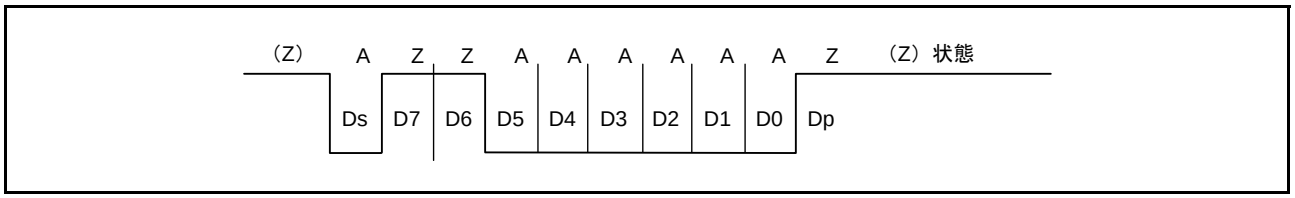


図 35.31　インバースコンベンション（SCMR.SDIR ビット＝ 1、SCMR.SINV ビット＝ 1、SMR.PM ビット＝ 1

35.6.3　ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5etu 後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に “0” となります。

35.6.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCI は SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍（通常の調歩同期式モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 35.32 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ [\%]$$

M　：受信マージン(%)
N　：クロックに対するビットレートの比(N=32, 64, 372, 256)
D　：クロックデューティ (D=0～1.0)
L　：フレーム長(L=10)
F　：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

M={0.5-1/(2×372)}×100[%] = 49.866%

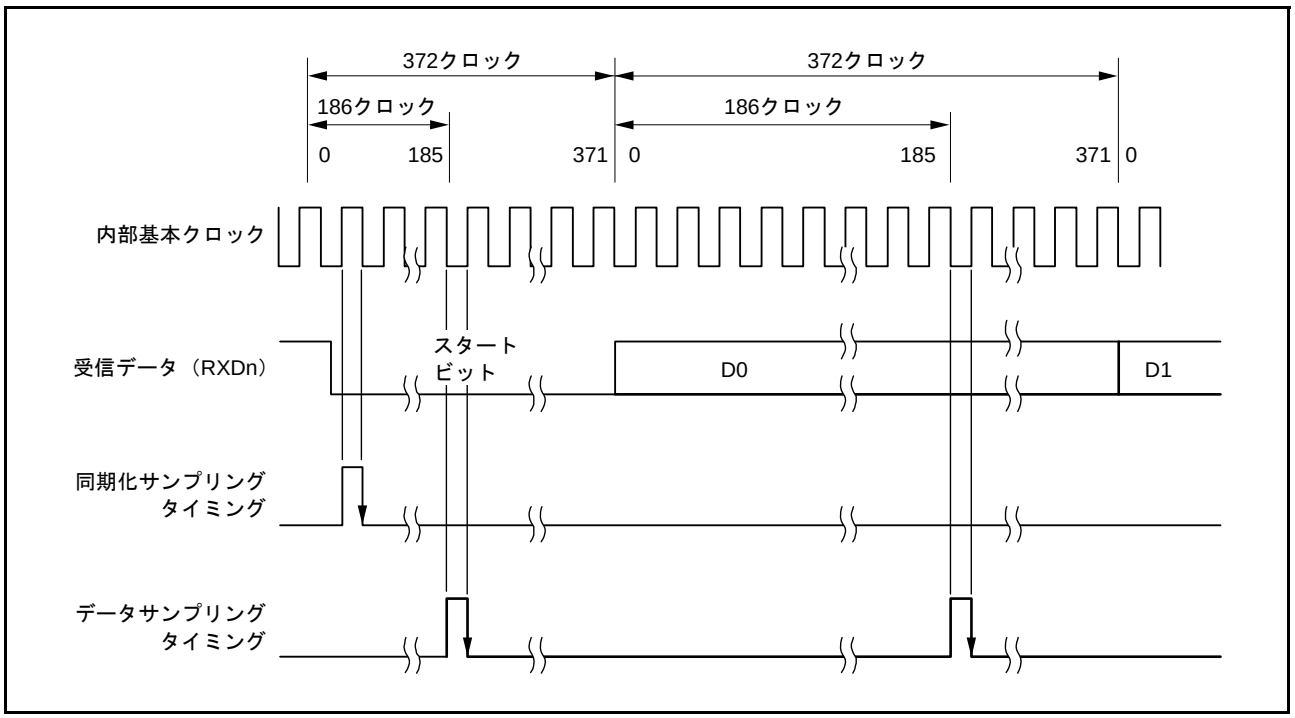


図 35.32　スマートカードインタフェースモード時の受信データサンプリングタイミング
（372 倍のクロック使用時）

35.6.5 SCI の初期化（スマートカードインタフェースモード）

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCR レジスタに初期値 00h を書き込みます。
2. TXDn、RXDn、および SCKn 端子のうち、必要な入力 / 出力機能が有効となるように I/O ポートを設定してください。
3. SSR レジスタのエラーフラグ（ORER、ERS、PER）を “0” に設定してください。
4. SIMR1.IICM ビットを “0” に、SPMR.CKPH, CKPOL ビットを “0” に設定してください。
（初期値から値を変更していない場合、本手順は省略可能です。）
5. SMR.GM, BLK, PM, BCP[1:0], CKS[1:0] ビット、および SCMR.BCP2 ビットを設定してください。このとき、SMR.PE ビットは “1” に設定してください。
6. SCMR.SDIR, SINV, SMIF ビットを設定してください。TXDn 端子および RXDn 端子は、ハイインピーダンス状態となります。
7. ビットレートに対応する値を BRR レジスタに設定します。
8. SCR.CKE[1:0] ビットを設定してください。このとき、SCR.TIE, RIE, TE, RE, TEIE ビットは “0” に設定してください。
CKE[0] ビットを “1” に設定した場合は、SCKn 端子からクロックを出力します。
9. SCR.TIE, RIE, TE, RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット＝ 1、RE ビット＝ 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット＝ 0、RE ビット＝ 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

35.6.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 35.33 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが “1” に設定されます。このとき SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
4. 再転送を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが “1” にされていれば、TXI 割り込み要求を発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 35.35 に示します。これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SSR.TEND フラグが “1” にされると、SCR.TIE ビットを “1” にしておくと、TXI 割り込み要求を発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に “0” にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にはクリアされませんので、RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「18.　DMA コントローラ（DMACA）」、「20.　データトランスファコントローラ（DTCa）」を参照してください。

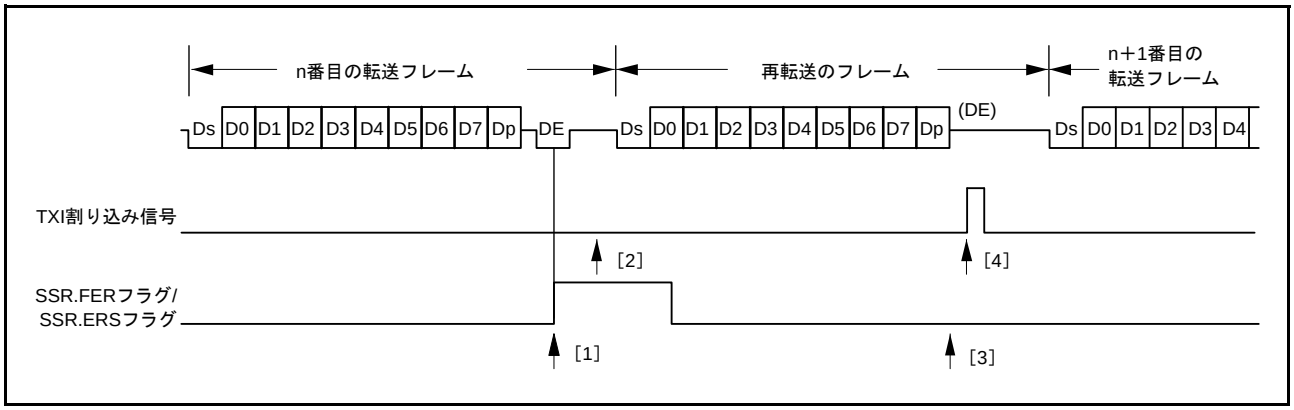


図 35.33　SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 35.34 に TEND フラグ発生タイミングを示します。

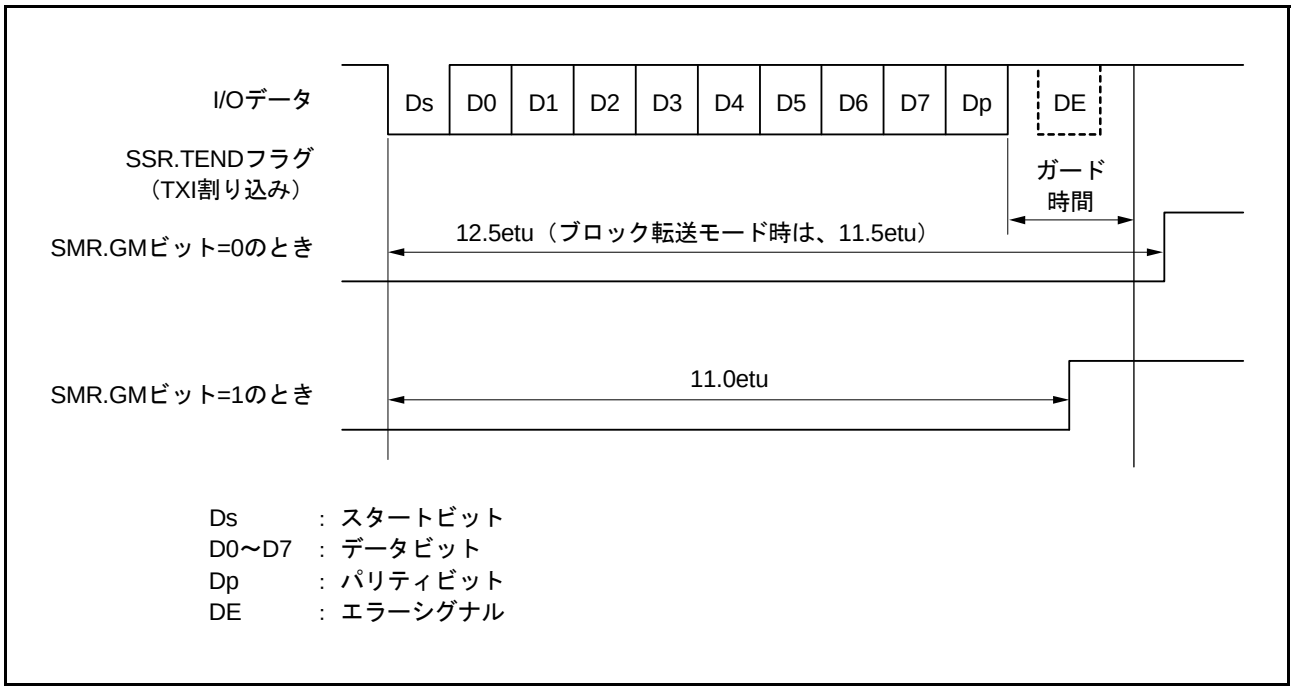


図 35.34　送信時の SSR.TEND フラグの発生タイミング

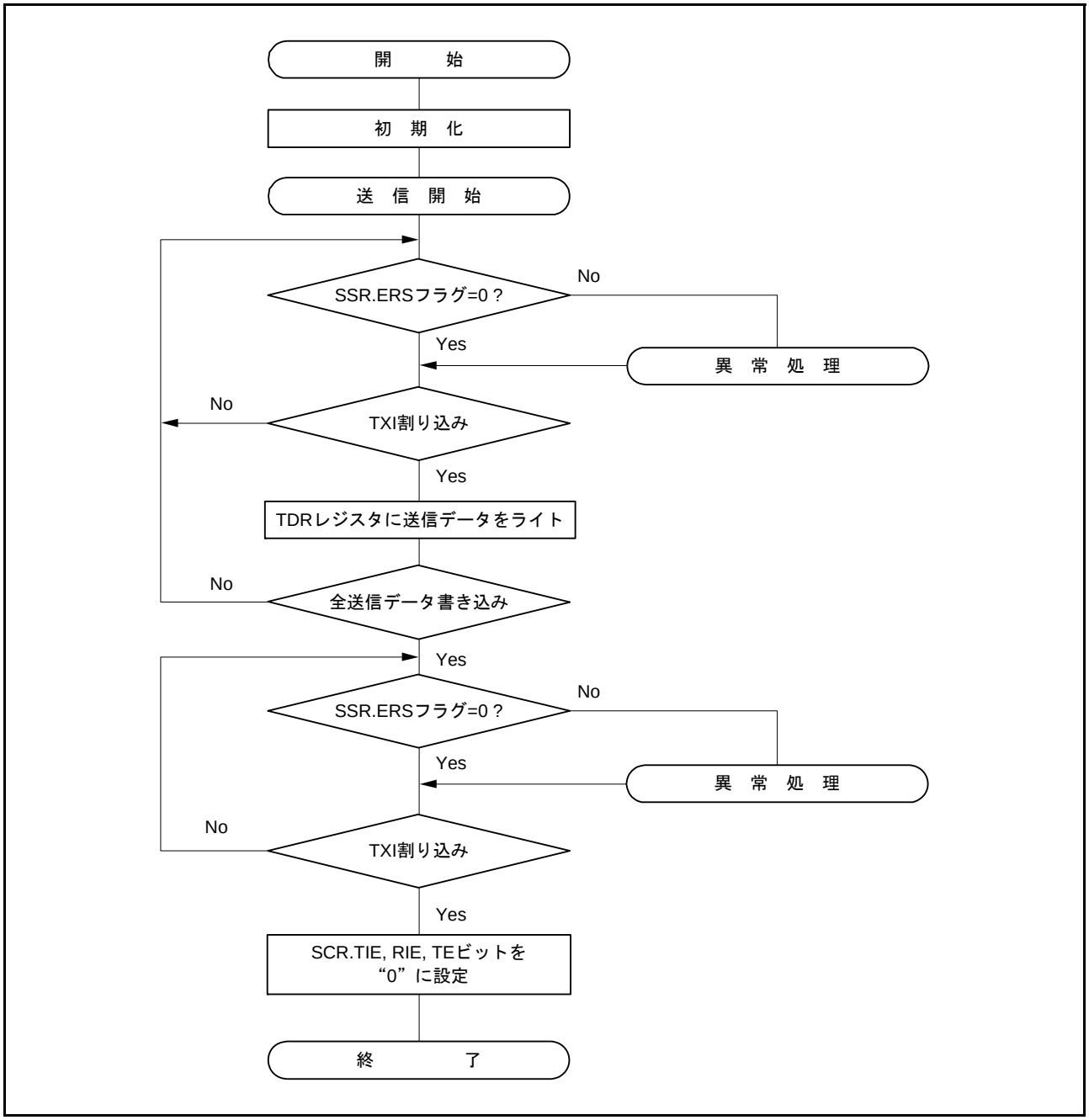


図 35.35　スマートカードインタフェース送信のフローチャート例

35.6.7　シリアルの受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、シリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 35.36 に示します。

1. 受信データにパリティエラーを検出すると SSR.PER フラグが “1” に設定されます。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
2. パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
4. 正常に受信を完了したと判断して、RIE ビットが “1” にされていれば、RXI 割り込み要求を発生します。

シリアル受信のフローチャートの例を図 35.37 に示します。これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを “1” にしておくと、RXI 割り込み要求を発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR.ORER, PER フラグのいずれかが “1” に設定されると、受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが “1” に設定された場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。

注 .　ブロック転送モードの場合は、「35.3　調歩同期式モードの動作」を参照してください。

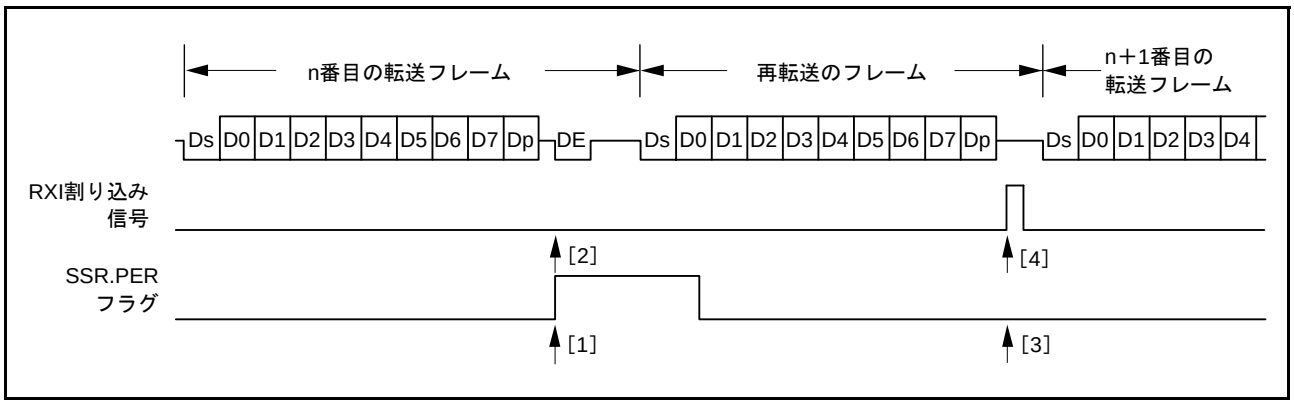


図 35.36　SCI 受信モードの場合の再転送動作（受信時の再転送動作）

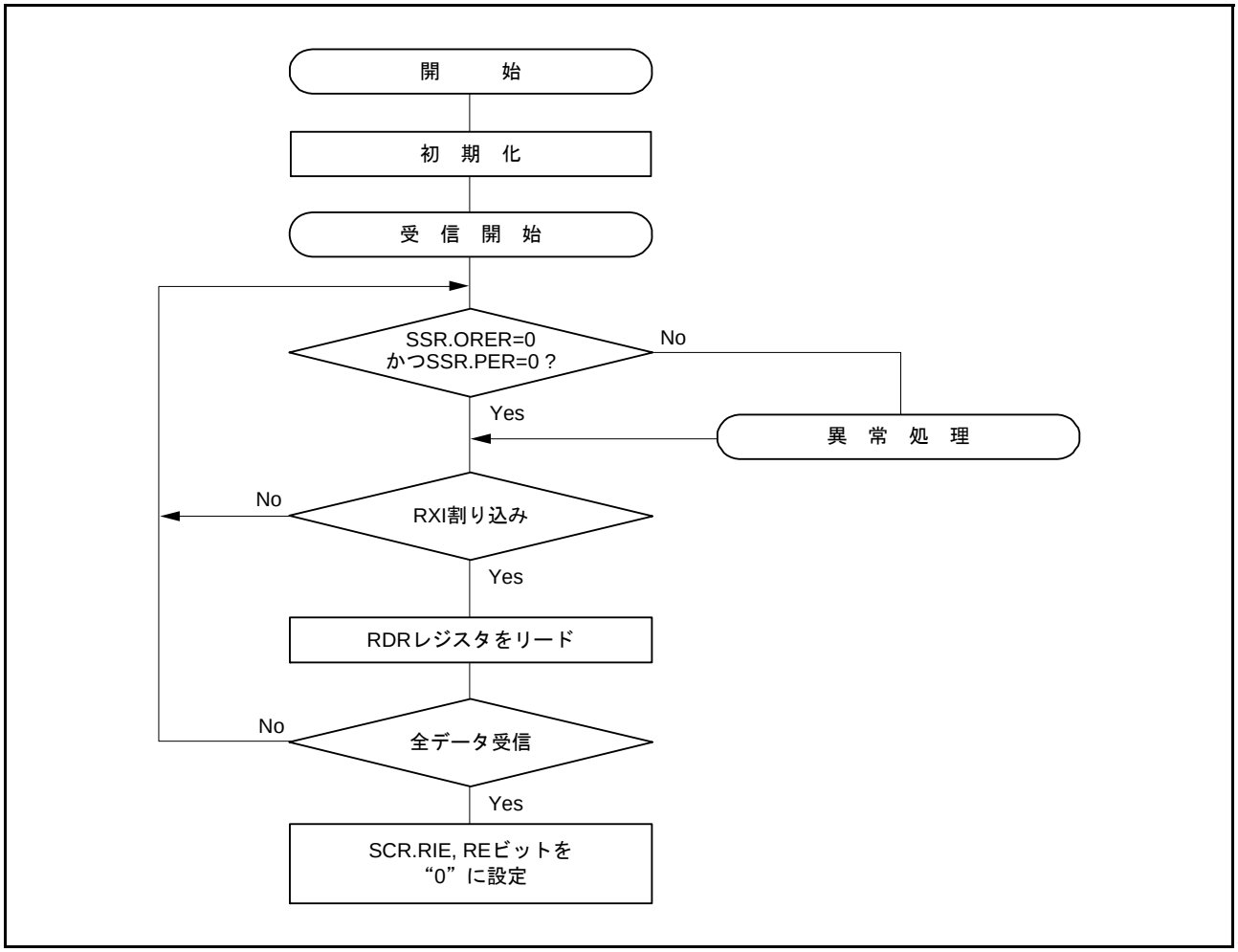


図 35.37　スマートカードインタフェース受信のフローチャート例

35.6.8　クロック出力制御

SMR.GM ビットが “1” に設定されているとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 35.38 にクロック出力の固定タイミングを示します。GM ビット＝ 1、CKE1 ビット＝ 0 とし、CKE0 ビットを制御した場合の例です。

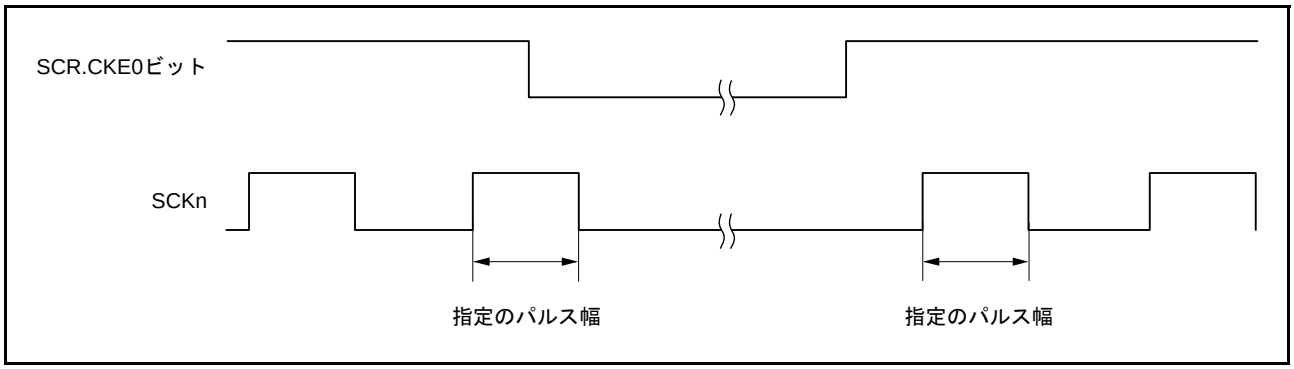


図 35.38　クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移、またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを “1” に設定して、クロック出力を開始させてください。

(2) モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. I/O ポート機能を設定し、SCKn 端子がソフトウェアスタンバイモード時に所望の出力固定状態の値になるようにしてください。
2. SCR.TE, RE ビットに “0” をライトし、送信 / 受信動作を停止させてください。
   同時に、SCR.CKE[1] ビットをソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
3. SCR.CKE[0] ビットに “0” をライトし、クロックを停止させてください。
4. シリアルクロックの 1 クロック周期の間、待ってください。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. SCKn 端子を汎用入出力ポート機能に切り替えた後、ソフトウェアスタンバイモードの状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき

6. ソフトウェアスタンバイモードの状態を解除してください。
7. SCR.CKE[0] ビットに “1” を設定し、クロックを出力させてください。正常なデューティにて信号発生を開始します

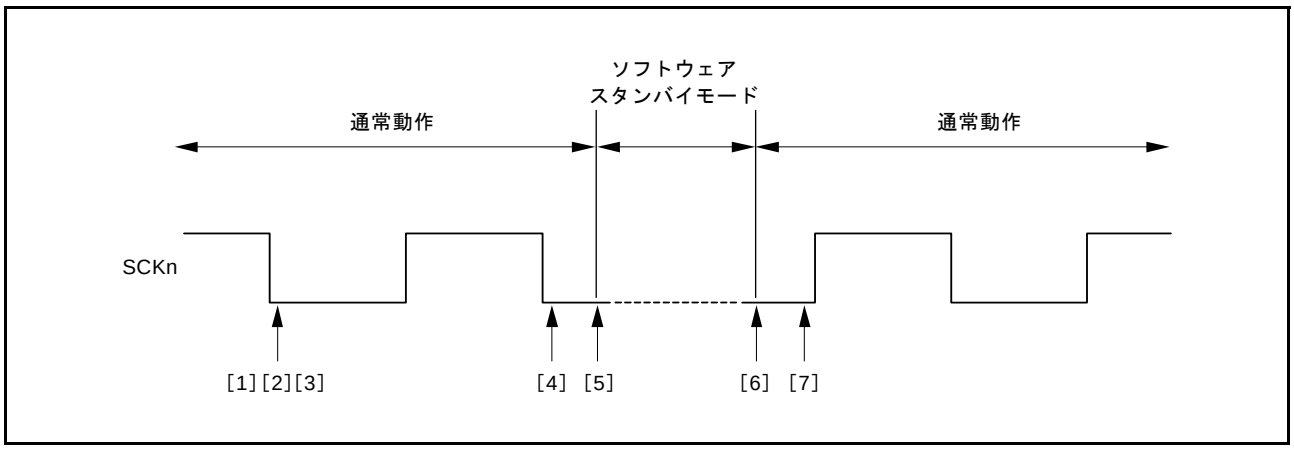


図 35.39　クロック停止・再起動手順

35.7　簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 35.40 に I²C バスフォーマットを、図 35.41 に I²C バスタイミングを示します。

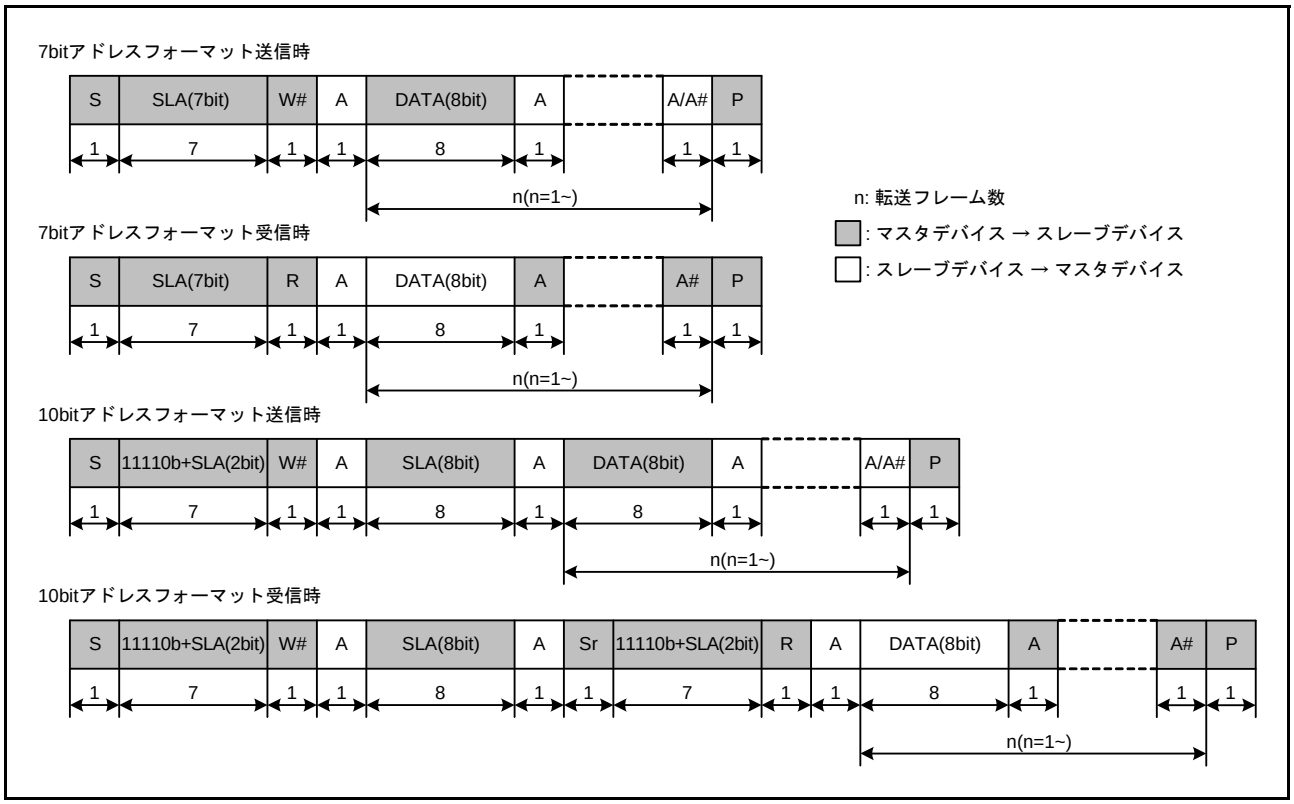


図 35.40　I²C バスフォーマット

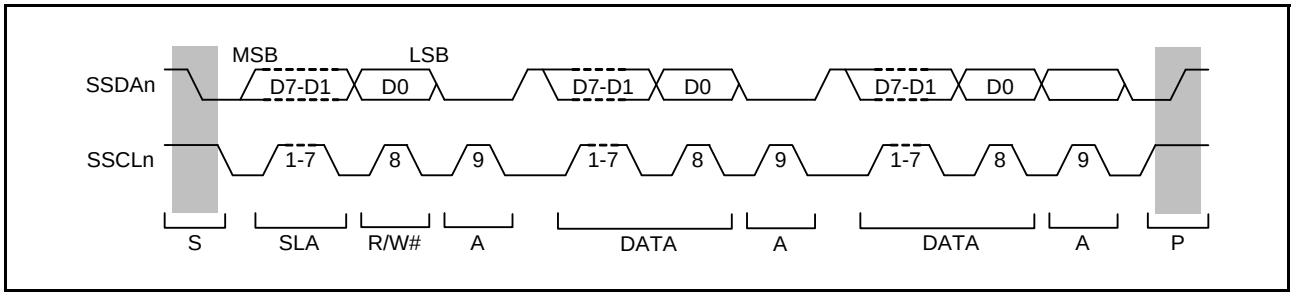


図 35.41　I²C バスタイミング（SLA=7 ビットの場合）

S　：スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインがHighからLowに変化します。

SLA　：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#　：送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A/A#　：アクノリッジを示します。（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。Lowを返すことをACK、Highを返すことをNACKと言います。

Sr　：リスタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態でセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。

DATA　：送受信データを示します。

P　：ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態でSSDAnラインがLowからHighに変化します。

35.7.1　開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに “1” を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ（High から Low に遷移）、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ（High から Low に遷移）、SIMR3.IICSTAREQ ビットは “0” にクリア、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに “1” を書き込むことにより、再開始条件生成を行います。再開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放（Low から High に遷移）
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開始条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ（High から Low に遷移）
- BRR レジスタで設定したビットレートの半分の時間、再開始条件のホールド時間を確保
- SSCLn ラインを立ち下げ（High から Low に遷移）、SIMR3.IICRSTAREQ ビットは “0” にクリア、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに “1” を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ（High から Low に遷移）、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放（Low から High に遷移）
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放（Low から High に遷移）、SIMR3.IICSTPREQ ビットは “0” にクリア、停止条件生成割り込み要求を出力

図 35.42 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

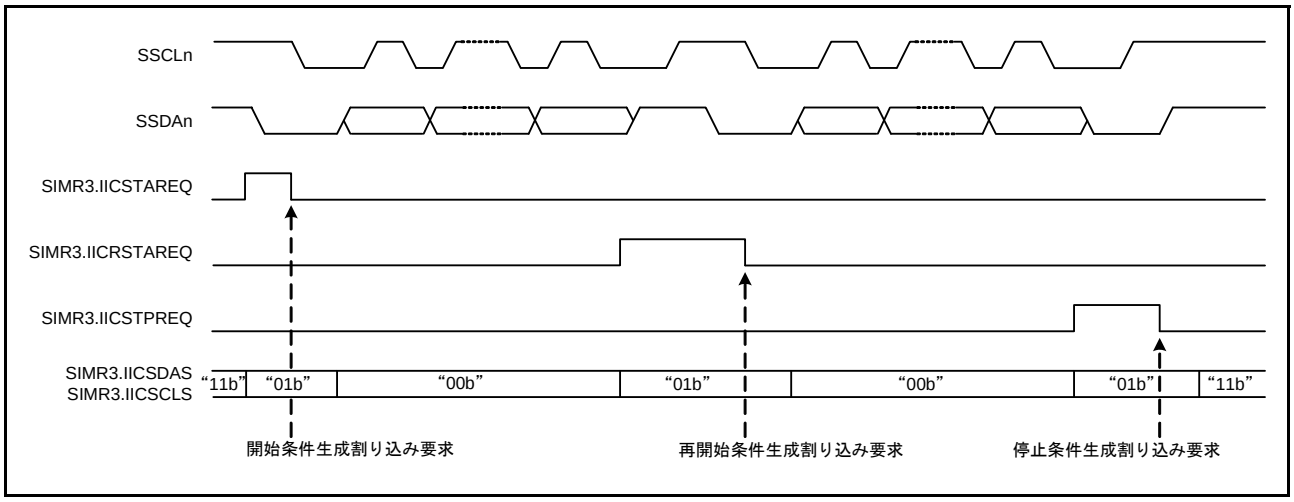


図 35.42　開始条件、再開始条件、停止条件生成の動作タイミング

35.7.2　クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに “1” を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが “1” の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2 ～ 3 サイクル）、内部処理遅延（PCLK で 1 ～ 2 サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが “1” の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが “0” の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開始条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 35.43 にクロック同期化の動作例を示します。

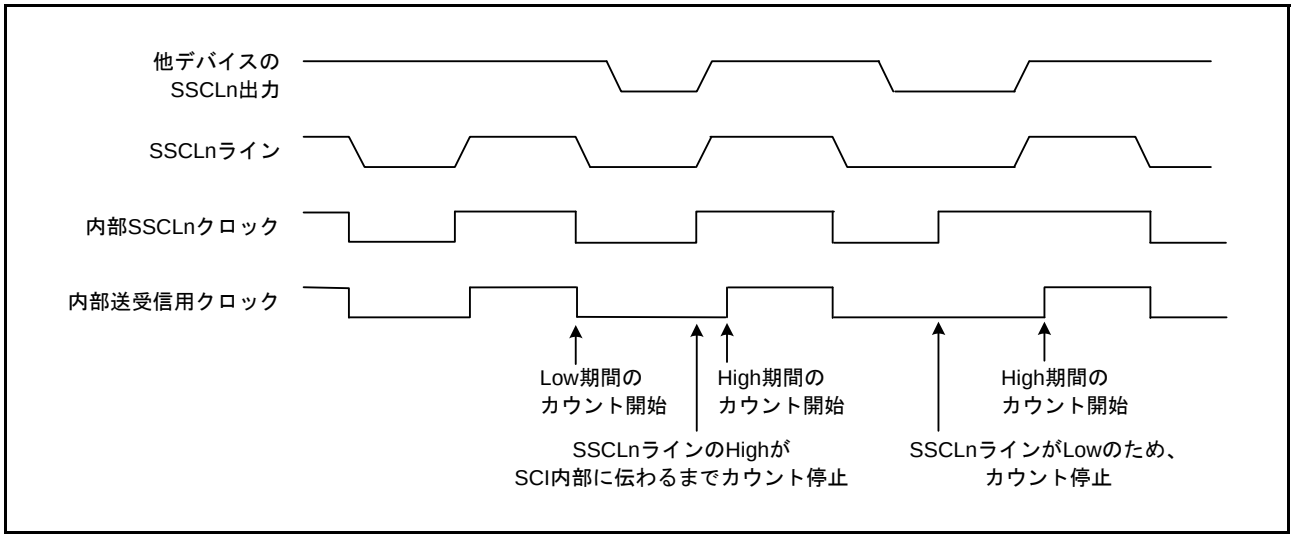


図 35.43　クロック同期化の動作例

35.7.3　SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ボーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 35.44 に SSDA 出力遅延のタイミングを示します。

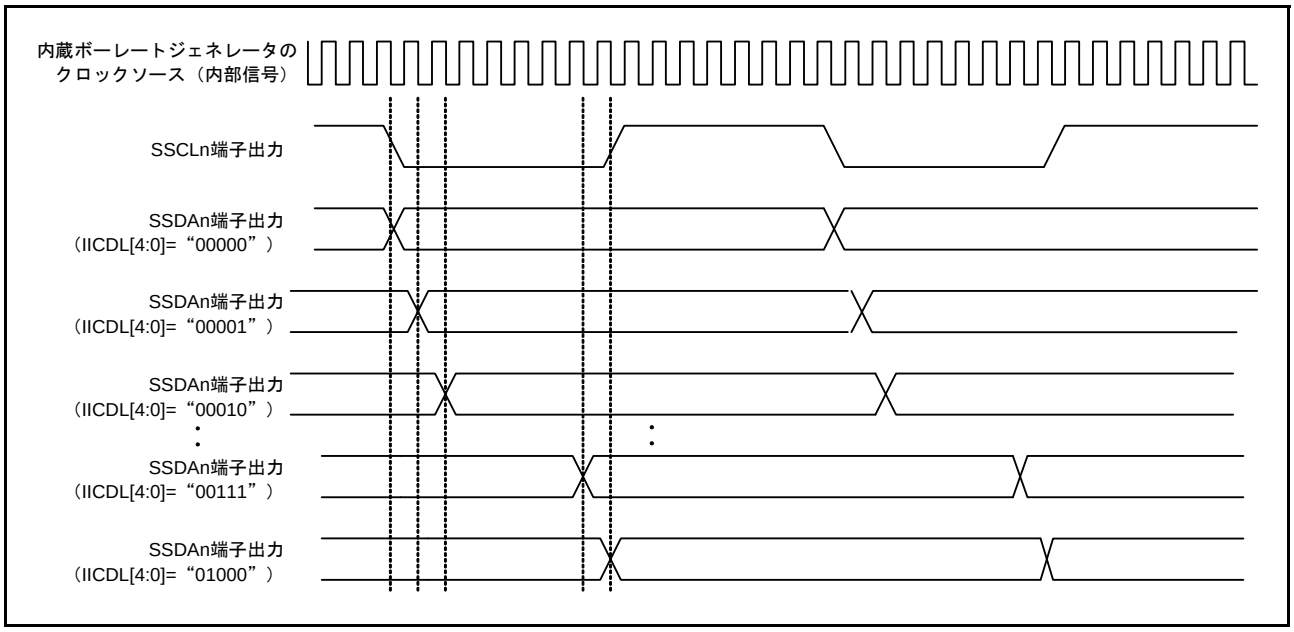
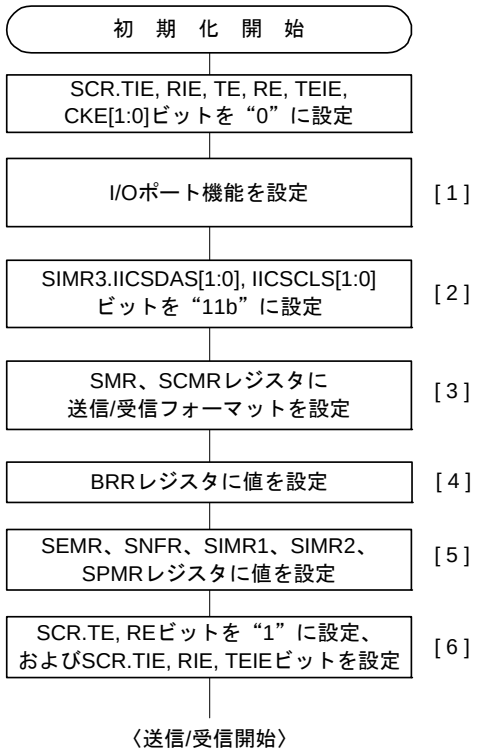


図 35.44　SSDA 出力遅延のタイミング

35.7.4　SCI の初期化（簡易 I2C モード）

データの送受信前に、SCR レジスタに初期値 “00h” を書き込み、図 35.45 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR レジスタを初期値にしてから変更してください。また、簡易 I2C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。



[1] SSCLn端子、SSDAn端子機能が有効（Nチャネルオープンドレイン出力）かつハイインピーダンスになるようにI/Oポート機能を設定します。

[2] SSCL n 端子、SSDAn端子の出力値を設定します。

[3] SMR、SCMRレジスタに送信/受信フォーマットを設定します。
SMRレジスタはCKS[1:0]ビットを設定し、それ以外のビットを“0”に設定します。
SCMRレジスタはSDIRビットを“1”、SINVビットを“0”、SMIFビットを“0”に設定します。

[4] BRRレジスタにビットレートに対応する値をライトします。

[5] SEMR、SNFR、SIMR1、SIMR2、SPMRレジスタに値を設定します。
SEMRレジスタは、NFENビットを設定します。
SNFRレジスタは、NFCS[2:0]ビットを設定します。
SIMR1レジスタは、IICMビットを“1”に設定し、IICDL[4:0]ビットを設定します。
SIMR2レジスタは、IICACKT、IICCSCビットを“1”に設定し、IICINTMビットを設定します。
SPMRレジスタは、全ビット“0”に設定します。

[6] SCR.TE, REビットを“1”に設定します。また、SCR.TIE, RIE, TEIEビットを設定してください。
（送信動作かつSIMR2.IICINTM=“1”のときはRIEビットを“0”に設定します。）
TE、RE両ビットを“1”に設定することによりSSCLn、SSDAn端子が使用可能になります。

注.　SCR.TE, RE ビットの“0”設定、“1”設定は、同時に行ってください。

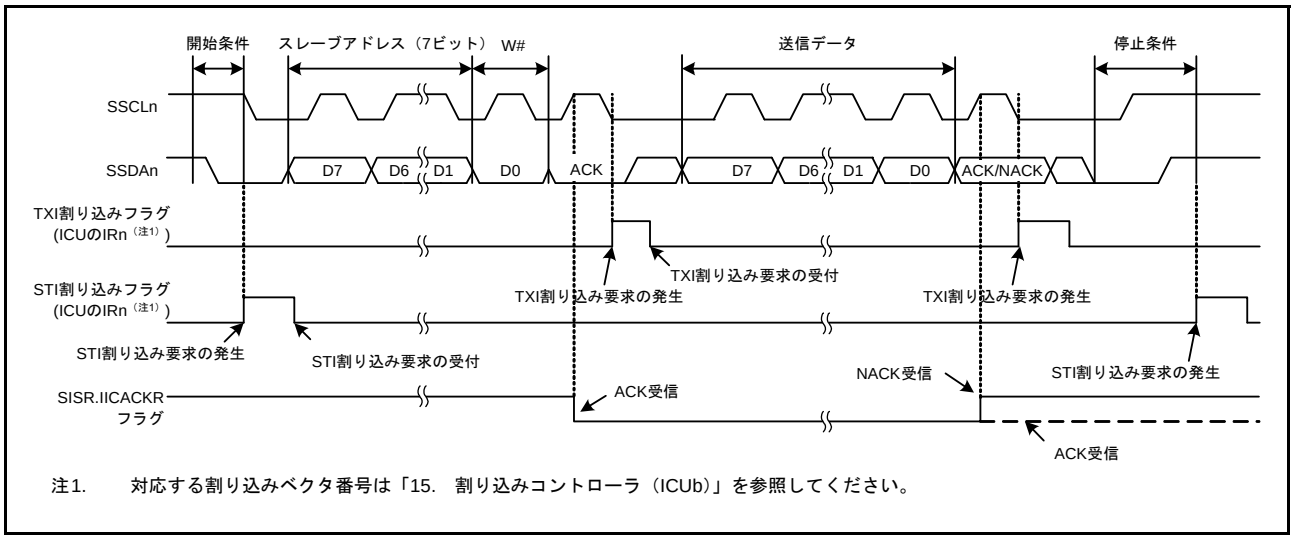
図 35.45　SCI の初期化フローチャート例（簡易 I2C モード）

35.7.5　マスタ送信動作（簡易 I2C モード）

図 35.46、図 35.47 に簡易 I2C モードのマスタ送信の動作例を、図 35.48 にデータ送信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを “1”（受信割り込み、送信割り込みを使用）、SCR.RIE ビットを “0”（受信割り込み要求を禁止）を想定しています。STI 割り込みについては、表 35.28 を参照してください。

10 ビットスレーブアドレス時は、図 35.48 の [3] ～ [4] の手順を 2 回繰り返します。

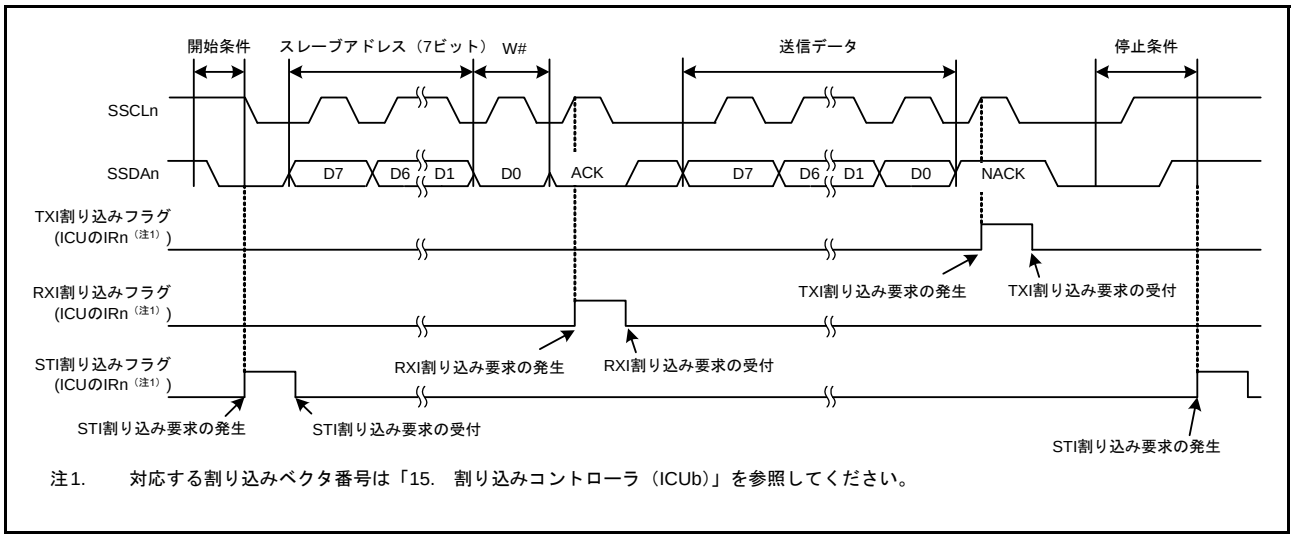
簡易 I2C モードでの送信完了割り込み（TXI）は、クロック同期式送信時の TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.46　簡易 I2C バスモードのマスタ送信の動作例 1（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）

マスタ送信で、SIMR2.IICINTM ビットを “0”（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.47　簡易 I2C バスモードのマスタ送信の動作例 2（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時）

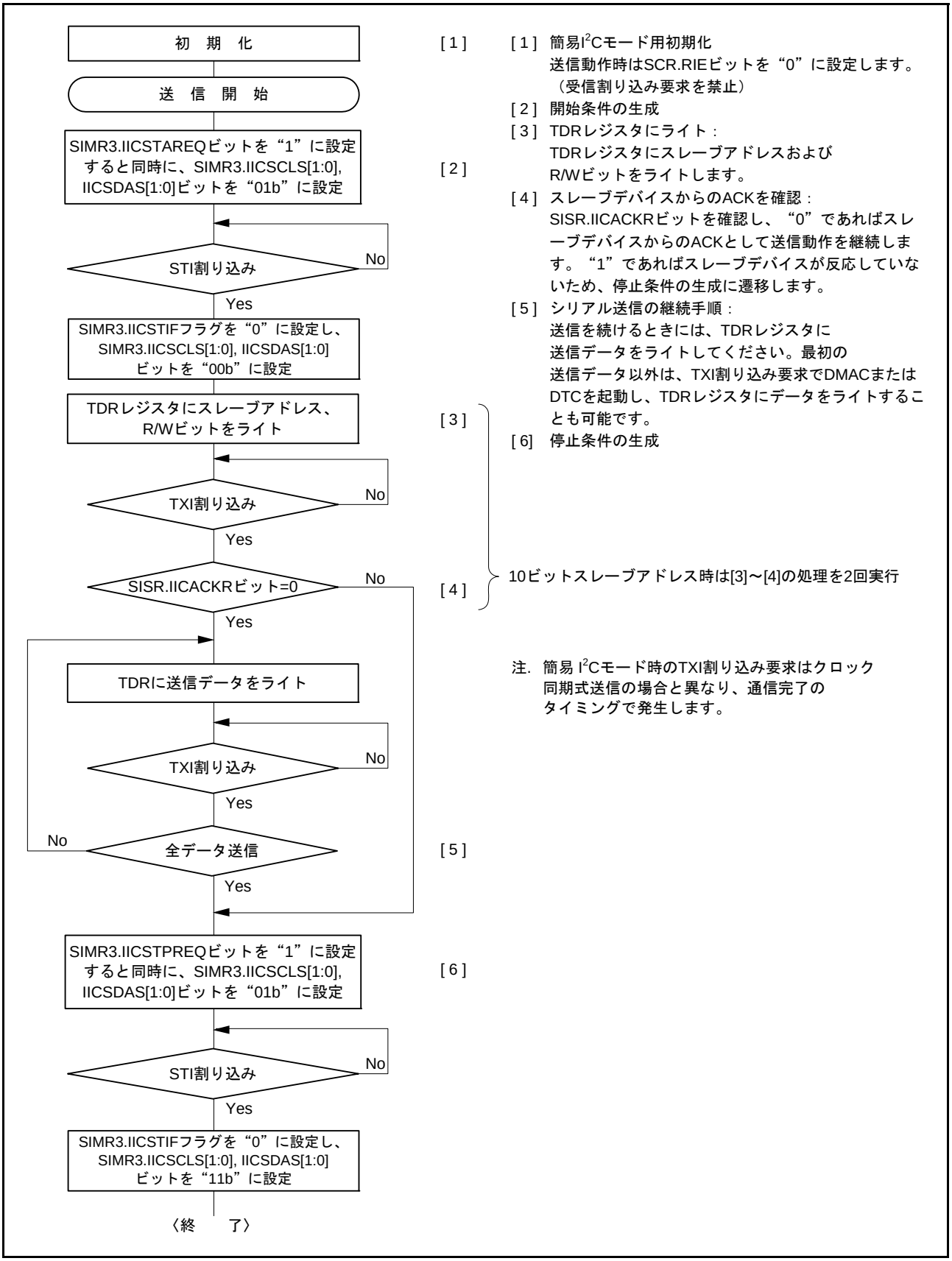
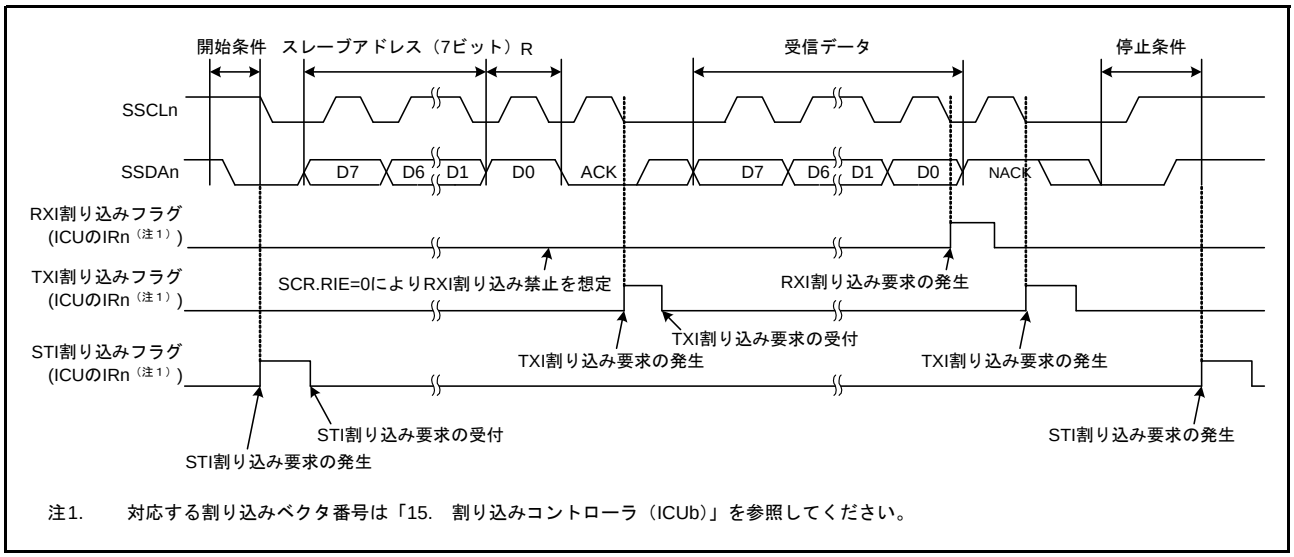


図 35.48　簡易 I2C モードのマスタ送信動作のフローチャート例（送信割り込み、受信割り込み使用時）

35.7.6　マスタ受信動作（簡易 I2C モード）

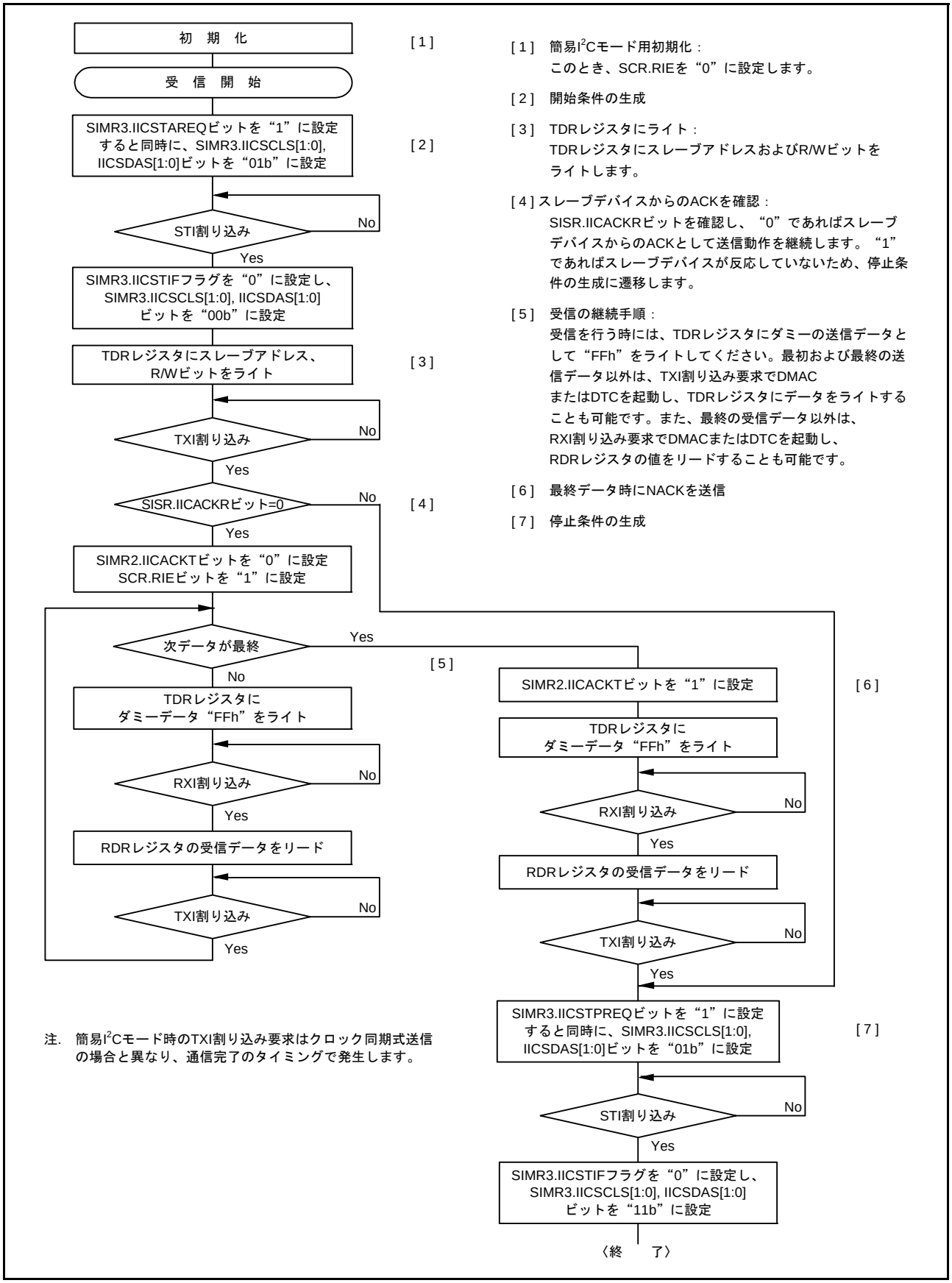
図 35.49 に簡易 I2C モードのマスタ受信の動作例を、図 35.50 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを “1”（受信割り込み、送信割り込みを使用）を想定しています。

簡易 I2C モードでの送信完了割り込み（TXI）は、クロック同期式送信時の TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注1.　対応する割り込みベクタ番号は「15.　割り込みコントローラ（ICUb）」を参照してください。

図 35.49　簡易 I2C バスモードのマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）



[1]　簡易I²Cモード用初期化：
このとき、SCR.RIEを“0”に設定します。

[2]　開始条件の生成

[3]　TDRレジスタにライト：
TDRレジスタにスレーブアドレスおよびR/Wビットをライトします。

[4] スレーブデバイスからのACKを確認：
SISR.IICACKRビットを確認し、“0”であればスレーブデバイスからのACKとして送信動作を継続します。“1”であればスレーブデバイスが反応していないため、停止条件の生成に遷移します。

[5]　受信の継続手順：
受信を行う時には、TDRレジスタにダミーの送信データとして“FFh”をライトしてください。最初および最終の送信データ以外は、TXI割り込み要求でDMACまたはDTCを起動し、TDRレジスタにデータをライトすることも可能です。また、最終の受信データ以外は、RXI割り込み要求でDMACまたはDTCを起動し、RDRレジスタの値をリードすることも可能です。

[6]　最終データ時にNACKを送信

[7]　停止条件の生成

注.　簡易I²Cモード時のTXI割り込み要求はクロック同期式送信の場合と異なり、通信完了のタイミングで発生します。

図 35.50　簡易 I²C モードのマスタ受信動作のフローチャート例（送信割り込み、受信割り込み使用時）

35.8　簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定（SCMR.SMIF ビット =“0”、SIMR1.IICM ビット =“0”、SMR.CM ビット =“1”）、かつ、SPMR.SSE ビットを “1” に設定することにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを “0” にします。

図 35.51 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを “1” にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

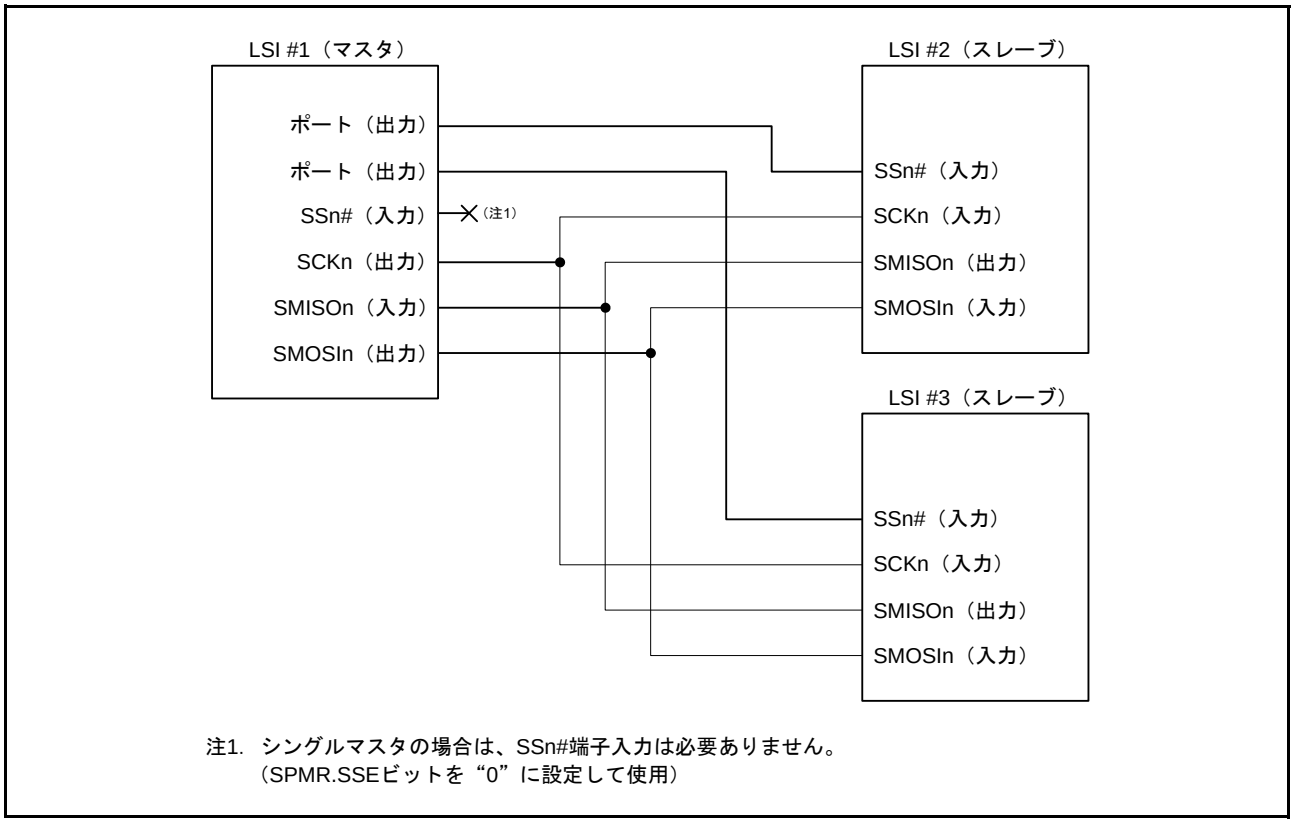


図 35.51　簡易 SPI モードの接続例（シングルマスタ時（SPMR.SSE ビット = 0））

35.8.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] ビット =“00” または “01”、かつ SPMR.MSS ビット =“0”）とスレーブモード（SCR.CKE[1:0] ビット =“10” または “11”、かつ SPMR.MSS ビット =“1”）で各端子の入出力方向が変わります。

表 35.24 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表35.24　モードおよびSSn#端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn端子状態	SMISOn端子状態	SCKn端子状態
マスタモード（注1）	High（通信可能）	送信データ出力（注2）	受信データ入力	クロック出力（注3）
	Low（通信不可）	ハイインピーダンス	受信データ入力（無効）	ハイインピーダンス
スレーブモード	High（通信不可）	受信データ入力（無効）	ハイインピーダンス	クロック入力（無効）
	Low（通信可能）	受信データ入力	送信データ出力	クロック入力

注1.　シングルマスタ時（SPMR.SSE ビット=“0”）は、SSn#端子の入力レベルに関わらず通信可能（SSn#端子入力がHighのときと等価）となります。SSn#端子は未使用であり、別の用途として使用できます。
注2.　送信禁止時（SCR.TE ビット=“0” ）はハイインピーダンスです。
注3.　マルチマスタ（SPMR.SSE ビット=“1”）かつ送受信禁止時（SCR.TE, RE ビット=“00” ）はハイインピーダンスです。

35.8.2　マスタモード時の SS 機能

SCR.CKE[1:0]=“00” かつ SPMR.MSS=“0” を設定することで、マスタモードになります。

シングルマスタ時（SPMR.SSE ビット =“0”）は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時（SPMR.SSE ビット =“1”）、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時（SPMR.SSE ビット =“1”）、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

35.8.3　スレーブモード時の SS 機能

SCR.CKE[1:0]=“10” かつ SPMR.MSS=“1” を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、RXDn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力にしたがって 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み（TXI、RXI、TEI のいずれか）が発生します。

35.8.4　クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを 4 種類から選択可能です。クロックと送受信データの関係を**図 35.52** に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。(SSn# 端子入力が High のときと等価) です。SSn# 端子は別用途で使用可能です。詳細は「35.8.2　**マスタモード時の SS 機能**」を参照してください。

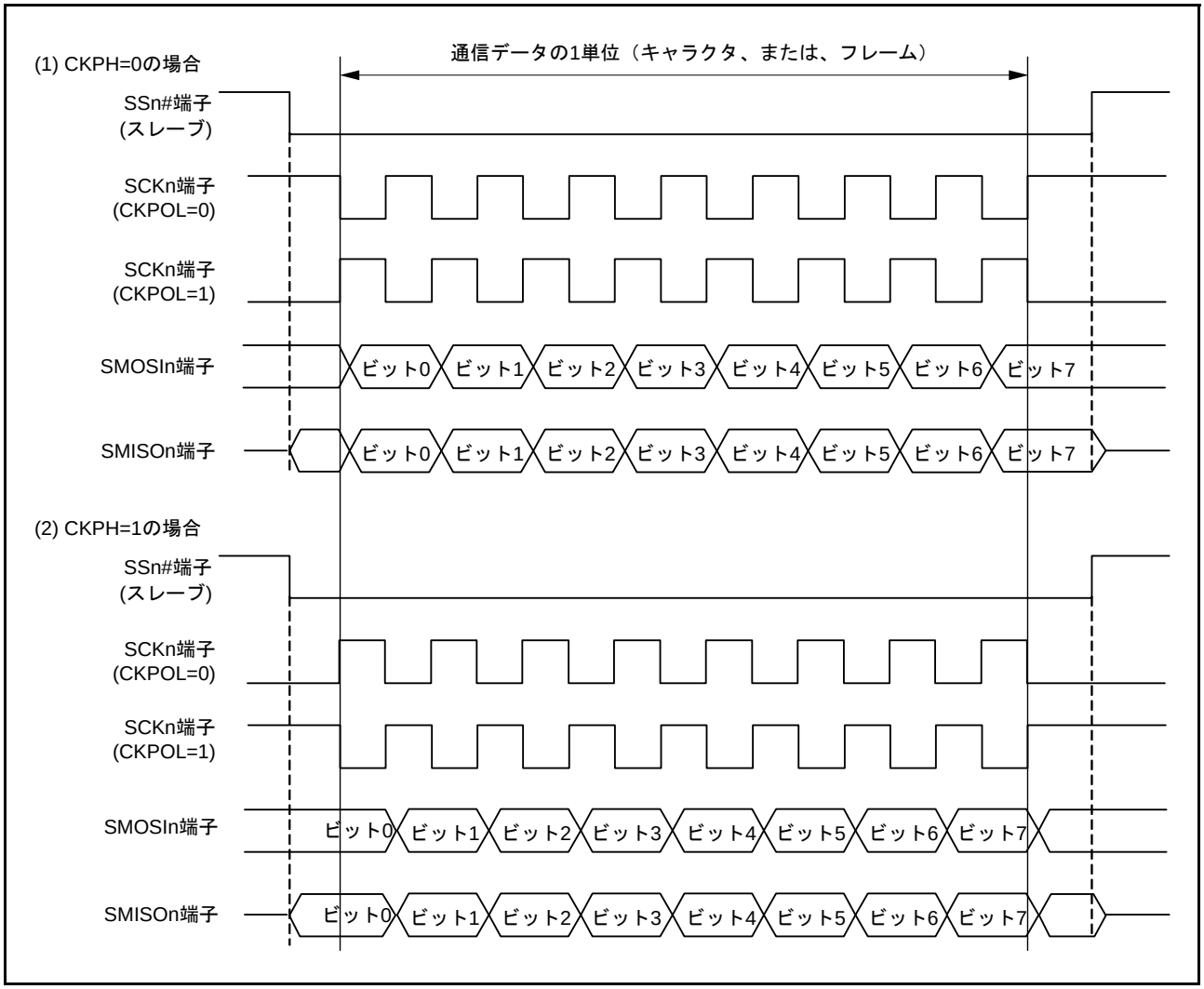


図 35.52　簡易 SPI モードのクロックと送受信データの関係

35.8.5　SCI の初期化（簡易 SPI モード）

クロック同期式モードの初期化手順（図 35.21 の SCI の初期化フローチャート例）と同様です。SPMR.CKPOL,CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを “0” に設定しても、SSR.ORER, FER, PER の各フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを “1” から “0” または “0” から “1” に設定すると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

35.8.6　シリアルデータの送受信（簡易 SPI モード）

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

35.9　拡張シリアルモード制御部の動作説明

35.9.1　　シリアル通信プロトコル

SCId の拡張シリアルモード制御部は、SCIc と連携し、図 35.53 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

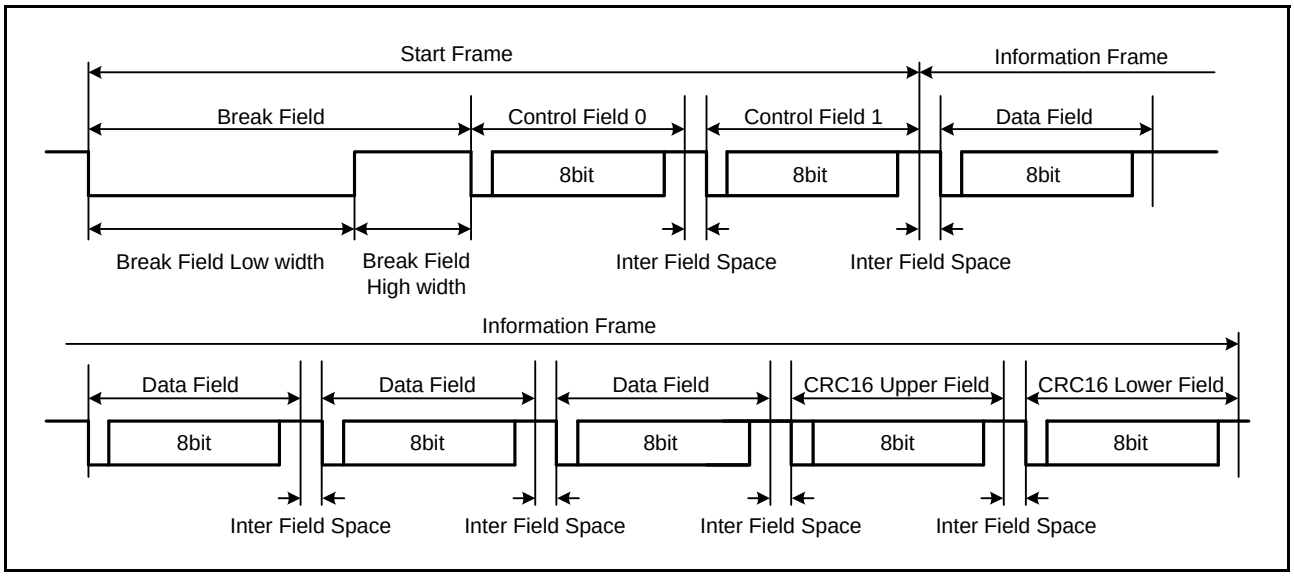


図 35.53　拡張シリアルモード制御部シリアル通信プロトコル

35.9.2　　Start Frame 送信

図 35.54 に Break Field Low width、Control Field0 および Control Filed1 で構成される Start Frame の送信時の動作例を示します。また、図 35.55、図 35.56 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

(1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR の TCST に “1” を書き込むと、タイマがカウントを開始し、TCNT、TPRE に設定した期間、TXDX12 端子から Low を出力します。
(2) タイマがアンダフローすると TXDX12 端子の出力を反転し、STR の BFDF が “1” にセットされます。また、ICR の BFDIE を “1” に設定している場合は、SCIX0 割り込みが発生します。
(3) TCR の TCST に 0 を書き込みタイマのカウントを停止し、SCI12 を使用して Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダーフローするまでにカウントを停止してください。
(4) Control Field 0 のデータの送信が完了後、SCI12 を使用して Control Field 1 のデータを送信します。
(5) Control Field 1 のデータの送信が完了後、SCI12 を使用して Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field0 を省略してください。

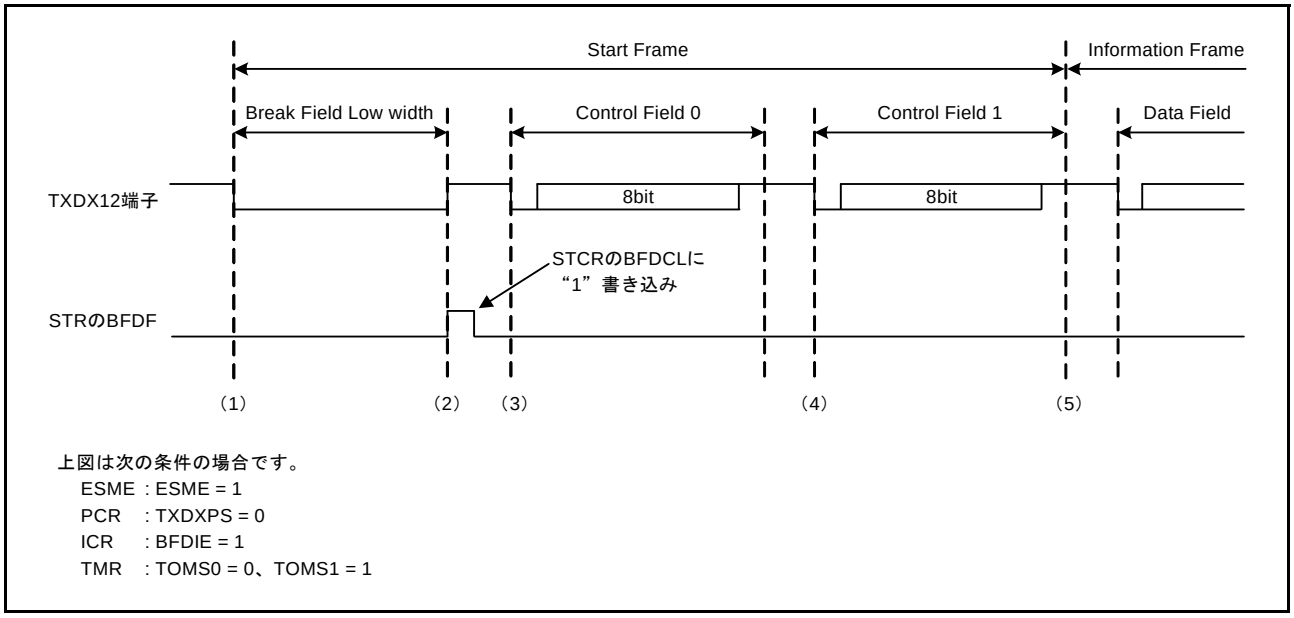


図 35.54　Start Frame 送信時の動作例

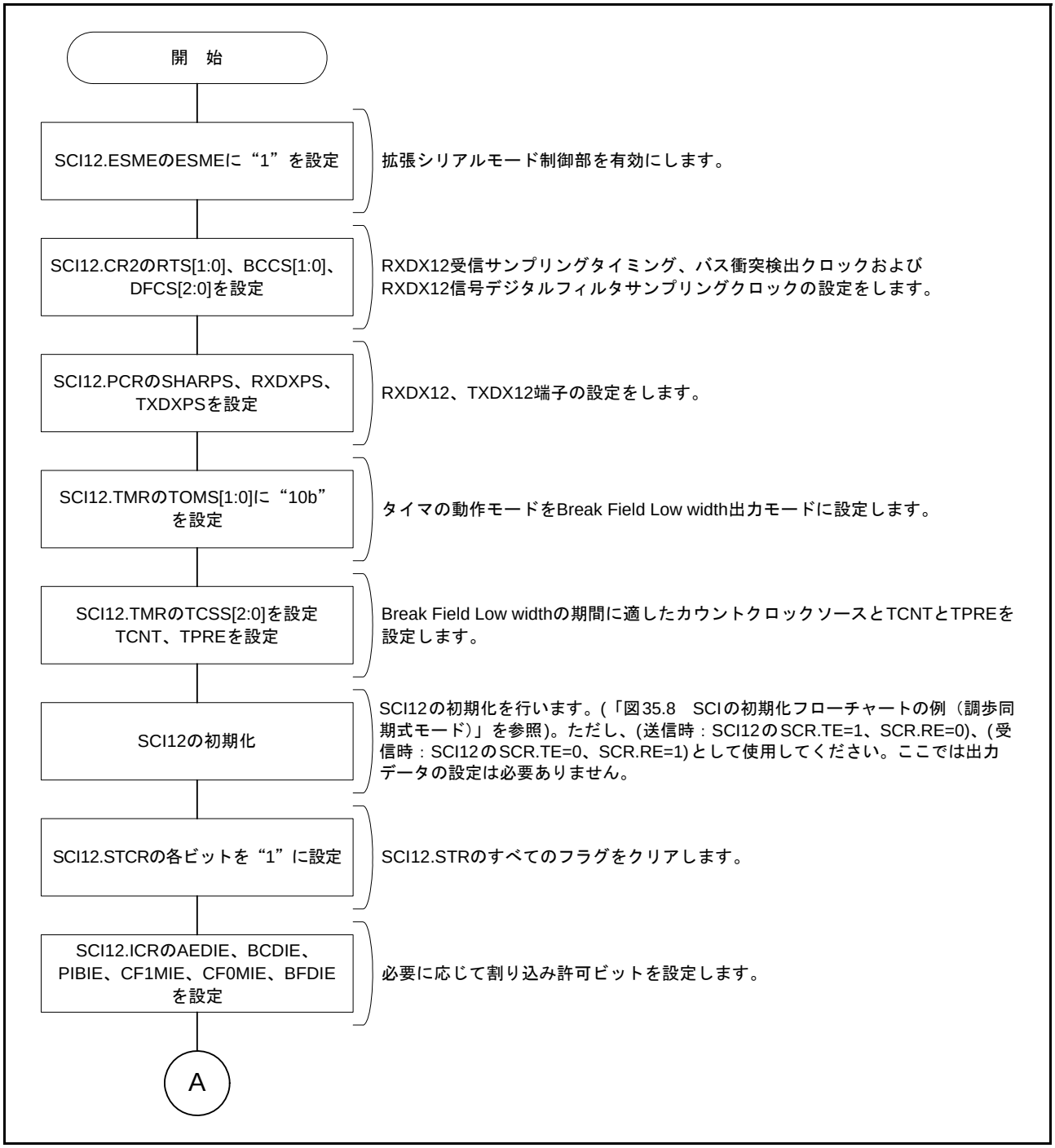


図 35.55　Start Frame 送信フローチャート例 (1)

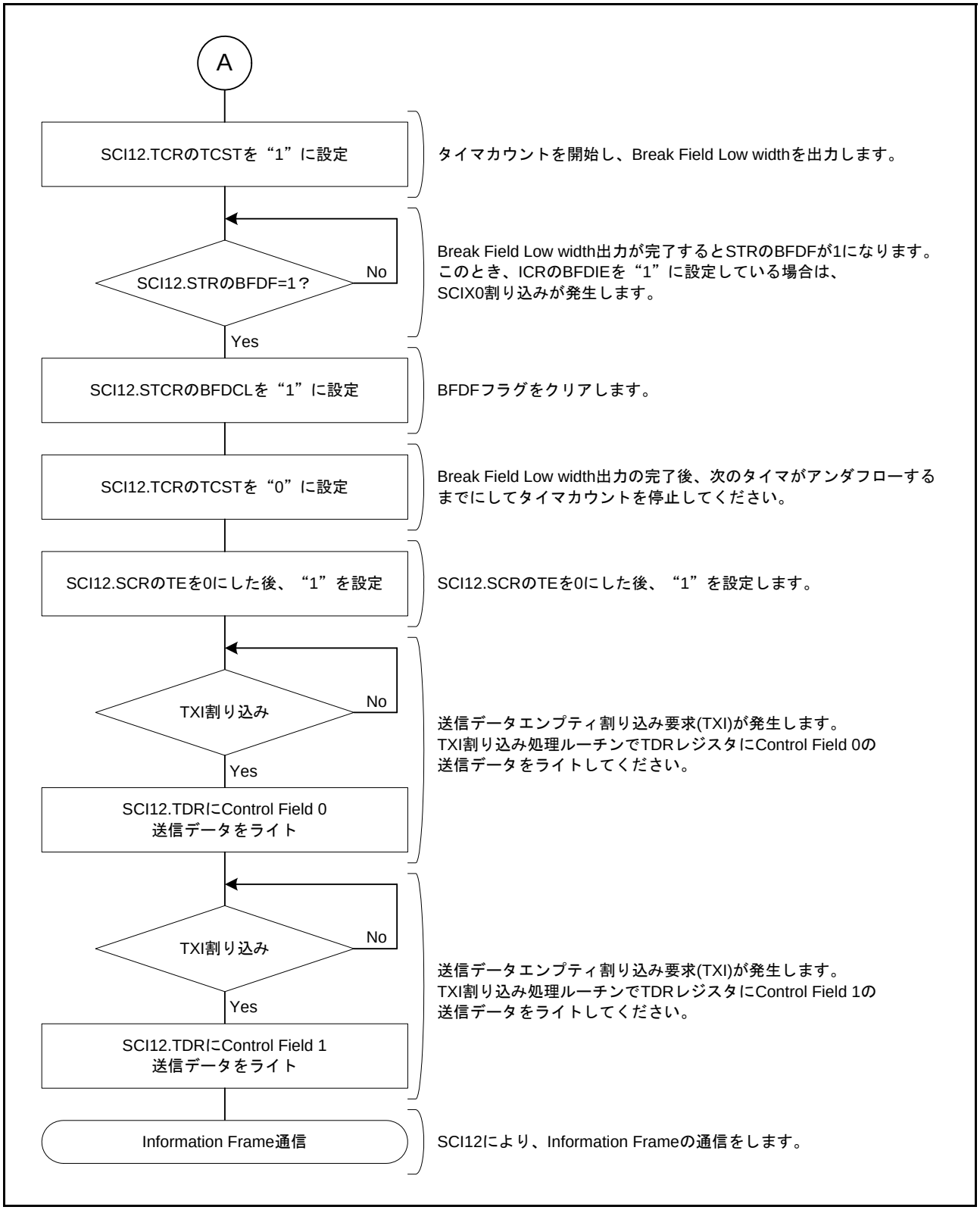


図 35.56　Start Frame 送信フローチャート例 (2)

35.9.3 Start Frame 受信

拡張シリアルモード制御部では、**表 35.25** のような構成の Start Frame を検出することができます。

表35.25　Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	Control Field1 8bit / Information Frame
0	1	Control Field0 8bit / Control Field1 8bit / Information Frame
1	0	Break Field Low width / Control Field1 8bit / Information Frame
1	1	Break Field Low width / Control Field0 8bit / Control Field1 8bit / Information Frame

図 35.57 に Break Field Low width、Control Field0 および Control Field1 で構成される Start Frame の受信時の動作例を示します。また、**図 35.58**、**図 35.59** に Start Frame の受信を行うためのフローチャート、**図 35.60** に拡張シリアルモード制御部の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

(1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3 の SDST に “1” を書き込むと、Break Field Low width 検出が可能になります。このとき、SCI12 への RXDX12 入力は禁止となります。

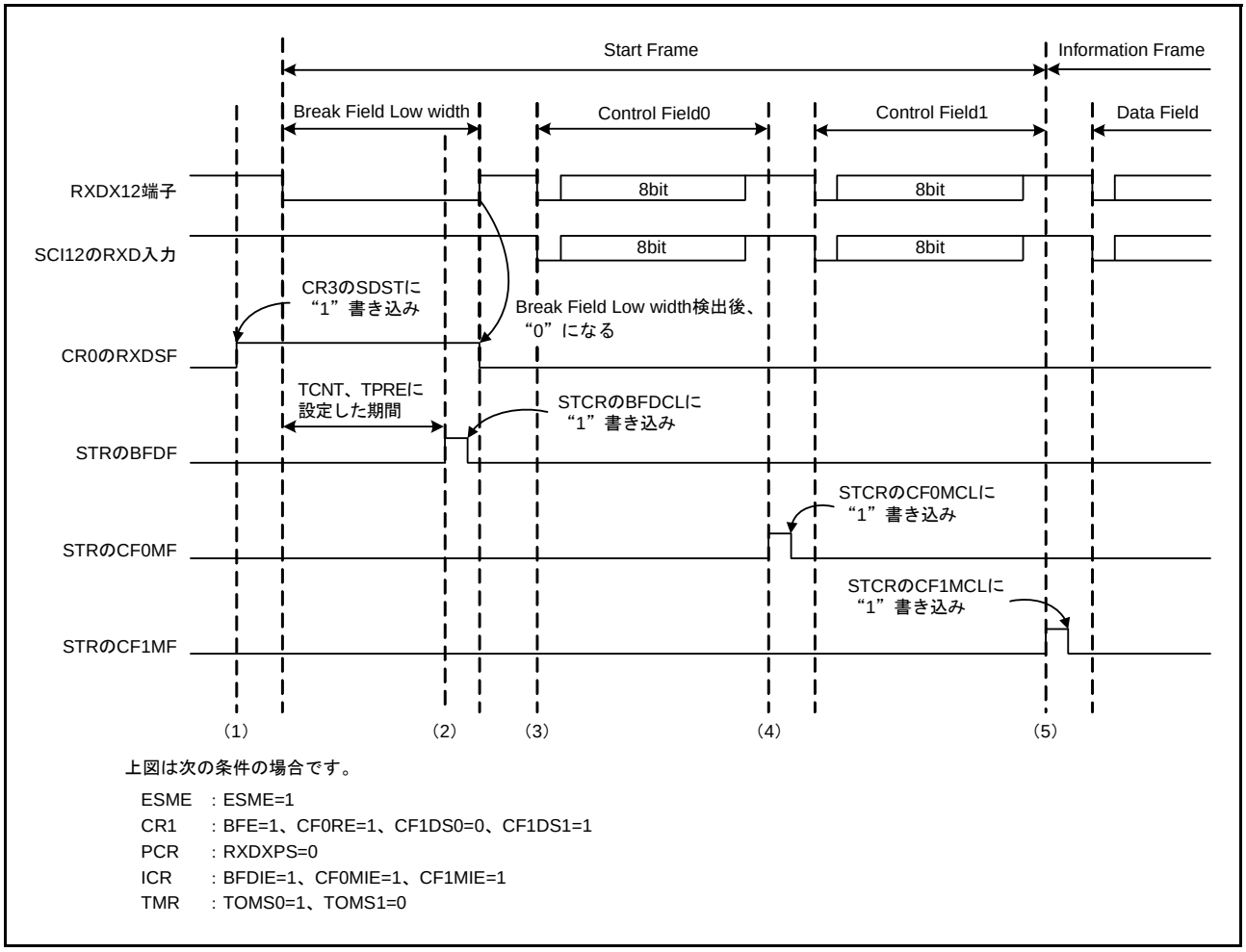
(2) タイマの TCNT、TPRE に設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR の BFDF が “1” にセットされます。また、ICR の BFDIE を “1” に設定している場合は、SCIX0 割り込みが発生します。

(3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0 の RXDSF が “0” になり、SCI12 により、Control Field 0 の受信を開始します。

(4) Control Field 0 で受信したデータが CF0DR に設定したデータと一致した場合、STR の CF0MF が “1” にセットされます。また、ICR の CF0MIE を “1” に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 により Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR に設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。

(5) Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータと一致した場合、STR の CF1MF が “1” にセットされます。また、ICR の CF1MIE を “1” に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 を使用して Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field0 の処理を省略してください。



上図は次の条件の場合です。

ESME　：ESME=1
CR1　：BFE=1、CF0RE=1、CF1DS0=0、CF1DS1=1
PCR　：RXDXPS=0
ICR　：BFDIE=1、CF0MIE=1、CF1MIE=1
TMR　：TOMS0=1、TOMS1=0

図 35.57　Start Frame 受信時の動作例

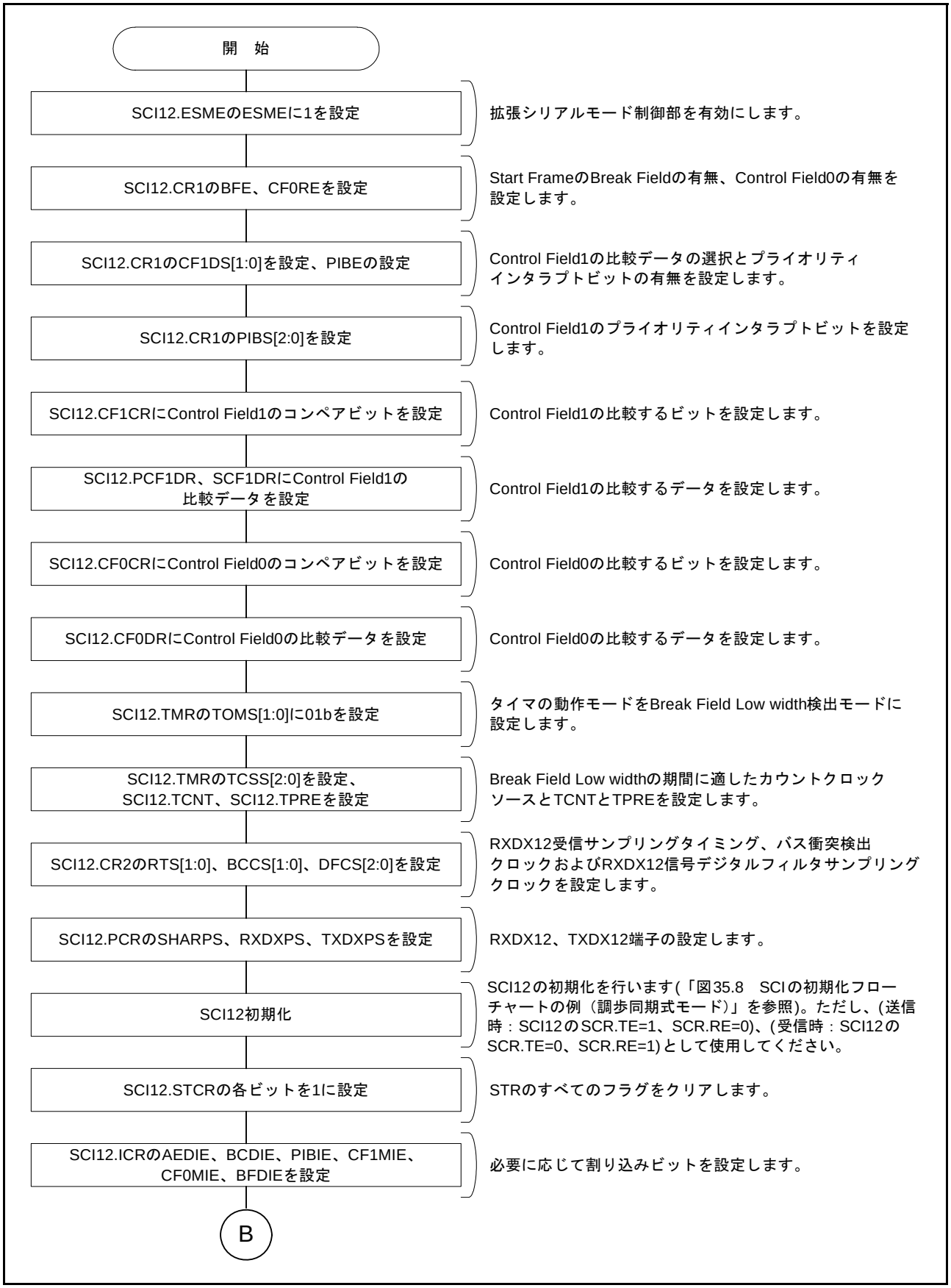


図 35.58　Start Frame 受信フローチャート例 (1)

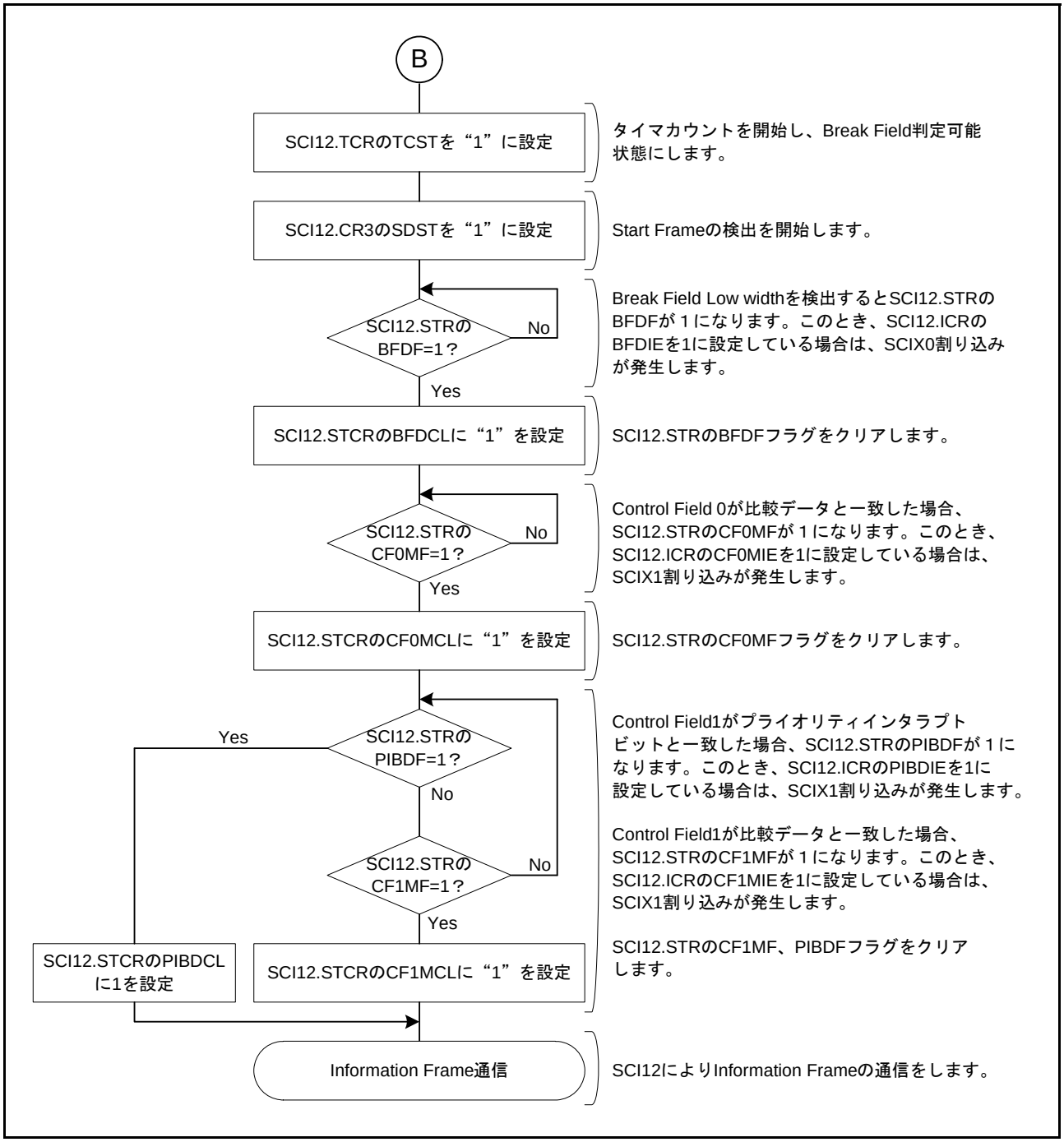


図 35.59　Start Frame 受信フローチャート例 (2)

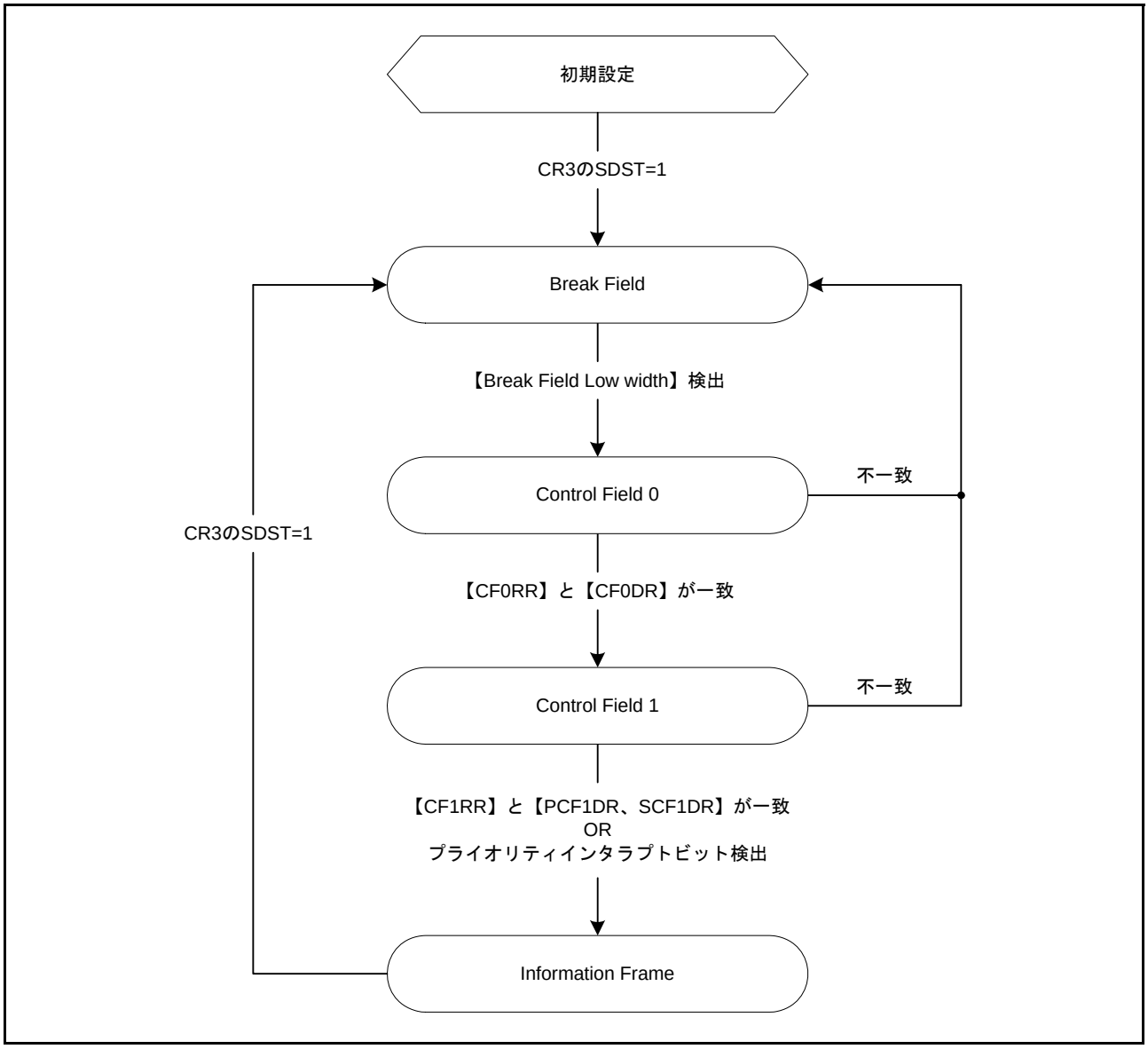


図 35.60　Start Frame 受信時の状態遷移図

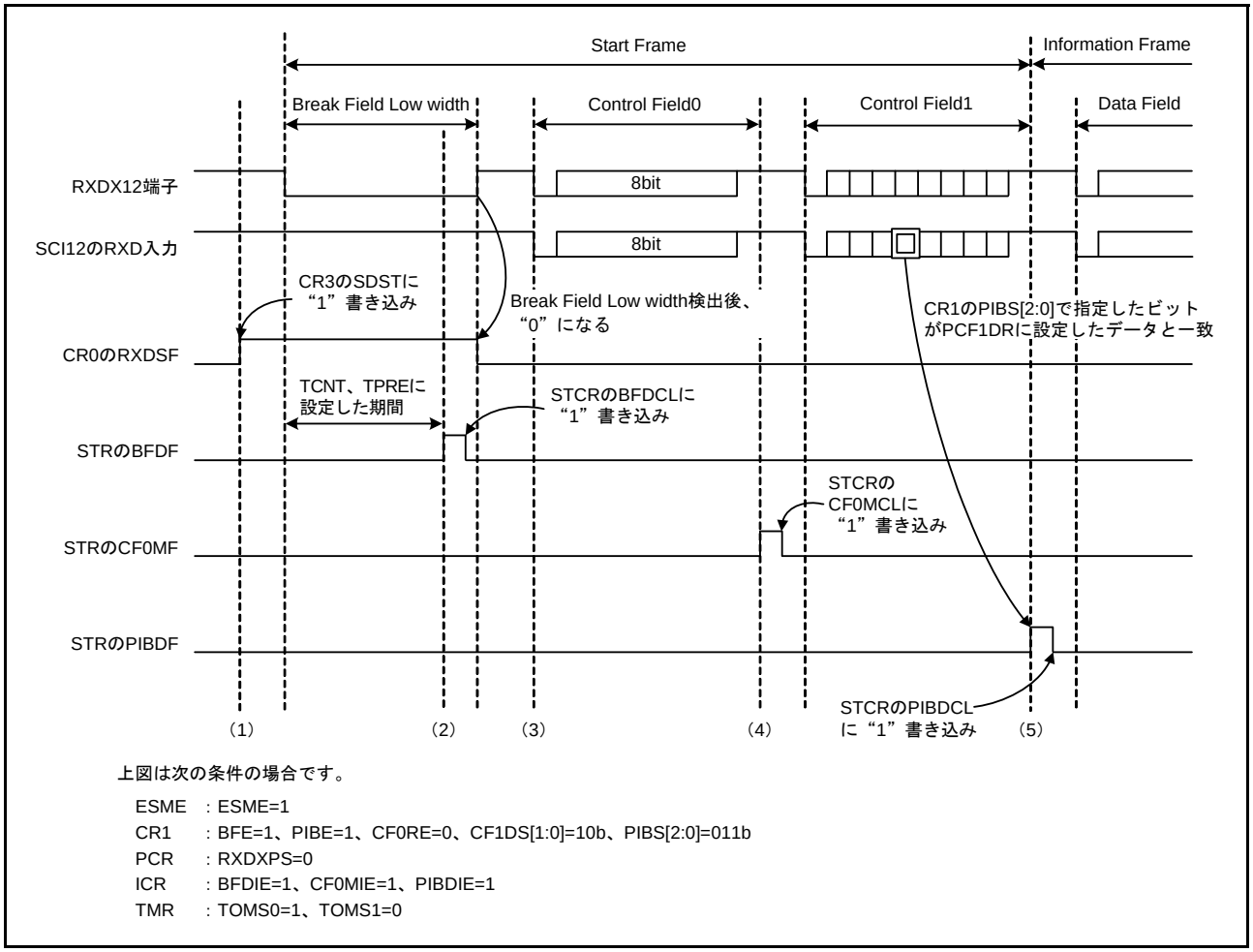
35.9.3.1　プライオリティインタラプトビット

図 35.61 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1 の PIBE を 1 にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

(1) ～ (4) は図 35.57 の Start Frame 受信時の動作例 (1) ～ (4) と同様になります。

(5) CR1 の PIBS[2:0] で指定したビットのデータが PCF1DR に設定したデータと一致した場合、STR の PIBDF が 1 にされます。また、ICR の PIBDIE を 1 に設定している場合は、SCIX1 割り込みが発生します。そして、SCI12 により、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR または SCF1DR に設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。



上図は次の条件の場合です。

ESME　: ESME=1
CR1　: BFE=1、PIBE=1、CF0RE=0、CF1DS[1:0]=10b、PIBS[2:0]=011b
PCR　: RXDXPS=0
ICR　: BFDIE=1、CF0MIE=1、PIBDIE=1
TMR　: TOMS0=1、TOMS1=0

図 35.61　Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

35.9.4　バス衝突検出機能

ESMER の ESME=1、かつ SCI12.SCR の TE=1 の状態で、Break Field Low width 出力中および SCI12 によりデータを送信中にバス衝突検出機能が働きます。

図 35.62 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2 の BCCS[1:0] で設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR の BCDF が “1” になります。また、ICR の BCDIE を “1” に設定している場合は、SCIX2 割り込みが発生します。

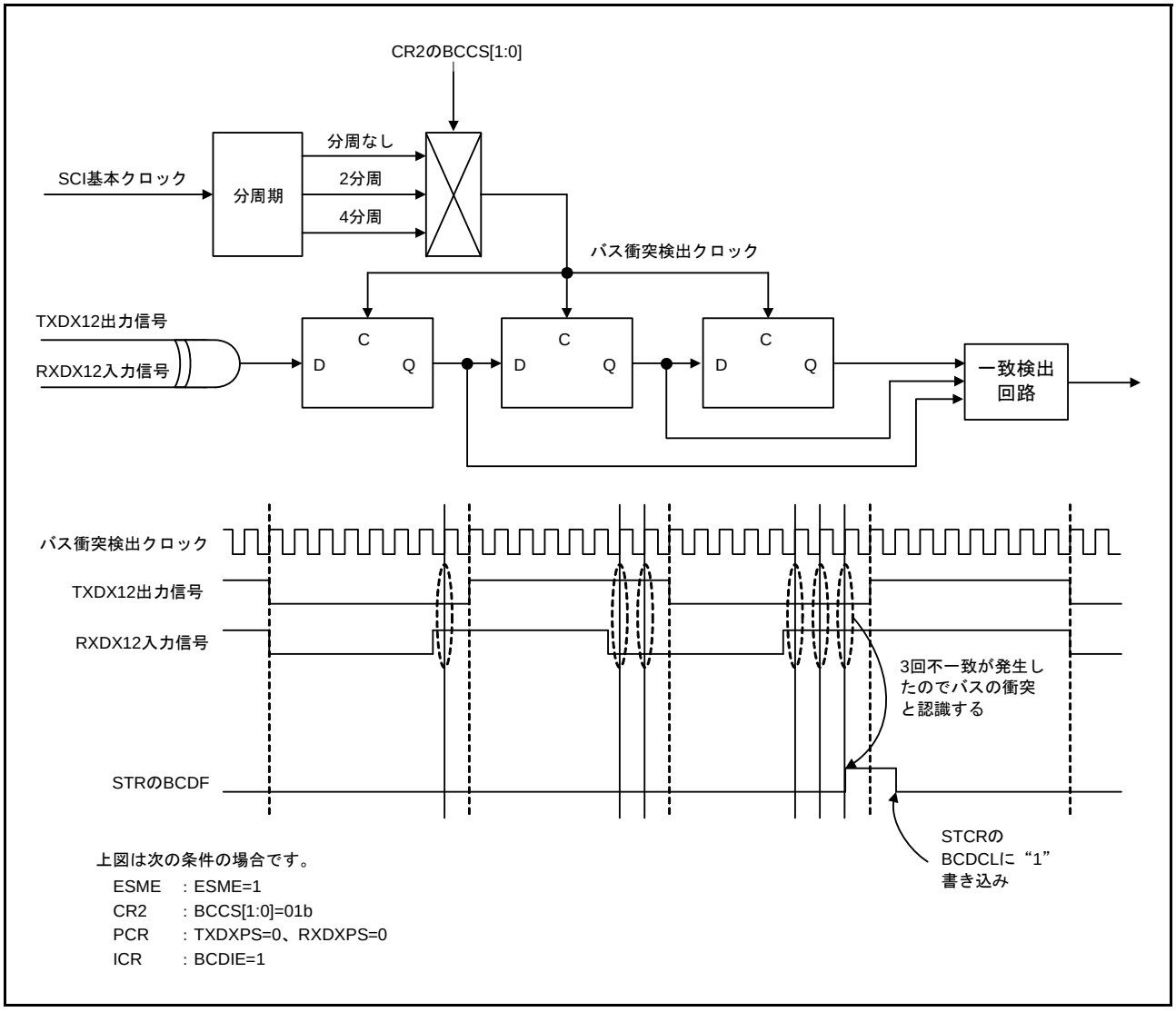


図 35.62　バス衝突検出機能の動作例

35.9.5　RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2 の DFCS[2:0] によって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 35.63 にデジタルフィルタ機能の動作例を示します。

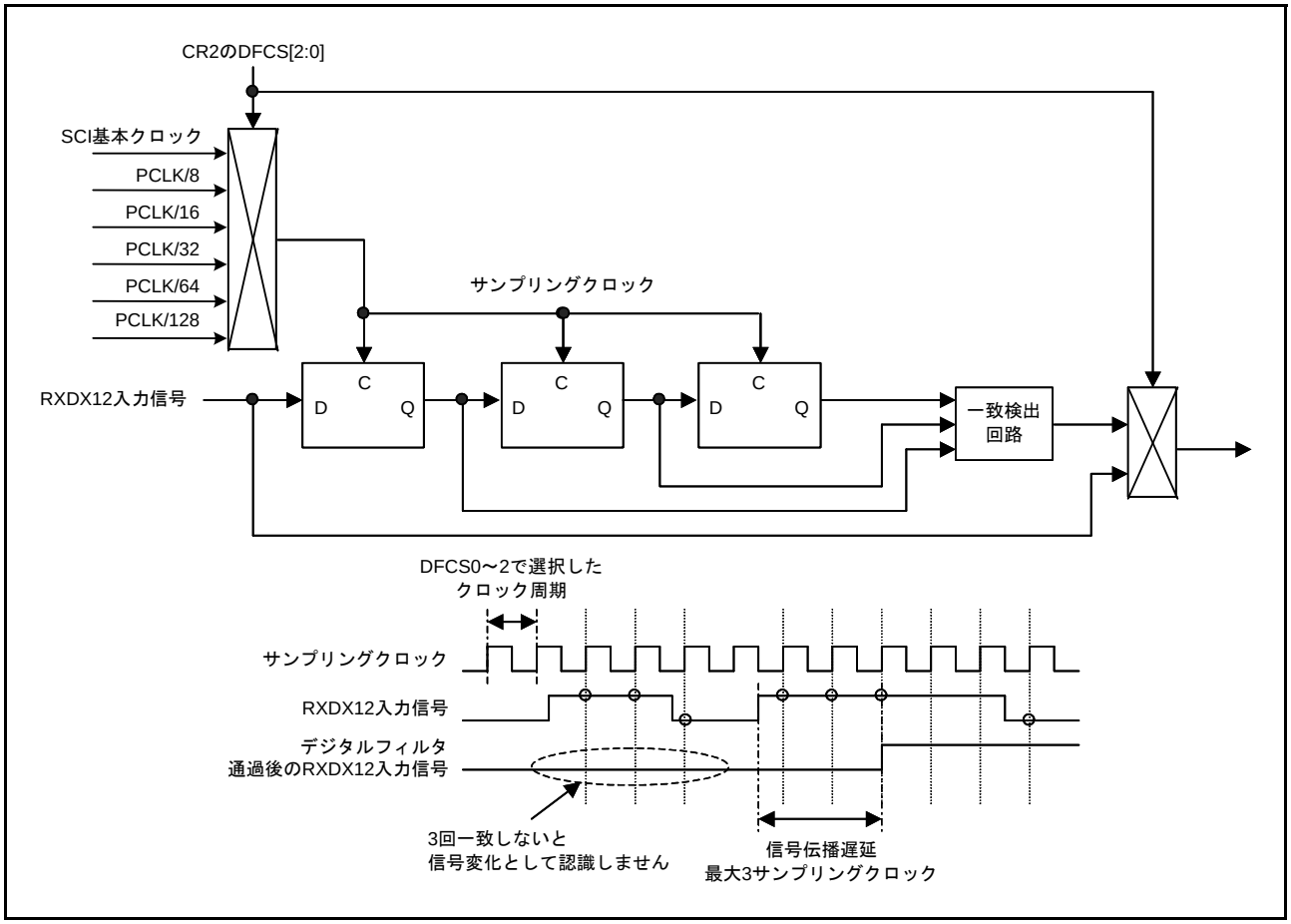
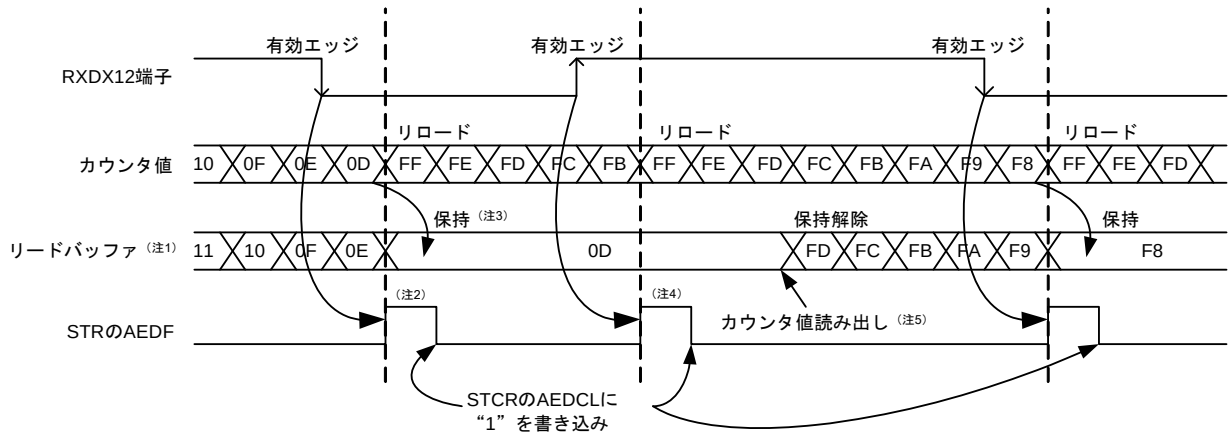


図 35.63　デジタルフィルタ機能の動作例

35.9.6　ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり－立ち下がり間または、立ち下がり－立ち上がり間を測定する機能です。図 35.64 にビットレート測定機能の動作例を示します。

(1) CR0 の BRME に “1” を書き込むとビットレート測定が有効となります。BRME は、測定を行いたいときのみ 1 を設定してください。また、BRME を 1 に設定しても Break Field 中は、ビットレートの測定動作を行いません。
(2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
(3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウント値をリードバッファに保持し、カウンタをリロードします。ICR の AEDIE を “1” に設定している場合は、SCIX3 割り込みが発生します。TCNT、TPRE をリードすることで保持は解除されます。
(4) 有効エッジ間のカウント値からビットレートを算出し、SCI12 の設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0 の BRME に “0” を書き込んでください。



注1. TCNT、TPREを読み出すと、リードバッファの内容が読めます。
注2. 有効エッジを検出するとSTRのAEDFが1になります。
注3. 有効エッジを検出すると、現在のカウンタ値をリードバッファへ保持します。
注4. 一度有効エッジを検出し保持した値は、再び有効エッジを検出してもリードバッファの値は更新されません。
注5. 有効エッジによりリードバッファに保持された値は、TCNT、TPREをリードすることで保持が解除されます。

図 35.64　ビットレート測定機能動作例

35.9.7　RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、SCI12 の RXDX12 受信データのサンプリングタイミングを CR2 の RTS0 および RTS1 により、SCI 基本クロックの 8 クロックの立ち上がり、10 クロックの立ち上がり、12 クロックの立ち上がりおよび 14 クロックの立ち上がりから選択することができます。SCI12 の SEMR の ABCS が “1” の場合は PCLK の 4 クロックの立ち上がり、5 クロックの立ち上がり、6 クロックの立ち上がりおよび 7 クロックの立ち上がりから選択することができます。図 35.65 に RXDX12 受信データサンプリングタイミングを示します。

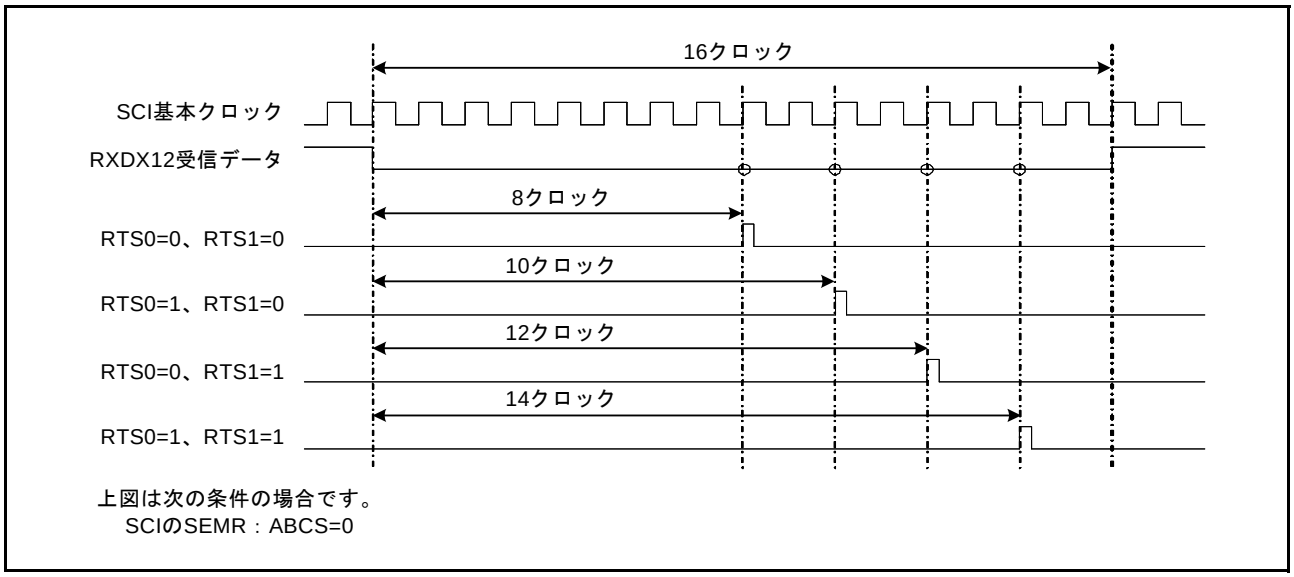


図 35.65　RXDX12 受信データサンプリングタイミング

35.9.8　タイマ

タイマには次の動作モードがあります。

(1)　Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR の TOMS0=0、TOMS1=1 に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に “1” を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR の BFDF が “1” になります。また、ICR の BFDIE を “1” に設定している場合は、SCIX0 割り込みが発生します。TCR の TCST に “0” を書き込むと、TPRE および TCNT はリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 35.66 に Break Field Low width 出力モードの動作例を示します。

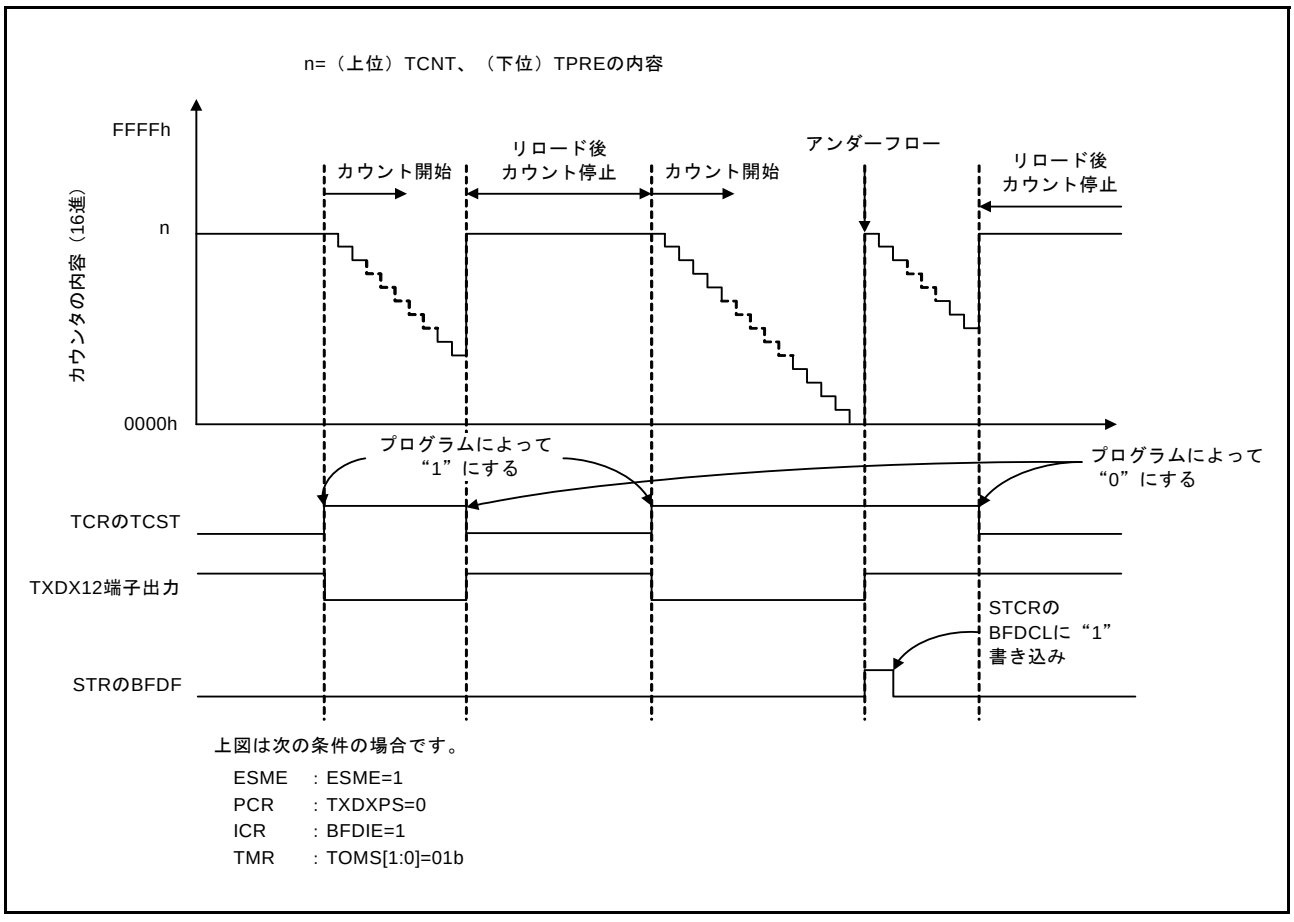


図 35.66　Break Field Low width 出力モードの動作例

(2)　Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR の TOMS0=1、TOMS1=0 に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に “1” を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRE および TCNT はリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR の BFDF が “1” にされます。また、ICR の BFDIE を “1” に設定している場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 35.67 に Break Field Low width 判定モードの動作例を示します。

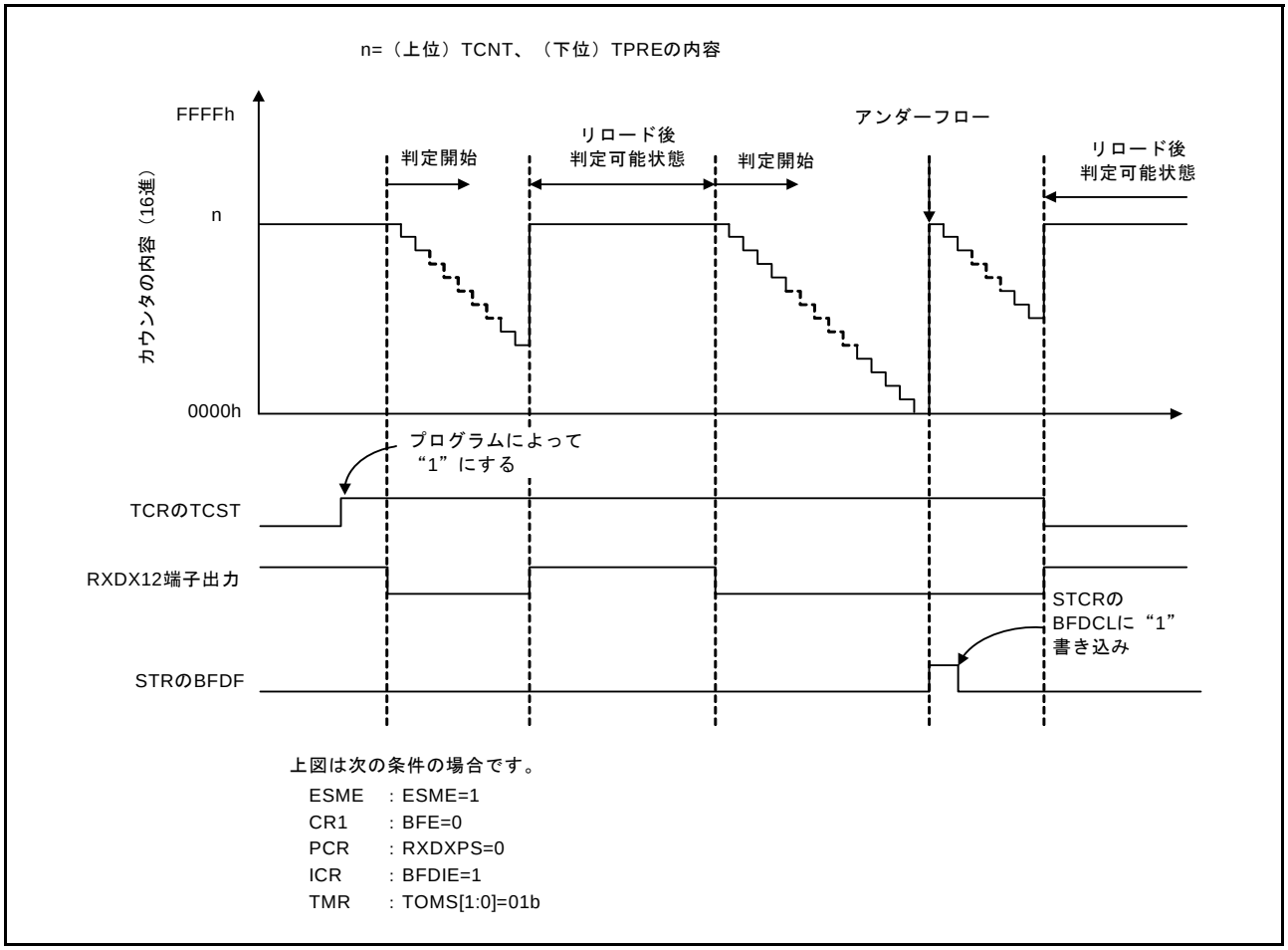


図 35.67　Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR の TOMS0=0、TOMS1=0 に設定すると、タイマモード動作になります。カウントクロックソースは TMR の TCSS[2:0] で選択します。TCR の TCST に “1” を書き込むと、カウントを開始し、TCST に 0 を書き込むとカウントを停止します。TPRE に入力するカウントクロックソースの周期で TPRE がダウンカウントします。TPRE のアンダフローをカウントクロックソースにして、TCNT がダウンカウントします。タイマがアンダフローすると STR の BFDF が “1” になります。また、ICR の BFDIE を “1” に設定している場合は、SCIX0 割り込みが発生します。

35.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 35.68 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期（SEMR.ABCS=0 のとき 1 ビット期間の 1/16、SEMR.ABCS=1 のとき 1 ビット期間の 1/8）となります。

簡易 I²C モード時は SSDAn 、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット =0、SCR.RE=0 ビットにした場合、ノイズフィルタのフリップフロップはすべて “1” に初期化され、受信再開時の入力データが “1” の場合は一致検出として内部信号に伝えられます。“0” の場合は 3 回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

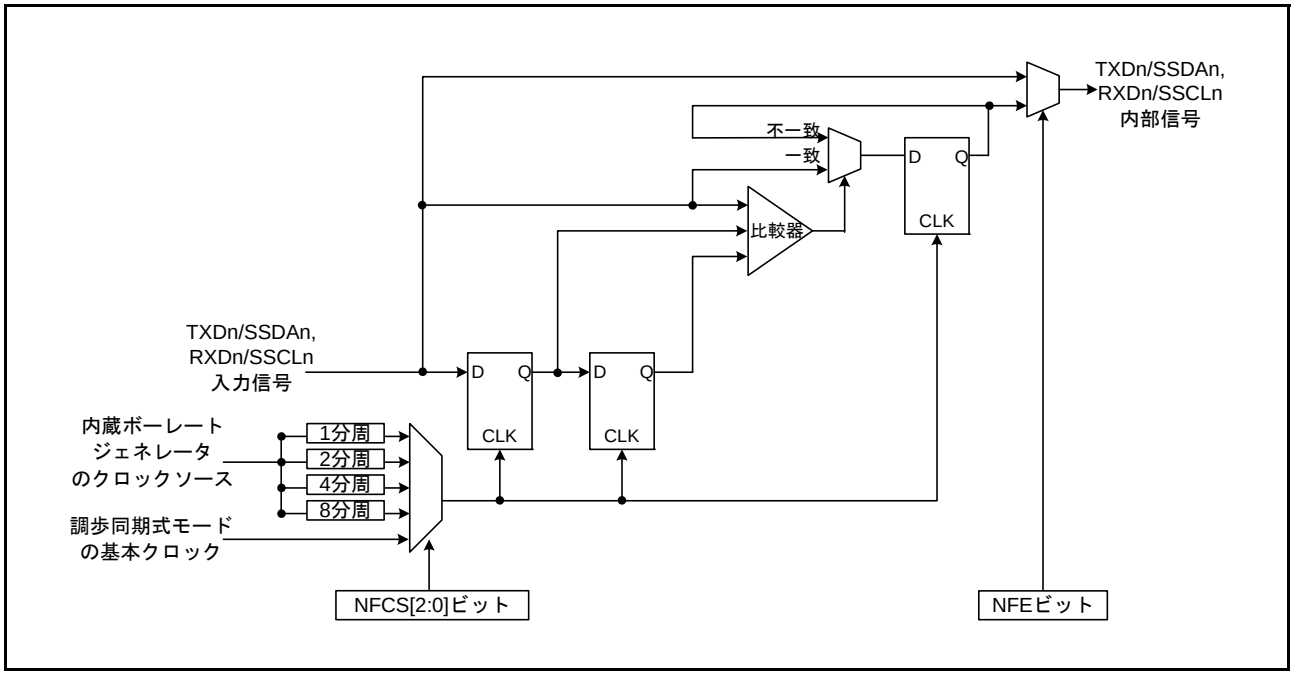


図 35.68　デジタルノイズフィルタ回路のブロック図

35.11 割り込み要因

35.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、割り込みコントローラの割り込みステータスフラグが “1” のときに割り込み発生条件となっても、割り込みコントローラに対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが “0” になると、割り込みコントローラに対して保持していた割り込み要求を出力します。保持していた割り込み要求を出力すると、その割り込みの内部の保持は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” にすることでクリアが可能です。

35.11.2 シリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける割り込み

表 35.26 にシリアルコミュニケーションインタフェースモードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立にイネーブルにすることができます。

SCR.TIE ビットが “1” のとき、送信データが TDR レジスタから TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを “1” に設定した後で SCR.TE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に “1” に設定することでも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが “0” の状態で SCR.TE ビットを “1” に設定した場合、および SCR.TE ビットが “1” の状態で SCR.TIE ビットを “1” に設定した場合には発生しません。(注 1)

SCR.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが “1” になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを “1” に設定してから TDR レジスタに送信データをライトするまでの間は、SSR.TEND フラグは “1” を保持しており、SCR.TEIE ビットを “1” にすると TEI 割り込み要求が発生します。

TDR にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが “1” のとき、受信データが RDR レジスタに格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが “1” のとき、SSR.ORER, FER, PER フラグのいずれかが “1” にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER, FER, PER のすべてのビットをクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 35.26　SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可能	不可能	高
RXI	受信データフル	—	可能	可能	↑
TXI	送信データエンプティ	—	可能	可能	↑
TEI	送信終了	TEND	不可能	不可能	低

35.11.3　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、**表 35.27** の割り込み要因があります。送信終了割り込み（TEI）要求は使用できません。

表35.27　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可能	不可能	高
RXI	受信データフル	—	可能	可能	↑
TXI	送信データエンプティ	TEND	可能	可能	低

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが “1” にされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に “0” にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを “1” にセットしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「18.　DMA コントローラ（DMACA）」、「20.　データトランスファコントローラ（DTCa）」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

35.11.4　簡易 I²C モードにおける割り込み

簡易 I²C モードでは、**表 35.28** の割り込み要因があります。STI 割り込みは、送信終了割り込み（TEI）要求に割り当てられます。受信エラー割り込み（ERI）要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが “1” のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目（アクノリッジビット）の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが “0” のとき、9 ビット目（アクノリッジビット）の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low だと RXI 割り込み要求（ACK 検出）、SSDAn 端子入力が High だと TXI 割り込み要求（NACK 検出）が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開始条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 35.28　SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
RXI	受信、ACK 検出	—	可能	可能	高 ↑
TXI	送信、NACK 検出	—	可能（注 1）	可能（注 1）	
STI	開始条件、再開始条件、停止条件生成終了	IICSTIF	不可能	不可能	↓ 低

注 1.　SIMR2.IICINTM ビット=“1”（受信割り込み、送信割り込みを選択）の場合のみ DTC、DMAC の起動が可能です。

35.11.5　拡張シリアルモード制御部の割り込み要求

SCId の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが 1 にされます。表 35.29 に各割り込み要求の内容を示します。

表35.29　拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0割り込み (Break Field Low width検出)	BFDF	• タイマに設定した期間より長いBreak Field Low widthを検出したとき • タイマに設定した期間、Break Field Low width出力が完了したとき • タイマがアンダフローしたとき
SCIX1割り込み (Control Field 0一致)	CF0MF	Control Field 0の受信データがCF0DRに設定したデータと一致したとき
SCIX1割り込み (Control Field 1一致)	CF1MF	Control Field 1の受信データがPCF1DRまたはSCF1DRに設定したデータと一致したとき
SCIX1割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータがPCF1DRに設定したデータと一致したとき
SCIX2割り込み (バス衝突検出)	BCDF	TXDX12端子の出力とRXDX12端子の入力をバス衝突検出クロックでサンプリングし、3回連続不一致が発生とき
SCIX3割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

35.12 使用上の注意事項

35.12.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）とモジュールストップコントロールレジスタ C（MSTPCRC）により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、**「11. 消費電力低減機能」**を参照してください。

35.12.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて 0 になりますので、SSR.FER フラグが “1”（フレーミングエラーの発生あり）に設定され、また SSR.PER フラグも “1”（パリティエラーの発生あり）に設定される可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを “0”（フレーミングエラーの発生なし）に設定しても、再び FER フラグが “1” に設定されますので注意してください。

35.12.3 マーク状態とブレークの送出

SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを “1”（シリアル送信動作を許可）に設定するまで、通信回線をマーク状態（1 の状態）にするためには、I/O ポート機能により TXDn 端子を “1” を出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送出したいときは、I/O ポート機能設定により TXDn 端子を “0” を出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを "0" に設定すると現在の送信状態とは無関係に送信部は初期化されます。

35.12.4 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（SSR.ORER）が “1” に設定された状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを “0” に設定しておいてください。また、SCR.RE ビットを “0”（シリアル受信動作を禁止）に設定しても受信エラーフラグは “0” に設定できませんので注意してください。

35.12.5 TDR レジスタへのライトについて

TDR レジスタへのデータのライトは、常に行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタにライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって TDR レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

35.12.6 クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、DMAC または DTC による TDR レジスタの更新後、PCLK クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR レジスタの更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります。

35.12.7　DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 SCI の受信完了割り込み（RXI）に設定してください。

35.12.8　通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグが “1” のときは、動作許可（SCR.TE ビットを “1” に設定、または SCR.RE ビットを “1” に設定）前に以下の手順で割り込み要求をクリアしてください。

- 通信が停止していること（SCR.TE ビットまたは SCR.RE ビットが “0” となっていること）を確認
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” に設定
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を読み出し、“0” を確認
- 割り込みコントローラの割り込みステータスフラグに “0” を設定

35.12.9　低消費電力状態時の動作について

(1)　送信

モジュールストップ状態への設定、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止（SCR.TIE ビット =0、TE ビット =0、TEIE ビット =0）してから行ってください。TE ビットを 0 にクリアすることによって、TSR レジスタおよび SSR.TEND フラグはリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、TE ビット =1 に設定し、SSR レジスタリード→ TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 35.69 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。**図 35.70**、**図 35.71** にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への設定、または、ソフトウェアスタンバイモード遷移は、動作を停止（TE ビット =0）してから行ってください。解除後 DTC による送信をする場合は、TE ビット＝ 1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2)　受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止（SCR.RE ビット =0）してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット =1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 35.72 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

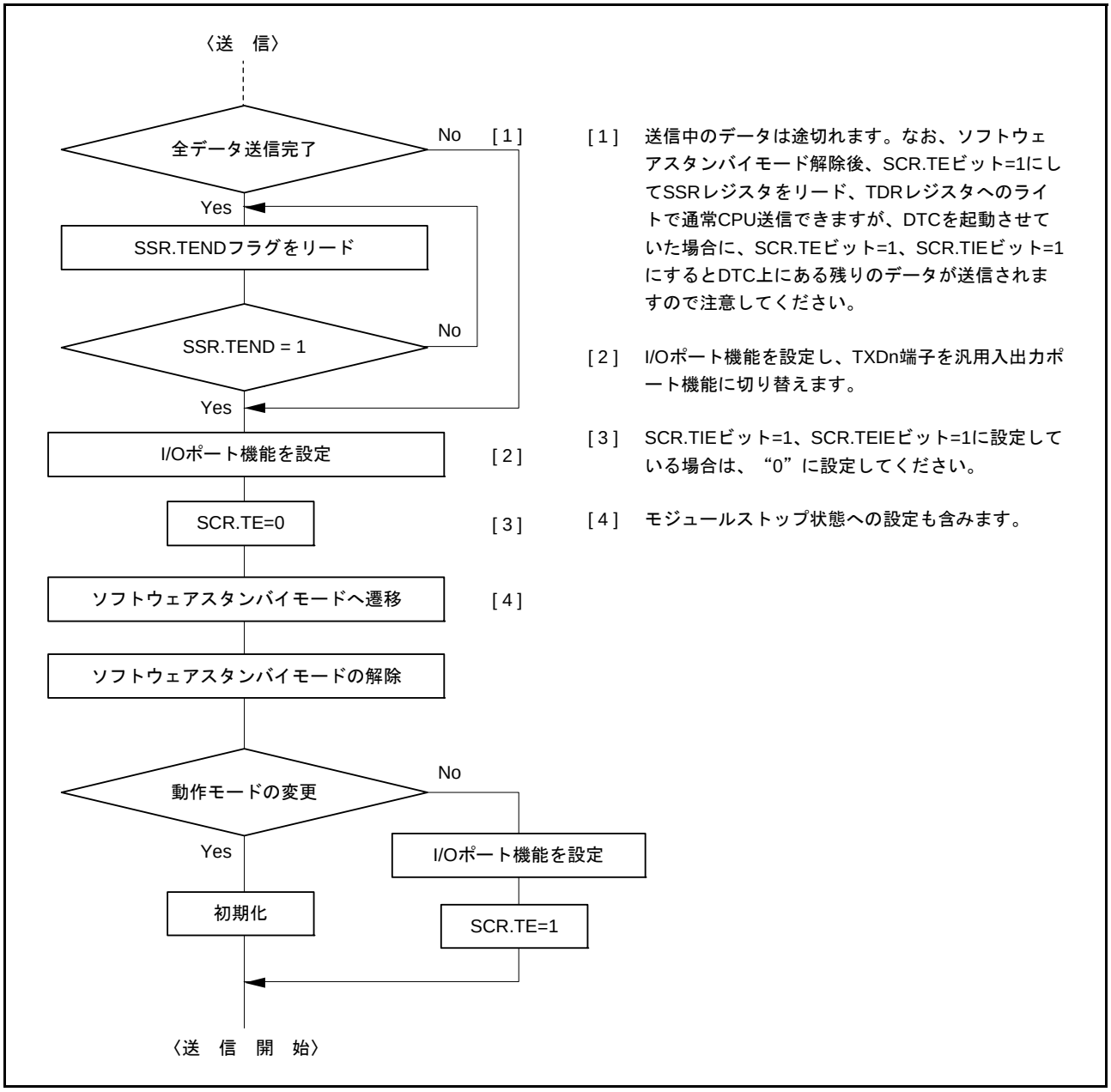


図 35.69　送信時のソフトウェアスタンバイモード遷移フローチャートの例

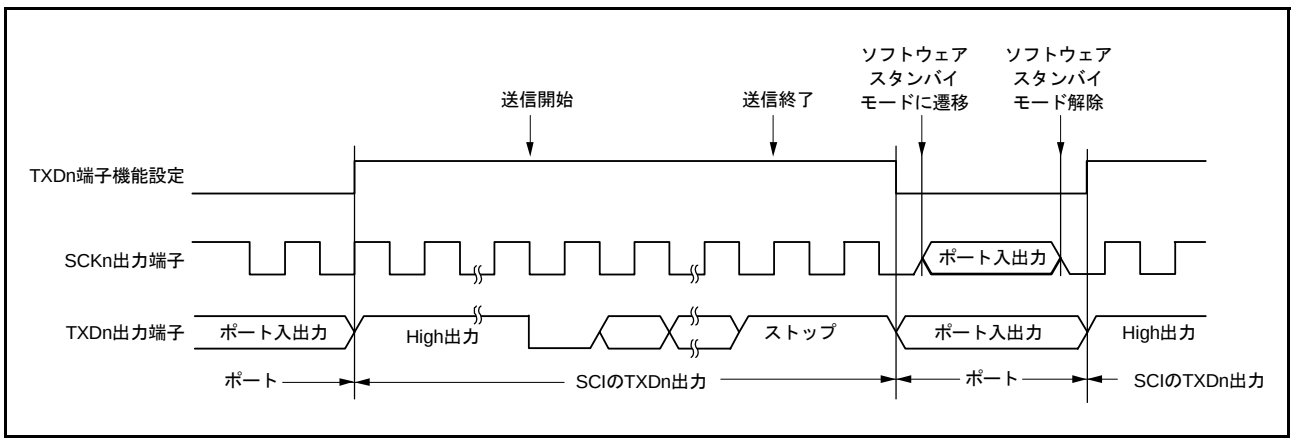


図 35.70　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、調歩同期送信）

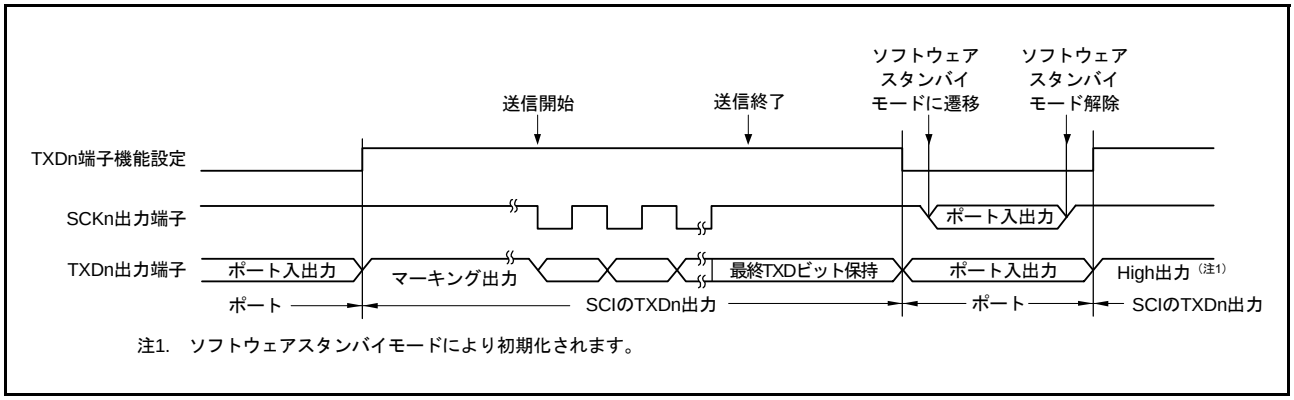


図 35.71　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、クロック同期送信）

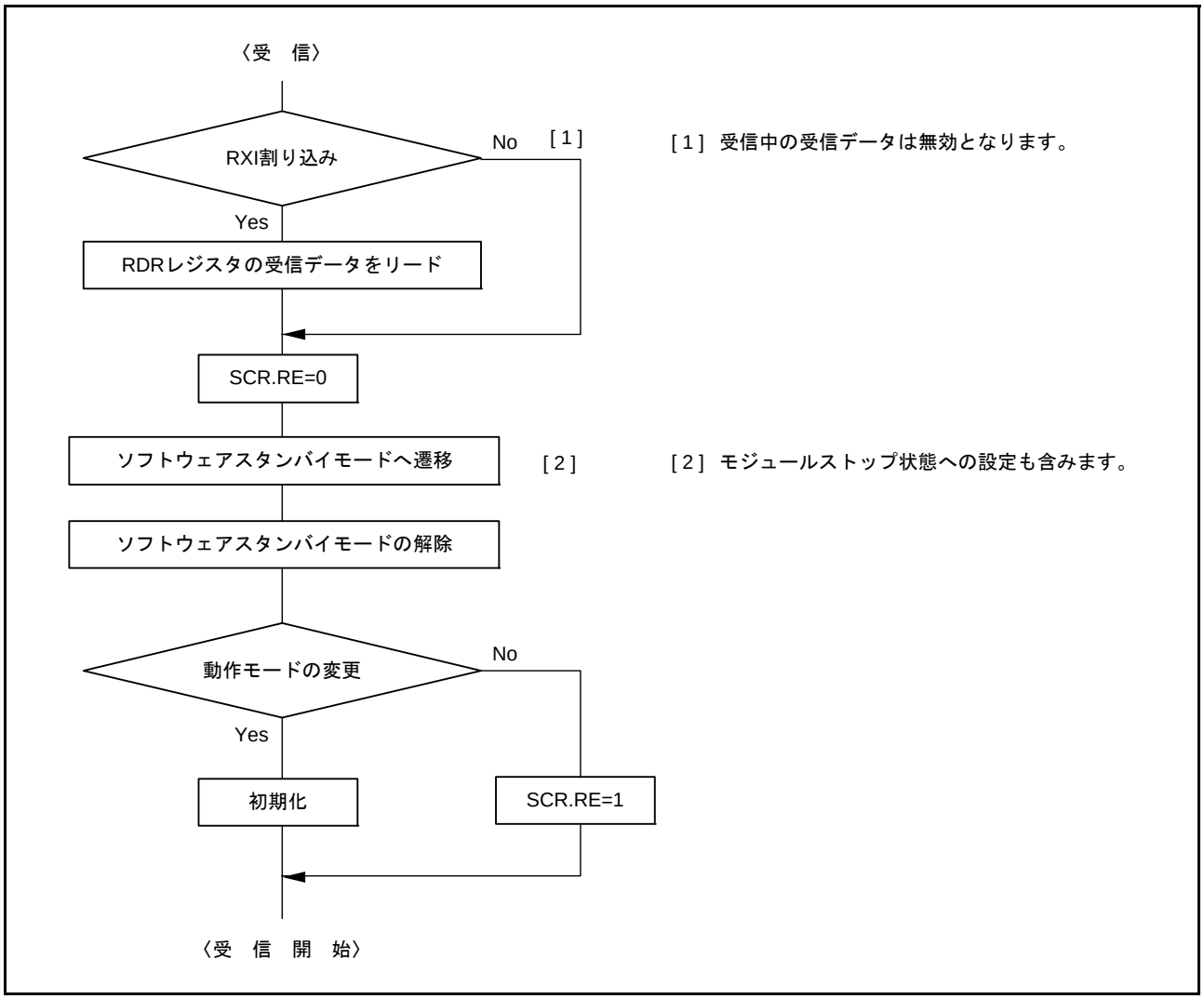


図 35.72　受信時のソフトウェアスタンバイモード遷移フローチャートの例

35.12.10　クロック同期式モード外部クロック入力

クロック同期式モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2PCLK 以上、周期を 6PCLK 以上としてください。

35.12.11　簡易 SPI モードの制約事項

(1)　マスタモード

- SPMR.CKPH, CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
- クロック遅れあり設定（SPMR.CKPH ビット＝“1”）の場合、図 35.73 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み（RXI 割り込み）が発生します。このとき、SCR.TE, RE ビットを SCKn 端子の最終クロックエッジより前に “0” に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタモード時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SS# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

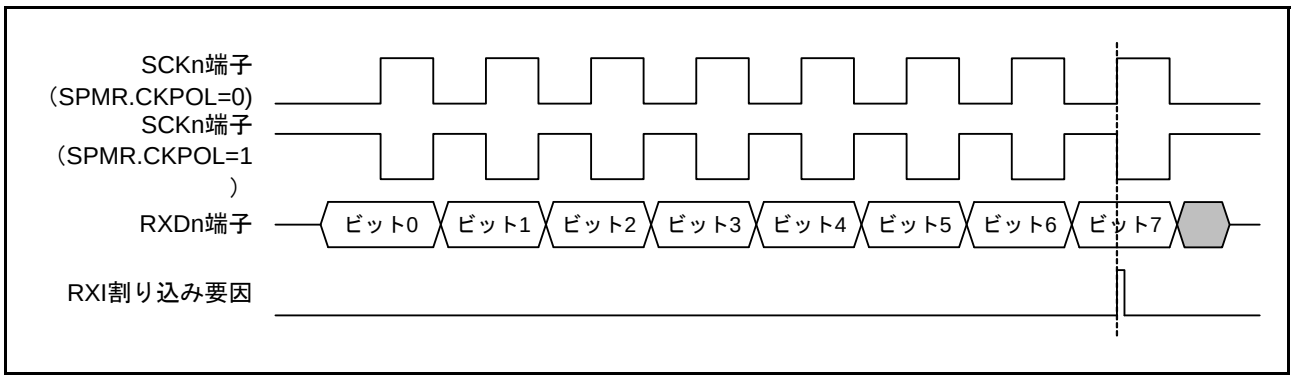


図 35.73　簡易 SPI モード（クロック遅れあり）RXI 割り込み発生タイミング

(2)　スレーブモード

- TDR レジスタへの送信データの書き込みと、SSn# 端子への Low 入力から外部クロック入力開始まで、5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR.TE, RE ビットを “0” に設定し、再設定後、1 バイト目から転送をやり直してください。

35.12.12　拡張シリアルモード制御部の使用上の制約事項 1

PCR の SHARPS を “1” に設定した場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- SCId タイマを Break Field Low width 出力モードで TCR の TCST を “1” にしたとき
(TCR の TCST を “1” にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCI12.SCR の TE が “1” のとき

35.12.13　拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、SCIc の割り込み要求は生成されます。スタートフレーム受信中は SCId が SCIc の割り込み要求イベントを使用するため、SCIc の割り込み要求は使用しないでください。この対応として下記 2 つがあります。なお、受信エラーを検出したときは、図 35.74 のフローチャートの例に従って SCIc の エラーフラグのクリアおよび SCId 制御部を初期化してください。

(1) SCIc の SCR.RIE ビットを “0” にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、スタートフレームの受信終了タイミングで、SCIc の SSR レジスタの エラーフラグをチェックしてください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、SCIc の SCR.RIE ビットを “1” に切り換えてください。

(2) SCIc の SCR.RIE ビットを “1” にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り換えてください。

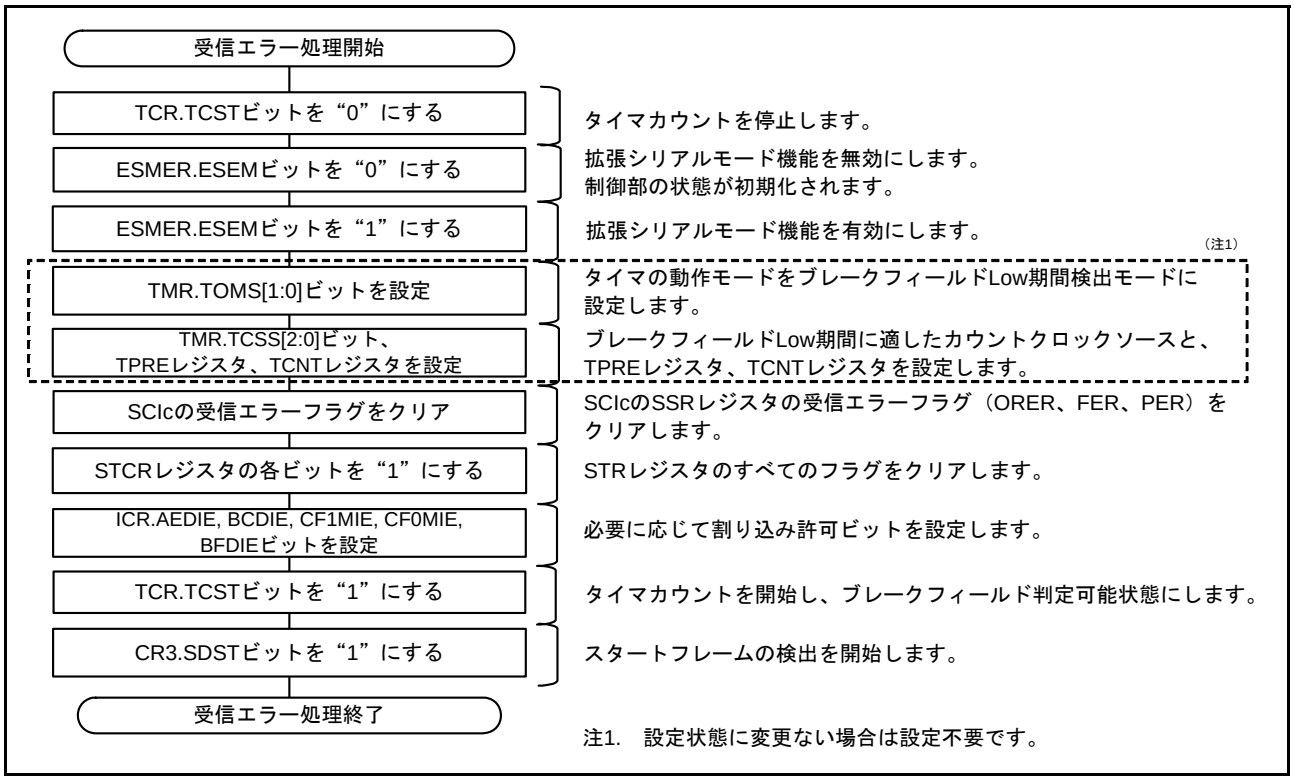


図 35.74　受信エラー処理のフローチャートの例（スタートフレーム受信中）

35.12.14　トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」(n = 0 ~ 12) に設定した状態で、SCR.TE ビットを “0”(シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

(1) TXDn ラインにプルアップ抵抗を接続する

(2) SCR.TE ビットを “0” にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。また、SCR.TE ビットを “1” にしてから、端子の機能を「TXDn」に変更する。

36. I²C バスインタフェース（RIIC）

RX63N グループ、RX631 グループは、4 チャネルの I²C バスインタフェース（RIIC）を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス（Inter-IC-Bus）インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

36.1 概要

表 36.1 に RIIC の仕様を、**図 36.1** に RIIC のブロック図を、**図 36.2** に入出力端子の外部回路接続例（I²C バス構成例）を示します。**表 36.2** に RIIC で使用する入出力端子を示します。

表36.1　RIICの仕様

項目	内容
通信フォーマット	• I²Cバスフォーマット/SMBusフォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	～1Mbps
SCLクロック	マスタ時、SCLクロックのデューティ比を4%～96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 スタートコンディション（リスタートコンディション含む）/ストップコンディション検出可能
スレーブアドレス	• スレーブアドレスを3セット設定可能 • 7ビット/10ビットアドレスフォーマット対応（混在可能） • ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	• 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト（WAIT機能）
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 • バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止） • ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 • スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	• 4種類 通信エラー/イベント発生（AL検出、NACK検出、タイムアウト検出、 スタートコンディション検出（リスタートコンディション含む）、 ストップコンディション検出） 受信データフル（スレーブアドレス一致時含む） 送信データエンプティ（スレーブアドレス一致時含む） 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能

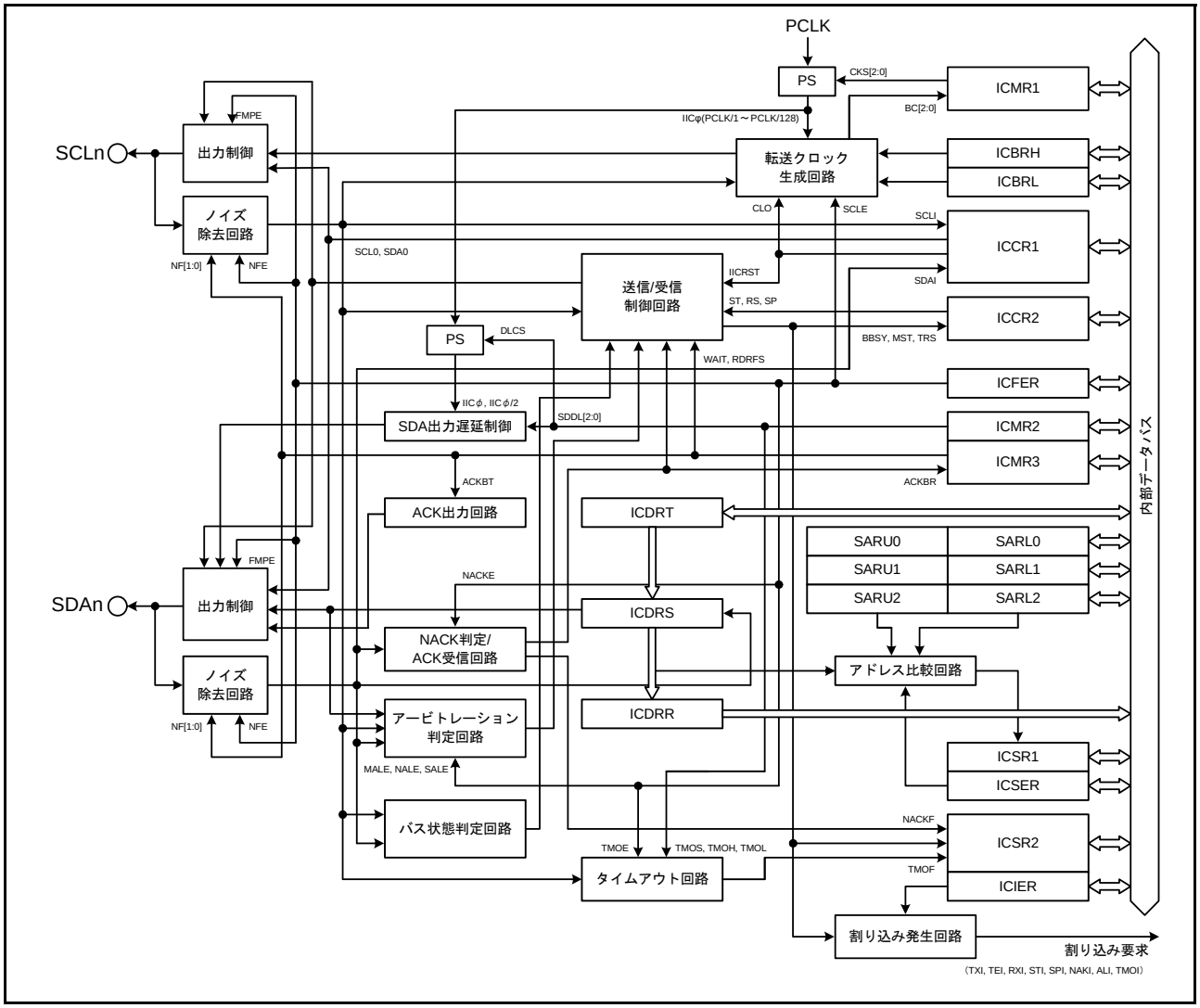


図 36.1　　RIIC のブロック図

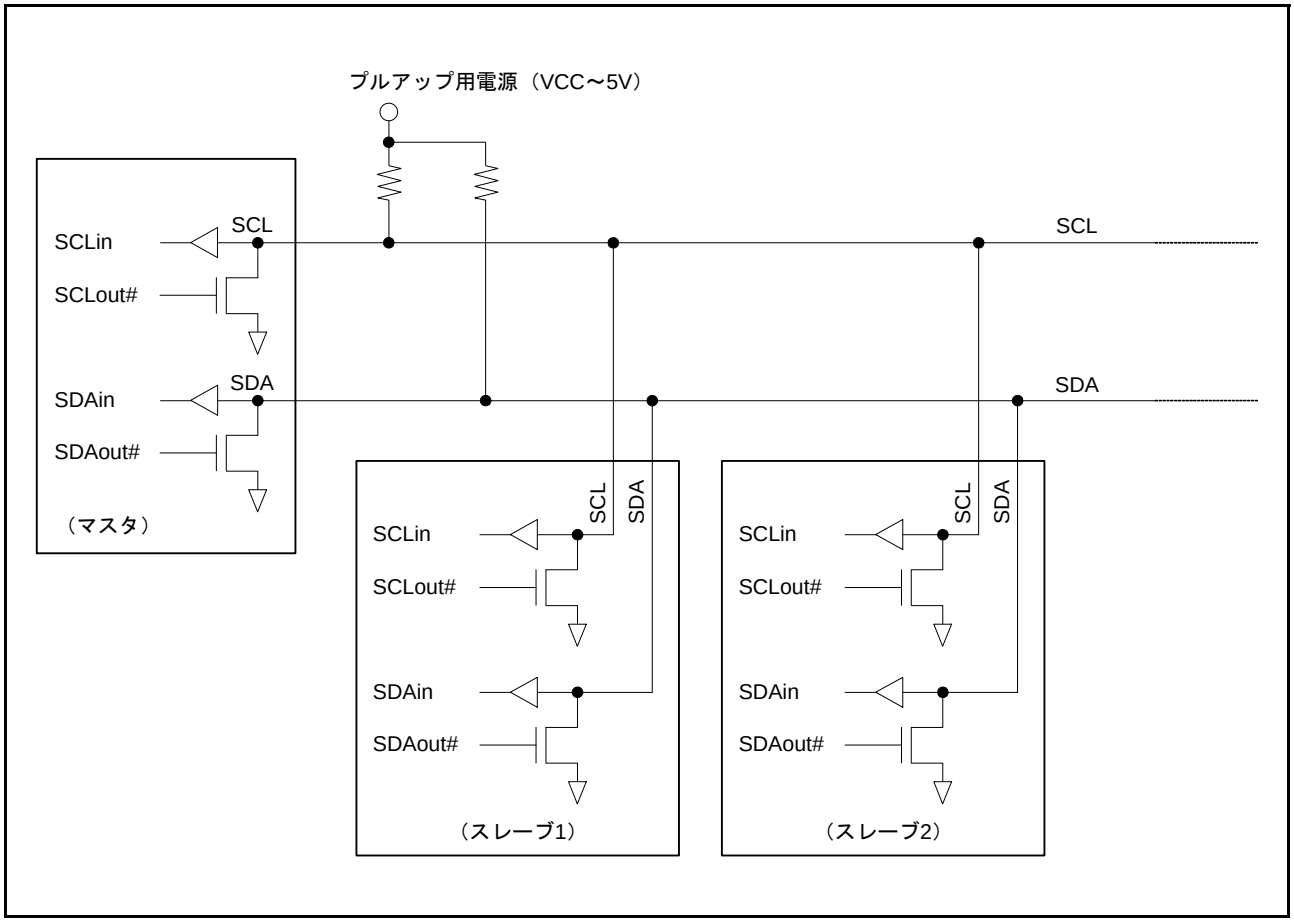


図 36.2　入出力端子の外部回路接続例（I2C バス構成例）

RIIC の各信号の入力レベルは、I2C バス選択時（ICMR3.SMBS ビット =0）、CMOS レベルであり、SMBus 選択時（ICMR3.SMBS ビット =1）、TTL レベルです。

表 36.2　RIICの入出力端子

チャネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1シリアルクロック入出力端子
	SDA1	入出力	RIIC1シリアルデータ入出力端子
RIIC2	SCL2	入出力	RIIC2シリアルクロック入出力端子
	SDA2	入出力	RIIC2シリアルデータ入出力端子
RIIC3	SCL3	入出力	RIIC3シリアルクロック入出力端子
	SDA3	入出力	RIIC3シリアルデータ入出力端子

36.2　レジスタの説明

36.2.1　I²C バスコントロールレジスタ 1（ICCR1）

アドレス　RIIC0.ICCR1 0008 8300h、RIIC1.ICCR1 0008 8320h、RIIC2.ICCR1 0008 8340h、RIIC3.ICCR1 0008 8360h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAバス入力モニタビット	0：SDAn端子入力はLow 1：SDAn端子入力はHigh	R
b1	SCLI	SCLバス入力モニタビット	0：SCLn端子入力はLow 1：SCLn端子入力はHigh	R
b2	SDAO	SDA出力制御ビット	• 読み出し時 0：SDAn端子はLow出力 1：SDAn端子はハイインピーダンス • 書き込み時 0：SDAn端子をLow出力に変更 1：SDAn端子をハイインピーダンスに変更 （外部プルアップ抵抗によりHigh出力）	R/W （注1、注2）
b3	SCLO	SCL出力制御ビット	• 読み出し時 0：SCLn端子はLow出力 1：SCLn端子はハイインピーダンス • 書き込み時 0：SCLn端子をLow出力に変更 1：SCLn端子をハイインピーダンスに変更 （外部プルアップ抵抗によりHigh出力）	R/W （注1、注2）
b4	SOWP	SCLO/SDAOライトプロテクトビット	0：SCLO、SDAOビットの値を設定 （読むと“1”が読めます）	R/W （注2）
b5	CLO	SCLクロック追加出力ビット	0：SCLクロックを追加で出力しない（通常状態） 1：SCLクロックを追加で出力する（1クロック出力後、自動的に“0”になる）	R/W
b6	IICRST	I²Cバスインタフェース内部リセットビット	0：RIIC/内部リセット解除 1：RIIC/内部リセット状態 （ビットカウンタのクリア、SCLn/SDAn出力ラッチを解除）	R/W
b7	ICE	I²Cバスインタフェース許可ビット	0：禁止（SCLn、SDAn端子非駆動状態） 1：許可（SCLn、SDAn端子駆動状態） （IICRSTビットとの組合せで、RIICリセット、内部リセットを選択）	R/W

注1.　通信中に書き込みをしないでください。通信中に値を変更すると、送信/受信動作の異常動作やALエラーが発生する場合があります。
注2.　SDAOビットおよびSCLOビットを書き換える場合は、SOWPビットを“0”にするのと同時に書き換えてください。

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。
通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「36.11.2　SCL クロック追加出力機能」を参照してください。

IICRST ビット（I²C バス内部リセットビット）

RIIC の内部状態をリセットします。
IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。
RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 36.3 に RIIC のリ

セットの種類を示します。

RIIC リセットでは ICCR2.BBSY フラグを含めた全レジスタおよび内部状態を、内部リセットではビットカウンタ（ICMR1.BC[2:0] ビット）、I²C バスシフトレジスタ（ICDRS）、I²C バスステータスレジスタ（ICSR1、ICSR2）および内部状態をリセットします。各レジスタのリセット状況については、**「36.14　リセット状況」**を参照してください。

動作中（ICE ビット =1 の状態）、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 / SDAn 端子をハイインピーダンスにしてバスを解放することができます。

注 .　スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 36.3　　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット（I²C バスインタフェース許可ビット）

SCLn、SDAn 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については**「表 36.3　RIIC のリセットの種類」**を参照してください。

RIIC を使用するときは、ICE ビットを “1” に設定してください。ICE ビットが “1” のとき、SCLn、SDAn 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを “0” に設定してください。ICE ビットが “0” のとき、SCLn、SDAn 端子非駆動状態になります。

また、マルチファンクションピンコントローラ（MPC）の設定で SCLn、SDAn 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

36.2.2　I²C バスコントロールレジスタ 2（ICCR2）

アドレス　RIIC0.ICCR2 0008 8301h、RIIC1.ICCR2 0008 8321h、RIIC2.ICCR2 0008 8341h、RIIC3.ICCR2 0008 8361h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0：受信モード 1：送信モード	R/W （注1）
b6	MST	マスタ/スレーブモードビット	0：スレーブモード 1：マスタモード	R/W （注1）
b7	BBSY	バスビジー検出フラグ	0：I²Cバスが解放状態（バスフリー状態） 1：I²Cバスが占有状態（バスビジー状態またはバスフリーの期間中）	R

注1.　ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット（スタートコンディション発行要求ビット）

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、**「36.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

［“1”になる条件］

- “1”を書いたとき

［“0”になる条件］

- “0”を書いたとき
- スタートコンディションの発行が完了したとき
- ICSR2.ALフラグが“1”になったとき（アービトレーションロスト）
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注．　STビットは、BBSYフラグが“0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。
BBSYフラグが“1”（バスビジー）のとき、STビットを“1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、**「36.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

［“1” になる条件］

- ICCR2.BBSY フラグが “1” の状態で、“1” を書いたとき

［“0” になる条件］

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ストップコンディション発行中に RS ビットを “1” にしないでください。

注 .　マスタモード以外で RS ビットに “1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは “1” のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、**「36.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

［“1” になる条件］

- ICCR2.BBSY フラグが “1” でかつ ICCR2.MST ビットが “1” の状態で、“1” を書いたとき

［“0” になる条件］

- “0” を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　BBSY フラグ =0（バスフリー）のとき書き込みはできません。

注 .　リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット（送信 / 受信モードビット）

送信 / 受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットなどで “1”/“0” になり、動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］
- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］
- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき（ジェネラルコールアドレス含む）
- スレーブモード時、リスタートコンディションを検出したとき（ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき）
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット（マスタ / スレーブモードビット）

マスタモード / スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行 / 検出などで “1”/“0” になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］
- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］
- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ（バスビジー検出フラグ）

I2C バスの占有（バスビジー）/ 解放状態（バスフリー）を示します。

SCLn ラインが High の状態で SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCLn ラインが High の状態で SDAn ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき “0” になります。

［“1” になる条件］

- スタートコンディションを検出したとき

［“0” になる条件］

- ストップコンディションを検出後、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

36.2.3　I²C バスモードレジスタ 1（ICMR1）

アドレス　RIIC0.ICMR1 0008 8302h、RIIC1.ICMR1 0008 8322h、RIIC2.ICMR1 0008 8342h

	b7	b6	b5	b4	b3	b2	b1	b0
	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2　b0 0 0 0：9ビット 0 0 1：2ビット 0 1 0：3ビット 0 1 1：4ビット 1 0 0：5ビット 1 0 1：6ビット 1 1 0：7ビット 1 1 1：8ビット	R/W （注1）
b3	BCWP	BCライトプロテクトビット	0：BC[2:0]の値を設定許可　（読むと“1”が読めます）	R/W （注1）
b6-b4	CKS[2:0]	内部基準クロック選択ビット	b6　b4 0 0 0：PCLK/1クロック 0 0 1：PCLK/2クロック 0 1 0：PCLK/4クロック 0 1 1：PCLK/8クロック 1 0 0：PCLK/16クロック 1 0 1：PCLK/32クロック 1 1 0：PCLK/64クロック 1 1 1：PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0：ICCR2.MST, TRSビットへの書き込み禁止 1：ICCR2.MST, TRSビットへの書き込み許可	R/W

注1.　BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にして、BC[2:0]ビットを書き換えてください。ビットの書き換えは、MOV命令で行います。

BC[2:0] ビット（ビットカウンタ）

SCLn ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数＋ 1 を指定し（データにアクノリッジ 1 ビットが付加されて転送される）、転送フレーム間でかつ SCLn ラインが Low の 状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出（リスタートコンディション含む）で自動的に “000b” に戻ります。

36.2.4　I²C バスモードレジスタ 2（ICMR2）

アドレス　RIIC0.ICMR2 0008 8303h、RIIC1.ICMR2 0008 8323h、RIIC2.ICMR2 0008 8343h、RIIC3.ICMR2 0008 8363h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0：SCLnラインがLowでカウント禁止 1：SCLnラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0：SCLnラインがHighでカウント禁止 1：SCLnラインがHighでカウント有効	R/W
b3	TMWE	タイムアウト内部カウンタ 書き込み許可ビット	0：タイムアウト機能の内部カウンタへの書き込み禁止 1：タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCS＝0（IICφ）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφの1サイクル 0 1 0：IICφの2サイクル 0 1 1：IICφの3サイクル 1 0 0：IICφの4サイクル 1 0 1：IICφの5サイクル 1 1 0：IICφの6サイクル 1 1 1：IICφの7サイクル • ICMR2.DLCS=1（IICφ/2）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφの1～2サイクル 0 1 0：IICφの3～4サイクル 0 1 1：IICφの5～6サイクル 1 0 0：IICφの7～8サイクル 1 0 1：IICφの9～10サイクル 1 1 0：IICφの11～12サイクル 1 1 1：IICφの13～14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0：SDA出力遅延カウンタのクロックソースに 内部基準クロック（IICφ）を選択 1：SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周（IICφ/2）を選択（注1）	R/W

注1.　SCL=Lowのときのみ DLCS=1（IICφ/2）の設定が有効になります。SCL=Highのとき DLCS=1の設定は無効となり内部基準クロック（IICφ）となります。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット =1）にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCLn ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック（IICφ）をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「36.11.1　タイムアウト検出機能」を参照してください。

TMOL ビット（タイムアウト L カウント制御ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット =1）に SCLn ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット（タイムアウト H カウント制御ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット =1）に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMWE ビット（タイムアウト内部カウンタ書き込み許可ビット）

スレーブアドレスレジスタ（SARL0/SARU0）のアドレスにタイムアウト内部カウンタ（TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「36.5　SDA 出力遅延機能」を参照してください。

注 .　SDA 出力遅延の設定は、I2C バス規格（データ有効時間 / アクノリッジ有効時間（注 1）内）または SMBus 規格（データホールド時間：300ns 以上、かつ SCL クロックの Low 幅－データセットアップ時間：250ns の範囲内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 1.　データ有効時間 / アクノリッジ有効時間
3,450ns（～ 100kbps：スタンダードモード [Sm]）
900ns（～ 400kbps：ファストモード [fm]）
450ns（～ 1Mbps：ファストモードプラス [fm+]）

36.2.5　I²C バスモードレジスタ 3（ICMR3）

アドレス　RIIC0.ICMR3 0008 8304h、RIIC1.ICMR3 0008 8324h、RIIC2.ICMR3 0008 8344h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0：1IICφ以下のノイズを除去（フィルタは1段） 0 1：2IICφ以下のノイズを除去（フィルタは2段） 1 0：3IICφ以下のノイズを除去（フィルタは3段） 1 1：4IICφ以下のノイズを除去（フィルタは4段）	R/W
b2	ACKBR	受信アクノリッジビット	0：アクノリッジビットに“0”を受信（ACK受信） 1：アクノリッジビットに“1”を受信（NACK受信）	R
b3	ACKBT	送信アクノリッジビット	0：アクノリッジビットに“0”を送出（ACK送信） 1：アクノリッジビットに“1”を送出（NACK送信）	R/W （注1）
b4	ACKWP	ACKBTライトプロテクトビット	0：ACKBTビットへの書き込み禁止 1：ACKBTビットへの書き込み許可	W （注1）
b5	RDRFS	RDRFフラグセットタイミング選択ビット	0：SCLクロックの9クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLowにホールドしない） 1：SCLクロックの8クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLowにホールドする） LowホールドはACKBTビットへの書き込みで解除	R/W （注2）
b6	WAIT	WAITビット	0：WAITなし （9クロック目と1クロック目の間をLowにホールドしない） 1：WAITあり （9クロック目と1クロック目の間をLowにホールドする） LowホールドはICDRRレジスタの読み出しで解除	R/W （注2）
b7	SMBS	SMBus/I²Cバス選択ビット	0：I²C バス選択 1：SMBus 選択	R/W

注1.　ACKWPビットは、ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。
注2.　WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット（ノイズフィルタ段数選択ビット）

デジタルノイズフィルタの段数を選択します。

注 .　ノイズフィルタで除去するノイズ幅の設定は、SCLn ラインの High/Low 幅よりも狭くしてください。（SCL クロックの幅：High 幅または Low 幅のいずれか短い方）－｛1.5 内部基準クロック同期（IICφ）＋アナログノイズフィルタ：120 ns（参考値）｝と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1” になる条件]

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “1” を受信したとき

[“0” になる条件]

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “0” を受信したとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

［“1” になる条件］

- ACKWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］

- ACKWP ビットが “1” の状態で “0” を書いたとき
- ストップコンディションの発行を検出したとき（ICCR2.SP ビットが “1” の状態でストップコンディションを検出したとき）
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

注 .　ACKBT ビットに書く場合には、ACKWP ビットが “1” の状態で行ってください。ACKWP ビットが “0” の状態で書いた場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドします。この SCLn ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK（ACKBT ビットが “0”）または NACK（ACKBT ビットが “1”）を送出する処理が可能です。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ（ICDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注 .　WAIT ビットを “0” にする場合は、ICDRR を先に読んでから “0” にしてください。

SMBS ビット（SMBus/I²C バス選択ビット）

SMBS ビットを “1” にすると、SMBus が選択され ICSER.HOAE ビットが有効になります。

36.2.6　I²C バスファンクションイネーブルレジスタ（ICFER）

アドレス　RIIC0.ICFER　0008 8305h、RIIC1.ICFER　0008 8325h、RIIC2.ICFER 0008 8345h、RIIC3.ICFER 0008 8365h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0：タイムアウト検出機能無効 1：タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0：マスタのアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う）	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0：NACK送信アービトレーションロスト検出禁止 1：NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0：NACK受信時、転送を中断しない（転送中断禁止） 1：NACK受信時、転送を中断する（転送中断許可）	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0：SCL同期回路無効 1：SCL同期回路有効	R/W
b7	FMPE （注1）	ファストモードプラス有効ビット	0：SCLn端子/SDAn端子にfm+用スロープ制御回路を使用しない 1：SCLn端子/SDAn端子にfm+用スロープ制御回路を使用する	R/W

注1.　ファストモードプラス有効ビット（FMPE）は、RIIC0のみ対応しています、RIIC1～RIIC3では、b7は予約ビットになります。

TMOE ビット（タイムアウト検出機能有効ビット）

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「36.11.1　タイムアウト検出機能」を参照してください。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

マスタモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は “1” にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。

NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが “0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

SCLE ビット（SCL 同期回路有効ビット）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は “1” にしてください。

SCLE ビットを “0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIIC は SCLn ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

FMPE ビット（ファストモードプラス有効ビット）

スロープ制御回路をファストモードプラス [fm+] 用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを “1” にすると I²C バスのファストモードプラス [fm+] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択され、“0” にすると I²C バスのスタンダードモード [Sm] およびファストモード [fm] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択されます。

通信速度を I²C バス規格の～ 1Mbps（ファストモードプラス [fm+]）で使用する場合は “1” にし、それ以外の通信速度（～ 100kbps[Sm]、～ 400kbps[fm]）または SMBus（10kbps ～ 100kbps）で使用する場合は “0” にしてください。

36.2.7　I2C バスステータスイネーブルレジスタ（ICSER）

アドレス　RIIC0.ICSER 0008 8306h、RIIC1.ICSER 0008 8326h、RIIC2.ICSER 0008 8346h、RIIC3.ICSER 0008 8366h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0：SARL0、SARU0の設定値は無効 1：SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0：SARL1、SARU1の設定値は無効 1：SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0：SARL2、SARU2の設定値は無効 1：SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0：デバイスIDアドレス検出は無効 1：デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0：ホストアドレス検出は無効 1：ホストアドレス検出は有効	R/W

SARyE ビット（スレーブアドレスレジスタ y 許可ビット）（y= 0 ～ 2）

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを “1” にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを “0” にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット（ジェネラルコールアドレス許可ビット）

ジェネラルコールアドレス（0000 000b ＋ 0[W]：All“0”）を受信した場合、無視するかどうかを選択します。

GCAE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ（y=0 ～ 2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出許可ビット）

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（1111 100b）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0”[W] のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、**「36.7.3　デバイス ID アドレス検出機能」**を参照してください。

HOAE ビット（ホストアドレス許可ビット）

ICMR3.SMBS ビットが “1” の場合、ホストアドレス（0001 000b）を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが “1” でかつ HOAE ビットが “1” の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ（y=0 ～ 2）で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが “0” または HOAE ビットが “0” の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

36.2.8　I²C バスインタラプトイネーブルレジスタ（ICIER）

アドレス　RIIC0.ICIER 0008 8307h、RIIC1.ICIER 0008 8327h、RIIC2.ICIER 0008 8347h、RIIC3.ICIER 0008 8367h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み許可ビット	0：タイムアウト割り込み（TMOI）の禁止 1：タイムアウト割り込み（TMOI）の許可	R/W
b1	ALIE	アービトレーションロスト割り込み許可ビット	0：アービトレーションロスト割り込み（ALI）の禁止 1：アービトレーションロスト割り込み（ALI）の許可	R/W
b2	STIE	スタートコンディション検出割り込み許可ビット	0：スタートコンディション検出割り込み（STI）の禁止 1：スタートコンディション検出割り込み（STI）の許可	R/W
b3	SPIE	ストップコンディション検出割り込み許可ビット	0：ストップコンディション検出割り込み（SPI）の禁止 1：ストップコンディション検出割り込み（SPI）の許可	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0：NACK受信割り込み（NAKI）の禁止 1：NACK受信割り込み（NAKI）の許可	R/W
b5	RIE	受信データフル割り込み許可ビット	0：受信データフル割り込み（ICRXI）の禁止 1：受信データフル割り込み（ICRXI）の許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0：送信終了割り込み（ICTEI）の禁止 1：送信終了割り込み（ICTEI）の許可	R/W
b7	TIE	送信データエンプティ割り込み許可ビット	0：送信データエンプティ割り込み（ICTXI）の禁止 1：送信データエンプティ割り込み（ICTXI）の許可	R/W

TMOIE ビット（タイムアウト割り込み許可ビット）

ICSR2.TMOF フラグが “1” のとき、タイムアウト割り込み（TMOI）の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

ICSR2.AL フラグが “1” のとき、アービトレーションロスト割り込み（ALI）の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み許可ビット）

ICSR2.START フラグが “1” のとき、スタートコンディション検出割り込み（STI）の許可 / 禁止を選択します。STI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み許可ビット）

ICSR2.STOP フラグが “1” のとき、ストップコンディション検出割り込み（SPI）の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット（NACK 受信割り込み許可ビット）

ICSR2.NACKF フラグが “1” のとき、NACK 受信割り込み（NAKI）の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット（受信データフル割り込み許可ビット）

ICSR2.RDRF フラグが “1” の とき、受信データフル割り込み（ICRXI）の許可 / 禁止を選択します。

TEIE ビット（送信終了割り込み許可ビット）

ICSR2.TEND フラグが “1” の とき、送信終了割り込み（ICTEI）の許可 / 禁止を選択します。ICTEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット（送信データエンプティ割り込み許可ビット）

ICSR2.TDRE フラグが 1” のとき、送信データエンプティ割り込み（ICTXI）の許可 / 禁止を選択します。

36.2.9　I²C バスステータスレジスタ 1（ICSR1）

アドレス　RIIC0.ICSR1 0008 8308h、RIIC1.ICSR1 0008 8328h、RIIC2.ICSR1 0008 8348h、RIIC3.ICSR1 0008 8368h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0：スレーブアドレス0未検出 1：スレーブアドレス0検出 • SARU0.FSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL0.SVA[6:0]と一致したとき • SARU0.FSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0b＋SARU0.SVA[1:0]に一致し、それに続くアドレスがSARL0レジスタと一致したとき （“1”になるタイミングは、SARL0一致判定フレームのSCLクロックの9クロック目の立ち上がり時）	R(/W) （注1）
b1	AAS1	スレーブアドレス1検出フラグ	0：スレーブアドレス1未検出 1：スレーブアドレス1検出 • SARU1.FSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL1.SVA[6:0]と一致したとき • SARU1.FSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0b＋SARU1.SVA[1:0]に一致し、それに続くアドレスがSARL1レジスタと一致したとき （“1”になるタイミングは、SARL1一致判定フレームのSCLクロックの9クロック目の立ち上がり時）	R(/W) （注1）
b2	AAS2	スレーブアドレス2検出フラグ	0：スレーブアドレス2未検出 1：スレーブアドレス2検出 • SARU2.FSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL2.SVA[6:0]と一致したとき • SARU2.FSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0b＋SARU2.SVA[1:0]に一致し、それに続くアドレスがSARL2レジスタと一致したとき （“1”になるタイミングは、SARL2一致判定フレームのSCLクロックの9クロック目の立ち上がり時）	R(/W) （注1）
b3	GCA	ジェネラルコールアドレス検出フラグ	0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出 • 受信したスレーブアドレスがジェネラルコールアドレス（All“0”）と一致した場合	R(/W) （注1）
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0：デバイスIDアドレス未検出 1：デバイスIDアドレス検出 • スタートコンディション直後の第1フレームがデバイスIDアドレス（1111 100b）＋0[W]と一致した場合	R(/W) （注1）
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0：ホストアドレス未検出 1：ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス（0001 000b）と一致した場合	R(/W) （注1）

注1.　“0”のみ書けます。

AASy フラグ（スレーブアドレス y 検出フラグ）（y= 0 ～ 2）

［“1” になる条件］

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0b ＋ SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0b ＋ SARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0b ＋ SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ（ジェネラルコールアドレス検出フラグ）

［“1” になる条件］

- ICSER.GCAE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.GCAE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ（デバイス ID アドレス検出フラグ）

［“1” になる条件］

- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）＋ 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）＋ 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ（ホストアドレス検出フラグ）

［“1” になる条件］

- ICSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000b）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICMR3.SMBS ビットに “0” または ICSER.HOAE ビットに “0” を書いたとき
- ICSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000b）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

36.2.10　I²C バスステータスレジスタ 2（ICSR2）

アドレス　RIIC0.ICSR2 0008 8309h、RIIC1.ICSR2 0008 8329h、RIIC2.ICSR2 0008 8349h、RIIC3.ICSR2 0008 8369h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0：タイムアウト未検出 1：タイムアウト検出	R(/W) （注1）
b1	AL	アービトレーションロストフラグ	0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり	R(/W) （注1）
b2	START	スタートコンディション検出フラグ	0：スタートコンディション未検出 1：スタートコンディション検出	R(/W) （注1）
b3	STOP	ストップコンディション検出フラグ	0：ストップコンディション未検出 1：ストップコンディション検出	R(/W) （注1）
b4	NACKF	NACK検出フラグ	0：NACK未検出 1：NACK検出	R(/W) （注1）
b5	RDRF	受信データフルフラグ	0：ICDRRレジスタに受信データなし 1：ICDRRレジスタに受信データあり	R(/W) （注1）
b6	TEND	送信終了フラグ	0：データ送信中 1：データ送信終了	R(/W) （注1）
b7	TDRE	送信データエンプティフラグ	0：ICDRTレジスタに送信データあり 1：ICDRTレジスタに送信データなし	R

注1.　“0”のみ書けます。

TMOF フラグ（タイムアウト検出フラグ）

SCLn ラインの状態が一定期間変化しない場合、タイムアウトを認識して “1” になります。

[“1” になる条件]

- ICFER.TMOE ビットが “1”（タイムアウト検出機能有効）で、かつマスタモードまたはスレーブ指定された状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCLn ラインの状態に変化がないとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDAn ラインのレベルを監視し、出力データと SDAn ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

［“1” になる条件］

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット＝ 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（＝ SDAn 端子はハイインピーダンス）で、SDAn ラインに Low を検出）したとき
- ICCR2.ST ビットが “1”（スタートコンディション発行要求）の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが “1” の状態で ICCR2.ST ビットが “1”（スタートコンディション発行要求）に設定したとき

【NACK アービトレーションロスト検出有効時：ICFER.NALE ビット＝ 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット＝ 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 36.4　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST=1の状態でスタートコンディション検出時に自分が出したSDA信号とSDAnライン上の信号の状態が不一致のとき
					ICCR2.BBSY=1の状態でICCR2.ST=1にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x：Don’t care

START フラグ（スタートコンディション検出フラグ）

［“1” になる条件］

- スタートコンディション（リスタートコンディション含む）を検出したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

［“1” になる条件］

- ストップコンディションを検出したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 検出フラグ）

［“1” になる条件］

- ICFER.NACKE ビットが “1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 1.　NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ（受信データフルフラグ）

［“1” になる条件］

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで “1” になります。
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが “0” のとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ（送信終了フラグ）

［“1” になる条件］

- TDRE フラグが “1” の状態で、SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ（送信データエンプティフラグ）

［“1” になる条件］

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが “1” になったとき

  a. スタートコンディション（リスタートコンディション含む）検出後、ICCR2.MST ビットが “1” のとき

  b. 受信モードから送信モードになったとき

  c. ICMR1.MTWP ビットが “1” の状態で、“1” を書いたとき
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

［“0” になる条件］

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが “0” になったとき

  a. ストップコンディションを検出したとき

  b. 送信モードから受信モードになったとき

  c. ICMR1.MTWP ビットが “1” の状態で、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ICFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このとき、TDRE フラグが “0” の状態（次の送信データが既に書き込まれている状態）の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空状態になりますが、TDRE フラグは “1” になりません。

36.2.11　スレーブアドレスレジスタ Ly（SARLy）（y= 0 ～ 2）

アドレス　RIIC0.SARL0 0008 830Ah、RIIC1.SARL0 0008 832Ah、RIIC2.SARL0 0008 834Ah、RIIC3.SARL0 0008 836Ah
RIIC0.SARL1 0008 830Ch、RIIC1.SARL1 0008 832Ch、RIIC2.SARL1 0008 834Ch、RIIC3.SARL1 0008 836Ch
RIIC0.SARL2 0008 830Eh、RIIC1.SARL2 0008 832Eh、RIIC2.SARL2 0008 834Eh、RIIC3.SARL2 0008 836Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	SVA[6:0]							SVA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。 • SARUy.FSビット=0（7ビットアドレスフォーマット選択）のとき、SVA0ビットは無効になる • SARUy.FSビット=1（10ビットアドレスフォーマット選択）のとき、SVA0ビットが有効になり、SVA[6:0]ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレスを設定してください。 • SARUy.FSビット=0（7ビットアドレスフォーマット選択）のとき、SVA[6:0]ビットは7ビットスレーブアドレスになる • SARUy.FSビット=1（10ビットアドレスフォーマット選択）のとき、SVA[6:0]ビットはSVA0ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる	R/W

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（SARUy.FS ビット =1）、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

SVA[6:0] ビット（7 ビットアドレス /10 ビットアドレス下位ビット）

7 ビットアドレスフォーマット選択時（SARUy.FS ビット =0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（SARUy.FS ビット =1）、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが “0” のとき設定値は無視されます。

36.2.12　スレーブアドレスレジスタ Uy（SARUy）（y= 0 ～ 2）

アドレス　RIIC0.SARU0 0008 830Bh、RIIC1.SARU0 0008 832Bh、RIIC2.SARU0 0008 834Bh、RIIC3.SARU0 0008 834Bh
RIIC0.SARU1 0008 830Dh、RIIC1.SARU1 0008 832Dh、RIIC2.SARU1 0008 834Dh、RIIC3.SARU1 0008 836Dh
RIIC0.SARU2 0008 830Fh、RIIC1.SARU2 0008 832Fh、RIIC2.SARU2 0008 834Fh、RIIC3.SARU2 0008 836Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレス フォーマット選択ビット	0：7ビットアドレスフォーマット選択 1：10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください • SARUy.FSビット=0（7ビットアドレスフォーマット選択）のとき、SVA[1:0]ビットは無効になる • SARUy.FSビット=1（10ビットアドレスフォーマット選択）のとき、SVA[1:0]ビットが有効になり、10ビットスレーブアドレスの上位2ビットアドレスになる	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット（7 ビット /10 ビットアドレスフォーマット選択ビット）

スレーブアドレス y（SARLy、SARUy レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが “0”（SARLy、SARUy レジスタ無効）のとき SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット（10 ビットアドレス上位ビット）

10 ビットアドレスフォーマット選択時（FS ビット =1）、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

36.2.13　I2C バスビットレートローレベルレジスタ（ICBRL）

アドレス　RIIC0.ICBRL　0008 8310h、RIIC1.ICBRL 0008 8330h、RIIC2.ICBRL 0008 8350h、RIIC3.ICBRL 0008 8370h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRL[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「36.8　SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注 1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

注 1.　データセットアップ時間（tSU:DAT）
250ns（～ 100kbps : スタンダードモード [Sm]）
100ns（～ 400kbps : ファストモード [fm]）
50ns （～ 1Mbps　: ファストモードプラス [fm+]）

36.2.14　I2C バスビットレートハイレベルレジスタ（ICBRH）

アドレス　RIIC0.ICBRH　0008 8311h、RIIC1.ICBRH 0008 8331h、RIIC2.ICBRH 0008 8351h、RIIC3.ICBRH 0008 8371h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRH[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレート High 幅設定ビット	SCL クロックの High 幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ICBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース（IICφ）で High 幅をカウントします。

I2C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

転送速度 = 1 / {[(ICBRH+1) ＋ (ICBRL+1)] / IICφ（注 1）＋ SCLn ライン立ち上がり時間 [tr] ＋ SCLn ライン立ち下がり時間 [tf] }

デューティ比 = {SCLn ライン立ち上がり時間 [tr]（注 2）＋ (ICBRH+1) / IICφ} / {SCLn ライン立ち下がり時間 [tf]（注 2）＋ (ICBRL+1)/ IICφ}

注 1.　IICφ ＝ PCLK × 分周比

注 2.　SCLn ライン立ち上がり時間 [tr]、SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I2C バス規格書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 36.5 に示します。

表36.5　転送速度に対するICBRH、ICBRLレジスタの設定例（1）

転送速度（kbps）	動作周波数PCLK（MHz）								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22（F6h）	25（F9h）	101b	13（EDh）	15（EFh）	101b	16（F0h）	20（F4h）
50	010b	16（F0h）	19（F3h）	010b	21（F5h）	24（F8h）	011b	12（ECh）	15（EFh）
100	001b	15（EFh）	18（F2h）	001b	19（F3h）	23（F7h）	001b	24（F8h）	29（FDh）
400	000b	4（E4h）	10（EAh）	000b	5（E5h）	12（ECh）	000b	7（E7h）	16（F0h）
1000	000b	2（E2h）	3（E3h）	000b	2（E2h）	4（E4h）	000b	3（E3h）	6（E6h）

表36.5　転送速度に対するICBRH、ICBRLレジスタの設定例（2）

転送速度（kbps）	動作周波数PCLK（MHz）								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22（F6h）	25（F9h）	110b	13（EDh）	15（EFh）	110b	16（F0h）	20（F4h）
50	011b	16（F0h）	19（F3h）	011b	21（F5h）	24（F8h）	100b	12（ECh）	15（EFh）
100	010b	15（EFh）	18（F2h）	010b	19（F3h）	23（F7h）	010b	24（F8h）	29（FDh）
400	000b	9（E9h）	20（F4h）	000b	11（EBh）	25（F9h）	001b	7（E7h）	16（F0h）
1000	000b	4（E4h）	7（E7h）	000b	5（E5h）	9（E9h）	000b	6（E6h）	12（ECh）

表36.5　転送速度に対するICBRH、ICBRLレジスタの設定例（3）

転送速度（kbps）	動作周波数PCLK（MHz）								
	30			33			50		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20（F4h）	24（F8h）	110b	22（F6h）	26（FAh）	111b	16（F0h）	20（F4h）
50	100b	15（EFh）	18（F2h）	100b	17（F1h）	20（F4h）	100b	26（FAh）	31（FFh）
100	010b	2（E2h）	3（E3h）	011b	16（F0h）	19（F3h）	011b	24（F8h）	29（FDh）
400	001b	8（E8h）	19（F3h）	001b	9（E9h）	21（F5h）	010b	7（E7h）	16（F0h）
1000	000b	7（E7h）	14（EEh）	000b	8（E8h）	16（F0h）	000b	12（ECh）	24（F8h）

注.　SCLnラインの立ち上がり時間（tr）を～100kbps以下[Sm]は1000ns、～400kbps[Fm]は300ns、～1Mbps[Fm+]は120ns、SCLnラインの立ち下がり時間（tf）を～400kbps以下[Sm/Fm]は300ns、～1Mbps[Fm+]は120nsとして計算した場合の設定例です。
SCLnライン立ち上がり時間（tr）、SCLnライン立ち下がり時間（tf）の規格値についてはNXP社のI²Cバス規格書を参照してください。

36.2.15　I2C バス送信データレジスタ（ICDRT）

アドレス　RIIC0.ICDRT　0008 8312h、RIIC1.ICDRT 0008 8332h、RIIC2.ICDRT 0008 8352h、RIIC3.ICDRT 0008 8372h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

I2C バスシフトレジスタ（ICDRS）の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（ICTXI）要求が発生したときに 1 回だけ行ってください。

36.2.16　I2C バス受信データレジスタ（ICDRR）

アドレス　RIIC0.ICDRR　0008 8313h、RIIC1.ICDRR 0008 8333h、RIIC2.ICDRR 0008 8353h、RIIC3.ICDRR 0008 8373h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

1 バイトのデータの受信が終了すると、受信したデータは I2C バスシフトレジスタ（ICDRS）から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み（ICRXI）要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま（ICSR2.RDRF フラグが “1” の状態のまま）次の受信データを受け取ると、RIIC は RDRF フラグを次に “1” になるタイミングの 1 つ手前の SCLn クロックで自動的に Low ホールドを行います。

36.2.17　I2C バスシフトレジスタ（ICDRS）

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

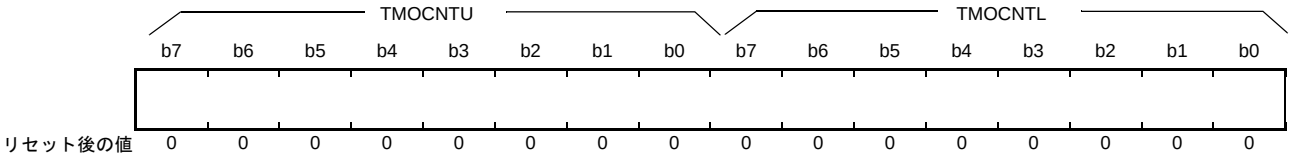
送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDAn 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスするこはできません。

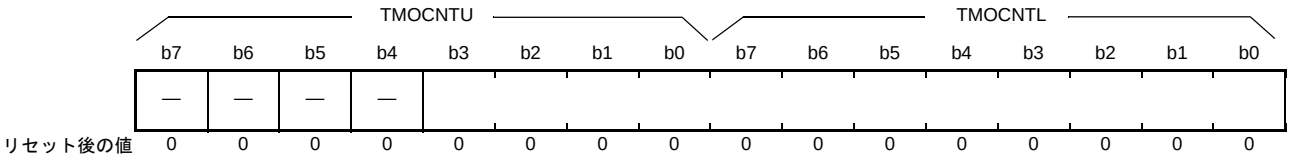
36.2.18　タイムアウト 内部カウンタ（TMOCNT）

アドレス　RIIC0.TMOCNTL 0008 830Ah（注1）、RIIC1.TMOCNTL 0008 832Ah（注1）、
RIIC0.TMOCNTU 0008 830Bh（注1）、RIIC1.TMOCNTU 0008 832Bh（注1）

- TMOS = 0（ロングモード）時



- TMOS = 1（ショートモード）時



注1.　スレーブアドレスレジスタSARL0、SARU0のアドレスと同一です。ご注意ください。

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTL	タイムアウト内部カウンタ	タイムアウト内部カウンタ下位	W（注1）

注1.　タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読みだされます。

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTU	タイムアウト内部カウンタ	タイムアウト内部カウンタ上位（注1）	W（注2）

注1.　TMOS = 1（ショートモード）時、b7-b4はリザーブビットになります。書き込み可能ですが、書き込み値は無効です。
注2.　タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読みだされます。

タイムアウト内部カウンタ（TMOCNTL/TMOCNTU）は、リセット時、ICCRI.IICRST = 1 にしたとき、もしくは ICFER.TMOE = 1 でかつ、ICMR1.CKS[2:0] = 000b の PCLK/1 で使用し、ICMR2 の TMOH/TMOL で設定したカウンタクリア条件（SCL 立ち上がり / 立ち下がりエッジ検出）が成立したとき、初期化（00h）されます。

TMOCNTL レジスタと TMOCNTU レジスタは、16 ビットレジスタとして 16 ビットアクセスすることも可能です。16 ビットアクセスする場合は、**表 36.6** に記載のアドレスへアクセスしてください。

表36.6　16ビットアクセスレジスタの配置

アドレス	上位8ビット	下位8ビット
0008 830Ah	RIIC0.TMOCNTU	RIIC0.TMOCNTL
0008 832Ah	RIIC1.TMOCNTU	RIIC1.TMOCNTL

36.3　動作説明

36.3.1　通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 36.3 に I²C バスフォーマットを、図 36.4 に I²C バスタイミングを示します。

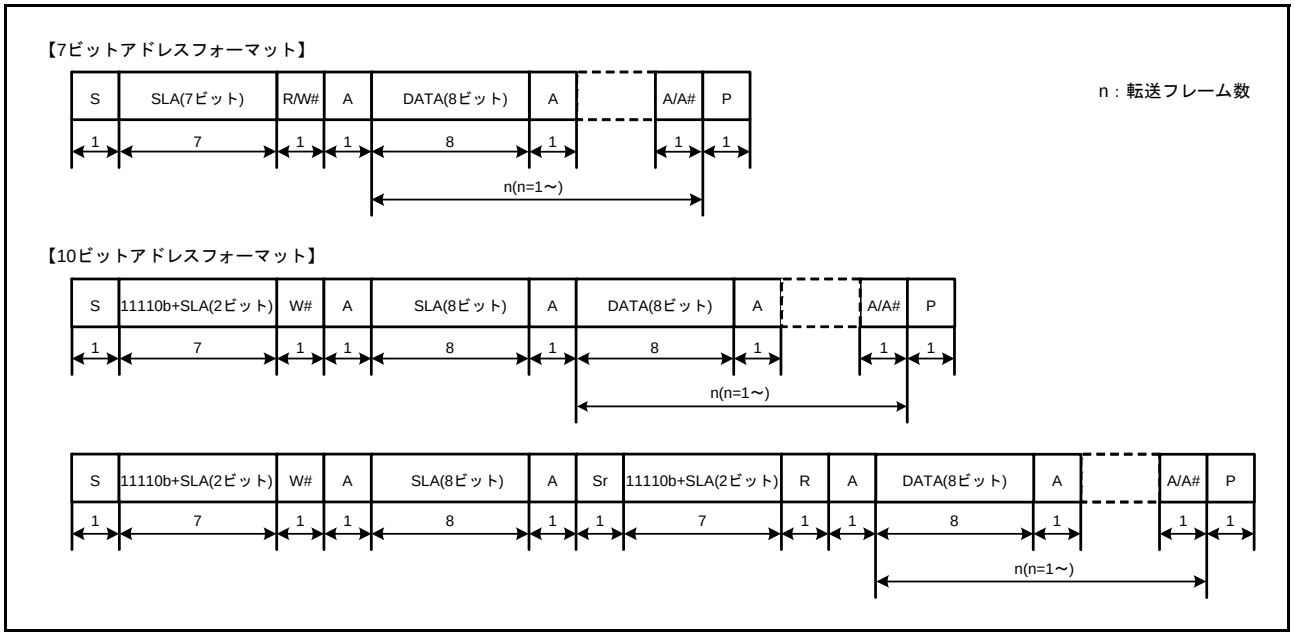


図 36.3　I²C バスフォーマット

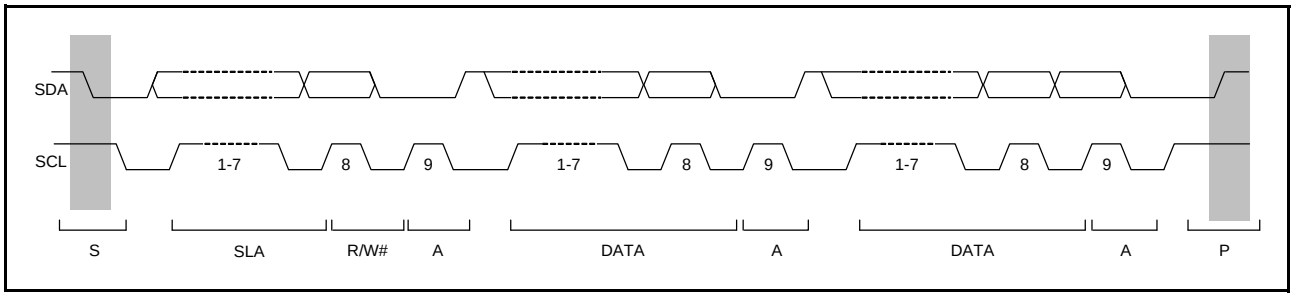


図 36.4　I²C バスタイミング（SLA=7 ビットの場合）

S　：スタートコンディションを示します。マスタデバイスが、SCLn ラインが High の状態で SDAn ラインが High から Low に変化します。

SLA　：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#　：送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A　：アクノリッジを示します。受信デバイスが SDAn ラインを Low にします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

Sr　：リスタートコンディションを示します。マスタデバイスが、SCLn ラインが High の状態でセットアップ時間経過後に SDAn ラインが High から Low に変化します。

DATA　：送受信データを示します。

P　：ストップコンディションを示します。マスタデバイスが、SCLn ラインが High の状態で SDAn ラインが Low から High に変化します。

36.3.2　初期設定

データの送信 / 受信を開始する場合、**図 36.5** に示す手順に従って RIIC を初期化してください。

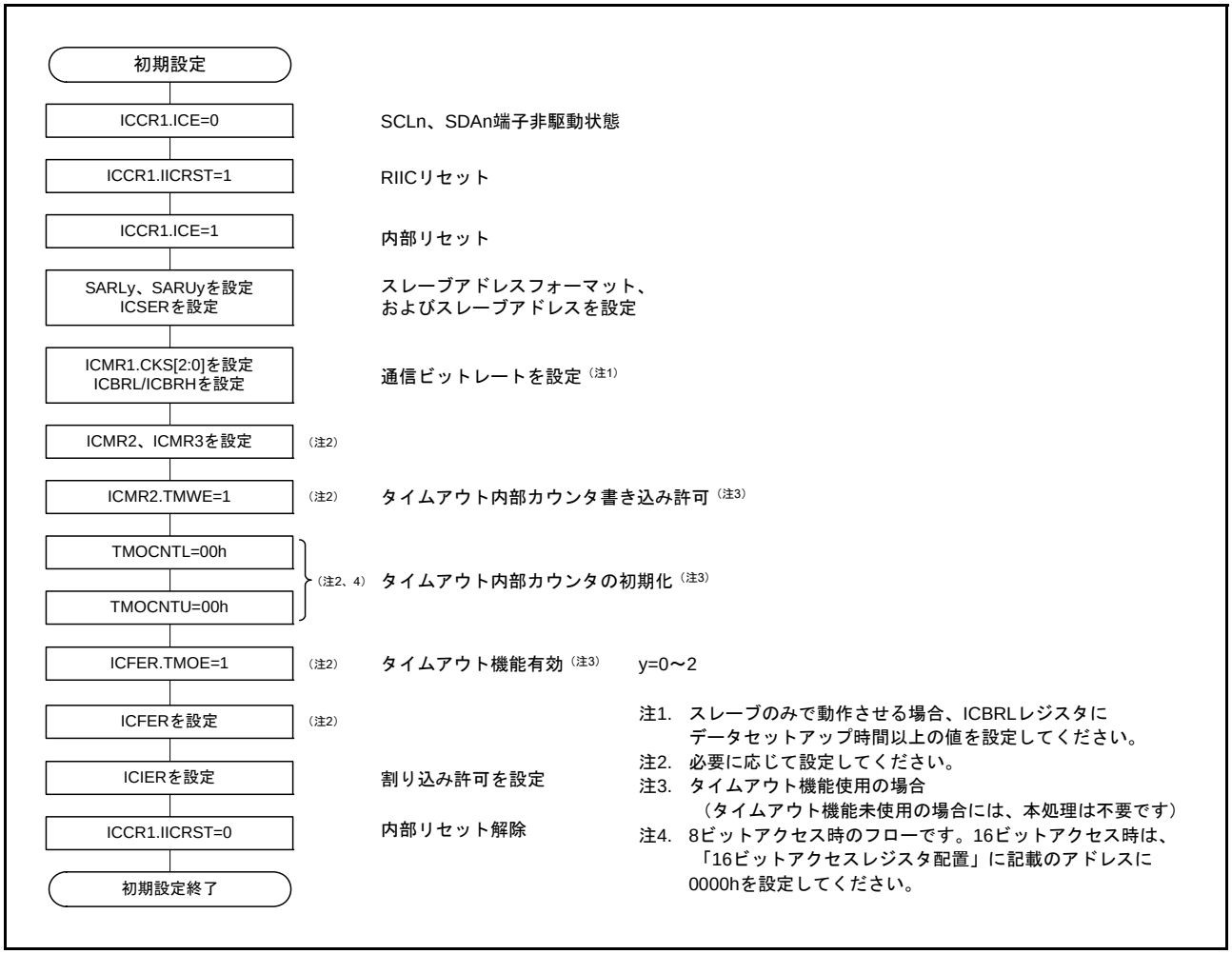


図 36.5　RIIC の初期化フローチャート例

36.3.3　マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 36.6 にマスタ送信の使用例を、図 36.7 ～図 36.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) ICCR1.ICE ビットを “0”（SCLn、SDAn 端子非駆動状態）にしたまま ICCR1.IICRST ビットを “1”（RIIC リセット）にした後、ICCR1.ICE ビットを “1”（内部リセット）にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については図 36.5 参照）。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDAn ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビット =1 により自動的に “1” になります。

(3) ICSR2.TDRE フラグが “ 1 ” であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビット =0 を受信すると、引き続きマスタ送信モードの状態を継続します。

このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行われます。

なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット＋ W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) ICSR2.TDRE フラグが “ 1 ” であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCLn ラインを Low にホールドします。

(5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが “1” になるまで待ってから ICCR2.SP ビットに “1” を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に “0” になり、ICSR2.STOP フラグが “1” になります。

(7) ICSR2.STOP フラグが “ 1 ” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

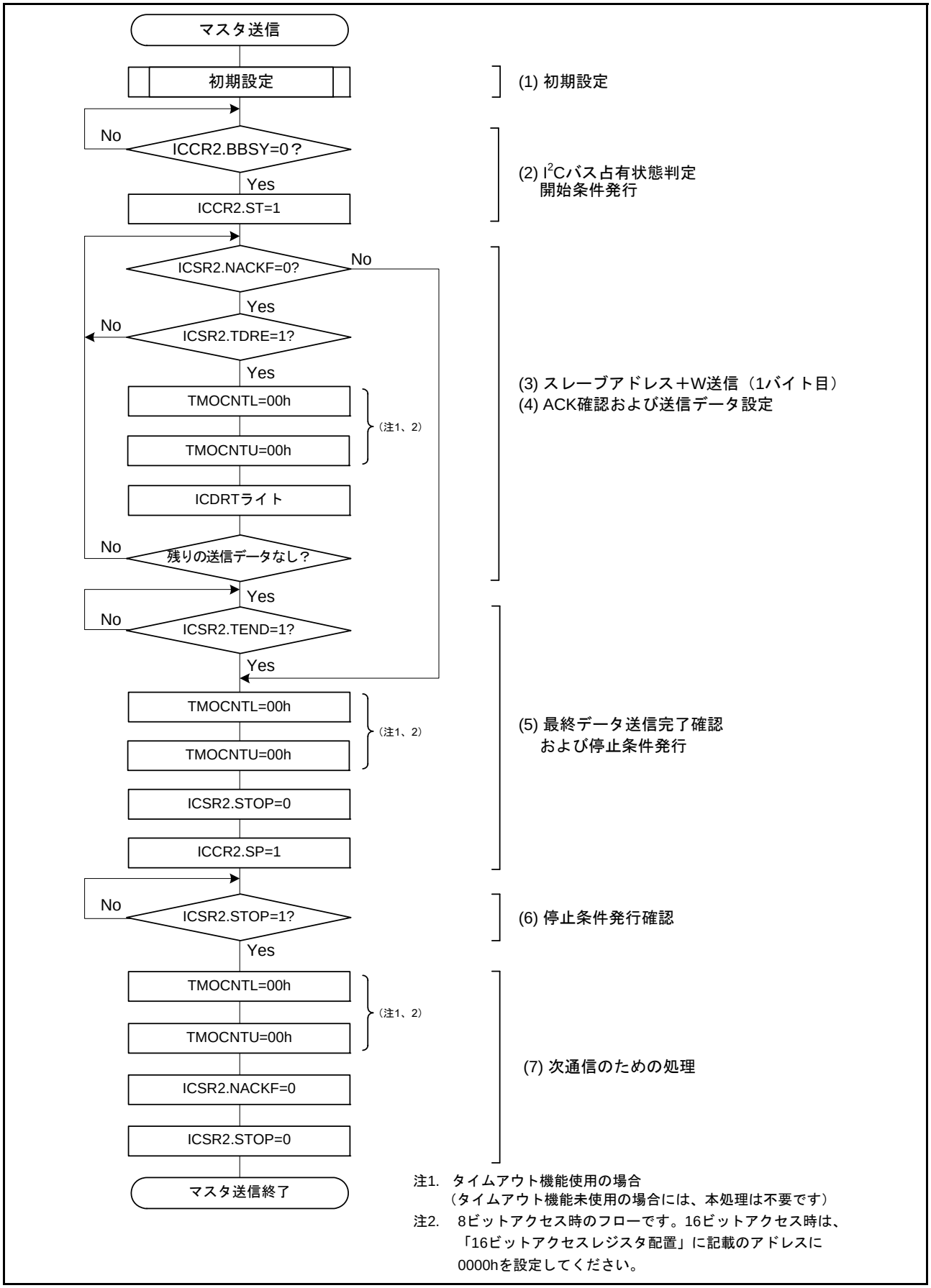


図 36.6　マスタ送信のフローチャート例

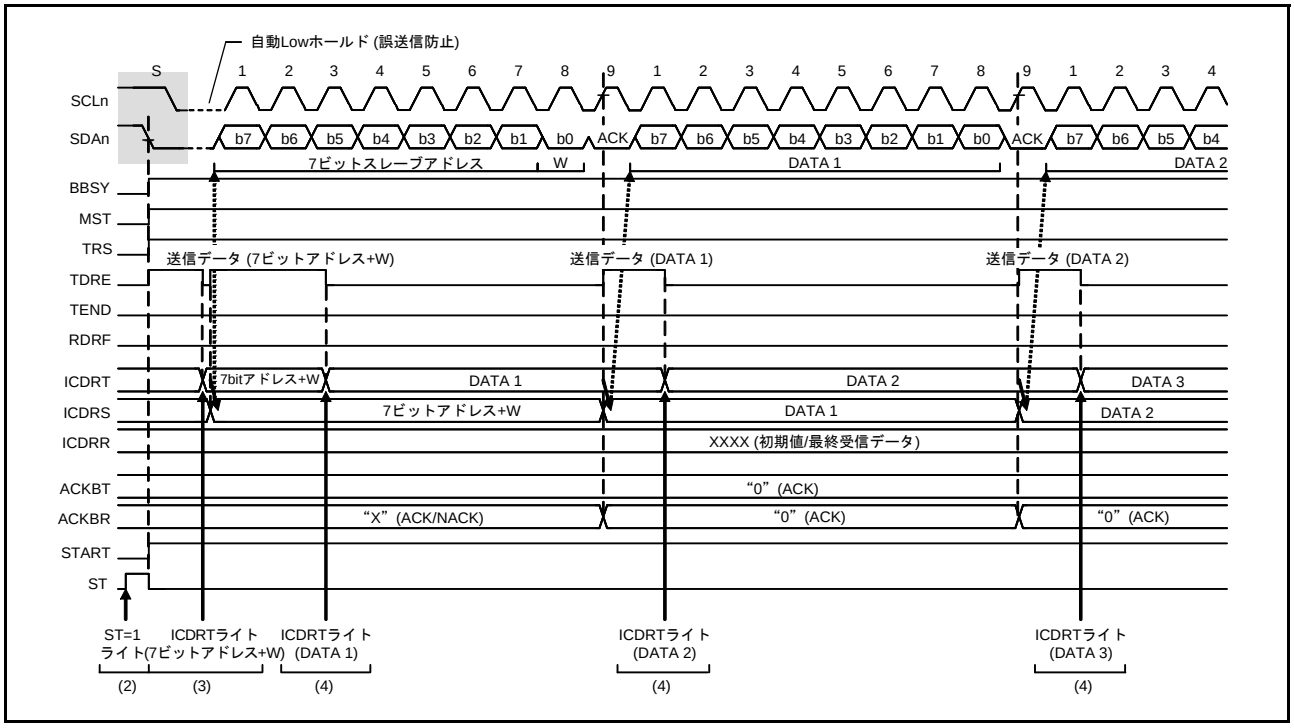


図 36.7　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

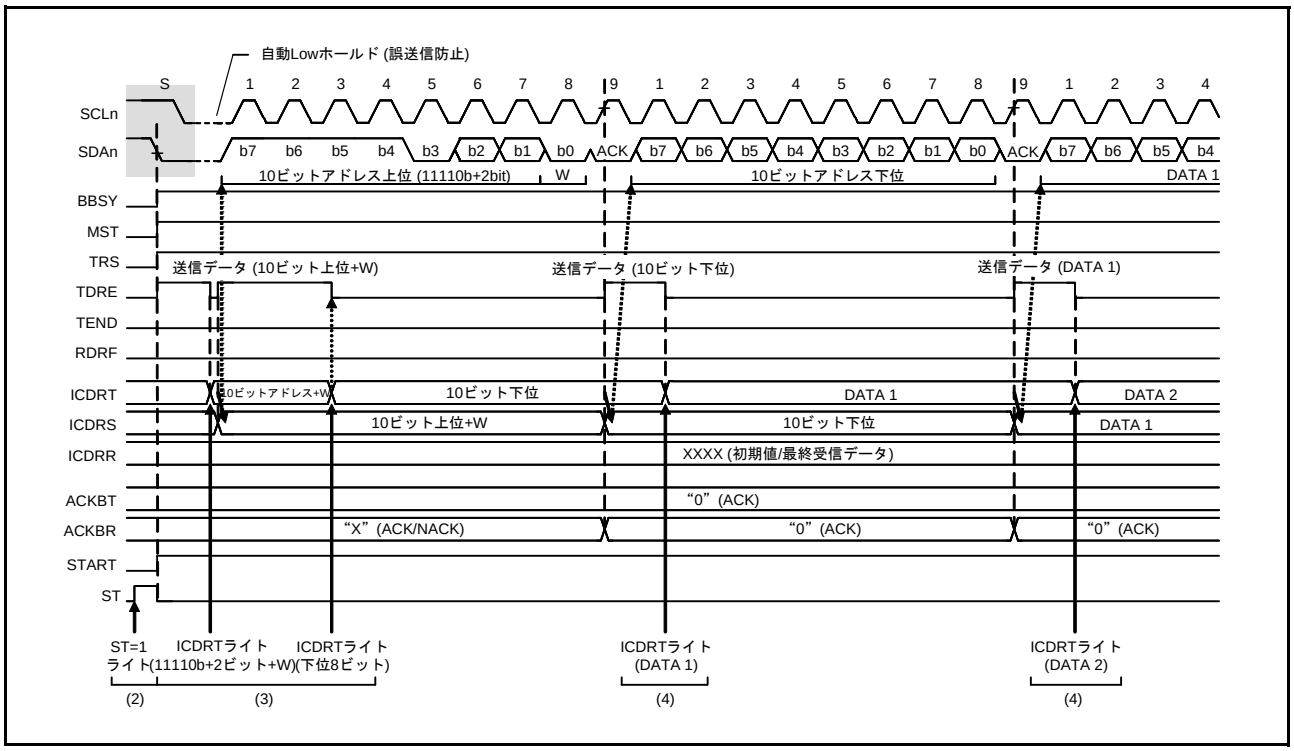


図 36.8　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

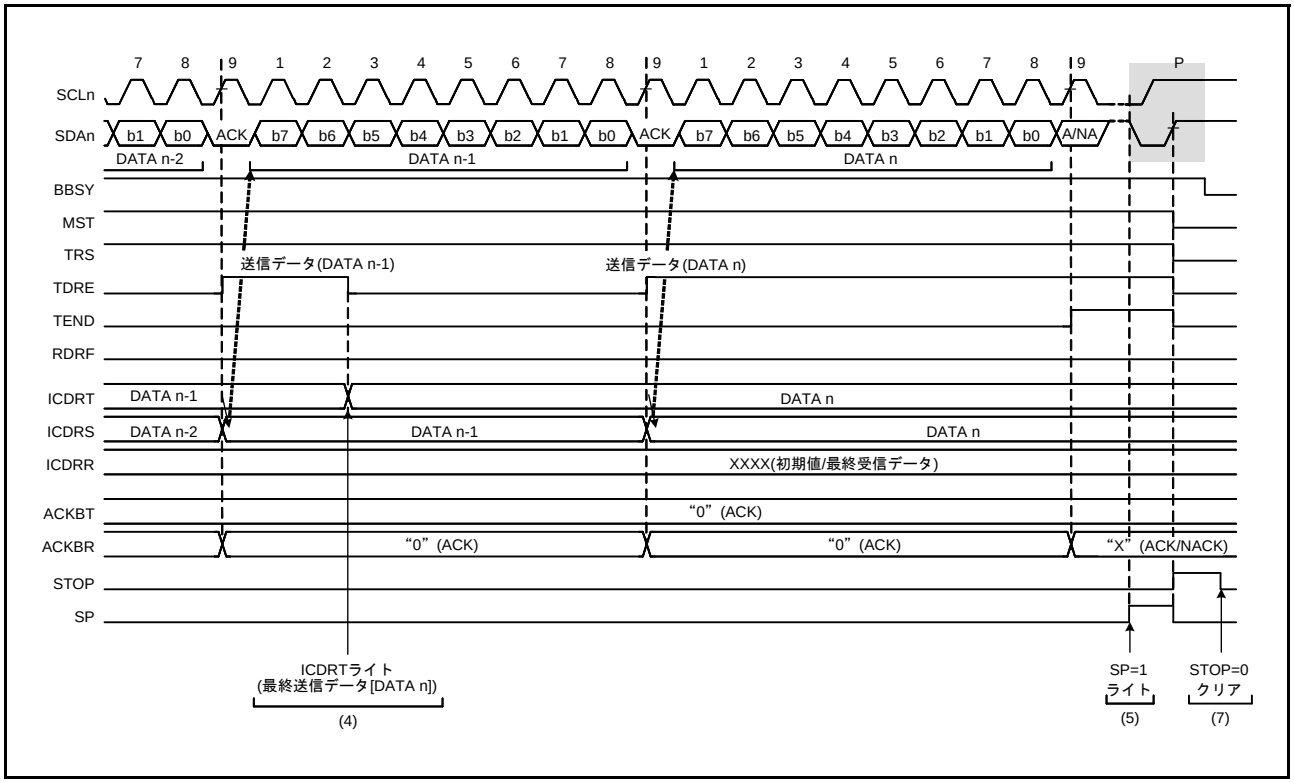


図 36.9　マスタ送信の動作タイミング（3）

36.3.4　マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 36.10 にマスタ受信の使用例（7 ビットアドレスフォーマットの場合）を、図 36.11 ～図 36.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

（1）ICCR1.ICE ビットを “0”（SCLn、SDAn 端子非駆動状態）にしたまま ICCR1.IICRST ビットを “1”（RIIC リセット）にした後、ICCR1.ICE ビットを “1”（内部リセット）にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については図 36.5 参照）。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

（2）ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDAn ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット =1 により自動的に “1” になります。

(3) ICSR2.TDRE フラグが “ 1 ” であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信モードに移行します。このとき TDRE フラグは “0” に、ICSR2.RDRF フラグは自動的に “1” になります。
このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット＋ R を送信することで、マスタ受信モードに移行します。

(4) ICSR2.RDRF フラグが “1” であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが “1” になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト－ 1 の場合、ICDRR レジスタ（最終バイト－ 2 バイト目）を読む前に ICMR3.WAIT ビットを “1”（WAIT あり）にしてください。これにより、続く（6）の ICMR3.ACKBT ビットを “1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCLn ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

(6) ICMR3.RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを “1”（NACK）にしてください。

(7) ICDRR レジスタ（最終バイト－ 1 バイト目）読み出し後、ICSR2.RDRF フラグが “1” であることを確認してから、ICCR2.SP ビットに “1” を書いて（ストップコンディション発行要求）、ICDRR レジスタ（最終バイト）を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。

(8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが “1” になります。

(9) ICSR2.STOP フラグが “ 1 ” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

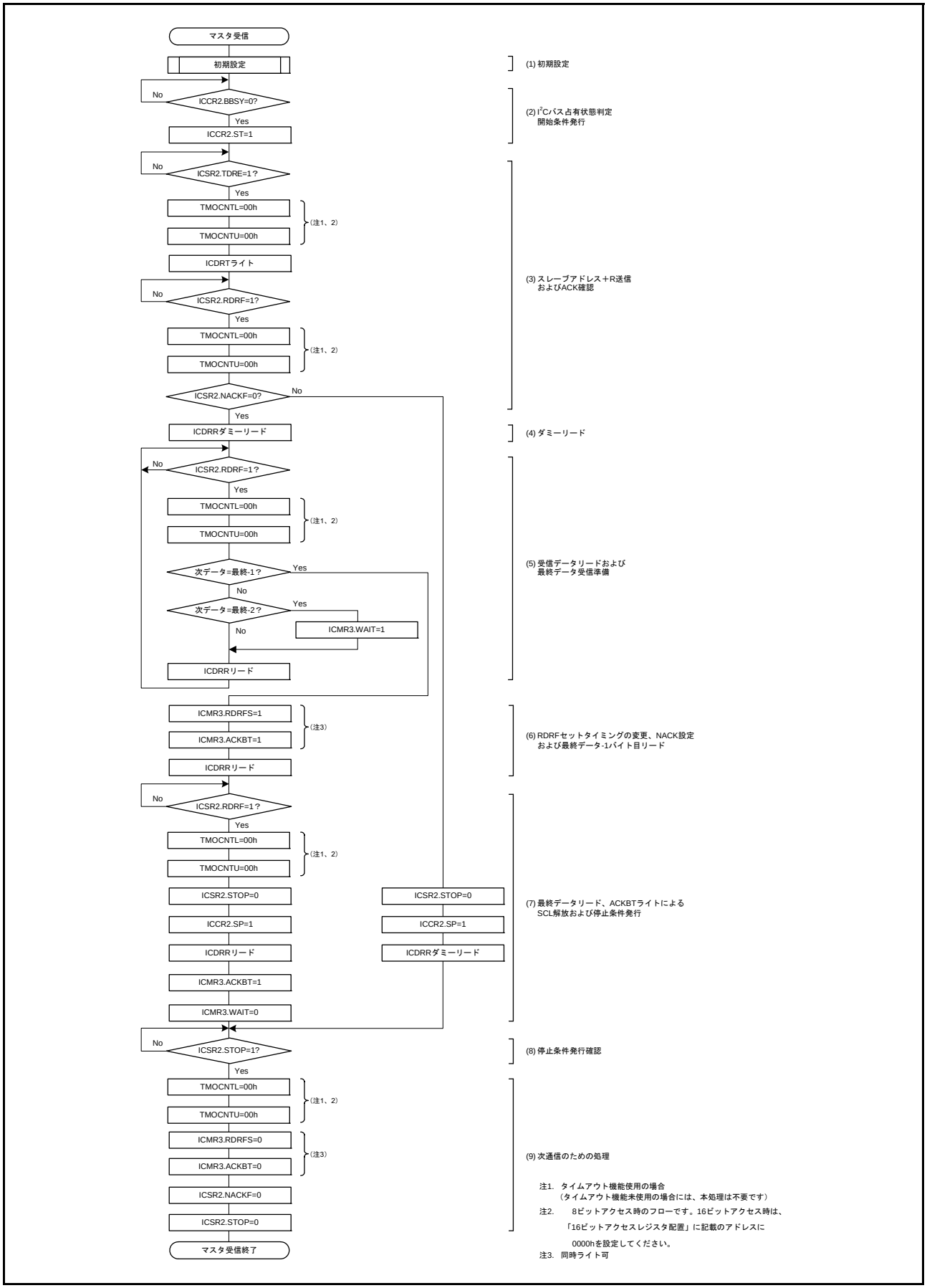


図 36.10　マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合）

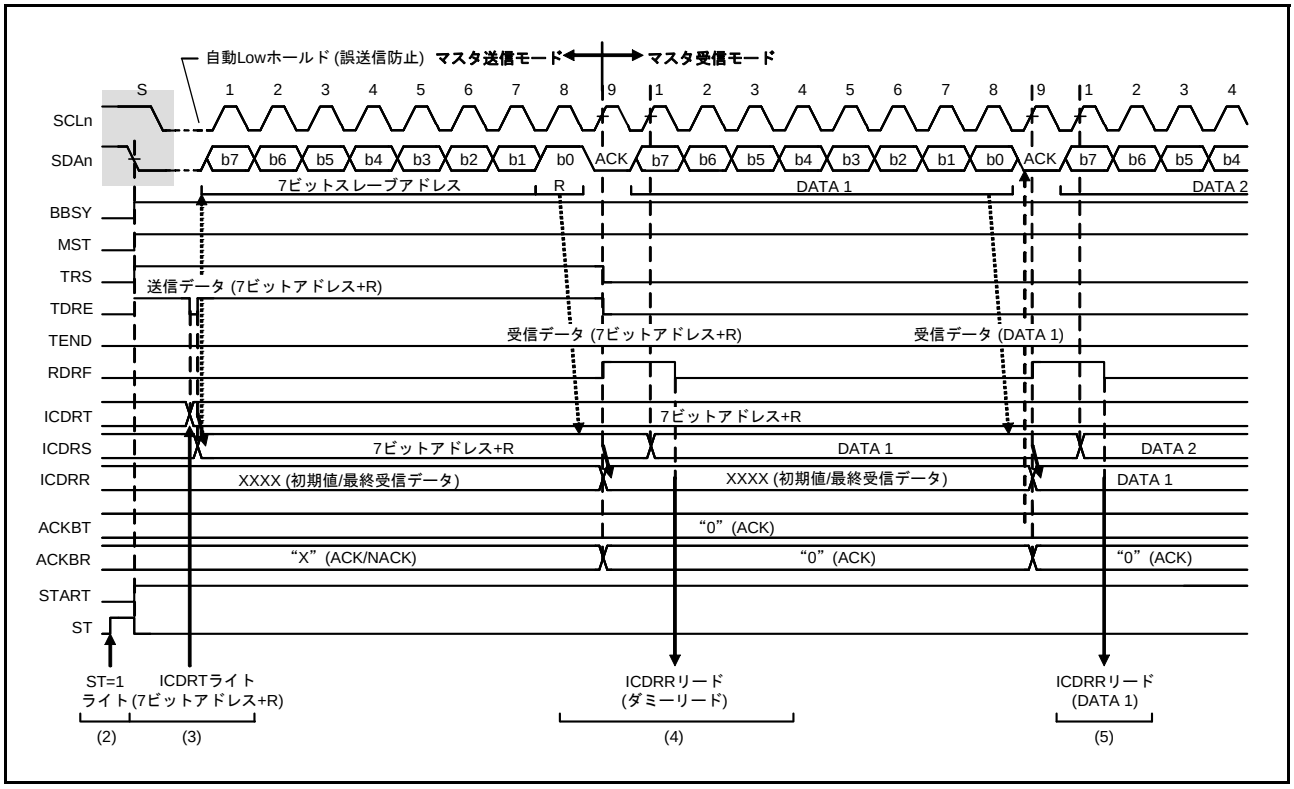


図 36.11　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS=0 のとき）

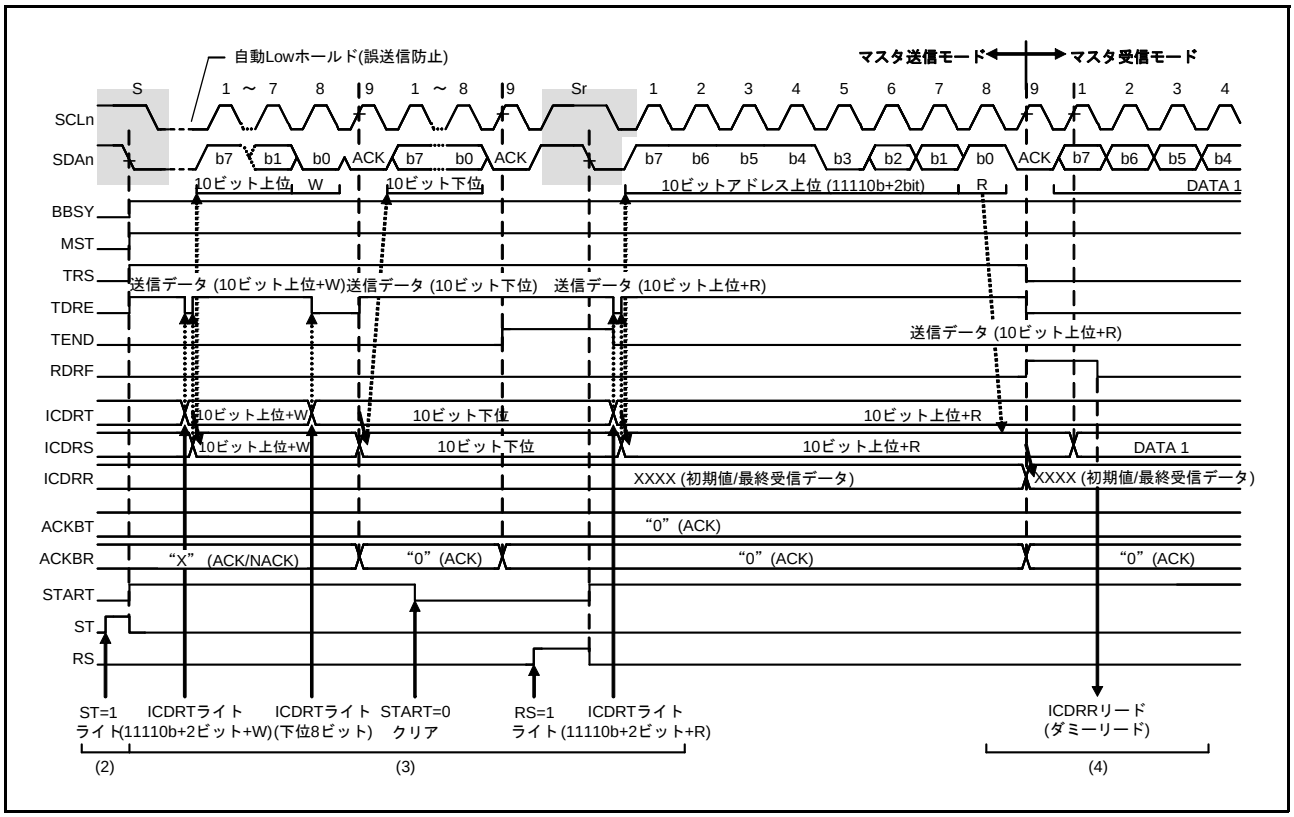


図 36.12　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS=0 のとき）

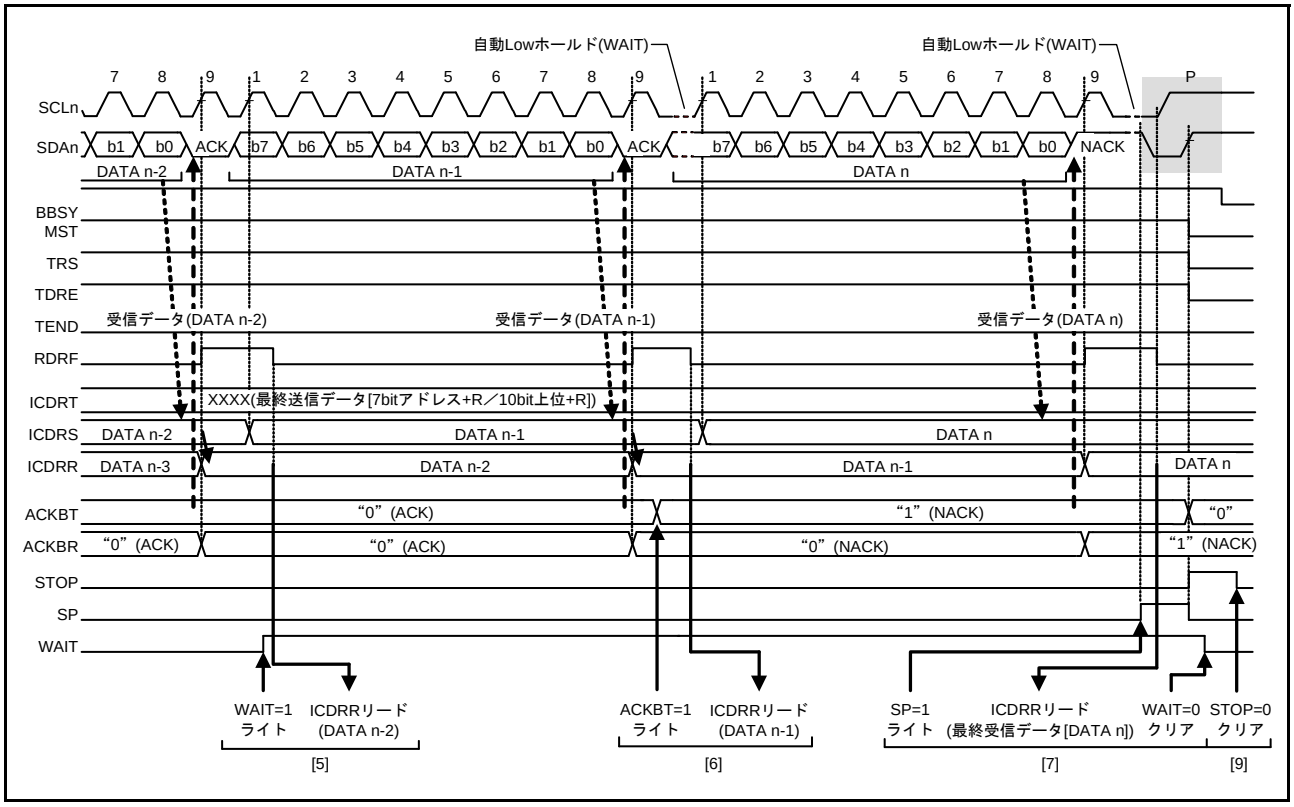


図 36.13　マスタ受信の動作タイミング（3）（RDRFS=0 のとき）

36.3.5　スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 36.14 にスレーブ送信の使用例を示します。**図 36.15**、**図 36.16** にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) **図 36.5** に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット（y=0 ～ 2）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。

(4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを Low にホールドします。

(5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。

(6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ～ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。

(7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

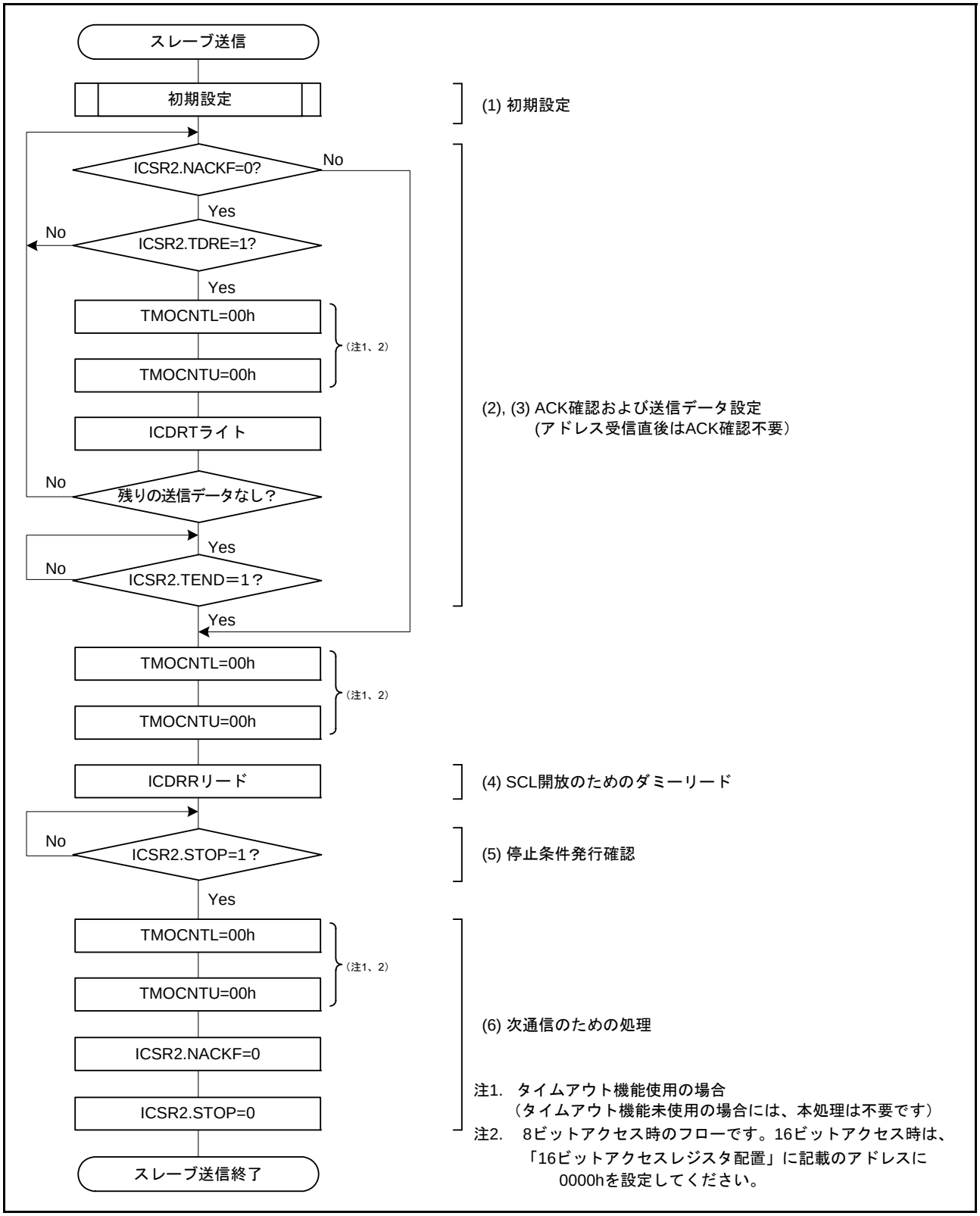


図 36.14　スレーブ送信のフローチャート例

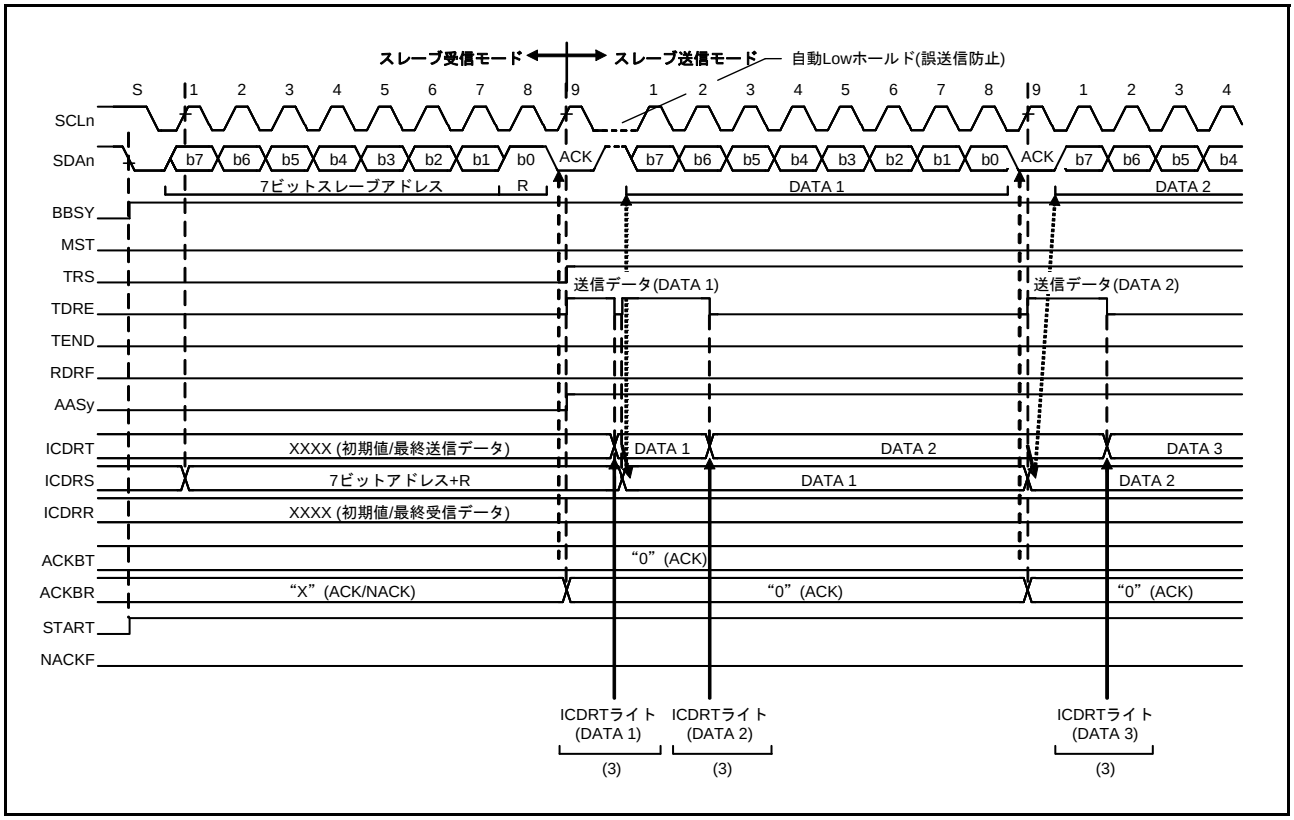


図 36.15　スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

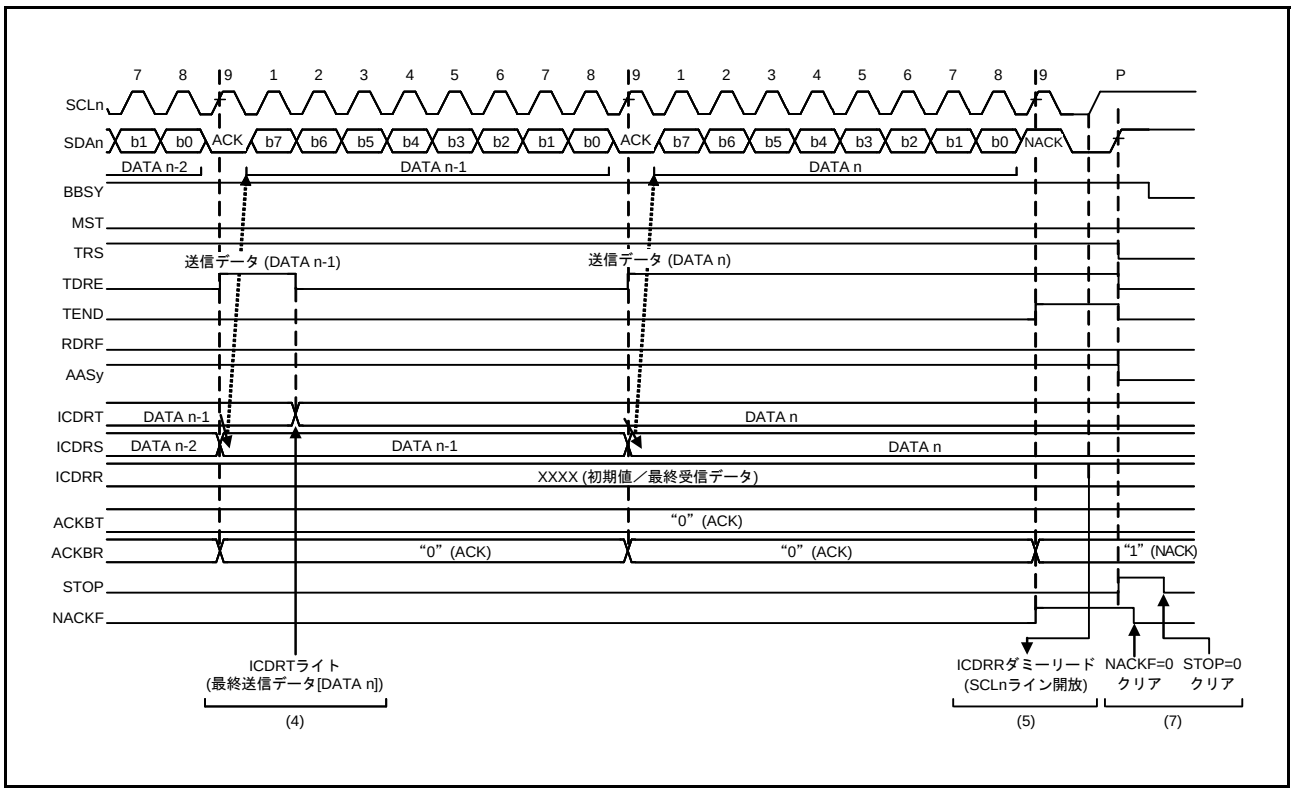


図 36.16　スレーブ送信の動作タイミング（2）

36.3.6　スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 36.17 にスレーブ受信の使用例を図 36.18、図 36.19 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) 図 36.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ～ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。

(3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス＋ R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。

(4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが ″ 1” になるタイミングの 1 つ手前の SCL クロック立ち下がりで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCLn ラインを開放します。

ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。

（5）RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ～ 2) を自動的に “0” にします。

（6）ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.STOP フラグを “0” にしてください。

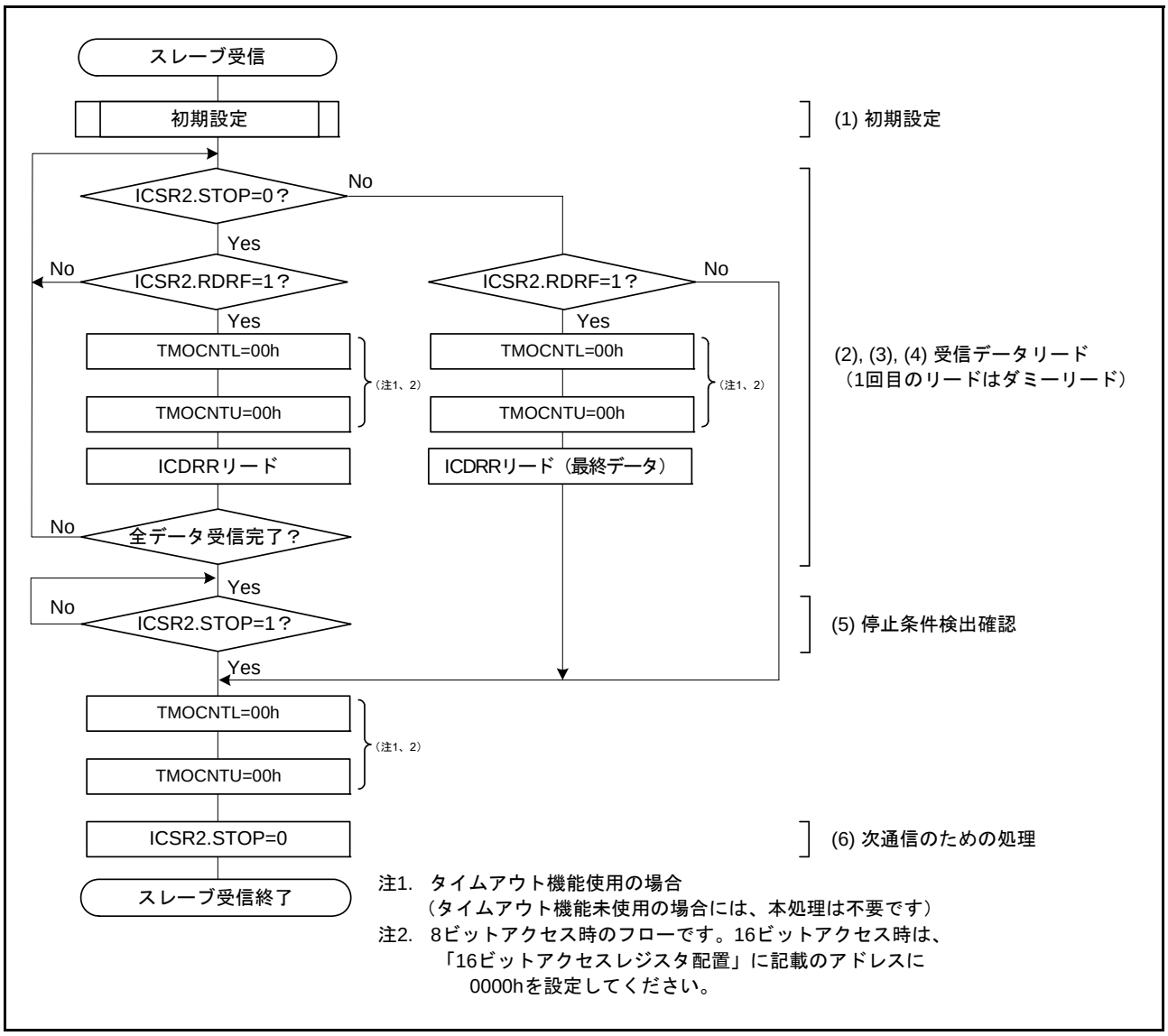


図 36.17　スレーブ受信のフローチャート例

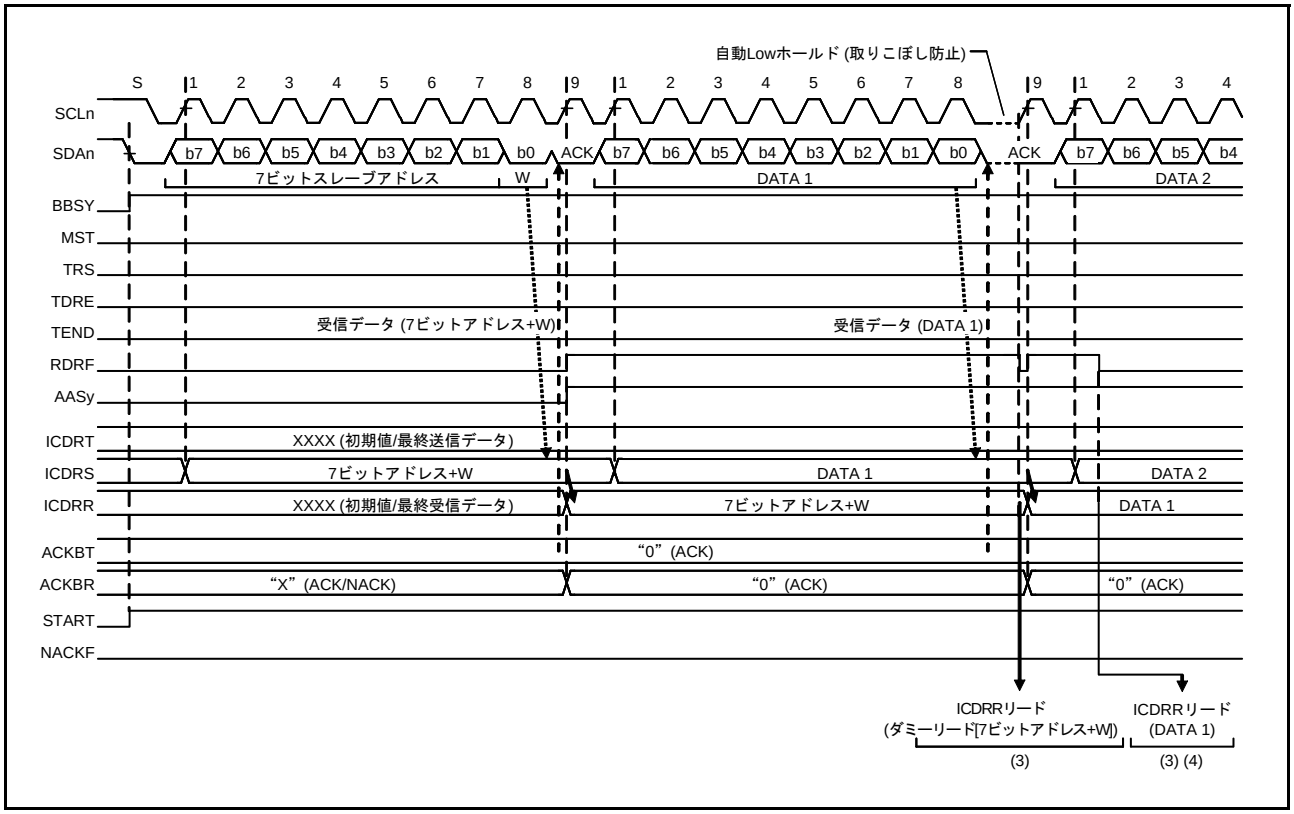


図 36.18　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS=0 のとき）

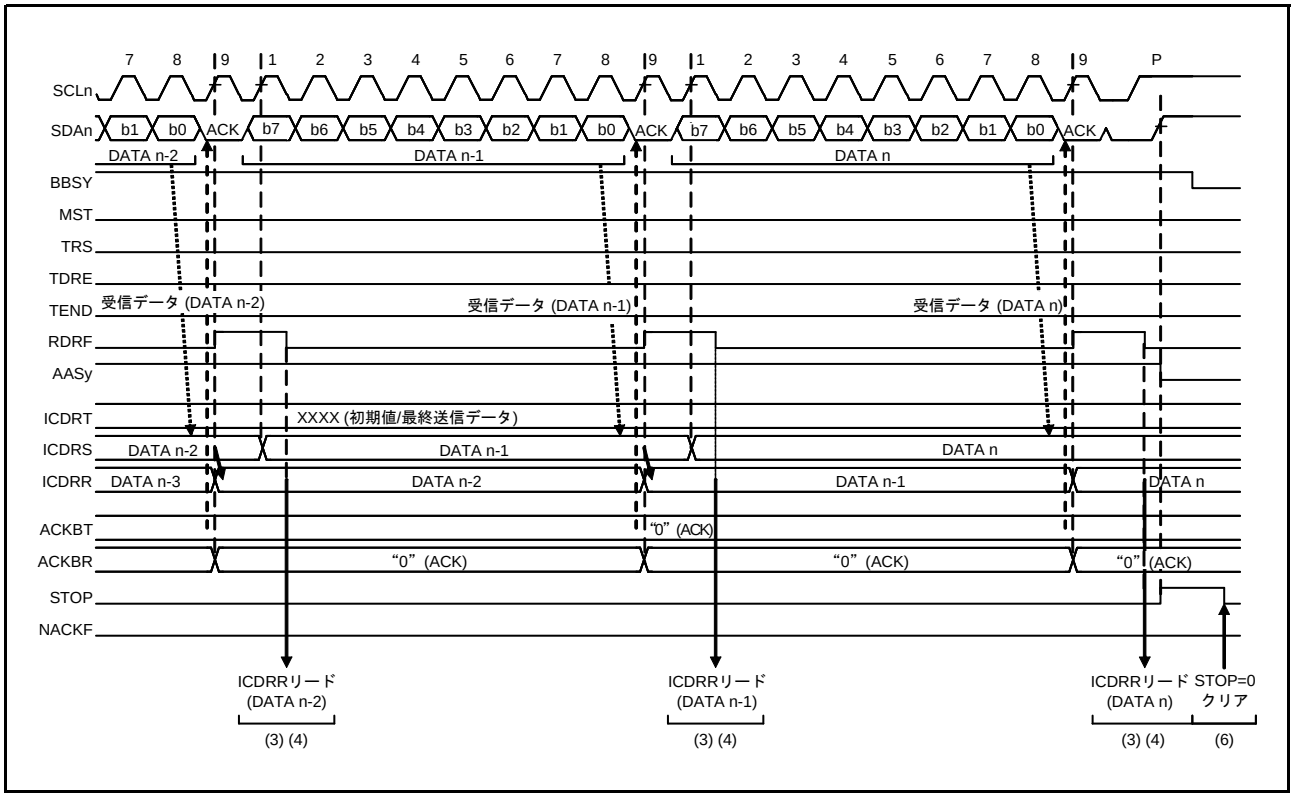


図 36.19　スレーブ受信の動作タイミング（2）（RDRFS=0 のとき）

36.4　SCL 同期回路

RIIC の SCL クロック生成は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCLn ラインを Low にドライブして立ち下げます。また SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC が SCLn ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが “1” のとき有効です。

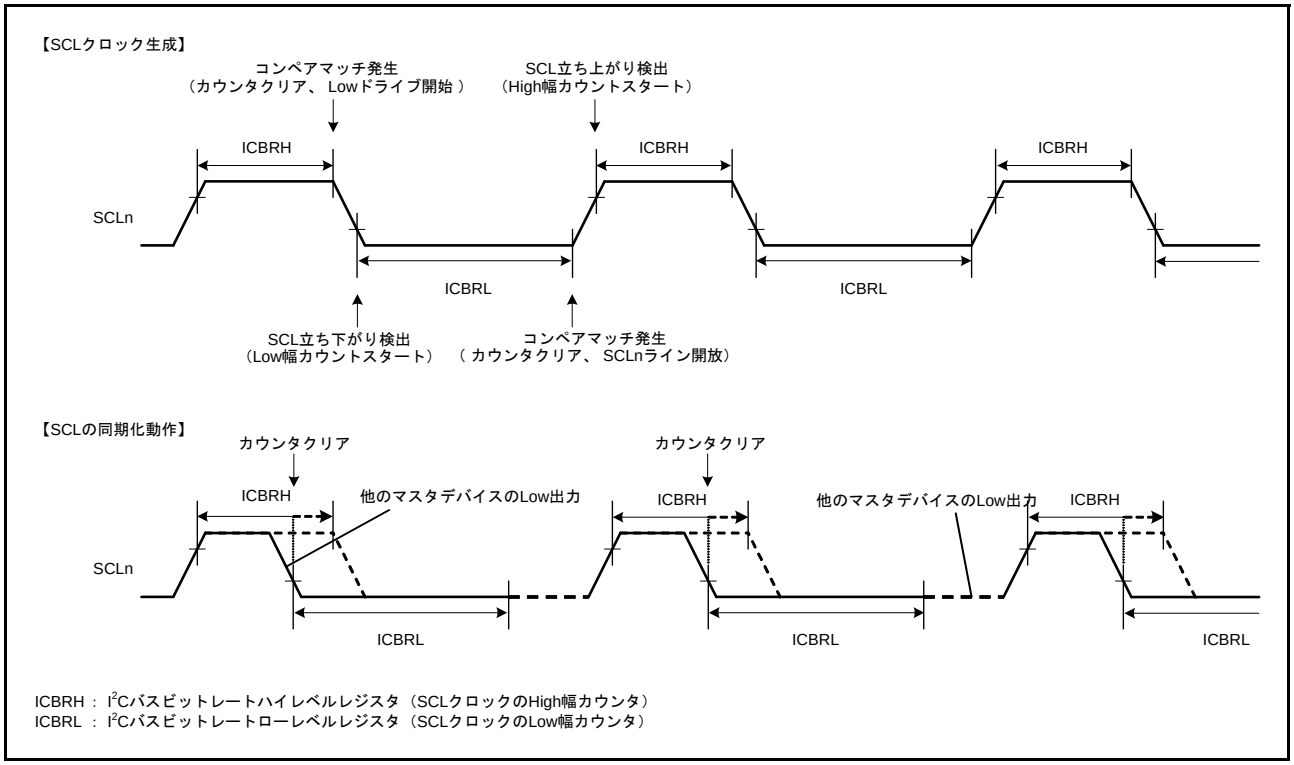


図 36.20　RIIC の SCL クロック生成および SCL 同期化動作

36.5　SDA 出力遅延機能

RIIC には SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（開始 / 再開始 / 停止）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBus のデータホールド時間 :300ns（min）の規格を満たす目的でも使用することができます。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが “000b” 以外）のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力（発行動作（開始 / 再開始 / 停止）、データ出力、ACK/NACK 出力）を行います。

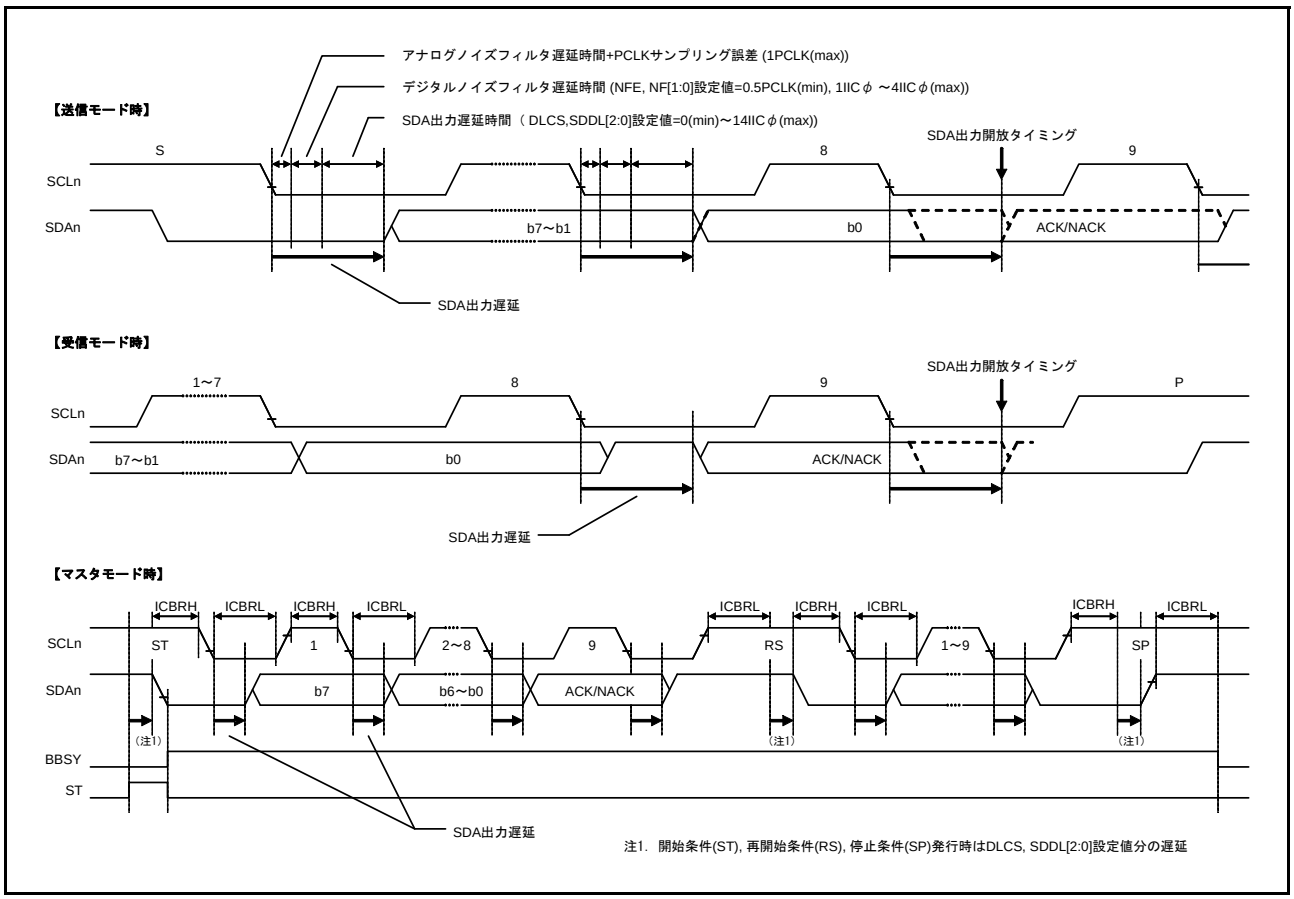


図 36.21　SDA 出力遅延タイミング

36.6　デジタルノイズフィルタ回路

SCLn 端子および SDAn 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 36.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IICφ ～ 4IICφ サイクル分となります。

SCLn 端子入力信号（または SDAn 端子入力信号）は IICφ の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK =4MHz 時の 400kbps 通信のような内部動作クロック（PCLK）と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止（ICFER.NFE ビット =0）し、アナログノイズフィルタ回路のみを使用することが可能です。

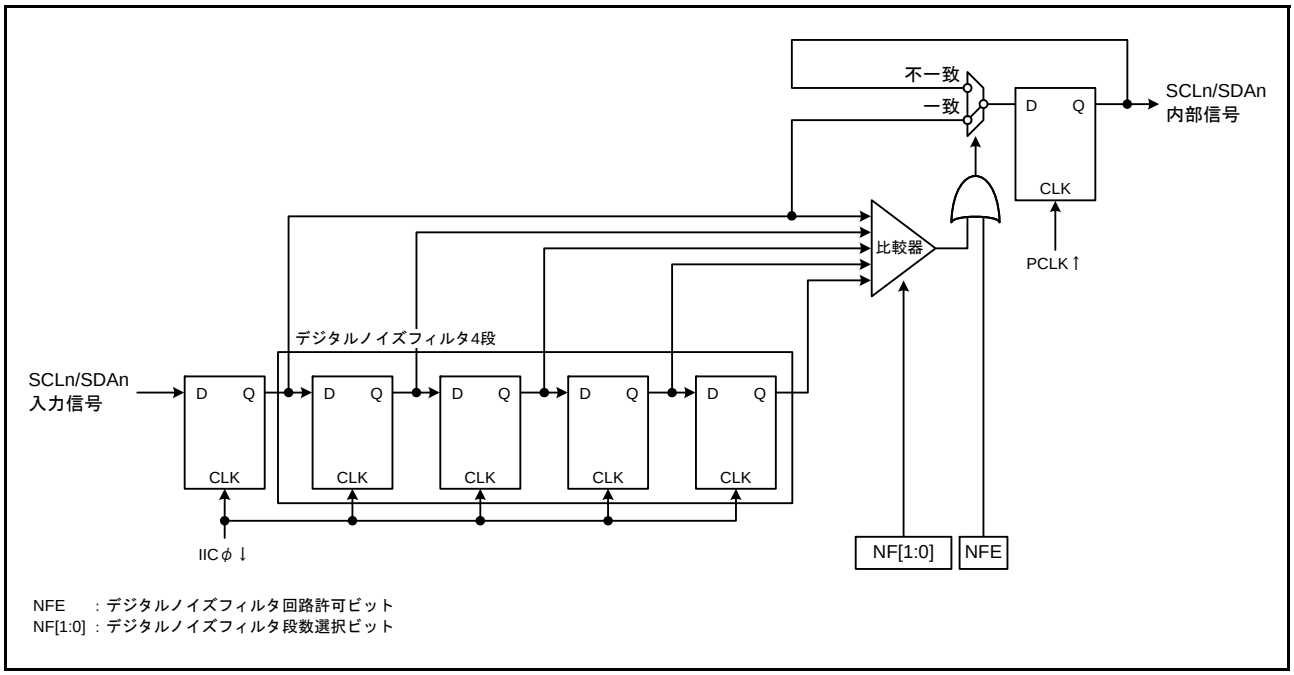


図 36.22　デジタルノイズフィルタ回路のブロック図

36.7　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

36.7.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット (y=0 ～ 2) が “1” のとき、SARUy/SARLy レジスタ (y=0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち下がりで該当する ICSR1.AASy フラグ (y=0 ～ 2) を “1” にし、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み（ICRXI）または送信データエンプティ割り込み（ICTXI）を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 36.23 ～図 36.25 に AASy フラグが “1” になるタイミングを示します。

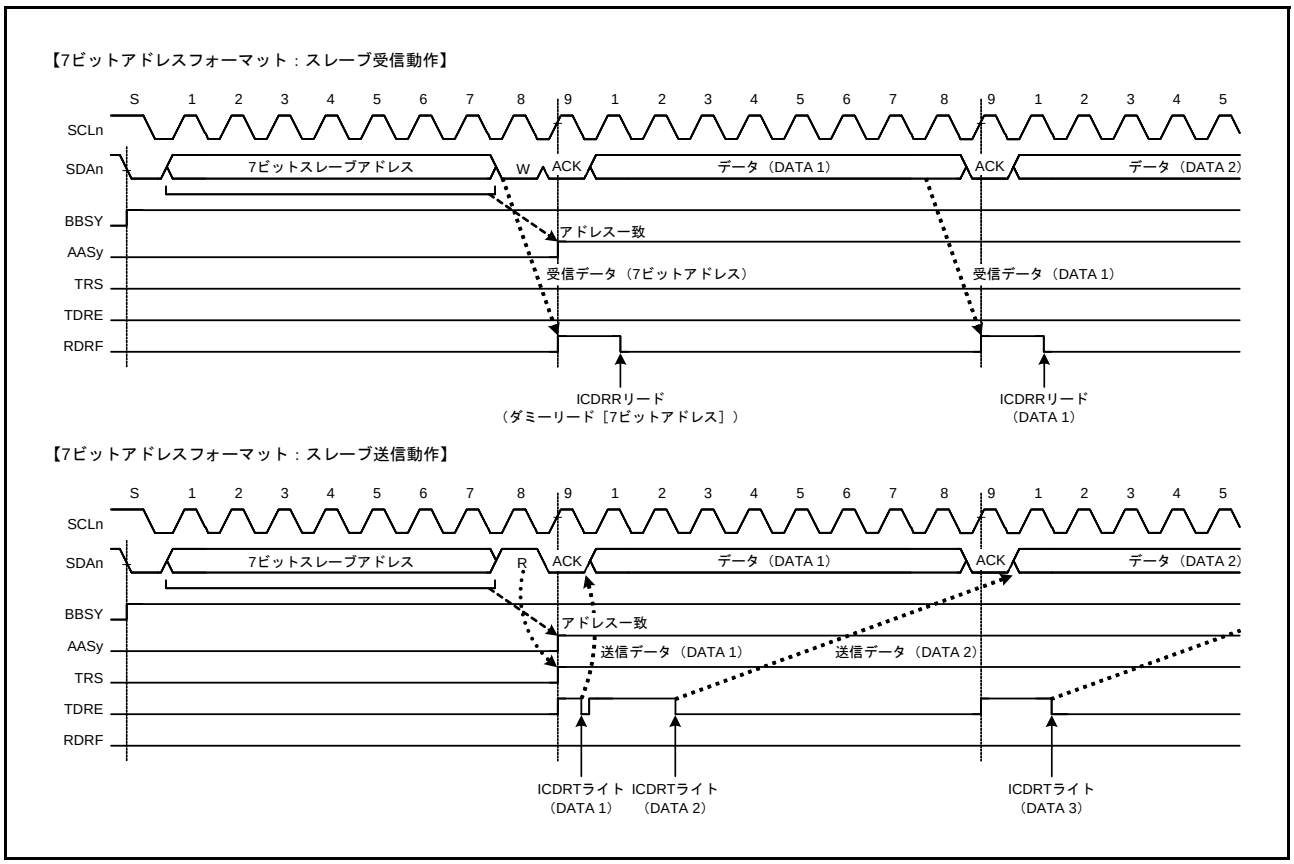


図 36.23　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

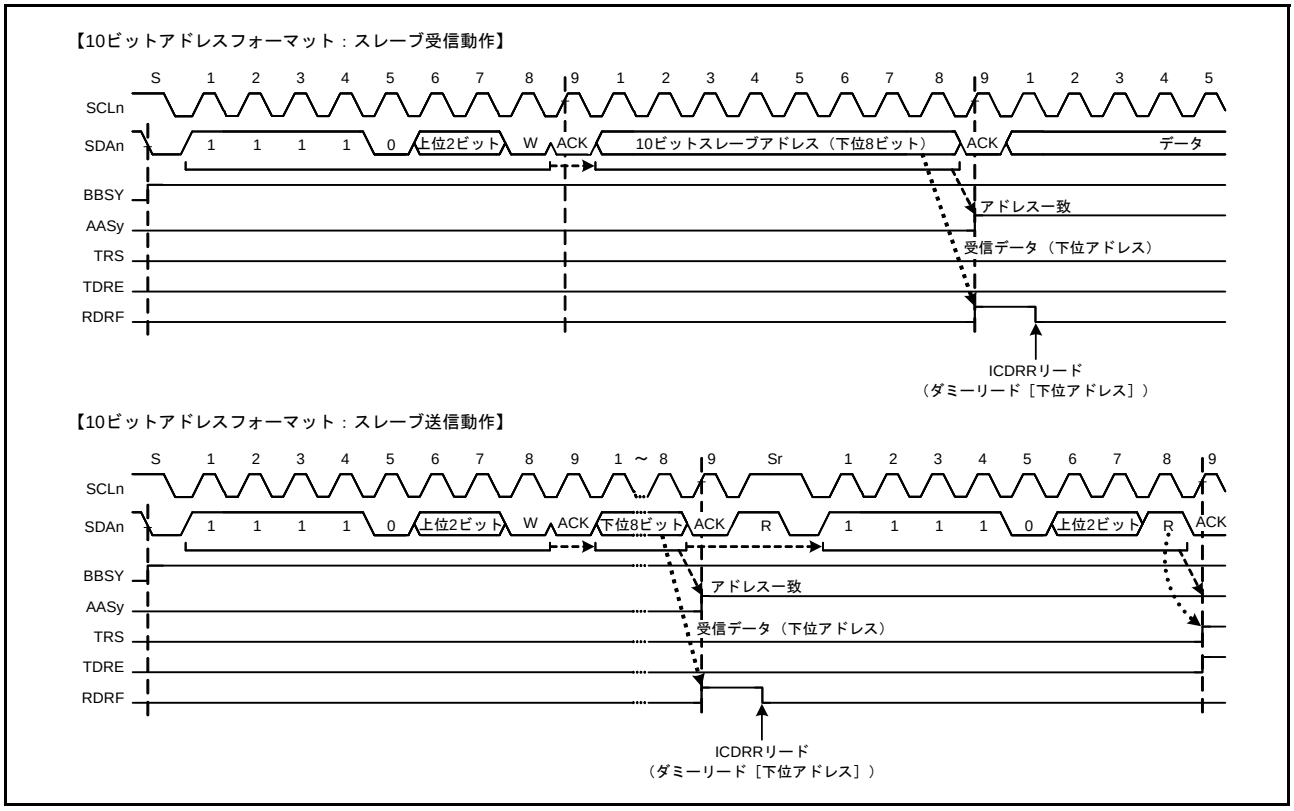


図 36.24　10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

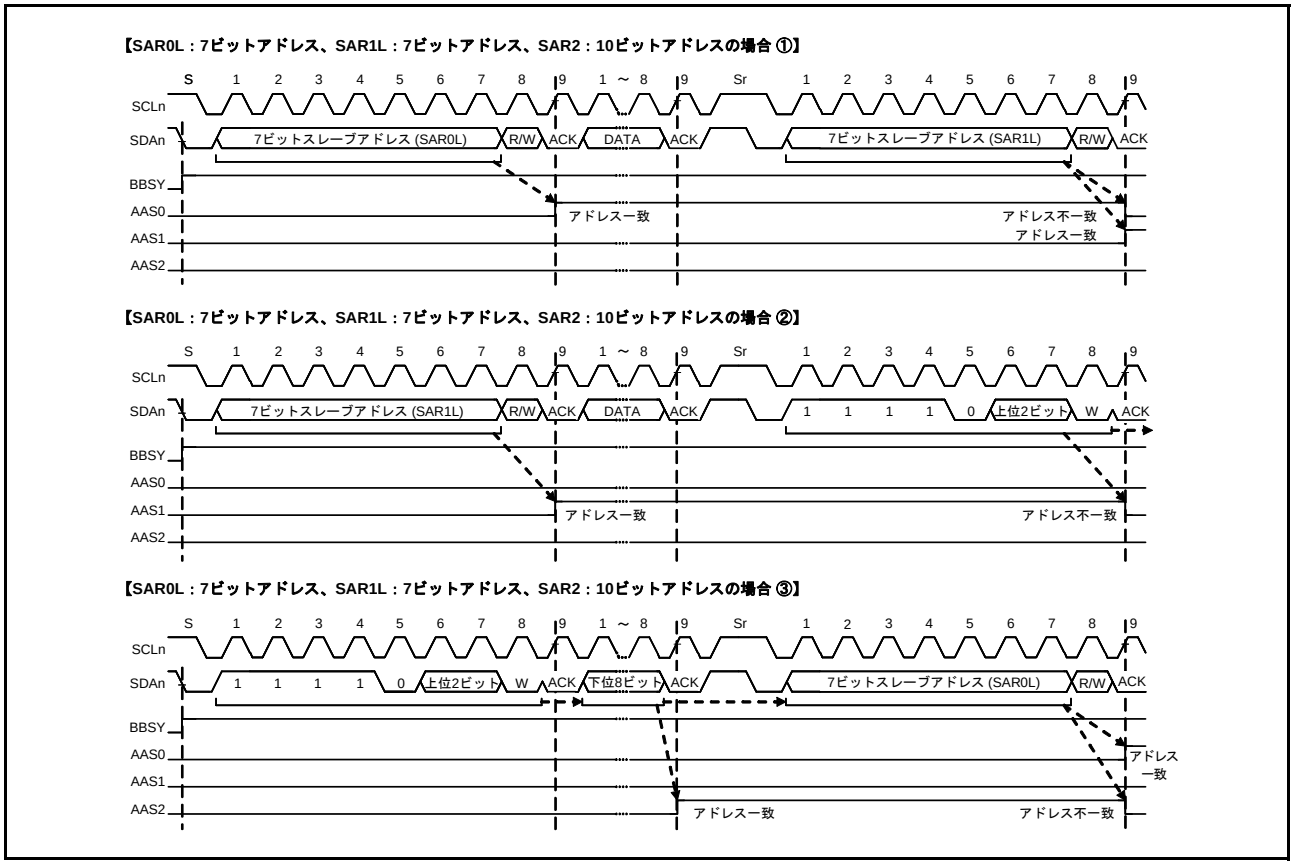


図 36.25　7 ビット /10 ビットアドレスフォーマット混在時に AASy フラグが “1”/“0” になるタイミング

36.7.2　ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス（0000 000b ＋ 0[W]）の検出機能を備えています。ICSER.GCAE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b ＋ 1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち下がりで ICSR1.GCA フラグを “1” にし、同時に ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み（ICRXI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

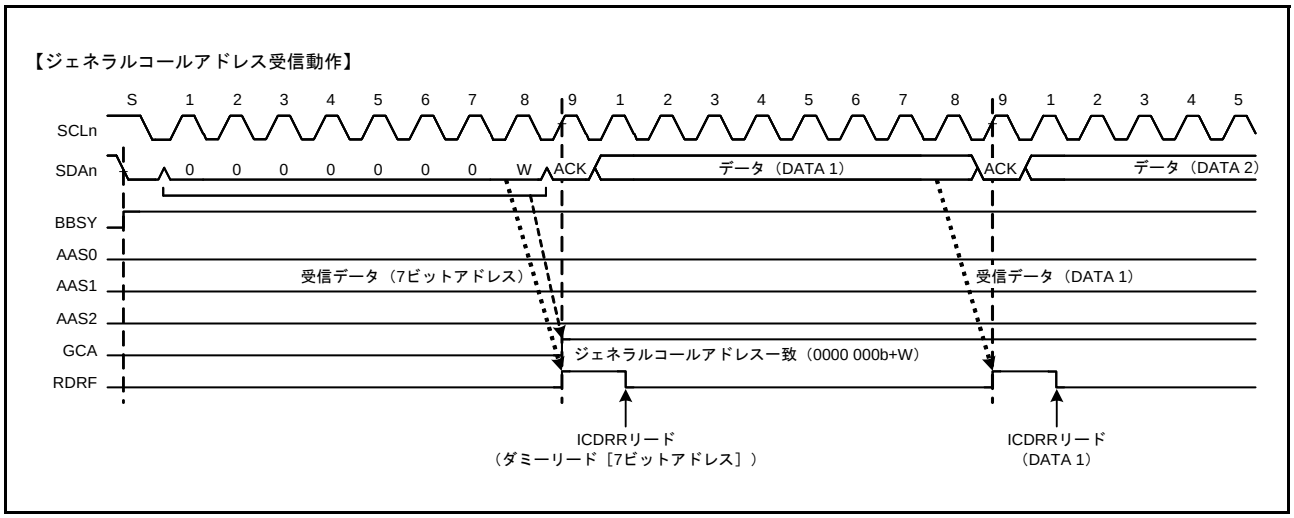


図 36.26　ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

36.7.3　デバイス ID アドレス検出機能

RIIC は I²C バス（Rev.03）に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき SCL クロックの 9 クロック目の立ち上がりで ICSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y=0 ～ 2) が “1” になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス（1111 100b）と一致し、続く R/W# ビットが “1” のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス（1111 100b）と一致し、かつ R/W# ビットが “0” のとき DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイト分：メーカ [12 ビット] ＋部品識別 [9 ビット] ＋リビジョン [3 ビット]）は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

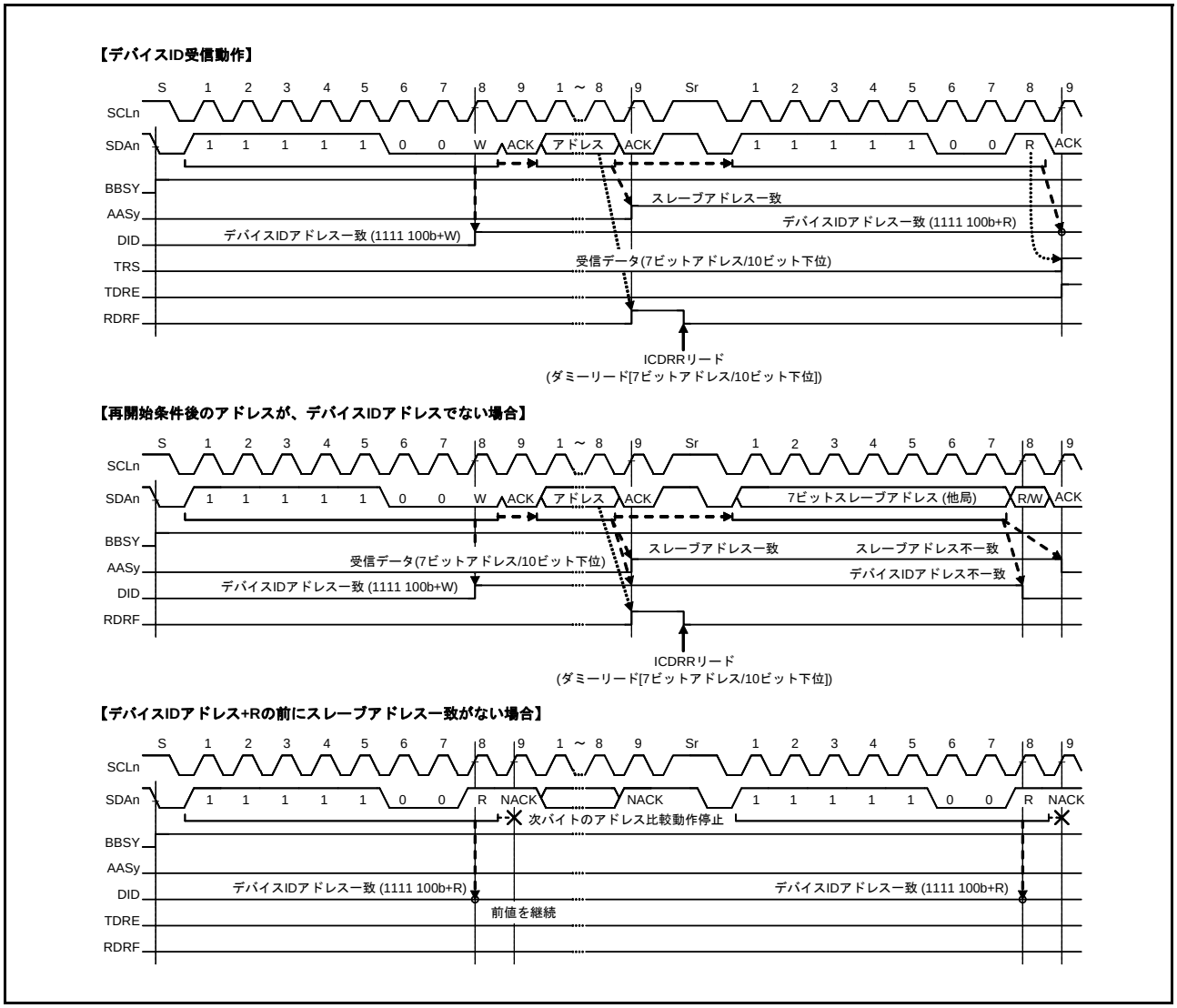


図 36.27　デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

36.7.4　ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが “1” のとき ICSER.HOAE ビットを “1” にすると、スレーブ受信モード（ICCR2.MST, TRS ビット =00b）にホストアドレス（0001 000b）を検出することが可能です。

RIIC はホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち下がりで ICSR1.HOA フラグを “1” にし、Wr ビット（R/W# ビットに “0” を受信）のとき ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み（ICRXI）を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス（0001 000b）に続くビットが Rd ビット（R/W# ビットに “1” を受信）の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

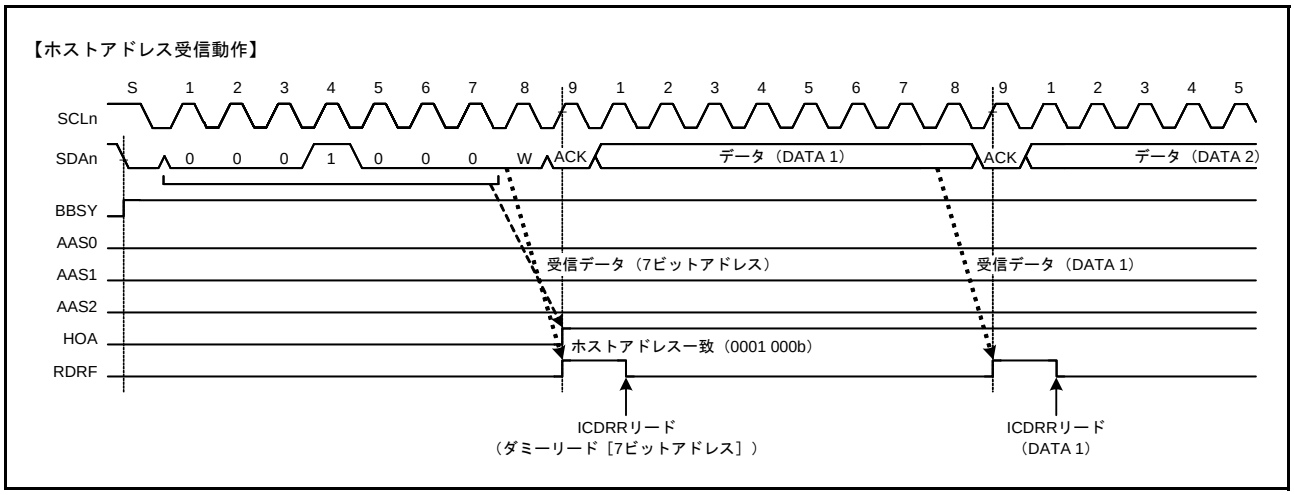


図 36.28　ホストアドレス受信時に HOA フラグが “1” になるタイミング

36.8　SCL の自動 Low ホールド機能

36.8.1　送信データ誤送信防止機能

RIIC は送信モード時（ICCR2.TRS ビット =1）、シフトレジスタ（ICDRS レジスタ）が空の状態でかつ送信データ（ICDRT レジスタ）が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション / リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の Low 区間

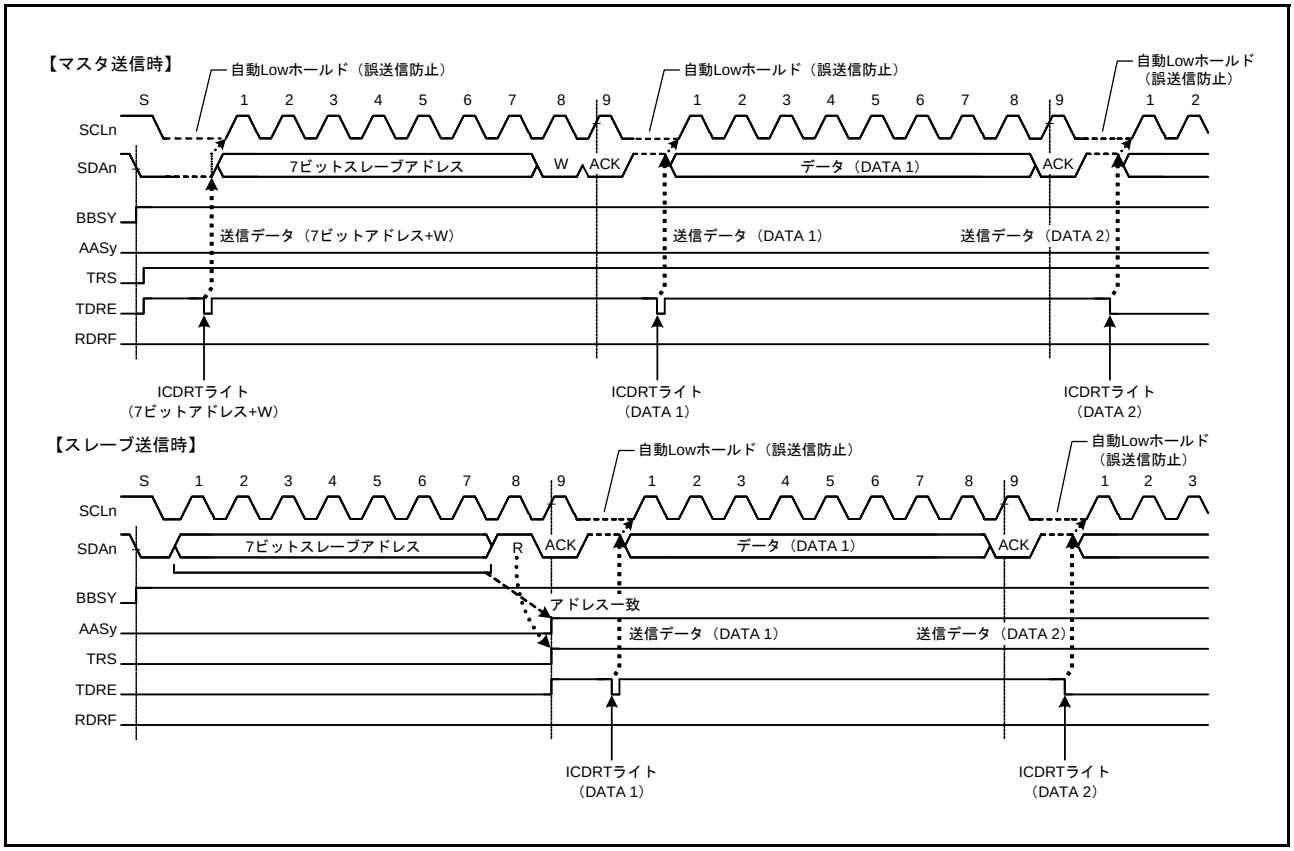


図 36.29　送信モードの自動 Low ホールド動作

36.8.2　NACK 受信転送中断機能

RIIC は送信モード時（ICCR2.TRS ビット =1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKE ビットが “1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（ICSR2.TDRE フラグ =0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDAn ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（ICSR2.NACKF フラグ =1）、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

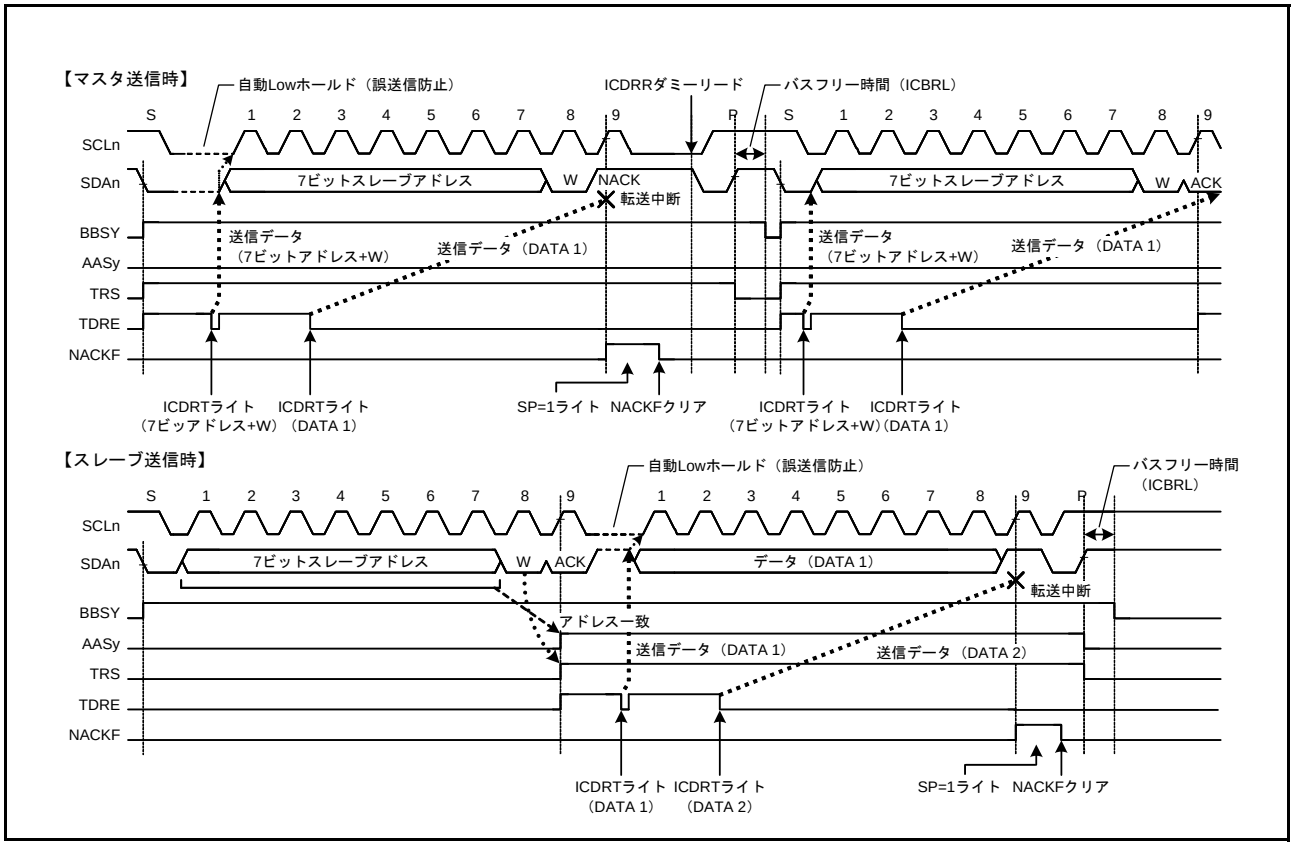


図 36.30　NACK 受信時の転送中断動作（NACKE=1 のとき）

36.8.3　受信データ取りこぼし防止機能

RIIC は受信モード時（ICCR2.TRS ビット =0）、受信データフル（ICSR2.RDRF フラグ =1）の状態で受信データ（ICDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1)　WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを “1” にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが “0” のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

(2)　RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）/ 自動 Low ホールド機能

ICMR3.RDRFS ビットを “1” にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信データフルフラグ（ICSR2.RDRF フラグ）が “1” になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

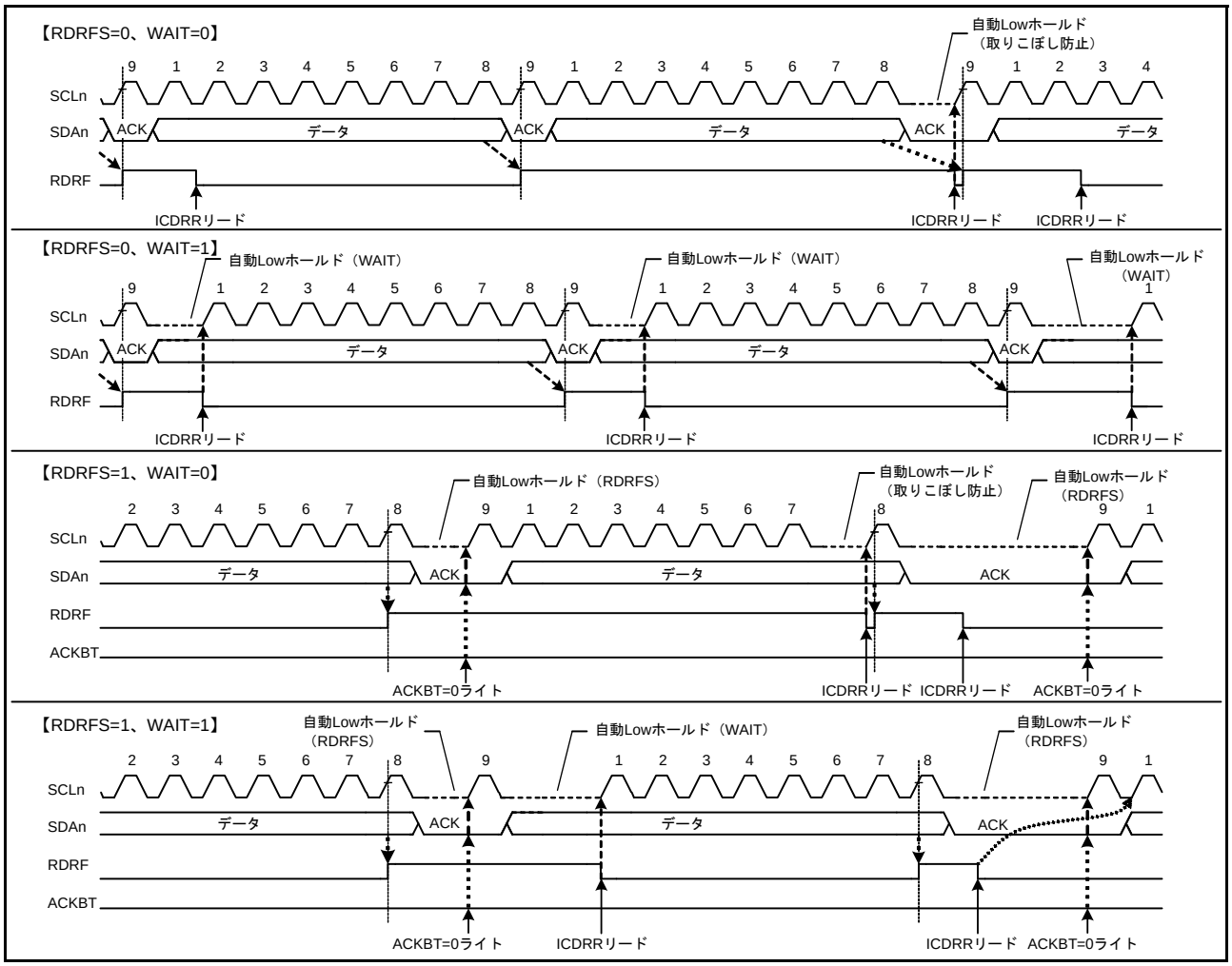


図 36.31　受信モードの自動 Low ホールド動作（RDRFS、WAIT ビット）

36.9　アービトレーションロスト検出機能

RIIC には I²C バス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

36.9.1　マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際 SDAn ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に ICCR2.BBSY フラグが “1”（バスビジー中）のときに ICCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA 信号）と SDAn ラインに不一致が生じた場合（自分が出した SDA 出力が High 出力（＝ SDAn 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALE ビットが “1”（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［マスタアービトレーションロスト条件］

- ICCR2.BBSY フラグ =0 の状態で ICCR2.ST ビット =1 によるスタートコンディション発行時に SDA 信号と SDAn ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグ =1 で ICCR2.ST ビットを “1” にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（ICCR2.MST, TRS ビット =11b）、アクノリッジを除く送信データ（SDA 信号）と SDAn ライン上の信号の状態が不一致のとき

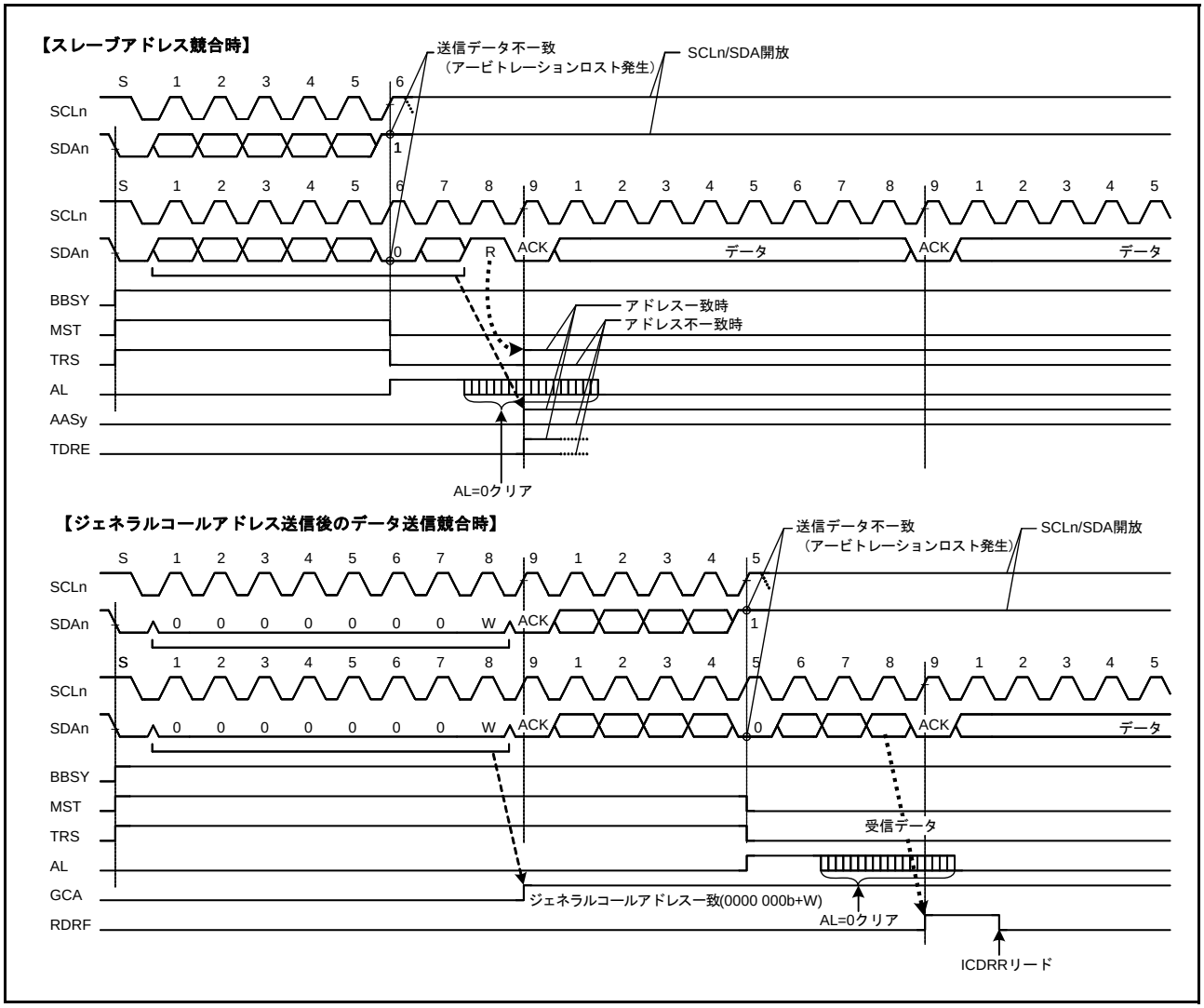


図 36.32　マスタアービトレーションロスト検出動作例（MALE=1 のとき）

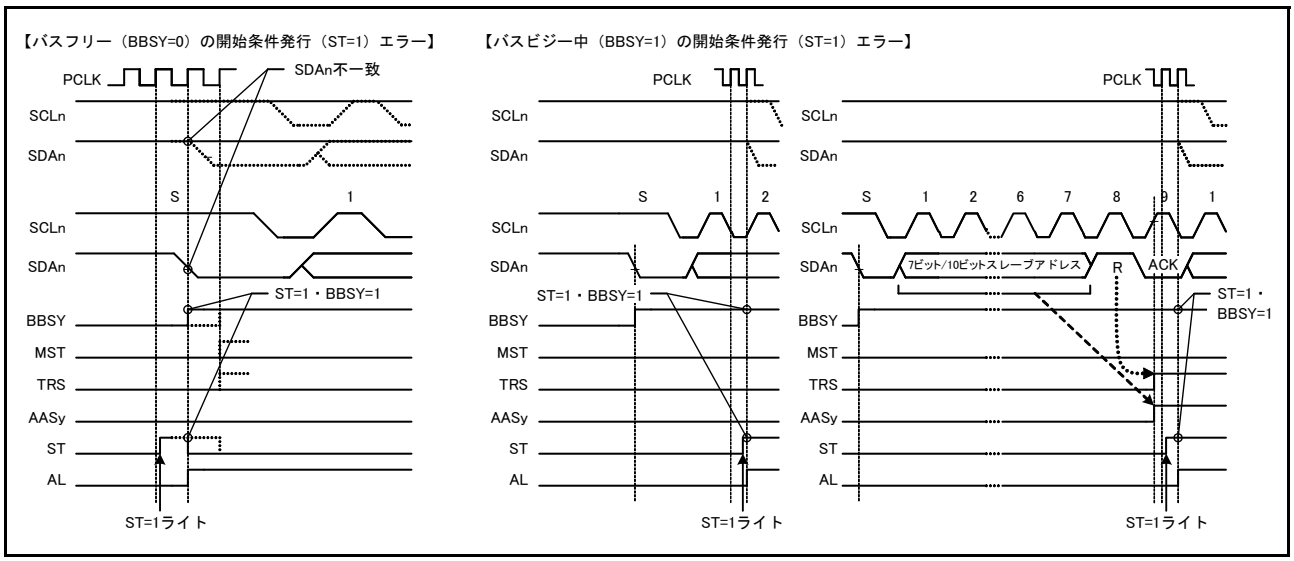


図 36.33　スタートコンディション発行時のアービトレーションロスト（MALE=1 のとき）

36.9.2　NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合（自分が出した SDA 出力が High 出力（＝ SDAn 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。**図 36.34** に NACK 送信アービトレーションロスト検出動作例を示します。

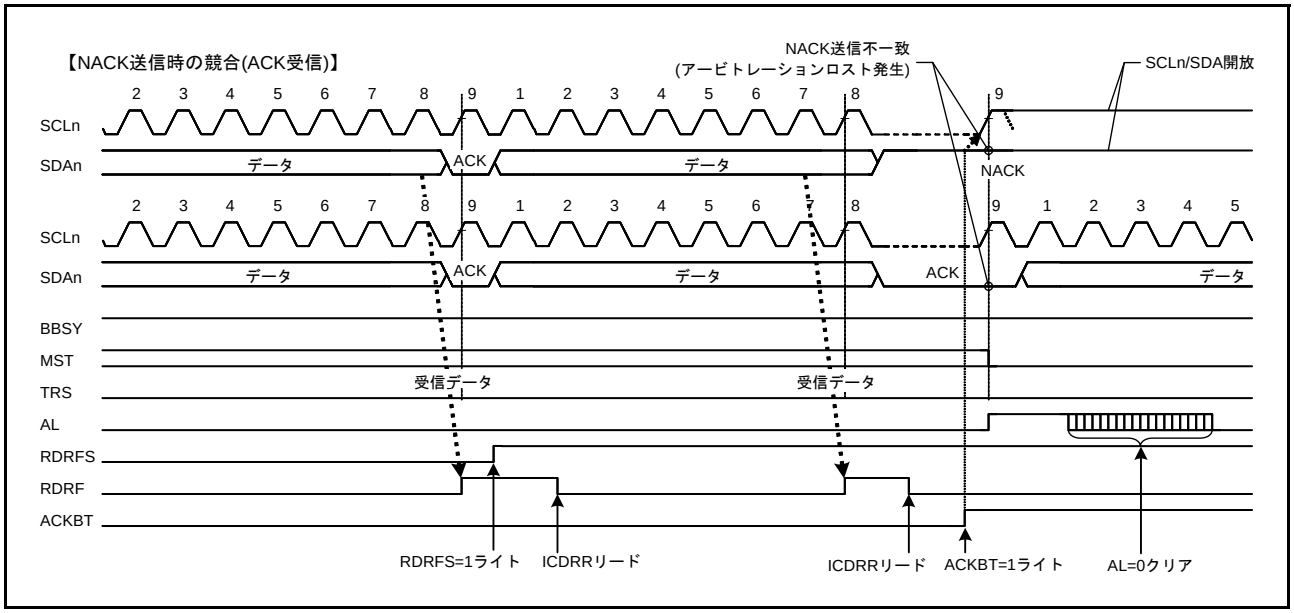


図 36.34　NACK 送信アービトレーションロスト検出動作例（NALE=1 のとき）

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、アサインアドレスの UDID（ユニークデバイスアイデンティファイ）不一致時の NACK 送信以降、およびアサインアドレス確定後の Get UDID（汎用）の NACK 送信以降の余剰処理（FFh 送信処理）を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが “1”（NACK 送信アービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

- NACK 送信時（ICMR3.ACKBT ビット =1）、自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき（ACK を受信したとき）

36.9.3　スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態に不一致が生じた場合（自分が出した SDA 出力が High 出力（= SDAn 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID（ユニークデバイスアイデンティファイ）送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理（FFh 送信処理）を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが “1”（スレーブアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

- スレーブ送信モード時（ICCR2.MST, TRS ビット =01b）、アクノリッジを除く送信データ（自分が出した SDA 信号）と SDAn ライン上の信号の状態が不一致のとき

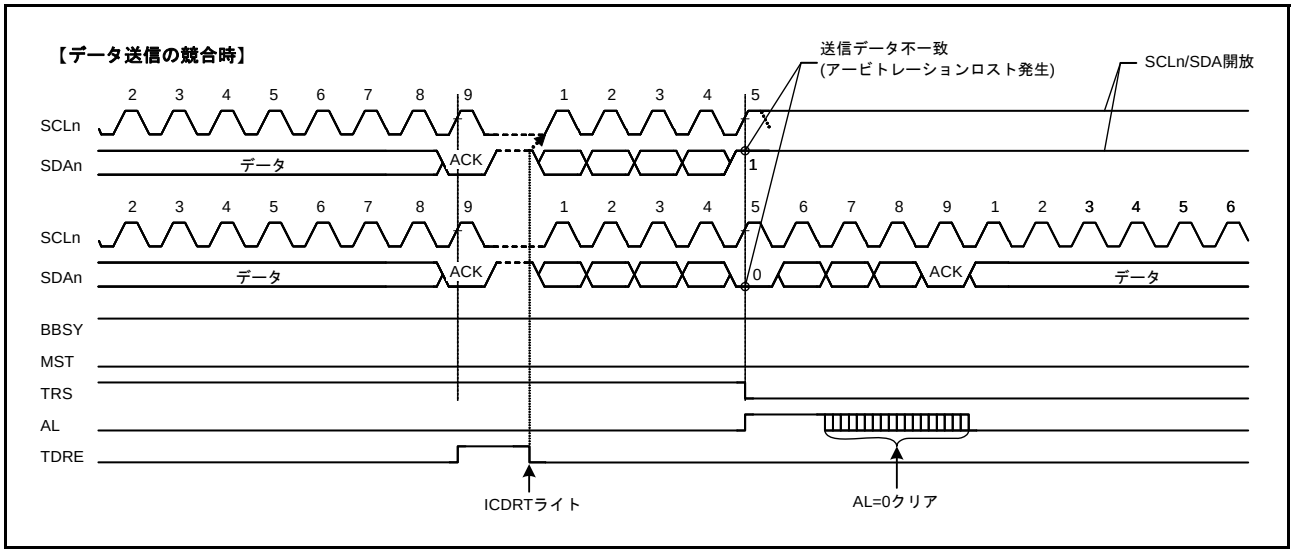


図 36.35　スレーブアービトレーションロスト検出動作例（SALE=1 のとき）

36.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

36.10.1 スタートコンディション発行動作

RIIC は、ICCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ ICCR2.BBSY フラグが “0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

［スタートコンディション発行動作］

（1）SDAn ラインを立ち下げ（High から Low に遷移）

（2）ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保

（3）SCLn ラインを立ち下げ（High から Low に遷移）

（4）SCLn ラインの Low を検出後、ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

36.10.2 リスタートコンディション発行動作

RIIC は ICCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にするとリスタートコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1”（バスビジー）の状態でかつ ICCR2.MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

［リスタートコンディション発行動作］

（1）SDAn ラインを開放

（2）ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

（3）SCLn ラインを開放（Low から High に遷移）

（4）SCLn ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保

（5）SDAn ラインを立ち下げ（High から Low に遷移）

（6）ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保

（7）SCLn ラインを立ち下げ（High から Low に遷移）

（8）SCL ラインの Low を検出後、ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

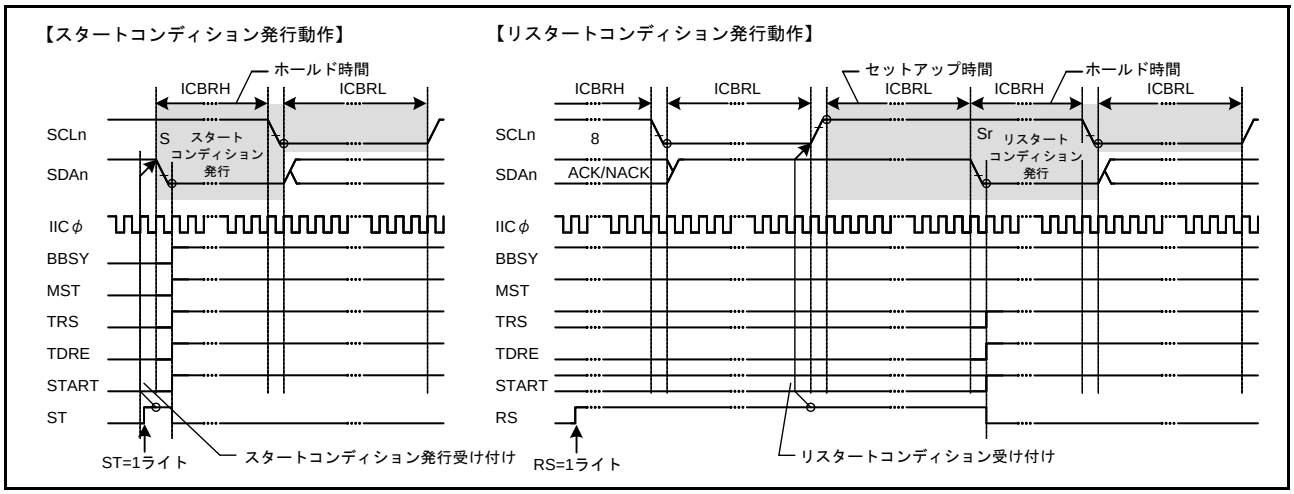


図 36.36　スタートコンディション / リスタートコンディション発行動作タイミング（ST、RS ビット）

36.10.3　ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1”（バスビジー）の状態でかつ ICCR2.MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

［ストップコンディション発行動作］

- SDAn ラインを立ち下げ（High から Low に遷移）
- ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保
- SCLn ラインを開放（Low から High に遷移）
- SCLn ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDAn ラインを開放（Low から High に遷移）
- ICBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

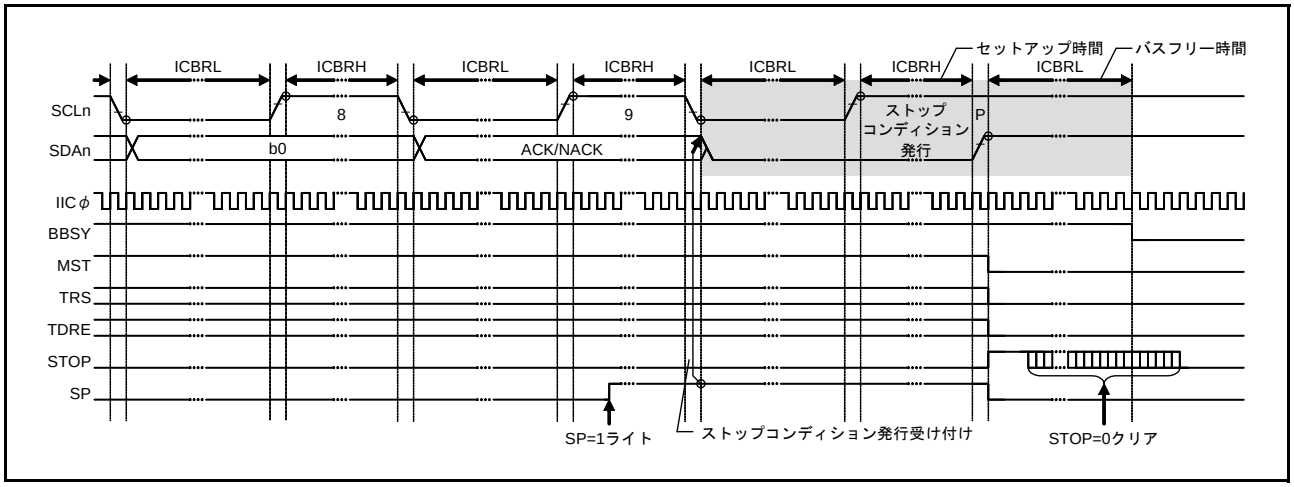


図 36.37　ストップコンディション発行動作タイミング（SP ビット）

36.11 バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDAn ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCLn ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC/ 内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCLn ライン /SDAn ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

36.11.1 タイムアウト検出機能

RIIC には SCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC はバスがビジー状態のとき、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCLn ラインに変化（立ち上がり / 立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが “1” のとき有効で、マスタモード時はバスビジー時（ICCR2.BBSY フラグ =1 の状態）、スレーブモード時は BBSY フラグが “1” の状態でかつ自スレーブアドレス一致時（ICSR1 レジスタ≠ 00h）のとき SCLn ラインの Low 固定または High 固定のバス異常状態を検出します。

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック（IICφ）をカウントソースとして動作し、ロングモード選択時（ICMR2.TMOS ビット =0）16 ビットカウンタ、ショートモード選択時（TMOS ビット =1）14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLn ラインが Low 状態のときカウントさせるか、High 状態のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

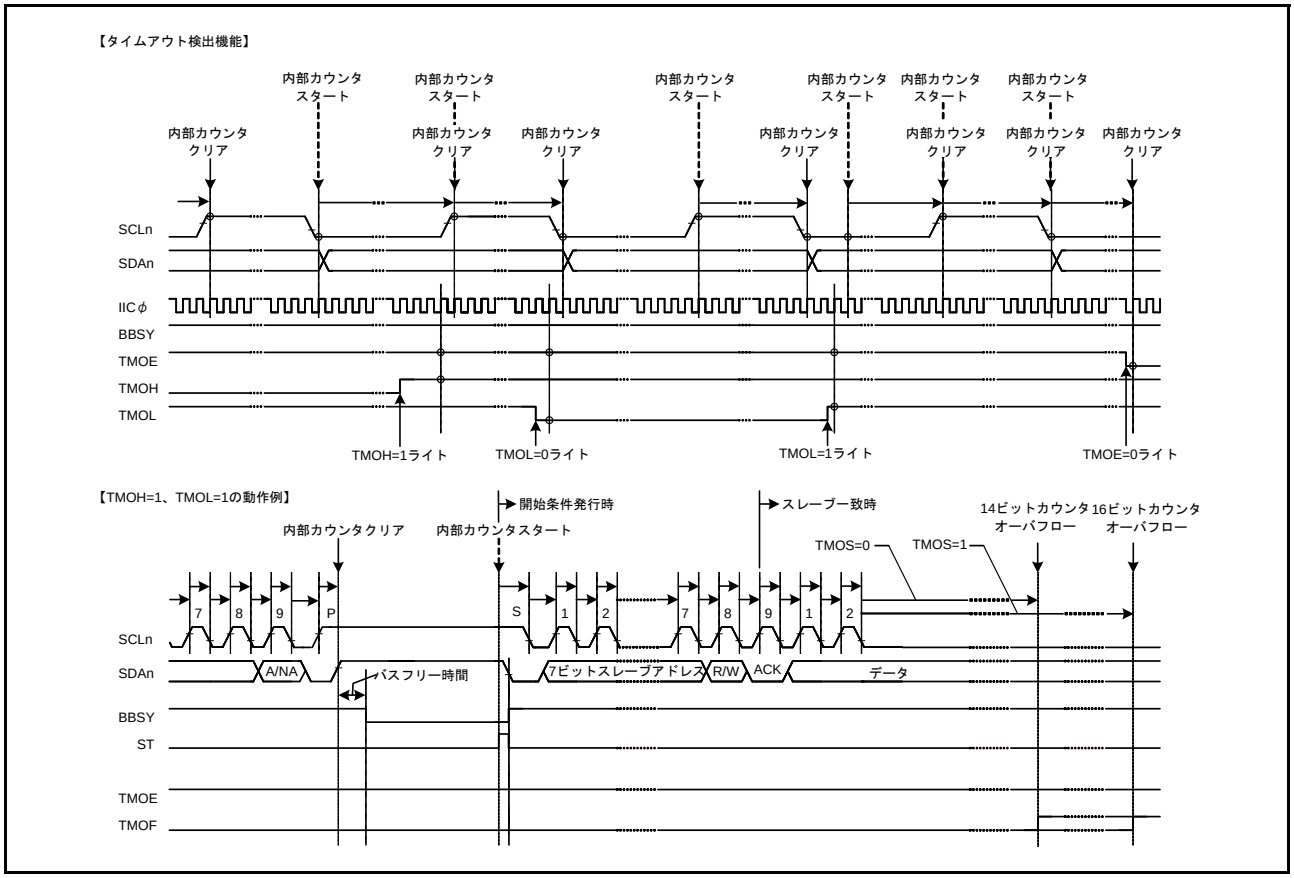


図 36.38　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

36.11.2　SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDAn ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを “1” にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。そのためソフトウェアで CLO ビットが “0” であることを確認後 “1” を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDAn ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDAn ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDAn ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを “0”（マスタアービトレーションロスト検出禁

止）にして使用してください。MALE ビットが “1”（マスタアービトレーションロスト検出許可）の場合、ICCR1.SDAO ビットの値と SDAn ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの出力条件]

- バスフリー状態（ICCR2.BBSY フラグ =0）またはマスタモード（ICCR2.MST ビット =1、BBSY フラグ =1 の状態）のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 36.39 に SCL クロック追加出力機能（CLO ビット）を示します。

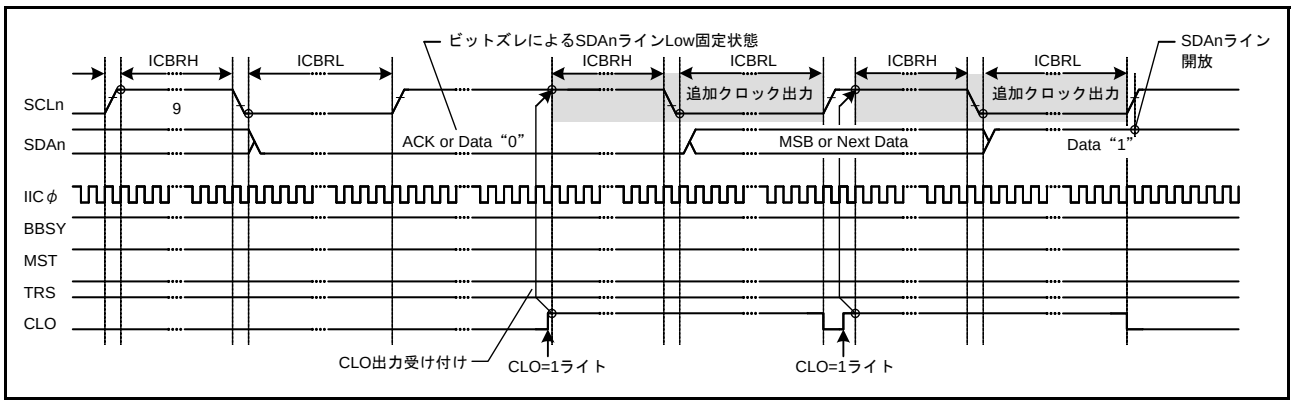


図 36.39　SCL クロック追加出力機能（CLO ビット）

36.11.3　RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCLn 端子 /SDAn 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット（ICCR1.ICE, IICRST ビット =01b）のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC/ 内部リセットの詳細については、「36.14　リセット状況」を参照してください。

36.12　SMBus 動作

RIIC は SMBus（Ver.2.0）に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを “1” にしてください。転送速度は SMBus 規格の 10kbps ～ 100kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間 :300ns（min）の規格を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間（250ns）以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス（1100 001b）はスレーブアドレスレジスタ L0 ～ L2（SARL0、SARL1、SARL 2）のいずれか 1 本を使用し、該当する SARUy.FS ビット (y=0 ～ 2)（7 ビット /10 ビットアドレスフォーマット選択ビット）を “0”（7 ビットアドレスフォーマット）を選択してください。

また、UDID（ユニークデバイスアイデンティファイ）送信時には、ICFER.SALE ビットを “1” にしてスレーブアービトレーションロスト検出機能を有効にしてください。

36.12.1　SMBus タイムアウト測定

(1)　スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（STI）、ストップコンディション検出割り込み（SPI）を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［スレーブデバイス］$T_{LOW:SEXT}$：25ms（max）以内である必要があります。

MTU または TMR で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに “1” を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCLn 端子 /SDAn 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2)　マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（STI）、ストップコンディション検出割り込み（SPI）、および送信終了割り込み（ICTEI）または受信データフル割り込み（ICRXI）を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［マスタデバイス］$T_{LOW:MEXT}$：10ms（max）以内である必要があり、スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ を加算した結果が $T_{LOW:SEXT}$：25ms（max）以内である必要があります。

ACK 受信タイミング（SMBCLK の 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は ICSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 規格のクロック Low の累積時間［マスタデバイス］TLOW：MEXT：10ms（max）または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作（ICDRT レジスタへの書き込み動作）を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

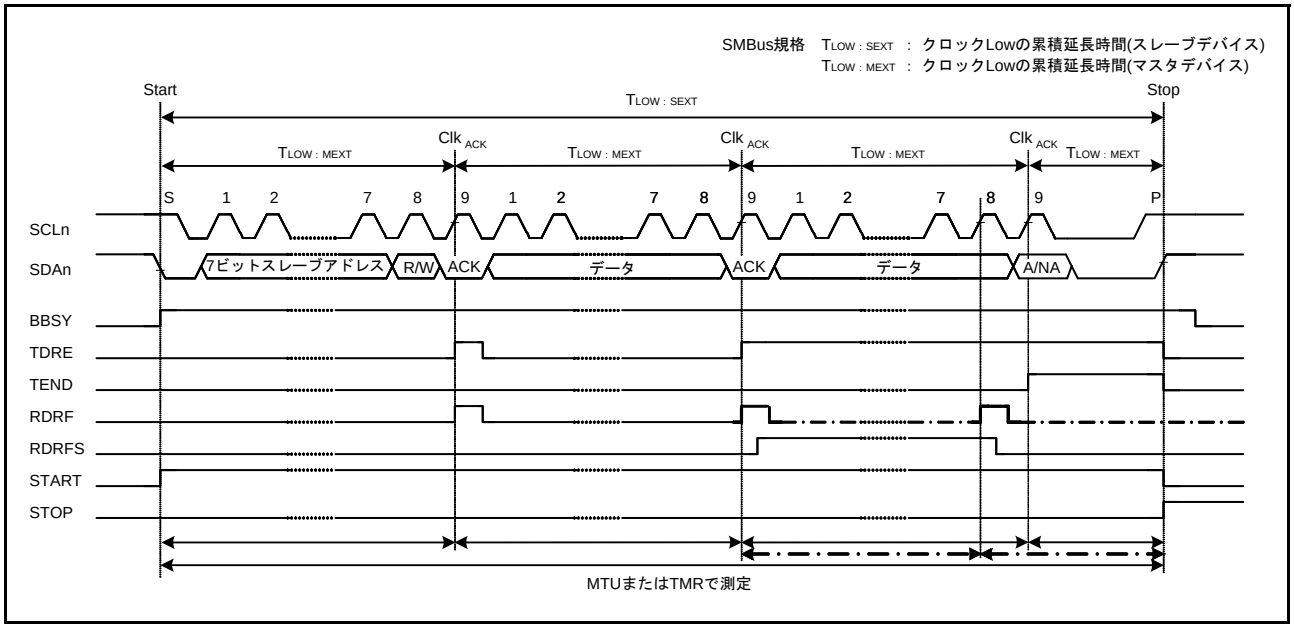


図 36.40　SMBus タイムアウト測定

36.12.2　パケットエラーコード（PEC）

RX63N グループ、RX631 グループは CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード（PEC）の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「40.　CRC 演算器（CRC）」を参照してください。

マスタ送信（マスタトランスミッタ）の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ（CRCDIR）に書くことで生成することができます。

マスタ受信（マスタレシーブ）の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ（CRCDOR）の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SMBCLK の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドしてください。

36.12.3　SMBus ホスト通知プロトコル /Notify ARP master

SMBus ではスレーブデバイスが SMBus ホスト（または ARP マスタ）に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知（または要求）することができます。

RX63N グループ、RX631 グループを SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスからのホストアドレス（0001 000b）送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを “1”、ICSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

36.13 割り込み要因

RIIC の割り込み要因には、通信エラー / イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信終了、送信データエンプティ、送信終了の 4 種類があります。

表 36.7 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

表 36.7　割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位	割り込み条件
EEI	通信エラー / イベント発生	AL	不可能	不可能	高	AL=1 かつ ALIE=1
		NACKF				NACKF=1 かつ NAKIE=1
		TMOF				TMOF=1 かつ TMOIE=1
		START				START=1 かつ STIE=1
		STOP				STOP=1 かつ SPIE=1
RXI	受信終了	—	可能	可能		RDRF=1 かつ RIE=1
TXI	送信データエンプティ	—	可能	可能		TDRE=1 かつ TIE=1
TEI	送信終了	TEND	不可能	不可能	低	TEND=1 かつ TEIE=1

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

【割り込み処理上の注意】

1. CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
2. ICTXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICTXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOP フラグ =1）で自動的に “0” になります。
3. ICRXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICRXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に “0” になります。
4. ICTEI 割り込みを使用する場合、ICTEI 割り込み処理の中で ICSR2.TEND フラグをクリアしてください。
   なお ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOP フラグ =1）で自動的に “0” になります。

36.13.1 ICTXI 割り込みおよび ICRXI 割り込みバッファ動作

ICTXI 割り込みおよび ICRXI 割り込みは、ICU.IRn.IR フラグが “1” のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

ICU.IRn.IR フラグが “0” になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアします。

また、内部で保持している割り込み要求は、対応する周辺側の割り込みイネーブルビットを “0” にすることでクリアが可能です。

36.14 リセット状況

RIIC はチップリセット、RIIC リセットおよび内部リセットのリセット機能を持っています。表 36.8 に各リセットのリセット範囲およびリセット状況を示します。

表36.8　リセット状況

		チップリセット	RIICリセット（ICEビット=0、IICRSTビット=1）	内部リセット（ICEビット=1、IICRSTビット=1）	スタートコンディション/リスタートコンディション検出	ストップコンディション検出
ICCR1	ICE、IICRST	リセット	保持	保持	動作（保持）	動作（保持）
	SCLO、SDAO		リセット	リセット		
	それ以外			保持		
ICCR2	BBSY	リセット	リセット	動作	動作	動作
	ST			リセット	リセット	動作（保持）
	それ以外					リセット
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	動作（保持）
	それ以外			保持	動作（保持）	
ICMR2		リセット	リセット	保持	動作（保持）	動作（保持）
ICMR3		リセット	リセット	保持	動作（保持）	動作（保持）
ICFER		リセット	リセット	保持	動作（保持）	動作（保持）
ICSER		リセット	リセット	保持	動作（保持）	動作（保持）
ICIER		リセット	リセット	保持	動作（保持）	動作（保持）
ICSR1		リセット	リセット	リセット	動作（保持）	リセット
ICSR2	TDRE、TEND	リセット	リセット	リセット	動作（保持）	リセット
	START				動作	
	STOP				動作（保持）	動作
	それ以外					動作（保持）
SARL0、1、2 SARU0、1、2		リセット	リセット	保持	動作（保持）	動作（保持）
ICBRH、ICBRL		リセット	リセット	保持	動作（保持）	動作（保持）
ICDRT		リセット	リセット	保持	動作（保持）	動作（保持）
ICDRR		リセット	リセット	保持	動作（保持）	動作（保持）
ICDRS		リセット	リセット	リセット	動作（保持）	動作（保持）
タイムアウト検出機能		リセット	リセット	動作	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

36.15 使用上の注意事項

36.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）またはモジュールストップコントロールレジスタ C（MSTPCRC）により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B および C の詳細は、**「11. 消費電力低減機能」**を参照してください。

36.15.2 通信の開始に関する注意事項

通信開始（ICCR1.ICE ビット =“1”）時点で ICU.IRn.IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。ICU.IRn.IR フラグが “1” で通信を開始（ICCR1.ICE ビット =“1”）すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

(1) ICCR1.ICE ビットが “0” であることを確認
(2) 対応する周辺側の割り込みイネーブルビット（ICIER.TIE など）を “0” にする
(3) 対応する周辺側の割り込みイネーブルビット（ICIER.TIE など）を読み出し、“0” を確認
(4) ICU.IRn.IR フラグを “0” にする

37. CAN モジュール（CAN）

37.1 概要

ISO11898-1 仕様に準拠した CAN（Controller Area Network）モジュールを 3 チャネル内蔵しています。CAN モジュールは標準（11 ビット）IDentifier（以下、ID と略す）と拡張（29 ビット）ID の両フォーマットのメッセージを送受信できます。

表 37.1 に CAN モジュールの仕様、**図 37.1** に CAN モジュールブロック図（i = 0 ～ 2）を示します。

なお、CAN バストランシーバは外付けしてください。

表37.1　CANモジュールの仕様

項目	概要
プロトコル	• ISO11898-1仕様準拠（標準フレーム/拡張フレーム）
ビットレート	• 1Mbps以下のビットレートをプログラム可能（fCAN≧8MHz） fCAN：CANクロックソース
メッセージボックス	• 32メールボックス：2種類のメールボックスモードを選択可能 通常メールボックスモード　：32メールボックスを送信または受信用に設定可能 FIFOメールボックスモード　：24メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOを設定可能
受信	• データフレームとリモートフレームを受信可能 • 受信するIDフォーマット（標準IDのみ、拡張IDのみ、標準と拡張両方のID）を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード（メッセージ上書き）かオーバランモード（メッセージ破棄）を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	• 8つのアクセプタンスマスク（4メールボックスごとに個別のマスク） • メールボックスはマスクの有効/無効を個別に設定可能
送信	• データフレームとリモートフレームを送信可能 • 送信するIDフォーマット（標準IDのみ、拡張IDのみ、標準と拡張両方のID）を選択可能 • ワンショット送信機能を選択可能 • ID優先送信モードかメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能（フラグでアボート完了を確認可能） • 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
バスオフ復帰方法	• バスオフ状態からの復帰方法を選択可能 ISO11898-1仕様準拠 バスオフ開始で自動的にCAN Haltモードへ移行 バスオフ終了で自動的にCAN Haltモードへ移行 プログラムによりCAN Haltモードへ移行 プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	• CANバスエラー（スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー）を監視可能 • エラー状態の遷移を検出可能（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） • エラーカウンタを読み出し可能
タイムスタンプ機能	• 16ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み機能	• 5種類の割り込み要因（受信完了割り込み、送信完了割り込み、受信FIFO割り込み、送信FIFO割り込み、エラー割り込み）
CANスリープモード	• CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	• 3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） チャネル検索サポート
CANクロックソース	周辺モジュールクロック（PCLK）、CANMCLK
テストモード	• ユーザ評価用に3つのテストモードを用意 リッスンオンリモード セルフテストモード0（外部ループバック） セルフテストモード1（内部ループバック）
消費電力低減機能	モジュールストップ状態への設定が可能

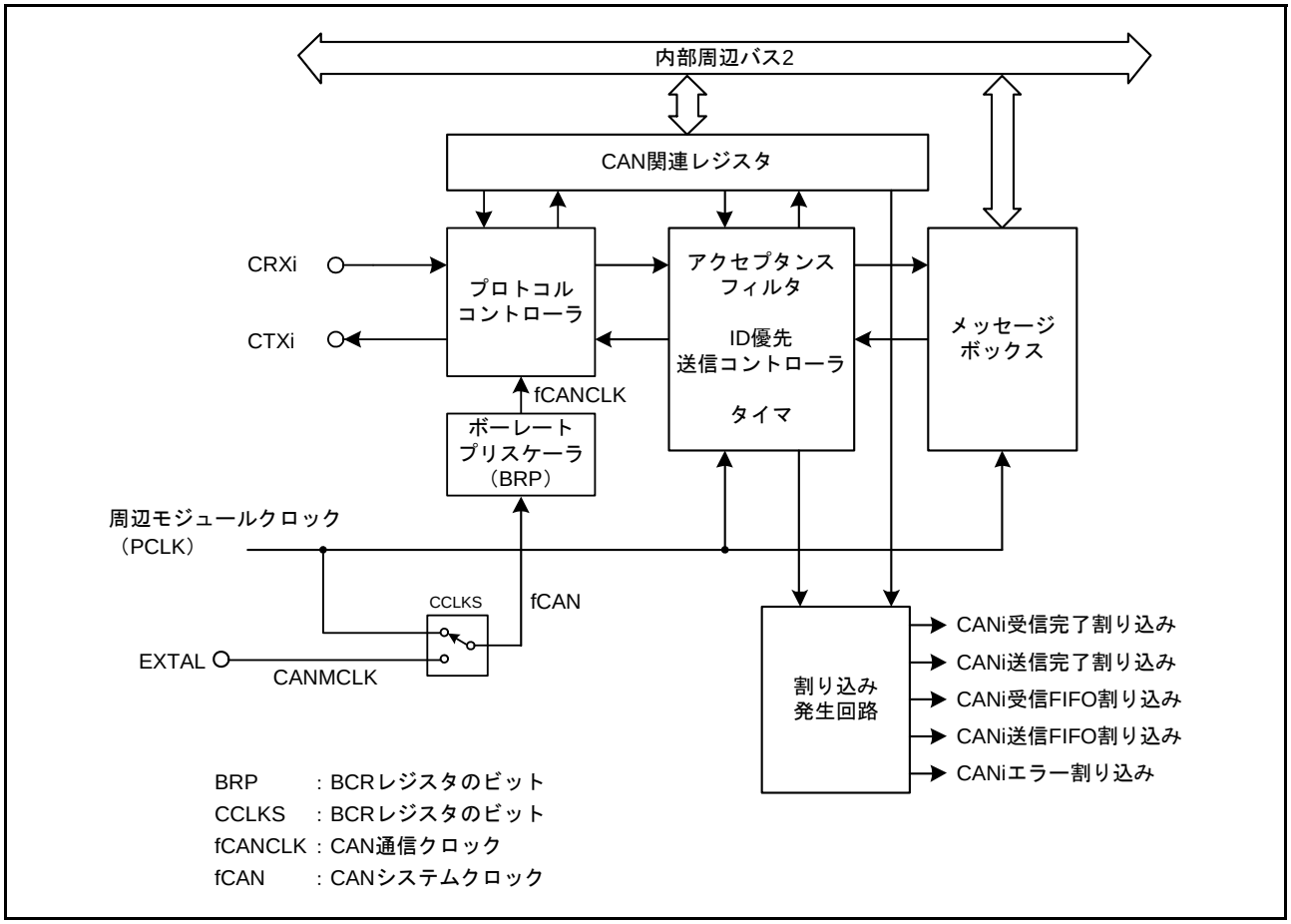


図 37.1　CAN モジュールブロック図（i = 0 ～ 2）

- CRXi、CTXi（i = 0 ～ 2）
  CAN の入出力端子です。
- プロトコルコントローラ
  バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メッセージボックス
  送信または受信メールボックスとして使用可能な 32 個のメールボックスで構成されています。固有の ID、データ長コード、8 バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ
  受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ～ MKR7 レジスタを使用します。
- タイマ
  タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。

- 割り込み発生回路
  次の 5 種類の割り込み要求を発生させることができます。
  CANi 受信完了割り込み
  CANi 送信完了割り込み
  CANi 受信 FIFO 割り込み
  CANi 送信 FIFO 割り込み
  CANi エラー割り込み

表 37.2 に CAN モジュールで使用する端子を示します。
他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「21. I/O ポート」を参照してください。

表 37.2　CAN モジュールの端子構成

端子名	入出力	機能
CRX0	入力	データ受信用端子です
CTX0	出力	データ送信用端子です
CRX1	入力	データ受信用端子です
CTX1	出力	データ送信用端子です
CRX2	入力	データ受信用端子です
CTX2	出力	データ送信用端子です

37.2 レジスタの説明

37.2.1 制御レジスタ（CTLR）

アドレス CAN0.CTLR 0009 0840h、CAN1.CTLR 0009 1840h、CAN2.CTLR 0009 2840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	送受信メールボックスモード選択ビット（注1）	0：通常メールボックスモード 1：FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモードビット（注1）	b2 b1 0 0：標準IDモード すべてのメールボックス（FIFOメールボックスを含む）は標準IDのみに対応します 0 1：拡張IDモード すべてのメールボックス（FIFOメールボックスを含む）は拡張IDのみに対応します 1 0：ミックスIDモード すべてのメールボックス（FIFOメールボックスを含む）は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]～[23]は対応するメールボックスのIDEビット、受信FIFOはFIDCR0、FIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定します 1 1：設定しないでください	R/W
b3	MLM	メッセージロストモード選択ビット（注2）	0：オーバライトモード 1：オーバランモード	R/W
b4	TPM	送信優先順位モード選択ビット（注2）	0：ID優先送信モード 1：メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットビット（注4）	0：リセットしない 1：リセットする（注3）	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケーラ選択ビット（注1）	b7 b6 0 0：1ビットタイムごと 0 1：2ビットタイムごと 1 0：4ビットタイムごと 1 1：8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CAN動作モード選択ビット（注5）	b9 b8 0 0：CANオペレーションモード 0 1：CANリセットモード 1 0：CAN Haltモード 1 1：CANリセットモード（強制移行）	R/W
b10	SLPM	CANスリープモードビット（注5、注6）	0：CANスリープモードではない 1：CANスリープモード	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード選択ビット（注1）	b12 b11 0 0：ノーマルモード（ISO11898-1仕様準拠） 0 1：バスオフ開始で自動的にCAN Haltモードへ移行） 1 0：バスオフ終了で自動的にCAN Haltモードへ移行） 1 1：プログラムによる要求でCAN Haltモードへ移行） （バスオフ復帰期間中）	R/W
b13	RBOC	バスオフ強制復帰ビット（注2）	0：何もしない 1：バスオフからの強制復帰（注3）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBMビットは、CANリセットモード時に変更してください。
注2. RBOCビットはバスオフ状態時に“1”にしてください。
注3. “1”にした後自動的に“0”になります。読んだ場合“0”が読めます。
注4. TSRCビットはCANオペレーションモード時に“1”にしてください。
注5. CANM[1:0]、SLPMビットを変更した場合は、STRレジスタでモードが切り替わることを確認してください。

モードが切り替わるまで、CANM[1:0]、SLPMビットは変更しないでください。
注6. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。SLPMビットを書き替える場合は、本ビットのみ“0”または“1”にしてください。

MBM ビット（送受信メールボックスモード選択ビット）

MBM ビットが “0”（通常メールボックスモード）の場合、メールボックス [0] ～ [31] は送信または受信メールボックスに設定されます。

MBM ビットが “1”（FIFO メールボックスモード）の場合、メールボックス [0] ～ [23] は送信または受信メールボックスに設定され、メールボックス [24] ～ [27] は送信 FIFO に、メールボックス [28] ～ [31] は受信 FIFO に設定されます。

送信データはメールボックス [24] に書き込み（メールボックス [24] は送信 FIFO のウィンドウメールボックスです）、受信データはメールボックス [28] から読み出します（メールボックス [28] は受信 FIFO のウィンドウメールボックスです）。

表 37.3 にメールボックスの設定を示します。

IDFM[1:0] ビット（ID フォーマットモードビット）

IDFM[1:0] ビットは、ID フォーマットを決定します。

MLM ビット（メッセージロストモード選択ビット）

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバライトモードまたはオーバランモードを選択できます。すべてのメールボックス（受信 FIFO を含む）は、オーバライトモードかオーバランモードのどちらかになります。

MLM ビットが “0” の場合、すべてのメールボックスはオーバライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

MLM ビットが “1” の場合、すべてのメールボックスはオーバランモードになり、新しいメッセージは破棄されます。

TPM ビット（送信優先順位モード選択ビット）

メッセージを送信する場合の優先順のモードを指定します。

TPM ビットは、ID 優先モードまたはメールボックス番号優先モードを選択します。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信どちらかになります。

TPM ビットが “0” の場合、ID 優先送信モードとなり、送信優先順位は CAN バスアービトレーションルール（ISO11898-1 仕様）に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス [0] ～ [31]、FIFO メールボックスモードのときメールボックス [0] ～ [23] と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。

次に送信 FIFO から送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが “1” の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス（メールボックス [0]~[23]）よりも優先順位が低くなります。

TSRC ビット（タイムスタンプカウンタリセットビット）

TSRC ビットを “1” にすると TSR レジスタは 0000h になります。このビットは自動的に “0” になります。

TSPS[1:0] ビット（タイムスタンププリスケーラ選択ビット）

タイムスタンプ用のプリスケーラを選択します。タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムから選択できます。

CANM[1:0] ビット（CAN 動作モード選択ビット）

CANM[1:0] ビットは、CAN モジュールのモード（CAN オペレーションモード、CAN リセットモード、CAN Halt モード）を選択するビットです。CAN スリープモードは SLPM ビットで設定します。詳細は「37.3　動作モード」を参照してください。

BOM[1:0] ビットの設定によって CAN Halt モードへ移行した場合は、CANM[1:0] ビットは自動的に “10b” になります。

SLPM ビット（CAN スリープモードビット）

SLPM ビットを “1” にすると CAN モジュールは CAN スリープモードになります。SLPM ビットを “0” にすると、CAN スリープモードは解除されます。詳細は、「37.3　動作モード」を参照してください。

BOM[1:0] ビット（バスオフ復帰モード選択ビット）

BOM[1:0] ビットは CAN モジュールのバスオフ復帰モードの選択に使用します。

BOM[1:0] ビットが “00b” の場合、バスオフからの復帰は ISO11898-1 仕様に準拠します。すなわち、CAN モジュールは、11 の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが “01b” の場合、CAN モジュールがバスオフ状態に達すると、CTLR レジスタの CANM[1:0] ビットが “10b”（CAN Halt モード）になってから、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは “00h” になります。

BOM[1:0] ビットが “10b” の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが “10b” になり、バスオフ状態から復帰した（11 の連続するレセシブビットを 128 回検出）後に、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは “00h” になります。

BOM[1:0] ビットが “11b” の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを “10b” にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは “00h” になります。しかし、CANM[1:0] ビットを “10b” にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールが CAN Halt モードに移行するのと同時（BOM[1:0] ビット = “01b” のとき：バスオフ開始、または BOM[1:0] ビット = “10b” のとき：バスオフ終了）に、CPU が CAN リセットモードへの移行を要求した場合は、CPU の要求が優先されます。

RBOC ビット（バスオフ強制復帰ビット）

バスオフ状態時に RBOC ビットを “1”（バスオフからの強制復帰）にするとバスオフ状態から強制的に復帰します。このビットは自動的に “0” になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。RBOC ビットを “1” にすると、RECR、TECR レジスタは “00h” になり、STR レジスタの BOST ビットは “0”（CAN モジュールはバスオフ状態ではない）になります。他のレジスタは RBOC ビットを “1” にしても変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが “00B”（ノーマルモード）のときのみ使用してください。

表37.3　　メールボックスの設定

メールボックス	MBMビット = “0” （通常メールボックスモード）	MBMビット = “1” （FIFOメールボックスモード）
メールボックス[0]～[23]	通常メールボックス	通常メールボックス
メールボックス[24]～[27]		送信FIFO
メールボックス[28]～[31]		受信FIFO

CTLR.MBMビットが“1”のときは以下の1.～5.の点に注意してください。
注1.　送信FIFOはTFCRレジスタで制御します。メールボックス[24]～[27]のMCTLjレジスタは無効です。
　　MCTL24～MCTL27レジスタは送信FIFOでは使用できません。
注2.　受信FIFOはRFCRレジスタで制御します。メールボックス[28]～[31]のMCTLjレジスタは無効です。
　　MCTL28～MCTL31レジスタは受信FIFOでは使用できません。
注3.　FIFO割り込みについてはMIERレジスタを参照してください。
注4.　MKIVLRレジスタのメールボックス[24]～[31]に対応するビットは無効です。これらのビットは“0”にしてください。
注5.　送信/受信FIFOはデータフレーム/リモートフレームを使用可能です。

37.2.2　　ビットコンフィグレーションレジスタ（BCR）

アドレス　CAN0.BCR 0009 0844h、CAN1.BCR 0009 1844h、CAN2.BCR 0009 2844h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSEG1[3:0]				—	—	BRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	CCLKS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択ビット	0：PCLK（PLLクロックから生成） 1：CANMCLK（メインクロックから生成）	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御ビット	b10　b8 0 0 0：（設定しないでください） 0 0 1：2Tq 0 1 0：3Tq 0 1 1：4Tq 1 0 0：5Tq 1 0 1：6Tq 1 1 0：7Tq 1 1 1：8Tq	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SJW[1:0]	再同期ジャンプ幅制御ビット	b13 b12 0 0：1Tq 0 1：2Tq 1 0：3Tq 1 1：4Tq	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b16	BRP[9:0]	プリスケーラ分周比選択ビット （注1）	CAN通信クロック（fCANCLK）の周波数を設定します	R/W
b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-28	TSEG1[3:0]	タイムセグメント 1 制御ビット	b31 b28 0 0 0 0 : （設定しないでください） 0 0 0 1 : （設定しないでください） 0 0 1 0 : （設定しないでください） 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W

Tq：Time Quantum

注 1.　SCKCR3.CKSEL[2:0] ビットが“010b”（メインクロック発振器選択）のときは、“1”以下を設定しないでください。

ビットタイミングの設定については、「37.4　CAN 通信速度の設定」を参照してください。

BCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN リセットモードから CAN オペレーションモードへ移行する前に設定してください。一度設定すると CAN リセットモードまたは CAN Halt モードで変更できます。

BCR レジスタは 24 ビットです。32 ビットでアクセスする場合は、b0 ～ b7 を書き換えないように注意してください。

CCLKS ビット（CAN クロックソース選択ビット）

CCLKS ビットを “0” にすると、CAN クロックソース（fCAN）は PLL 周波数シンセサイザから生成された周辺クロック（PCLK）が使用されます。

CCLKS ビットを “1” にすると、CAN クロックソース（fCAN）は PLL 周波数シンセサイザを使用せず、外部の EXTAL 端子から生成された CANMCLK が使用されます。

TSEG2[2:0] ビット（タイムセグメント 2 制御ビット）

フェーズバッファセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。2 ～ 8Tq の値が設定可能です。TSEG1[3:0] ビットより小さな値を設定してください。

SJW[1:0] ビット（再同期ジャンプ幅制御ビット）

再同期ジャンプ幅（Resynchronization Jump Width）を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2[2:0] ビット以下の値を設定してください。

BRP[9:0] ビット（プリスケーラ分周比選択ビット）

CAN 通信クロック（fCANCLK）の周波数設定に使用します。fCANCLK の周期が 1Tq となります。設定値 P（0 ～ 1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

TSEG1[3:0] ビット（タイムセグメント 1 制御ビット）

プロパゲーションタイムセグメント（PROP_SEG）とフェーズバッファセグメント 1（PHASE_SEG1）の合計長を Time Quantum（Tq）値で指定します。

4 ～ 16Tq の値が設定可能です。

37.2.3　マスクレジスタ k（MKRk）（k = 0 ～ 7）

アドレス　CAN0.MKR0 0009 0400h、CAN0.MKR1 0009 0404h、CAN0.MKR2 0009 0408h、CAN0.MKR3 0009 040Ch、
CAN0.MKR4 0009 0410h、CAN0.MKR5 0009 0414h、CAN0.MKR6 0009 0418h、CAN0.MKR7 0009 041Ch、
CAN1.MKR0 0009 1400h、CAN1.MKR1 0009 1404h、CAN1.MKR2 0009 1408h、CAN1.MKR3 0009 140Ch、
CAN1.MKR4 0009 1410h、CAN1.MKR5 0009 1414h、CAN1.MKR6 0009 1418h、CAN1.MKR7 0009 141Ch、
CAN2.MKR0 0009 2400h、CAN2.MKR1 0009 2404h、CAN2.MKR2 0009 2408h、CAN2.MKR3 0009 240Ch、
CAN2.MKR4 0009 2410h、CAN2.MKR5 0009 2414h、CAN2.MKR6 0009 2418h、CAN2.MKR7 0009 241Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0：対応するEID[17:0]ビットは比較されない 1：対応するEID[17:0]ビットは比較される	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは比較されない 1：対応するSID[10:0]ビットは比較される	R/W
b31-b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

FIFO メールボックスモードでのマスク機能については、**「37.6　アクセプタンスフィルタ機能とマスク機能」**を参照してください。

なお、MKR0 ～ MKR7 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。

拡張 ID のメッセージを受信する場合に使用します。

EID[17:0] ビットが “0” の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較しません。

EID[17:0] ビットが “1” の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。

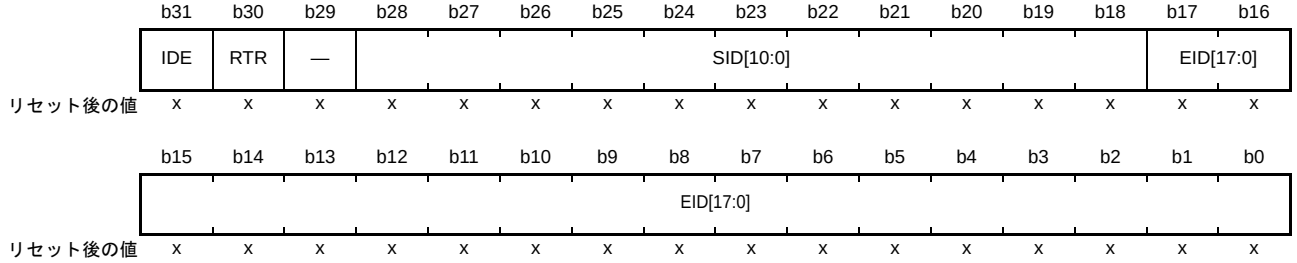
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

SID[10:0] ビットが “0” の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較しません。

SID[10:0] ビットが “1” の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較します。

37.2.4　FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1）

アドレス　CAN0.FIDCR0 0009 0420h、CAN0.FIDCR1 0009 0424h、CAN1.FIDCR0 0009 1420h、CAN1.FIDCR1 0009 1424h、CAN2.FIDCR0 0009 2420h、CAN2.FIDCR0 0009 2424h



x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0：対応するEID[17:0]ビットは“0” 1：対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは“0” 1：対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット（注1）	0：標準ID 1：拡張ID	R/W

注1.　IDFM[1:0]ビットが“10b”以外のときはIDEビットには“0”を書いてください。また、読んだ場合、その値は“0”です。

FIDCR0、FIDCR1 レジスタは、CTLR レジスタの MBM ビットが “1”（FIFO メールボックスモード）のとき有効です。MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効です。

FIDCR0、FIDCR1 レジスタの使用方法については、**「37.6　アクセプタンスフィルタ機能とマスク機能」**を参照してください。

FIDCR0、FIDCR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。

拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。

標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット（リモート送信要求ビット）

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが “0” の場合、データフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが “1” の場合、リモートフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの RTR ビットが “0” と “1” のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

IDE ビット（ID 拡張ビット）

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10b”（ミックス ID モード）のとき有効です。

- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが “0” の場合、標準 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが “1” の場合、拡張 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの IDE ビットが “0” と “1” のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

37.2.5　マスク無効レジスタ（MKIVLR）

アドレス　CAN0.MKIVLR 0009 0428h、CAN1.MKIVLR 0009 1428h、CAN2.MKIVLR 0009 2428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31～MB0	マスク無効ビット	0：マスク有効 1：マスク無効	R/W

MKIVLR レジスタには、各メールボックスに対応するビットが含まれます。

各ビットの対応を以下に示します。

MKIVLR レジスタのビット 0 はメールボックス 0（MB0）に対応し、ビット 31 はメールボックス 31（MB31）にそれぞれ対応しています。(注 1)

該当するビットが “1” になると、該当するアクセプタンスマスクレジスタが対応するメールボックスに対して無効になります。マスク無効ビットを “1” にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合のみ対応するメールボックスが受信します。

なお、MKIVLR レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

注 1.　FIFO メールボックスモード時はビット 31 ～ 24 を “0” にしてください。

37.2.6　メールボックスレジスタ j（MBj）（j = 0 ～ 31）

表 37.4 に CAN1 メールボックスのメモリ配置、**表 37.5** に CAN データフレームの構成を示します。

CAN1 メールボックスのリセット後の値は不定です。

MBj レジスタは、関連する MCTLj レジスタ（j = 0 ～ 31）が “00h” で、かつアボート処理中でないときにのみ MBj レジスタの設定を変更してください。

レジスタアドレスの詳細については**表 37.4** を参照してください。

表37.4　CAN1メールボックスのメモリ配置

アドレス			メッセージ内容
CAN0	CAN1	CAN2	メモリ配置
0009 0200h + 16×j + 0	0009 1200h + 16×j + 0	0009 2200h + 16×j + 0	IDE、RTR、SID10～SID6
0009 0200h + 16×j + 1	0009 1200h + 16×j + 1	0009 2200h + 16×j + 1	SID5～SID0、EID17、EID16
0009 0200h + 16×j + 2	0009 1200h + 16×j + 2	0009 2200h + 16×j + 2	EID15～EID8
0009 0200h + 16×j + 3	0009 1200h + 16×j + 3	0009 2200h + 16×j + 3	EID7～EID0
0009 0200h + 16×j + 4	0009 1200h + 16×j + 4	0009 2200h + 16×j + 4	—
0009 0200h + 16×j + 5	0009 1200h + 16×j + 5	0009 2200h + 16×j + 5	データ長コード（DLC[3:0]）
0009 0200h + 16×j + 6	0009 1200h + 16×j + 6	0009 2200h + 16×j + 6	データバイト0
0009 0200h + 16×j + 7	0009 1200h + 16×j + 7	0009 2200h + 16×j + 7	データバイト1
0009 0200h + 16×j + 8	0009 1200h + 16×j + 8	0009 2200h + 16×j + 8	データバイト2
0009 0200h + 16×j + 9	0009 1200h + 16×j + 9	0009 2200h + 16×j + 9	データバイト3
0009 0200h + 16×j + 10	0009 1200h + 16×j + 10	0009 2200h + 16×j + 10	データバイト4
0009 0200h + 16×j + 11	0009 1200h + 16×j + 11	0009 2200h + 16×j + 11	データバイト5
0009 0200h + 16×j + 12	0009 1200h + 16×j + 12	0009 2200h + 16×j + 12	データバイト6
0009 0200h + 16×j + 13	0009 1200h + 16×j + 13	0009 2200h + 16×j + 13	データバイト7
0009 0200h + 16×j + 14	0009 1200h + 16×j + 14	0009 2200h + 16×j + 14	タイムスタンプ上位バイト
0009 0200h + 16×j + 15	0009 1200h + 16×j + 15	0009 2200h + 16×j + 15	タイムスタンプ下位バイト

表37.5　CANデータフレームの構成

SID10～SID6	SID5～SID0	EID17～EID16	EID15～EID8	EID7～EID0	DLC3～DLC0	DATA0	DATA1	・・・	DATA7

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

アドレス　CAN0.MB0～CAN0.MB63 0009 0200h～ 0009 03FFh、CAN1.MB0～CAN1.MB63 0009 1200h～ 0009 13FFh、CAN2.MB0～CAN2.MB63 0009 2200h～ 0009 23FFh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット（注1）	0：対応するEID[17:0]ビットは“0” 1：対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは“0” 1：対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット（注2）	0：標準ID 1：拡張ID	R/W

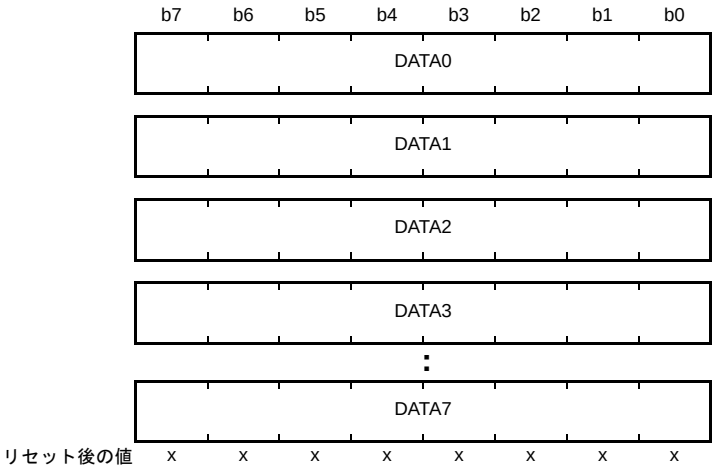
注1.　メールボックスが標準IDのメッセージを受信すると、メールボックスのEID[17:0]ビットの値は不定になります。
注2.　IDEビットは、CTLRレジスタのIDFM[1:0]ビットが“10b”（ミックスIDモード）のときに有効です。IDFM[1:0]ビットが“10b”以外のときにはIDEビットに“0”を書いてください。また、読んだ場合、その値は“0”です。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	DLC[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コードビット（注1）	b3　b0 0 0 0 0：データ長0バイト 0 0 0 1：データ長1バイト 0 0 1 0：データ長2バイト 0 0 1 1：データ長3バイト 0 1 0 0：データ長4バイト 0 1 0 1：データ長5バイト 0 1 1 0：データ長6バイト 0 1 1 1：データ長7バイト 1 x x x：データ長8バイト 注1.　x：任意の値です	R/W
b15-b4	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1.　メールボックスが8より小さいDLC[3:0]のメッセージを受信すると、メールボックスのDLC[3:0]より大きいDATAは不定になります。

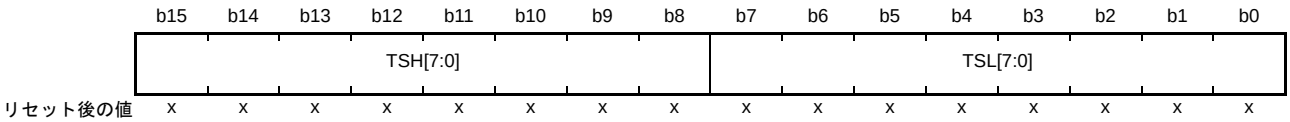


x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0-DATA7	データ長コードビット（注1、注2）	DATA0～7は送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます	R/W

注1.　メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA0～DATA7の値は不定になります。

注2.　メールボックスがリモートフレームを受信した場合、メールボックスのDATA0～DATA7は以前の値が保持されます。



x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]とTSL[7:0]は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。
拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット（リモート送信要求ビット）

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットが指定するフォーマットのフレームのみ受信する
- 送信メールボックスは、RTR ビットが指定するフレームフォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの RTR ビットが指定するデータフレームとリモートフレームを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

IDE ビット（ID 拡張ビット）

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10b”（ミックス ID モード）のとき有効です。

- 受信メールボックスは、IDE ビットが指定する ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットが指定する ID フォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの IDE ビットが指定する標準 ID と拡張 ID を受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

DLC[3:0] ビット（データ長コードビット）

DLC[3:0] ビットはデータフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。
データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

37.2.7　メールボックス割り込み許可レジスタ（MIER）

アドレス　CAN0.MIER 0009 042Ch、CAN1.MIER 0009 142Ch、CAN2.MIER 0009 242Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

- 通常メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31～MB0	割り込み許可ビット	0：割り込み禁止 1：割り込み許可 ビット31はメールボックス31（MB31）、ビット0はメールボックス0（MB0）にそれぞれ対応しています	R/W

- FIFO メールボックスモード

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23～MB0	割り込み許可ビット	0：割り込み禁止 1：割り込み許可 ビット23はメールボックス23（MB23）、ビット0はメールボックス0（MB0）にそれぞれ対応しています	R/W
b24	MB24	送信FIFO割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御ビット	0：送信FIFO割り込み要求は、毎回の送信完了後発生 1：送信FIFO割り込み要求は、送信完了により送信FIFOが空き状態になったとき発生	R/W
b27-b26	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b28	MB28	受信FIFO割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御ビット（注1）	0：受信FIFO割り込み要求は、毎回の受信完了後発生 1：受信FIFO割り込み要求は、受信完了により受信FIFOがバッファワーニングになったとき発生	R/W
b31-b30	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1.　受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER レジスタは、メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード（すべてのビット）と FIFO メールボックスモード（MIER レジスタのビット 24 ～ 0）では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了 / 受信完了割り込みを許可 / 禁止します。

- MIER レジスタのビット 0 はメールボックス 0（MB0）に対応
- MIER レジスタのビット 31 はメールボックス 31（MB31）に対応

FIFO メールボックスモードの MIER レジスタのビット 29、28、25、24 は送信 / 受信 FIFO 割り込みの許可 / 禁止と割り込み要求が発生するタイミングを指定します。

MIER レジスタは、関連する MCTLj レジスタ（j = 0 ～ 31）が “00h” で、対応するメールボックスが送受信アボートの処理をしていないときにのみ変更してください。また、FIFO 動作モード時は、TFCR.TFE

ビットが “0” で TFEST ビットが “1”、RFCR.RFE ビットが “0” で RFCR.RFEST ビットが “1” のときのみ、関連する FIFO の MIER レジスタのビットを変更してください。

37.2.8　メッセージ制御レジスタ j（MCTLj）（j = 0 ～ 31）

アドレス　CAN0.MCTL0～CAN0.MCTL31 0009 0820h～0009 083Fh、CAN1.MCTL0～CAN1.MCTL31 0009 1820h～0009 183Fh、CAN2.MCTL0～CAN2.MCTL31 0009 2820h～0009 283Fh

・送信モード（TRMREQビットが"1"、RECREQビットが"0"の場合）

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

・受信モード（TRMREQビットが"0"、RECREQビットが"1"の場合）

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ（注1、注2）	0：送信が終了していない 1：送信完了	R/W
	NEWDATA	受信完了フラグ（注1、注2）	0：データが受信されていない、またはNEWDATAビットに“0”を書いた場合 1：新しいメッセージをメールボックスに格納中または格納された場合	R/W
b1	TRMACTIVE	送信中ステータスビット	（送信メールボックス設定時有効） 0：送信待機中または送信要求なし 1：送信要求の取り込みから、送信完了、エラー発生、またはアービトレーションロスト発生まで	R
	INVALDATA	受信中ステータスビット	（受信メールボックス設定時有効） 0：メッセージは有効 1：メッセージを更新中	R
b2	TRMABT	送信アボート完了フラグ （注1、注2）	（送信メールボックス設定時有効） 0：送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1：送信アボート完了	R/W
	MSGLOST	メッセージロストフラグ （注1、注2）	（受信メールボックス設定時有効） 0：メッセージはオーバライトまたはオーバランされていない 1：メッセージはオーバライトまたはオーバランされた	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ONESHOT	ワンショット許可ビット（注3）	0：ワンショット受信またはワンショット送信禁止 1：ワンショット受信またはワンショット送信許可	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	RECREQ	受信メールボックス設定ビット （注2、注3、注4、注5）	0：受信メールボックスに設定しない 1：受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット （注2、注4）	0：送信メールボックスに設定しない 1：送信メールボックスに設定する	R/W

注1.　“0”のみ書けます。（1を書いても変化しません）

注2.　NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで“0”を書く場合は、論理演算（AND）命令は使用しないでください。“0”にしたいビットを“0”、そうでないビットを“1”にして、転送（MOV）命令を使用してください。

注3.　ワンショット受信モードに移行するときは、RECREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット受信モードを解除するときは、RECREQビットに“0”を書いた後、RECREQビットが“0”になったのを確認してからONESHOTビットに“0”を書いてください。ワンショット送信モードに移行するときは、TRMREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後に

ONESHOTビットに“0”を書いてください。
注4. RECREQビットとTRMREQビットの両方を“1”にしないでください。
注5. RECREQビットを“0”にするときには、NEWDATA、MSGLOSTフラグとRECREQビットは同時に“0”にしてください。

MCTLj レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。
FIFO メールボックスモードでは、MCTL24 ～ MCTL31 レジスタは使用しないでください。

SENTDATA フラグ（送信完了フラグ）

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると “1” になります。SENTDATA フラグは、プログラムで “0” を書くと “0” になります。

SENTDATA フラグを “0” にする場合は、TRMREQ ビットを “0” にしてから SENTDATA フラグを “0” にしてください。SENTDATA フラグと TRMREQ ビットは同時に “0” になりません。メールボックスから新しいメッセージを転送するには、SENTDATA フラグを “0” にしてください。

NEWDATA フラグ（受信完了フラグ）

NEWDATA フラグは、メールボックスに新しいメッセージを格納中または格納が完了したときに “1” になります。“1” になるタイミングは、INVALDATA ビットと同時です。NEWDATA フラグは、プログラムで “0” を書くと “0” になります。関連する INVALDATA ビットが “1” の間は、NEWDATA フラグはプログラムで “0” を書いても “0” にできません。

TRMACTIVE ビット（送信中ステータスビット）

TRMACTIVE ビットは、CAN モジュールから対応するメールボックスのメッセージ送信を開始すると “1” になります。TRMACTIVE ビットは、CAN モジュールが CAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると “0” になります。

INVALDATA ビット（受信中ステータスビット）

INVALDATA ビットは、メッセージの受信完了後、受信したメッセージをメールボックスに更新中に “1” になります。INVALDATA ビットは、メッセージの格納完了時点で “0” になります。INVALDATA ビットが “1” の間にメールボックスを読んだ場合、データは不定値になります。

TRMABT フラグ（送信アボート完了フラグ）

TRMABT フラグは、次の場合、“1”（送信アボート完了）になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合
- ワンショット送信モード（RECREQ ビットが “0”、TRMREQ ビットが “1”、ONESHOT ビットが “1”）で、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出した場合

TRMABT フラグは、データ送信が完了しても “1” にはなりません。データ送信が完了した場合は SENTDATA フラグが “1” になります。TRMABT フラグは、プログラムで “0” を書くと “0” になります。

MSGLOST フラグ（メッセージロストフラグ）

MSGLOST フラグは、NEWDATA フラグが “1” の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり、破棄されたりした場合、“1” になります。EOF の 6 番目のビットの終わりで “1” になります。MSGLOST フラグは、プログラムで “0” を書くと “0” になります。

オーバライトモードとオーバランモードの両方において、EOF の 6 番目のビットに続く周辺モジュールクロック（PCLK）の 5 サイクルの間は、MSGLOST フラグはプログラムで “0” を書いても “0” にできません。

ONESHOT ビット（ワンショット許可ビット）

ONESHOT ビットは受信モードと送信モードの 2 つの使い方があります。

- ワンショット受信モード
  受信モード（RECREQ ビットが “1”、TRMREQ ビットが “0”）のとき ONESHOT ビットを “1” にすると、メールボックスはメッセージを 1 回のみ受信します（メッセージを 1 回受信完了した後は受信メールボックスとして動作しません）。NEWDATA フラグおよび INVALDATA ビットの動作は、通常の受信モードと同じです。このモードでは、MSGLOST フラグは “1” にはなりません。ONESHOT ビットを “0” にする場合、RECREQ ビットへ “0” を書いた後、RECREQ ビットが “0” になることを確認してから行ってください。
- ワンショット送信モード
  送信モード（RECREQ ビットが “0”、TRMREQ ビットが “1”）のとき ONESHOT ビットを “1” にすると、CAN モジュールはメッセージを 1 回のみ送信しようとします（CAN バスエラーまたは CAN バスアービトレーションロストの場合でも、メッセージの再送信を行いません）。送信が完了した場合、SENTDATA フラグが “1” になります。CAN バスエラーまたは CAN バスアービトレーションロストによって送信が完了しない場合は、TRMABT フラグが “1” になります。ONESHOT ビットを “0” にする場合は、SENTDATA フラグが “1” または TRMABT フラグが “1” になった後に行ってください。

RECREQ ビット（受信メールボックス設定ビット）

RECREQ ビットは**表 37.10** に示す受信モードを選択します。

RECREQ ビットを “1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

RECREQ ビットを “0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、RECREQ ビットはプログラムで “0” を書いても “0” になりません。

- ハードウェアプロテクトの開始
  アクセプタンスフィルタ処理の開始（CRC フィールドの始まり）

- ハードウェアプロテクトの解除
  －メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後（すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで）
  －その他のメールボックスは、アクセプタンスフィルタ処理後
  －受信するメールボックスがない場合は、アクセプタンスフィルタ処理後
  RECREQ ビットを “1” にする場合は、TRMREQ ビットを “1” にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA フラグと TRMABT フラグを “0” にしてください。

TRMREQ ビット（送信メールボックス設定ビット）

TRMREQ ビットは**表 37.10** に示す送信モードを選択します。

TRMREQ ビットを “1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

TRMREQ ビットを “0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを “1” から “0” に変更すると、TRMABT フラグまたは SENTDATA フラグが “1” になります。TRMREQ ビットを “1” にする場合は、RECREQ ビットを “1” にし

ないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA フラグと MSGLOST フラグを “0” にしてください。

37.2.9　受信 FIFO 制御レジスタ（RFCR）

アドレス　CAN0.RFCR 0009 0848h、CAN1.RFCR 0009 1848h、CAN2.RFCR 0009 2848h

	b7	b6	b5	b4	b3	b2	b1	b0
	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信FIFO許可ビット	0：受信FIFO禁止 1：受信FIFO許可	R/W
b3-b1	RFUST[2:0]	受信FIFO未読メッセージ数ステータスビット	b3 b1 0 0 0：未読メッセージなし 0 0 1：未読メッセージ1件あり 0 1 0：未読メッセージ2件あり 0 1 1：未読メッセージ3件あり 1 0 0：未読メッセージ4件あり 1 0 1：予約 1 1 0：予約 1 1 1：予約	R
b4	RFMLF	受信FIFOメッセージロストフラグ	0：受信FIFOメッセージロスト未発生 1：受信FIFOメッセージロスト発生	R/W
b5	RFFST	受信FIFOフルステータスビット	0：受信FIFOはフルではない 1：受信FIFOはフル（未読メッセージ4件）	R
b6	RFWST	受信FIFOバッファワーニングステータスフラグ	0：受信FIFOはバッファワーニングではない 1：受信FIFOはバッファワーニング（未読メッセージ3件）	R
b7	RFEST	受信FIFO空ステータスフラグ	0：受信FIFOに未読メッセージあり 1：受信FIFOに未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

RFE ビット（受信 FIFO 許可ビット）

RFE ビットを “1” にすると、受信 FIFO が受信許可になります。

RFE ビットを “0” にすると、受信 FIFO は受信禁止になり、空状態（RFEST ビットが “1”）になります。RFMLF ビットと同時に RFE ビットに “0” を書いてください。

通常メールボックスモード（CTLR レジスタの MBM ビットが “0”）では RFE ビットを “1” にしないでください。以下の期間はハードウェアプロテクトがかかり、RFE ビットはプログラムで “0” を書いても “0” にできません。

- ハードウェアプロテクトの開始
  －アクセプタンスフィルタ処理の開始（CRC フィールドの始まり）
- ハードウェアプロテクトの解除
  －メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後（すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで）
  －受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット（受信 FIFO 未読メッセージ数ステータスビット）

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。

RFE ビットを “0” にすると、RFUST[2:0] ビットの値は “000b” になります。

RFMLF フラグ（受信 FIFO メッセージロストフラグ）

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは “1”（受信 FIFO メッセージロスト発生）になります。“1” になるタイミングは、EOF の 6 番目のビットの終わりです。

RFMLF ビットはプログラムで “0” を書くと “0” になります。“1” を書いても変化しません。オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺モジュールクロック（PCLK）の 5 サイクルの間は、RFMLF ビットは “0”（受信 FIFO メッセージロスト未発生）になりません。

RFFST ビット（受信 FIFO フルステータスビット）

受信 FIFO 内の未読メッセージが 4 件になると、RFFST ビットは “1”（受信 FIFO はフル）になります。受信 FIFO 内の未読メッセージが 4 件未満になると、RFFST ビットは “0”（受信 FIFO はフルではない）になります。RFE ビットを “0” にすると、RFFST ビットは “0” になります。

RFWST フラグ（受信 FIFO バッファワーニングステータスフラグ）

受信 FIFO 内の未読メッセージが 3 件になると、RFWST ビットは “1”（受信 FIFO はバッファワーニング）になります。受信 FIFO 内の未読メッセージの数が 3 未満または 4 件になると、RFWST ビットは “0”（受信 FIFO はバッファワーニングではない）になります。RFE ビットを “0” にすると、RFWST ビットは “0” になります。

RFEST フラグ（受信 FIFO 空ステータスフラグ）

受信 FIFO 内の未読メッセージがなくなると、RFEST ビットは “1”（受信 FIFO に未読メッセージなし）になります。RFE ビットを “0” にすると、RFEST ビットは “1” になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST ビットは “0”（受信 FIFO に未読メッセージあり）になります。

図 37.2 に受信 FIFO メールボックスの動作を示します。

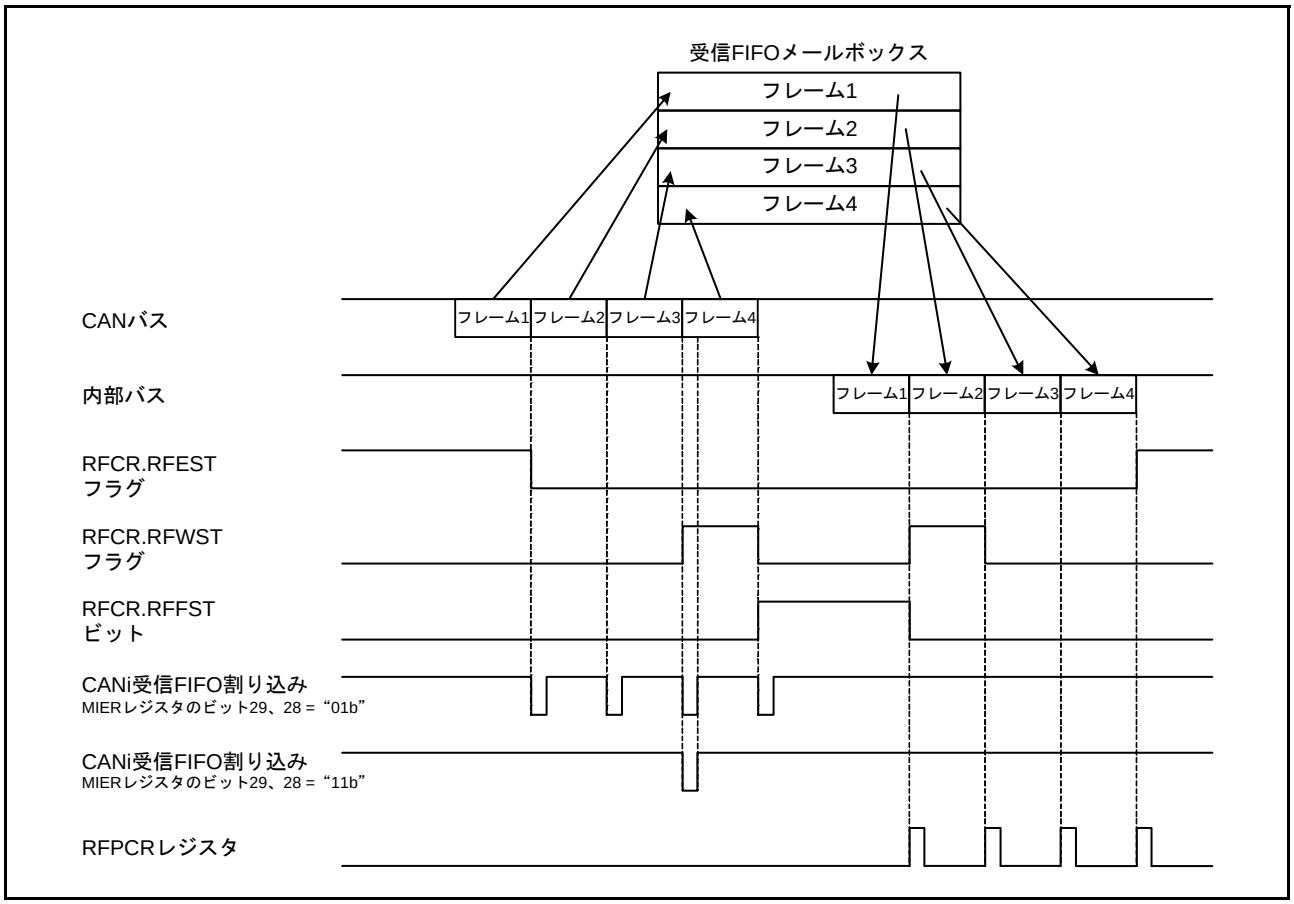


図 37.2　　受信 FIFO メールボックスの動作（MIER レジスタのビット 29、28 が “01b” または “11b”）

37.2.10　受信 FIFO ポインタ制御レジスタ（RFPCR）

アドレス　CAN0.RFPCR 0009 0849h、CAN1.RFPCR 009 1849h、CAN2.RFPCR 0009 2849h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	RFPCRレジスタに“FFh”を書き込むと、受信FIFOのCPU側ポインタが移動	W

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、RFPCR レジスタにプログラムで “FFh” を書いてください。

RFCR レジスタの RFE ビットが “0”（受信 FIFO 禁止）のときは、RFPCR レジスタに書かないでください。受信オーバライトモードで RFFST ビットが “1”（受信 FIFO はフル）のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFMLF ビットが “1” のとき、プログラムで RFPCR レジスタに書き込んでも CPU 側ポインタは移動しません。

37.2.11　送信 FIFO 制御レジスタ（TFCR）

アドレス　CAN0.TFCR 0009 084Ah、CAN1.TFCR 0009 184Ah、CAN2.TFCR 0009 284Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	TFEST	TFFST	—	—	TFUST[2:0]			TFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信FIFO許可ビット	0：送信FIFO禁止 1：送信FIFO許可	R/W
b3-b1	TFUST[2:0]	送信FIFO未送信メッセージ数ステータスビット	b3 b2 b1 0 0 0：未送信メッセージなし 0 0 1：未送信メッセージ1件 0 1 0：未送信メッセージ2件 0 1 1：未送信メッセージ3件 1 0 0：未送信メッセージ4件 1 0 1：予約 1 1 0：予約 1 1 1：予約	R
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	TFFST	送信FIFOフルステータスビット	0：送信FIFOはフルではない 1：送信FIFOはフル（未送信4件）	R
b7	TFEST	受信FIFO空ステータスビット	0：送信FIFOに未送信メッセージあり 1：送信FIFOに未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFE ビット（送信 FIFO 許可ビット）

TFE ビットを “1” にすると、送信 FIFO が送信許可になります。

TFE ビットを “0” にすると、送信 FIFO は空状態（TFEST ビットが “1”）になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトレーションロスト、または CAN Halt モードへの移行に続いて空状態になります。

TFE ビットを再度 “1” にする前に、TFEST ビットが “1” になっているか確認してください。TFE ビットを “1” にした後、送信データを MB23 レジスタに書いてください。

通常メールボックスモード（CTLR レジスタの MBM ビットが “0”）では、TFE ビットを “1” にしないでください。

TFUST[2:0] ビット（送信 FIFO 未送信メッセージ数ステータスビット）

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を表示します。

TFE ビットを “0” にした後、送信アボート完了または送信完了すると、TFUST[2:0] ビットの値は “000b” になります。

TFFST ビット（送信 FIFO フルステータスビット）

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST ビットは “1”（送信 FIFO はフル）になります。送信 FIFO 内の未送信メッセージの数が 4 未満になると、TFFST ビットは “0”（送信 FIFO はフルではない）になります。送信 FIFO の送信アボートが完了すると、TFFST ビットは “0” になります。

TFEST ビット（受信 FIFO 空ステータスビット）

送信 FIFO 内の未送信メッセージがなくなると、TFEST ビットは “1”（送信 FIFO にメッセージなし）になります。送信 FIFO の送信アボートが完了すると、TFEST ビットは “1” になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST ビットは “0”（送信 FIFO にメッセージあり）になります。

図 37.3 に送信 FIFO メールボックスの動作を示します。

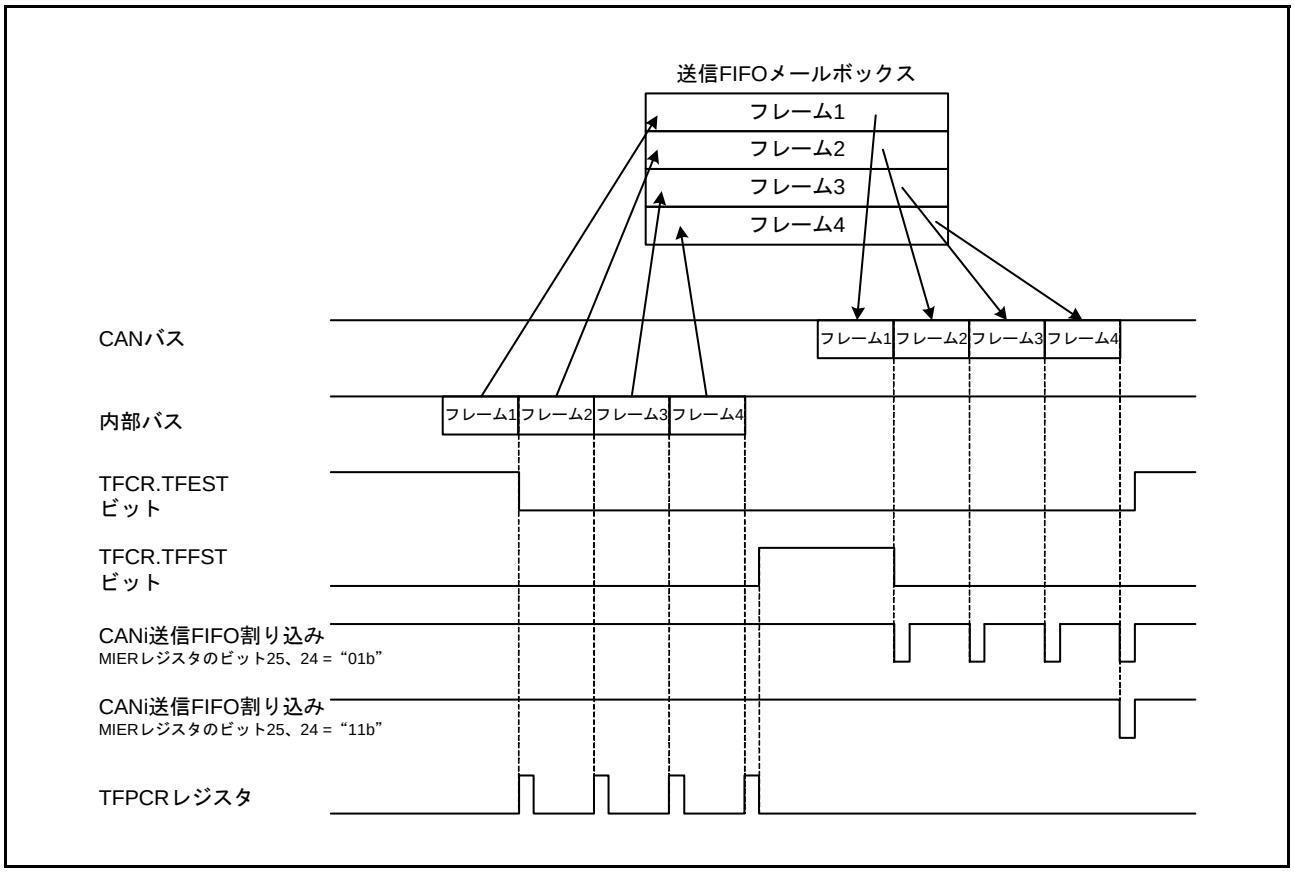
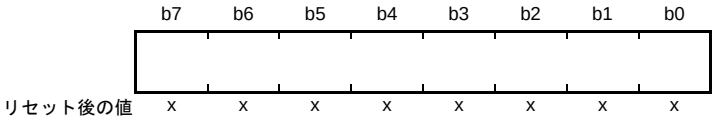


図 37.3　　送信 FIFO メールボックスの動作（MIER レジスタのビット 25、24 が “01b” または “11b”）

37.2.12　送信 FIFO ポインタ制御レジスタ（TFPCR）

アドレス　CAN0.TFPCR 0009 084Bh、CAN1.TFPCR 0009 184Bh、CAN2.TFPCR 0009 284Bh



x：不定

ビット	機能	R/W
b7-b0	TFPCR レジスタに"FFh"を書き込むと、CPU側の送信FIFOポインタが移動	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、TFPCR レジスタにプログラムで “FFh” を書いてください。

TFCR.TFE ビットが “0”（送信 FIFO 禁止）のときは、TFPCR レジスタに書かないでください。

37.2.13　ステータスレジスタ（STR）

アドレス　CAN0.STR 0009 0842h、CAN1.STR 0009 1842h、CAN2.STR 0009 2842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0：NEWDATAフラグが“1”のメールボックスなし 1：NEWDATAフラグが“1”のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0：SENTDATAフラグが“1”のメールボックスなし 1：SENTDATAフラグが“1”のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0：受信FIFOにメッセージなし（空） 1：受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0：送信FIFOはフル 1：送信FIFOはフルではない	R
b4	NMLST	通常メッセージロストステータスフラグ	0：MSGLOSTフラグが“1”のメールボックスなし 1：MSGLOSTフラグが“1”のメールボックスあり	R
b5	FMLST	FIFOメッセージロストステータスフラグ	0：RFMLFビットが“0” 1：RFMLFビットが“1”	R
b6	TABST	送信アボートステータスフラグ	0：TRMABTビットが“1”のメールボックスなし 1：TRMABTビットが“1”のメールボックスあり	R
b7	EST	エラーステータスフラグ	0：エラーなし 1：エラー発生	R
b8	RSTST	CANリセットステータスフラグ	0：CANリセットモードではない 1：CANリセットモード	R
b9	HLTST	CAN Haltステータスフラグ	0：CAN Haltモードではない 1：CAN Haltモード	R
b10	SLPST	CANスリープステータスフラグ	0：CANスリープモードではない 1：CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0：エラーパッシブ状態ではない 1：エラーパッシブ状態	R

ビット	シンボル	ビット名	機能	R/W
b12	BOST	バスオフステータスフラグ	0：バスオフ状態ではない 1：バスオフ状態	R
b13	TRMST	送信ステータスフラグ（transmitter）	0：バスアイドルまたは受信中 1：送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ（receiver）	0：バスアイドルまたは送信中 1：受信中	R
b15	—	予約ビット	読むと“0”が読めます。	R

NDST フラグ（NEWDATA ステータスフラグ）

MCTLj.NEWDATA フラグ（j = 0 ～ 31）が 1 つでも “1” になると、MIER レジスタの値とは無関係に NDST フラグは “1” になります。NEWDATA フラグがすべて “0” になると、NDST フラグは “0” になります。

SDST フラグ（SENTDATA ステータスフラグ）

MCTLj.SENTDATA フラグ（j = 0 ～ 31）が 1 つでも “1” になると、MIER レジスタの値とは無関係に SDST フラグは “1” になります。SENTDATA フラグがすべて “0” になると、SDST フラグは “0” になります。

RFST フラグ（受信 FIFO ステータスフラグ）

RFST フラグは、受信 FIFO が空状態以外になると “1” になります。受信 FIFO が空状態か通常メールボックスモードになると “0” になります。

TFST フラグ（送信 FIFO ステータスビット）

TFST フラグは、送信 FIFO がフル以外になると “1” になります。送信 FIFO がフルか通常メールボックスモードになると “0” になります。

NMLST フラグ（通常メッセージロストステータスフラグ）

MCTLj レジスタの MSGLOST フラグが一つでも “1” になると、MIER レジスタの値とは無関係に NMLST フラグは “1” になります。MSGLOST フラグがすべて “0” になると、NMLST フラグは “0” になります。

FMLST フラグ（FIFO メッセージロストステータスフラグ）

RFCR レジスタの RFMLF ビットが “1” になると、MIER レジスタの値とは無関係に FMLST フラグは “1” になります。RFMLF フラグが “0” のとき、FMLST フラグは “0” になります。

TABST フラグ（送信アボートステータスフラグ）

MCTLj レジスタの TRMABT フラグが一つでも “1” になると、MIER レジスタの値とは無関係に TABST ビットは “1” になります。TRMABT フラグがすべて “1” でないとき、TABST フラグは “0” になります。

EST フラグ（エラーステータスフラグ）

EIFR レジスタで一つでもエラーが検出されると、EIER レジスタの値とは無関係に EST フラグは “1” になります。EIFR レジスタで一つもエラーが検出されない場合は、EST フラグは “0” になります。

RSTST フラグ（CAN リセットステータスフラグ）

RSTST フラグは、CAN リセットモードになると “1” になります。CAN リセットモード以外になると “0” になります。CAN リセットモードから CAN スリープモードに移行しても、RSTST フラグは “1” のままです。

HLTST フラグ（CAN Halt ステータスフラグ）

HLTST フラグは、CAN Halt モードになると “1” になります。CAN Halt モード以外になると “0” になります。CAN Halt モードから CAN スリープモードに移行しても、HLTST フラグは “1” のままです。

SLPST フラグ（CAN スリープステータスフラグ）

SLPST フラグは、CAN スリープモードになると “1” になります。CAN スリープモード以外になると “0” になります。

EPST フラグ（エラーパッシブステータスフラグ）

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態（128 ≦ TEC ＜ 256 または 128 ≦ REC ＜ 256）になると、EPST フラグは “1” になります。エラーパッシブ状態以外になると、EPST フラグは “0” になります。

BOST フラグ（バスオフステータスフラグ）

TECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態（TEC ≧ 256）になると、BOST フラグは “1” になります。バスオフ状態以外になると、BOST フラグは “0” になります。

TRMST フラグ（送信ステータスフラグ）（transmitter）

CAN モジュールが送信ノードかバスオフ状態になると TRMST フラグは “1” になります。受信ノードかバスアイドル状態になると TRMST フラグは “0” になります。

RECST フラグ（受信ステータスフラグ）（receiver）

CAN モジュールが受信ノードになると RECST フラグは “1” になります。送信ノードかバスアイドル状態になると RECST フラグは “0” になります。

37.2.14　メールボックスサーチモードレジスタ（MSMR）

アドレス　CAN0.MSMR 0009 0853h、CAN1.MSMR 0009 1853h、CAN2.MSMR 0009 2853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MBSM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択ビット	b1 b0 0 0：受信メールボックス検索モード 0 1：送信メールボックス検索モード 1 0：メッセージロスト検索モード 1 1：チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM[1:0] ビット（メールボックス検索モード選択ビット）

MBSM[1:0] ビットはメールボックス検索機能のための検索モードを選択します。

MBSM[1:0] ビットが “00b” の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタ（j = 0 ～ 31）の通常メールボックスでの NEWDATA フラグと RFCR レジスタの RFEST ビットです。

MBSM[1:0] ビットが “01b” の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの SENTDATA フラグです。

MBSM[1:0] ビットが “10b” の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの通常メールボックスでの MSGLOST フラグと RFCR レジスタの RFMLF フラグです。

MBSM[1:0] ビットが “11b” の場合、チャネル検索モードになります。

このモードで検索対象となるレジスタは CSSR レジスタです。「37.2.16　チャネルサーチサポートレジスタ（CSSR）」を参照してください。

37.2.15　メールボックスサーチステータスレジスタ（MSSR）

アドレス　CAN0.MSSR 0009 0852h、CAN1.MSSR 0009 1852h、CAN2.MSSR 0009 2852h

	b7	b6	b5	b4	b3	b2	b1	b0
	SEST	—	—	MBNST[4:0]				
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータスビット	MSMR レジスタの各モードで検索された、最小のメールボックス番号を表示	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SEST	検索結果空ステータスビット	0：検索結果あり 1：検索結果なし	R

MBNST[4:0] ビット（検索結果メールボックス番号ステータスビット）

MBNST[4:0] ビットは、MSMR レジスタの各モードで検索された、最小のメールボックス番号が表示されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが “0” になる
- より優先順位の高いメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが “1” になる

MBSM[1:0] ビットが “00b”（受信メールボックス検索モード）および “10b”（メッセージロスト検索モード）のとき、受信 FIFO が空状態でなく、すべての通常メールボックス（メールボックス [0] ～ [23]）に未読の受信メッセージもロストメッセージもない場合、受信 FIFO（メールボックス [28]）が出力されます。MBSM[1:0] ビットが “01b”（送信メールボックス検索モード）のとき、送信 FIFO（メールボックス [24]）は出力されません。**表 37.6** に FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャネル検索モードでは、MBNST[4:0] ビットはチャネル番号が出力されます。MBNST[4:0] ビットは MSSR レジスタがプログラムで読み出された後に、次のターゲットチャネル番号が出力されます。

SEST ビット（検索結果空ステータスビット）

すべてのメールボックスの検索で該当するメールボックスがない場合、SEST ビットは “1”（検索結果なし）になります。たとえば、送信メールボックス検索モードで、SENTDATA フラグが “1” のメールボックスがひとつもない場合、SEST ビットは “1” になり、ひとつでもある場合、“0” になります。SEST ビットが “1” の場合、MBNST[4:0] ビットの値は不定です。

表 37.6　FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス [24]（送信 FIFO）	メールボックス [28]（受信 FIFO）
“00b”	メールボックス [24] は表示されない	通常メールボックスのどの MCTLj.NEWDATA フラグも “1”（新しいメッセージがメールボックスに格納中または格納された）にならず、また受信 FIFO が空でない場合はメールボックス [28] が表示される
“01b”		メールボックス [28] は表示されない
“10b”		通常メールボックスのどの MCTLj.MSGLOST フラグも “1”（メッセージはオーバライトまたはオーバランされた）にならず、受信 FIFO 内の RFCR.RFMLF ビットが “1”（受信 FIFO メッセージロスト発生）になるとメールボックス [28] が表示される
“11b”		メールボックス [28] は表示されない

37.2.16　チャネルサーチサポートレジスタ（CSSR）

アドレス　CAN0.CSSR 0009 0851h、CAN1.CSSR 0009 1851h、CAN2.CSSR 0009 2851h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	チャネル検索の値が入力された場合、チャネル番号をMSSRレジスタに出力	R/W

“1” になったCSSRレジスタのビットは、8/3エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSRレジスタのMBNST[4:0]ビットに出力されます。

MSSRレジスタは、MSSRレジスタをプログラムで読み出すたびに更新された値が表示されます。

なお、CSSRレジスタは、MSMRレジスタのMBSM[1:0]ビットが“11b”（チャネル検索モード）のときのみ変更してください。CSSRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

図37.4にCSSR、MSSRレジスタの書き込みと読み出しを示します。

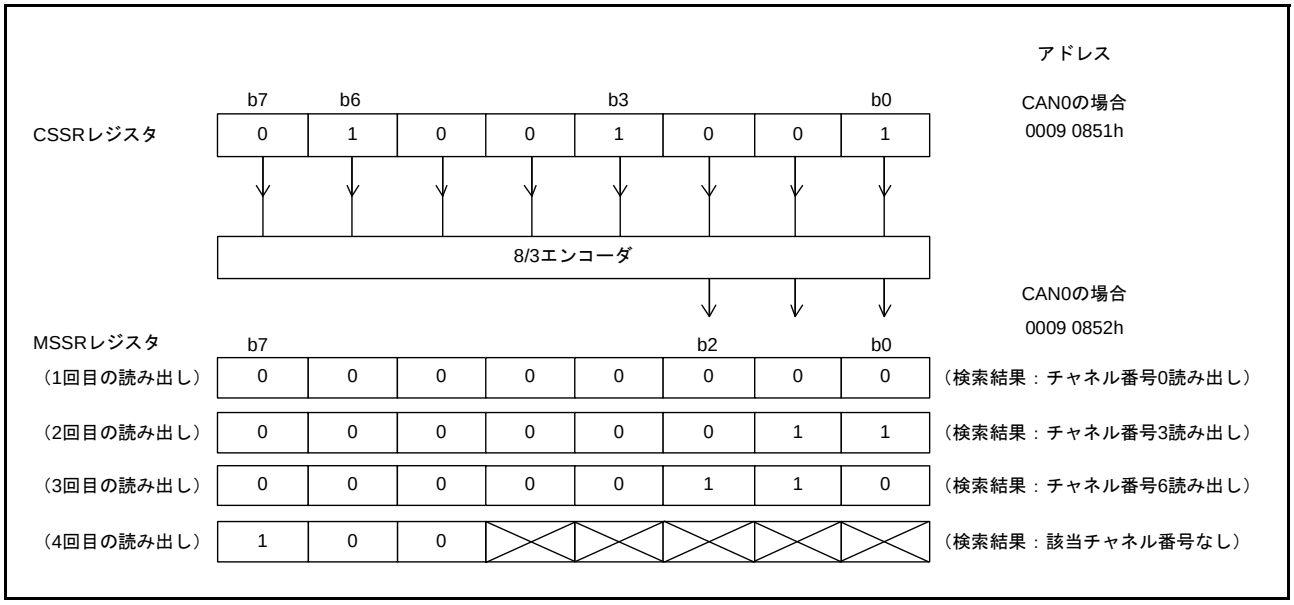


図37.4　CSSR、MSSRレジスタの書き込みと読み出し

CSSRレジスタの値もMSSRレジスタを読み出すたびに更新されます。読んだ場合、8/3エンコーダ変換前の値が読めます。

37.2.17　アクセプタンスフィルタサポートレジスタ（AFSR）

アドレス　CAN0.AFSR 0009 0856h、CAN1.AFSR 0009 1856h、CAN2.AFSR 0009 2856h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読めます	R/W

注.　AFSRレジスタはCANオペレーションモードまたはCAN Haltモード時に変更してください。

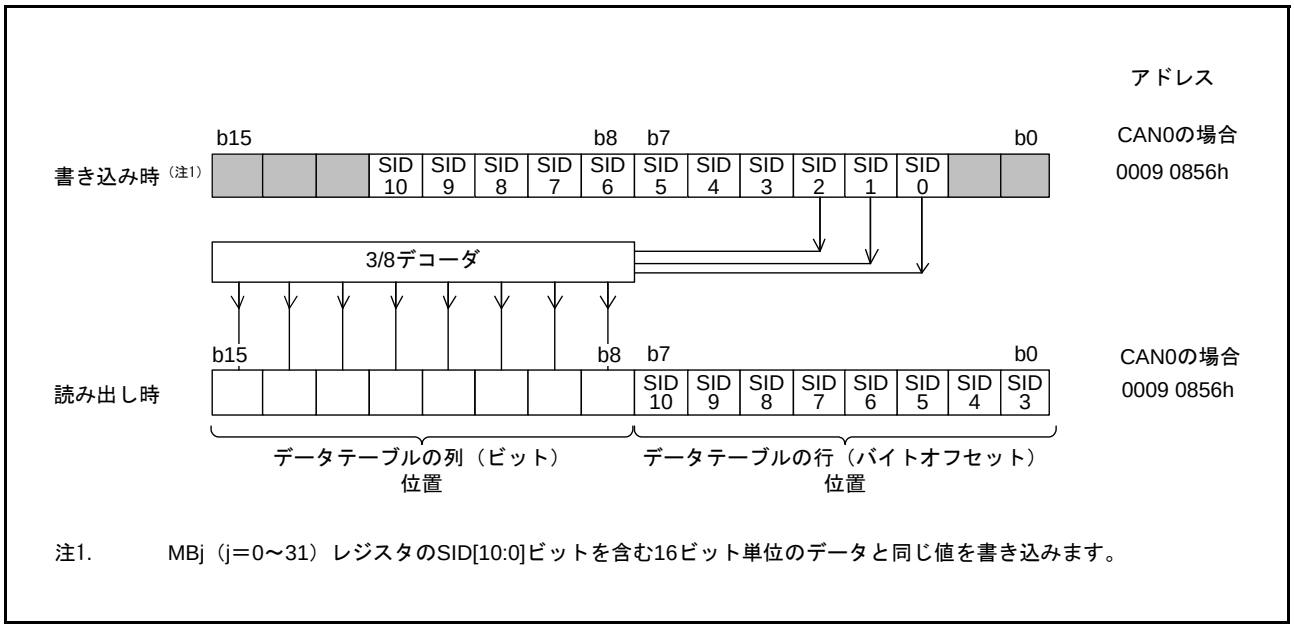
アクセプタンスフィルタサポートユニット（ASU）は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル（8 ビット ×256）の検索に使用できます。受信した標準 ID が格納された MBj レジスタ（j = 0 ～ 31）の SID[10:0] ビットを含む 16 ビット単位のデータを AFSR レジスタへ書くと、デコードされたデータテーブル検索用の行（バイトオフセット）位置と列（ビット）位置が読み出せます。ASU は、標準（11 ビット）ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
  （例）受信する ID：078h、087h、111h
- 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合

なお、AFSR レジスタは、CAN リセットモードでは設定できません。

図 37.5 に AFSR レジスタの書き込み、読み出しを示します。



注1.　MBj（j＝0～31）レジスタのSID[10:0]ビットを含む16ビット単位のデータと同じ値を書き込みます。

図 37.5　AFSR レジスタの書き込み、読み出し

37.2.18　エラー割り込み許可レジスタ（EIER）

アドレス　CAN0.EIER 0009 084Ch、CAN1.EIER 0009 184Ch、CAN2.EIER 0009 284Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0：バスエラー割り込み禁止 1：バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブエントリ割り込み許可ビット	0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可	R/W
b5	ORIE	オーバラン割り込み許可ビット	0：受信オーバラン割り込み禁止 1：受信オーバラン割り込み許可	R/W
b6	OLIE	オーバロードフレーム送信割り込み許可ビット	0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0：バスロック割り込み禁止 1：バスロック割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因に対して個別にエラー割り込みを許可 / 禁止します。

EIER レジスタは、CAN リセットモード時のみ変更してください。

BEIE ビット（バスエラー割り込み許可ビット）

BEIE ビットを “0” にすると、EIFR.BEIF フラグが “1” になっても、エラー割り込み要求は発生しません。BEIE ビットを “1” にすると、BEIF フラグが “1” になった場合、エラー割り込み要求が発生します。

EWIE ビット（エラーワーニング割り込み許可ビット）

EWIE ビットを “0” にすると、EIFR.EWIF フラグが “1” になっても、エラー割り込み要求は発生しません。EWIE ビットを “1” にすると、EWIF フラグが “1” になった場合、エラー割り込み要求が発生します。

EPIE ビット（エラーパッシブエントリ割り込み許可ビット）

EPIE ビットを “0” にすると、EIFR.EPIF フラグが “1” になっても、エラー割り込み要求は発生しません。EPIE ビットを “1” にすると、EPIF フラグが “1” になった場合、エラー割り込み要求が発生します。

BOEIE ビット（バスオフ開始割り込み許可ビット）

BOEIE ビットを “0” にすると、EIFR.BOEIF フラグが “1” になっても、エラー割り込み要求は発生しません。BOEIE ビットを “1” にすると、BOEIF フラグが “1” になった場合、エラー割り込み要求が発生します。

BORIE ビット（バスオフ復帰割り込み許可ビット）

BORIE ビットを “0” にすると、EIFR.BORIF フラグが “1” になっても、エラー割り込み要求は発生しません。BORIE ビットを “1” にすると、BORIF フラグが “1” になった場合、エラー割り込み要求が発生します。

ORIE ビット（オーバラン割り込み許可ビット）

ORIE ビットを “0” にすると、EIFR.ORIF フラグが “1” になっても、エラー割り込み要求は発生しません。ORIE ビットを “1” にすると、ORIF フラグが “1” になった場合、エラー割り込み要求が発生します。

OLIE ビット（オーバロードフレーム送信割り込み許可ビット）

OLIE ビットを “0” にすると、EIFR.OLIF フラグが “1” になっても、エラー割り込み要求は発生しません。OLIE ビットを “1” にすると、OLIF フラグの設定条件が “1” になった場合、エラー割り込み要求が発生します。

BLIE ビット（バスロック割り込み許可ビット）

BLIE ビットを “0” にすると、EIFR.BLIF フラグが “1” になっても、エラー割り込み要求は発生しません。BLIE ビットを “1” にすると、BLIF フラグが “1” になった場合、エラー割り込み要求が発生します。

37.2.19　エラー割り込み要因判定レジスタ（EIFR）

アドレス　CAN0.EIFR 0009 084Dh、CAN1.EIFR 0009 184Dh、CAN2.EIFR 0009 284Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0：バスエラー未検出 1：バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0：エラーワーニング未検出 1：エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0：エラーパッシブ未検出 1：エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0：バスオフ開始未検出 1：バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0：バスオフ復帰未検出 1：バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0：受信オーバラン未検出 1：受信オーバラン検出	R/W
b6	OLIF	オーバロードフレーム送信検出フラグ	0：オーバロードフレーム送信未検出 1：オーバロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0：バスロック未検出 1：バスロック検出	R/W

EIFR レジスタは、各フラグに対応する現象が発生すると、EIER レジスタの設定にかかわらず対応するフラグが “1” になります。

各フラグを “0” にする場合は、プログラムで “0” を書いてください。“1” になるタイミングとプログラムで “0” にするタイミングが同時の場合、そのビットは “1” になります。

また、各フラグを “0” にする場合、論理演算（AND）命令は使用しないでください。フラグを “0” にする場合は転送（MOV）命令を使用し、該当するビットに “0”、その他のビットに “1” を書いてください。“1” を書いてもこれらのフラグの値は変化しません。

BEIF フラグ（バスエラー検出フラグ）

バスエラーが検出されると、BEIF フラグは “1” になります。

EWIF フラグ（エラーワーニング検出フラグ）

REC または TEC の値が 95 を超えると、EWIF フラグは “1” になります。

EWIF フラグは、REC または TEC が最初に 95 を超えたときのみ “1” になります。したがって、REC または TEC が 95 を超えたままで、EWIF フラグにプログラムで “0” を書いた場合、一度 REC と TEC が 95 以下になり、再び REC または TEC が 95 を超えるまでは “1” にはなりません。

EPIF フラグ（エラーパッシブ検出フラグ）

CAN エラーステートがエラーパッシブ状態（REC（受信エラーカウンタ）または TEC の値が 127 を超える）になると、EPIF フラグは “1” になります。

EPIF フラグは、REC または TEC が最初に 127 を超えたときのみ “1” になります。したがって、REC または TEC が 127 を超えたままで、EPIF フラグにプログラムで “0” を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは “1” にはなりません。

BOEIF フラグ（バスオフ開始検出フラグ）

CAN エラーステートがバスオフ状態（TEC（送信エラーカウンタ）の値が 255 を超える）になると、BOEIF フラグは “1” になります。CTLR レジスタの BOM[1:0] ビットが “01b”（バスオフ開始で自動的に CAN Halt モードへ移行）で、CAN モジュールがバスオフ状態になった場合も、BOEIF フラグは “1” になります。

BORIF フラグ（バスオフ復帰検出フラグ）

CAN モジュールが次の条件でバスオフ状態から通常復帰（11 の連続するレセシブビットを 128 回検出）した場合、BORIF フラグは “1” になります。

- CTLR.BOM[1:0] ビットが “00b”
- CTLR.BOM[1:0] ビットが “10b”
- CTLR.BOM[1:0] ビットが “11b”

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、BORIF フラグは “1” になりません。

- CTLR.CANM[1:0] ビットを “01b” または “11b”（CAN リセットモード）にしたとき
- CTLR.RBOC ビットを “1”（バスオフからの強制復帰）にしたとき
- CTLR.BOM[1:0] ビットが “01b” のとき
- CTLR.BOM[1:0] ビットが “11b” で、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを “10b”（CAN Halt モード）にしたとき

ORIF フラグ（受信オーバラン検出フラグ）

受信オーバランが発生すると、ORIF フラグは “1” になります。ORIF フラグはオーバライトモードでは “1” になりません。

オーバライトモードの場合、オーバライト条件が発生すると、受信完了割り込み要求が発生し、ORIF フラグは “1” にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス [0] ～ [31] のいずれかでオーバランが発生すると、ORIF フラグは “1” になります。FIFO メールボックスモードでは、オーバランモードで、メールボックス [0] ～ [23] のいずれかまたは受信 FIFO でオーバランが発生すると、ORIF フラグは “1” になります。

OLIF フラグ（オーバロードフレーム送信検出フラグ）

CAN モジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、OLIF フラグは “1” になります。

BLIF フラグ（バスロック検出フラグ）

CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、BLIF ビットは “1” になります。

“1” になった後、次のどちらかで再検出します。

- このビットを “1” から “0” にした後、レセシブビットを検出
- このビットを “1” から “0” にした後、CAN リセットモードまたはCAN Halt モードに移行し、再度CAN オペレーションモードに移行

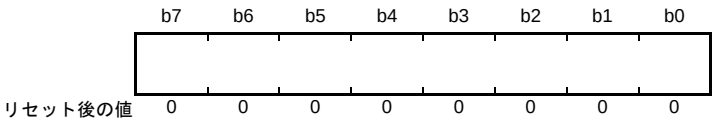
表 37.7 に CTLR.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作を示します。

表37.7　CTLR.BOM[1:0]ビットの設定によるBOEIF、BORIFフラグの動作

BOM[1:0]ビット	BOEIFフラグ	BORIFフラグ
00	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01		“1”にはならない
10		バスオフ状態からの復帰時“1”になる
11		CANM[1:0]ビットが“10b”（CAN Haltモード）になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

37.2.20　受信エラーカウントレジスタ（RECR）

アドレス　CAN0.RECR 0009 084Eh、CAN1.RECR 0009 184Eh、CAN2.RECR 0009 284Eh

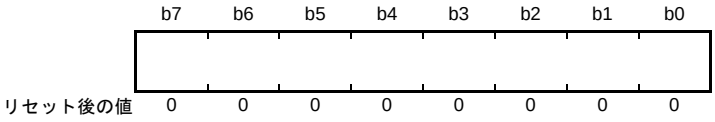


ビット	機能	R/W
b7-b0	受信エラーカウント機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

RECR レジスタは、受信エラーカウンタの値を示します。
受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
RECR レジスタは、バスオフ状態時の値は不定になります。

37.2.21　送信エラーカウントレジスタ（TECR）

アドレス　CAN0.TECR 0009 084Fh、CAN1.TECR 0009 184Fh、CAN2.TECR 0009 284Fh



ビット	機能	R/W
b7-b0	送信エラーカウント機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

TECR レジスタは、送信エラーカウンタの値を示します。
送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
TECR レジスタは、バスオフ状態時の値は不定になります。

37.2.22　エラーコード格納レジスタ（ECSR）

アドレス　CAN0.ECSR 0000 0850h、CAN1.ECSR 0000 1850h、CAN2.ECSR 0000 2850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ（注1、注2）	0：スタッフエラー未検出 1：スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ（注1、注2）	0：フォームエラー未検出 1：フォームエラー検出	R/W
b2	AEF	ACK エラーフラグ（注1、注2）	0：ACK エラー未検出 1：ACK エラー検出	R/W
b3	CEF	CRC エラーフラグ（注1、注2）	0：CRC エラー未検出 1：CRC エラー検出	R/W
b4	BE1F	ビットエラー（レセシブ）フラグ（注1、注2）	0：ビットエラー未検出 1：ビットエラー（レセシブ）検出	R/W
b5	BE0F	ビットエラー（ドミナント）フラグ（注1、注2）	0：ビットエラー未検出 1：ビットエラー（ドミナント）検出	R/W
b6	ADEF	ACK デリミタエラーフラグ（注1、注2）	0：ACK デリミタエラー未検出 1：ACK デリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット（注3、注4）	0：最初に検出されたエラーコードを出力 1：蓄積したエラーコードを出力	R/W

注1.　“1”を書いてもこれらのビットの値は変化しません。
注2.　SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに対して“0”を書く場合は、論理演算（AND）命令は使用しないでください。ビットを“0”にする場合は転送（MOV）命令を使用し、該当するビットに“0”、その他のビットに“1”を書いてください。
注3.　EDPM ビットは、CAN リセットモードまたは CAN Halt モード時に変更してください。
注4.　同時に 1 つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

ECSR レジスタは、CAN バス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。

EDPM ビット以外の各ビットを “0” にする場合は、プログラムで “0” を書いてください。各ビットが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのビットは “1” になります。

SEF フラグ（スタッフエラーフラグ）

スタッフエラーを検出すると、SEF フラグは “1” になります。

FEF フラグ（フォームエラーフラグ）

フォームエラーを検出すると、FEF フラグは “1” になります。

AEF フラグ（ACK エラーフラグ）

ACK エラーを検出すると、AEF フラグは “1” になります。

CEF フラグ（CRC エラーフラグ）

CRC エラーを検出すると、CEF フラグは “1” になります。

BE1F フラグ（ビットエラー（レセシブ）フラグ）

レセシブビットエラーを検出すると、BE1F フラグは “1” になります。

BE0F フラグ（ビットエラー（ドミナント）フラグ）

ドミナントビットエラーを検出すると、BE0F フラグは “1” になります。

ADEF フラグ（ACK デリミタエラーフラグ）

送信中の ACK デリミタでフォームエラーを検出すると、ADEF フラグは “1” になります。

EDPM ビット（エラー表示モード選択ビット）

EDPM ビットは、ECSR レジスタの出力モードを設定します。EDPM ビットを “0” にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットトを “1” にすると、ECSR レジスタは蓄積したエラーコードを出力します。

37.2.23　タイムスタンプレジスタ（TSR）

アドレス　CAN0.TSR 0009 0854h、CAN1.TSR 0009 1854h、CAN2.TSR 0009 2854h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値です	R

注.　TSR レジスタの読み出しは 16 ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は 1 ビットタイムを逓倍したもので、CTLR レジスタの TSPS[1:0] ビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよび CAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときのタイムスタンプカウンタの値が MBj レジスタの TSL[7:0]、TSH[7:0] へ格納されます。

37.2.24　テスト制御レジスタ（TCR）

アドレス　CAN0.TCR 0009 0858h、CAN1.TCR 0009 1858h、CAN2.TCR 0009 2858h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSTM[1:0]		TSTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	テストモード許可ビット	0：CANテストモード禁止 1：CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択ビット	b2 b1 0 0：CANテストモードではない 0 1：リッスンオンリモード 1 0：セルフテストモード0（外部ループバック） 1 1：セルフテストモード1（内部ループバック）	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR レジスタは、CAN テストモードの制御を行います。TCR レジスタは、CAN Halt モード時のみ変更してください。

(1)　リッスンオンリモード

CAN 仕様（ISO11898-1）では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 37.6 にリッスンオンリモード選択時の接続（i = 0 ～ 2）を示します。

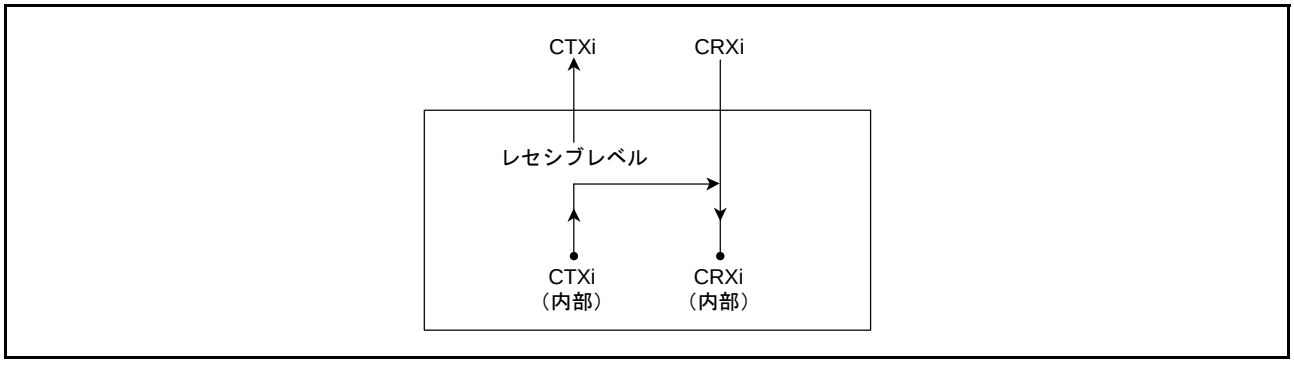


図 37.6　リッスンオンリモード選択時の接続（i = 0 ～ 2）

(2) セルフテストモード 0（外部ループバック）

セルフテストモード 0 は CAN トランシーバテスト用です。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

CTXi/CRXi 端子は CAN トランシーバに接続してください。

図 37.7 にセルフテストモード 0 選択時の接続（i = 0 ～ 2）を示します。

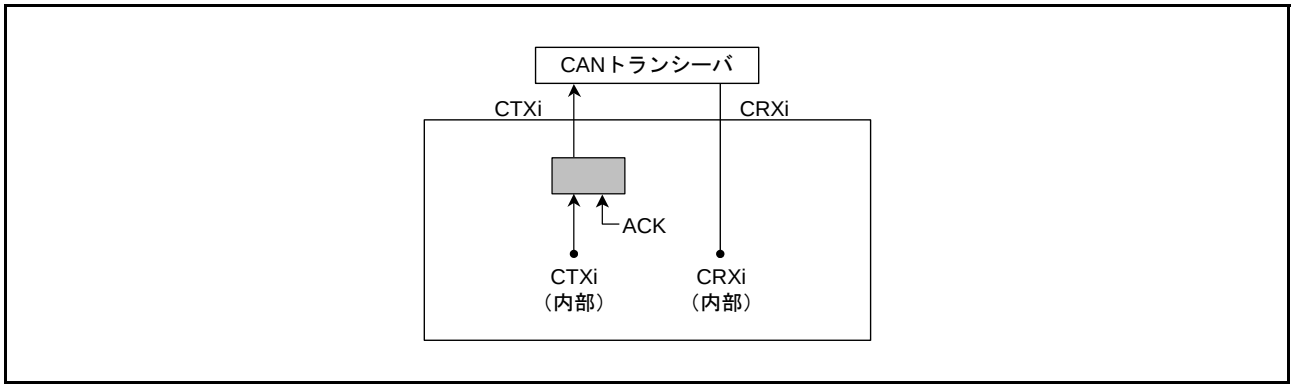


図 37.7　セルフテストモード 0 選択時の接続（i = 0 ～ 2）

(3) セルフテストモード 1（内部ループバック）

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

セルフテストモード 1 では内部 CTXi 端子から内部 CRXi 端子への内部フィードバックを行います。外部 CRXi 端子の入力の値は無視されます。外部 CTXi 端子はレセシブビットのみ出力します。CTXi/CRXi 端子は CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 37.8 にセルフテストモード 1 選択時の接続（i = 0 ～ 2）を示します。

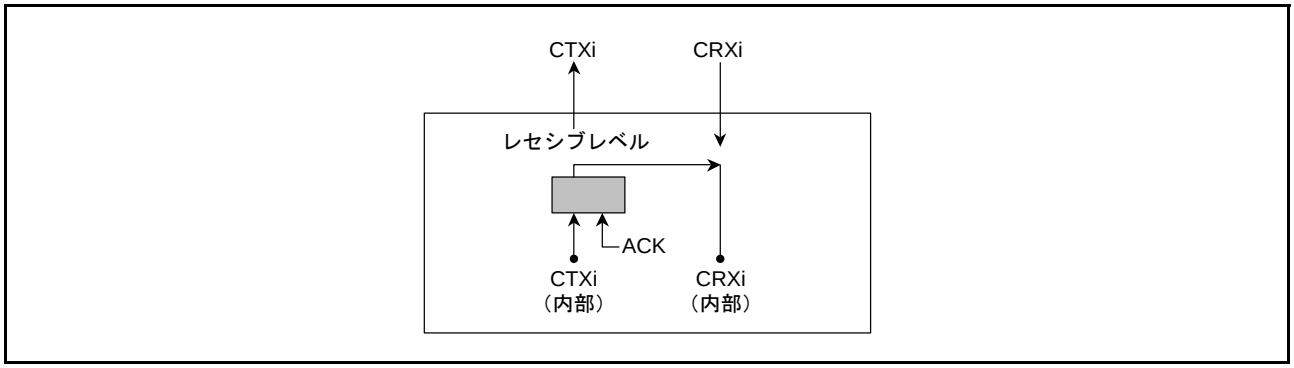


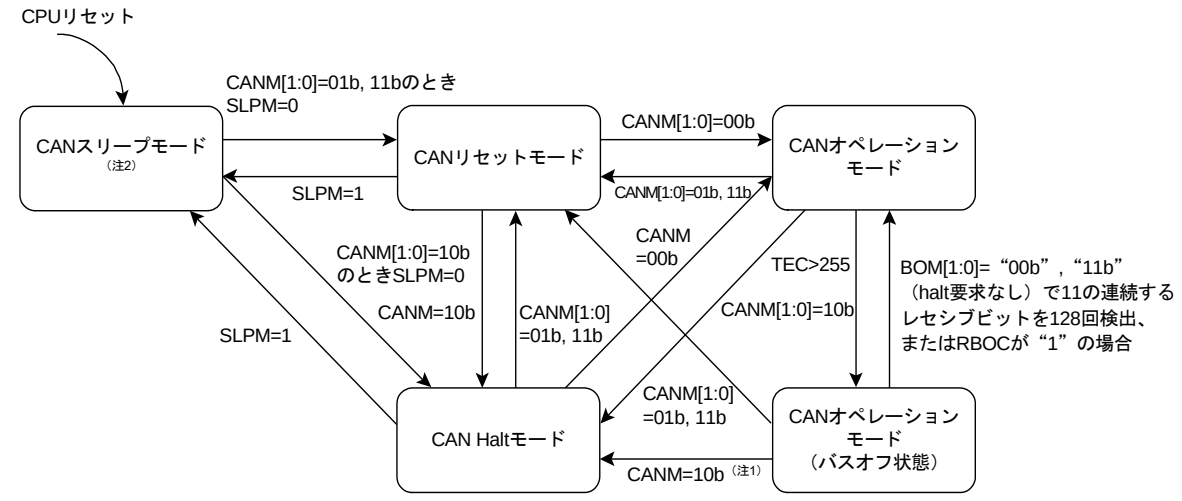
図 37.8　セルフテストモード 1 選択時の接続（i = 0 ～ 2）

37.3　動作モード

CAN モジュールには、以下 4 つの動作モードがあります。

- CAN リセットモード
- CAN Halt モード
- CAN オペレーションモード
- CAN スリープモード

図 37.9 に CAN 動作モード間の移行を示します。



CANM、SLPM、BOM、RBOC：CTLRレジスタのビット

注1. バスオフ状態からCAN Haltモードへの送信タイミングは、CTLR.BOMビットの設定に依存します。
CTLR.BOM[1:0]ビットが“01b”のとき、状態遷移のタイミングはバスオフ状態への遷移直後になります。
CTLR.BOM[1:0]ビットが“10b”のとき、状態遷移のタイミングはバスオフ状態終了時になります。
CTLR.BOM[1:0]ビットが“11b”のとき、状態遷移のタイミングはCTLR.CANM[1:0]ビットが“10b”（CAN Haltモード）の設定時になります。

注2. CANスリープモードを設定/解除する場合は、CTLR.SLPMビットを変更してください。

図 37.9　CAN 動作モード間の移行

37.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CTLR.CANM[1:0] ビットを “01b” または “11b” にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST ビットが “1” になります。RSTST ビットが “1” になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ移行する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに移行した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- MCTLj レジスタ
- STR レジスタ（SLPST ビットと TFST ビットを除く）
- EIFR レジスタ
- RECR レジスタ
- TECR レジスタ
- TSR レジスタ
- MSSR レジスタ
- MSMR レジスタ
- RFCR レジスタ
- TFCR レジスタ
- TCR レジスタ
- ECSR レジスタ（EDPM ビットを除く）

以下のレジスタは、CAN リセットモードに移行した後も以前の値を保持します。

- CTLR レジスタ
- STR レジスタ（SLPST ビットと TFST ビット）
- MIER レジスタ
- EIER レジスタ
- BCR レジスタ
- CSSR レジスタ
- ECSR レジスタ（EDPM ビットのみ）
- MBj レジスタ
- MKR0 ～ MKR7 レジスタ
- FIDCR0、FIDCR1 レジスタ
- MKIVLR レジスタ
- AFSR レジスタ
- RFPCR レジスタ
- TFPCR レジスタ

37.3.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CTLR.CANM[1:0] ビットを “10b” にすると、CAN Halt モードになります。そのとき、STR.HLTST ビットが “1” になります。HLTST ビットが “1” になるまで CANM[1:0] ビットを変更しないでください。

送信または受信時の状態移行の条件は、**表 37.8** を参照してください。

CAN Halt モードへの移行では、STR レジスタの RSTST ビット、HLTST ビットおよび SLPST ビット以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CTLR レジスタ（CANM[1:0] ビットおよび SLPM ビットを除く）および EIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードで BCR レジスタを変更できます。

表 37.8　CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード（強制移行） CANM[1:0] = “11b”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待たずにCANリセットモードに移行	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CANリセットモード CANM[1:0] = “01b”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待ってCANリセットモードに移行（注1、注4）	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CAN Haltモード	CANモジュールは受信メッセージの終了を待ってCAN Haltモードに移行（注2、注3）	CANモジュールはメッセージ送信の終了を待ってCAN Haltモードに移行（注1、注4）	［BOM[1:0]ビットが“00b”の場合］ CANモジュールはバスオフ復帰後のみ、プログラムのHalt要求を受け付ける ［BOM[1:0]ビットが“01b”の場合］ CANモジュールはバスオフ復帰の終了を待たずに自動的にCAN Haltモードに移行（プログラムのHalt要求とは無関係に） ［BOM[1:0]ビットが“10b”の場合］ CANモジュールはバスオフ復帰の終了を待って自動的にCAN Haltモードに移行（プログラムのHalt要求とは無関係に） ［BOM[1:0]ビットが“11b”の場合］ CANモジュールはバスオフ中にプログラムによるHalt要求があると、CAN Haltモードに移行（バスオフ復帰の終了を待たずに）

BOM[1:0] ビット：CTLR レジスタのビット

注1.　いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを移行します。サスペンドトランスミッション中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを移行します。

注2.　CANバスがドミナントレベルでロックされた場合、EIFRレジスタのBLIFビットをモニタすると、プログラムはバスロック状態を検出できます。

注3.　CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに移行します。

注4.　CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求されたCANモードに移行します。

37.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU の RES# 端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR レジスタの SLPM ビットを “1” にすると、CAN スリープモードになります。そのとき、STR レジスタの SLPST ビットが “1” になります。SLPST ビットが “1” になるまで、SLPM ビットの値を変更しないでください。CAN スリープモードへの移行時は、他のレジスタは変化しません。

SLPM ビットは、CAN リセットモードと CAN Halt モードで変更してください。SLPM ビットを除く他のレジスタは、CAN スリープモード中は変更しないでください。読み出し動作は許可されます。

SLPM ビットを “0” にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

37.3.4 CAN オペレーションモード（バスオフ状態以外）

CAN オペレーションモードは CAN 通信をするモードです。

CTLR レジスタの CANM[1:0] ビットを “00b” にすると、CAN モジュールは CAN オペレーションモードになります。

そのとき、STR レジスタの RSTST ビットと HLTST ビットが “0” になります。RSTST ビットと HLTST ビットが “0” になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードに移行した後、11 の連続するレセシブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の 3 つのいずれかのサブモードになっています。

- アイドルモード : CAN モジュールは、送受信を行っていない状態です。
- 受信モード : CAN モジュールは、他のノードが送信した CAN メッセージを受信しています。
- 送信モード : CAN モジュールは、CAN メッセージを送信しています。セルフテストモード 0（TCR レジスタの TSTM[1:0] ビットが “10b”）またはセルフテストモード 1（TSTM[1:0] ビットが “11b”）が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 37.10 に CAN オペレーションモードのサブモードを示します。

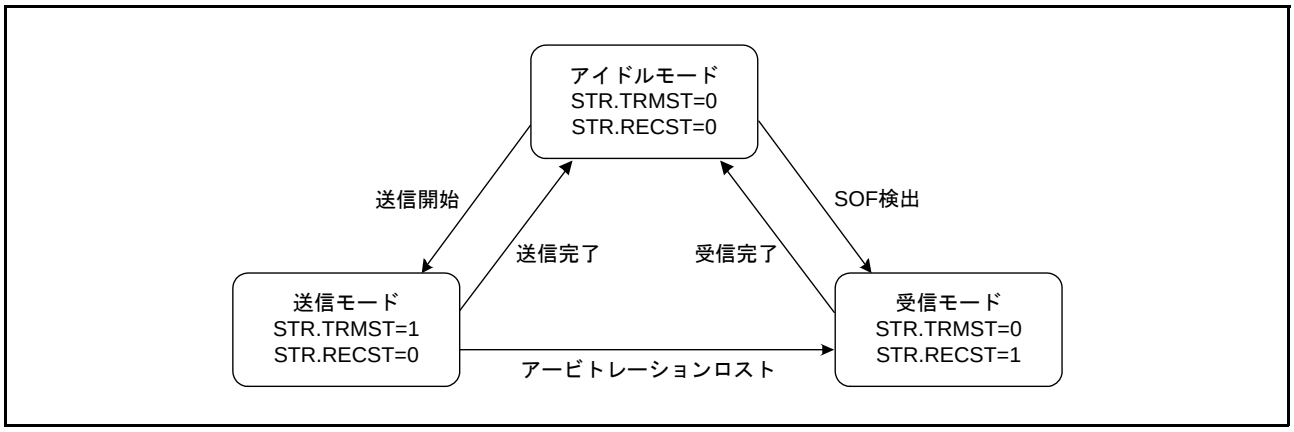


図 37.10　CAN オペレーションモードのサブモード

37.3.5　CAN オペレーションモード（バスオフ状態）

CAN 仕様の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に移行します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、STR、EIFR、RECR、TECR および TSR レジスタを除く CAN モジュール関連レジスタの値は変化しません。

(1)　CTLR レジスタの BOM[1:0] ビットが “00b” の場合（ノーマルモード）

バスオフ状態からの復帰完了後、エラーアクティブ状態に移行し、CAN 通信ができるようになります。このとき、EIFR レジスタの BORIF フラグが “1”（バスオフ復帰検出）になります。

(2)　CTLR レジスタの RBOC ビットを “1” にしたとき（バスオフからの強制復帰）

バスオフ状態になり、RBOC ビットが “1” になると、CAN モジュールはエラーアクティブ状態に移行し、11 の連続するレセシブビットを検出した後、再び CAN 通信ができるようになります。このとき、BORIF フラグは “1” になりません。

(3)　BOM[1:0] ビットが “01b” の場合（バスオフ開始で自動的に CAN Halt モードへ移行）

バスオフ状態に達すると CAN Halt モードになります。このとき BORIF フラグは “1” になりません。

(4)　BOM[1:0] ビットが “10b” の場合（バスオフ終了で自動的に CAN Halt モードへ移行）

バスオフからの復帰が完了すると、CAN Halt モードになります。このとき BORIF フラグは “1” になります。

(5)　BOM[1:0] ビットが “11b” の場合（プログラムにより CAN Halt モードへ移行）に バスオフ状態で CTLR レジスタの CANM[1:0] ビットを “10b” にしたとき（CAN Halt モード）

バスオフ状態時に CANM[1:0] ビットが “10b”（CAN Halt モード）に設定されると、CAN Halt モードになります。このとき、BORIF フラグは “1” になりません。

バスオフ中に CANM[1:0] ビットが “10b” に設定されないときは、(1) と同じ動作になります。

37.4 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

37.4.1 CAN クロックの設定

CAN モジュールは CAN クロック選択回路を内蔵しています。
CAN クロックは、BCR レジスタの CCLKS ビットと BRP[9:0] ビットで設定できます。
図 37.11 に CAN クロック発生回路のブロック図を示します。

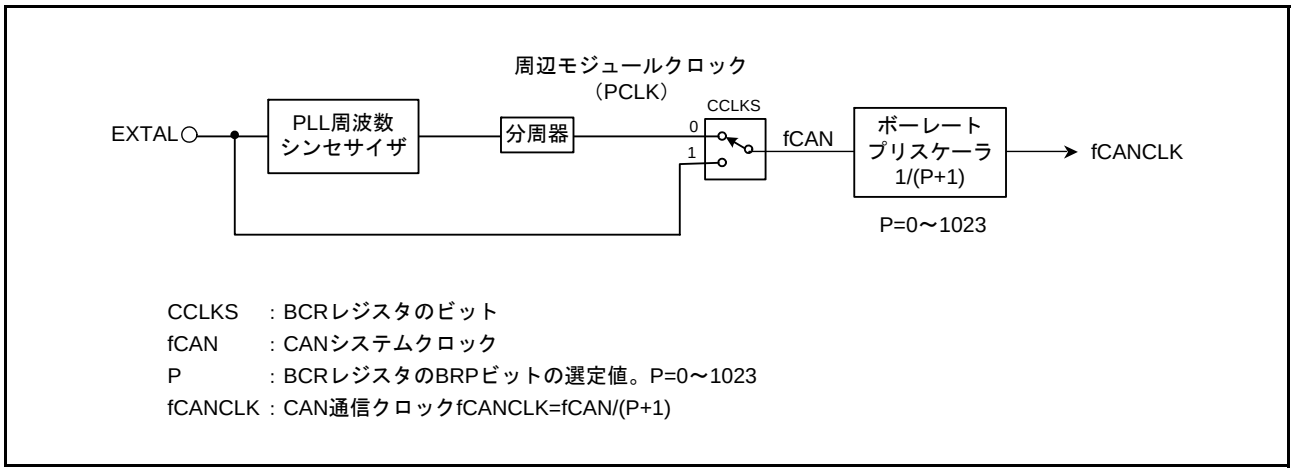


図 37.11　CAN クロック発生回路のブロック図

37.4.2 ビットタイミングの設定

ビットタイムは、次の 3 つのセグメントからなります。
図 37.12 にビットタイミング図を示します。

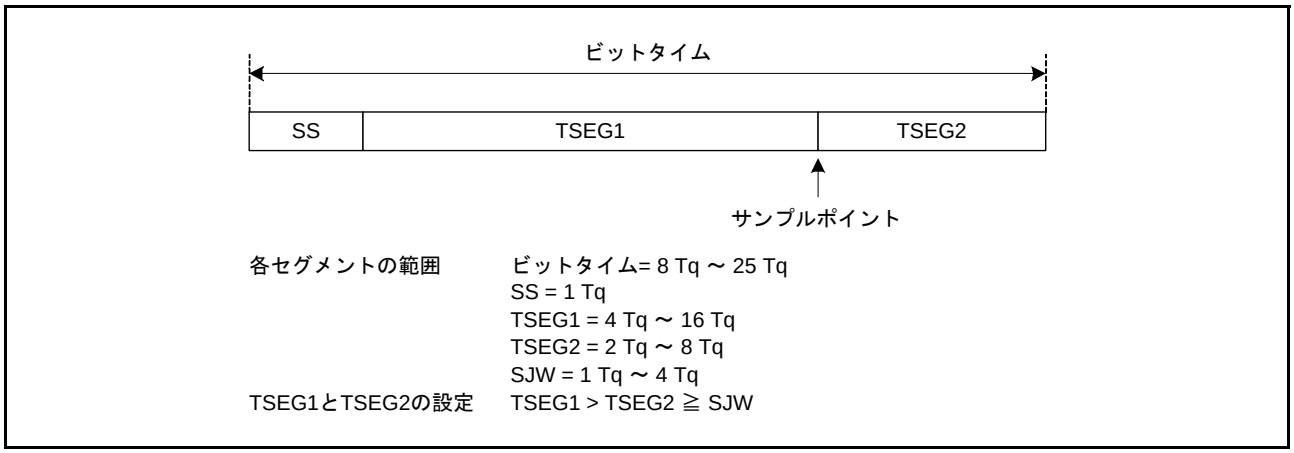


図 37.12　ビットタイミング図

37.4.3　ビットレート

ビットレートは、fCAN（CAN クロック）、ボーレートプリスケーラ分周値、および 1 ビットの Tq の数に依存します。

$$\text{ビットレート[bps]} = \frac{fCAN}{\text{ボーレートプリスケーラ分周値（注1）} \times \text{1ビットタイムのTq数}} = \frac{fCANCLK}{\text{1ビットタイムのTq数}}$$

注1.　ボーレートプリスケーラ分周値 = P + 1（P = 0～1023）
P：BCR レジスタの BRP[9:0] ビットの設定値

表 37.9 にビットレートの例を示します。

表37.9　ビットレートの例

fCAN	50MHz		48MHz		40MHz		32MHz	
ビットレート	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1 Mbps	10Tq 25Tq	5 2	8Tq 12Tq 16Tq	6 4 3	10Tq 20Tq	4 2	8Tq 16Tq	4 2
500 kbps	10Tq 25Tq	10 4	8Tq 12Tq 16Tq	12 8 6	10Tq 20Tq	8 4	8Tq 16Tq	8 4
250 kbps	10Tq 25Tq	20 8	8Tq 12Tq 16Tq	24 16 12	10Tq 20Tq	16 8	8Tq 16Tq	16 8
125 kbps	10Tq 25Tq	40 16	8Tq 12Tq 16Tq	48 32 24	10Tq 20Tq	32 16	8Tq 16Tq	32 16
83.3 kbps	10Tq 25Tq	60 24	8Tq 12Tq 16Tq	72 48 36	8Tq 10Tq 16Tq 20Tq	60 48 30 24	8Tq 16Tq	48 24
33.3 kbps	10Tq 25Tq	150 60	8Tq 12Tq 16Tq	180 120 90	8Tq 10Tq 20Tq	150 120 60	8Tq 10Tq 16Tq 20Tq	120 96 60 48

37.5　メールボックスとマスクレジスタの構成

図 37.13 に MBj レジスタの構成を示します。
同じ構成の 32 のメールボックスがあります。

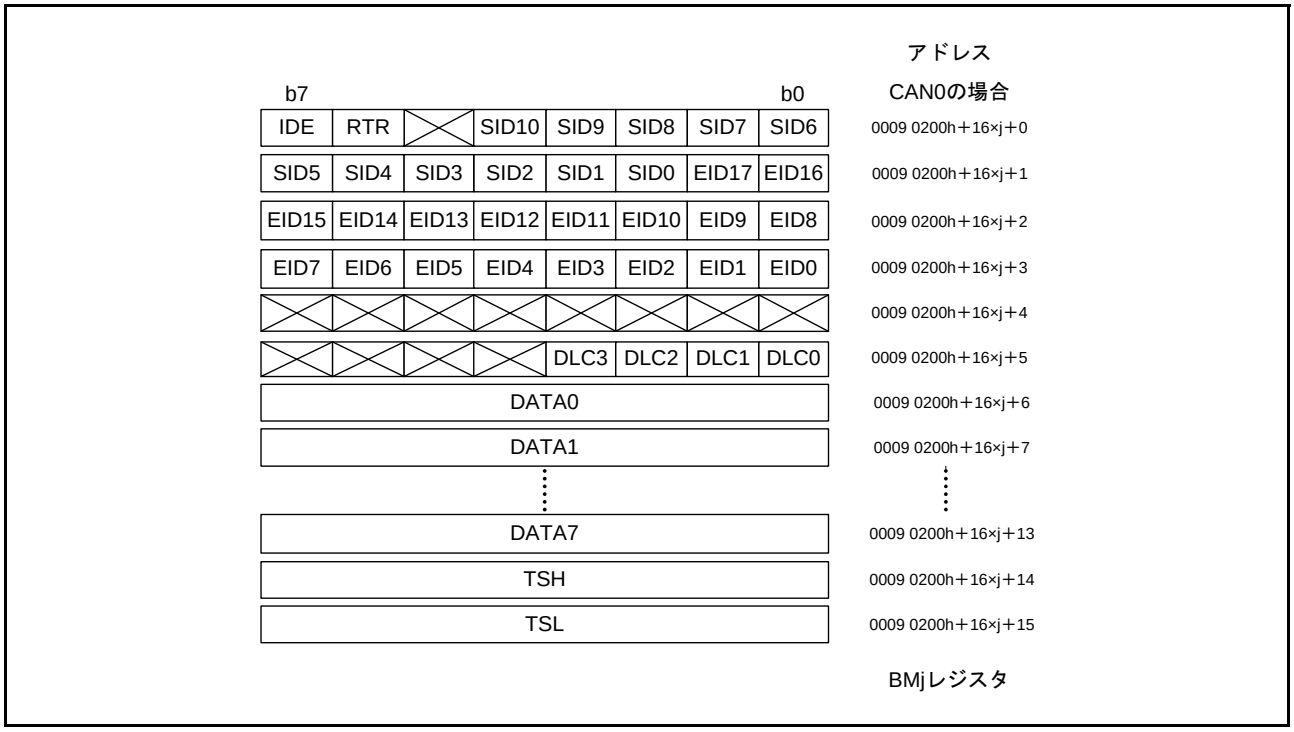


図 37.13　MBj レジスタの構成（j = 0 ～ 31）

図 37.14 に MKRk レジスタの構成を示します。
同じ構成の 8 つのマスクレジスタがあります。

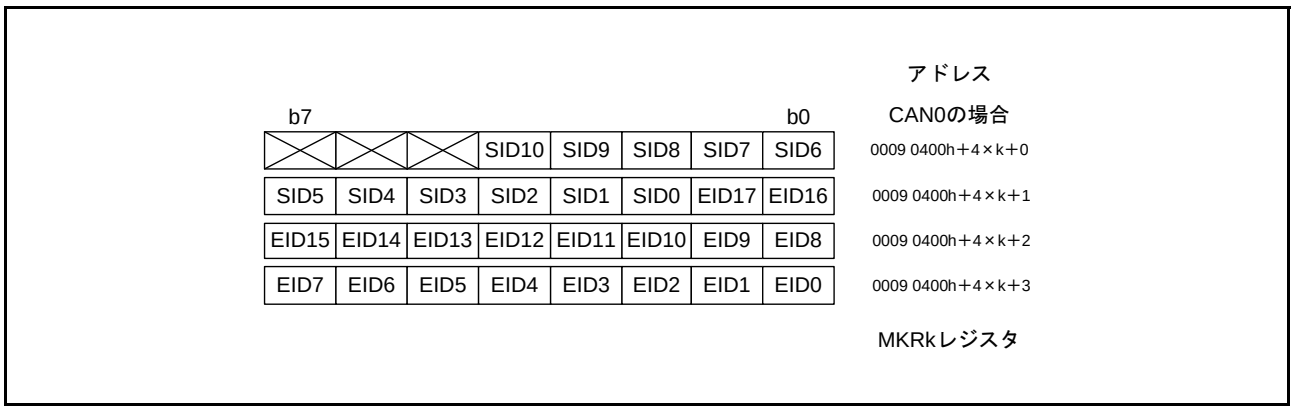


図 37.14　MKRk レジスタの構成（k = 0 ～ 7）

図 37.15 に FIDCR0、FIDCR1 レジスタの構成を示します。
同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

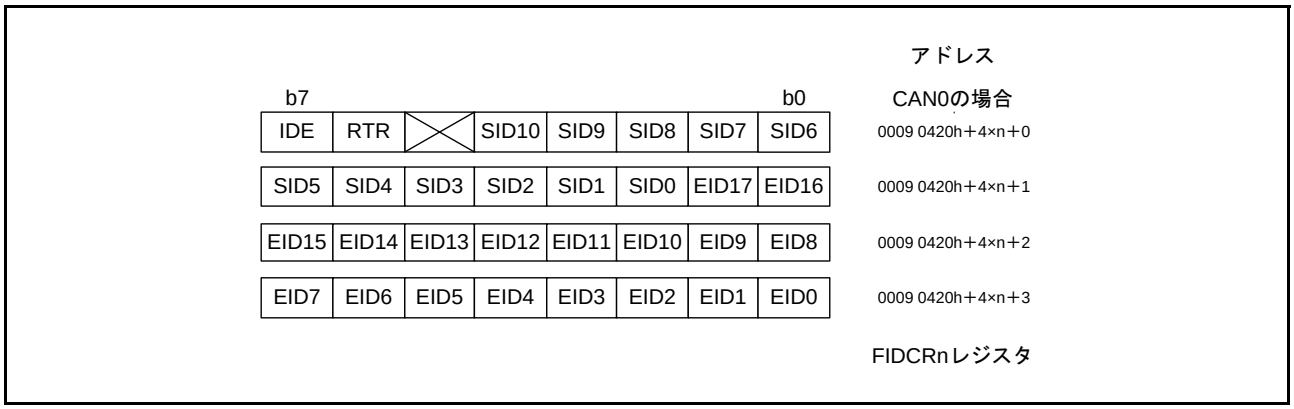


図 37.15　FIDCRn レジスタの構成（n = 0, 1）

37.6　アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。
MKR0 ～ MKR7 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- MKR0 レジスタは、メールボックス [0] ～ [3] に対応
- MKR1 レジスタは、メールボックス [4] ～ [7] に対応
- MKR2 レジスタは、メールボックス [8] ～ [11] に対応
- MKR3 レジスタは、メールボックス [12] ～ [15] に対応
- MKR4 レジスタは、メールボックス [16] ～ [19] に対応
- MKR5 レジスタは、メールボックス [20] ～ [23] に対応
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス [24] ～ [27]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ～ [31] に対応
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス [28] ～ [31]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ～ [31] に対応

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。
MBj レジスタの IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10b”（ミックス ID モード）のとき有効です。
MBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス（メールボックス [0] ～ [23]）は、MKR0 ～ MKR5 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス（メールボックス [28] ～ [31]）は、MKR6、MKR7 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。
また、受信 FIFO は FIDCR0、FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信することができます。
MKIVLR レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ FIDCR0、FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ FIDCR0、FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 37.16 にマスクレジスタとメールボックスの対応、**図 37.17** にアクセプタンスフィルタ処理を示します。

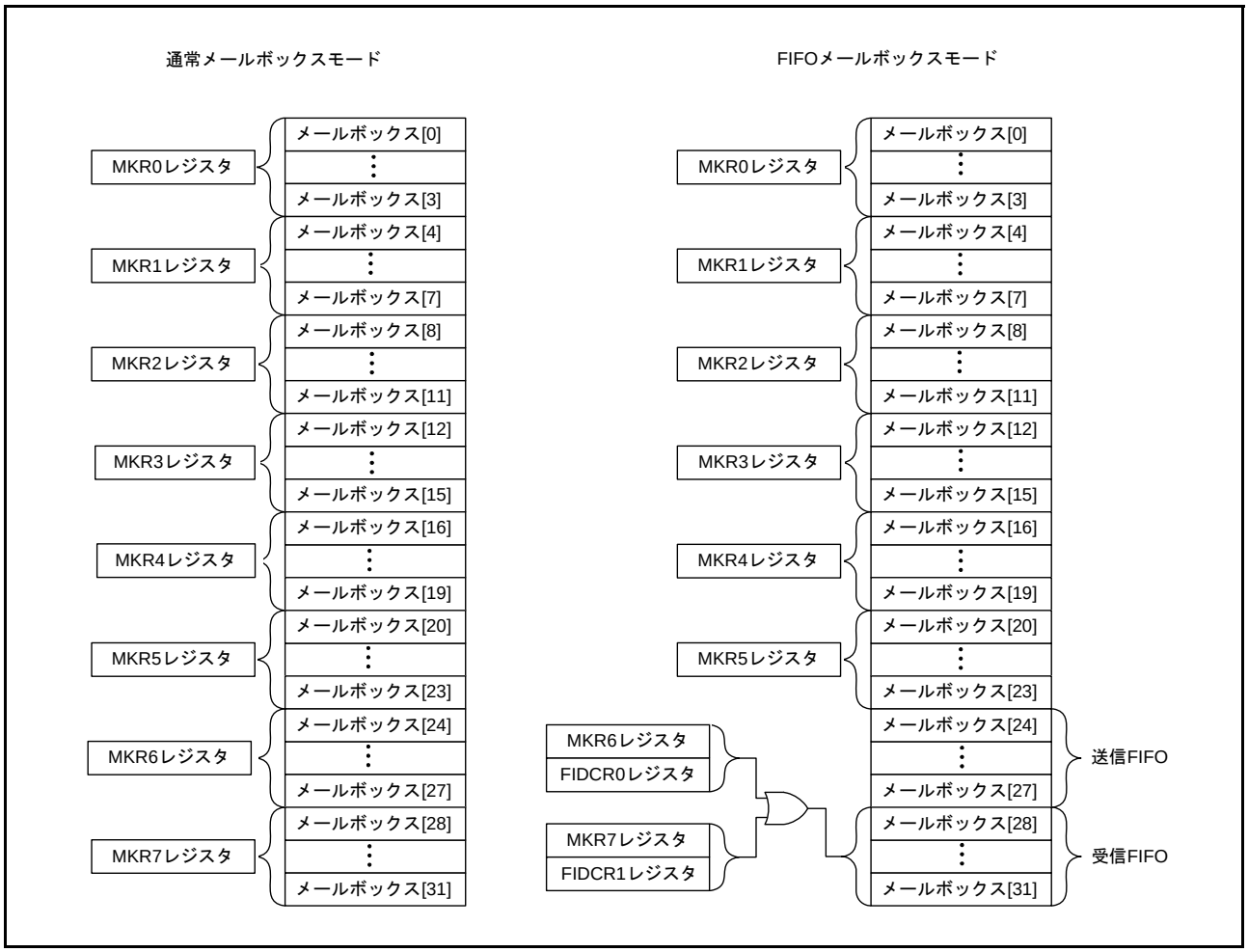


図 37.16　マスクレジスタとメールボックスの対応

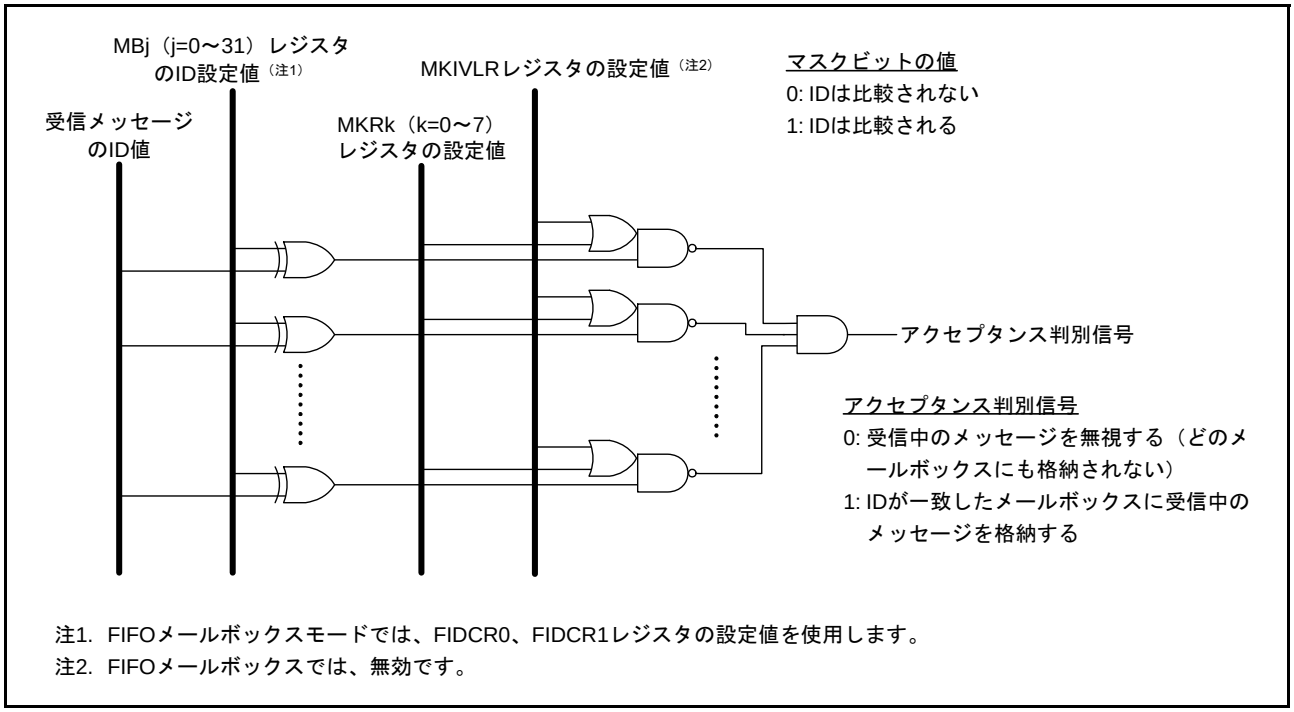


図 37.17　アクセプタンスフィルタ処理

37.7　受信 / 送信

表 37.10 に CAN 通信モードの設定方法を示します。

表 37.10　CAN 受信モードと CAN 送信モードの設定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

j = 0 ～ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、MCTLj レジスタを “00h” にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/ マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテストモードでは、CAN モジュールは送信データを受信します。この場合、CAN モジュールは ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

4. メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、MCTLj レジスタを確実に “00h” にして、さらに、アボート処理中でないことを確認してください。

37.7.1　受信

図 37.18 にデータフレーム受信時の動作例（オーバライトモードの場合）を示します。

この例は、示された MCTLj レジスタ（j = 0 ～ 31）のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

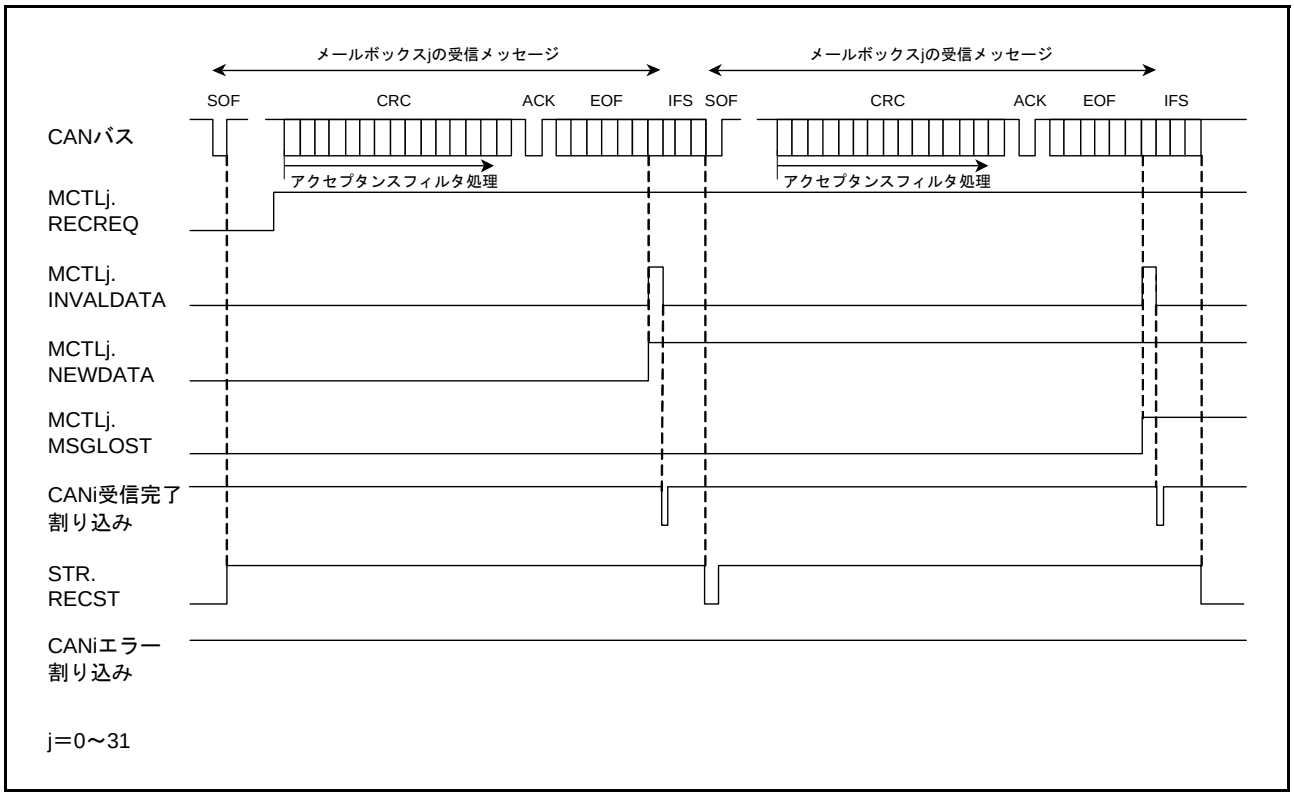


図 37.18　データフレーム受信時の動作例（オーバライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが “1”（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTLj.NEWDATA ビットが “1”（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時に MCTLj.INVALDATA ビットが “1”（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALDATA ビットは “0”（メッセージは有効）に戻ります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが “1”（割り込み許可）の場合、CANi 受信完了割り込み要求が発生します。INVALDATA ビットが “0” になると、この割り込み（CANi 受信完了割り込み）が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをプログラムで “0” にする必要があります。
6. オーバライトモードでは、NEWDATA フラグがまだ “1” になっているメールボックスに次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが “1”（メッセージはオーバライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CANi 受信完了割り込み要求は、4. と同様に発生します。

図 37.19 にデータフレーム受信時の動作例（オーバランモードの場合）を示します。

この例は、示された MCTLj レジスタ（j = 0 ～ 31）のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、2 つ目のメッセージを破棄する場合の動作です。

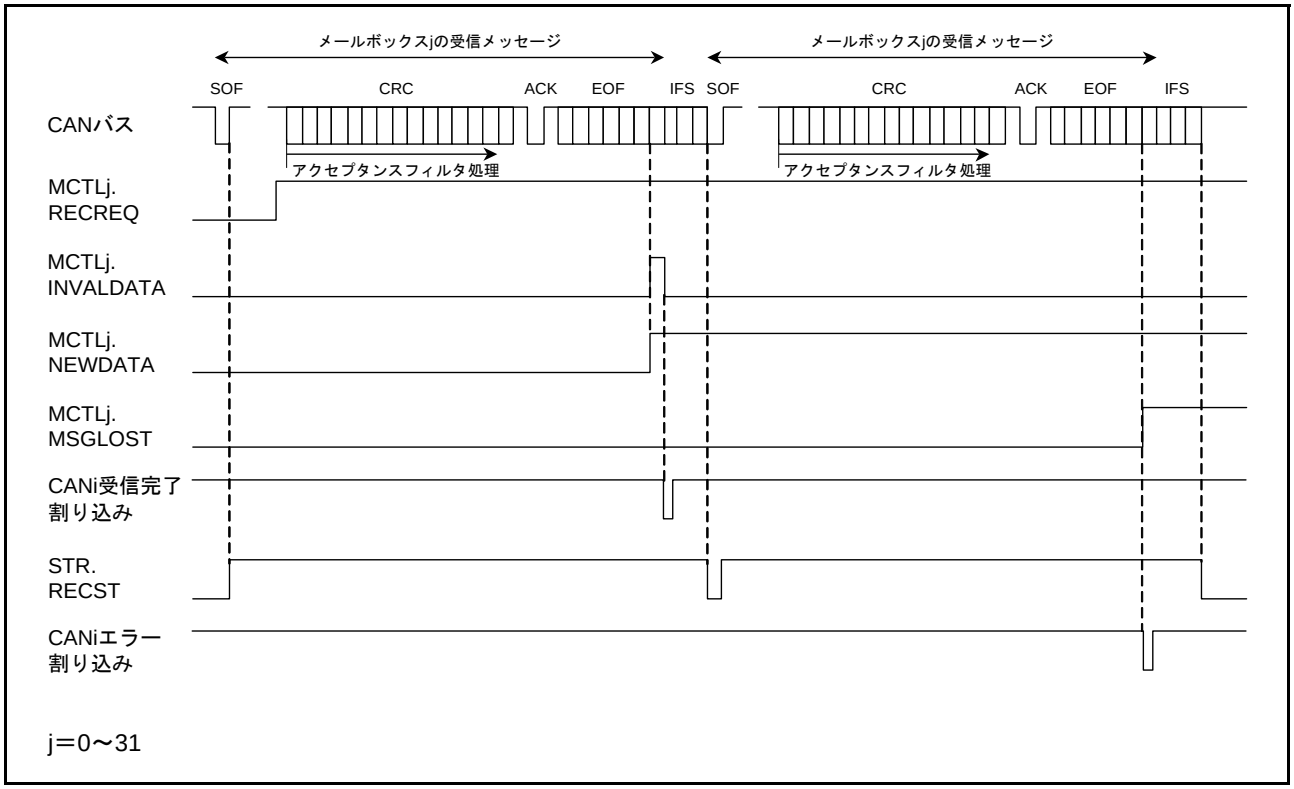


図 37.19　データフレーム受信時の動作例（オーバランモードの場合）

1. ～ 5. はオーバライトモードと同じです。
6. オーバランモードでは、MCTLj.NEWDATA フラグが “0” になる前に、次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが “1”（メッセージはオーバランされた）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが “1”（割り込み許可）の場合、CANi エラー割り込み要求が発生します。

37.7.2　送信

図 37.20 にデータフレーム送信時の動作例を示します。

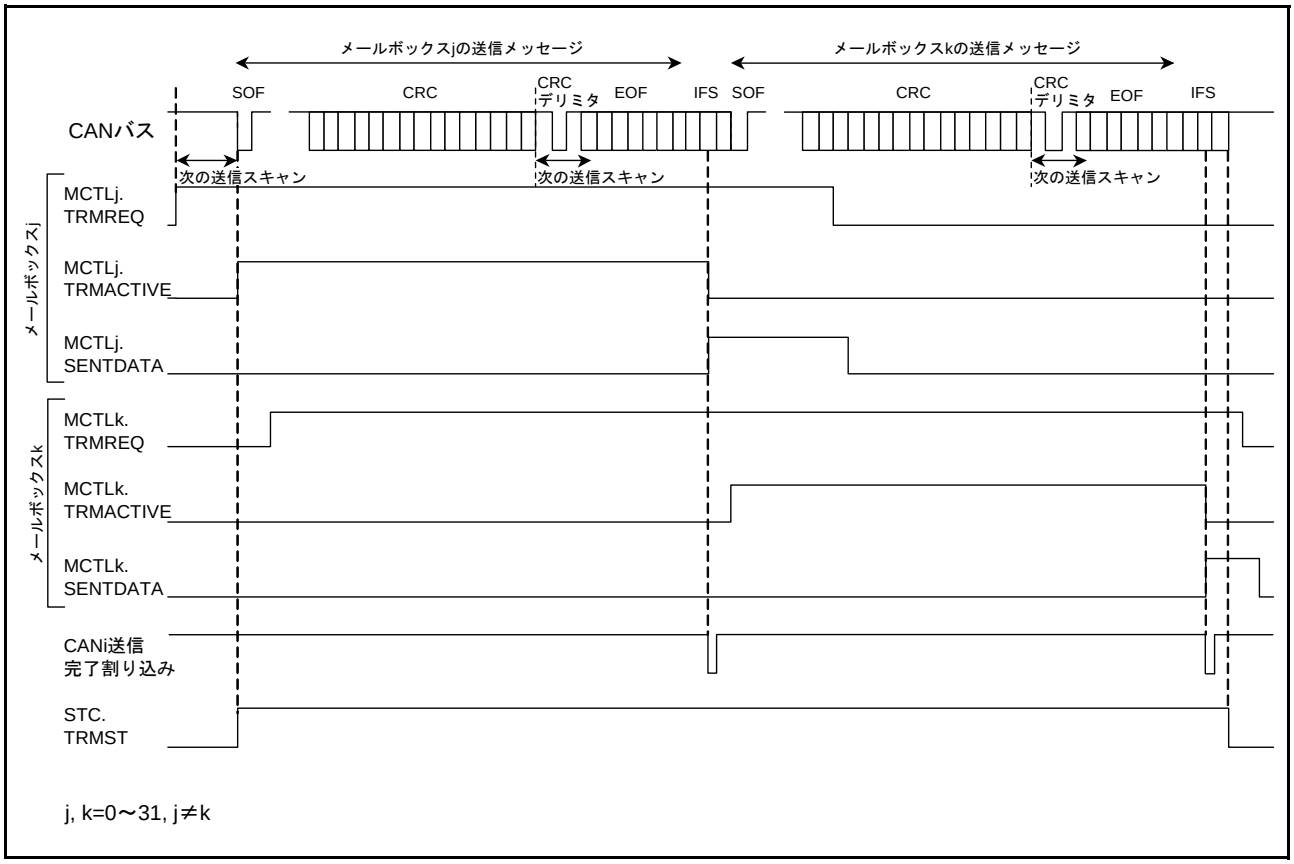


図 37.20　データフレーム送信時の動作例

1. バスアイドル状態で、MCTLj.TRMREQ ビット（j = 0 ～ 31）を “1”（送信メールボックス）にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、MCTLj レジスタの TRMACTIVE ビットが “1”（送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで）、STR レジスタの TRMST ビットが “1”（送信中）になり、CAN モジュールは送信を開始します（注 .）。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーションロストが発生せずに送信が完了すると、MCTLj レジスタの SENTDATA フラグが “1”（送信完了）に、TRMACTIVE ビットが “0”（送信待機中または送信要求なし）になります。そして、MIER レジスタの割り込み許可ビットが “1”（割り込み許可）の場合は CANi 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグと TRMREQ ビットを “0” にして、SENTDATA フラグと TRMREQ ビットが “0” になるのを確認した後、TRMREQ ビットを “1” にしてください。

注 .　CAN モジュールが送信開始した後でアービトレーションロストをした場合、TRMACTIVE ビットは “0” になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

37.8 CAN 割り込み

CAN モジュールには、チャネルごとに以下の CAN 割り込みがあります。**表 37.11** に CAN 割り込み一覧表を示します。

- CANi 受信完了割り込み（メールボックス 0 ～ 31）[RXMi]
- CANi 送信完了割り込み（メールボックス 0 ～ 31）[TXMi]
- CANi 受信 FIFO 割り込み [RXFi]
- CANi 送信 FIFO 割り込み [TXFi]
- CANi エラー割り込み [ERSi]

CANi エラー割り込みには、8 つの要因があります。これらの要因は、EIFR レジスタをチェックすることで確認できます。

－バスエラー
－エラーワーニング
－エラーパッシブ
－バスオフ開始
－バスオフ復帰
－受信オーバラン
－オーバロードフレーム送信
－バスロック

表 37.11　CAN 割り込み一覧表

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CANi	ERSi	バスロック検出	EIFR.BLIF
		オーバロードフレーム送信検出	EIFR.OLIF
		オーバラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	RXFi	受信 FIFO メッセージ受信（MIER[29] = 0）	RFCR.RFUST[2:0]
		受信 FIFO ワーニング（MIER[29] = 1）	
	TXFi	送信 FIFO メッセージ送信完了（MIER[25] = 0）	TFCR.TFUST[2:0]
		FIFO ラストメッセージ送信完了（MIER[25] = 1）	
	RXMi	メールボックス 0～31 メッセージ受信	MCTL0.NEWDATA～ MCTL31.NEWDATA
	TXMi	メールボックス 0～31 メッセージ送信完了	MCTL0.SENTDATA～ MCTL31.SENTDATA

i=0 ～ 2

37.9 使用上の注意事項

37.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、CAN モジュールの動作禁止／許可を設定できます。リセット後の値では、CAN モジュールの動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「**11. 消費電力低減機能**」を参照してください。

38. シリアルペリフェラルインタフェース（RSPI）

38.1 概要

RX63N グループ、RX631 グループは、独立した 3 チャネルのシリアルペリフェラルインタフェース（RSPI）を内蔵しています。

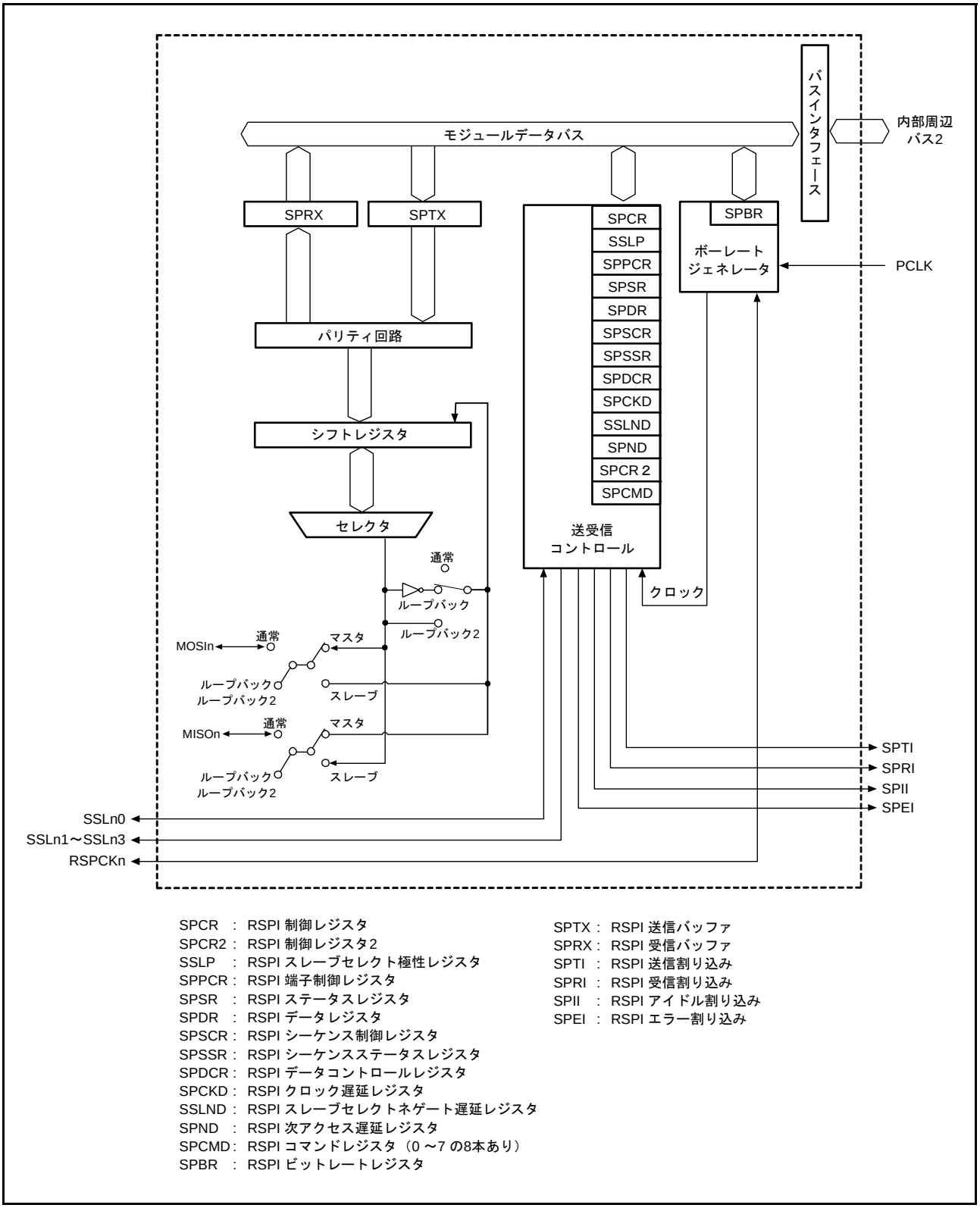
RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 38.1 に RSPI の仕様を、**図 38.1** に RSPI のブロック図を示します。

なお、本章では、端子名および信号名で使用している n は、A、B、C と規定し、i は 0 ～ 3 と規定しています。また、RSPI コマンドレジスタ m（SPCMDm）で使用している m は、0 ～ 7 と規定しています。

表38.1　RSPIの仕様

項目	内容
チャネル数	3チャネル
RSPI転送機能	• MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）/クロック同期式動作（3線式）でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能
データフォーマット	• MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットに変更可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送（1フレームは最大32ビット）
ビットレート	• マスタモード時、内蔵ボーレートジェネレータでPCLKを分周してRSPCKを生成（分周比は2～4096分周） • スレーブモード時、外部入力クロックをシリアルクロックとして使用（最大周波数はPCLKの8分周） High幅：PCLKの4サイクル、Low幅：PCLKの4サイクル
バッファ構成	送信/受信バッファ構成はダブルバッファ
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出
SSL制御機能	• 1チャネルあたり4本のSSL信号（SSLn0～SSLn3） • シングルマスタ設定時には、SSLn0～SSLn3信号を出力 • マルチマスタ設定時：SSLn0信号は入力、SSLn1～SSLn3信号は出力または未使用 • スレーブ設定時：SSLn0信号は入力、SSLn1～SSLn3信号は未使用 • SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • 次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	• 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能
割り込み要因	• マスカブルな割り込み要因 RSPI受信割り込み（受信バッファフル） RSPI送信割り込み（送信バッファエンプティ） RSPIエラー割り込み（モードフォルト、オーバラン、パリティエラー） RSPIアイドル割り込み（RSPIアイドル）
その他の機能	• RSPI初期化機能 • ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能



SPCR　：RSPI 制御レジスタ
SPCR2：RSPI 制御レジスタ2
SSLP　：RSPI スレーブセレクト極性レジスタ
SPPCR：RSPI 端子制御レジスタ
SPSR　：RSPI ステータスレジスタ
SPDR　：RSPI データレジスタ
SPSCR：RSPI シーケンス制御レジスタ
SPSSR：RSPI シーケンスステータスレジスタ
SPDCR：RSPI データコントロールレジスタ
SPCKD：RSPI クロック遅延レジスタ
SSLND：RSPI スレーブセレクトネゲート遅延レジスタ
SPND　：RSPI 次アクセス遅延レジスタ
SPCMD：RSPI コマンドレジスタ（0 ～7 の8本あり）
SPBR　：RSPI ビットレートレジスタ

SPTX：RSPI 送信バッファ
SPRX：RSPI 受信バッファ
SPTI　：RSPI 送信割り込み
SPRI　：RSPI 受信割り込み
SPII　：RSPI アイドル割り込み
SPEI　：RSPI エラー割り込み

図 38.1　RSPI のブロック図

表 38.2 に RSPI で使用する入出力端子を示します。

SSLn0 端子 (n=A、B、C) の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKn、MOSIn、MISOn 端子 (n=A、B、C) の入出力方向は、マスタ / スレーブ設定と SSLn0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「38.3.2　RSPI 端子の制御」を参照してください。

表 38.2　　RSPI の入出力端子

チャネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力端子
	MOSIA	入出力	マスタ送出データ入出力端子
	MISOA	入出力	スレーブ送出データ入出力端子
	SSLA0	入出力	スレーブセレクト入出力端子
	SSLA1	出力	スレーブセレクト出力端子
	SSLA2	出力	スレーブセレクト出力端子
	SSLA3	出力	スレーブセレクト出力端子
RSPI1	RSPCKB	入出力	クロック入出力端子
	MOSIB	入出力	マスタ送出データ入出力端子
	MISOB	入出力	スレーブ送出データ入出力端子
	SSLB0	入出力	スレーブセレクト入出力端子
	SSLB1	出力	スレーブセレクト出力端子
	SSLB2	出力	スレーブセレクト出力端子
	SSLB3	出力	スレーブセレクト出力端子
RSPI2	RSPCKC	入出力	クロック入出力端子
	MOSIC	入出力	マスタ送出データ入出力端子
	MISOC	入出力	スレーブ送出データ入出力端子
	SSLC0	入出力	スレーブセレクト入出力端子
	SSLC1	出力	スレーブセレクト出力端子
	SSLC2	出力	スレーブセレクト出力端子
	SSLC3	出力	スレーブセレクト出力端子

38.2　レジスタの説明

38.2.1　RSPI 制御レジスタ（SPCR）

アドレス　RSPI0.SPCR 0008 8380h、RSPI1.SPCR 0008 83A0h、RSPI2.SPCR 0008 83C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0：SPI動作（4線式） 1：クロック同期式動作（3線式）	R/W
b1	TXMD	通信動作モード選択ビット	0：全二重同期式シリアル通信 1：送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0：モードフォルトエラー検出を禁止 1：モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0：スレーブモード 1：マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0：RSPIエラー割り込み要求の発生を禁止 1：RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	RSPI送信割り込み許可ビット	0：RSPI送信割り込み要求の発生を禁止 1：RSPI送信割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0：RSPI機能は無効 1：RSPI機能が有効	R/W
b7	SPRIE	RSPI受信割り込み許可ビット	0：RSPI受信割り込み要求の発生を禁止 1：RSPI受信割り込み要求の発生を許可	R/W

SPCR.SPE ビットが “1” の状態において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作は保証されません。

SPMS ビット（RSPI モード選択ビット）

SPI 動作（4 線式）/ クロック同期式動作（3 線式）を選択するためのビットです。

クロック同期式動作を行う場合は SSLn0 ～ 3 端子を使用せず、RSPCKn 端子、MOSIn 端子、MISOn 端子の 3 端子を用いて通信を行います。また、マスタモード時（SPCR.MSTR=1）でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを “0”、“1” どちらにも設定できます。スレーブモード時（SPCR.MSTR=0）でクロック同期式動作を行う場合は CPHA ビットを “1” に設定してください。スレーブモード時（SPCR.MSTR=0）でクロック同期式動作を行う場合に、CPHA ビットを “0” に設定した場合の動作は保証されません。

TXMD ビット（送信動作モード選択ビット）

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを “1” にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません（「38.3.6 通信動作モード」参照）。

また、TXMD ビットを “1” に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット（モードフォルトエラー検出許可ビット）

モードフォルトエラーの検出を許可 / 禁止するためのビットです（「38.3.8　エラー検出」を参照）。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLn0 ～ 3 端子の入出力方向を決定します（「38.3.2　RSPI 端子の制御」を参照）。

MSTR ビット（RSPI マスタ / スレーブモード選択ビット）

RSPI のマスタ / スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISOn、SSLn0 ～ 3 端子の方向を決定します。

SPEIE ビット（RSPI エラー割り込み許可ビット）

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを “1” にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを “1” にした場合、またはパリティエラーを検出して SPSR.PERF フラグを “1” にした場合の RSPI エラー割り込み要求の発生を許可 / 禁止します。詳細については、「38.3.8　エラー検出」を参照してください。

SPTIE ビット（RSPI 送信割り込み許可ビット）

RSPI が送信バッファエンプティを検出し、RSPI 送信割り込み要求の発生を許可 / 禁止します。

送信開始時の送信割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを “1” にすることで発生します。

RSPI 機能は無効（SPE ビットが “0”）に遷移しても、SPTIE ビットを “1” に設定していると、RSPI 送信割り込みが発生することに注意してください。

SPE ビット（RSPI 機能許可ビット）

RSPI 機能の有効 / 無効を選択します。

SPSR.MODF ビットが “1” の場合には、SPE ビットを “1” にすることはできません。詳細は「38.3.8　エラー検出」を参照してください。

SPE ビットを “0” にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「38.3.9　RSPI の初期化」を参照してください。また、SPE ビットを “0” の状態から “1” または “1” の状態から “0” になることで RSPI 送信割り込み要求が発生します。

SPRIE ビット（RSPI 受信割り込み許可ビット）

RSPI がシリアル転送完了後の受信バッファ書き込みを検出し、RSPI 受信割り込み要求の発生を許可 / 禁止します。

38.2.2 RSPI スレーブセレクト極性レジスタ（SSLP）

アドレス RSPI0.SSLP 0008 8381h、RSPI1.SSLP 0008 83A1h、RSPI2.SSLP 0008 83C1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0：SSL0信号はアクティブLow 1：SSL0信号はアクティブHIgh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0：SSL1信号はアクティブLow 1：SSL1信号はアクティブHIgh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0：SSL2信号はアクティブLow 1：SSL2信号はアクティブHIgh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0：SSL3信号はアクティブLow 1：SSL3信号はアクティブHIgh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが “1” の状態において、SSLP レジスタを書き換えた場合には、以降の動作は保証されません。

38.2.3　RSPI 端子制御レジスタ（SPPCR）

アドレス　RSPI0.SPPCR 0008 8382h、RSPI1.SPPCR 0008 83A2h、RSPI2.SPPCR 0008 83C2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0：通常モード 1：ループバックモード（送信データの反転＝受信データ）	R/W
b1	SPLP2	RSPIループバック2ビット	0：通常モード 1：ループバックモード（送信データ＝受信データ）	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0：MOSIアイドル時のMOSIn端子の出力値はLow 1：MOSIアイドル時のMOSIn端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0：MOSI出力値は前回転送の最終データ 1：MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが “1” の状態において、SPPCR レジスタを書き換えた場合には、以降の動作は保証されません。

SPLP ビット（RSPI ループバックビット）

RSPI の端子モードを選択します。

SPLP ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISOn 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、スレーブ動作の場合、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。（ループバックモード）

SPLP2 ビット（RSPI ループバック 2 ビット）

RSPI の端子モードを選択します。

SPLP2 ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISOn 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、スレーブ動作の場合、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。（ループバックモード）

MOIFV ビット（MOSI アイドル固定値ビット）

マスタモードで MOIFE ビットが “1” の場合、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSIn 端子の出力値を選択します。

MOIFE ビット（MOSI アイドル値固定許可ビット）

マスタモードの RSPI が、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSIn 出力値を固定するために使用するビットです。MOIFE が “0” の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn に出力します。MOIFE が “1” の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIn に出力します。

38.2.4 RSPI ステータスレジスタ（SPSR）

アドレス RSPI0.SPSR 0008 8383h、RSPI1.SPSR 0008 83A3h、RSPI2.SPSR 0008 83C3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PERF	MODF	IDLNF	OVRF
リセット後の値	x	0	x	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R/(W) （注1）
b1	IDLNF	RSPIアイドルフラグ	0：RSPIがアイドル状態 1：RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし 1：モードフォルトエラー発生	R/(W) （注1）
b3	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R/(W) （注1）
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	—	予約ビット	読むと不定値が読めます。書く場合、“1”としてください	R/W

注1.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

OVRF フラグ（オーバランエラーフラグ）

オーバランエラーの発生状況を示します。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき

[“0” になる条件]

- OVRF フラグが “1” になったときの SPSR レジスタを読んだ後、OVRF フラグに “0” を書いたとき

IDLNF フラグ（RSPI アイドルフラグ）

RSPI の転送状況を示します。

[“1” になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の（条件 1）と（条件 2）の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが “1”（RSPI 機能が有効）のとき

[“0” になる条件]

【マスタモード】

下記 1. が満たされたとき（条件 1）、または下記 2. ～ 4. がすべて満たされたとき（条件 2）

1. SPCR.SPE ビットが “0”（RSPI 初期化）のとき
2. 送信用バッファ（SPTX）が空（次転送データがセットされていない）のとき
3. SPSSR.SPCP[2:0] ビットが “000b”（シーケンス制御の先頭）であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までが動作完了された状態）

【スレーブモード】

- SPCR.SPE ビットが “0”（RSPI 初期化）のとき

MODF フラグ（モードフォルトエラーフラグ）

モードフォルトエラーの発生を示します。

[“1” になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1”（マスタモード）、SPCR.MODFEN ビットが “1”（モードフォルトエラー検出を許可）の状態で、SSLni 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0”（スレーブモード）、SPCR.MODFEN ビットが “1”（モードフォルトエラー検出を許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット（SSL 信号極性設定ビット）によって決定されます。

[“0” になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを読んだ後、MODF フラグに “0” を書いたとき

PERF フラグ（パリティエラーフラグ）

パリティエラーの発生を示すフラグです。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき

[“0” になる条件]

- PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書いたとき

38.2.5　RSPI データレジスタ（SPDR）

アドレス　RSPI0.SPDR 0008 8384h、RSPI1.SPDR 0008 83A4h、RSPI2.SPDR 0008 83C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を**図 38.2** に示します。

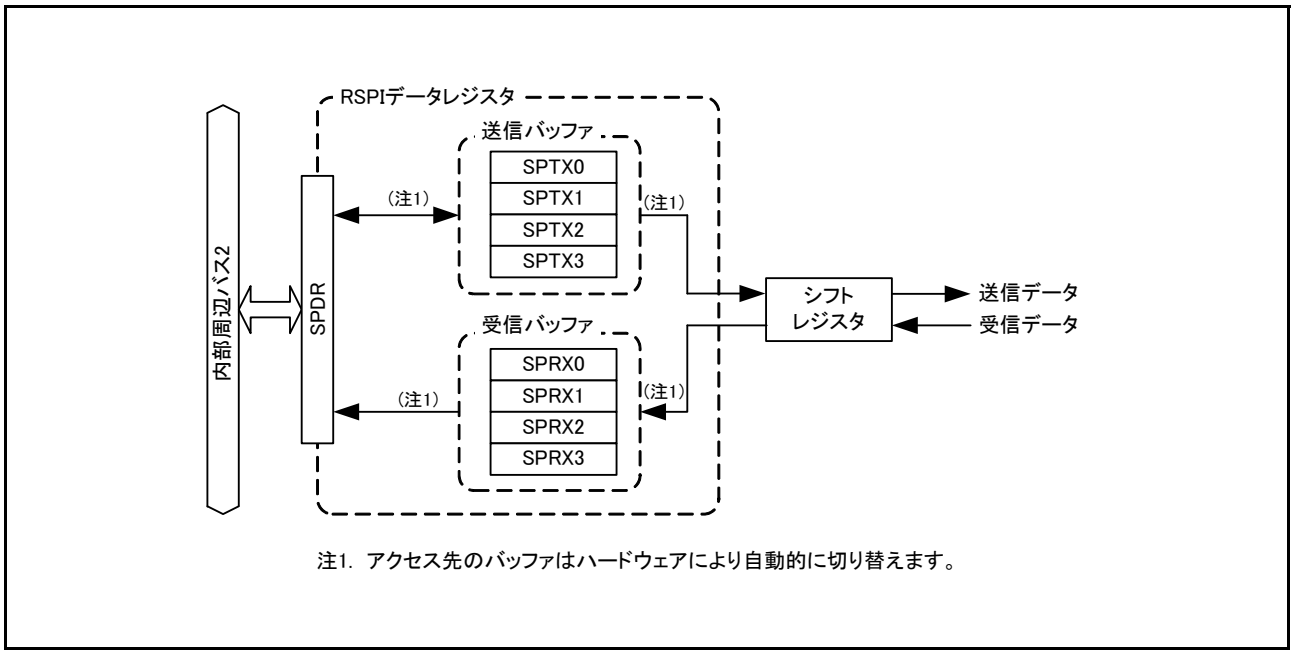


図 38.2　SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ（SPTX0 ～ 3）は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn(n=0 ～ 3) の非参照ビットには、SPTXn(n=0 ～ 3) の非参照ビットが格納されます。たとえば、データ長が 9 ビットの場合、SPRXn[31:9] に SPTXn[31:9] が格納されます。(SPTXn[8:0] には受信データが格納されます)。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファをそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスサイズは、RSPI データコントロールレジスタの RSPI ロングワードアクセス / ワードアクセス設定ビット（SPDCR.SPLW）で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによってポインタが次のバッファに自動的に切り替わります。

図 38.3 に送信バッファのバスインタフェース（ライト時）の構成図を示します。

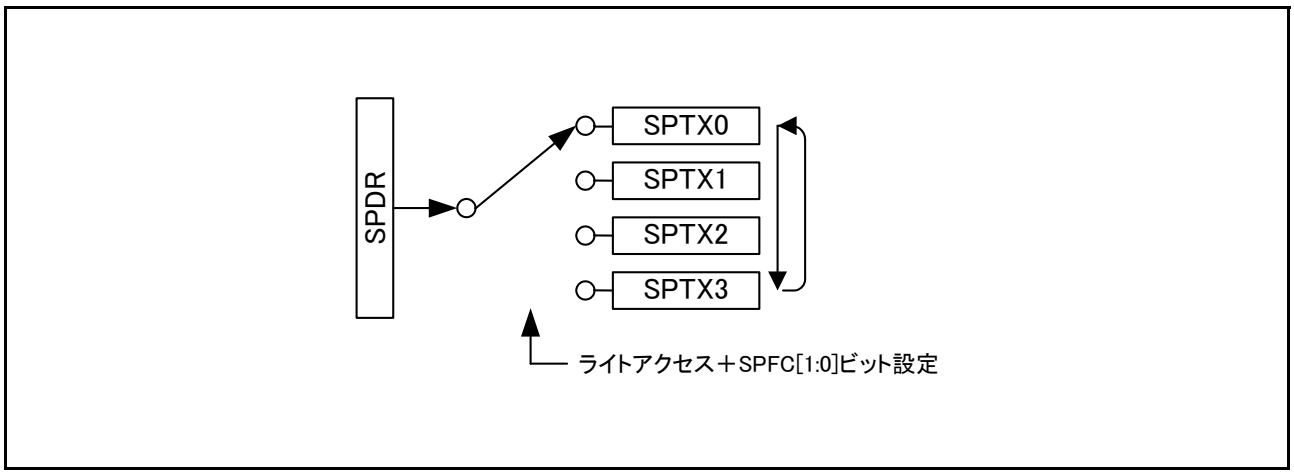


図 38.3　SPDR レジスタの構成図（ライト時）

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ～ 3 の切り替え順序
  SPFC[1:0] ビットが “00b” のとき：SPTX0 → SPTX0 → SPTX0 →・・・
  SPFC[1:0] ビットが “01b” のとき：SPTX0 → SPTX1 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “10b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 →・・・
  SPFC[1:0] ビットが “11b” のとき：SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 →・・・

RSPI 制御レジスタの RSPI 機能許可ビット（SPCR.SPE）が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ（SPTXn）への書き込みは、RSPI 送信割り込み発生後、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット（SPFC[1:0]）で設定したフレーム数分の送信データを書き込んでください。次の RSPI 送信割り込み発生前に送信バッファ（SPTXn）に書き込みを行っても SPDR レジスタへのライトアクセスは破棄されます。

(b)　読み出し

SPDR レジスタを読み出すことによって、受信バッファ（SPRX0 ～ 3）、または送信バッファ（SPTX0 ～ 3）の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット（SPDCR.SPRDTD）によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタへの読み出し構造には、2 つの独立したポインタ（受信バッファリードポインタ、送信バッファリードポインタ）があります。SPDR レジスタの読み出しによって、ポインタが次のバッファに自動的に切り替わります。

図 38.4 に受信バッファと送信バッファのバスインタフェース（リード時）の構成図を示します。

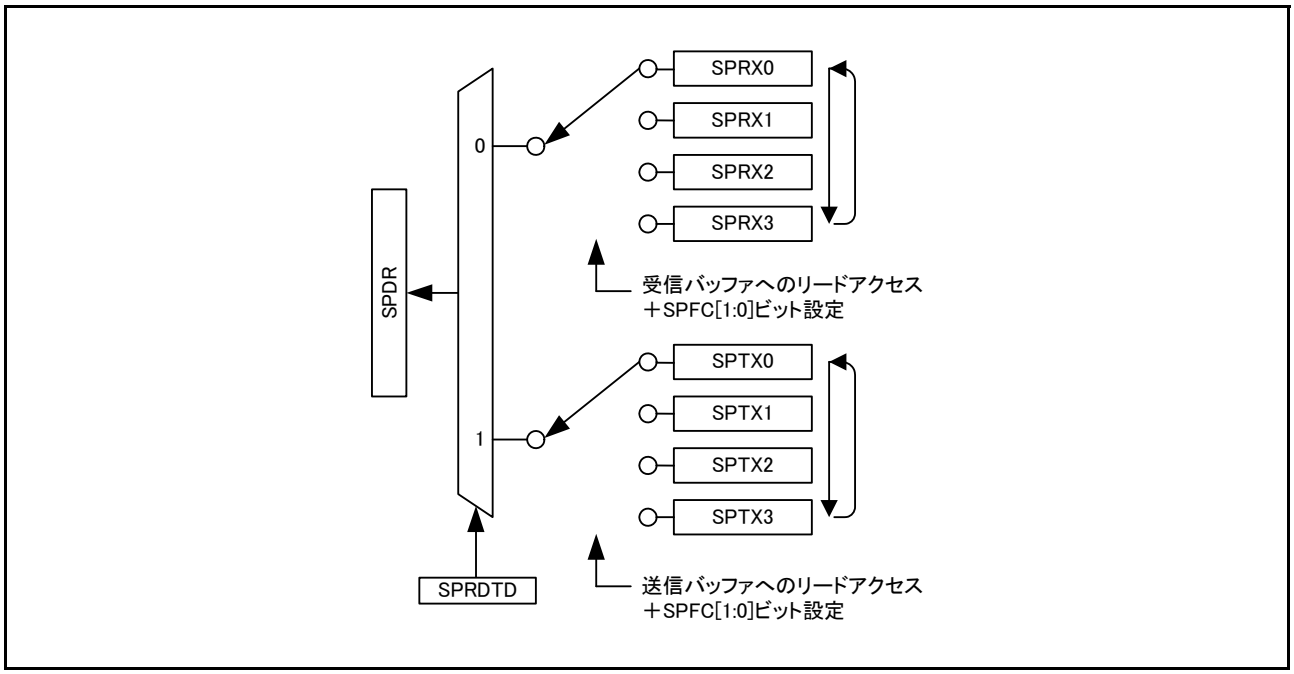


図 38.4　　SPDR レジスタの構成図（リード時）

受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。送信バッファを読み出すと、送信バッファに書いた直前の値が読めます。また、読み出し時、RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット（SPDCR.SPRDTD）で選択した読み出すバッファのバッファリードポインタのみが更新され、他のバッファリードポインタは状態を保持します。

SPRXn のバッファリードポインタは、RSPI 制御レジスタの RSPI 機能許可ビット（SPCR.SPE）が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

RSPI 送信割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）で設定したフレーム数分の送信データを書き込んだ後、次の RSPI 送信割り込み発生までの間、送信バッファを読み出すと、すべて “0” が読み出せます。

RSPI 送信割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）で設定したフレーム数分の送信データを書き込むと、SPTXn のバッファリードポインタはクリアされます。

38.2.6 RSPI シーケンス制御レジスタ（SPSCR）

アドレス RSPI0.SPSCR 0008 8388h、RSPI1.SPSCR 0008 83A8h、RSPI2.SPSCR 0008 83C8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPI シーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0～7レジスタ（番号） 0 0 0 : 1 0→0→… 0 0 1 : 2 0→1→0→… 0 1 0 : 3 0→1→2→0→… 0 1 1 : 4 0→1→2→3→0→… 1 0 0 : 5 0→1→2→3→4→0→… 1 0 1 : 6 0→1→2→3→4→5→0→… 1 1 0 : 7 0→1→2→3→4→5→6→0→… 1 1 1 : 8 0→1→2→3→4→5→6→7→0→… 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタと参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに “1” の状態において、SPSCR.SPSLN[2:0] ビットを書き替える場合、SPSR.IDLNF フラグが “0” の状態で書き替えてください。

SPSLN[2:0] ビット（RSPI シーケンス長設定ビット）

マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定します。マスタモードの RSPI は SPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照する SPCMD0 ～ 7 レジスタと参照順を変更します。

スレーブモードでは、常に SPCMD0 レジスタが参照されます。

38.2.7　RSPI シーケンスステータスレジスタ（SPSSR）

アドレス　RSPI0.SPSSR 0008 8389h、RSPI1.SPSSR 0008 83A9h、RSPI2.SPSSR 0008 83C9h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPECM[2:0]			—	SPCP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0：SPCMD0 0 0 1：SPCMD1 0 1 0：SPCMD2 0 1 1：SPCMD3 1 0 0：SPCMD4 1 0 1：SPCMD5 1 1 0：SPCMD6 1 1 1：SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0：SPCMD0 0 0 1：SPCMD1 0 1 0：SPCMD2 0 1 1：SPCMD3 1 0 0：SPCMD4 1 0 1：SPCMD5 1 1 0：SPCMD6 1 1 1：SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット（RSPI コマンドポインタビット）

RSPI のシーケンス制御で、現在ポインタで指されている SPCMDm レジスタを示します。
なお、RSPI のシーケンス制御については、**「38.3.10.1　マスタモード動作」**を参照してください。

SPECM[2:0] ビット（RSPI エラーコマンドビット）

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMDm レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに “0” で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、**「38.3.8　エラー検出」**を参照してください。また、RSPI のシーケンス制御については、**「38.3.10.1　マスタモード動作」**を参照してください。

38.2.8　RSPI ビットレートレジスタ（SPBR）

アドレス　RSPI0.SPBR 0008 838Ah、RSPI1.SPBR 0008 83AAh、RSPI2.SPBR 0008 83CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
リセット後の値	1	1	1	1	1	1	1	1

SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR, SPE ビットがともに “1” の状態において、SPBR レジスタを書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、入力クロックのビットレートに依存します。（電気的特性を満足するビットレートを使用してください）

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値（0、1、2、……、255）、N は BRDV[1:0] ビットの設定値（0、1、2、3）です。

$$\text{ビットレート} = \frac{f\,(PCLK)}{2\times(n+1)\,2^{N}}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 38.3 に示します。

表 38.3　SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値（n）	BRDV[1:0] ビットの設定値（N）	分周比	ビットレート			
			PCLK＝32MHz	PCLK＝36MHz	PCLK＝40MHz	PCLK＝50MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps

38.2.9　RSPI データコントロールレジスタ（SPDCR）

アドレス　RSPI0.SPDCR 0008 838Bh、RSPI1.SPDCR 0008 83ABh、RSPI2.SPDCR 0008 83CBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SPLW	SPRDTD	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0：1フレーム 0 1：2フレーム 1 0：3フレーム 1 1：4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0：SPDRは受信バッファを読み出す 1：SPDRは送信バッファを読み出す （ただし、送信バッファが空のとき）	R/W
b5	SPLW	RSPIロングワードアクセス/ワードアクセス設定ビット	0：SPDRレジスタへはワードアクセス 1：SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SPCR.SPE ビットが “1” の状態において、SPDCR.SPFC[1:0] ビットを書き替える場合、SPSR.IDLNF フラグが “0” のときに書き替えてください。

SPFC[1:0] ビット（フレーム数設定ビット）

SPDR レジスタに格納できる（1 回の転送起動）フレーム数を設定します。SPSCR.SPSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信割り込みが発生と RSPI 送信割り込みが発生または送信開始するためのフレーム数も変更します。**表 38.4** に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません。

SPRDTD ビット（RSPI 受信 / 送信データ選択ビット）

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、RSPI 送信割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「38.2.5　RSPI データレジスタ（SPDR）」を参照してください。

SPLW ビット（RSPI ロングワードアクセス / ワードアクセス設定ビット）

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが “0” のときはワードアクセス、SPLW ビットが “1” のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが “0” のとき、SPCMDm.SPB[3:0] ビット（RSPI データ長設定ビット）の設定は、8 ～ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。

表 38.4　SPSLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1 シーケンスで転送するフレーム数	受信バッファフル割り込み発生、送信バッファにデータありになるフレーム数
1-1	000	00	1	1
1-2	000	01	2	2
1-3	000	10	3	3
1-4	000	11	4	4
2-1	001	01	2	2
2-2	001	11	4	4
3	010	10	3	3
4	011	11	4	4
5	100	00	5	1
6	101	00	6	1
7	110	00	7	1
8	111	00	8	1

38.2.10　RSPI クロック遅延レジスタ（SPCKD）

アドレス　RSPI0.SPCKD 0008 838Ch、RSPI1.SPCKD 0008 83ACh、RSPI2.SPCKD 0008 83CCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK 遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが “1” の状態における、SSLni 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の状態において、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

SCKDL[2:0] ビット（RSPCK 遅延設定ビット）

SPCMDm.SCKDEN ビットが “1” の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを “000b” にしてください。

38.2.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）

アドレス RSPI0.SSLND 0008 838Dh、RSPI1.SSLND 0008 83ADh、RSPI2.SSLND 0008 83CDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSLni 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の状態において、SSLND レジスタを書き換えた場合には、以降の動作は保証されません。

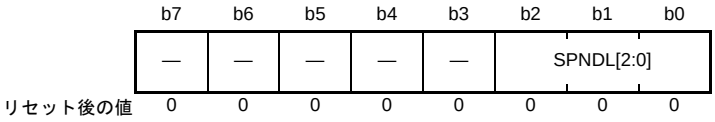
SLNDL[2:0] ビット（SSL ネゲート遅延設定ビット）

マスタモードの RSPI の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを “000b” にしてください。

38.2.12　RSPI 次アクセス遅延レジスタ（SPND）

アドレス　RSPI0.SPND 0008 838Eh、RSPI1.SPND 0008 83AEh、RSPI2.SPND 0008 83CEh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0：1RSPCK＋2PCLK 0 0 1：2RSPCK＋2PCLK 0 1 0：3RSPCK＋2PCLK 0 1 1：4RSPCK＋2PCLK 1 0 0：5RSPCK＋2PCLK 1 0 1：6RSPCK＋2PCLK 1 1 0：7RSPCK＋2PCLK 1 1 1：8RSPCK＋2PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが “1” の状態で、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが “1” の状態において、SPND レジスタを書き換えた場合には、以降の動作は保証されません。

SPNDL[2:0] ビット（RSPI 次アクセス遅延設定ビット）

SPCMDm.SPNDEN ビットが “1” の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを “000b” にしてください。

38.2.13 RSPI 制御レジスタ 2（SPCR2）

アドレス RSPI0.SPCR2 0008 838Fh、RSPI1.SPCR2 0008 83AFh、RSPI2.SPCR2 0008 83CFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0：送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1：送信データにパリティビットを付加し、受信データのパリティチェックを行う（SPCR.TXMD=0のとき） 送信データにパリティビットを付加するが、受信データのパリティチェックは行わない（SPCR.TXMD=1のとき）	R/W
b1	SPOE	パリティモードビット	0：偶数パリティで送受信 1：奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0：アイドル割り込み要求の発生を禁止 1：アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己判断ビット	0：パリティ回路自己診断機能は無効 1：パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが “1” の状態において、SPCR2 レジスタの SPPE、SPOE ビットの設定値を変更した場合には、以降の動作は保証されません。

SPPE ビット（パリティ許可ビット）

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが “1”、SPCR2.SPPE ビットが “1” の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット（パリティモードビット）

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが “1” のときのみ有効です。

SPIIE ビット（RSPI アイドル割り込み許可ビット）

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが “0” になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

PTE ビット（パリティ自己診断ビット）

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

38.2.14　RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7）

アドレス　RSPI0.SPCMD0 0008 8390h、RSPI0.SPCMD1 0008 8392h、RSPI0.SPCMD2 0008 8394h、RSPI0.SPCMD3 0008 8396h、RSPI0.SPCMD4 0008 8398h、RSPI0.SPCMD5 0008 839Ah、RSPI0.SPCMD6 0008 839Ch、RSPI0.SPCMD7 0008 839Eh、RSPI1.SPCMD0 0008 83B0h、RSPI1.SPCMD1 0008 83B2h、RSPI1.SPCMD2 0008 83B4h、RSPI1.SPCMD3 0008 83B6h、RSPI1.SPCMD4 0008 83B8h、RSPI1.SPCMD5 0008 83BAh、RSPI1.SPCMD6 0008 83BCh、RSPI1.SPCMD7 0008 83BEh、RSPI2.SPCMD0 0008 83D0h、RSPI2.SPCMD1 0008 83D2h、RSPI2.SPCMD2 0008 83D4h、RSPI2.SPCMD3 0008 83D6h、RSPI2.SPCMD4 0008 83D8h、RSPI2.SPCMD5 0008 83DAh、RSPI2.SPCMD6 0008 83DCh、RSPI2.SPCMD7 0008 83DEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0：アイドル時のRSPCKがLow 1：アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0：ベースのビットレートを選択 0 1：ベースのビットレートの2分周を選択 1 0：ベースのビットレートの4分周を選択 1 1：ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6　b4 0 0 0：SSL0 0 0 1：SSL1 0 1 0：SSL2 0 1 1：SSL3 1 x x：設定しないでください x：Don't care	R/W
b7	SSLKP	SSL信号レベル保持ビット	0：転送終了時に全SSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11　b8 0100～0111：8ビット 1 0 0 0：9ビット 1 0 0 1：10ビット 1 0 1 0：11ビット 1 0 1 1：12ビット 1 1 0 0：13ビット 1 1 0 1：14ビット 1 1 1 0：15ビット 1 1 1 1：16ビット 0 0 0 0：20ビット 0 0 0 1：24ビット 0010、0011：32ビット	R/W
b12	LSBF	RSPI LSBファーストビット	0：MSBファースト 1：LSBファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0：次アクセス遅延は1RSPCK＋2PCLK 1：次アクセス遅延はRSPI次アクセス遅延レジスタ（SPND）の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0：SSLネゲート遅延は1RSPCK 1：SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ（SSLND）の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0：RSPCK遅延は1RSPCK 1：RSPCK遅延はRSPIクロック遅延レジスタ（SPCKD）の設定値	R/W

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャネルの RSPI には、RSPI コマンドレジスタが 8 本あります（SPCMD0 ～ SPCMD7 レジスタ）。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の（次転送のデータがセットされていない）状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが “0”、SPCR.SPE ビットが “1” の状態において、SPCMDm レジスタを書き換えた場合、以降の動作は保証されません。

CPHA ビット（RSPCK 位相設定ビット）

マスタモード / スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット（RSPCK 極性設定ビット）

マスタモード / スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット（ビットレート分周設定ビット）

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します（「38.2.8　RSPI ビットレートレジスタ（SPBR）」を参照）。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし /2 分周 /4 分周 /8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット（SSL 信号アサート設定ビット）

マスタモードの RSPI がシリアル転送する場合の SSLni 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを “000b” にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます（SSLn0 端子は入力になるため）。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを “000b” にしてください。

SSLKP ビット（SSL 信号レベル保持ビット）

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLni 信号レベルを保持するか、ネゲートするかを設定するビットです。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを “0” にしてください。

SPB[3:0] ビット（RSPI データ長設定ビット）

マスタモード / スレーブモードの RSPI の転送データ長を設定します。

LSBF ビット（RSPI LSB ファーストビット）

マスタモード / スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット（RSPI 次アクセス遅延許可ビット）

マスタモードの RSPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートを可能にするまでの期間（次アクセス遅延）を設定します。SPNDEN ビットが “0” のとき、RSPI は次アクセス遅延を 1RSPCK+2PCLK にします。SPNDEN ビットが “1” のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを “0” にしてください。

SLNDEN ビット（SSL ネゲート遅延設定許可ビット）

マスタモードの RSPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定します。SLNDEN ビットが “0” のとき、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN ビットが “1” のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを “0” にしてください。

SCKDEN ビット（RSPCK 遅延設定許可ビット）

マスタモードの RSPI が、SSLni 信号をアクティブにしてから RSPCK を発振するまでの期間（RSPCK 遅延）を設定します。SCKDEN ビットが “0” のとき、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN ビットが “1” のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを “0” にしてください。

38.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

38.3.1 RSPI 動作の概要

RSPI は、スレーブモード（SPI 動作）、シングルマスタモード（SPI 動作）、マルチマスタモード（SPI 動作）、スレーブモード（クロック同期式動作）、マスタモード（クロック同期式動作）での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 38.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表38.5　RSPIのモードとSPCRレジスタの設定の関係および各モードの概要

モード	スレーブ（SPI動作）	シングルマスタ（SPI動作）	マルチマスタ（SPI動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKn信号	入力	出力	出力/Hi-Z	入力	出力
MOSIn信号	入力	出力	出力/Hi-Z	入力	出力
MISOn信号	出力/Hi-Z	入力	入力	出力	入力
SSLn0信号	入力	出力	入力	Hi-Z（注1）	Hi-Z（注1）
SSLn1～SSLn3信号	Hi-Z（注1）	出力	出力/Hi-Z	Hi-Z（注1）	Hi-Z（注1）
SSL極性変更機能	あり	あり	あり	-	-
転送レート	～PCLK/8	～PCLK/2	～PCLK/2	～PCLK/8	～PCLK/2
クロックソース	RSPCK入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK入力	内蔵ボーレートジェネレータ
クロック極性	2種	2種	2種	2種	2種
クロック位相	2種	2種	2種	1種（CPHA=1）	2種
先頭転送ビット	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
転送データ長	8～32ビット	8～32ビット	8～32ビット	8～32ビット	8～32ビット
バースト転送	可能（CPHA=1）	可能（CPHA=0,1）	可能（CPHA=0,1）	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力アクティブまたはRSPCK発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み	送信バッファエンプティ割り込み要求で送信バッファ書き込み	RSPCK発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり（注2）	あり（注2）	あり（注2）	あり（注2）	あり（注2）
オーバランエラー検出	あり（注2）	あり（注2）	あり（注2）	あり（注2）	あり（注2）
パリティエラー検出	あり（注2）（注3）	あり（注2）（注3）	あり（注2）（注3）	あり（注2）（注3）	あり（注2）（注3）
モードフォルトエラー検出	あり（MODFEN=1）	なし	あり	なし	なし

注1.　本モードでは使用しません。
注2.　SPCR.TXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。
注3.　SPCR2.SPPEビットが“0”のときは、パリティエラー検出を行いません。

38.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。I/O ポートの ODRn.Bi ビットの設定値を “0” にすると CMOS 出力に、“1” にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を**表 38.6** に示します。I/O ポートの設定も同じとなるよう設定してください。

表38.6　RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態（注2）	
		ODRn.Bi = 0	ODRn.Bi = 1
シングルマスタ（SPI動作） （MSTR＝1、MODFEN＝0、SPMS=0）	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0～3	CMOS出力	オープンドレイン出力
	MOSIn	CMOS出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタ（SPI動作） （MSTR＝1、MODFEN＝1、SPMS=0）	RSPCKn（注3）	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLn0	入力	入力
	SSLn1～3（注3）	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIn（注3）	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MISOn	入力	入力
スレーブ（SPI動作） （MSTR＝0、SPMS=0）	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1～3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIn	入力	入力
	MISOn（注4）	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ（クロック同期式動作） （MSTR＝1、MODFEN＝0、SPMS=1）	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0～3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIn	CMOS出力	オープンドレイン出力
	MISOn	入力	入力
スレーブ（クロック同期式動作） （MSTR＝0、SPMS=1）	RSPCKn	入力	入力
	SSLn0～3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIn	入力	入力
	MISOn	CMOS出力	オープンドレイン出力

注1.　本モードでは使用しません。
注2.　RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。
注3.　SSLn0がアクティブレベルの場合、端子状態がHi-Zになります。
注4.　SSLn0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。
注5.　I/Oポートとして使用できます。

シングルマスタモード（SPI 動作）、マルチマスタモード（SPI 動作）の RSPI は、SPPCR.MOIFE, MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を**表 38.7** のように決定します。

表38.7　SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIn信号値
0	0、1	前回転送の最終データ
1	0	常にLow
1	1	常にHigh

38.3.3　RSPI システム構成例

38.3.3.1　シングルマスタ / シングルスレーブ（本 LSI ＝マスタ）

図 38.5 に、本 LSI をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 LSI（マスタ）の SSLn0 ～ SSLn3 出力は使用しません。RSPI スレーブの SSL 入力は Low に固定して、RSPI スレーブを常に選択できる状態にします。（注 1）

本 LSI（マスタ）は、RSPCKn と MOSIn を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

注 1.　SPCMDm.CPHA ビットが “0” の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

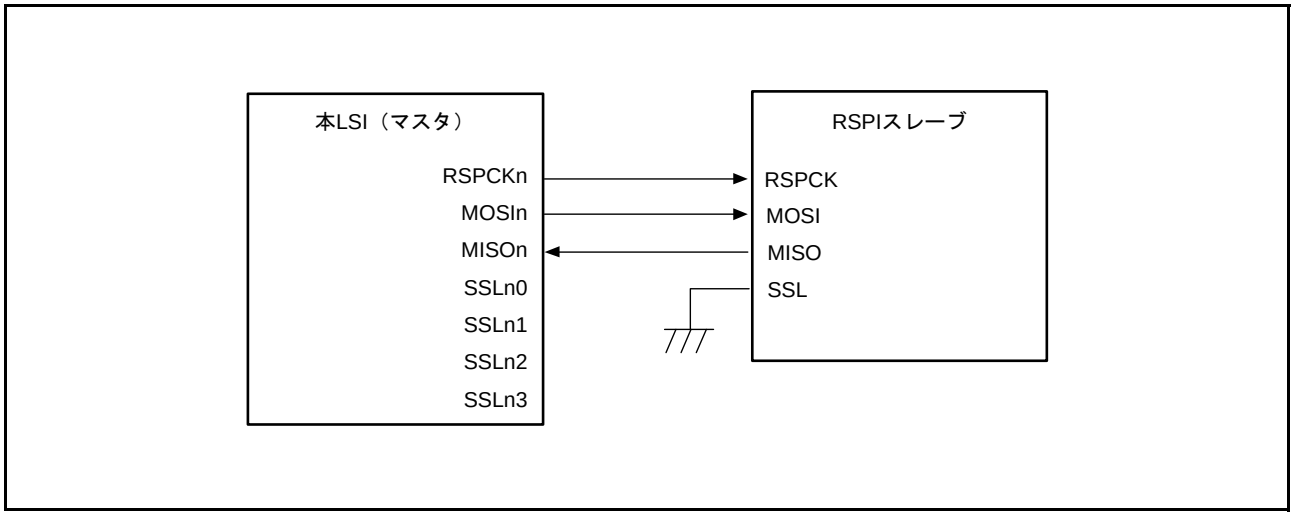


図 38.5　シングルマスタ / シングルスレーブの構成例（本 LSI ＝マスタ）

38.3.3.2　シングルマスタ / シングルスレーブ（本 LSI ＝スレーブ）

図 38.6 に、本 LSI をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSLn0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 LSI（スレーブ）は、MISOn を常にドライブします。（注 1）

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合には、本 LSI（スレーブ）の SSLn0 入力を Low に固定して本 LSI（スレーブ）を常に選択できる状態とし、シリアル転送を実行することも可能です（図 38.7）。

注 1.　SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

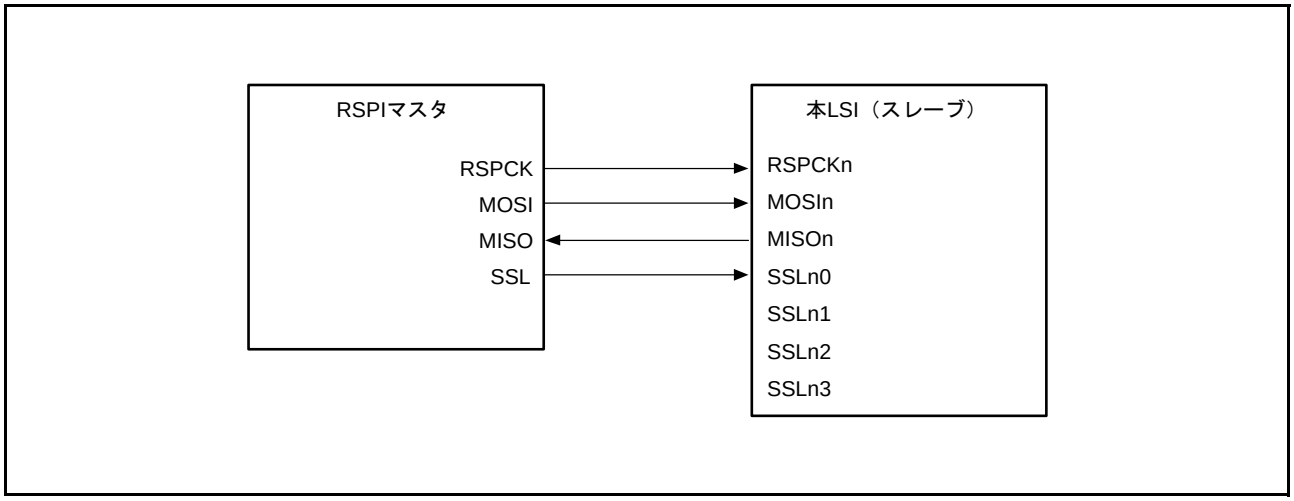


図 38.6　シングルマスタ / シングルスレーブの構成例（本 LSI ＝スレーブ、CPHA = 0）

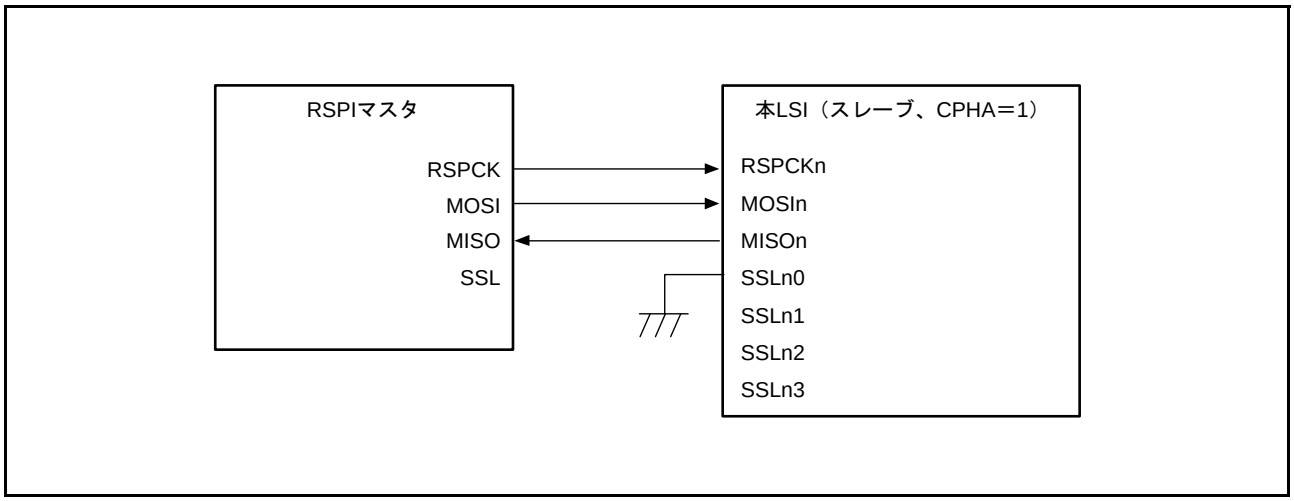


図 38.7　シングルマスタ / シングルスレーブの構成例（本 LSI ＝スレーブ、CPHA ＝ 1）

38.3.3.3　シングルマスタ / マルチスレーブ（本 LSI ＝マスタ）

図 38.8 に、本 LSI をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.8 の例では、本 LSI（マスタ）と 4 つのスレーブ（RSPI スレーブ 0 ～ RSPI スレーブ 3）から RSPI システムを構成しています。

本 LSI（マスタ）の RSPCKn 出力と MOSIn 出力は、RSPI スレーブ 0 ～ RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0 ～ RSPI スレーブ 3 の MISO 出力は、すべて本 LSI（マスタ）の MISOn 入力に接続します。本 LSI（マスタ）の SSLn0 ～ SSLn3 出力は、それぞれ RSPI スレーブ 0 ～ RSPI スレーブ 3 の SSL 入力に接続します。

本 LSI（マスタ）は、RSPCK、MOSI、SSLn0 ～ SSLn3 を常にドライブします。RSPI スレーブ 0 ～ RSPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

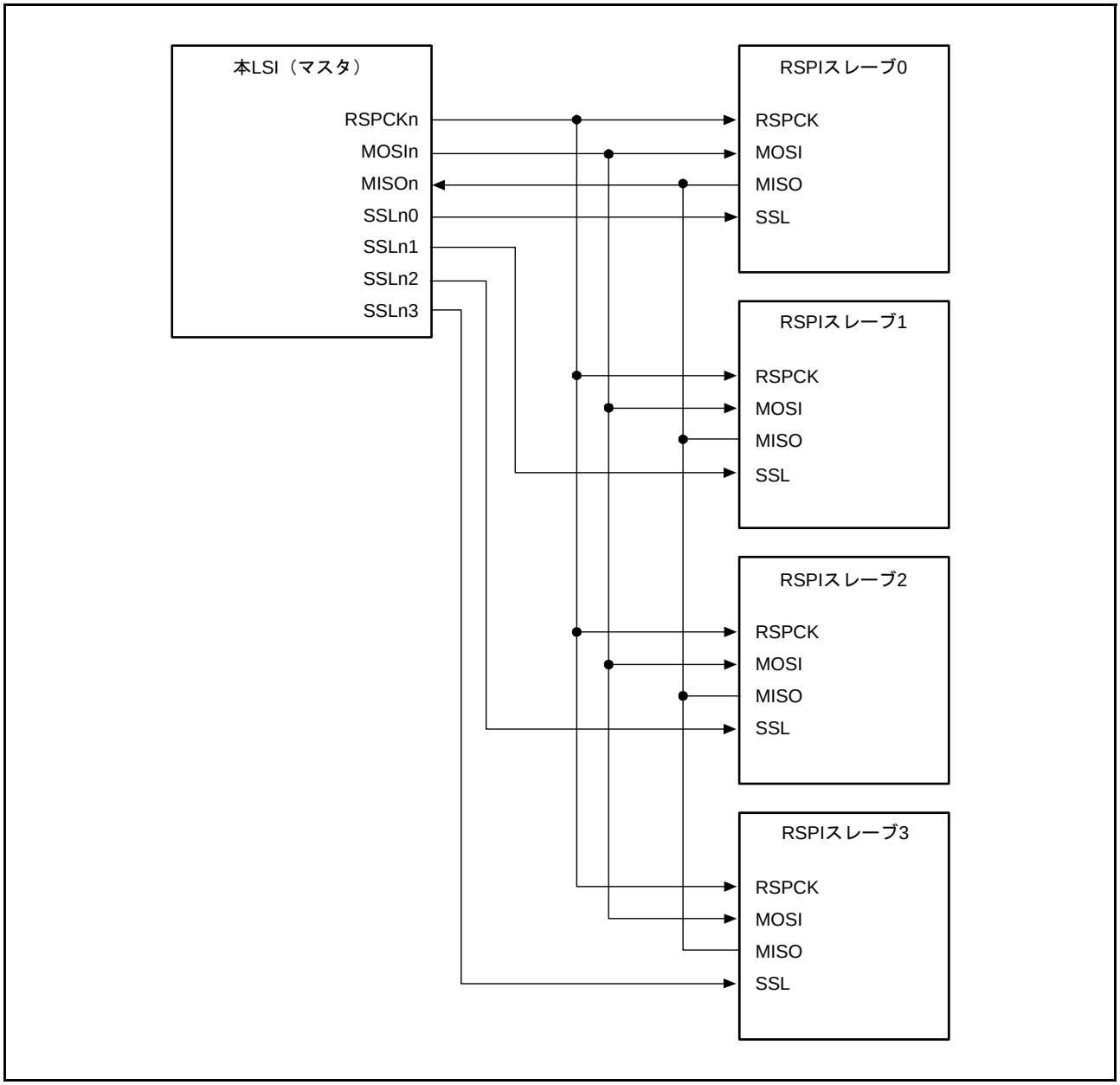


図 38.8　シングルマスタ / マルチスレーブの構成例（本 LSI ＝マスタ）

38.3.3.4　シングルマスタ / マルチスレーブ（本 LSI ＝スレーブ）

図 38.9 に、本 LSI をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.9 の例では、RSPI マスタと 2 つの本 LSI（スレーブ X、スレーブ Y）から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 LSI（スレーブ X、スレーブ Y）の RSPCKn 入力と MOSIn 入力に接続します。本 LSI（スレーブ X、スレーブ Y）の MISOn 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 LSI（スレーブ X、スレーブ Y）の SSLn0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI（スレーブ X、スレーブ Y）のうち、SSLn0 入力に Low を入力されているスレーブが、MISOn をドライブします。

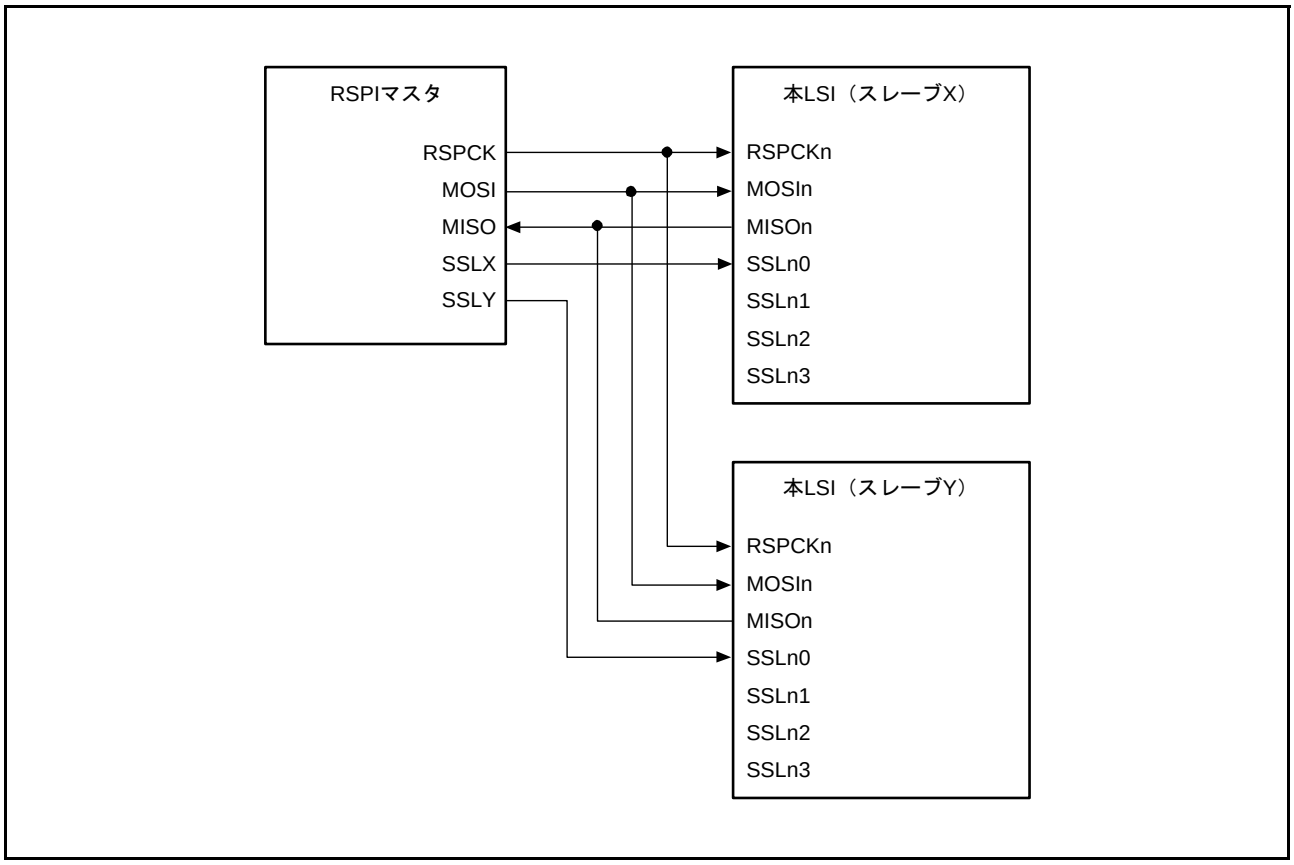


図 38.9　シングルマスタ / マルチスレーブの構成例（本 LSI ＝スレーブ）

38.3.3.5　マルチマスタ / マルチスレーブ（本 LSI ＝マスタ）

図 38.10 に、本 LSI をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 38.10 の例では、2 つの本 LSI（マスタ X、マスタ Y）と 2 つの RSPI スレーブ（RSPI スレーブ 1、RSPI スレーブ 2）から RSPI システムを構成しています。

本 LSI（マスタ X、マスタ Y）の RSPCKn 出力と MOSIn 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 LSI（マスタ X、マスタ Y）の MISOn 入力に接続します。本 LSI（マスタ X）の任意の汎用ポート Y 出力は、本 LSI（マスタ Y）の SSLn0 入力に接続します。本 LSI（マスタ Y）の任意の汎用ポート X 出力は、本 LSI（マスタ X）の SSLn0 入力に接続します。本 LSI（マスタ X、マスタ Y）の SSLn1 出力と SSLn2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLn0 入力、スレーブ接続用の SSLn1 出力、SSLn2 出力のみでシステムを構成できるので、本 LSI の SSLn3 出力を使用していません。

本 LSI は、SSLn0 入力レベルが High の場合には、RSPCKn、MOSIn、SSLn1、SSLn2 をドライブします。SSLn0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKn、MOSIn、SSLn1、SSLn2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

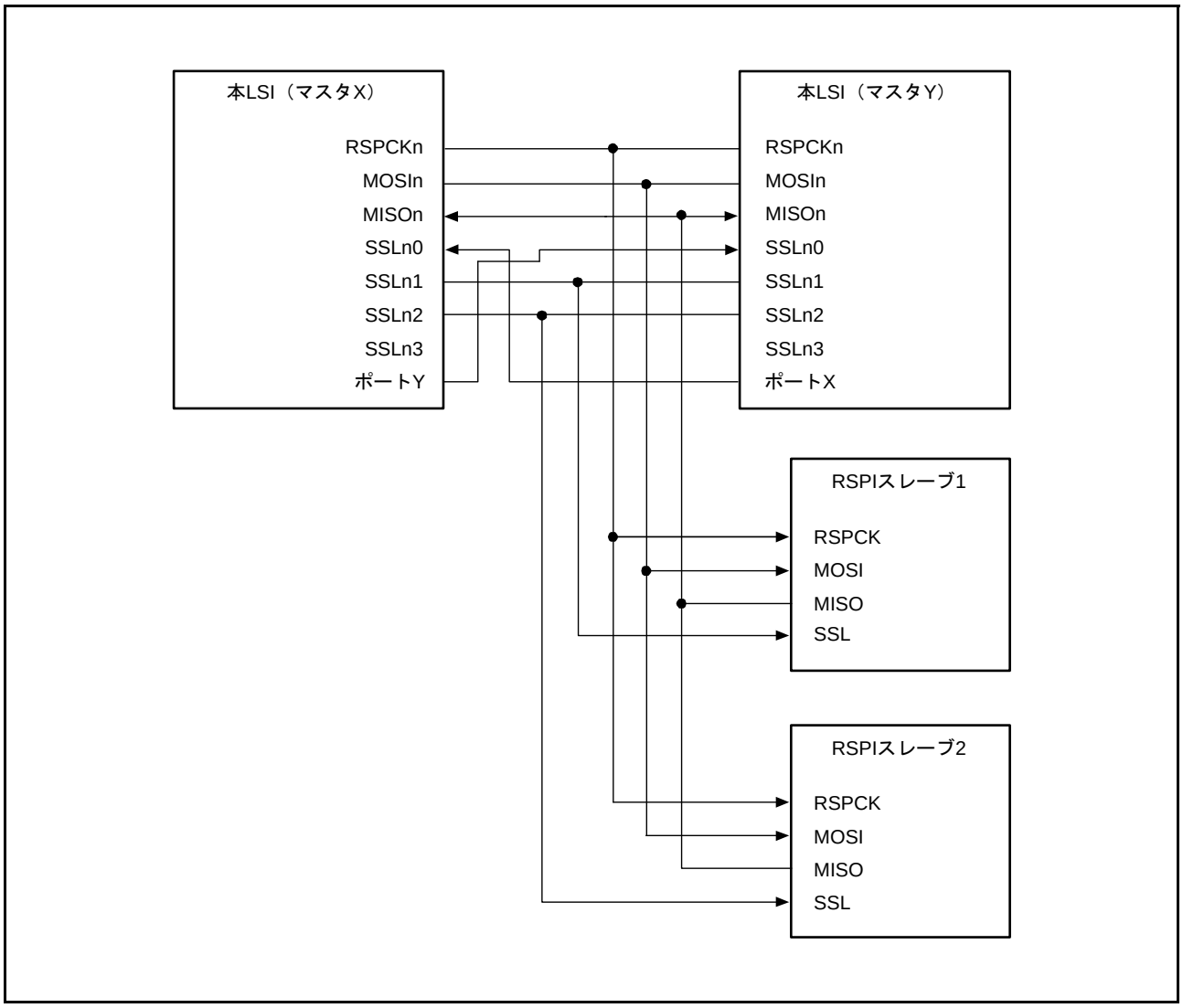


図 38.10　マルチマスタ / マルチスレーブの構成例（本 LSI ＝マスタ）

38.3.3.6　マスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）（本 LSI ＝マスタ）

図 38.11 に、本 LSI をマスタとして使用した場合のマスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）の RSPI システムの構成例を示します。マスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）の構成では、本 LSI（マスタ）の SSLn0 ～ SSLn3 は使用しません。

本 LSI（マスタ）は、RSPCKn と MOSIn を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

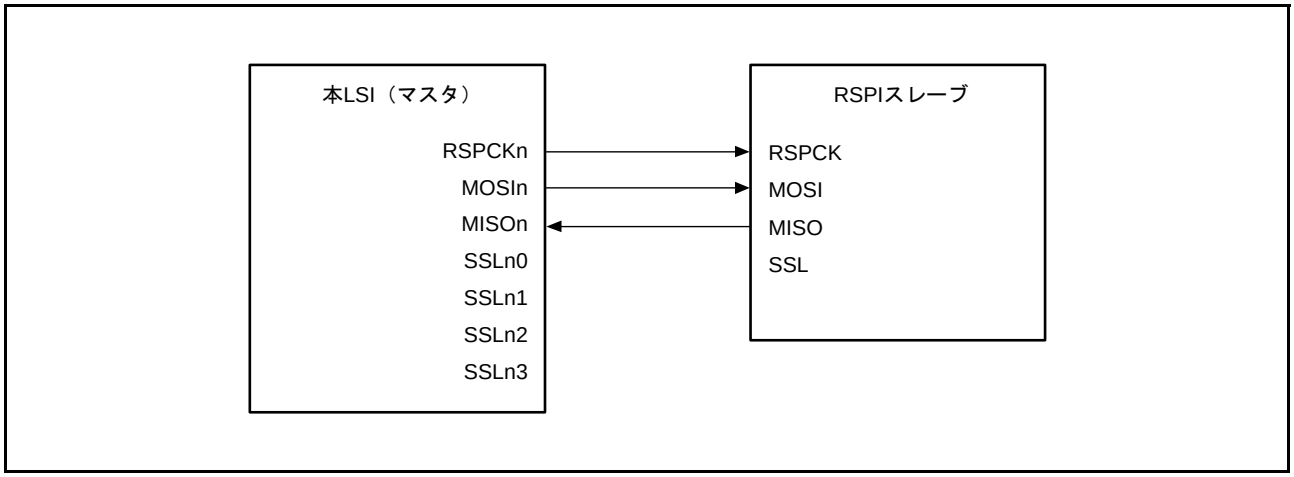


図 38.11　マスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）の構成例（本 LSI ＝マスタ）

38.3.3.7　マスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）（本 LSI ＝スレーブ）

図 38.12 に、本 LSI をスレーブとして使用した場合のマスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）の RSPI システム構成例を示します。本 LSI をスレーブ（クロック同期式動作）として使用する場合には、本 LSI（スレーブ）は、MISOn を常にドライブし、RSPI マスタは、RSPCK と MOSI を常にドライブします。また、本 LSI（スレーブ）の SSLn0 ～ SSLn3 は使用しません。

SPCMDm.CPHA ビットを “1” にしたシングルスレーブ構成の場合のみ、本 LSI（スレーブ）はシリアル転送を実行することが可能です。

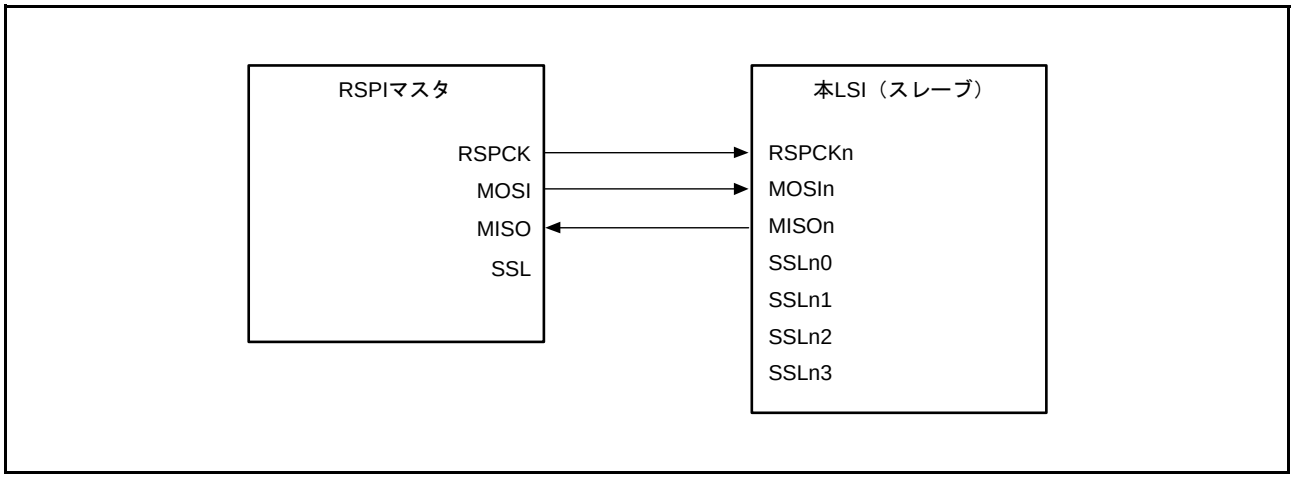


図 38.12　マスタ（クロック同期式動作）/ スレーブ（クロック同期式動作）の構成例（本 LSI ＝スレーブ、CPHA ＝ 1）

38.3.4　データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m（SPCMDm）(m=0 ～ 7)、RSPI 制御レジスタ 2 のパリティ許可ビット（SPCR2.SPPE）の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ（SPDR）の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a)　パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット（SPCMDm.SPB[3:0]）で設定したビット長のデータの送受信を行います。

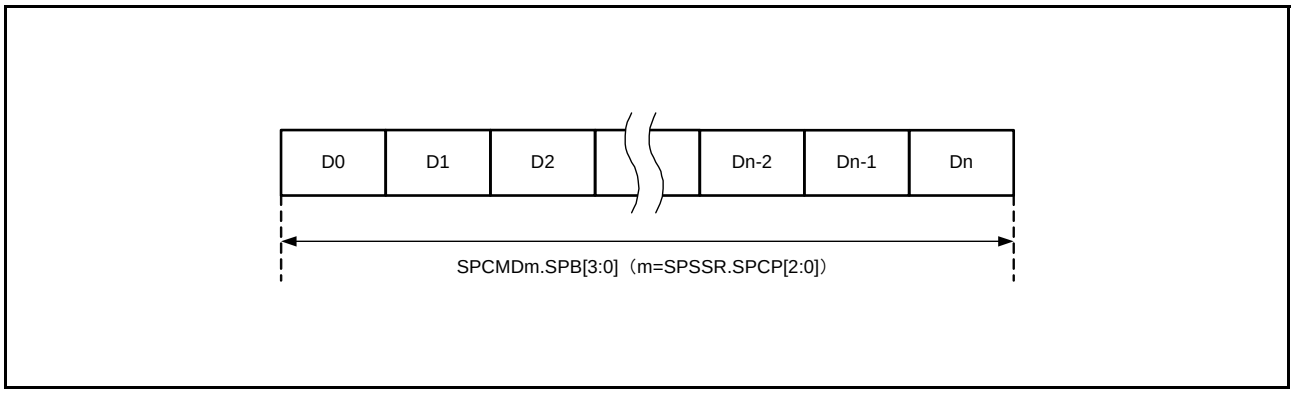


図 38.13　データフォーマット概要（パリティ機能無効時）

(b)　パリティ機能有効時

パリティ機能有効時は、SPCMDm.SPB[3:0] ビットで設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

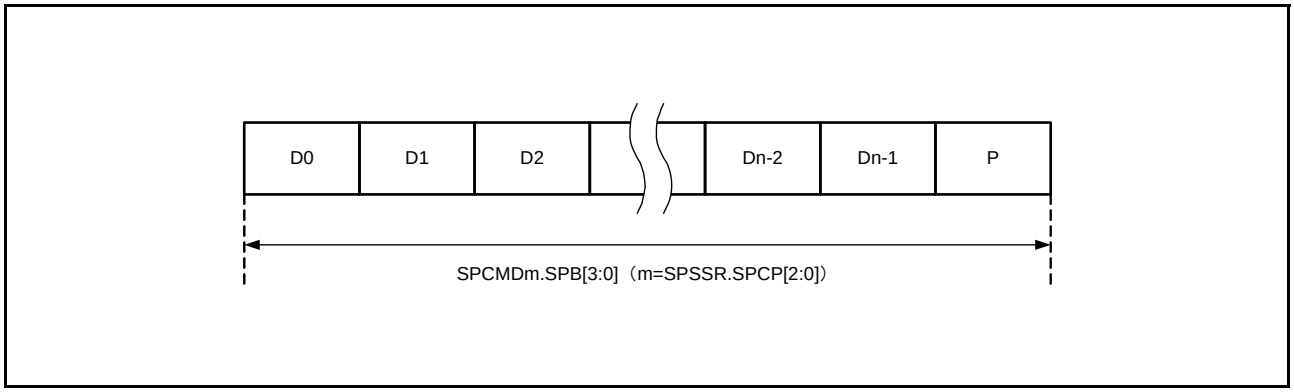


図 38.14　データフォーマット概要（パリティ機能有効時）

38.3.4.1　パリティ機能無効時（SPCR2.SPPE = 0）

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPI データレジスタ（SPDR）とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1)　MSB ファースト転送（32 ビットデータ）

図 38.15 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ～ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

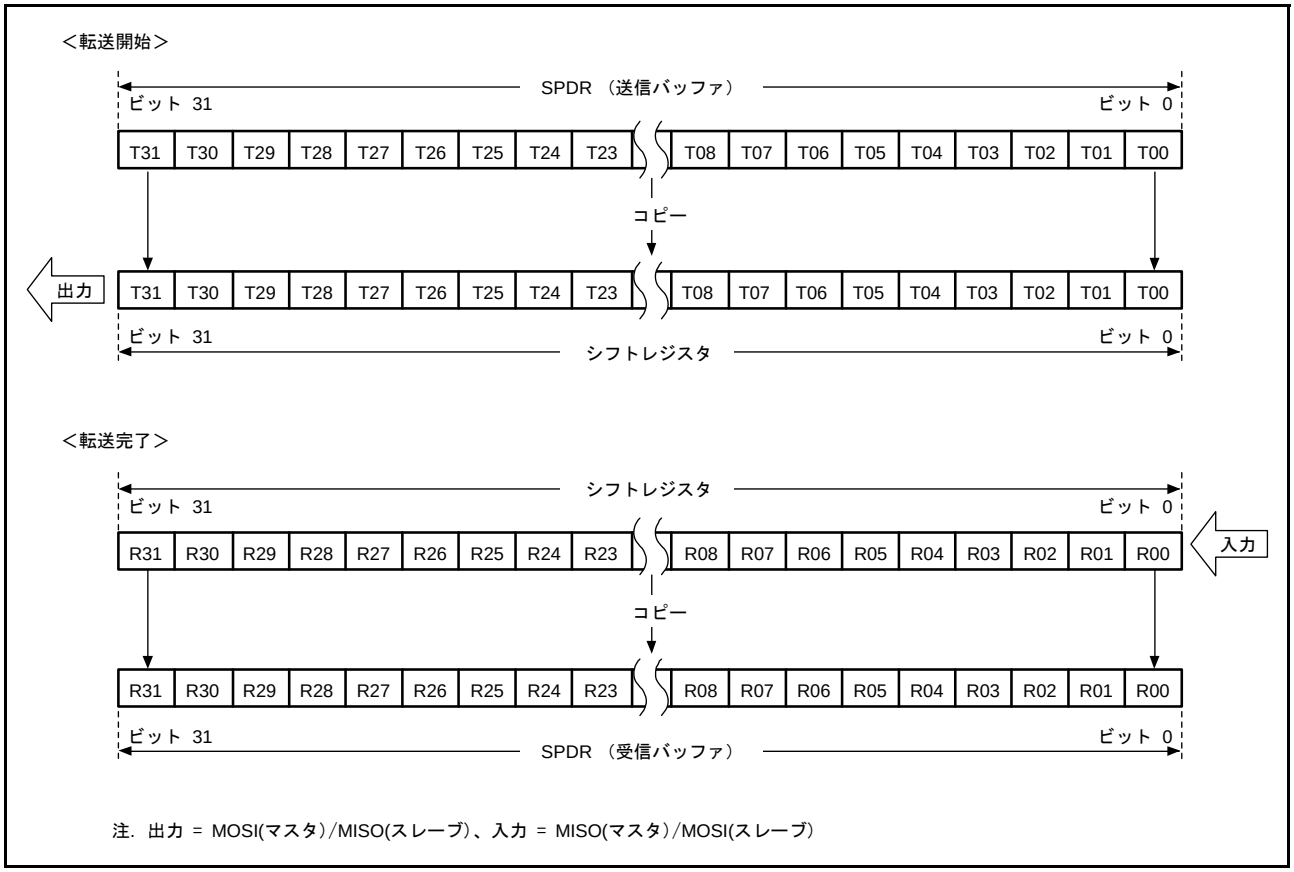


図 38.15　MSB ファースト転送（32 ビットデータ / パリティ機能無効）

(2)　MSB ファースト転送（24 ビットデータ）

図 38.16 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット（T23 ～ T00）をシフトレジスタにコピーします。送信データは、T23 → T22 →・・・T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

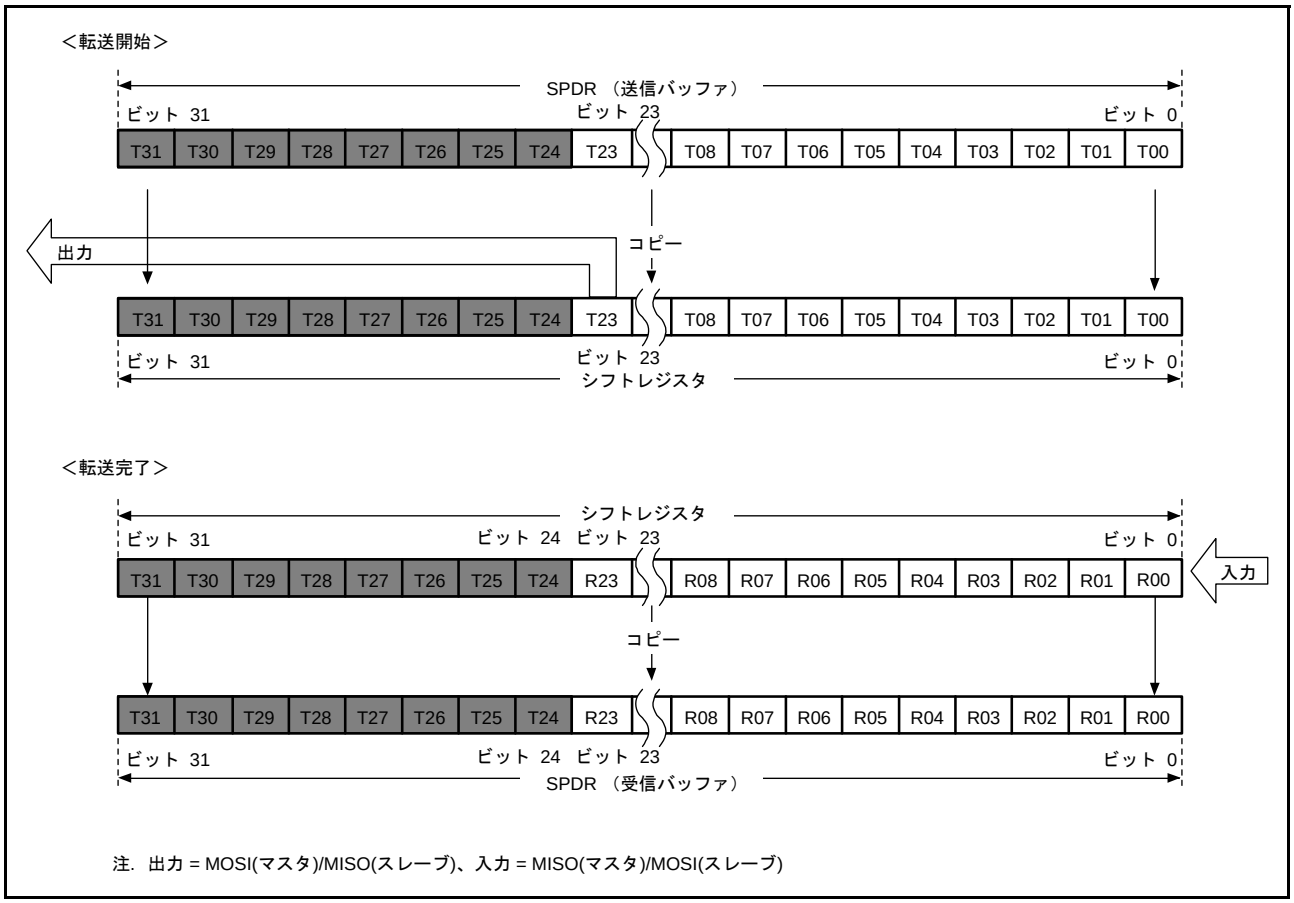


図 38.16　MSB ファースト転送（24 ビットデータ / パリティ機能無効）

(3)　LSB ファースト転送（32 ビットデータ）

図 38.17 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ（T31 ～ T00）をビット単位で入れ替え、シフトレジスタに T00 ～ T31 の順番に並び替えコピーします。送信データは、T00 → T01 →・・・T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

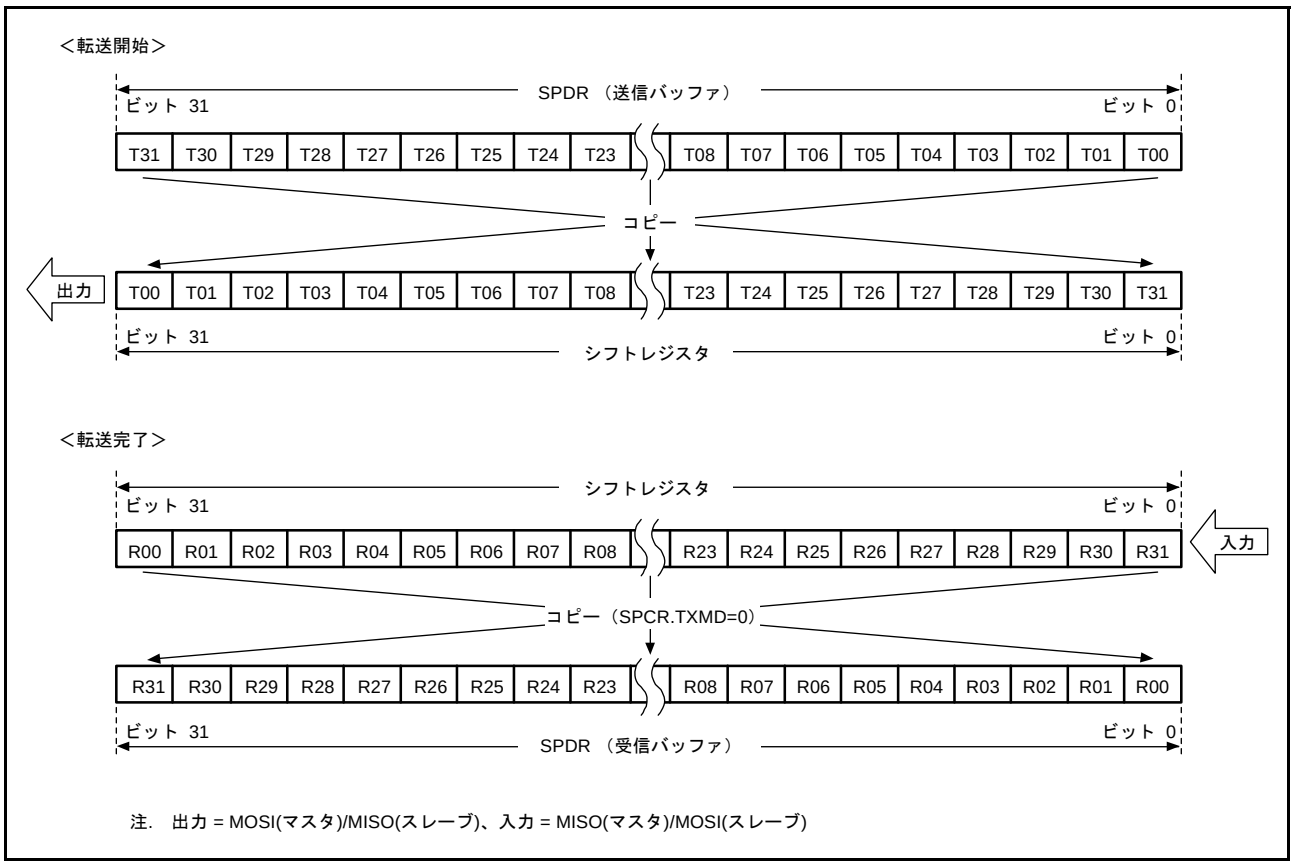


図 38.17　LSB ファースト転送（32 ビットデータ / パリティ機能無効）

(4)　LSB ファースト転送（24 ビットデータ）

図 38.18 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット（T23 ～ T00）をビット単位で T00 ～ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

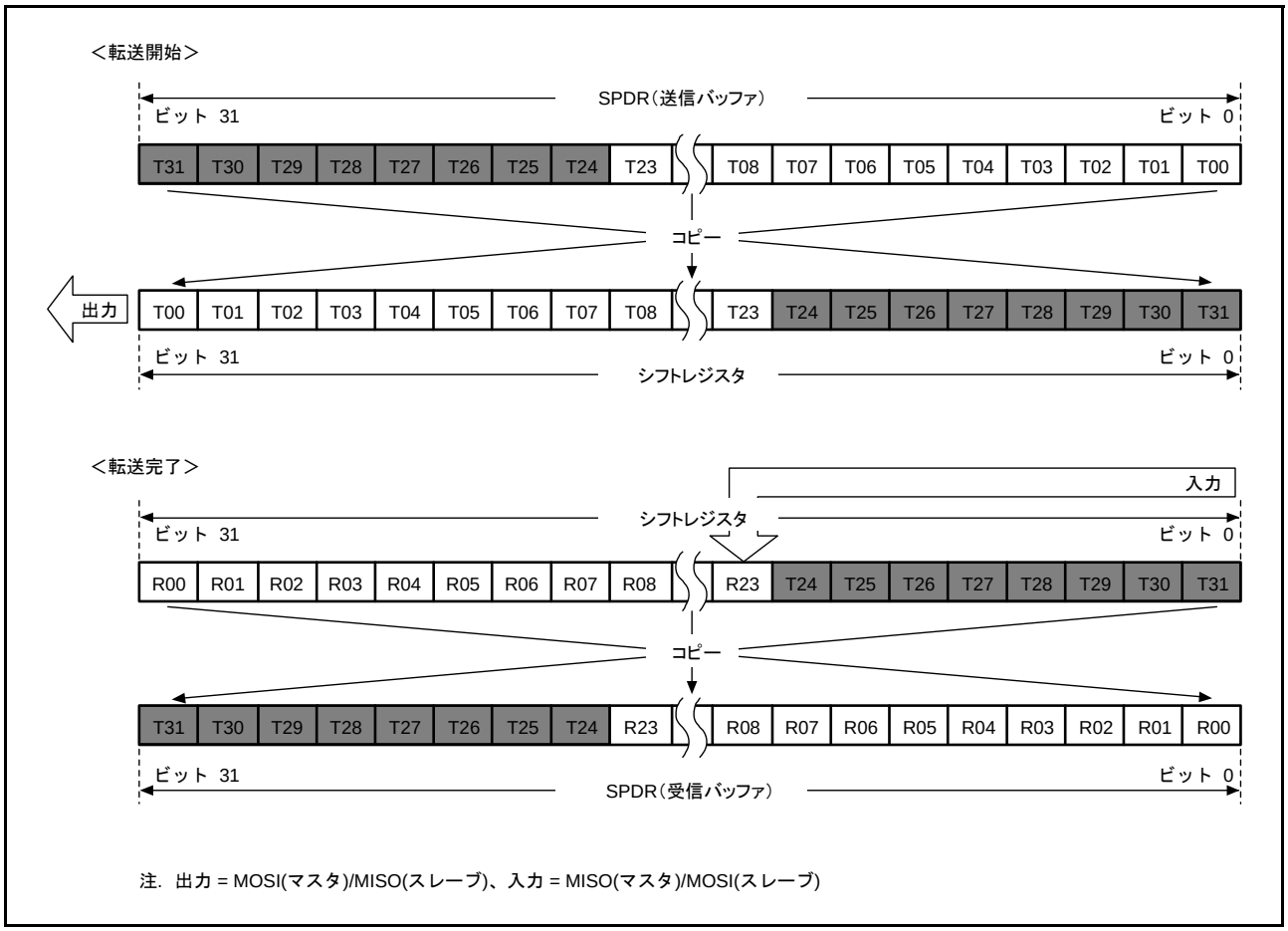


図 38.18　LSB ファースト（24 ビットデータ / パリティ機能無効）

38.3.4.2　パリティ機能有効時（SPCR2.SPPE ＝ 1）

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1)　MSB ファースト転送（32 ビットデータ）

図 38.19 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ～ P のデータをチェックし、パリティエラーの判定を行います。

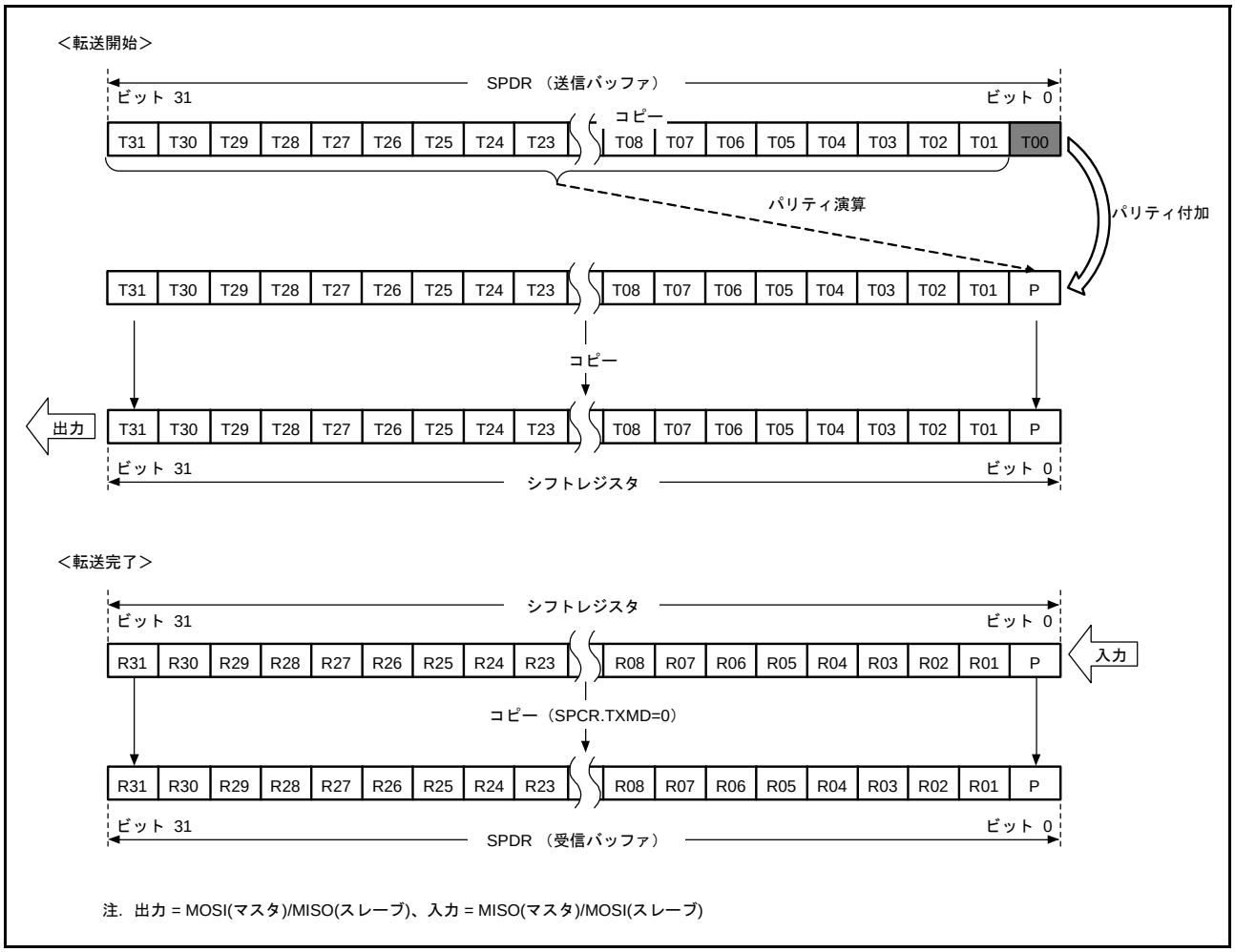


図 38.19　MSB ファースト転送（32 ビットデータ / パリティ機能有効）

(2)　MSB ファースト転送（24 ビットデータ）

図 38.20 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ～ T01 までのデータ値より、パリティビット（P）の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 →・・・T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

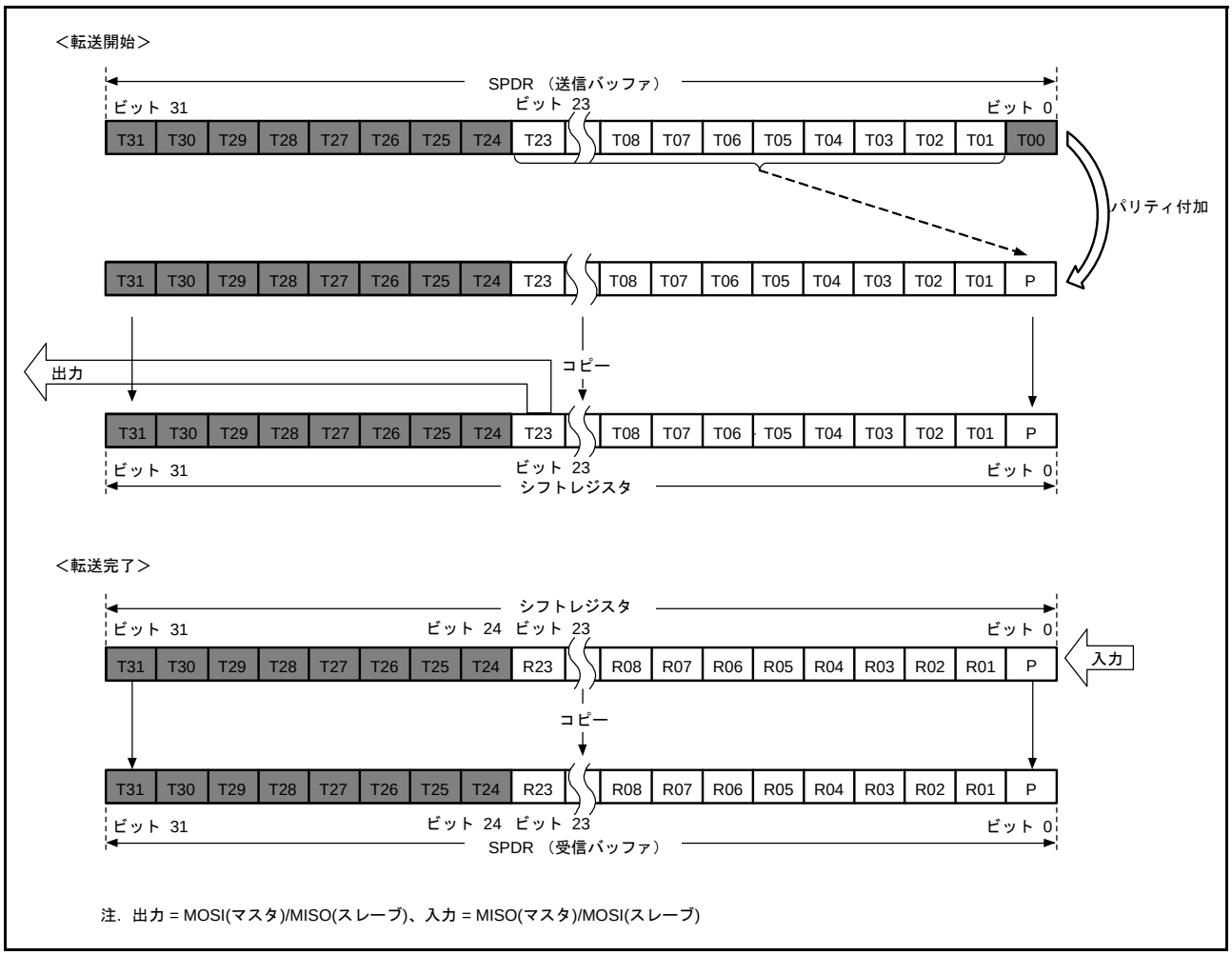


図 38.20　MSB ファースト転送（24 ビットデータ / パリティ機能有効）

(3)　LSB ファースト転送（32 ビットデータ）

図 38.21 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ～ T00 までのデータ値より、パリティビット（P）の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。

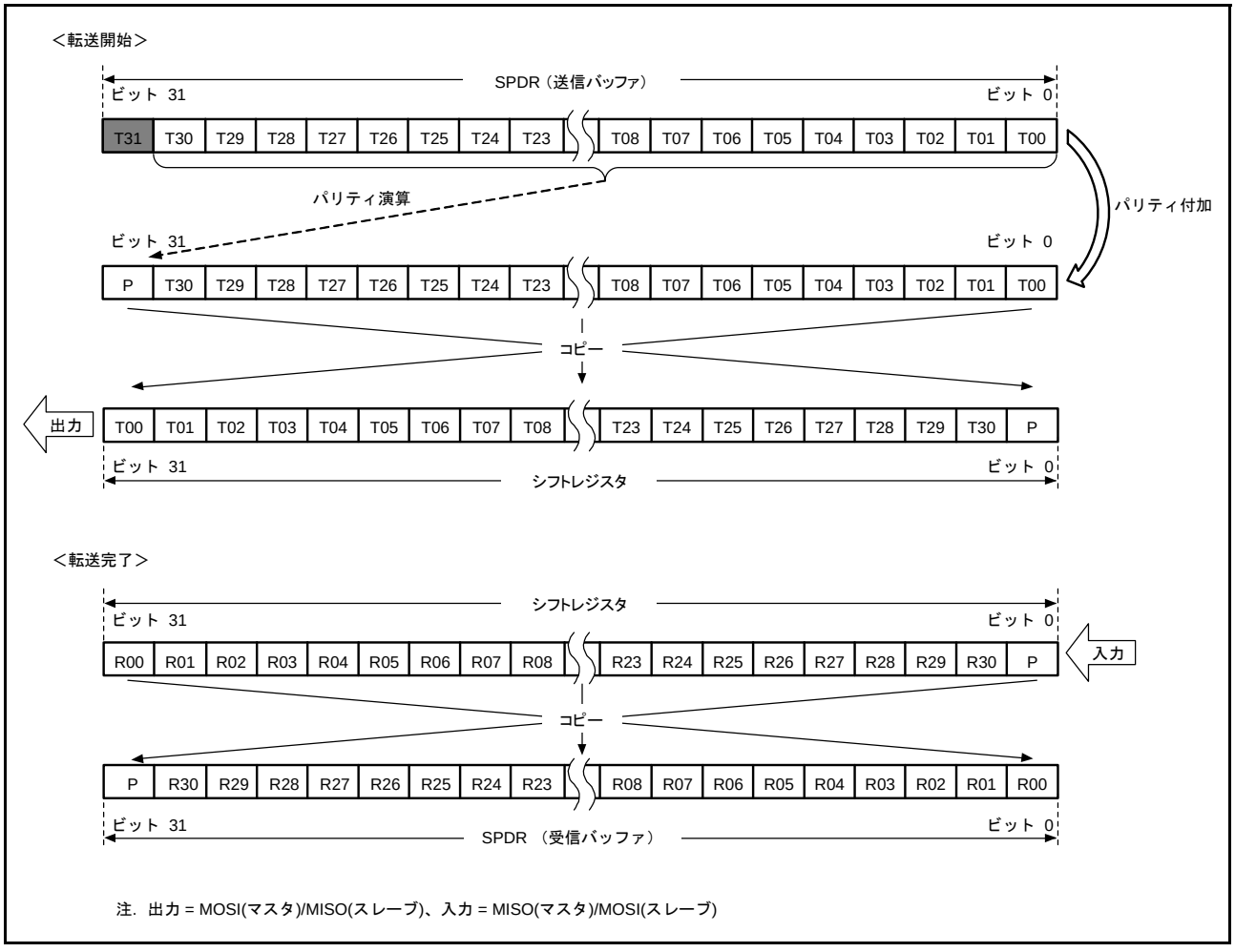


図 38.21　LSB ファースト転送（32 ビットデータ / パリティ機能有効）

(4)　LSB ファースト転送（24 ビットデータ）

図 38.22 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ～ T00 までのデータ値より、パリティビット（P）の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ～ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ～ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ～ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

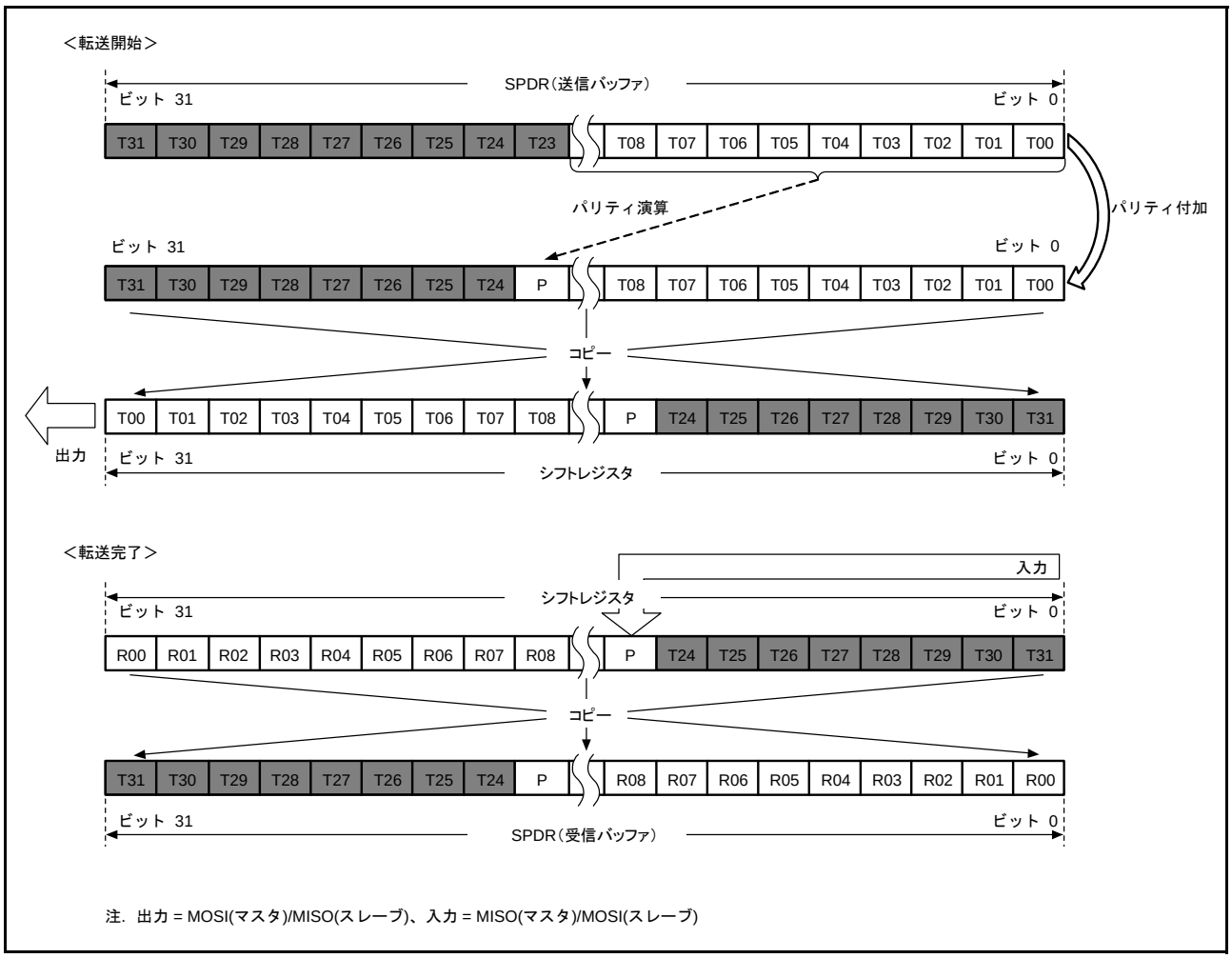


図 38.22　LSB ファースト（24 ビットデータ / パリティ機能有効）

38.3.5　転送フォーマット

38.3.5.1　CPHA ビット＝ 0 の場合

図 38.23 に SPCMDm.CPHA ビットが “0” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード（SPCR.MSTR=0）で CPHA ビットが “0” の場合のクロック同期式動作（SPCR.SPMS ビットが “1” の場合）は保証しません。図 38.23 において、RSPCKn（CPOL ＝ 0）は SPCMDm.CPOL ビットが “0” の場合、RSPCKn（CPOL ＝ 1）は SPCMDm.CPOL ビットが “1” の場合の RSPCKn 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「38.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “0” の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOn 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間（RSPCK 遅延）です。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「38.3.10.1　マスタモード動作」を参照してください

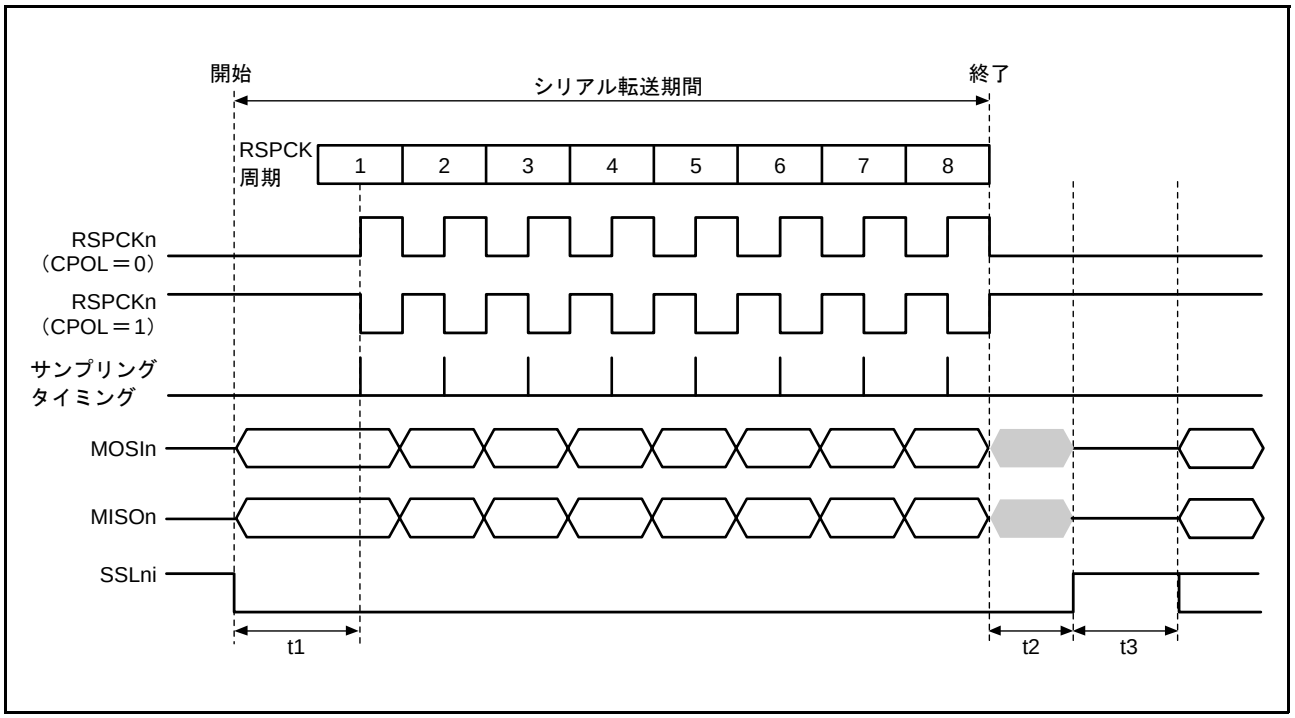


図 38.23　RSPI 転送フォーマット（CPHA ビット＝ 0）

38.3.5.2　CPHA ビット＝ 1 の場合

図 38.24 に SPCMDm.CPHA ビットが “1” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが “1” の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOn 信号のみで通信を行います。図 38.24 において、RSPCK（CPOL ＝ 0）は SPCMDm.CPOL ビットが “0” の場合、RSPCK（CPOL ＝ 1）は SPCMDm.CPOL ビットが “1” の場合の RSPCKn 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード（マスタ / スレーブ）に依存します。詳細は「38.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “1” の場合には、SSLni 信号のアサートタイミングで、MISOn 信号に無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化タイミングで、MOSIn 信号と MISOn 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット＝ 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「38.3.10.1　マスタモード動作」を参照してください。

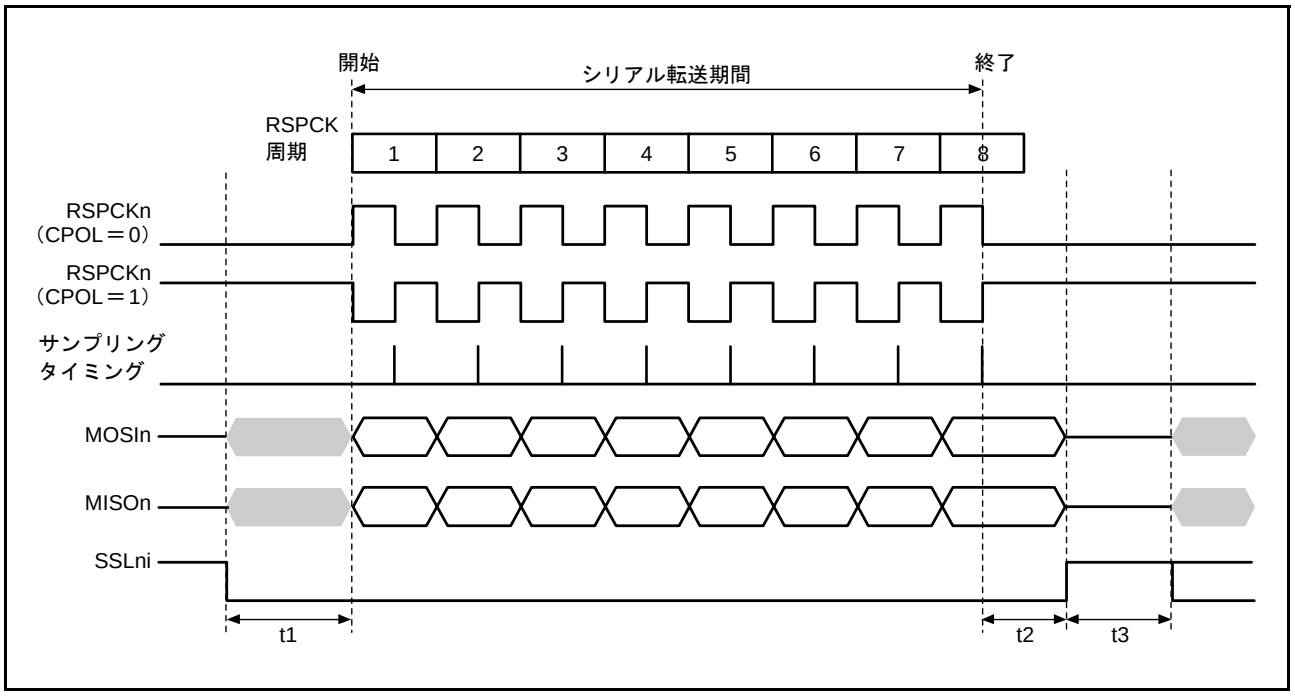


図 38.24　RSPI 転送フォーマット（CPHA ビット＝ 1）

38.3.6　通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 38.25、図 38.26 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクルを示しています。

38.3.6.1　全二重同期式シリアル通信（SPCR.TXMD=0）

図 38.25 に、SPCR.TXMD ビットを “0” にした場合の動作例を示します。図 38.25 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

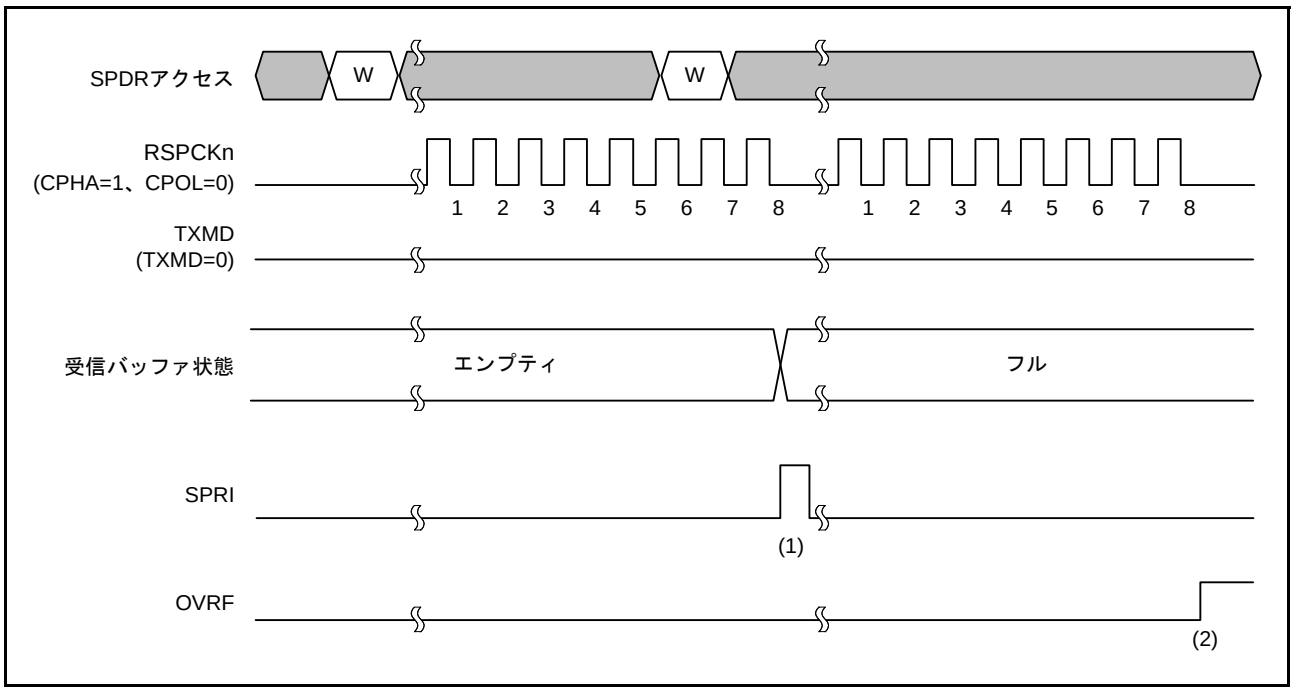


図 38.25　SPCR.TXMD ＝ 0 の動作例

以下に、図中の（1）、（2）に示したタイミングでのフラグの動作内容を説明します。

（1）SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求（SPRI）を発生してシフトレジスタの受信データを受信バッファにコピーします。

（2）SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを “1” にしてシフトレジスタの受信データを破棄します。

38.3.6.2　送信のみ動作（SPCR.TXMD=1）

図 38.26 に、SPCR.TXMD ビットを “1” に設定した場合の動作例を示します。図 38.26 の例では、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

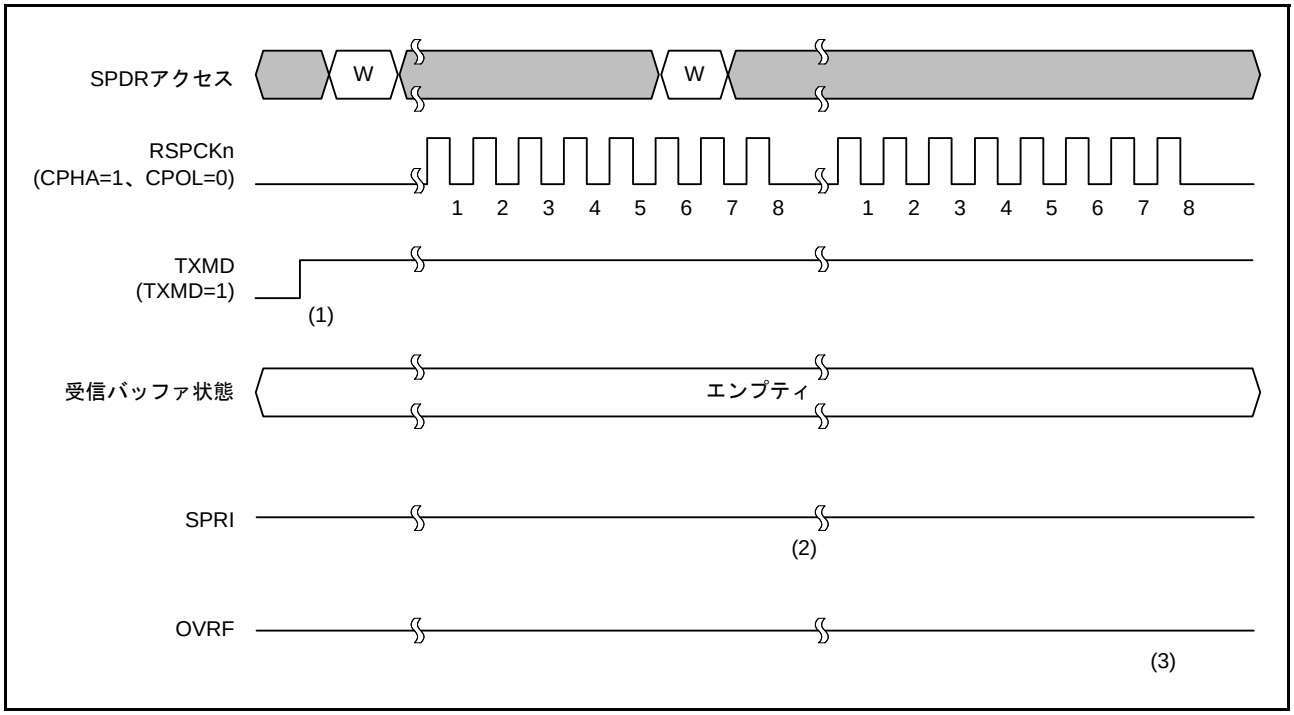


図 38.26　SPCR.TXMD ＝ 1 の動作例

以下に、図中の（1）（2）（3）に示したタイミングでのフラグの動作内容を説明します。

（1）送信のみ動作（SPCR.TXMD=1）への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが “0” であることを確認してから、行ってください。

（2）SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみ動作（SPCR.TXMD=1）のときは、シフトレジスタのデータを受信バッファへコピーしません。

（3）SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは “0” を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時（SPCR.TXMD=1）は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは（1）（2）（3）それぞれのタイミングで “0” を保持します。

38.3.7　送信バッファエンプティ / 受信バッファフル割り込み

図 38.27 に RSPI 送信バッファエンプティ割り込み（SPTI）と RSPI 受信バッファフル割り込み（SPRI）の動作例を示します。図 38.27 に記載した “SPDR アクセス ” は、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 38.27 の例では、SPCR.TXMD ビットが “0”、SPDCR.SPFC[1:0] ビットが “00b”、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

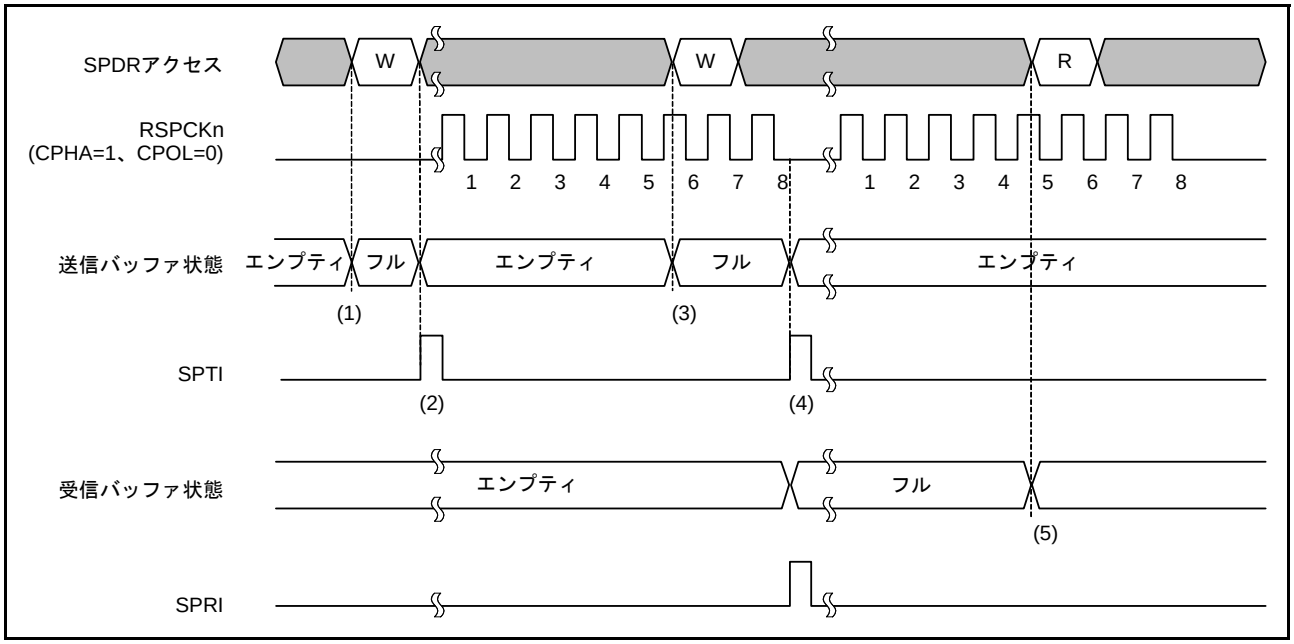


図 38.27　SPTI、SPRI 割り込みの動作例

以下に、図中の（1）～（5）に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み（SPTI）を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。（「38.3.10　SPI 動作」、「38.3.11　クロック同期式動作」参照）
3. 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求（SPRI）を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンプティ割り込みルーチンで行ってください。また、RSPI 送信割り込みを利用する場合には、SPCR の SPTIE ビットを “1” にしてください。

RSPI 機能は無効（SPCR の SPE ビットが “0”）の場合には、SPTIE ビットを “0” にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します（「38.3.8　エラー検出」参照）。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信割り込みを利用する場合には、SPCR.SPRIE ビットを “1” にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ（n ＝割り込みベクタ番号）によって確認することができます。割り込みベクタ番号については、「15.　割り込みコントローラ（ICUb）」を参照してください。

38.3.8　エラー検出

通常の RSPI のシリアル転送では、SPDR レジスタの送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR レジスタの受信バッファから読み出すことができます。SPDR レジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始 / 終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表 38.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 38.8　通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI 動作	エラー検出
A	送信バッファフルの状態で SPDR レジスタを書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データをシリアル送信	なし
C	受信バッファエンプティの状態で SPDR レジスタを読み出し	前回シリアル受信データを出力	なし
D	受信バッファフルの状態で、シリアル転送が終了	受信バッファ内容を保持 シリアル受信データ欠落	オーバランエラー検出
E	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
F	マルチマスタモードでシリアル転送アイドル時に SSLn0 入力信号アサート	• RSPCKn、MOSIn、SSLn1～3 出力信号のドライブ停止 • RSPI 機能は無効	モードフォルトエラー検出
G	マルチマスタモードでシリアル転送中に SSLn0 入力信号アサート	• シリアル転送を中断 • 送受信データ欠落 • RSPCKn、MOSIn、SSLn1～3 出力信号のドライブ停止 • RSPI 機能は無効	モードフォルトエラー検出
H	スレーブモードでシリアル転送中に SSLn0 入力信号がネゲート	• シリアル転送中断 • 送受信データ欠落 • MISOn 出力信号のドライブ停止 • RSPI 機能は無効	モードフォルトエラー検出

表 38.8 の A に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信割り込み要求で SPDR レジスタへの書き込みを実施してください。

B に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR レジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前に SPDR レジスタを読み出さないと、オーバランエラーが発生します）。

C に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、受信割り込みで SPDR レジスタの読み出しを実行するようにしてください。

D に示したオーバランエラーについては「38.3.8.1　**オーバランエラー**」で、E に示したパリティエラーについては「38.3.8.2　**パリティエラー**」で説明します。また、F ～ H に示したモードフォルトエラーについては「38.3.8.3　**モードフォルトエラー**」で説明します。

なお、送受信の割り込みについては、「38.3.7　**送信バッファエンプティ / 受信バッファフル割り込み**」を参照してください。

38.3.8.1　オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを “1” にします。OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを “0” にするためには、OVRF フラグが “1” にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに “0” を書く必要があります。

図 38.28 に、OVRF フラグの動作を示します。**図 38.28** に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 38.28** の例では、SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

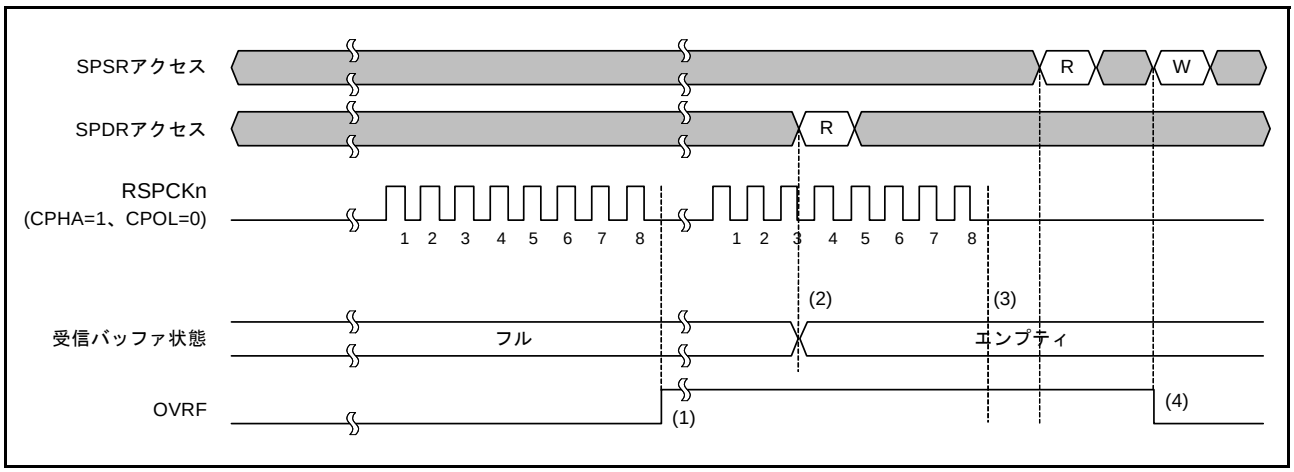


図 38.28　OVRF フラグの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを “1” にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが “1” であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。受信バッファが空になっ

ても、OVRF フラグは “0” になりません。

3. OVRF フラグが “1” の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット “1” であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが “1” の状態で SPSR レジスタを読んだ後、OVRF フラグに “0” を書くと、RSPI は OVRF フラグを “0” にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが “1” になると、OVRF フラグが “0” になるまで正常な受信動作ができなくなります。

38.3.8.2　パリティエラー

SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを “1” にします。SPSR.OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを “0” にするためには、PERF フラグが “1” の状態の SPSR レジスタを読んだ後、PERF フラグに “0” を書く必要があります。

図 38.29 に、OVRF フラグと PERF フラグの動作を示します。**図 38.29** に記載した “SPSR アクセス ” は、SPSR レジスタへのアクセス状況を示しています。“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 38.29** の例では、SPCR.TXMD ビットが “0”、SPCR2.SPPE ビットが “1” の状態で全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが “1”、SPCMDm.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

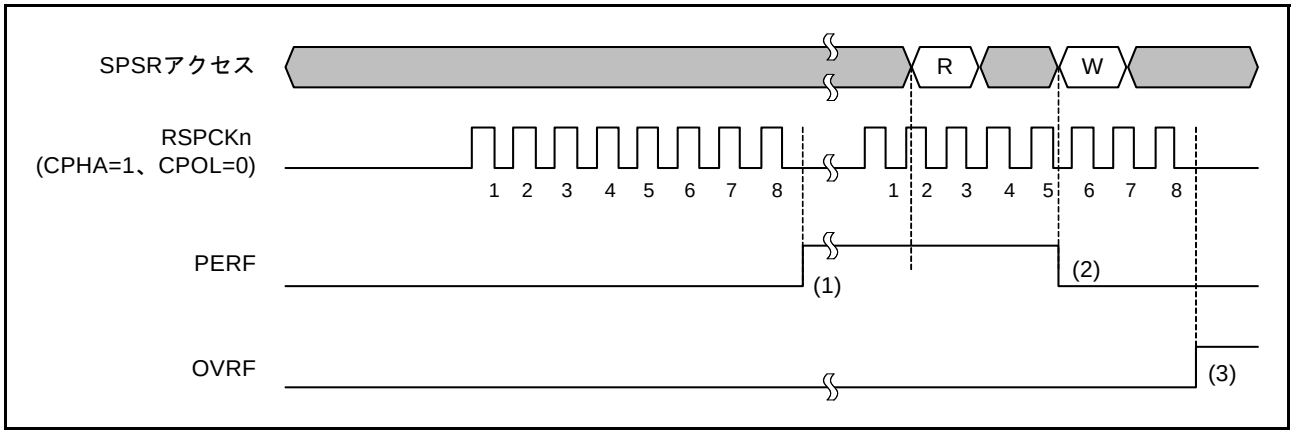


図 38.29　PERF フラグの動作例

以下に、図中の（1）～（3）に示したタイミングでのフラグの動作内容を説明します。

1. RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを “1” にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
2. PERF フラグが “1” の状態で SPSR レジスタを読んだ後、PERF フラグに “0” を書くと、PERF フラグが “0” になります。
3. RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

38.3.8.3　モードフォルトエラー

SPCR.MSTR ビットが “1”、SPCR.SPMS ビットが “0”、SPCR.MODFEN ビットが “1” の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して SPSR.MODF フラグを “1” にします。モードフォルトエラーを検出すると、RSPI は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが “0” の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが “1”、SPMS ビットが “0” の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットのクリアを実施します（「38.3.9　RSPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが “1” の状態では、RSPI は SPE ビットへの “1” の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを “0” にしてください。

38.3.9　RSPI の初期化

SPCR.SPE ビットに “0” を書いた場合、またはモードフォルトエラー検出により RSPI が SPE ビットを “0” にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを “0” にすることによる初期化とシステムリセットによる初期化について説明します。

38.3.9.1　SPE ビットのクリアによる初期化

SPCR.SPE ビットを “0” にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

SPE ビットを “0” にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを “1” にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを “1” にしていると、RSPI 送信割り込みが発生します。CPU で RSPI を初期化する場合に、RSPI 送信割り込みを禁止するためには、SPE ビットへの “0” 書き込みと同時に SPTIE ビットにも “0” を書いてください。モードフォルトエラー検出後の RSPI 送信割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに “0” を書

いてください。

38.3.9.2　システムリセット

システムリセットによる初期化では、「38.3.9.1　SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

38.3.10　SPI 動作

38.3.10.1　マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「38.3.8 エラー検出」を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル / マルチマスタモードで共通する動作について説明します。

(1)　シリアル転送の開始

RSPI 送信バッファが空き（次転送のデータがセットされていない）の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ（SPTX）のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については「38.3.5　転送フォーマット」を参照してください。SSLni 出力端子の極性は、SSLP レジスタの設定値に依存します。

(2)　シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。SSLni 出力端子の極性は、SSLP レジスタの設定値に依存します。RSPI の転送フォーマットの詳細については「38.3.5　転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLni 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを “1” にして RSPI 機能を許可すると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

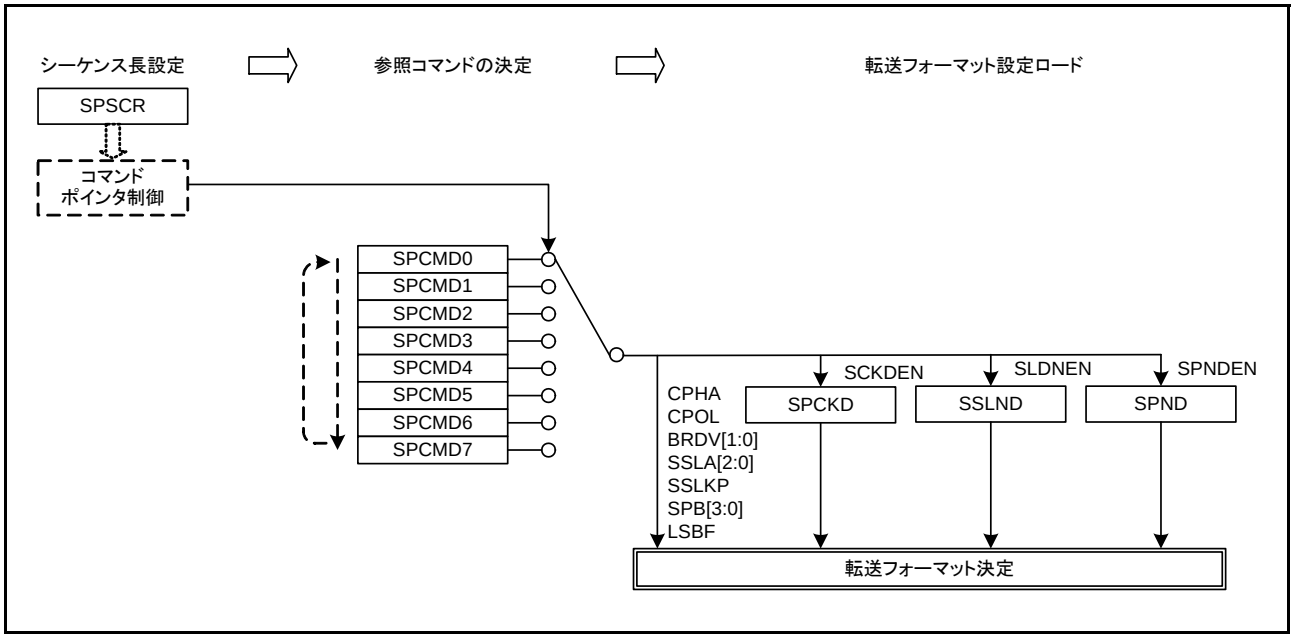


図 38.30　マスタモードでのシリアル転送方式の決定方法

本章では、データ（SPDR）と設定（SPCMDm）の 2 つを合わせてフレームとします。

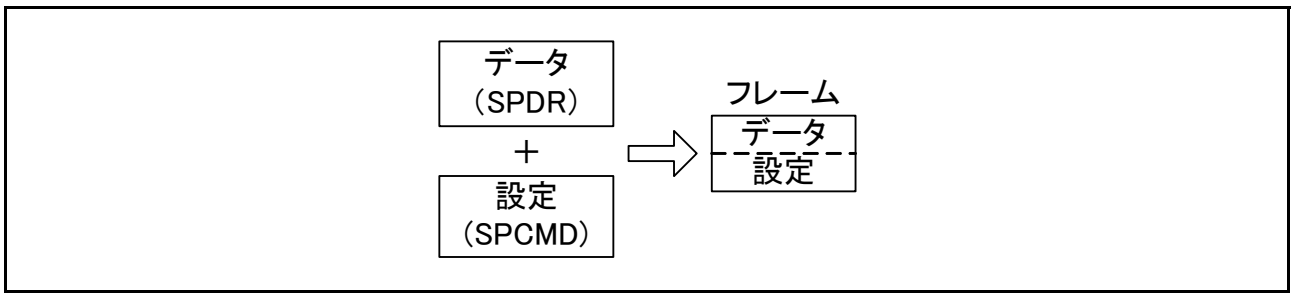


図 38.31　フレームの概念図

表 38.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 38.32 に示します。

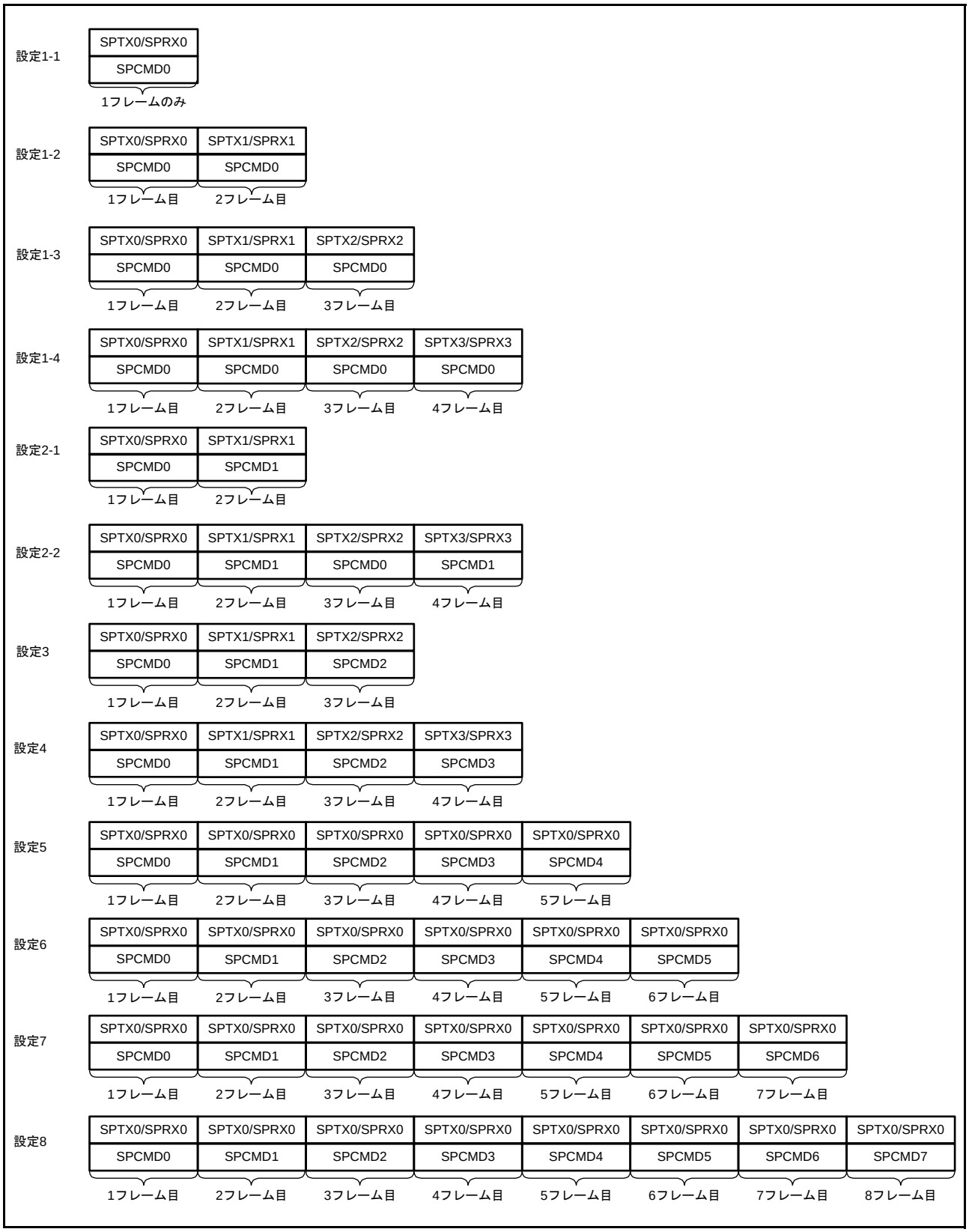


図 38.32　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが “1” の場合には、RSPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号アサート開始まで保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、RSPI は SSLni 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 38.33 に、SPCMD0、1 レジスタの設定を使用してバースト転送を実現した場合の SSLni 信号動作例を示します。図 38.33 に記載した（1）～（7）の RSPI 動作内容について、以下に説明します。なお、SSLni 出力信号の極性は、SSLP レジスタの設定値に依存します。

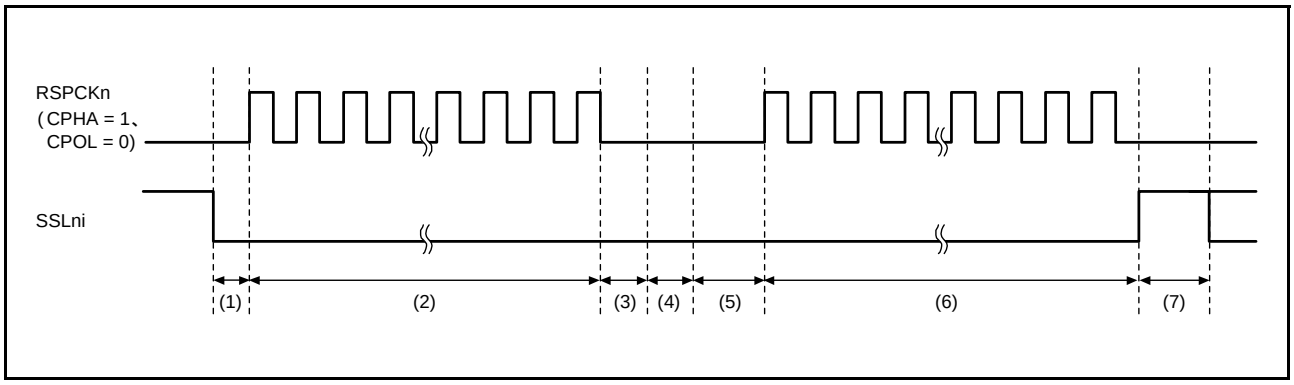


図 38.33　SSLKP ビットを利用したバースト転送動作の例

（1）SPCMD0 レジスタに従った SSLni 信号のアサートと RSPCK 遅延の挿入を実施します。
（2）SPCMD0 レジスタに従ったシリアル転送を実行します。
（3）SSL ネゲート遅延を挿入します。
（4）SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSLni 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
（5）SPCMD1 レジスタに従った SSLni 信号のアサートと RSPCK 遅延の挿入を実施します。
（6）SPCMD1 レジスタに従ったシリアル転送を実行します。
（7）SPCMD1.SSLKP ビットが “0” であるため、SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを “1” にした SPCMDm レジスタでの SSLni 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLni 信号のアサート時（図 38.33 の（5））に SSLni 信号状態を切り替えます。このような SSLni 信号の切り替えが発生した場合、MISOn をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが “0” の場合でも、RSPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延（t1）

マスタモードの RSPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、**表 38.9** のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、**「38.3.5　転送フォーマット」**を参照してください。

表 38.9　SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(6) SSL ネゲート遅延（t2）

マスタモードの RSPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、**表 38.10** のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、**「38.3.5　転送フォーマット」**を参照してください。

表 38.10　SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(7) 次アクセス遅延（t3）

マスタモードの RSPI の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、**表 38.11** のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、**「38.3.5　転送フォーマット」**を参照してください。

表 38.11　SPNDEN ビット、SPND レジスタと次アクセス遅延値の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延値
0	000 ～ 111	1RSPCK＋2PCLK
1	000	1RSPCK＋2PCLK
	001	2RSPCK＋2PCLK
	010	3RSPCK＋2PCLK
	011	4RSPCK＋2PCLK
	100	5RSPCK＋2PCLK
	101	6RSPCK＋2PCLK
	110	7RSPCK＋2PCLK
	111	8RSPCK＋2PCLK

(8)　初期化フロー

図 38.34 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

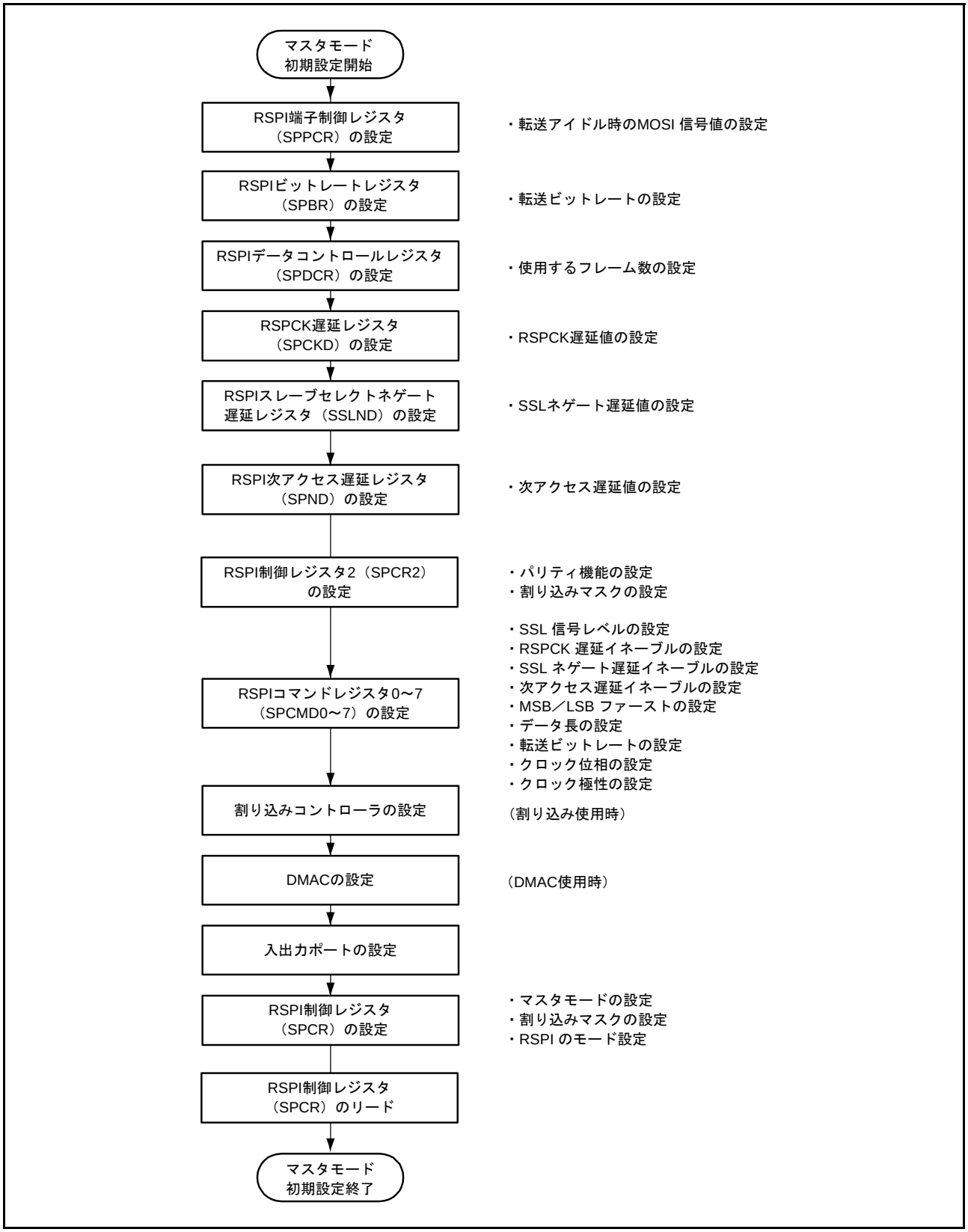


図 38.34　マスタモード時の初期化フロー例（SPI 動作）

(9)　ソフトウェア処理フロー

ソフトウェア処理フローの例を図 38.35 ～図 38.37 に示します。

(a)　送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

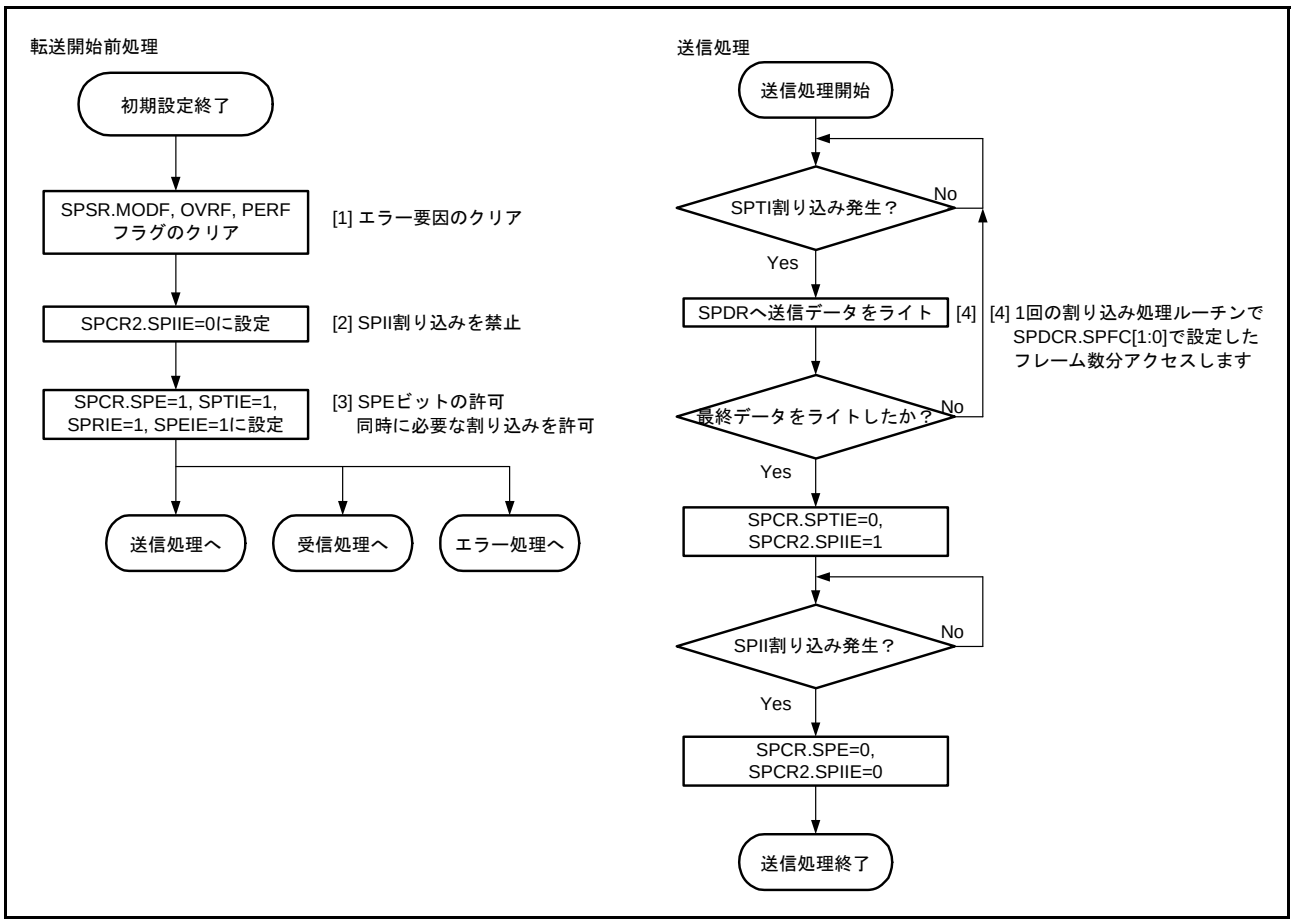


図 38.35　マスタモード時のフローチャート（送信）

(b)　受信処理フロー

RSPI は受信のみの動作を持たないため、常に送信を必要とします。

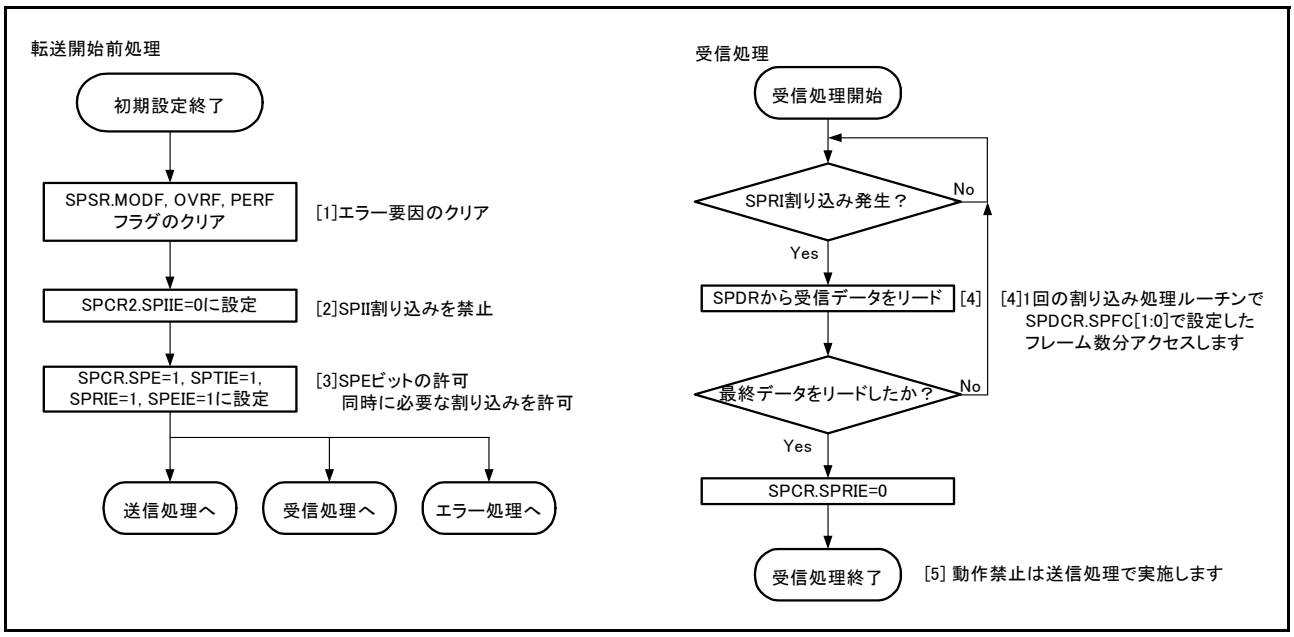


図 38.36　マスタモード時のフローチャート（受信）

(c)　エラー処理フロー

RSPI は 3 種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

エラー発生時は、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性がありますので、エラー処理にて ICU.IRn.IR フラグをクリアしてください。

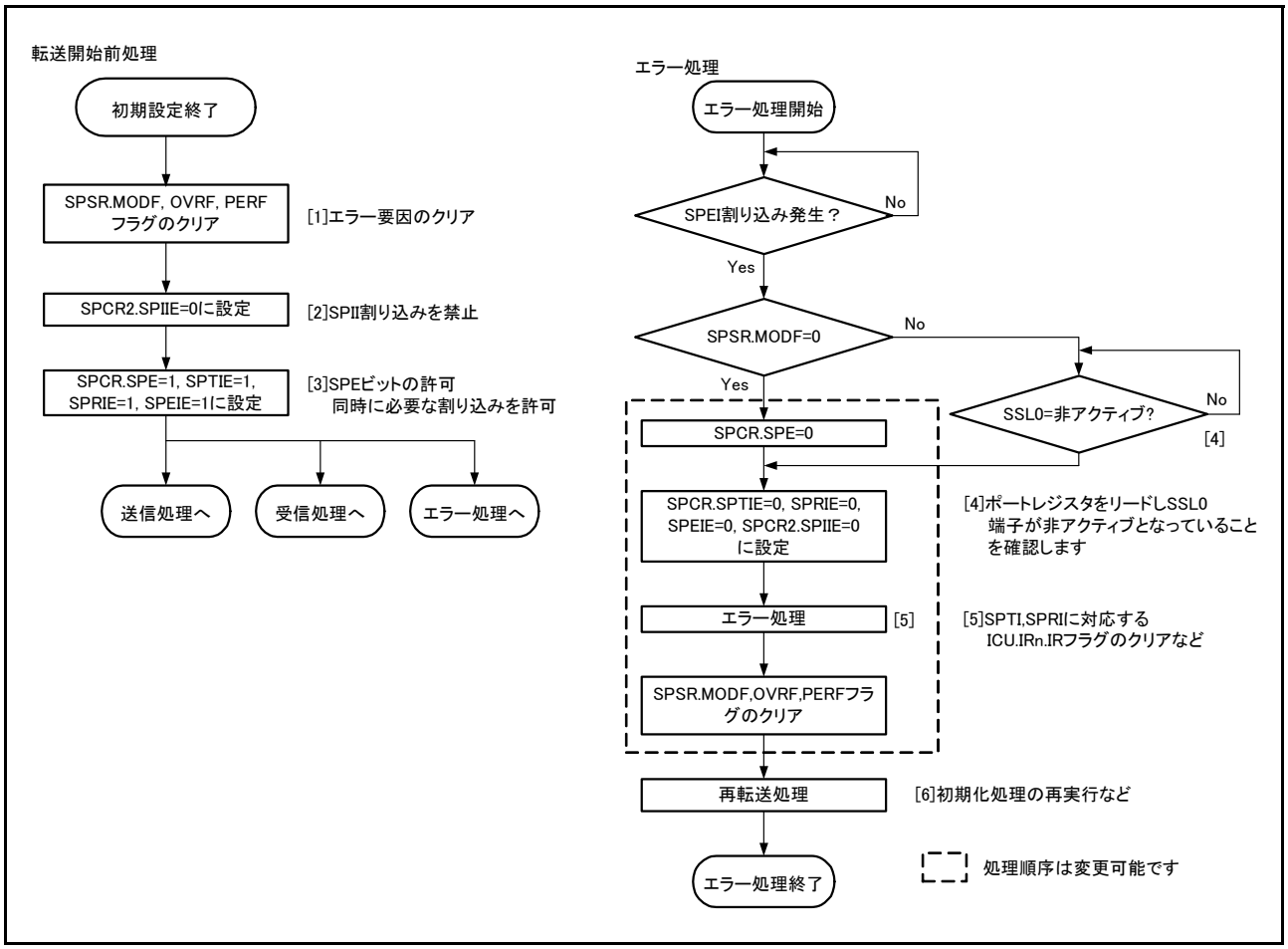


図 38.37　マスタモード時のフローチャート（エラー）

38.3.10.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが “0” の場合、RSPI は SSLn0 入力信号のアサートを検出すると、MISOn 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “0” の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが “1” の場合には、RSPI は SSLn0 入力信号のアサート状態で最初の RSPCKn エッジを検出すると、MISOn 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “1” の場合には、SSLn0 信号アサート状態における最初の RSPCKn エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISOn 出力信号のドライブを開始するタイミングは、SSLn0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効 / 無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「38.3.5　転送フォーマット」を参照してください。SSLn0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2)　シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLn0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「38.3.8　エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。SSLn0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「38.3.5　転送フォーマット」を参照してください。

(3)　シングルスレーブ時の注意点

SPCMD0.CPHA ビットが “0” の場合には、RSPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。**図 38.7** の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSLn0 入力信号が常にアクティブ状態に固定されるため、CPHA ビットを “0” に設定した RSPI ではシリアル転送を正しく開始できません。SSLn0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを “1” にしてください。CPHA ビットを “0” にする必要がある場合には、SSLn0 入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが “1” の場合には、SSLn0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが “1” の場合には、SSLn0 入力信号アクティブ状態における最初の RSPCKn エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLn0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが “0” の場合には、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 38.38 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

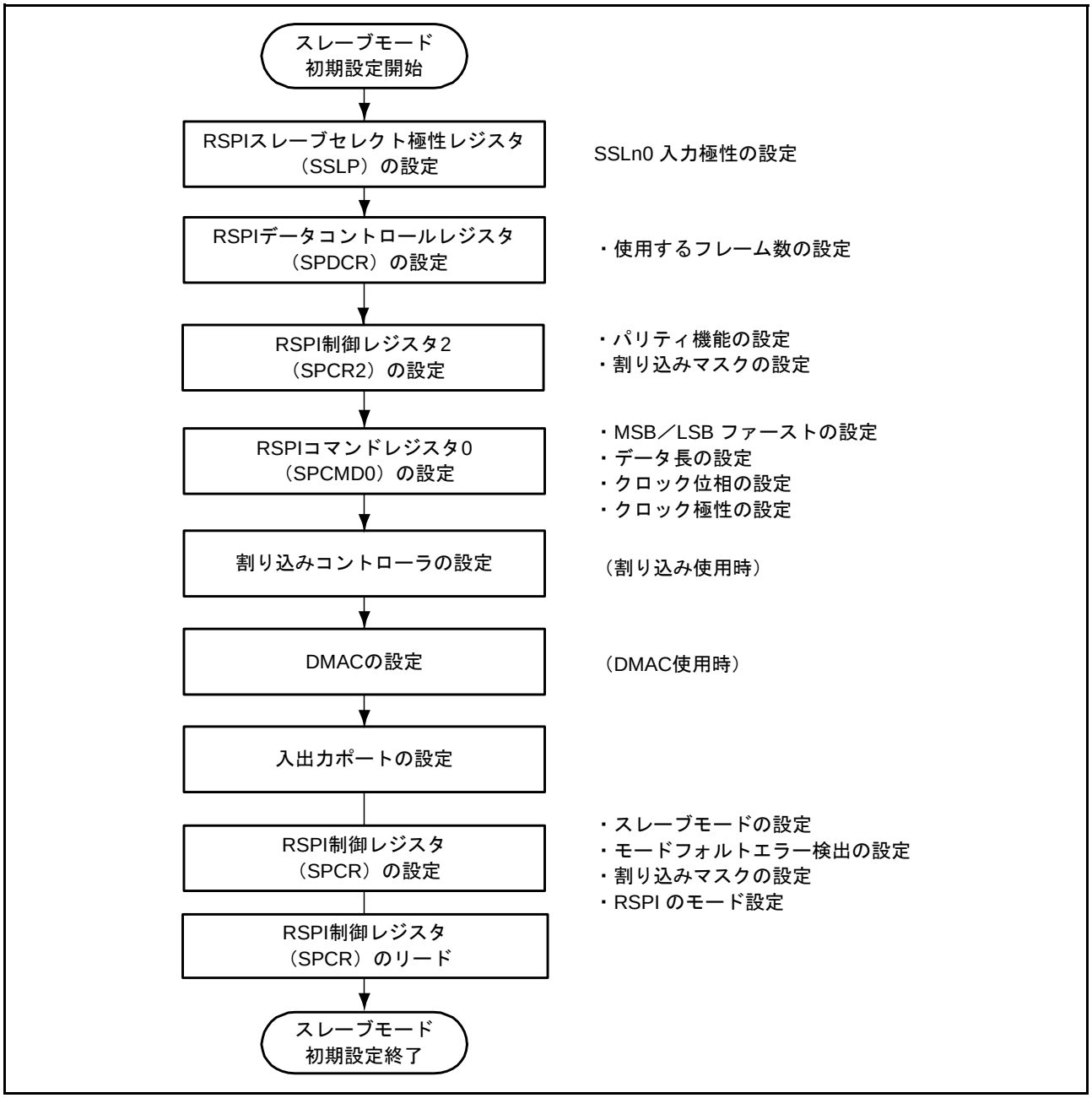


図 38.38　スレーブモード時の初期化フロー例（SPI 動作）

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 38.39 ～図 38.41 に示します。

(a) 送信処理フロー

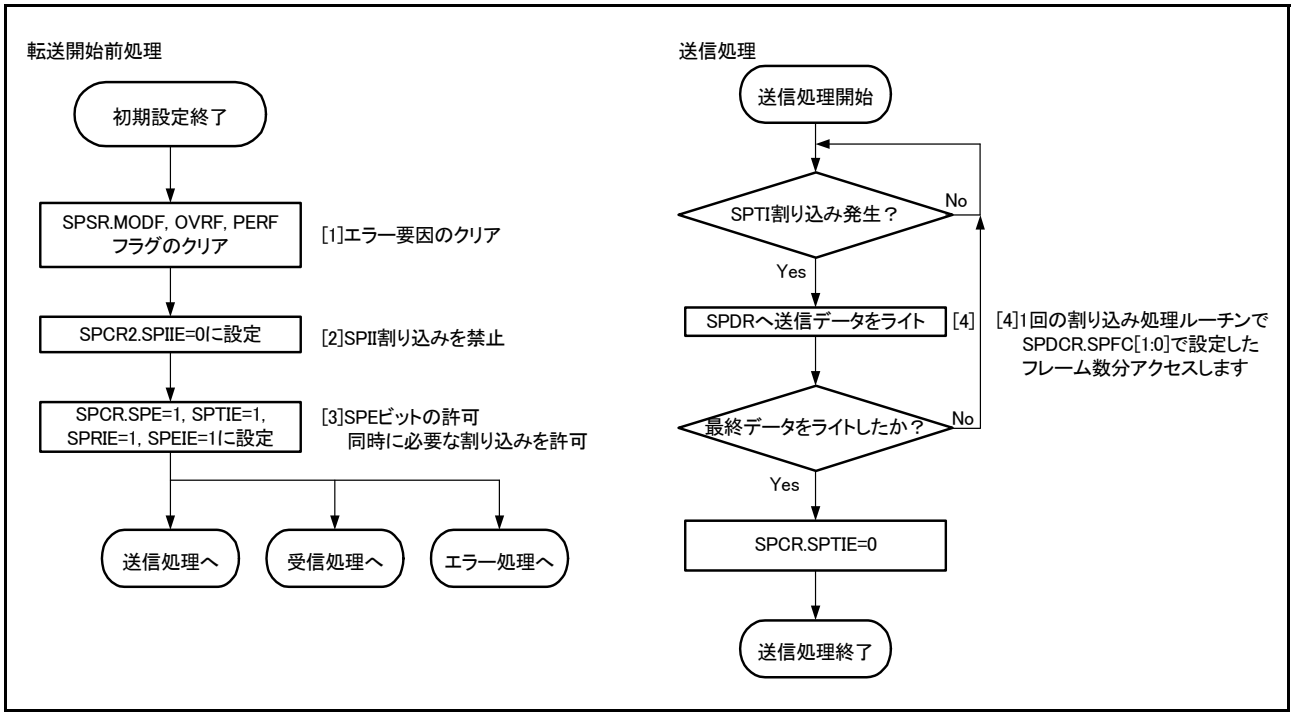


図 38.39　スレーブモード時のフローチャート（送信）

(b) 受信処理フロー

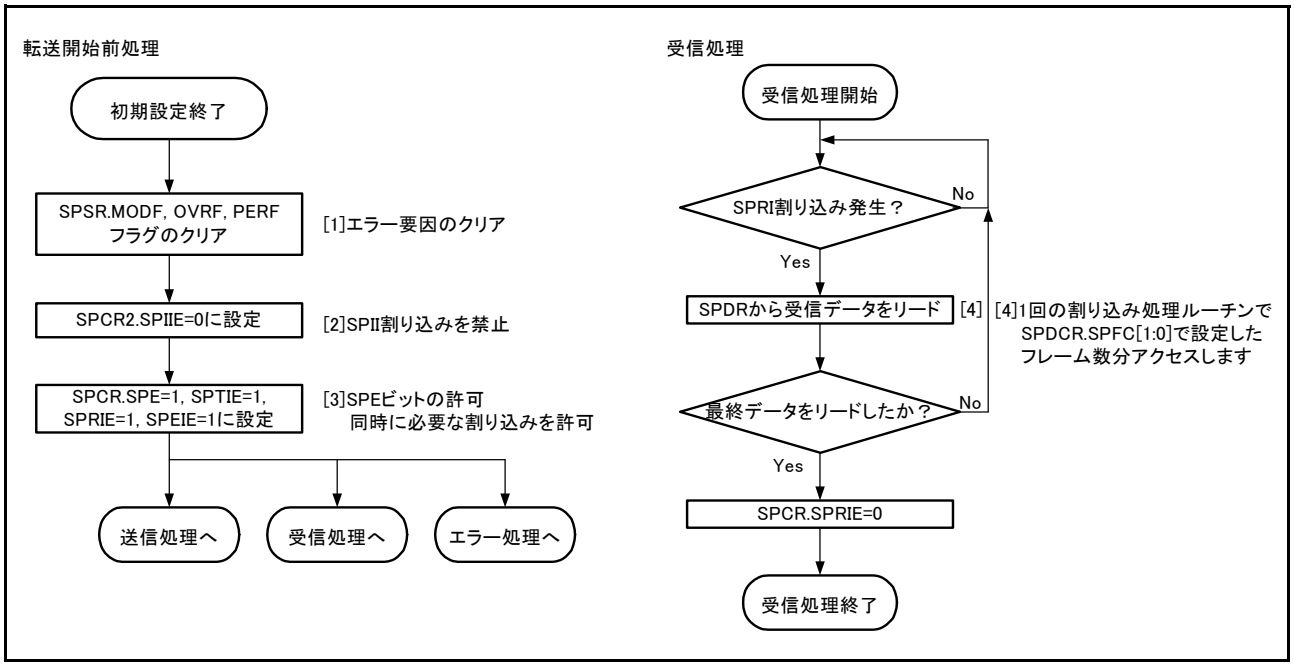


図 38.40　スレーブモード時のフローチャート（受信）

(c)　エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても端子を非アサートにせず、SPSR.MODF フラグをクリアすることができます。

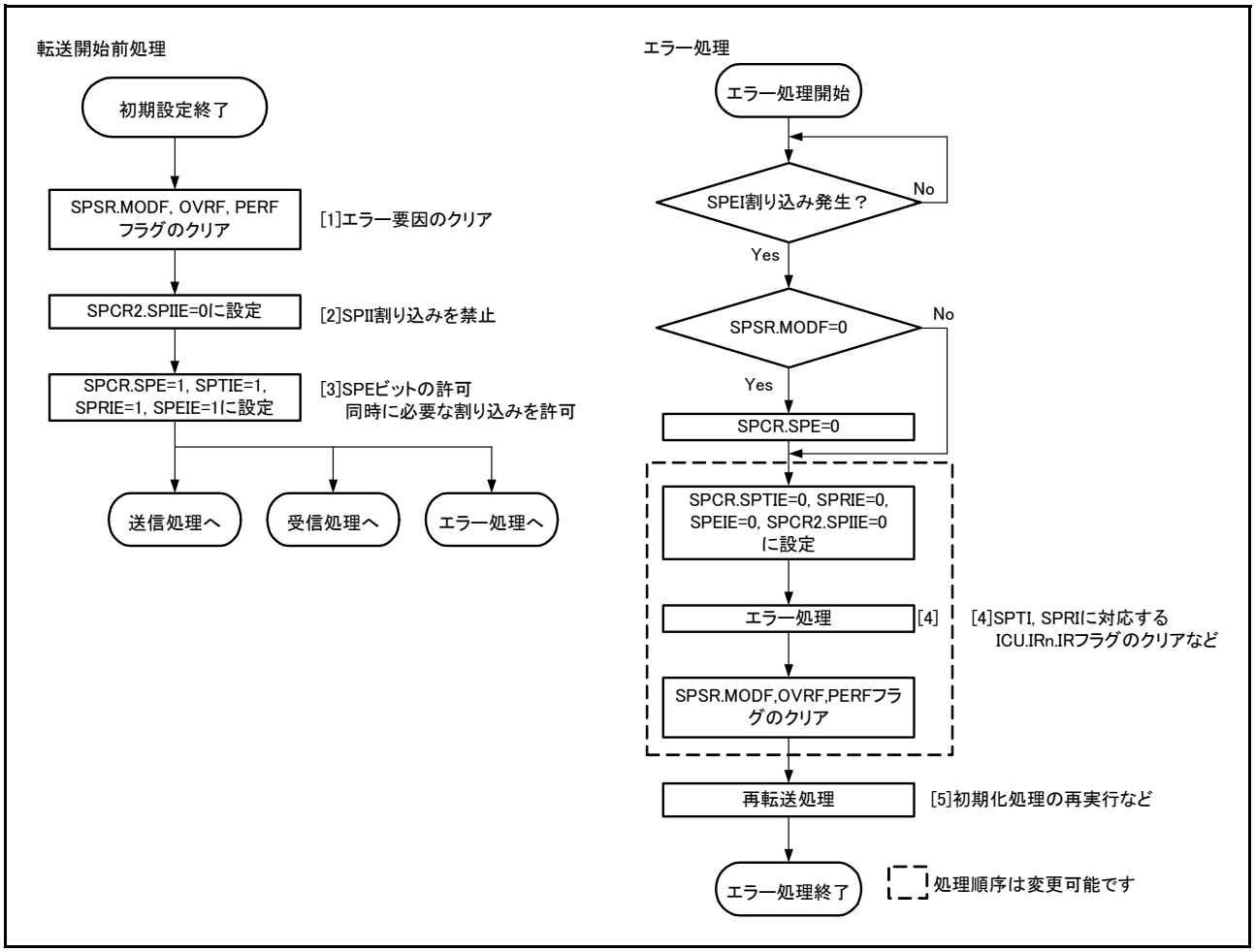


図 38.41　スレーブモード時のフローチャート（エラー処理）

38.3.11　クロック同期式動作

RSPI は、SPCR.SPMS ビットが “1” であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOn の 3 本の端子を用いて通信を行い、SSLni 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せず通信を行いますが、モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSLni 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時（SPCR.MSTR=0）に SPCMDm.CPHA ビットを “0” にした場合の動作について保証していません。

38.3.12　マスタモード動作

(1)　シリアル転送の開始

送信バッファが空（次転送のデータがセットされていない）の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ（SPTX）のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、**「38.3.5　転送フォーマット」**を参照してください。ただし、クロック同期式動作時は、SSLn0 出力信号を用いずに通信を行います。

(2)　シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、**「38.3.5　転送フォーマット」**を参照してください。ただし、クロック同期式動作時は、SSLn0 出力信号を用いずに通信を行います。

(3)　シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLni 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLni 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKn 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが “1” で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。

RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

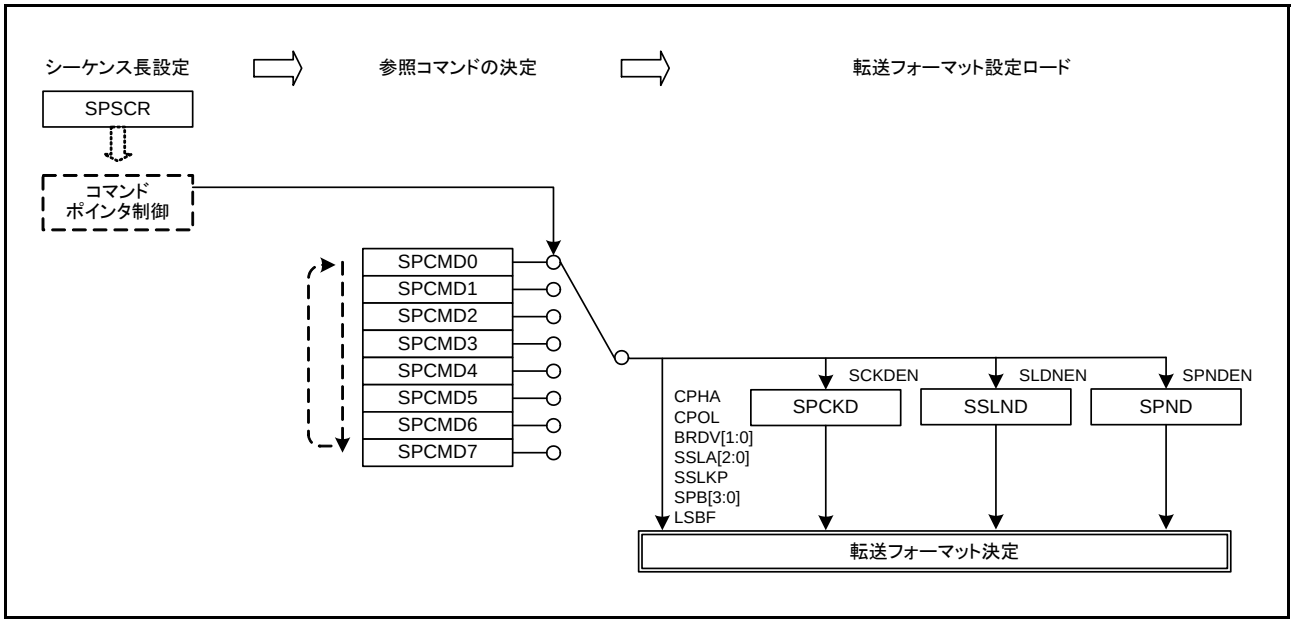


図 38.42　マスタモードでのシリアル転送方式の決定方法

本章では、データ（SPDR）と設定（SPCMDm）の 2 つを合わせてフレームとします。

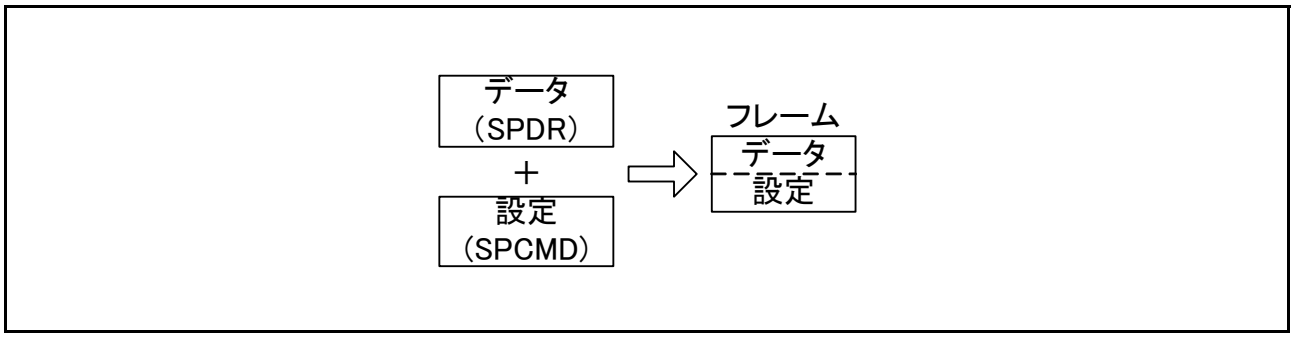


図 38.43　フレーム概念図

表 38.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 38.44 に示します。

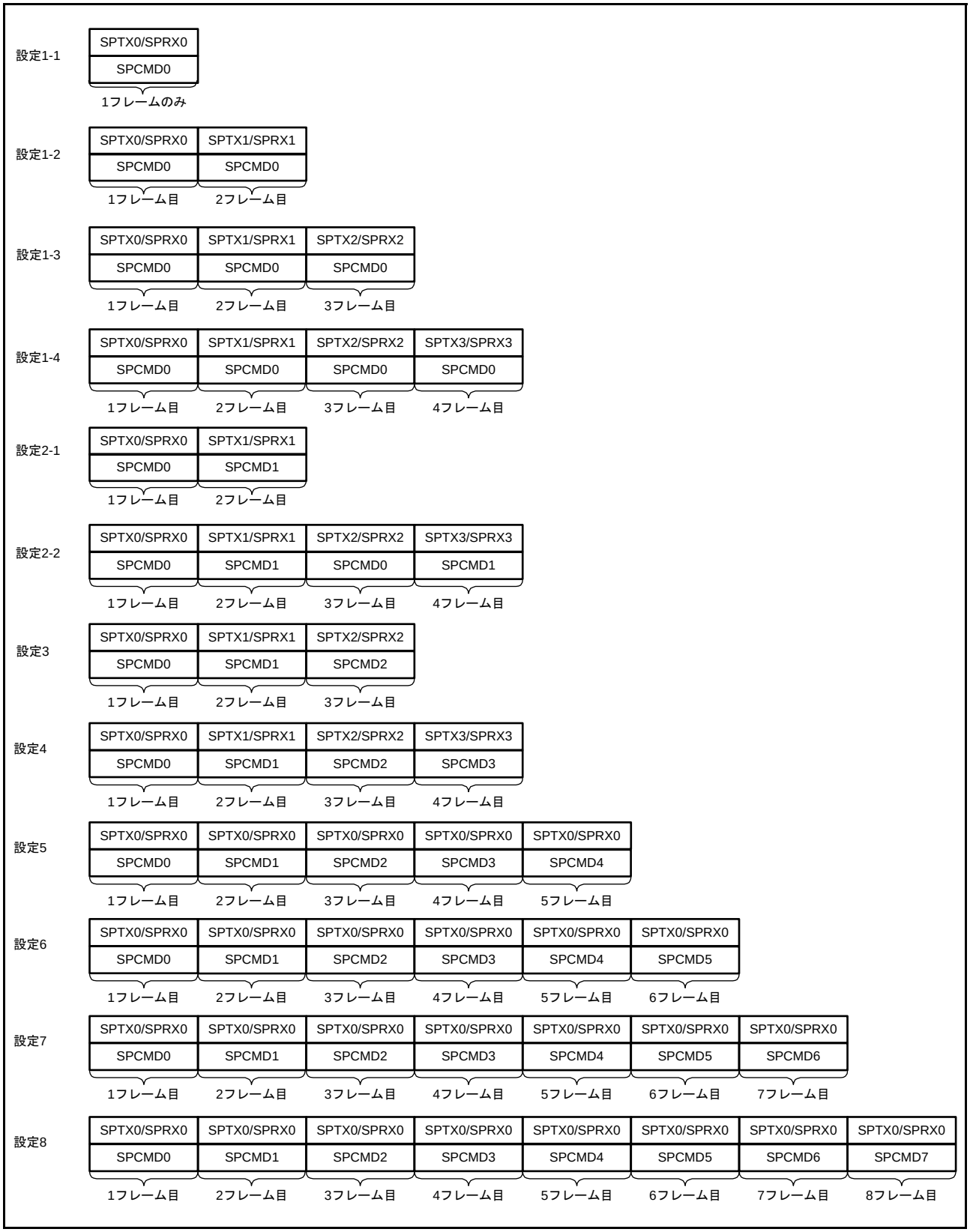


図 38.44　シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4)　初期化フロー

図 38.45 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

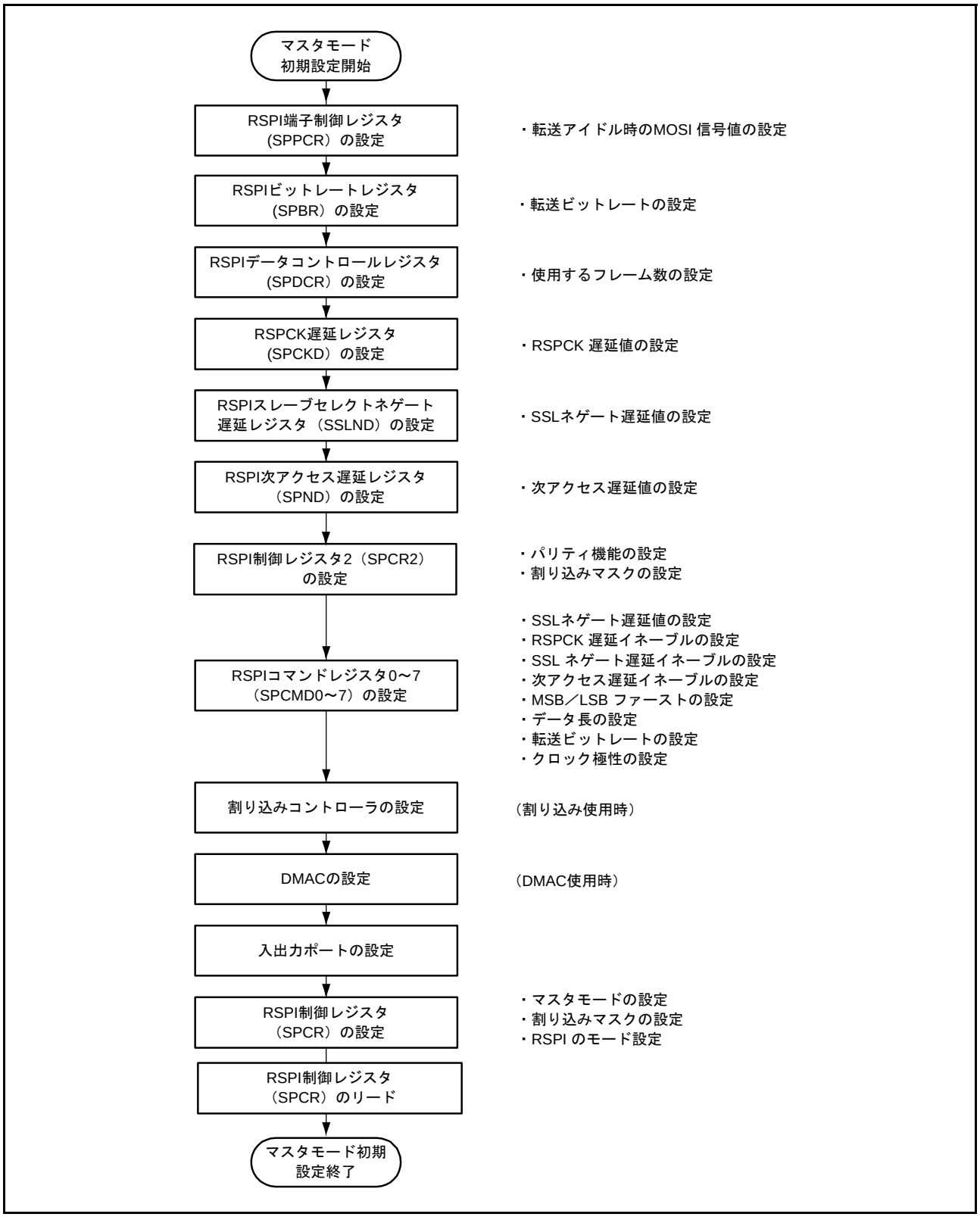


図 38.45　マスタモード時の初期化フロー例（クロック同期式動作）

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI 動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「38.3.10.1 (9) **ソフトウェア処理フロー**」を参照してください。ただし、モードフォルトエラーの発生はありません。

38.3.13 スレーブモード動作

(1) シリアル転送の開始

RSPI は、SPCR.SPMS ビットが “1” であるとき、最初の RSPCKn エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが “1” であるときは、RSPI は MISOn 出力信号を常にドライブします。

なお、RSPI の転送フォーマットの詳細については、「38.3.5 **転送フォーマット**」を参照してください。ただし、クロック同期式動作時は SSL0 入力信号を使用しません。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「38.3.5 **転送フォーマット**」を参照してください。

(3)　初期化フロー

図 38.46 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

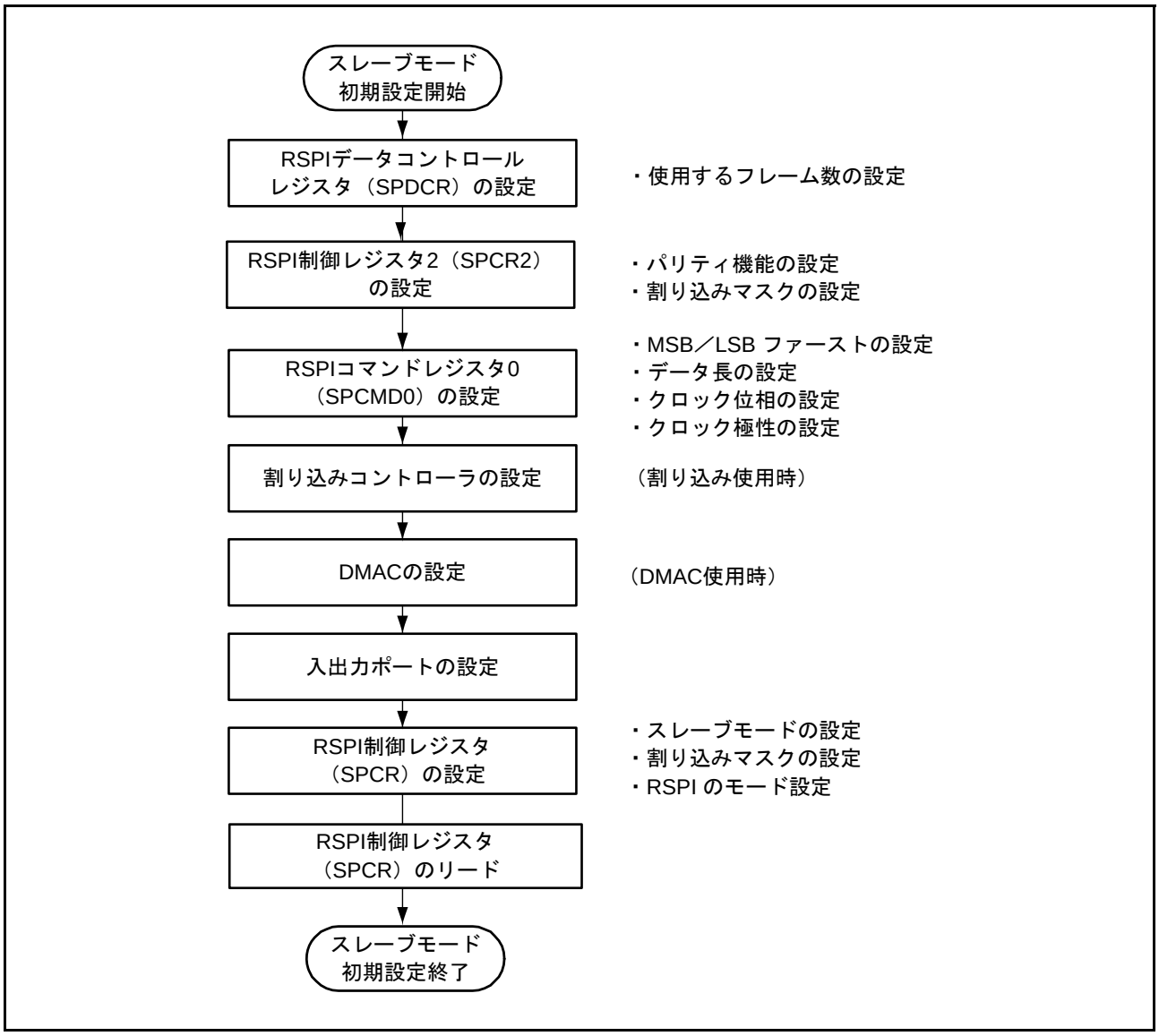


図 38.46　スレーブモード時の初期化フロー例（クロック同期式動作）

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「38.3.10.2 (6)　ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

38.3.14　ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに “1” を書くと、RSPI は SPCR.MSTR ビットが “1” ならば、MISOn 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSIn 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが “1” ならば、MOSIn 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MISOn 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 38.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、**図 38.47** に、マスタモードの RSPI をループバックモード（SPPCR.SPLP2 ＝ 0、SPPCR.SPLP ＝ 1）に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 38.12　SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIn 端子または MISOn 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

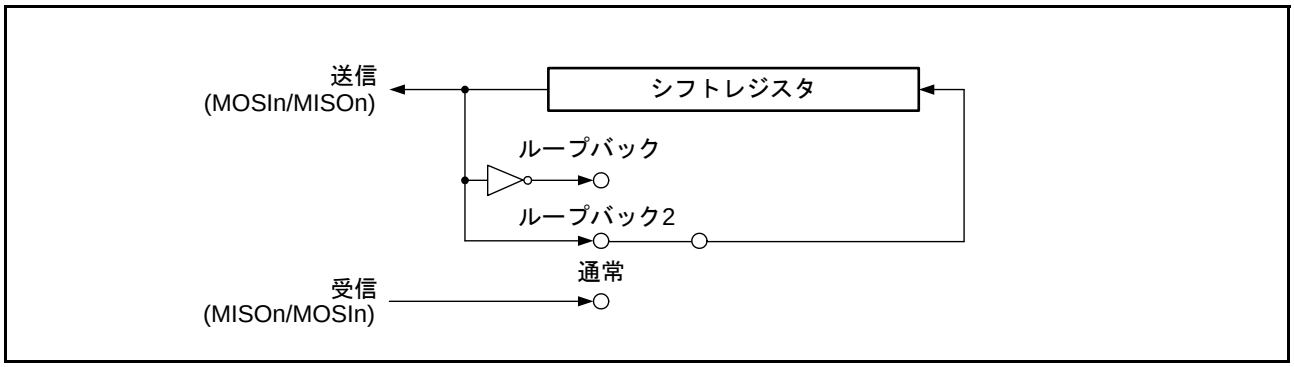


図 38.47　ループバックモード時のシフトレジスタ入出力構成（マスタモード）

38.3.15　パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 38.48 に示すのフローに従い、パリティ回路の自己診断を行います。

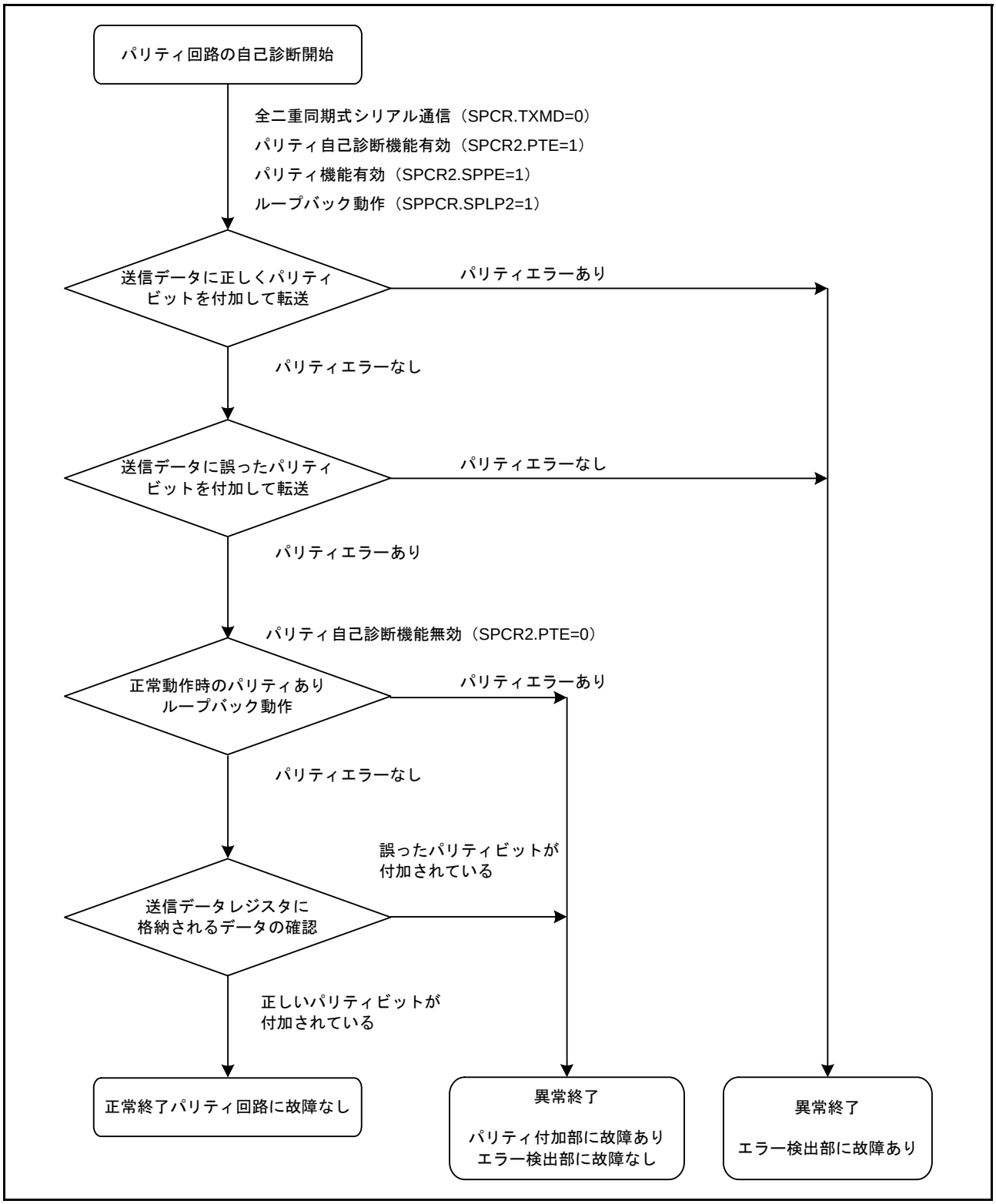


図 38.48　パリティ回路の自己判断フロー

38.3.16　割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求が SPEI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。**表 38.13** に RSPI の割り込み要因を示します。**表 38.13** の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMAC の設定方法は「**18.　DMA コントローラ（DMACA）**」、「**20.　データトランスファコントローラ（DTCa）**」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが “1” のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IRn.IR フラグが “0” になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を “0” にすることでクリアが可能です。

表 38.13　RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC 起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが “1” の状態で受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが “1” の状態で送信バッファエンプティになったとき	可能
RSPI エラー（モードフォルト、オーバラン、パリティエラー）	SPEI	SPCR.SPEIE ビットが “1” の状態で SPSR.MODF、OVRF、または PERF フラグが “1” になったとき	不可能
RSPI アイドル	SPII	SPCR.SPIIE ビットが “1” の状態で IDLNF フラグが “0” になったとき	不可能

38.4　使用上の注意事項

38.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）およびモジュールストップコントロールレジスタ C（MSTPCRC）により、RSPI の動作禁止／許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は**「11.　消費電力低減機能」**を参照してください。

38.4.2　消費電力低減機能の注意事項

消費電力低減機能を使用し、RSPI の消費電力を低減する場合、SPCR.SPE ビットを “0” に設定し通信を終了させた後、消費電力低減機能を使用してください。

38.4.3　通信の開始に関する注意事項

ICU.IRn.IR フラグが “1” で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが “1” のときは、動作許可（SPCR.SPE ビットを “1” にする）前に下記の手順で割り込み要求をクリアしてください。

(1) 通信が停止していること（SPCR.SPE ビットが “0” となっていること）を確認
(2) 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を “0” にする
(3) 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出し、“0” を確認
(4) ICU.IRn.IR フラグを “0” にする

39. IEBus™ コントローラ（IEB）

39.1 概要

RX63N グループ、RX631 グループは、1 チャネルの IEBus コントローラ（IEB）を内蔵しています。IEBus™（Inter Equipment Bus™）（注 1）は、装置間のデータ転送を目的とした小規模のデジタルデータ転送システムを実現します。

RX63N グループ、RX631 グループは IEBus ドライバ / レシーバを内蔵していないため、専用のドライバ / レシーバを外付けする必要があります。

表 39.1 に IEB の仕様を、**図 39.3** に IEB のブロック図を、**表 39.5** に IEB の入出力端子を示します。

注 1. IEBus™（Inter Equipment Bus™）はルネサスエレクトロニクスの商標です。

表 39.1　IEB の仕様

項目	仕様
通信プロトコル	• IEBus のプロトコル制御（レイア 2）に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 2 種類の通信モード（モード 0、1）が選択可能
データ送受信	• データ送受信バッファ内蔵 送信バッファ / 受信バッファは各 32 バイト モード 1 の最大伝送バイト数である 32 バイトまで連続送受信が可能
動作周波数	12MHz、12.58MHz（IECLK を 2 分周して使用） 18MHz、18.87MHz（IECLK を 3 分周して使用） 24MHz、25.16MHz（IECLK を 4 分周して使用） 30MHz、31.45MHz（IECLK を 5 分周して使用） 36MHz、37.74MHz（IECLK を 6 分周して使用） 42MHz、44.03MHz（IECLK を 7 分周して使用）
消費電力低減機能	モジュールストップ状態への設定可能

39.1.1 伝送データ（データフィールドの内容）

データフィールドの内容は、コントロールビットで示されるデータになります。

表39.2　コントロールビットの内容

設定値	ビット3（注1）	ビット2	ビット1	ビット0	機能（注2）
0h	0	0	0	0	スレーブステータス（SSR）の読み込み
1h	0	0	0	1	未定義
2h	0	0	1	0	未定義
3h	0	0	1	1	データ読み込みとロック
4h	0	1	0	0	ロックアドレスの読み込み（下位8ビット）
5h	0	1	0	1	ロックアドレスの読み込み（上位4ビット）
6h	0	1	1	0	スレーブステータス（SSR）の読み込みとロック解除
7h	0	1	1	1	データ読み込み
8h	1	0	0	0	未定義
9h	1	0	0	1	未定義
Ah	1	0	1	0	コマンド書き込みとロック
Bh	1	0	1	1	データ書き込みとロック
Ch	1	1	0	0	未定義
Dh	1	1	0	1	未定義
Eh	1	1	1	0	コマンド書き込み
Fh	1	1	1	1	データ書き込み

注1.　ビット3（MSB）の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータの転送方向が変わります。
ビット3が“1”の場合：マスタユニットからスレーブユニットへ転送
ビット3が“0”の場合：スレーブユニットからマスタユニットへ転送

注2.　3h、6h、Ah、Bhはロックの設定、および解除を指定するコントロールビットです。
1h、2h、8h、9h、Ch、Dhの未定義値が送信された場合はアクノリッジを返しません。

マスタユニットによりロックを設定されたユニットは、ロックを要求したマスタユニット以外から受信したコントロールビットが表 39.3 以外の場合、受け付けを拒否し、アクノリッジビットを出力しません。

表39.3　ロックされたスレーブユニットに対するコントロールフィールド

設定値	ビット3	ビット2	ビット1	ビット0	機能
0h	0	0	0	0	スレーブステータスの読み込み
4h	0	1	0	0	ロックアドレスの読み込み（下位8ビット）
5h	0	1	0	1	ロックアドレスの読み込み（上位4ビット）

(1) スレーブステータス（SSR）の読み込み（コントロールビット：0h、6h）

マスタユニットは、スレーブステータスの読み込み（0h、6h）を行うことにより、スレーブユニットがアクノリッジビット（ACK）を返送しなかった原因を確認することができます。スレーブステータスは、スレーブステータスが最後に行った通信結果に対して決定されます。すべてのスレーブユニットは、スレーブステータスの情報を提供できます。スレーブステータスについて、図 39.1 に示します。

MSB　　LSB

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

ビット	値	意味	
ビット7 ビット6	00	モード0	ユニットがサポートしている最高位のモードを表します（注1）
	01	モード1	
	10	将来の拡張用	
	11	将来の拡張用	
ビット5	0	“0”固定	
ビット4（注2）	0	スレーブ送信停止	
	1	スレーブ送信動作可能	
ビット3	0	“0”固定	
ビット2	0	ユニットがロック状態でない	
	1	ユニットがロック状態である	
ビット1（注3）	0	スレーブ受信バッファが空	
	1	スレーブ受信バッファが空でない	
ビット0（注4）	0	スレーブ送信バッファが空	
	1	スレーブ送信バッファが空でない	

注1.　ビット7、6は“01”に固定されています。
注2.　ビット4の値は、IEBus自局アドレスレジスタ1（IEAR1）のSTEビットにより選択することができます。
注3.　スレーブ受信バッファとは、データ書き込み処理時（コントロールビット：Ah、Bh、Eh、Fh）にアクセスされるバッファのことです。
RX63Nグループ、RX631グループでは、IEBus受信バッファレジスタ（IERB001～032）に該当し、ビット1はIEBus受信ステータスレジスタ（IERSR）のRXBSYビットの値となります。
注4.　スレーブ送信バッファとは、データ読み込み処理時（コントロールビット：3h、7h）にアクセスされるバッファのことです。
RX63Nグループ、RX631グループでは、IEBus送信バッファレジスタ（IETB001～032）に該当し、ビット0はIEBusゼネラルフラグレジスタ（IEFLG）のSRQビットの値になります。

図 39.1　スレーブステータス（SSR）のビット構成

(2) データコマンド転送（コントロールビット：読み込み（3h、7h）、書き込み（Ah、Bh、Eh、Fh））

データ読み込み（3h、7h）の場合、スレーブユニットのデータバッファにあるデータが、マスタユニットに読み込まれます。データ書き込み（Bh、Fh）またはコマンド書き込み（Ah、Eh）の場合、スレーブユニットが受信したデータはそのスレーブユニットの動作規定に従って処理されます。

注．　データとコマンドの選択は、ユーザがシステムに応じて自由に決めることができます。

注．　3h、Ah、Bh は通信条件、状態によりロックが設定されることがあります。

(3) ロックアドレスの読み込み（コントロールビット：4h、5h）

ロックアドレスの読み込み処理時（4h、5h）には、ロック命令を発行したマスタユニットのアドレス（12ビット）が、次に示すように 1 バイト単位に構成されて、読み出されます。

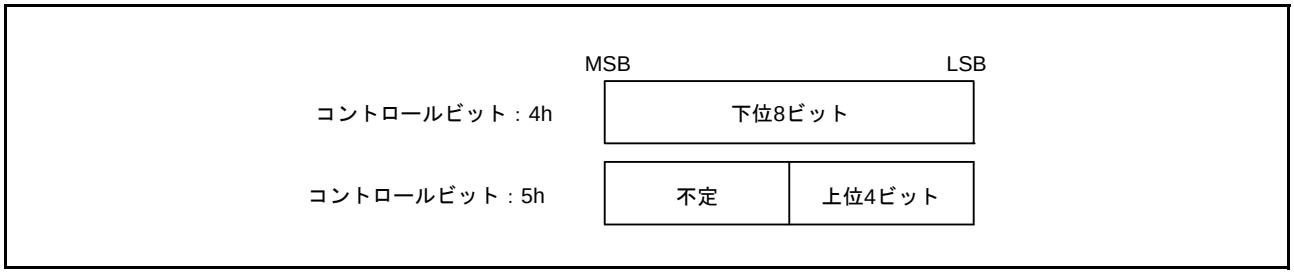


図 39.2　ロックアドレスの構成

(4) ロックの設定、解除（コントロールビット：設定（3h、Ah、Bh）、解除（6h）

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。ロックを設定されたユニットは、ロックをかけたユニット以外からは受信しません。

ロックの設定および解除を、次に示します。

(a) ロックの設定

ロックを指定したコントロールビット（3h、Ah、Bh）で、電文長フィールドのアクノリッジビット 0 の送受信終了後、電文長ビットにて指定されたバイト数分のデータの送受信を完了せずに通信フレームを終了した場合に、スレーブユニットはマスタユニットにより、ロックを設定されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット（ビット 2）が “1” にセットされます。

ロックが設定されるのは、送受信フレーム最大伝送バイト数オーバが発生したときのみで、他のエラー終了ではセットされません。

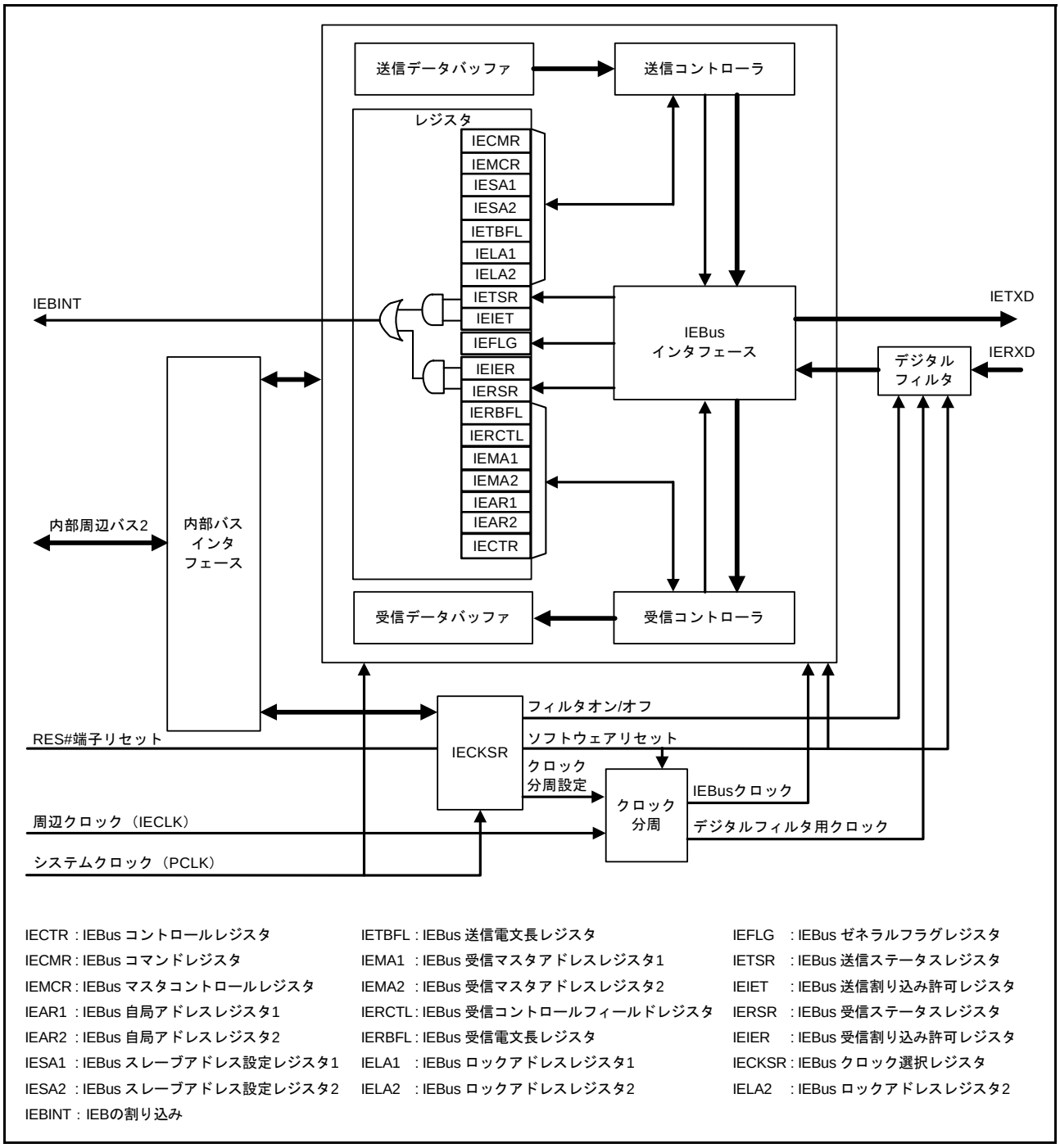
(b) ロックの解除

ロックを指定したコントロールビット（3h、Ah、Bh）または、ロックの解除を指定したコントロールビット（6h）で、1 通信フレーム内に、電文長ビットで指定したバイト数分のデータの送受信完了後、スレーブユニットは、マスタユニットによりロックを解除されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット（ビット 2）が “0” にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

注．　ロックの解除を指定されたユニット自身で解除するには、次の 3 種類の方法があります。
・RES# 端子リセットをかける
・ソフトウェアリセットをかける
・IEBus コマンドレジスタ（IECMR）でロック状態解除コマンドを発行する
なお、ロック状態の有無は IEFLG レジスタの LCK フラグで確認できます。

図 39.3 に IEB のブロック図を、表 39.4 に各ブロックの機能を示します。



IECTR : IEBus コントロールレジスタ
IECMR : IEBus コマンドレジスタ
IEMCR : IEBus マスタコントロールレジスタ
IEAR1 : IEBus 自局アドレスレジスタ1
IEAR2 : IEBus 自局アドレスレジスタ2
IESA1 : IEBus スレーブアドレス設定レジスタ1
IESA2 : IEBus スレーブアドレス設定レジスタ2
IEBINT : IEBの割り込み
IETBFL : IEBus 送信電文長レジスタ
IEMA1 : IEBus 受信マスタアドレスレジスタ1
IEMA2 : IEBus 受信マスタアドレスレジスタ2
IERCTL : IEBus 受信コントロールフィールドレジスタ
IERBFL : IEBus 受信電文長レジスタ
IELA1 : IEBus ロックアドレスレジスタ1
IELA2 : IEBus ロックアドレスレジスタ2
IEFLG : IEBus ゼネラルフラグレジスタ
IETSR : IEBus 送信ステータスレジスタ
IEIET : IEBus 送信割り込み許可レジスタ
IERSR : IEBus 受信ステータスレジスタ
IEIER : IEBus 受信割り込み許可レジスタ
IECKSR : IEBus クロック選択レジスタ
IELA2 : IEBus ロックアドレスレジスタ2

図 39.3　IEB のブロック図

表39.4　各ブロックの機能

ブロック	機能
バスインタフェース	内部バスのインタフェース機能
	• データ幅8ビット • IEBレジスタアクセス
IEBusインタフェース	IEBus仕様に準拠したインタフェース機能
	• 送信コントローラからデータをIEBus仕様のビットフォーマットでIEBus送出 • IEBus仕様のビットフォーマットからフレームデータを抽出し受信コントローラへ転送
IECKSR	IEBusクロック選択レジスタによるIEBus/デジタルフィルタ用クロック分周、ソフトウェアリセット設定機能
	• IECKSRレジスタ以外の全FFへの非同期ソフトウェアリセットのアサート/ネゲート • デジタルフィルタのオン/オフ設定 • 入力クロックからIEBusクロックへの分周値の設定 • 入力クロックからデジタルフィルタ用クロックへの分周値の設定
レジスタ	IEB制御レジスタ
	• IEB制御のためのレジスタ • 内部バスよりリード/ライト可能
クロック分周	入力クロックからのクロック分周出力機能
	• 入力クロックを分周してIEBusクロックをIEBusインタフェースへ出力 • 入力クロックを分周してデジタルフィルタ用クロックをデジタルフィルタへ出力
デジタルフィルタ	IEBバスのIERXD端子入力に対するフィルタリング機能
	• デジタルフィルタのオン/オフ設定 • 三連一致によるフィルタリング
送信コントローラ	送信バッファのデータをIEBusに送信
	• レジスタからのヘッダ情報と送信バッファのデータにより送信フレームを生成し送信 • 送信エラー検出
受信コントローラ	IEBusからのデータを受信バッファに格納
	• 受信したフレームをヘッダ情報はレジスタにデータは受信バッファに格納 • 受信エラー検出
送信データバッファ	データ送信用バッファ
	• IEBusへ送信するデータを格納するバッファ • バッファ容量32バイト
受信データバッファ	データ受信用バッファ
	• IEBusから受信したデータを格納するバッファ • バッファ容量32バイト

表39.5　IEBの入出力端子

端子名	入出力	機能
IERXD	入力	受信データ入力端子
IETXD	出力	送信データ出力端子

39.2　レジスタの説明

39.2.1　IEBus コントロールレジスタ（IECTR）

アドレス　0008 A800h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	IOL	DEE	—	RE	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RE	レシーブイネーブルビット	0：受信動作を禁止 1：受信動作を許可	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DEE	同報受信エラー割り込みイネーブルビット	0：コントロールフィールドまでの同報受信エラーを発生させない 1：コントロールフィールドまでの同報受信エラーを発生させる	R/W
b6	IOL	入出力レベルビット	0：端子の入出力は負論理 （ロジック 1 が Low、ロジック 0 が High） 1：端子の入出力は正論理 （ロジック 1 が High、ロジック 0 が Low）	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RE ビット（レシーブイネーブルビット）

IEB の受信の許可 / 禁止を設定します。RE ビットの設定は、フレーム受信前の初期設定で行ってください。

DEE ビット（同報受信エラー割り込みイネーブルビット）

DEE ビットを “1” にセットすると、同報受信時に、受信バッファが受信可能状態にない場合（RE ビットが “1” にセットされていない状態か、IERSR.RXBSY フラグがセットされている状態）、同報受信エラー割り込みが発生します。その際、IEBus 受信マスタアドレスレジスタ 1、2 が格納されます。

DEE ビットが “0” のときは、同報受信時に、受信バッファが受信可能状態にない場合、同報受信エラー割り込みは発生せず受信を中止して待機状態に入ります。マスタアドレスは保存されません。

IOL ビット（入出力レベルビット）

IERXD、IETXD 端子の入出力端子のレベル（正論理、負論理）を選択します。

39.2.2　IEBus コマンドレジスタ（IECMR）

アドレス　0008 A801h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMD[2:0]		
リセット後の値	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	コマンドビット	b2 b1 b0 ０ ０ ０：ノーオペレーション（動作に影響なし） ０ ０ １：ロック状態（他局からの要求）を解除（注1） ０ １ ０：マスタとしての通信を要求 ０ １ １：マスタ通信を中止（注2） １ ０ ０：未定義（注3） １ ０ １：スレーブからのデータ送信を要求 １ １ ０：スレーブからのデータ送信を中止（注4） １ １ １：未定義（注3）	W
b7-b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	W

注1.　スレーブ通信状態では、実行禁止です。
注2.　マスタ通信中（IEFLG.MRQ＝1）のときのみ、本コマンドが有効です。それ以外では、コマンドを発行しても無視されます。マスタ通信中に本コマンドを発行すると、通信コントローラは待機状態に入ります。同時に、発行されていたマスタ送信要求は終了（IEFLG.MRQ＝0）します。
注3.　未定義ビットです。本コマンドを発行しても動作に影響ありません。
注4.　スレーブ送信（IEFLG.SRQ＝1）のときのみ、本コマンドが有効です。それ以外では、コマンドを発行しても無視されます。スレーブ送信中に本コマンドを発行すると、スレーブ送信を行う前では、IEFLG.SRQ＝0となるため、マスタからの送信要求に対応しなくなります。スレーブ送信を行っている状態でコマンドを発行すると、送信動作を中止し、待機状態になります。（IEFLG.SRQ＝0）

IECMR レジスタは書き込み専用レジスタです。読み出し値は不定です。

CMD[2:0] ビット（コマンドビット）

IEB の通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLG.CMX ビットがセットされている間はコマンド実行中です。IEFLG.CMX が “0” になると、動作状態に移行します。

39.2.3　IEBus マスタコントロールレジスタ（IEMCR）

アドレス　0008 A802h

	b7	b6	b5	b4	b3	b2	b1	b0
	SS	RN[2:0]			CTL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CTL[3:0]（注1）	コントロールビット	b3 b2 b1 b0 0 0 0 0：スレーブステータスの読み込み 0 0 0 1：設定しないでください 0 0 1 0：設定しないでください 0 0 1 1：データ読み込みとロック（注2） 0 1 0 0：ロックアドレスの読み込み（下位8ビット） 0 1 0 1：ロックアドレスの読み込み（上位4ビット） 0 1 1 0：スレーブステータスの読み込みとロック解除（注2） 0 1 1 1：データ読み込み 1 0 0 0：設定しないでください 1 0 0 1：設定しないでください 1 0 1 0：コマンド書き込みとロック（注2） 1 0 1 1：データ書き込みとロック（注2） 1 1 0 0：設定しないでください 1 1 0 1：設定しないでください 1 1 1 0：コマンド書き込み 1 1 1 1：データ書き込み	R/W
b6-b4	RN[2:0]	再送回数設定ビット	b6 b5 b4 0 0 0：0回 0 0 1：1回 0 1 0：2回 0 1 1：3回 1 0 0：4回 1 0 1：5回 1 1 0：6回 1 1 1：7回	R/W
b7	SS	同報/通常通信の選択ビット	0：マスタ通信時、同報通信 1：マスタ通信時、通常通信	R/W

注1.　CTL[3]ビットの値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータ転送方向が変わります。
CTL[3]ビットが“1”の場合：マスタユニットからスレーブユニットへの転送
CTL[3]ビットが“0”の場合：スレーブユニットからマスタユニットへの転送
注2.　ロックの設定、および解除を指定するコントロールビットです。

IEMCR レジスタは、マスタ通信を行うときの通信条件を設定します。

CTL[3:0] ビット（コントロールビット）

マスタ送信時、コントロールフィールドのコントロールビットの設定を行います。

RN[2:0] ビット（再送回数設定ビット）

マスタ通信中にアービトレーションに負けた場合に、自動的に再送信を行う回数を設定します。アービトレーションに負けた場合、IETSR.TXEAL ビットがセットされ、送信エラー終了となります。

39.2.4　IEBus 自局アドレスレジスタ 1（IEAR1）

アドレス　0008 A803h

	b7	b6	b5	b4	b3	b2	b1	b0
	IARL4[3:0]				IMD[1:0]		—	STE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STE	スレーブ送信設定ビット	0：スレーブステータスのビット 4 は“0” （スレーブ送信停止状態） 1：スレーブステータスのビット 4 は“1” （スレーブ送信可能状態）	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IMD[1:0]	IEBus 通信モードビット	b3 b2 0 0：通信モード 0 0 1：通信モード 1 1 0：設定しないでください 1 1：設定しないでください	R/W
b7-b4	IARL4[3:0]	IEBus 自局アドレス下位 4 ビット	自局アドレスの下位 4 ビット設定	R/W

自局アドレスは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

STE ビット（スレーブ送信設定ビット）

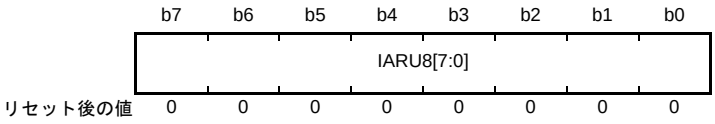
スレーブステータスレジスタのビット 4 の値を設定します。STE ビットを “1” に設定すると、スレーブステータスレジスタの送信により、マスタユニットに対して、スレーブ送信可能状態である、という情報を与えます。STE ビットはスレーブステータスレジスタの値を設定するだけで、スレーブ送信の動作には直接影響しません。

IARL4[3:0] ビット（IEBus 自局アドレス下位 4 ビット）

自局アドレスの下位 4 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。

39.2.5　IEBus 自局アドレスレジスタ 2（IEAR2）

アドレス　0008 A804h



ビット	シンボル	ビット名	機能	R/W
b7-b0	IARU8[7:0]	IEBus自局アドレス上位8ビット	自局アドレスの上位8ビット設定	R/W

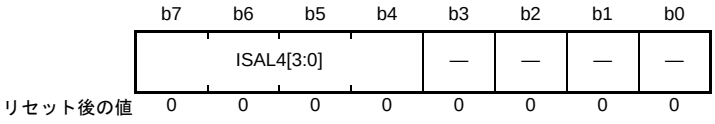
IEAR2 レジスタは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

IARU8[7:0] ビット（IEBus 自局アドレス上位 8 ビット）

自局アドレスの上位 8 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。

39.2.6　IEBus スレーブアドレス設定レジスタ 1（IESA1）

アドレス　0008 A805h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	ISAL4[3:0]	IEBusスレーブアドレス下位4ビット	IEBusスレーブアドレスの下位4ビットの設定	R/W

ISAL4[3:0] ビット（IEBus スレーブアドレス下位 4 ビット）

通信相手のスレーブユニットのアドレス下位 4 ビットを設定します。

39.2.7　IEBus スレーブアドレス設定レジスタ 2（IESA2）

アドレス　0008 A806h

	b7	b6	b5	b4	b3	b2	b1	b0
	ISAU8[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ISAU8[7:0]	IEBusスレーブアドレス上位8ビット	IEBusスレーブアドレスの上位8ビット設定	R/W

ISAU8[7:0] ビット（IEBus スレーブアドレス上位 8 ビット）

通信相手のスレーブユニットのアドレス上位 8 ビットを設定します。

39.2.8　IEBus 送信電文長レジスタ（IETBFL）

アドレス　0008 A807h

	b7	b6	b5	b4	b3	b2	b1	b0
	IBFL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	IBFL[7:0]	送信電文長ビット	01h：1バイト 02h：2バイト ：　： 1Fh：31バイト 20h：32バイト 21h：設定しないでください ：　： FFh：設定しないでください 00h：設定しないでください	R/W

IETBFL レジスタは、マスタ送信、スレーブ送信を行う際の電文長を設定します。

IBFL[7:0] ビット（送信電文長ビット）

マスタ送信する際の電文長の値を設定します。通信モードの最大伝送バイト数以内の値を設定してください。

39.2.9　IEBus 受信マスタアドレスレジスタ 1（IEMA1）

アドレス　0008 A809h

	b7	b6	b5	b4	b3	b2	b1	b0
	IMAL4[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	IMAL4[3:0]	IEBus 受信マスタアドレス下位 4 ビット	IEBus スレーブ / 同報受信時マスタユニットのアドレスの下位 4 ビットを表示	R

IMAL4[3:0] ビット（IEBus 受信マスタアドレス下位 4 ビット）

スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。IEMA1 レジスタは、スレーブ / 同報受信が開始されると有効になります（IERSR.RXS フラグがセットされた時点で、内容が書き替えられます）。

IECTR.DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態でない場合、受信エラー割り込みが発生し、IEMA1 レジスタにマスタアドレス下位 4 ビットが格納されます。

39.2.10　IEBus 受信マスタアドレスレジスタ 2（IEMA2）

アドレス　0008 A80Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	IMAU8[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	IMAU8[7:0]	IEBus 受信マスタアドレス上位 8 ビット	IEBus スレーブ / 同報受信時マスタユニットのアドレスの上位 8 ビットを表示	R

IEMA2 レジスタは、スレーブ / 同報受信が開始すると有効になります（IERSR.RXS フラグがセットされた時点で、内容が書き替えられます）。

IECTR.DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 レジスタにマスタアドレス上位 8 ビットが格納されます。

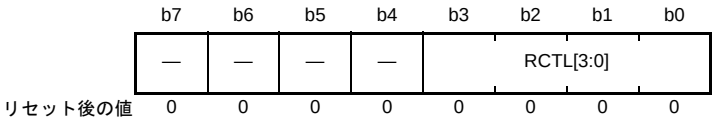
IMAU8[7:0] ビット（IEBus 受信マスタアドレス上位 8 ビット）

スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットを表示します。IEMA2 レジスタは、スレーブ / 同報受信が開始されると有効になります（IERSR.RXS フラグがセットされた時点で、内容が書き替えられます）。

IECTR.DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態でない場合、受信エラー割り込みが発生し、IEMA2 レジスタにマスタアドレス上位 8 ビットが格納されます。

39.2.11　IEBus 受信コントロールフィールドレジスタ（IERCTL）

アドレス　0008 A80Bh



ビット	シンボル	ビット名	機能	R/W
b3-b0	RCTL[3:0]	IEBus受信コントロールフィールド	スレーブ/同報受信時のコントロールフィールドの値を表示	R
b7-b4	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

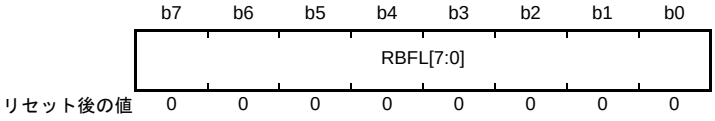
IERCTL レジスタは、スレーブ / 同報受信が開始すると有効になります（IERSR.RXS フラグがセットされた時点で、内容が書き替えられます）。

RCTL[3:0] ビット（IEBus 受信コントロールフィールド）

スレーブ / 同報受信時のコントロールフィールドの値を表示します。IERCTL レジスタは、スレーブ / 同報受信が開始されると有効になります（IERSR.RXS フラグがセットされた時点で、内容が書き替えられます）。

39.2.12　IEBus 受信電文長レジスタ（IERBFL）

アドレス　0008 A80Ch

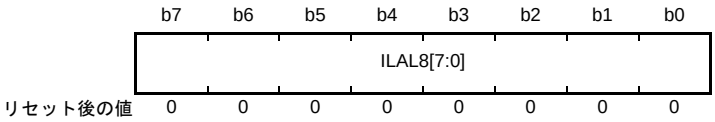


ビット	シンボル	ビット名	機能	R/W
b7-b0	RBFL[7:0]	IEBus受信電文長フラグ	スレーブ/同報受信時の電文長フィールドの内容が読み出されます	R

IERBFL レジスタは、スレーブ / 同報受信が開始すると有効になります（IERSR.RXS フラグがセットされた時点で、内容が書き替えられます）。

39.2.13　IEBus ロックアドレスレジスタ 1（IELA1）

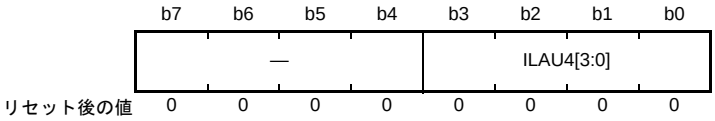
アドレス　0008 A80Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	ILAL8[7:0]	IEBusロックアドレス 下位8ビット	ロックを設定したマスタユニットのアドレス下位8ビットを表示します。IEFLG.LCKフラグがセットされているときのみ有効です	R

39.2.14　IEBus ロックアドレスレジスタ 2（IELA2）

アドレス　0008 A80Fh



ビット	シンボル	ビット名	機能	R/W
b3-b0	ILAU4[3:0]	IEBusロックアドレス 上位4ビット	ロックを設定したマスタユニットのアドレス上位4ビットを格納します。IEFLG.LCKフラグがセットされているときのみ有効です	R
b7-b4	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

39.2.15　IEBus ゼネラルフラグレジスタ（IEFLG）

アドレス　0008 A810h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMX	MRQ	SRQ	SRE	LCK	—	RSS	GG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GG	一斉同報受信認識フラグ	0：スレーブ受信であった 同報受信時、スレーブアドレスフィールドでFFFhを認識しなかった 1：同報受信時、スレーブアドレスフィールドでFFFhを認識した	R
b1	RSS	受信同報フラグ	0：受信した同報ビットは“0” 1：受信した同報ビットは“1”	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	LCK	ロック状態表示フラグ	0：ロックは解除 1：ロック状態	R
b4	SRE	スレーブ受信状態フラグ	0：スレーブ/同報受信中ではない 1：スレーブ/同報受信中	R
b5	SRQ	スレーブ送信要求フラグ	0：スレーブユニットとして送信要求期間中ではない 1：スレーブユニットとして送信要求期間中	R
b6	MRQ	マスタ通信要求フラグ	0：マスタユニットとしての通信要求期間中ではない 1：マスタユニットとしての通信要求期間中	R
b7	CMX	コマンド実行状態フラグ	0：コマンドの実行は終了 1：コマンド実行中	R

GG フラグ（一斉同報受信認識フラグ）

同報受信時、スレーブアドレスが FFFh を認識したとき、セットされます。受信同報ビットと同様に、スレーブ / 同報受信開始時有効になります（IERSR.RXS フラグがセットされた時点で、内容が書き替えられます）。

スレーブ / 同報受信開始時までは、前回の値を保持します。スレーブ通常受信の場合は、“0” になります。

RSS フラグ（受信同報フラグ）

受信した同報ビットの値を示します。スレーブ / 同報受信開始時有効になります（IERSR.RXS フラグがセットされた時点で内容が書き替えられます）。

スレーブ / 同報受信開始時までは、前回の値を保持します。

LCK フラグ（ロック状態表示フラグ）

マスタユニットからロック要求を受けて、ロックが設定された場合、セットされます。IELA1、IELA2 レジスタの値は LCK フラグがセットされているとき、有効です。

[“1” になる条件]

- マスタからロック設定のコントロールビット（3h、Ah、Bh）を受信し、電文長で指定されたデータを送受信しなかったとき（LCK フラグがセットされるのは送受信フレーム最大伝送バイト数オーバが発生したときのみで、他のエラー終了ではセットされません）

[“0” になる条件]

- ロック解除条件が成立するか、ロック解除コマンドを発行したとき

SRE フラグ（スレーブ受信状態フラグ）

スレーブ / 同報受信の実行状態を示します。

[“1” になる条件]

- IECTR.RE ビットが “1” の状態で、スレーブ / 同報受信を開始したとき

[“0” になる条件]

- スレーブ / 同報受信が終了したとき

SRQ フラグ（スレーブ送信要求フラグ）

スレーブユニットとして、送信要求期間中か期間中でないかを示します。

[“1” になる条件]

- スレーブ送信要求コマンドを発行し、CMX フラグが “0” になったとき

[“0” になる条件]

- スレーブ送信が終了したとき

MRQ フラグ（マスタ通信要求フラグ）

マスタユニットとして、通信要求期間中か期間中でないかを示します。

[“1” になる条件]

- マスタ通信要求コマンドを発行し、CMX フラグが “0” になったとき

[“0” になる条件]

- マスタ通信が終了したとき

CMX フラグ（コマンド実行状態フラグ）

コマンドの実行状態を示します。

[“1” になる条件]

- MRQ、SRQ、SRE フラグのいずれかがセットされた条件で、マスタ通信要求コマンドかスレーブ送信要求コマンドを発行したとき

[“0” になる条件]

- コマンドが実行終了したとき

39.2.16　IEBus送信ステータスレジスタ（IETSR）

アドレス　0008 A811h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TXS	TXF	—	TXEAL	TXETTME	TXERO	TXEACK
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXEACK	アクノリッジフラグ	0：アクノリッジビットで“1”（NAK）を未検出 1：アクノリッジビットで“1”（NAK）を検出	R/(W)（注1）
b1	TXERO	送信フレーム最大伝送バイト数オーバフラグ	0：通信モードで定義する最大バイト数まで送信し、送信が終了 1：通信モードで定義する最大バイト数まで送信したが、送信が終了していない	R/(W)（注1）
b2	TXETTME	送信タイミングエラーフラグ	0：データ送信中に、タイミングエラーは発生していない 1：データ送信中に、タイミングエラーが発生	R/(W)（注1）
b3	TXEAL	アービトレーション負けフラグ	0：通常送信 1：データ送信中に、アービトレーション負けが発生し送信が終了	R/(W)（注1）
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TXF	送信正常終了フラグ	0：電文長ビットで指定した送信データバイト数分の送信を終了していない 1：電文長ビットで指定した送信データバイト数分の送信が終了	R/(W)（注1）
b6	TXS	送信開始フラグ	0：マスタ送信時、マスタアドレスフィールドまで送信終了していない 1：マスタ送信時、アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了	R/(W)（注1）
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするための、“1”書き込みのみ可能です。

それぞれの要因は、IEBus送信割り込み許可レジスタ（IEIET）に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。IETSRレジスタは各ビットに“1”を書き込むことによりクリアされます。

TXEACK フラグ（アクノリッジフラグ）

データフィールドのアクノリッジビットで受信したデータを示します。

【データフィールド以外のアクノリッジビット】

NAK を受信すると、送信を中止し待機状態に入ります。TXEACK フラグは “1” にセットされます。

【データフィールドでのアクノリッジビット】

データフィールド送信時に、受信ユニットから NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。この場合、送信中に受信ユニットから、ACK を受信した場合には、TXEACK フラグは設定されず、そのまま送信を行います。通信モードで定義する最大バイト数で ACK を受信することができずに、通信を終了した場合に、TXEACK フラグは “1” にセットされます。

注 .　TXEACK フラグは同報通信では、無効です。

[“1” になる条件]

- アクノリッジビットで “1”（NAK）を検出したとき

[“0” になる条件]

- “1” を書き込んだとき

TXERO フラグ（送信フレーム最大伝送バイト数オーバフラグ）

データ送信時に、受信ユニットから NAK を受信し再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送数より大きい値であった（注 1）ため、送信が終了しなかったことを示します。IEB は TXERO フラグをセットして待機状態になります。

注 1.　電文長の値に最大伝送数より大きい値が設定された場合、1 バイト目のデータの送信後に通信を終了します。

[“1” になる条件]

- 通信モードで定義する最大バイト数まで送信したが、送信が終了しなかったとき

[“0” になる条件]

- “1” を書き込んだとき

TXETTME フラグ（送信タイミングエラーフラグ）

データ送信中、IEB プロトコルで規定したタイミングでデータの転送が行われなかったとき、TXETTME フラグがセットされます。IEB は、TXETTME フラグをセットして待機状態になります。

[“1” になる条件]

- 通信モードで定義する最大バイト数までのデータ送信中に、タイミングエラーが発生したとき

[“0” になる条件]

- “1” を書き込んだとき

TXEAL フラグ（アービトレーション負けフラグ）

IEB はマスタ通信時にアービトレーションに負けた場合、IEMCR.RN ビットで設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合には、TXEAL フラグをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、TXEAL フラグは “1” にセットされません。TXEAL フラグがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。

［“1” になる条件］

- データ送信中に、アービトレーション負けが発生し送信が終了したとき

［“0” になる条件］

- “1” を書き込んだとき

TXF フラグ（送信正常終了フラグ）

送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。

［“1” になる条件］

- フレーム最大伝送バイト数以下の通信を行い、電文長ビットで指定した送信データバイト数分の送信を終了したとき

［“0” になる条件］

- “1” を書き込んだとき

TXS フラグ（送信開始フラグ）

IEB が、送信開始したことを示します。

［“1” になる条件］

- マスタ送信時、アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき

［“0” になる条件］

- “1” を書き込んだとき

39.2.17　IEBus送信割り込み許可レジスタ（IEIET）

アドレス　0008 A812h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TXSE	TXFE	—	TXEALE	TXETTMEE	TXEROE	TXEACKE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXEACKE	アクノリッジ割り込み許可ビット	0：アクノリッジビット（TXEACK）割り込みを禁止 1：アクノリッジビット（TXEACK）割り込みを許可	R/W
b1	TXEROE	送信フレーム最大伝送バイト数オーバ割り込み許可ビット	0：送信フレーム最大伝送バイト数オーバ（TXERO）割り込みを禁止 1：送信フレーム最大伝送バイト数オーバ（TXERO）割り込みを許可	R/W
b2	TXETTMEE	送信タイミングエラー割り込み許可ビット	0：送信タイミングエラー（TXETTME）割り込みを禁止 1：送信タイミングエラー（TXETTME）割り込みを許可	R/W
b3	TXEALE	アービトレーション負け割り込み許可ビット	0：アービトレーション負け（TXEAL）割り込みを禁止 1：アービトレーション負け（TXEAL）割り込みを許可	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TXFE	送信正常終了割り込み許可ビット	0：送信正常終了（TXF）割り込みを禁止 1：送信正常終了（TXF）割り込みを許可	R/W
b6	TXSE	送信開始割り込み許可ビット	0：送信開始（TXS）割り込みを禁止 1：送信開始（TXS）割り込みを許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

39.2.18　IEBus 受信ステータスレジスタ（IERSR）

アドレス　0008 A814h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXERTME	RXEDLE	RXEPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXEPE	パリティエラーフラグ	0：パリティエラーは発生していない 1：パリティエラーが発生	R/(W)（注1）
b1	RXEDLE	受信フレーム最大伝送バイト数オーバフラグ	0：オーバランエラーは発生していない 1：オーバランエラーが発生	R/(W)（注1）
b2	RXERTME	受信タイミングエラーフラグ	0：受信タイミングエラーは発生していない 1：受信タイミングエラーが発生	R/(W)（注1）
b3	RXEOVE	受信オーバランフラグ	0：受信オーバランエラーは発生していない 1：受信オーバランエラーが発生	R/(W)（注1）
b4	RXEDE	同報受信エラーフラグ	0：同報受信エラーは発生していない 1：同報受信エラーが発生	R/(W)（注1）
b5	RXF	受信正常終了フラグ	0：受信動作が正常に終了していない 1：受信動作が正常に終了	R/(W)（注1）
b6	RXS	受信開始フラグ	0：受信動作を開始していない 1：受信動作を開始	R/(W)（注1）
b7	RXBSY	受信ビジーフラグ	0：受信データバッファが受信可能状態 1：受信データバッファがビジー状態	R/(W)（注1）

注1.　フラグをクリアするための、“1”書き込みのみ可能です。

各要因は、IEIER レジスタに対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。IERSR レジスタは、各ビットに “1” を書き込むことによりクリアされます。

RXEPE フラグ（パリティエラーフラグ）

データフィールド受信中に、パリティエラーが発生したことを示します。データフィールド受信前にパリティエラーが発生した場合、IEB は待機状態になります。RXEPE フラグはセットされません。データフィールド受信中にパリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、RXEPE はまだセットされません。パリティエラーが発生すると、IEB はアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行いますが、再受信中に、パリティエラーが解消され、正常に受信が行われると、RXEPE フラグはセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になった時に、パリティエラーが解消されていなかった場合、RXEPE フラグはセットされます。同報受信の場合、データフィールド受信中にパリティエラーが発生すると、IEB は RXEPE フラグをセットし、待機状態になります。このフラグは、受信開始フラグ（RXS）がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、フラグはセットされません。

［“1” になる条件］

- フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき

［“0” になる条件］

- “1” を書き込んだとき

RXEDLE フラグ（受信フレーム最大伝送バイト数オーバフラグ）

データ受信時に、パリティエラーかオーバランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で、受信が終了しなかったか、電文長の値が、最大伝送バイト数より大きい値であった（注 1）ため、受信が終了しなかったことを示します。IEB は RXEDLE フラグをセットして待機状態になります。このフラグは、受信開始フラグ（RXS）がセットされてはじめて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このときフラグはセットされません。

注 1.　電文長フィールドに設定された電文長の値が最大伝送数より大きい値を受信した場合、1 バイト目のデータの受信後に通信を終了します。

[“1” になる条件]

- 通信モードで定義される最大バイト数の受信終了時に、電文長の値までの受信が終了しなかったことを示します

[“0” になる条件]

- “1” を書き込んだとき

RXERTME フラグ（受信タイミングエラーフラグ）

データ受信中、IEB プロトコルで規定したタイミングで正しくデータを受信できなかった場合、RXERTME フラグがセットされます。IEB は、RXERTME フラグをセットして待機状態になります。このフラグは、受信開始フラグ（RXS）がセットされてはじめて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、RXERTME フラグはセットされません。

[“1” になる条件]

- 通信モードで定義する最大バイト数までのデータ受信中に、タイミングエラーが発生したことを示します

[“0” になる条件]

- “1” を書き込んだとき

RXEOVF フラグ（受信オーバランフラグ）

データ受信中のオーバランの発生を示すフラグです。

IEB は、RXBSY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で、次のデータ受信を開始すると、RXEOVF フラグをセットします。このとき IEB はオーバランエラーが発生したと判断し、通信相手に NAK を返送します。この後、通信相手はフレーム最大伝送バイト数に達するまで、再送を行いますが、RXBSY フラグがセットされたままだと、IEB は NAK を送信し続けます。RXBSY フラグがクリアされると、IEB は ACK を送信し次のデータを取り込みます。同報受信の場合、データ受信開始時に、RXBSY ビットがセットされていると、待機状態に入ります。このフラグは、受信開始フラグ（RXS）がセットされてはじめて有効になります。

[“1” になる条件]

- RXBSY フラグがクリアされていない状態で、次のデータを受信したとき

[“0” になる条件]

- “1” を書き込んだとき

RXEDE フラグ（同報受信エラーフラグ）

同報受信のコントロールフィールド受信時、受信バッファが受信可能状態でない（IECTR.RE ビットが “1” にセットされていない状態か、IERSR.RXBSY フラグがセットされている状態）ため、データを受信できなかったことを示します。RXEDE フラグは IECTR.DEE ビットが “1” のとき、機能します。

［“1” になる条件］

- 同報受信でデータを受信できなかったとき

［“0” になる条件］

- “1” を書き込んだとき

RXF フラグ（受信正常終了フラグ）

受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。

［“1” になる条件］

- 電文長ビットで指定した受信データバイト数分の受信を終了したとき

［“0” になる条件］

- “1” を書き込んだとき

RXS フラグ（受信開始フラグ）

IEB が受信開始したことを示します。

［“1” になる条件］

- スレーブ受信時、マスタユニットから、電文長フィールドまで正しく受信したとき

［“0” になる条件］

- “1” を書き込んだとき

RXBSY フラグ（受信ビジーフラグ）

受信データバッファ（IERB001 ～ IERB032）に受信したデータが格納されていることを示します。受信データをすべて読み出した後クリアしてください。RXBSY フラグがセットされている間は、次の受信データを受信することはできません。

［“1” になる条件］

- 受信データが受信データバッファにすべて書き込まれたとき

［“0” になる条件］

- “1” を書き込んだとき

39.2.19　IEBus 受信割り込み許可レジスタ（IEIER）

アドレス　0008 A815h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXBSYE	RXSE	RXFE	RXEDEE	RXEOVEE	RXERTMEE	RXEDLEE	RXEPEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXEPEE	パリティエラー割り込み許可ビット	0：パリティエラー（RXEPE）割り込みを禁止 1：パリティエラー（RXEPE）割り込みを許可	R/W
b1	RXEDLEE	受信フレーム最大伝送バイト数オーバ割り込み許可ビット	0：受信フレーム最大伝送バイト数オーバ（RXEDLE）割り込みを禁止 1：受信フレーム最大伝送バイト数オーバ（RXEDLE）割り込みを許可	R/W
b2	RXERTMEE	受信タイミングエラー割り込み許可ビット	0：受信タイミングエラー（RXERTME）割り込みを禁止 1：受信タイミングエラー（RXERTME）割り込みを許可	R/W
b3	RXEOVEE	受信オーバラン割り込み許可ビット	0：オーバラン制御フラグ（RXEOVE）割り込みを禁止 1：オーバラン制御フラグ（RXEOVE）割り込みを許可	R/W
b4	RXEDEE	同報受信エラー割り込み許可ビット	0：同報受信エラー（RXEDE）割り込みを禁止 1：同報受信エラー（RXEDE）割り込みを許可	R/W
b5	RXFE	受信正常終了割り込み許可ビット	0：受信正常終了（RXF）割り込みを禁止 1：受信正常終了（RXF）割り込みを許可	R/W
b6	RXSE	受信開始割り込み許可ビット	0：受信開始（RXS）割り込みを禁止 1：受信開始（RXS）割り込みを許可	R/W
b7	RXBSYE	受信ビジー割り込み許可ビット	0：受信ビジー（RXBSY）割り込みを禁止 1：受信ビジー（RXBSY）割り込みを許可	R/W

39.2.20　IEBus クロック選択レジスタ（IECKSR）

アドレス　0008 A818h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLT	FCKS[1:0]		CKS3	SRSTP	CKS[2:0]		
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	入力クロック選択ビット （注1）	b2 b1 b0 ０ ０ ０：設定しないでください ０ ０ １：周辺クロック（IECLK）の2分周クロックを使用します （IECLK＝12MHz、12.58MHz） ０ １ ０：周辺クロック（IECLK）の3分周クロックを使用します （IECLK＝18MHz、18.87MHz） ０ １ １：周辺クロック（IECLK）の4分周クロックを使用します （IECLK＝24MHz、25.16MHz） １ ０ ０：周辺クロック（IECLK）の5分周クロックを使用します （IECLK＝30MHz、31.45MHz） １ ０ １：周辺クロック（IECLK）の6分周クロックを使用します （IECLK＝36MHz、37.74MHz） １ １ ０：周辺クロック（IECLK）の7分周クロックを使用します （IECLK＝42MHz、44.03MHz） １ １ １：設定しないでください	R/W
b3	SRSTP	ソフトウェアリセットビット	0：ソフトウェアリセットをネゲート 1：ソフトウェアリセットをアサート	R/W
b4	CKS3	入力クロック選択3ビット （注1）（注2）	0：周辺クロック（IECLK）を使用 1：設定しないでください	R/W
b6-b5	FCKS[1:0]	デジタルフィルタクロック選択ビット（注1）	b6 b5 ０ ０：周辺クロック（IECLK）の1/1のクロックを使用します ０ １：周辺クロック（IECLK）の1/2のクロックを使用します １ ０：周辺クロック（IECLK）の1/3のクロックを使用します １ １：周辺クロック（IECLK）の1/4のクロックを使用します	R/W
b7	FLT	デジタルフィルタ許可ビット （注1）	0：デジタルフィルタ機能禁止 1：デジタルフィルタ機能許可	R/W

注1.　IEBus送受信動作中はFLT、FCKS[1:0]、CKS3、CKS[2:0]の各ビットの設定を変更しないでください。IECKSRレジスタは図39.6の初期設定フローに従って設定してください。送受信動作中に行った場合の送受信状態は保障されません。

注2.　MSTPCRC.MSTPC18ビットを“1”に設定時、IECKSRレジスタ以外へのクロック供給が停止されます。低消費電力モード以外でIEBを使用するときは、MSTPCRC.MSTPC18ビットに“0”を設定してモジュールストップモードを解除してください。

CKS[2:0] ビット（入力クロック選択ビット）

IEB で使用するクロックの分周を選択します。

デジタルフィルタ機能使用時、デジタルフィルタクロックが IEB で使用するクロックの整数倍となるよう、以下の分周設定としてください。

- CKS[2:0] ビットが 001b 設定時、FCKS[1:0] ビットの 00b と 01b を設定可能
- CKS[2:0] ビットが 010b 設定時、FCKS[1:0] ビットの 00b と 10b を設定可能
- CKS[2:0] ビットが 011b 設定時、FCKS[1:0] ビットの 00b と 01b と 11b を設定可能
- CKS[2:0] ビットが 100b 設定時、FCKS[1:0] ビットの 00b を設定可能
- CKS[2:0] ビットが 101b 設定時、FCKS[1:0] ビットの 00b と 01b と 10b を設定可能
- CKS[2:0] ビットが 110b 設定時、FCKS[1:0] ビットの 00b を設定可能

SRSTP ビット（ソフトウェアリセットビット）

RES# 端子リセットが実行された場合、ソフトウェアリセットが設定され、IECKSR レジスタ以外のすべてレジスタがリセットされます。

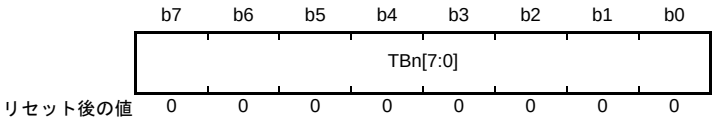
RES# 端子リセット後は、ソフトウェアリセットをネゲートしてください。

ソフトウェアリセットでのアサート状態では、IECKSR レジスタ以外のレジスタにリセットが実行されているため、IECKSR レジスタ以外のレジスタへのアクセスをしないでください。

また、図 39.6 の初期設定フローの方法以外で FLT ビット、FCKS[1:0] ビット、CKS3 ビット、CKS[2:0] ビットの設定を変更した場合、誤動作する可能性があるため、ソフトウェアリセットでのアサートおよびネゲートを実施してください。

39.2.21　IEBus 送信データバッファレジスタ 001 ～ 032（IETB001 ～ IETB032）

アドレス　0008 A900h ～ 0008 A91Fh



n = 001 ～ 032

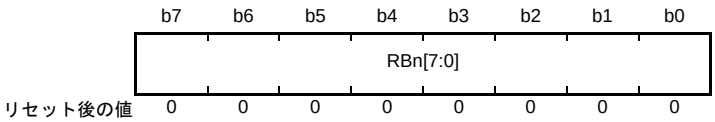
ビット	シンボル	ビット名	機能	R/W
b7-b0	TBn[7:0]	IEBus送信データバッファ	TB001～TB032は、マスタ送信時にデータフィールドで送信するデータを書き込みます。TB001が先頭データ1バイトで、TB002、TB003…の順に送信順に書き込みます。TB032が32バイト送信時の最終データとなります	W(注1)

注1.　マスタまたはスレーブ送信中（IEFLG.MRQビット＝1またはIEFLG.SRQ＝1）のときは、書き込み禁止ですので、アクセスしないでください。

IETB001 ～ IETB032 レジスタは、マスタ送信時に送信するデータを書き込む 32 バイト（8×32）のバッファです。

39.2.22　IEBus 受信データバッファレジスタ 001 ～ 032（IERB001 ～ IERB032）

アドレス　0008 AA00h ～ 0008 AA1Fh



n = 001 ～ 032

ビット	シンボル	ビット名	機能	R/W
b7-b0	RBn[7:0]	IEBus受信データバッファ	RB001～RB032は、IEBus受信ステータスレジスタ（IERSR）のRXBSYビットが“1”のとき、読み出すことができます。RB001～RB032で読み出すデータはスレーブ受信時のデータフィールドの値になります。受信時のデータはRB001が先頭データ1バイトで、RB002、RB003…の順に書き込まれます。RB032が32バイト受信時の最終データとなります	R(注1)

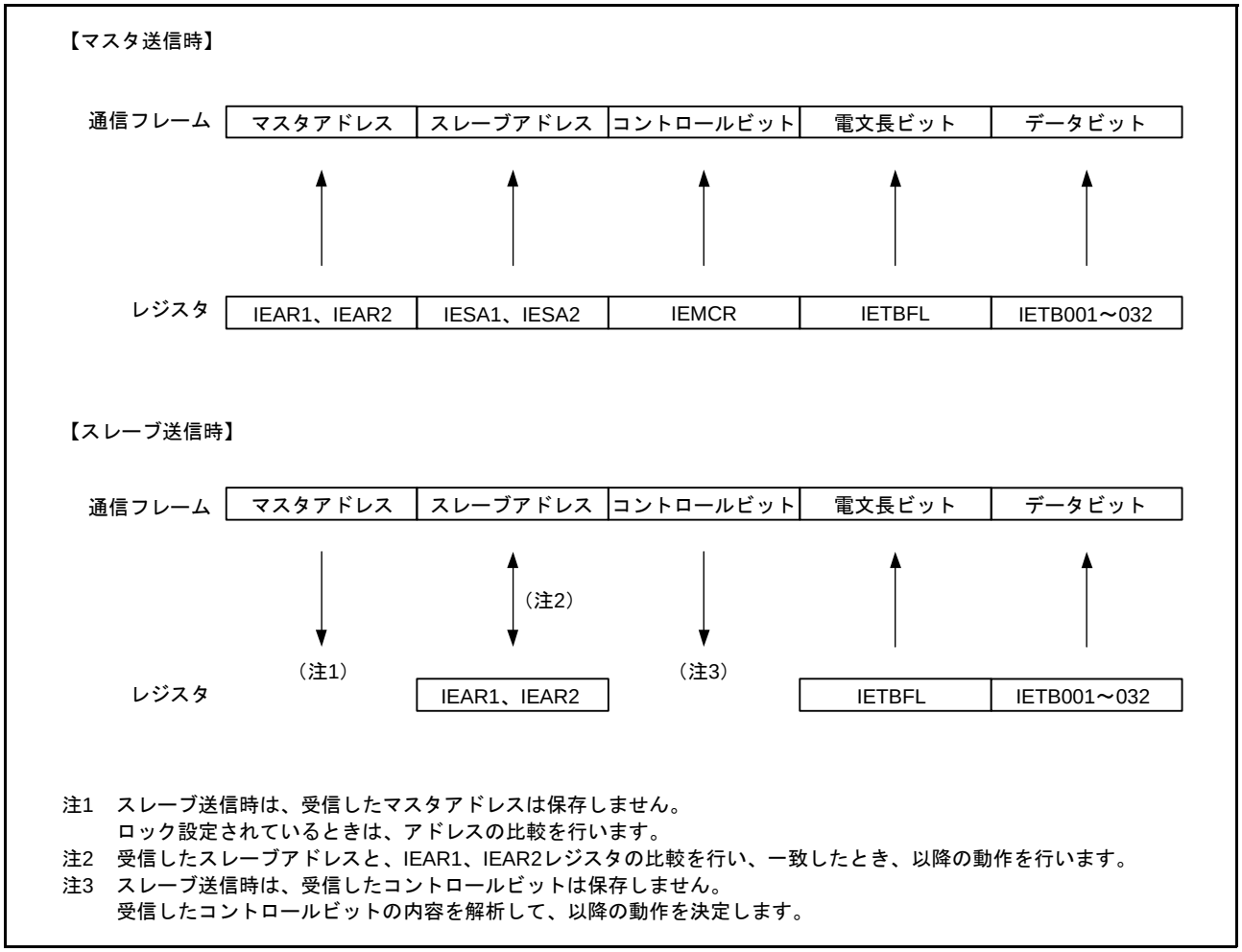
注1.　マスタ受信中（IEMCR.CTL[3] = 0 のマスタ通信要求発行後、IEFLG.MRQ = 1 かつIERSR.RXBSY = 0）またはスレーブ受信中（IEFLG.SRE＝1かつIERSR.RXBSY＝0）のときは、読み出し禁止ですので、アクセスしないでください。（読み出し値は不定）

IERB001 ～ IERB032 レジスタはスレーブ受信時に受信するデータを格納する 32 バイト（8×32）のバッファです。

39.3　データフォーマット

39.3.1　　送信フォーマット

図 39.4 に IEBus データ送信時の伝送フォーマットと各レジスタの関係を示します。



注1　スレーブ送信時は、受信したマスタアドレスは保存しません。
　　ロック設定されているときは、アドレスの比較を行います。
注2　受信したスレーブアドレスと、IEAR1、IEAR2レジスタの比較を行い、一致したとき、以降の動作を行います。
注3　スレーブ送信時は、受信したコントロールビットは保存しません。
　　受信したコントロールビットの内容を解析して、以降の動作を決定します。

図 39.4　　送信時の伝送信号フォーマットと各レジスタの関係

39.3.2　受信フォーマット

図 39.5 に IEBus データ受信時の伝送フォーマットと各レジスタの関係を示します。

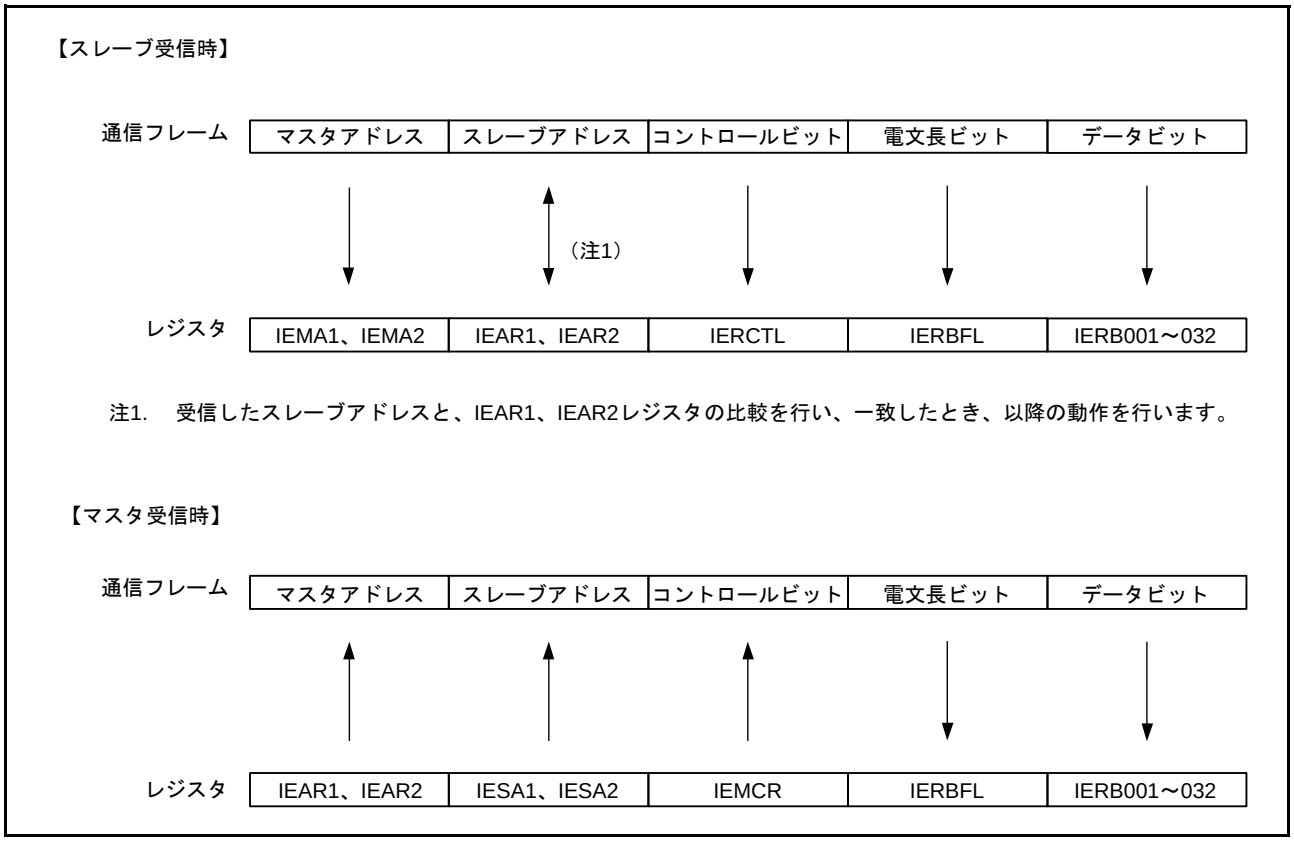
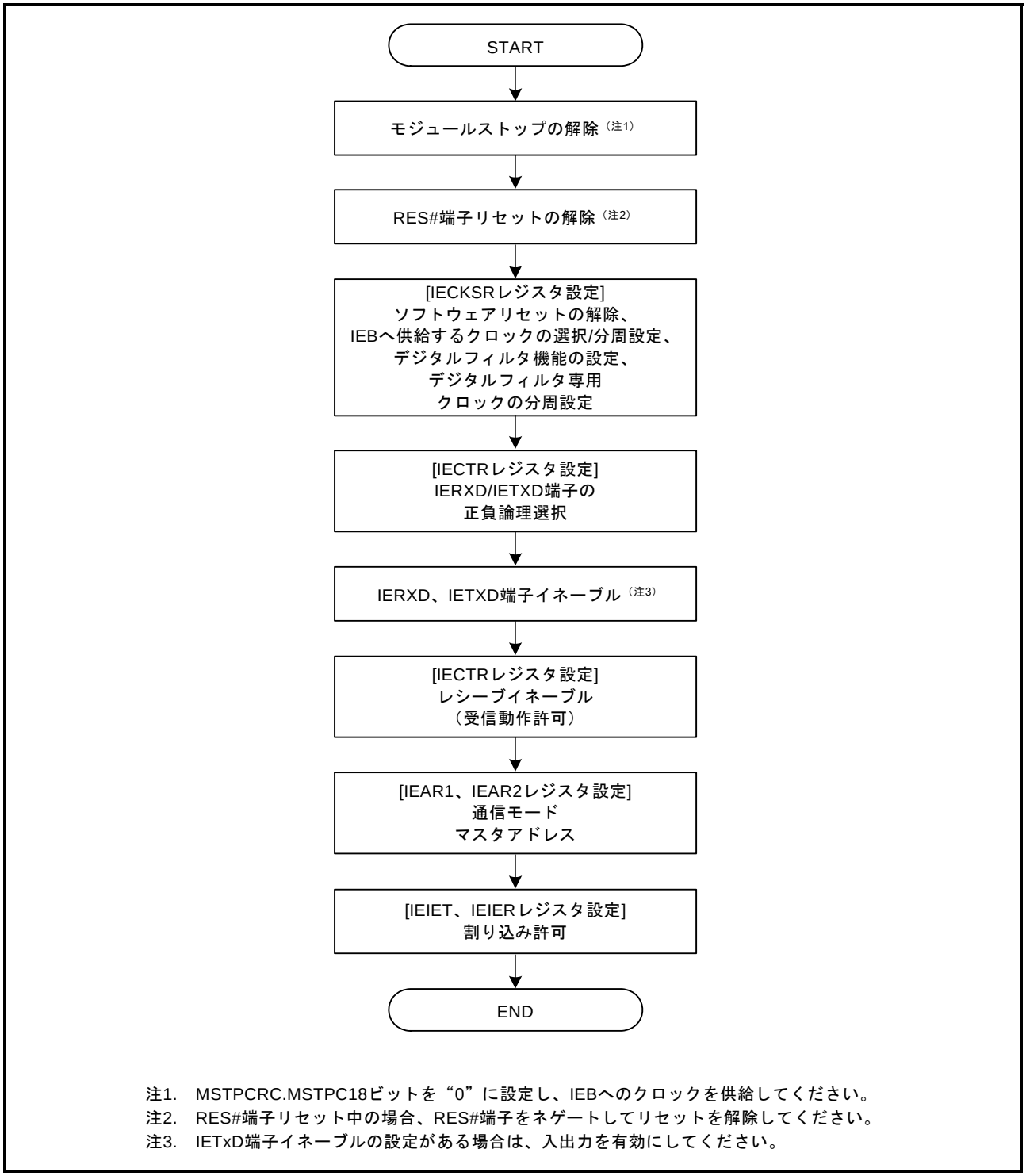


図 39.5　受信時の伝送信号フォーマットと各レジスタの関係

39.4　制御フロー

39.4.1　初期設定

図 39.6 に初期設定フローを示します。



注1.　MSTPCRC.MSTPC18ビットを“0”に設定し、IEBへのクロックを供給してください。
注2.　RES#端子リセット中の場合、RES#端子をネゲートしてリセットを解除してください。
注3.　IETxD端子イネーブルの設定がある場合は、入出力を有効にしてください。

図 39.6　初期設定フロー

39.4.2　マスタ送信

図 39.7 にマスタ送信フローを示します。

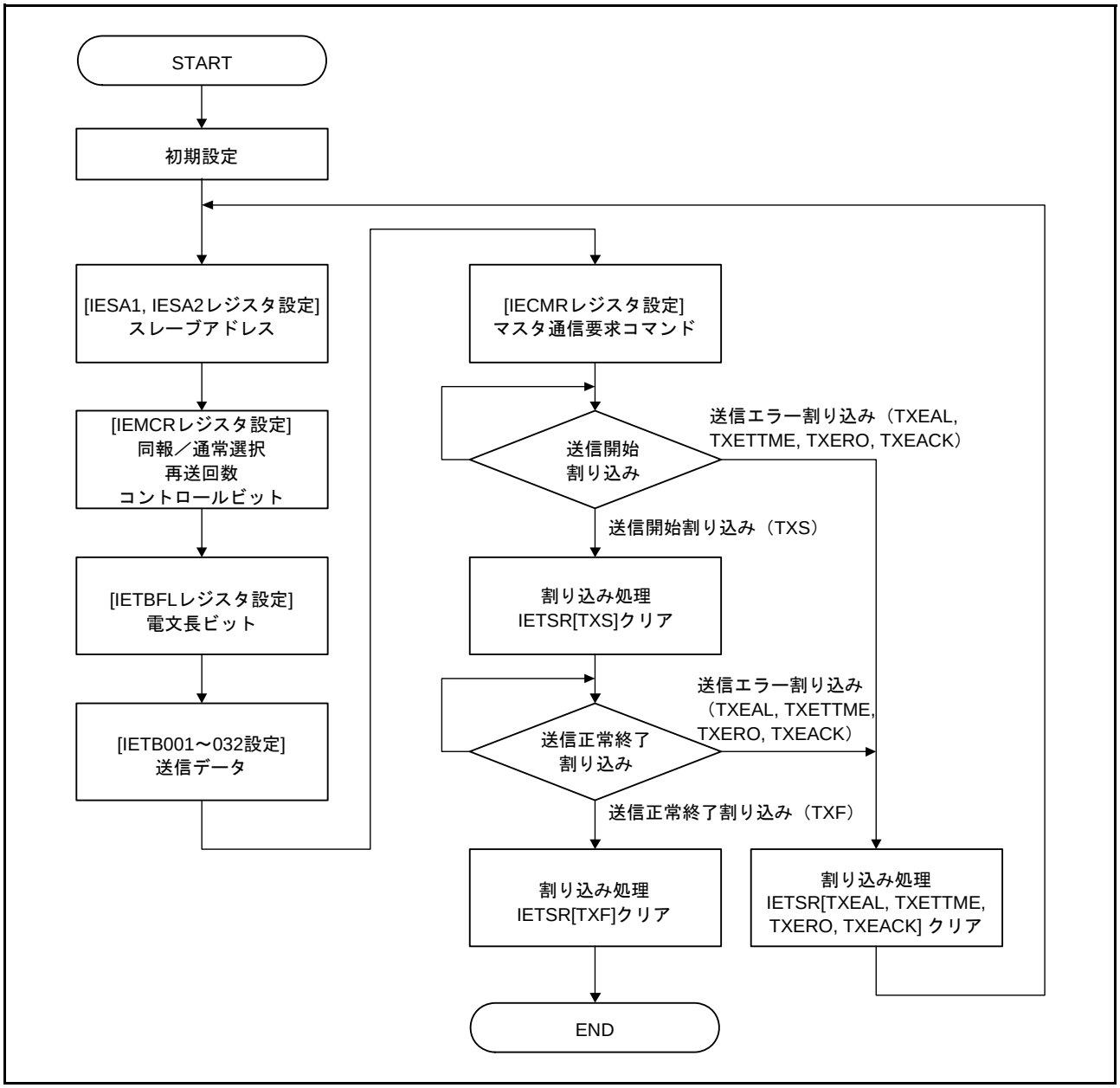


図 39.7　マスタ送信フロー

39.4.3　スレーブ受信

図 39.8 にスレーブ受信フローを示します。

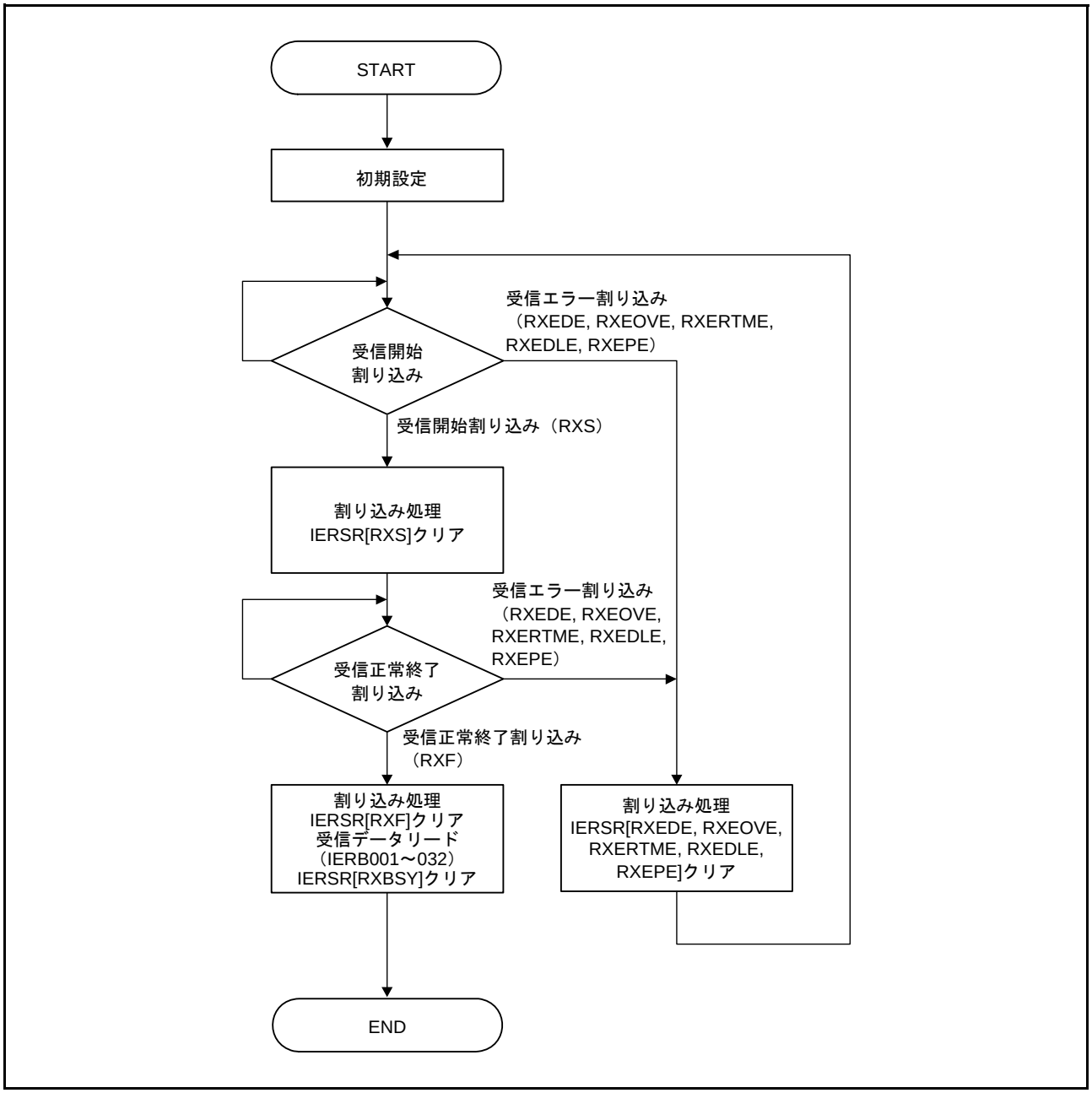


図 39.8　スレーブ受信フロー

39.4.4　マスタ受信

図 39.9 にマスタ受信フローを示します。

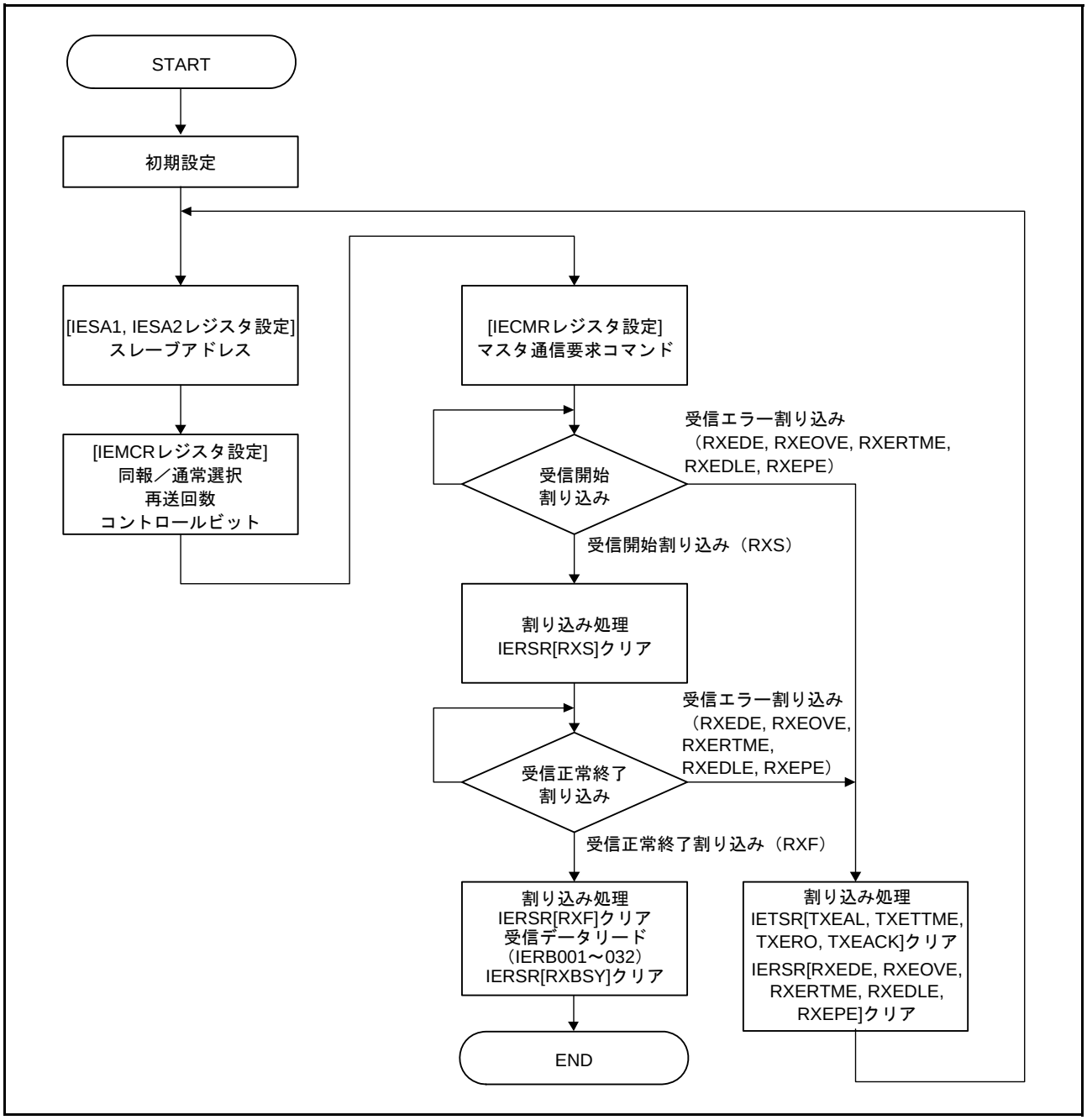


図 39.9　マスタ受信フロー

39.4.5　スレーブ送信

図 39.10 にスレーブ送信を示します。

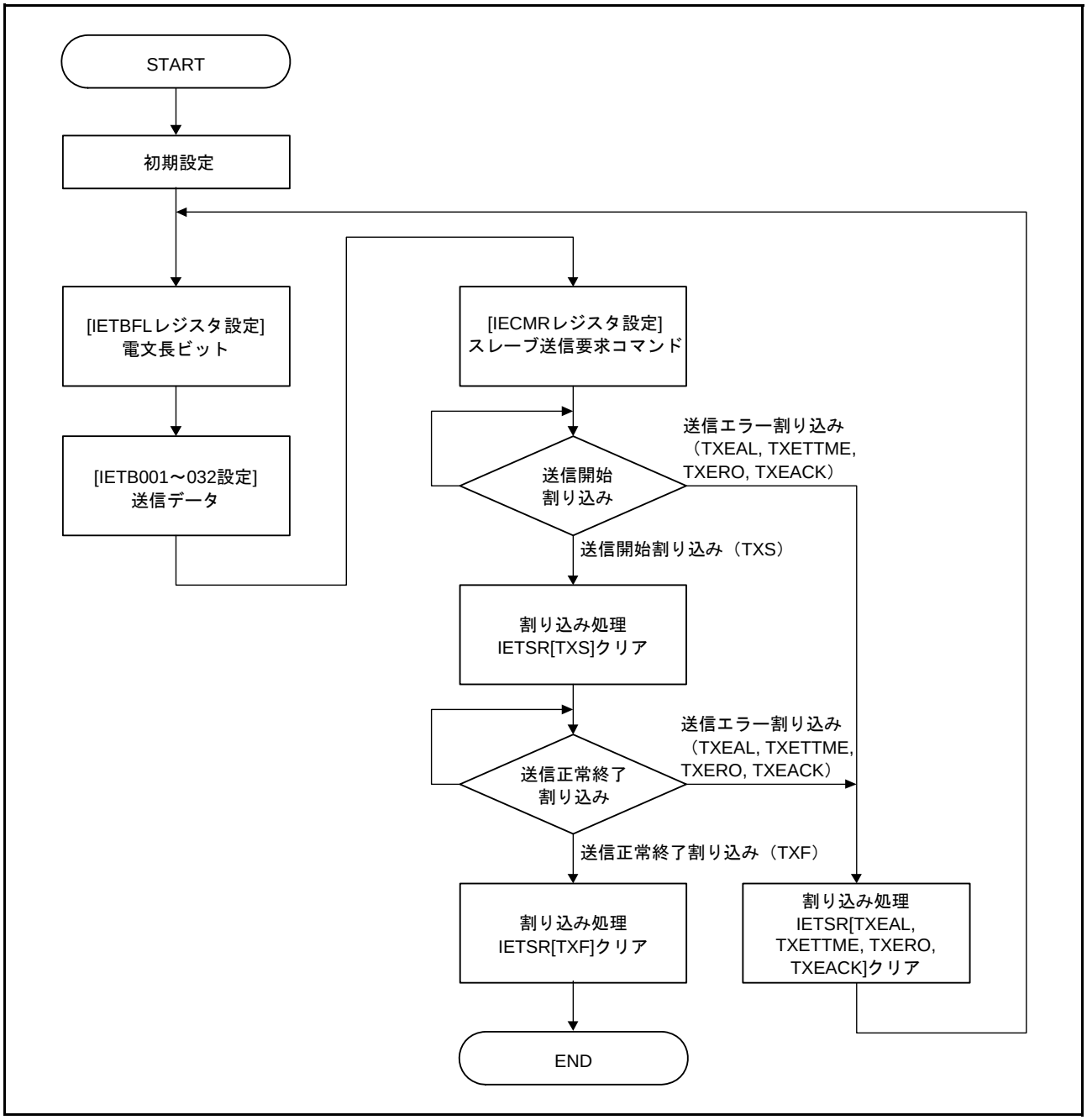


図 39.10　スレーブ送信フロー

39.5　動作タイミング

39.5.1　　マスタ送信

図 39.11 にマスタ送信動作タイミングを示します。

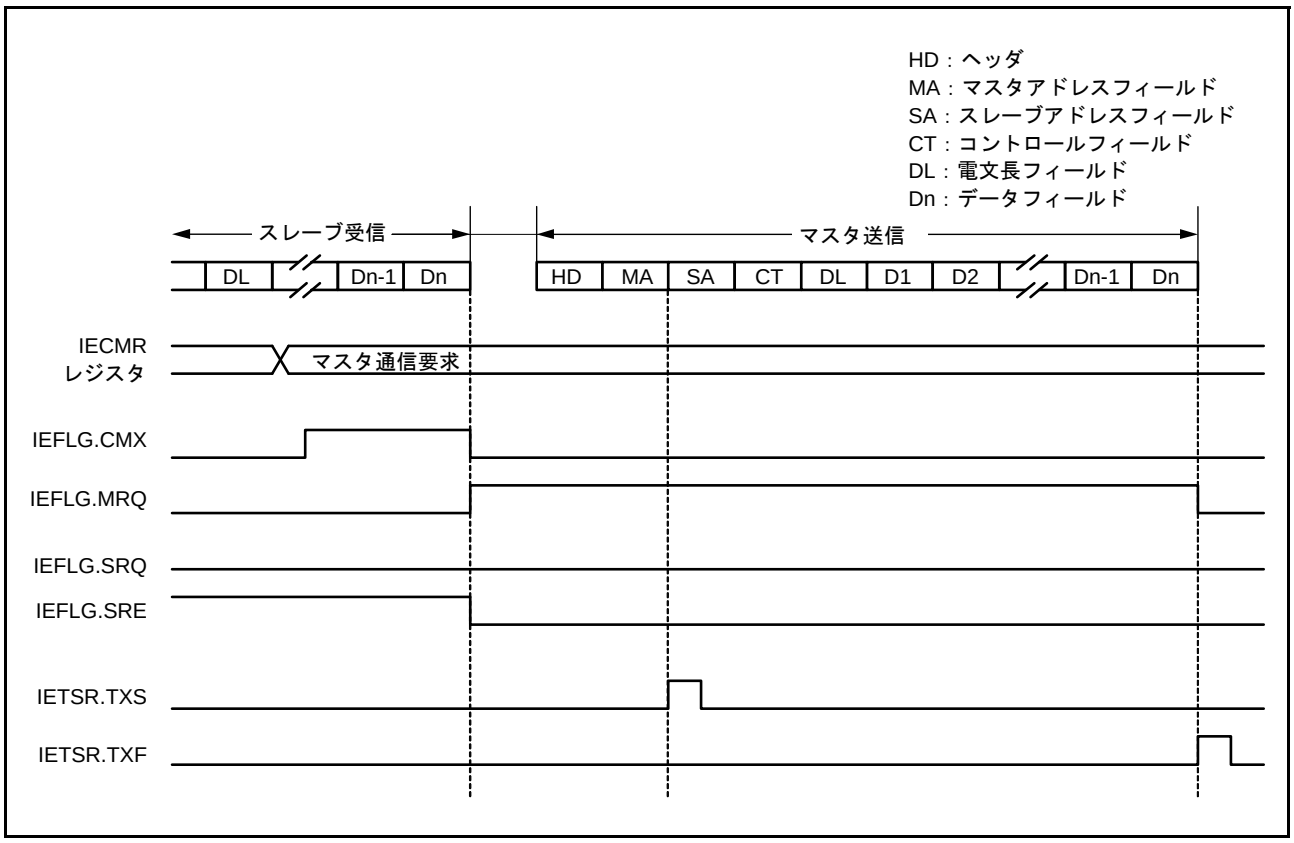


図 39.11　マスタ送信動作タイミング

39.5.2　スレーブ受信

図 39.12 にスレーブ受信動作タイミングを示します。

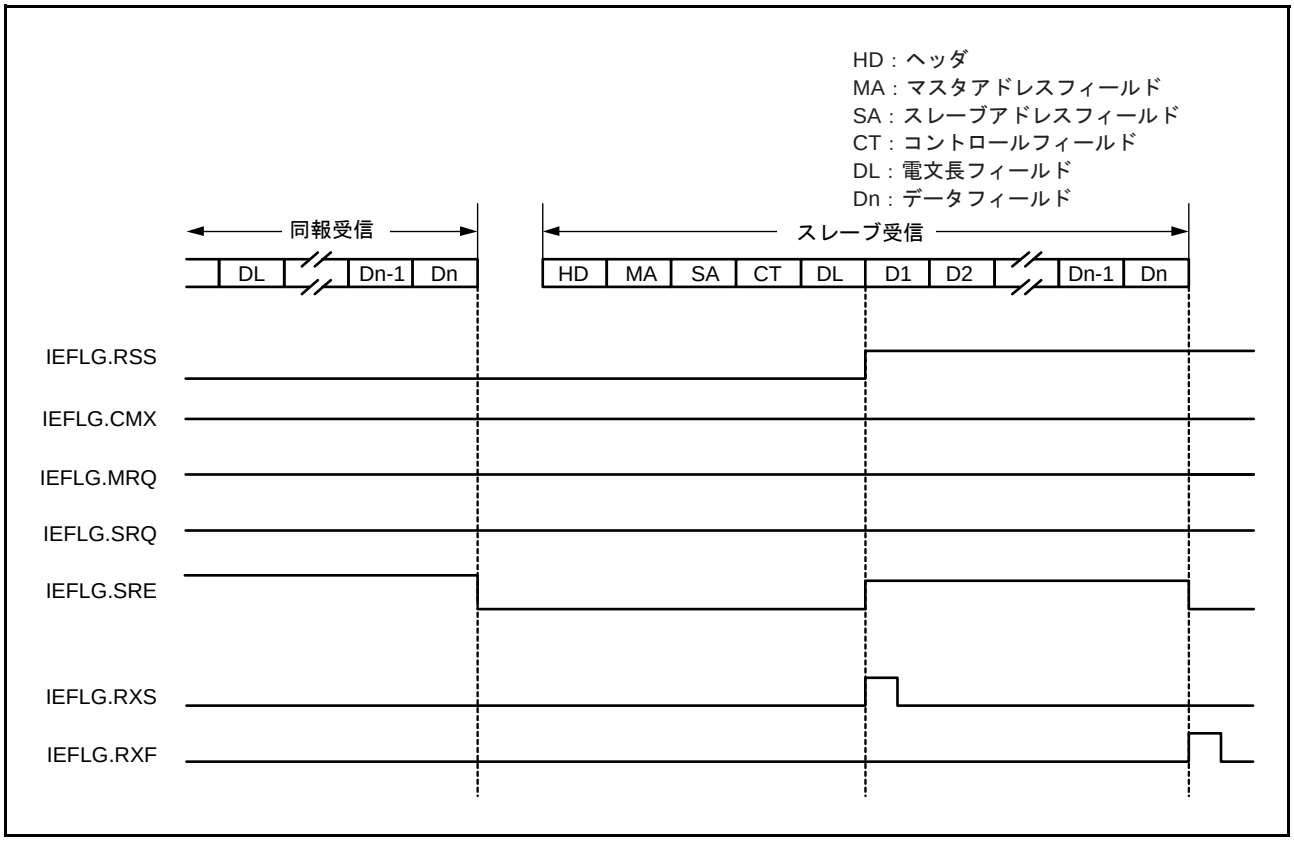


図 39.12　スレーブ受信動作タイミング

39.5.3　マスタ受信

図 39.13 にマスタ受信動作タイミングを示します。

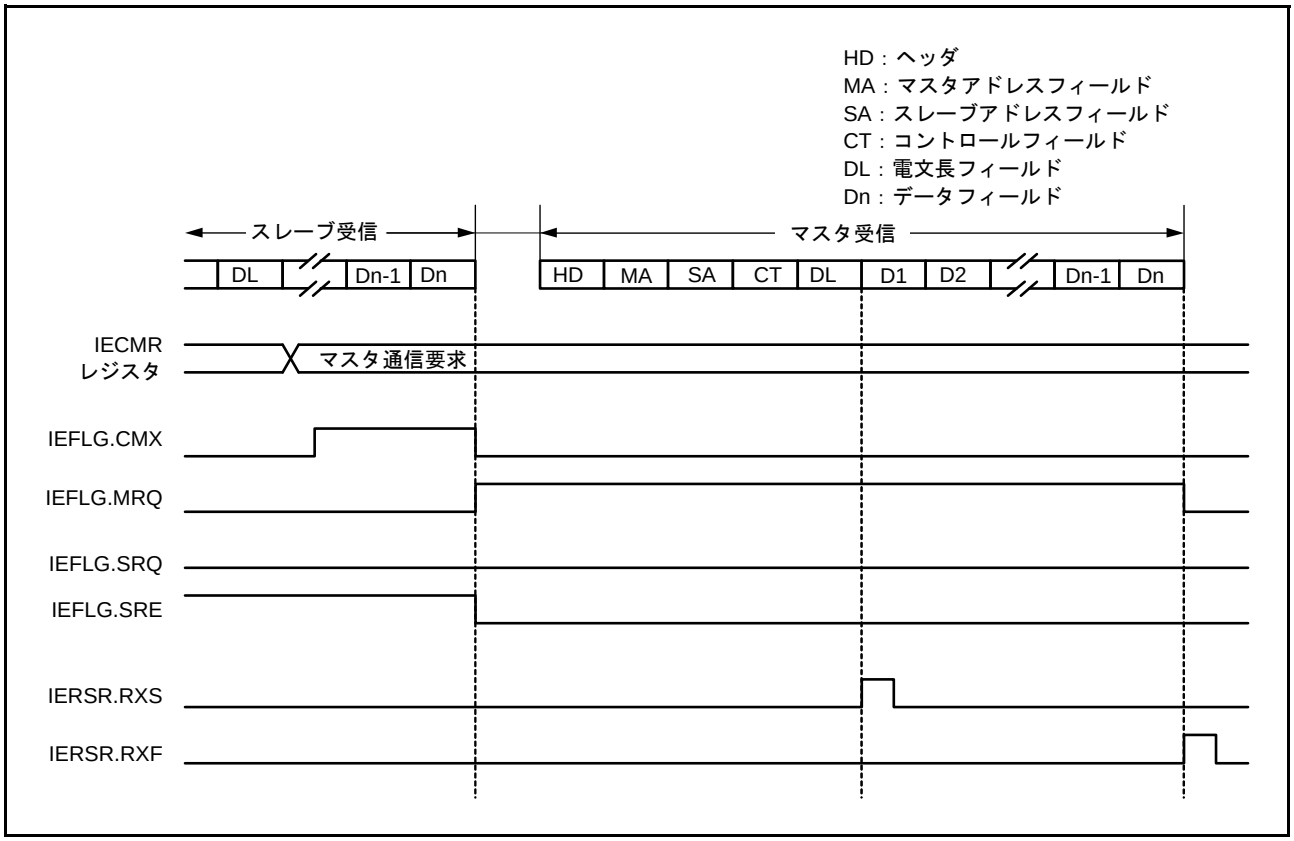


図 39.13　マスタ受信動作タイミング

39.5.4　スレーブ送信

図 39.14 にスレーブ送信動作タイミングを示します。

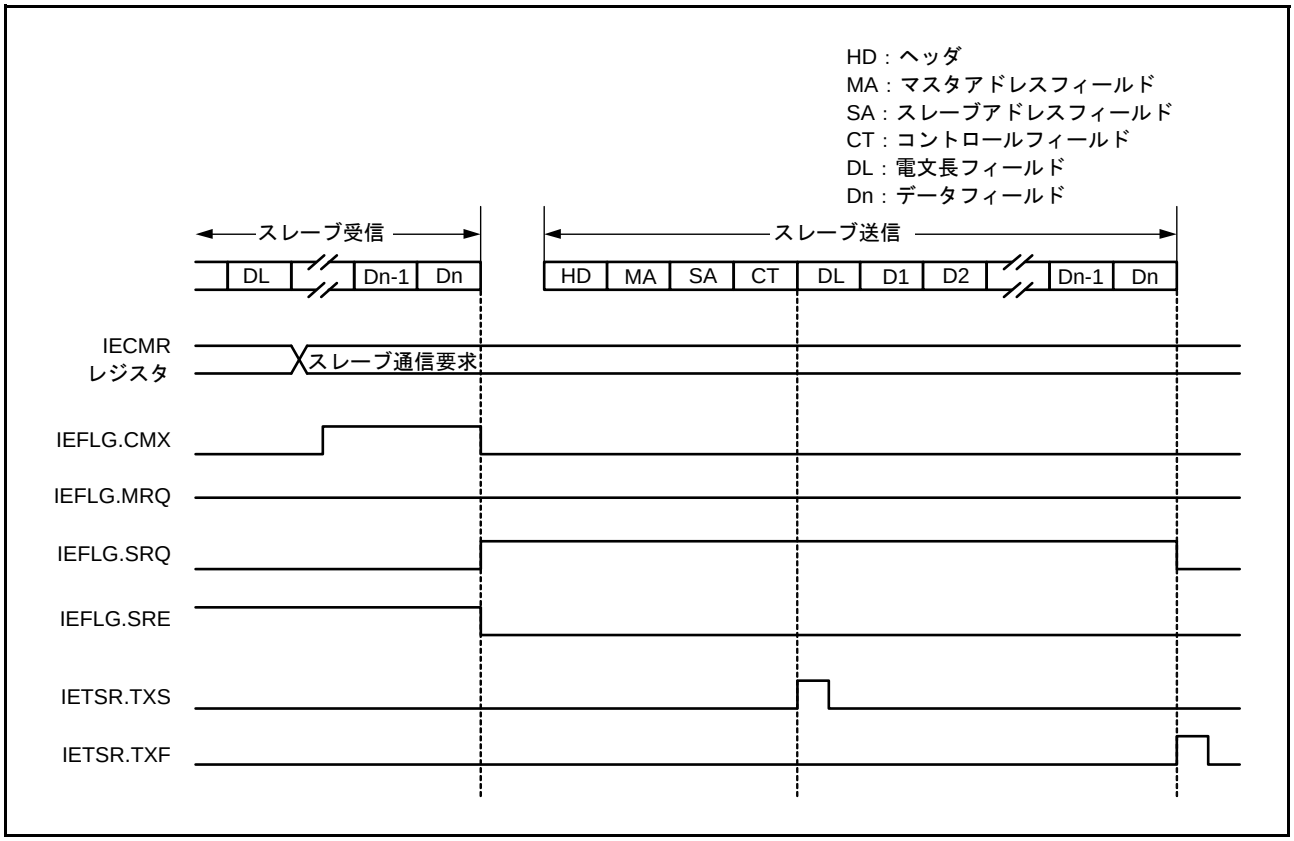


図 39.14　スレーブ送信動作タイミング

39.6　割り込み要因

IEB の割り込み（IEBINT）には、送信開始（TXS）、送信正常終了（TXF）、アービトレーション負け（TXEAL）、送信タイミングエラー（TXETTME）、送信フレーム最大伝送バイト数オーバ（TXERO）、アクノリッジビット（TXEACK）、受信ビジー（RXBSY）、受信開始（RXS）、受信正常終了（RXF）、同報受信エラー（RXEDE）、受信オーバランフラグ（RXEOVE）、受信タイミングエラー（RXERTME）、受信フレーム最大伝送バイト数オーバ（RXEDLE）、パリティエラー（RXEPE）があります。

各要因は、IEBus 送信割り込み許可レジスタ（IEIET）、IEBus 受信割り込み許可レジスタ（IEIER）に対応したビットがあり、割り込みの禁止 / 許可を設定することができます。また、IEBus 送信ステータスレジスタ（IETSR）、IEBus 受信ステータスレジスタ（IERSR）に対応したステータスフラグがあり、ステータスフラグを読み出すことで要因の判定を行うことができます。

図 39.15 に IEB の割り込み要因の関係を示します。

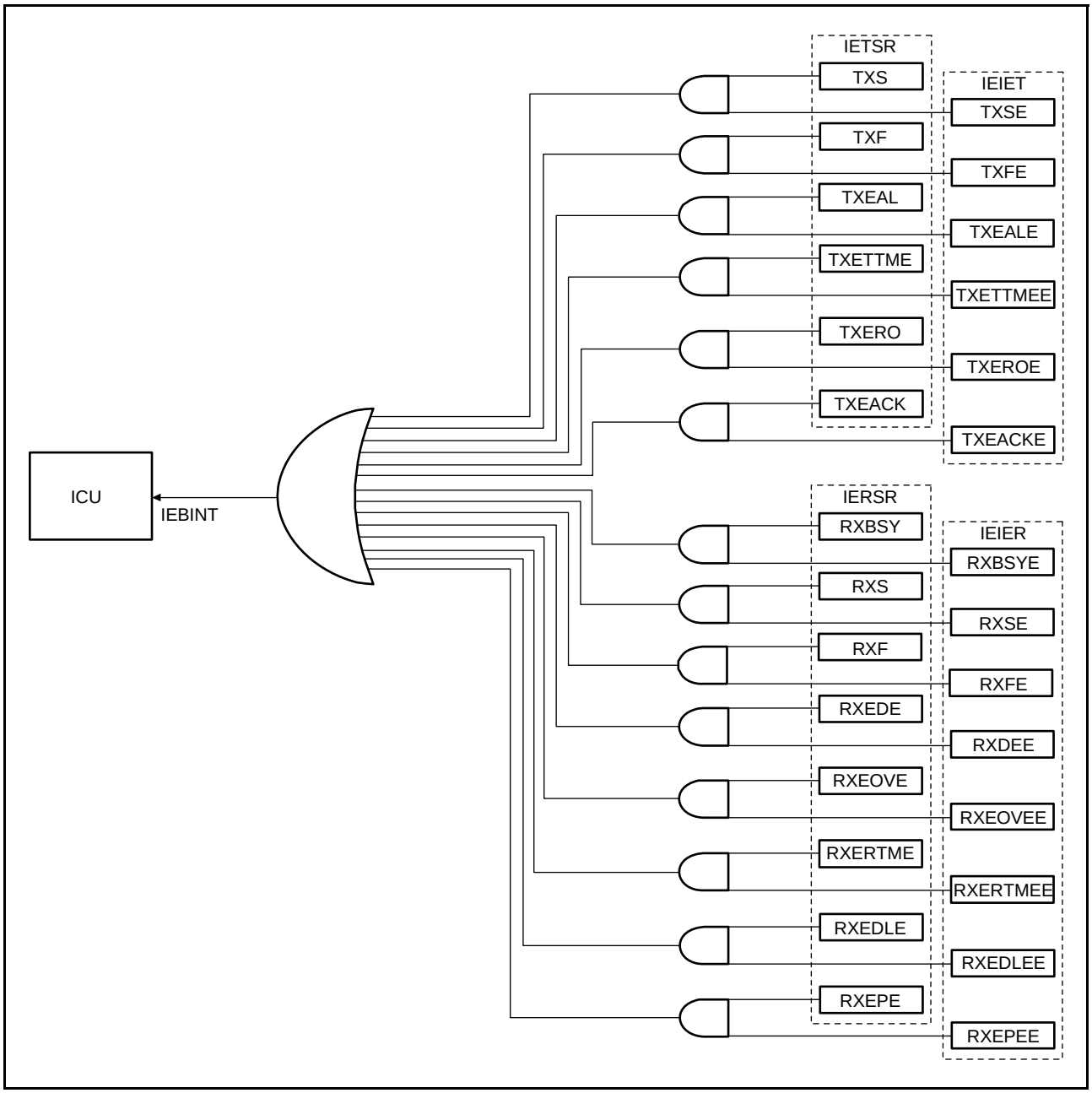


図 39.15　IEB の割り込み要因の関係

39.7　使用上の注意事項

39.7.1　最大伝送バイト長内で通信が終了しなかったときの注意事項

(1)　データ送信

データ送信時に、受信ユニットから NAK を受信したため、通信モードで定義される最大バイト長まで送信を行い、最大バイト長内で送信が終了しなかった場合、IETSR レジスタのエラーフラグをセットして待機状態になります。

電文長の値のバイト数まで送信する間にタイミングエラーが発生した場合は、IETSR.TXETTME フラグをセットして待機状態になります。

通信モードで定義する最大バイト数で送信したバイト数が、電文長の値のバイト数で ACK を受信した場合は、IETSR.TXERO フラグと IETSR.TXEACK フラグはセットされず、IETSR.TXF フラグがセットされます。NAK を受信した場合は、IETSR.TXERO フラグと IETSR.TXEACK フラグがセットされます。

通信モードの定義する最大バイト数で送信したバイト数が電文長の値のバイト数未満で ACK を受信した場合、IETSR.TXERO フラグがセットされます。NAK を受信した場合は IETSR.TXERO フラグと IETSR.TXEACK フラグがセットされます。

図 39.16 に最大バイト長内で送信が終了しなかったときの動作タイミングを示します。

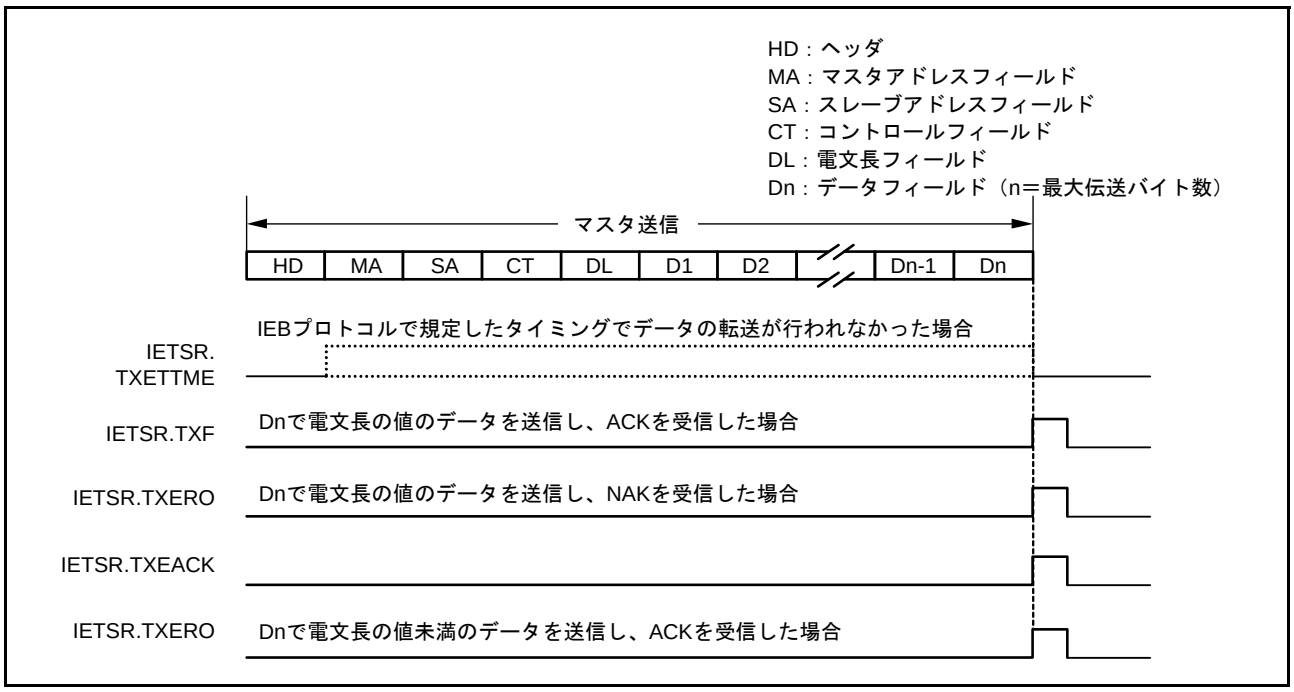


図 39.16　最大バイト長内で送信が終了しなかったときの動作タイミング

(2)　データ受信

データ受信時に、パリティエラーかオーバランエラーが発生し再送による受信を行ったため、通信モードで定義される最大バイト長内で受信が終了しなかった場合、IERSR レジスタのエラーフラグをセットして待機状態になります。

電文長の値のバイト数まで受信する間にタイミングエラーが発生した場合、IERSR.RXERTME フラグをセットし、待機状態になります。

通信モードで定義する最大バイト数で受信したバイト数が電文長の値のバイト数であり、パリティエラーがない場合、IERSR.RXEDLE フラグと IERSR.RXEPE フラグはセットされず、IERSR.RXF フラグがセットされます。パリティエラーが発生した場合、IERSR.RXEDLE フラグと IERSR.RXEPE フラグがセットされます。

通信モードで定義する最大バイト数で受信したバイト数が電文長の値のバイト数未満であり、パリティエラーがない場合、IERSR.RXEDLE フラグがセットされますが、パリティエラーが発生した場合は、IERSR.RXEDLE フラグと IERSR.RXEPE フラグがセットされます。

IERSR.RXEDLE フラグがセットされた場合、受信バッファに正常にデータが書き込まれていないため、受信データは破棄してください。

図 39.17 に最大バイト長内で受信が終了しなかったときの動作タイミングを示します。

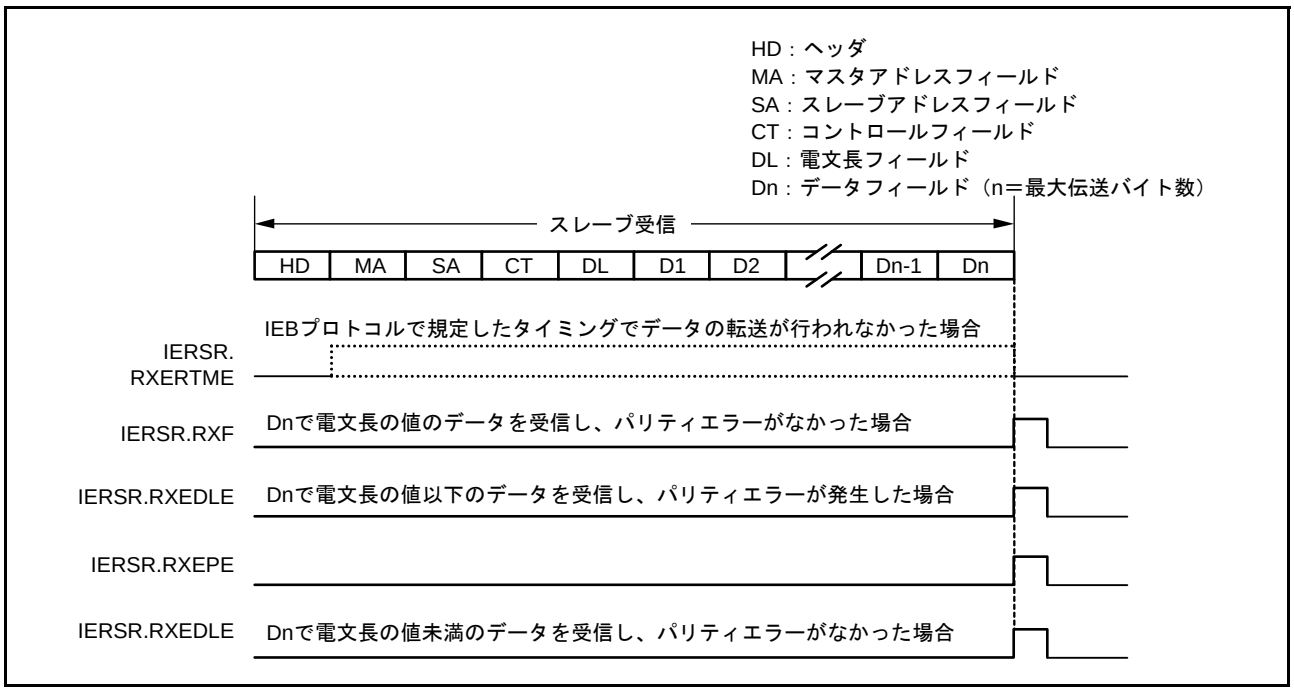


図 39.17　最大バイト長内で受信が終了しなかったときの動作タイミング

39.7.2　電文長ビットの設定が最大バイト数より大きい値を設定した場合の注意事項

RX63N グループ、RX631 グループでは、電文長ビットの設定は 1 フレームの最大伝送バイト数より大きい値は設定できません。

誤って設定された場合の動作を以下に示します。

(1)　データ送信

データ送信時に、IEBus 送信電文長レジスタ（IETBFL）に最大伝送バイト数より大きい値が設定された場合、1 バイト目のデータ送信後、送信を終了し、IEBus 送信ステータスレジスタ（IETSR）の送信フレーム最大伝送バイト数オーバ（TXERO）フラグをセットします。

図 39.18 に送信電文長に最大伝送バイト数より大きい値を設定したときの動作タイミングを示します。

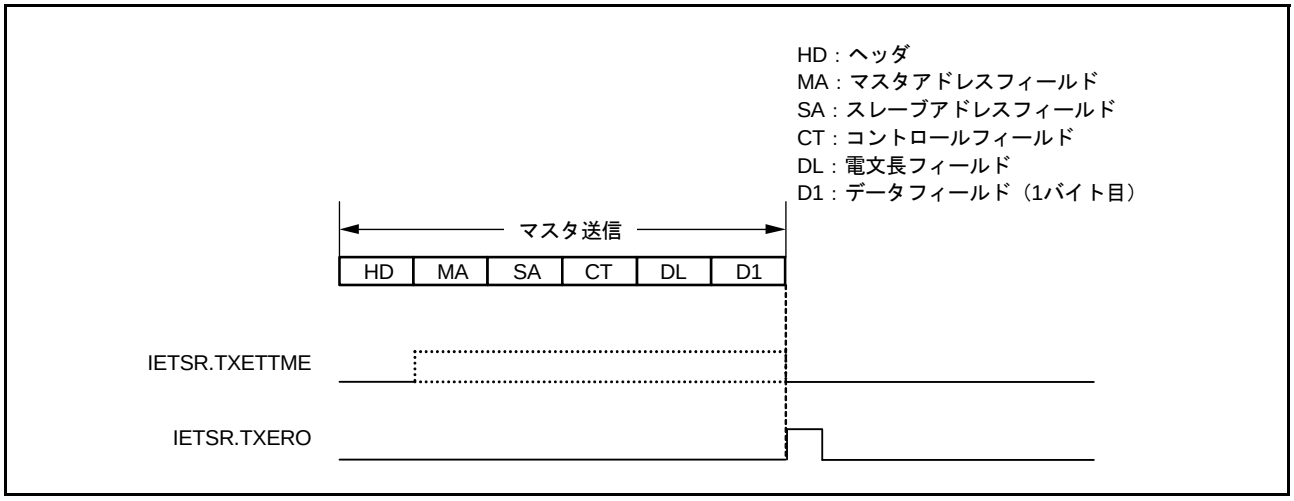


図 39.18　送信電文長に最大伝送バイト数より大きい値を設定したときの動作タイミング

(2)　データ受信

データ受信時に、受信する電文長フィールドに最大伝送バイト数より大きい値が設定された場合、1 バイト目のデータ受信後、受信を終了し、IEBus 受信ステータスレジスタ (IERSR) の受信フレーム最大伝送バイト数オーバ（RXEDLE）フラグをセットします。

IERSR.RXEDLE フラグがセットされた場合、受信バッファに正常にデータが書き込まれていないため、受信データは破棄してください。

図 39.19 に受信する電文長フィールドに最大伝送バイト数より大きい値を設定したときの動作タイミングを示します。

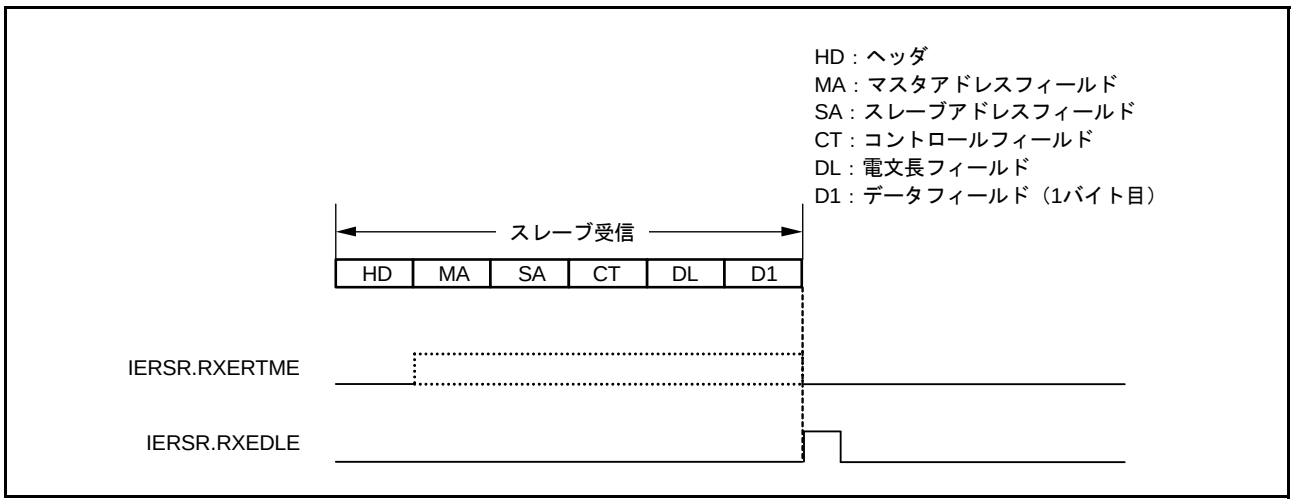


図 39.19　受信する電文長フィールドに最大伝送バイト数より大きい値を設定したときの動作タイミング

39.7.3　　モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）により、IEB の動作禁止／許可を設定することが可能です。初期値では、IEB の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11.　消費電力低減機能」を参照してください。

40. CRC 演算器（CRC）

CRC（Cyclic Redundancy Check）演算器は、データブロックの CRC コード生成を行います。

40.1 概要

表 40.1 に CRC 演算器の仕様を示します。**図 40.1** に CRC 演算器のブロック図を示します。

表 40.1　CRC演算器の仕様

項目	内容
CRC演算対象データ（注1）	8nビットのデータに対してCRCコード生成（n=自然数）
データブロックサイズ	8ビット
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 • 8ビットCRC $X^8 + X^2 + X + 1$ • 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファースト／MSBファースト通信用CRCコード生成から選択可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1.　演算対象データをデータブロックに分割する機能はありません。8ビット単位で書いてください。

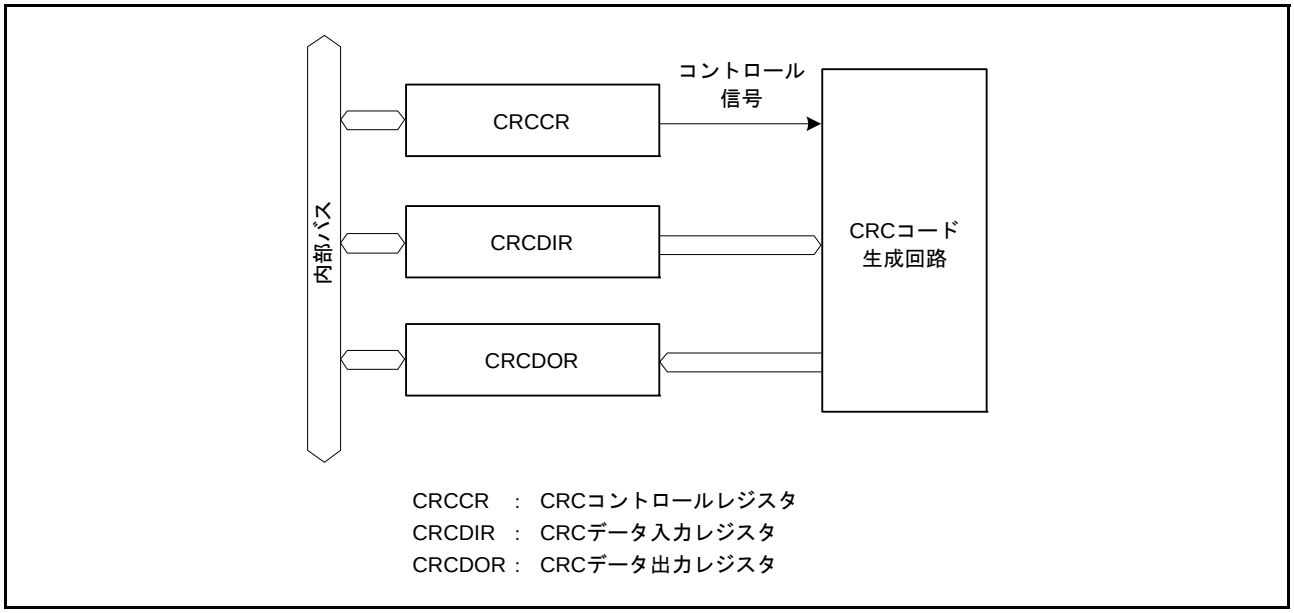


図 40.1　CRC 演算器のブロック図

40.2 レジスタの説明

40.2.1 CRC コントロールレジスタ（CRCCR）

アドレス 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0：演算しません 0 1：$X^8 + X^2 + X + 1$ 1 0：$X^{16} + X^{15} + X^2 + 1$ 1 1：$X^{16} + X^{12} + X^5 + 1$	R/W
b2	LMS	CRC演算切り替えビット	0：LSBファーストで通信する場合のCRC演算を行うCRCDORレジスタの値（CRCコード）をバイト単位に分けて送信する場合、下位バイト（b7～b0）を先に送信してください 1：MSBファーストで通信する場合のCRC演算を行うCRCDORレジスタの値（CRCコード）をバイト単位に分けて送信する場合、上位バイト（b15～b8）を先に送信してください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1：CRCDORレジスタをクリア（注1） 読むと“0”が読めます	W

注1. “1”のみ書けます。

DORCLR ビット（CRCDOR レジスタクリアビット）

DORCLR ビットを “1” にすると、CRCDOR レジスタが “0000h” になります。

読むと “0” が読めます。“1” のみ書けます。

40.2.2 CRC データ入力レジスタ（CRCDIR）

アドレス 0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC 演算対象となるデータブロックを設定するための 8 ビットの読み出し／書き込み可能なレジスタです。

40.2.3　CRC データ出力レジスタ（CRCDOR）

アドレス　0008 8282h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDOR レジスタは、演算結果を格納するための 16 ビットのリード／ライト可能なレジスタです。

一般に、通信データの検査のために通信データに続いて CRC コードを演算するとエラーがない場合には “0” となります。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用した場合は、下位バイト（b7 ～ b0）に有効な CRC コードが得られます。上位バイト（b15 ～ b8）は、更新されません。

40.3　CRC 演算器の動作説明

CRC 演算器は、LSB ファースト／MSB ファースト通信用 CRC コードを生成します。

以下に CRCCR.GPS[1:0] ビットを “11b” として、16 ビット CRC（$X^{16} + X^{12} + X^5 + 1$ の多項式）を使用し、データ “F0h” について CRC コードを生成する場合の使用例を示します。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

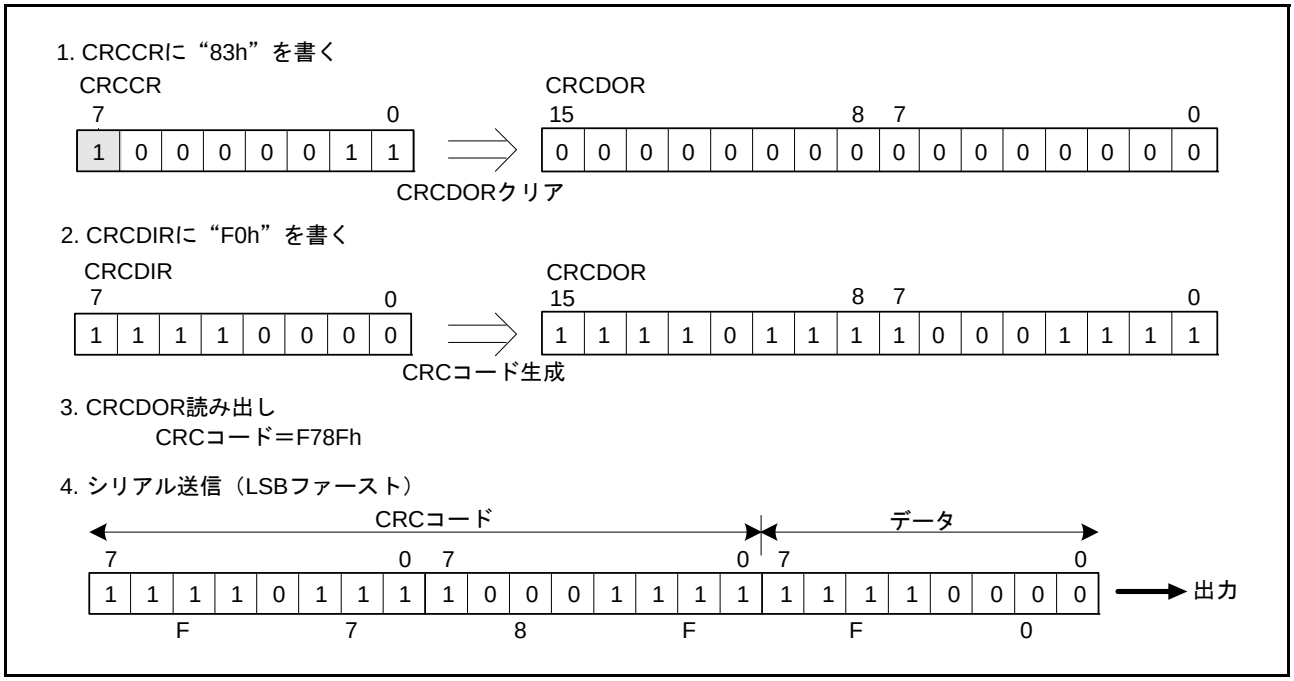


図 40.2　LSB ファーストでのデータ送信

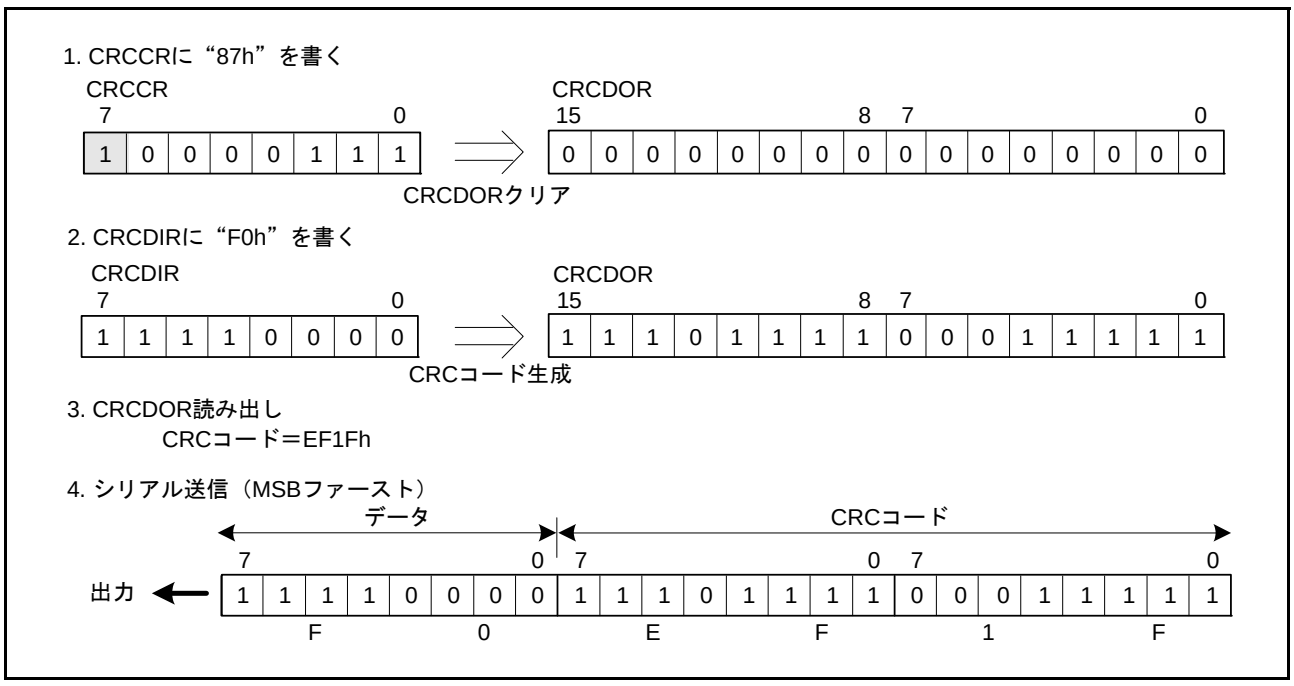


図 40.3　MSB ファーストでのデータ送信

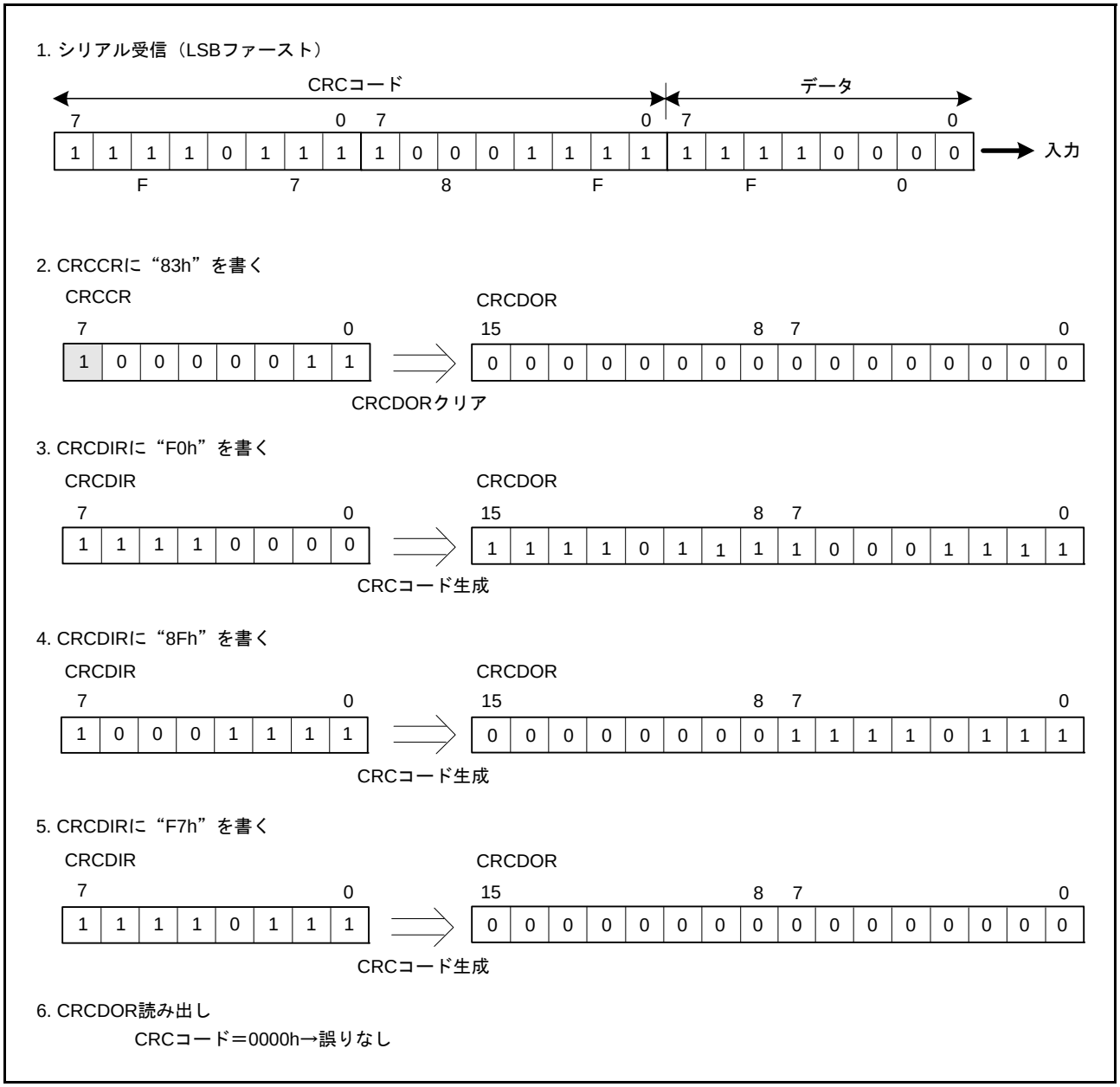


図 40.4　LSB ファーストでのデータ受信

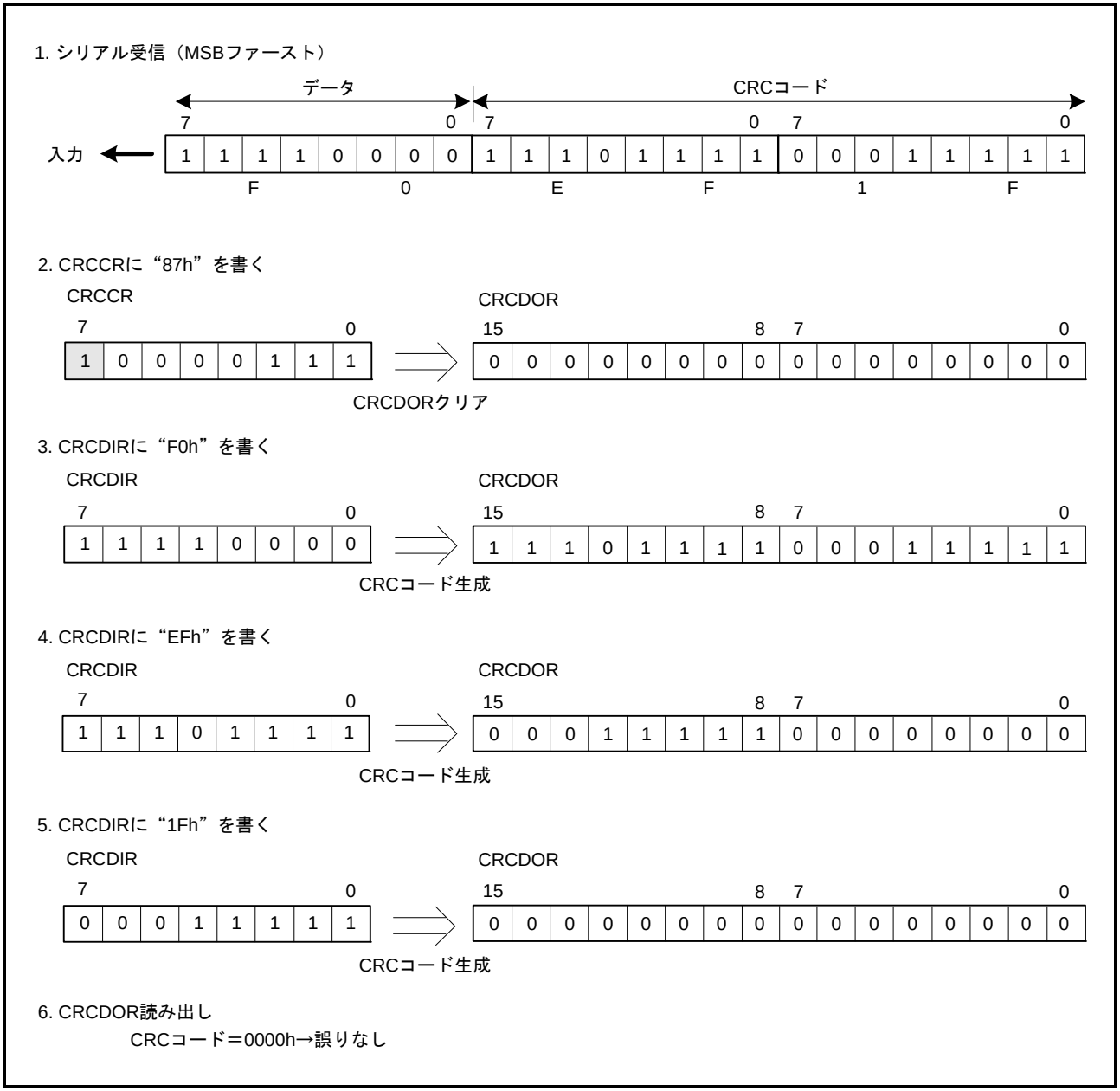


図 40.5　MSB ファーストでのデータ受信

40.4　使用上の注意事項

40.4.1　　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、CRC 演算器の動作禁止／許可を設定することが可能です。初期値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11.　消費電力低減機能」を参照してください。

40.5　転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

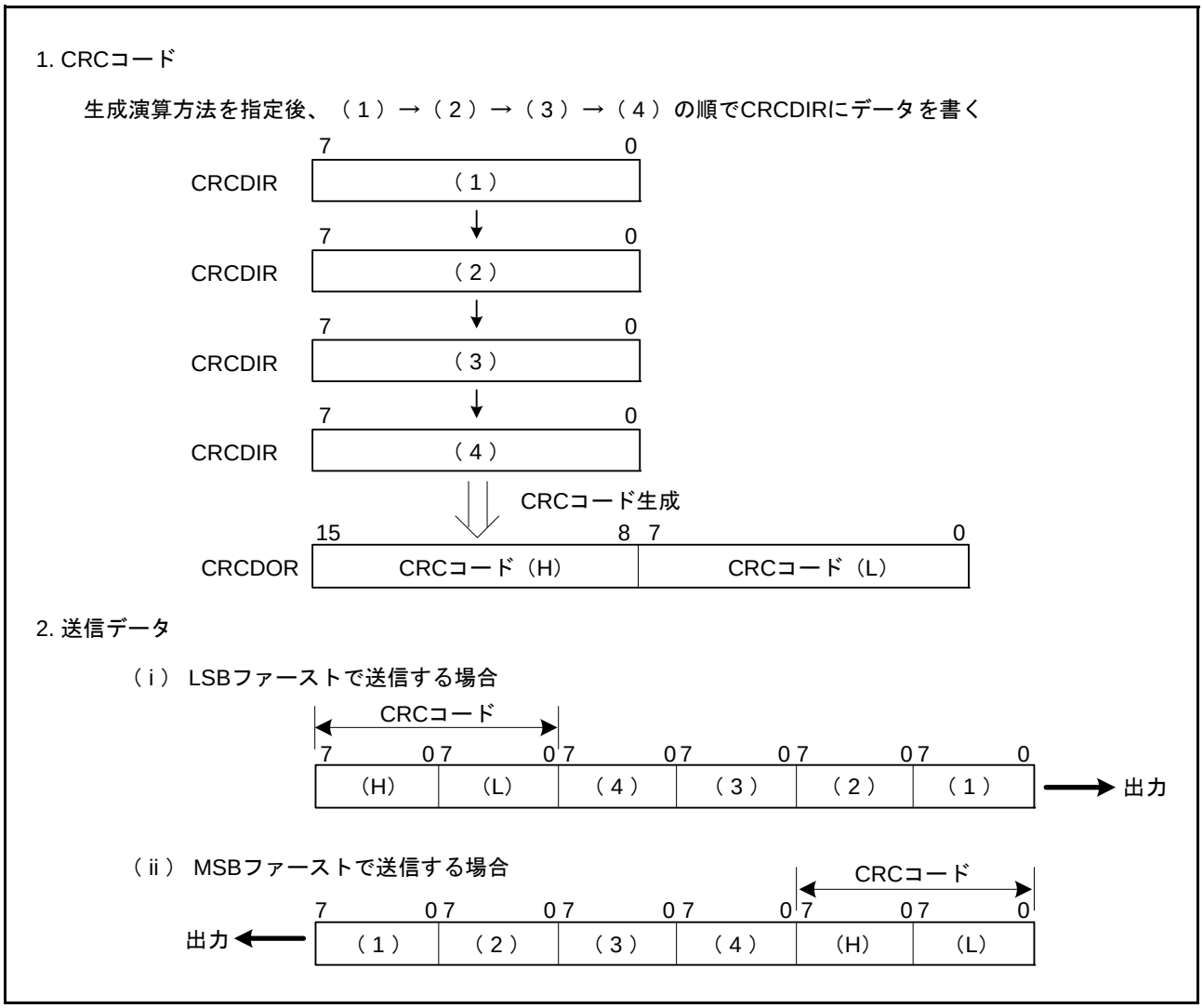


図 40.6　　LSB ファーストと MSB ファーストの送信データ

41. パラレルデータキャプチャユニット（PDC）

41.1 概要

RX63N、RX631 グループは、1 チャネルのパラレルデータキャプチャユニット (PDC）を内蔵しています。

PDC はイメージセンサーなどの外部 IO と通信し、外部 IO から出力される画像などのパラレルデータを DTC または DMAC を介して内蔵 RAM、外部アドレス空間 (CS 領域、SDRAM 領域) へ転送する機能を備えています。

表41.1　PDCの仕様

項目	内容
キャプチャ範囲	• 任意の垂直、水平方向のパラレルデータをキャプチャ可能 垂直方向：1～4095 ライン 水平方向：4～4095 バイト
パラレルデータ転送クロック (PIXCLK)	• 動作周波数：1～27MHz（注1）
割り込み要因	• 受信データレディ • フレームエンド • オーバラン • アンダーラン • 垂直方向ライン数設定エラー • 水平方向バイト数設定エラー
DTC/DMACの起動	• 受信データレディ割り込みにより起動可能
パラレルデータ転送クロック出力 (PCKO)	• 動作周波数：1～25MHz（注2） • クロックソース：周辺モジュールクロックB(PCLKB) • 分周比：2、4、6、8、10、12、14、16分周から選択可能
その他機能	• PDCリセット機能 • VSYNC信号およびHSYNC信号の極性選択機能 • VSYNC信号およびHSYNC信号のモニタ機能 • エンディアン選択機能
消費電力低減機能	• モジュールストップ状態への設定が可能
内部バスインタフェース	• 内部周辺バス3に接続

注1.　パラレルデータ転送クロック(PIXCLK)の周波数は、0.6 × PCLKB 以下に設定してください。
（PIXCLK ≦ 0.6PCLKB）
注2.　周辺モジュールクロックB(PCLKB)を50MHz、分周比を2分周に設定した場合に25MHzになります。

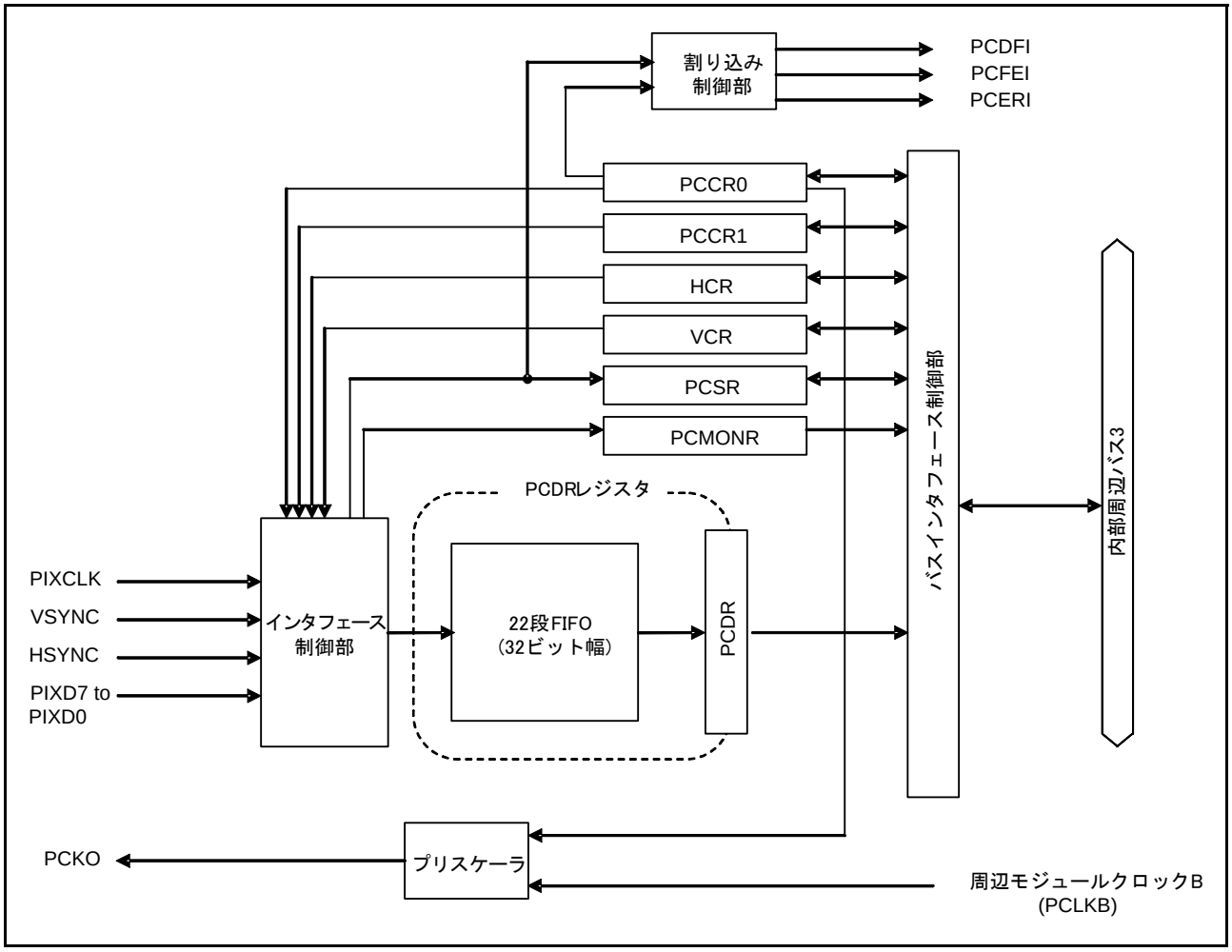


図 41.1　PDC のブロック図

表41.2　PDCの入出力端子

端子名	入出力	機能
PIXCLK	入力	パラレルデータ転送クロック
VSYNC	入力	垂直同期信号
HSYNC	入力	水平同期信号
PIXD7～PIXD0	入力	8bitデータ
PCKO	出力	パラレルデータ転送クロック出力

41.2　レジスタの説明

41.2.1　PDC 制御レジスタ 0 (PCCR0)

アドレス　000A 0500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EDS	PCKDIV[2:0]			PCKOE	HERIE	VERIE	UDRIE	OVIE	FEIE	DFIE	PRST	HPS	VPS	PCKE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCKE	PIXCLK入力許可ビット	0：PIXCLK入力を禁止 1：PIXCLK入力を許可	R/W
b1	VPS	VSYNC信号極性選択ビット	0：VSYNC信号はHighアクティブ 1：VSYNC信号はLowアクティブ	R/W
b2	HPS	HSYNC信号極性選択ビット	0：HSYNC信号はHighアクティブ 1：HSYNC信号はLowアクティブ	R/W
b3	PRST	PDCリセットビット	0：PDCリセット解除 1：PDCリセット	R/(W) （注1）
b4	DFIE	受信データレディ割り込み許可ビット	0：受信データレディ割り込み要求の発生を禁止 1：受信データレディ割り込み要求の発生を許可	R/W
b5	FEIE	フレームエンド割り込み許可ビット	0：フレームエンド割り込み要求の発生を禁止 1：フレームエンド割り込み要求の発生を許可	R/W
b6	OVIE	オーバラン割り込み許可ビット	0：オーバラン割り込み要求の発生を禁止 1：オーバラン割り込み要求の発生を許可	R/W
b7	UDRIE	アンダーラン割り込み許可ビット	0：アンダーラン割り込み要求の発生を禁止 1：アンダーラン割り込み要求の発生を許可	R/W
b8	VERIE	垂直方向ライン数設定エラー割り込み許可ビット	0：垂直方向ライン数設定エラー割り込み要求の発生を禁止 1：垂直方向ライン数設定エラー割り込み要求の発生を許可	R/W
b9	HERIE	水平方向バイト数設定エラー割り込み許可ビット	0：水平方向バイト数設定エラー割り込み要求の発生を禁止 1：水平方向バイト数設定エラー割り込み要求の発生を許可	R/W
b10	PCKOE	PCKO出力許可ビット	0：PCKO出力を禁止 (High出力) 1：PCKO出力を許可	R/W
b13-b11	PCKDIV[2:0]	PCKO分周比選択ビット	b13 b11 ０００：2分周 ００１：4分周 ０１０：6分周 ０１１：8分周 １００：10分周 １０１：12分周 １１０：14分周 １１１：16分周	R/W
b14	EDS	エンディアン選択ビット	0：リトルエンディアン 1：ビッグエンディアン	R/W
b31-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　”1”書き込みのみ可能です。

PCCR0 レジスタは、PCCR1 レジスタの PCE ビットが ”0” の状態で設定してください。

PCKE ビット (PIXCLK 入力許可ビット)

PIXCLK の入力を許可／禁止します。

受信動作を許可する前に ”1” に設定してください。

“0” に設定する場合、受信動作を禁止した後設定してください。

VPS ビット (VSYNC 信号極性選択ビット)

VSYNC 信号の極性を選択します。

HPS ビット (HSYNC 信号極性選択ビット)

HSYNC 信号の極性を選択します。

PRST ビット (PDC リセットビット)

PDC の内部状態および PDC リセット対象レジスタを初期化するビットです。PDC リセット対象レジスタについては「41.3.11　リセット状況」を参照してください。

PDC リセットは、PCKE ビットを ”1” にセットした後に実行してください。

PRST ビットに ”1” が書き込まれた場合、PIXCLK に同期して初期化が実行され、初期化が完了すると PRST ビットは自動的に ”0” にクリアされます。PDC リセットを実行する場合、必ず PIXCLK を入力してください。PRST ビットに ”1” を書き込んだ場合は、”0” になったことを確認してから次の処理を実行してください。

PDC リセットを連続して実行する場合、PRST ビットが ”0” になったことを確認した後、最低 1PIXCLK 期間待ってから実行してください。

DFIE ビット (受信データレディ割り込み許可ビット)

受信データレディ割り込み要求の発生を許可／禁止します。

FEIE ビット (フレームエンド割り込み許可ビット)

フレームエンド割り込み要求の発生を許可／禁止します。

OVIE ビット (オーバラン割り込み許可ビット)

オーバラン割り込み要求の発生を許可／禁止します。

UDRIE ビット (アンダーラン割り込み許可ビット)

アンダーラン割り込み要求の発生を許可／禁止します。

VERIE ビット (垂直方向ライン数設定エラー割り込み許可ビット)

垂直方向ライン数設定エラー割り込み要求の発生を許可／禁止します。

HERIE ビット (水平方向バイト数設定エラー割り込み許可ビット)

水平方向バイト数設定エラー割り込み要求の発生を許可／禁止します。

PCKOE ビット (PCKO 出力許可ビット)

PCKO の出力を許可／禁止します。

PCKO が Low 出力中に PCKOE ビットを ”0” にクリアした場合、クリアしたタイミングで High 出力となりデューティ比が崩れる場合があります。

PCKDIV[2:0] ビット (PCKO 分周比選択ビット)

PCKO の分周比を選択します。

PCKO は PCLKB をクロック源に、PCKDIV[2:0] ビットの設定に応じて 2 ～ 16 分周のクロックを出力します。

PCLKB の動作周波数に応じて 1 ～ 25MHz の範囲になるよう設定してください。

EDS ビット (エンディアン選択ビット)

キャプチャしたデータのエンディアンを選択します。

41.2.2　PDC 制御レジスタ 1 (PCCR1)

アドレス　000A 0504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCE	PDC 動作許可ビット	0：受信動作を禁止 1：受信動作を許可	R/W
b31-b1	—	予約ビット	読むと “0” が読めます。書く場合、”0” としてください	R/W

PCE ビット (PDC 動作許可ビット)

受信動作の許可／禁止を選択します。

VSYNC 信号がアサート中に PCE ビットを ”1” にセットした場合、PDC は次の VSYNC 信号の有効エッジから受信動作を開始します。

PCE ビットを ”0” にクリアする場合はフレームエンド割り込み等、受信動作および継続受信動作が停止中にクリアしてください。継続受信動作については「41.3.6　**フレームエンド時の継続受信動作**」を参照してください。

41.2.3　PDC ステータスレジスタ (PCSR)

アドレス　000A 0508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	HERF	VERF	UDRF	OVRF	FEF	FEMPF	FBSY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	FBSY	フレームビジーフラグ	0：受信動作停止 1：受信動作中	R
b1	FEMPF	FIFO エンプティフラグ	0：FIFO はエンプティではない 1：FIFO はエンプティ	R
b2	FEF	フレームエンドフラグ	0：フレームエンドなし 1：フレームエンド発生	R/(W) （注 1）
b3	OVRF	オーバランフラグ	0：FIFO オーバランなし 1：FIFO オーバラン発生	R/(W) （注 1）
b4	UDRF	アンダーランフラグ	0：アンダーランなし 1：アンダーラン発生	R/(W) （注 1）
b5	VERF	垂直方向ライン数設定エラーフラグ	0：垂直方向ライン数設定エラーなし 1：垂直方向ライン数設定エラー発生	R/(W) （注 1）
b6	HERF	水平方向バイト数設定エラーフラグ	0：水平方向バイト数設定エラーなし 1：水平方向バイト数設定エラー発生	R/(W) （注 1）
b31-b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

注 1.　フラグをクリアするために、”1” を読んだ後に ”0” を書くことのみ可能です。

FBSY フラグ (フレームビジーフラグ)

PDC の動作状態を示します。

[“1” になる条件]

- 受信動作を許可した後、VSYNC 信号の有効エッジを検出したとき

[“0” になる条件]

- VCR レジスタおよび HCR レジスタで設定した 1 フレームのデータ受信を終了したとき（注 1）
- エラー（オーバラン、アンダラン、垂直方向ライン数設定エラー、水平方向バイト数エラー）が発生したとき
- PCCR1.PCE ビットが 0 のとき

注 1.　継続受信動作中は ”0” になります。

FEMPF フラグ (FIFO エンプティフラグ)

FIFO の状態を示します。

オーバラン時は ”0”、アンダーラン時は不定、垂直方向ライン数設定エラー、水平方向バイト数設定エラー時は、エラー発生時点の FIFO の状態を示します。

[“1” になる条件（注 1）]

- PCDR レジスタをリードし、FIFO が空になったとき

- VSYNC 信号の有効エッジを検出したとき
- PDC リセットが実行されたとき

[“0” になる条件（注 1）]

- FIFO にキャプチャしたデータが格納されたとき

注 1.　アンダーラン時は不定となり、“0” または “1” のどちらかの値になります。

FEF フラグ (フレームエンドフラグ)

フレームエンドの発生を示します。

[“1” になる条件]

- VCR レジスタおよび HCR レジスタで設定した 1 フレームのデータ受信を終了したとき（注 1）

[“0” になる条件]

- PDC リセットが実行されたとき
- ”1” を読んだ後、”0” を書いたとき

注 1.　継続受信動作が発生する場合は、継続動作が完了した後、”1” になります。

OVRF フラグ (オーバランフラグ)

オーバランの発生を示します。

[“1” になる条件]

- FIFO がフルの状態でデータ受信が発生したとき

[“0” になる条件]

- PDC リセットが実行されたとき
- ”1” を読んだ後、”0” を書いたとき

UDRF フラグ (アンダーランフラグ)

アンダーランの発生を示します。

[“1” になる条件]

- FIFO がエンプティの状態で PCDR レジスタをリードしたとき

[“0” になる条件]

- PDC リセットが実行されたとき
- ”1” を読んだ後、”0” を書いたとき

VERF フラグ (垂直方向ライン数設定エラーフラグ)

垂直方向ライン数設定エラーの発生を示します。

[“1” になる条件]

- VCR レジスタで設定した垂直方向キャプチャライン数未満で VSYNC 信号がネゲートしたとき

[“0” になる条件]

- PDC リセットが実行されたとき
- ”1” を読んだ後、”0” を書いたとき

HERF フラグ (水平方向バイト数設定エラーフラグ)

水平方向バイト数設定エラーの発生を示します。

[“1” になる条件]

- HCR レジスタで設定した水平方向キャプチャバイト数未満で HSYNC 信号がネゲートしたとき

[“0” になる条件]

- PDC リセットが実行されたとき
- ”1” を読んだ後、”0” を書いたとき

41.2.4 PDC 端子モニタレジスタ (PCMONR)

アドレス 000A 050Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HSYNC	VSYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VSYNC	VSYNC信号ステータスフラグ	0：VSYNC信号は”Low” 1：VSYNC信号は”High”	R
b1	HSYNC	HSYNC信号ステータスフラグ	0：HSYNC信号は”Low” 1：HSYNC信号は”High”	R
b31-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

VSYNC フラグ (VSYNC 信号ステータスフラグ)

VSYNC 信号の状態を示します。

HSYNC フラグ (HSYNC 信号ステータスフラグ)

HSYNC 信号の状態を示します。

41.2.5　PDC 受信データ レジスタ (PCDR)

アドレス　000A 0510h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PDC は、キャプチャしたデータを格納する 32 ビット幅の 22 段 FIFO を内蔵しています。FIFO は PCDR レジスタの 4 バイト空間にマッピングされおり、PCDR レジスタをリードすることでキャプチャしたデータを 1 度に 4 バイト読み出すことができます。32 バイトデータ受信毎に受信データレディを発生し、PCCR0 レジスタの DFIE ビットが ”1” にセットされている場合、受信データレディ割り込みを発生します。受信データレディ割り込みが発生した場合、PCDR レジスタを 8 回リードしてください。PCDR レジスタの構造図を**図 41.2** に示します。

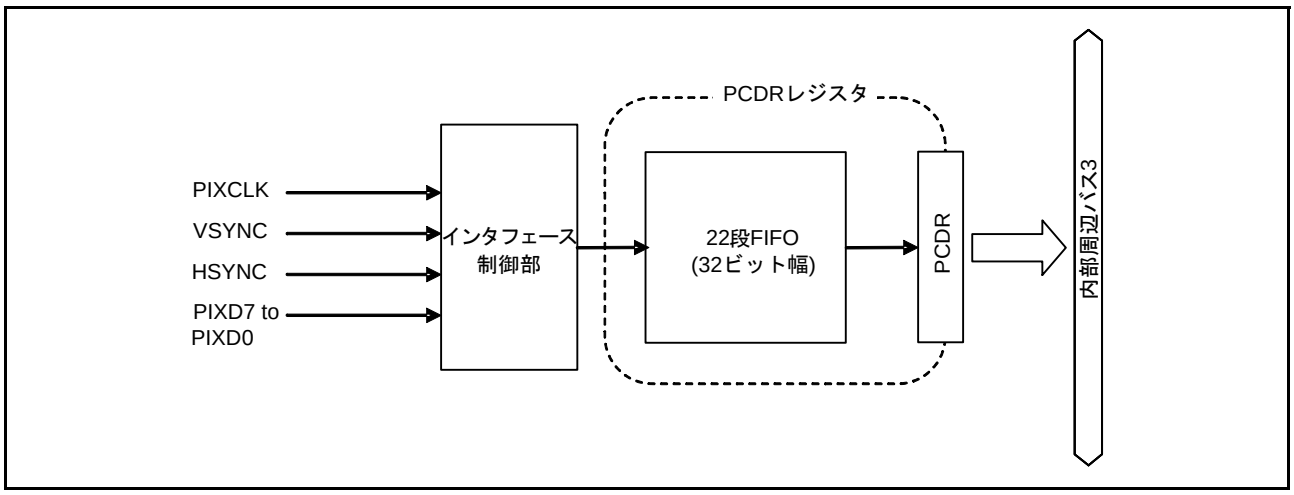


図 41.2　PCDR レジスタの構造図

キャプチャしたデータのフォーマットは、PCCR0 レジスタの EDS ビットでビッグエンディアンまたはリトルエンディアンを選択することができます。**図 41.3** にエンディアンフォーマットを示します。

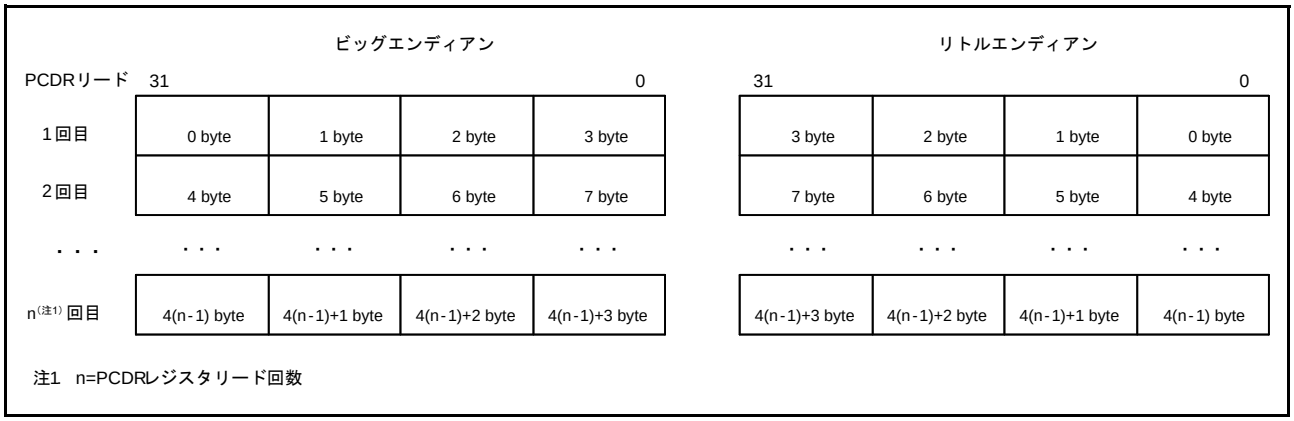


図 41.3　エンディアンフォーマット

41.2.6　垂直方向キャプチャレジスタ (VCR)

アドレス　000A 0514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	VSZ[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	VST[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	VST[11:0]	垂直方向キャプチャ開始ライン位置ビット	垂直方向のキャプチャ開始ライン位置を設定します。	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b16	VSZ[11:0]	垂直方向キャプチャサイズビット	垂直方向のキャプチャライン数を設定します。	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

VCR レジスタの設定とキャプチャ範囲の関係については、「41.3.3　VCR レジスタ、HCR レジスタ設定とキャプチャ範囲」を参照してください。

VCR レジスタは、PCCR1 レジスタの PCE ビットが ”0” の状態で設定してください。

VST[11:0] ビット (垂直方向キャプチャ開始ライン位置ビット)

垂直方向のキャプチャ開始ライン位置を設定します。

1 ライン目を設定する場合は 000h、4095 ライン目を設定する場合は FFEh を設定してください。

VST[11:0] ビットは 000h から FFEh の範囲で、VSZ[11:0] ビットと合わせて以下の範囲で設定してください。

VST[11:0] ビットの設定範囲：1 ≦ VST[11:0] + VSZ[11:0] ≦ FFFh

VSZ[11:0] ビット (垂直方向キャプチャサイズビット)

垂直方向のキャプチャライン数を設定します。

1 ラインを設定する場合は 001h、4095 ラインを設定する場合は FFFh を設定してください。

VSZ[11:0] ビットは 001h から FFFh の範囲で、VST[11:0] ビットと合わせて以下の範囲で設定してください。

VSZ[11:0] ビットの設定範囲：1 ≦ VST[11:0] + VSZ[11:0] ≦ FFFh

41.2.7　水平方向キャプチャレジスタ (HCR)

アドレス　000A 0518h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	HSZ[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HST[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	HST[11:0]	水平方向キャプチャ開始バイト位置ビット	水平方向のキャプチャ開始バイト位置を設定します。	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b16	HSZ[11:0]	水平方向キャプチャサイズビット	水平方向のキャプチャバイト数を設定します。	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HCR レジスタの設定とキャプチャ範囲の関係については、**「41.3.3　VCR レジスタ、HCR レジスタ設定とキャプチャ範囲」**を参照してください。

HCR レジスタは、PCCR1 レジスタの PCE ビットが ”0” の状態で設定してください。

HST[11:0] ビット (水平方向キャプチャ開始バイト位置ビット)

水平方向のキャプチャ開始バイト位置を設定します。

1 バイト目を設定する場合は 000h、4092 バイト目を設定する場合は FFBh を設定してください。

HST[11:0] ビットは 000h から FFBh の範囲で、HSZ[11:0] ビットと合わせて以下の範囲で設定してください。

HST[11:0] ビットの設定範囲：4 ≦ HST[11:0] + HSZ[11:0] ≦ FFFh

HSZ[11:0] ビット (水平方向キャプチャサイズビット)

水平方向のキャプチャバイト数を設定します。

4 バイトを設定する場合は 004h、4095 バイトを設定する場合は FFFh を設定してください。

HSZ[11:0] ビットは 004h から FFFh の範囲で、HST[11:0] ビットと合わせて以下の範囲で設定してください。

HSZ[11:0] ビットの設定範囲：4 ≦ HST[11:0] + HSZ[11:0] ≦ FFFh

41.3　動作説明

41.3.1　通信フォーマット

PDC は、PCCR0 レジスタの VPS ビットおよび HPS ビットの設定により図 41.4 から図 41.7 に示す 4 種類の通信フォーマットをサポートします。

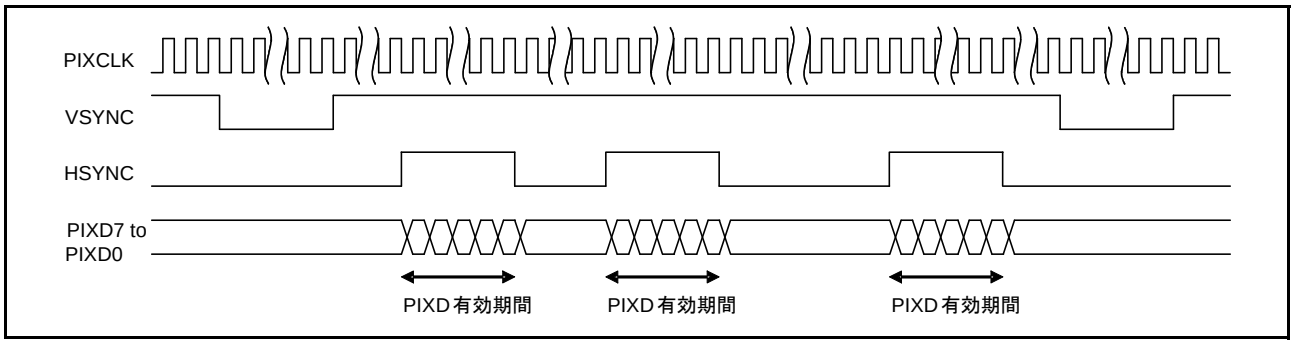


図 41.4　PDC 通信フォーマット (VPS=0、HPS=0)

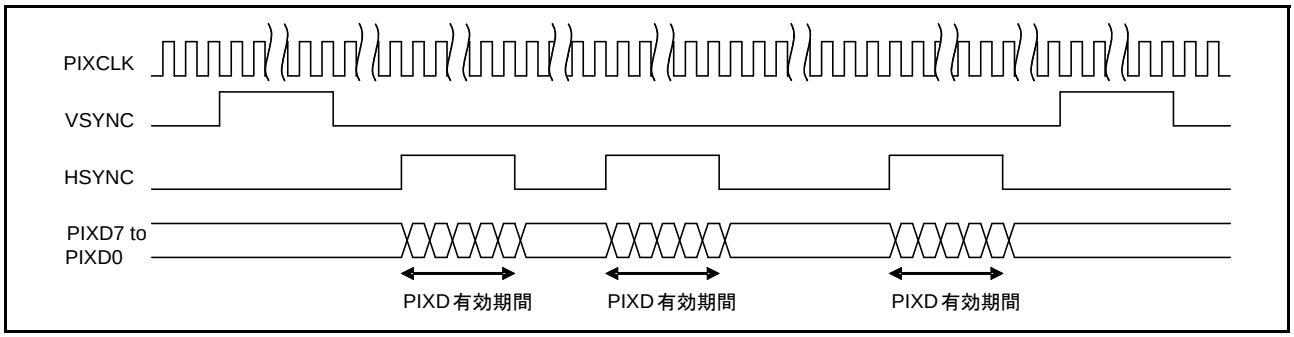


図 41.5　PDC 通信フォーマット (VPS=1、HPS=0)

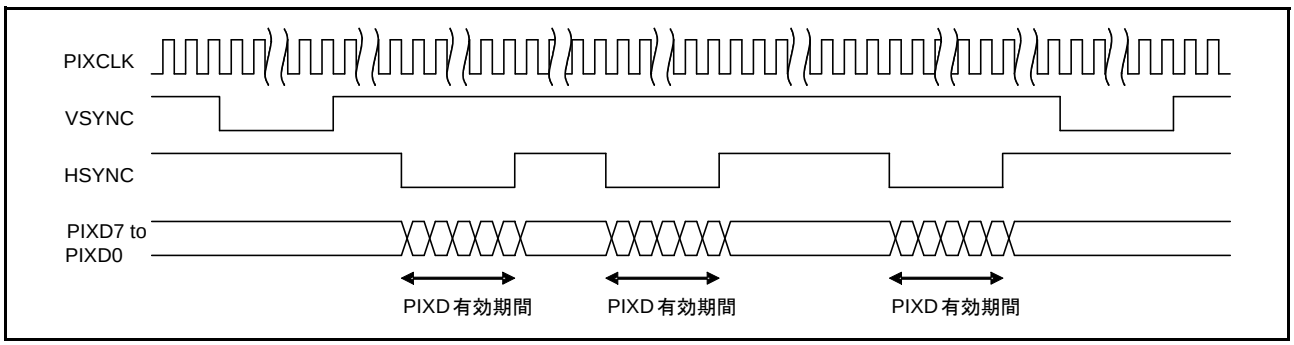


図 41.6　PDC 通信フォーマット (VPS=0、HPS=1)

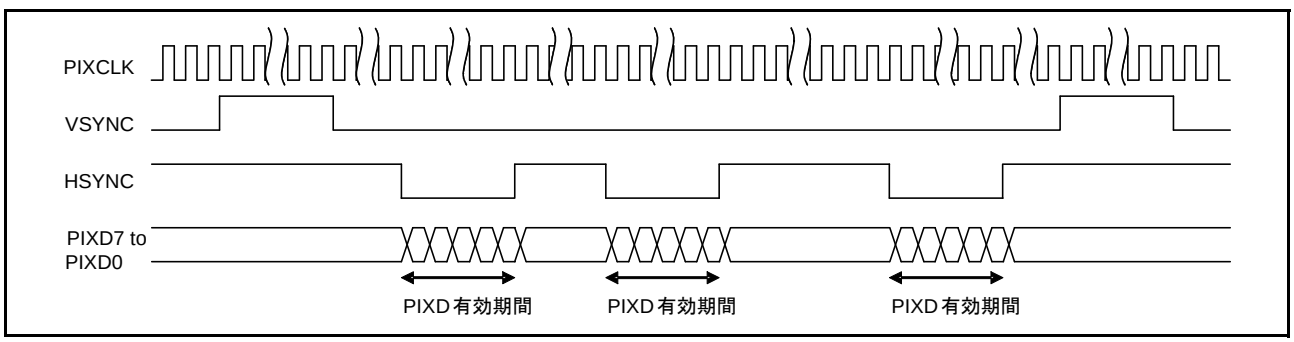


図 41.7　PDC 通信フォーマット (VPS=1、HPS=1)

41.3.2　通信タイミング

PDC の通信タイミングを図 41.8、表 41.3 に示します。

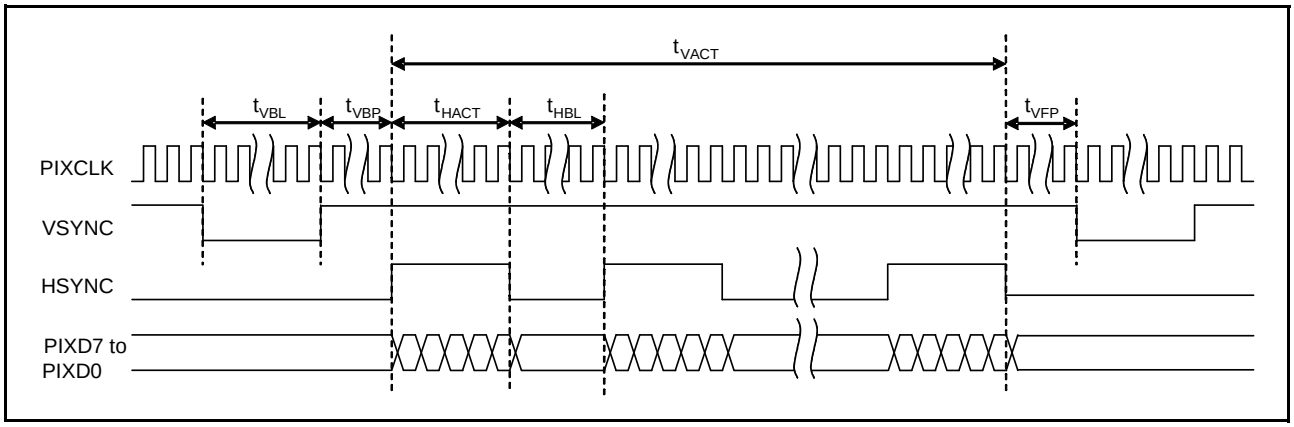


図 41.8　PDC の通信タイミング図

表 41.3　PDC の通信タイミング表

項目	記号	Min（注1）	Max	単位
垂直ブランキング期間	t_{VBL}	128	—	PIXCLK
垂直バックポーチ	t_{VBP}	10	—	PIXCLK
水平有効期間	t_{HACT}	4	4095	PIXCLK
水平ブランキング期間	t_{HBL}	128	—	PIXCLK
垂直フロントポーチ	t_{VFP}	10	—	PIXCLK
垂直有効期間	t_{VACT}	1	4095	ライン

注1.　本LSIが動作可能な最小値であり、オーバラン、垂直方向ライン数設定エラー、水平方向バイト数設定エラーの発生回避を保証する値ではありません。

41.3.3　VCR レジスタ、HCR レジスタ設定とキャプチャ範囲

VCR レジスタ、HCR レジスタ設定とキャプチャ範囲の関係を図 41.9、図 41.10 に示します。

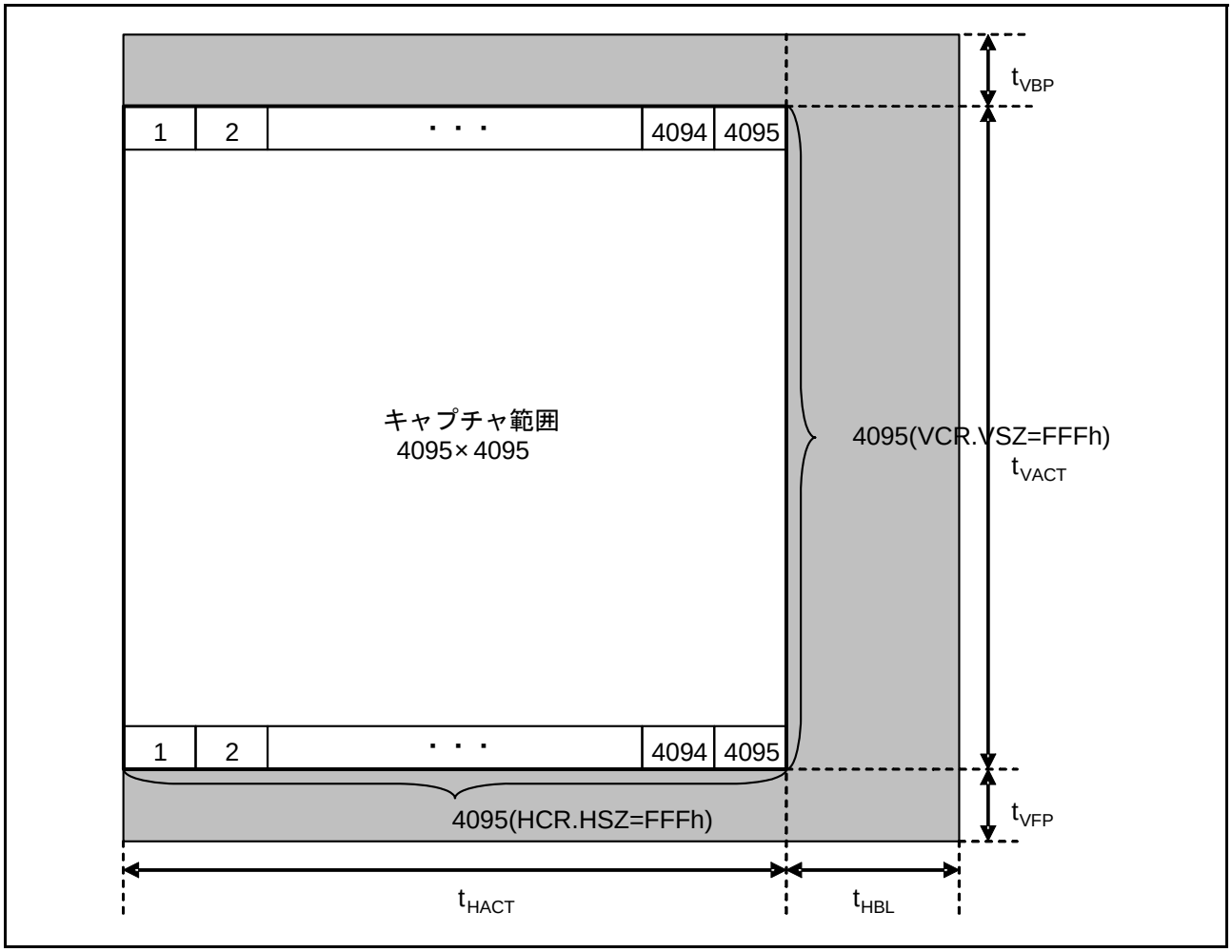


図 41.9　VCR レジスタ、HCR レジスタ設定とキャプチャ範囲 (VCR=0FFF0000h、HCR=0FFF0000h)

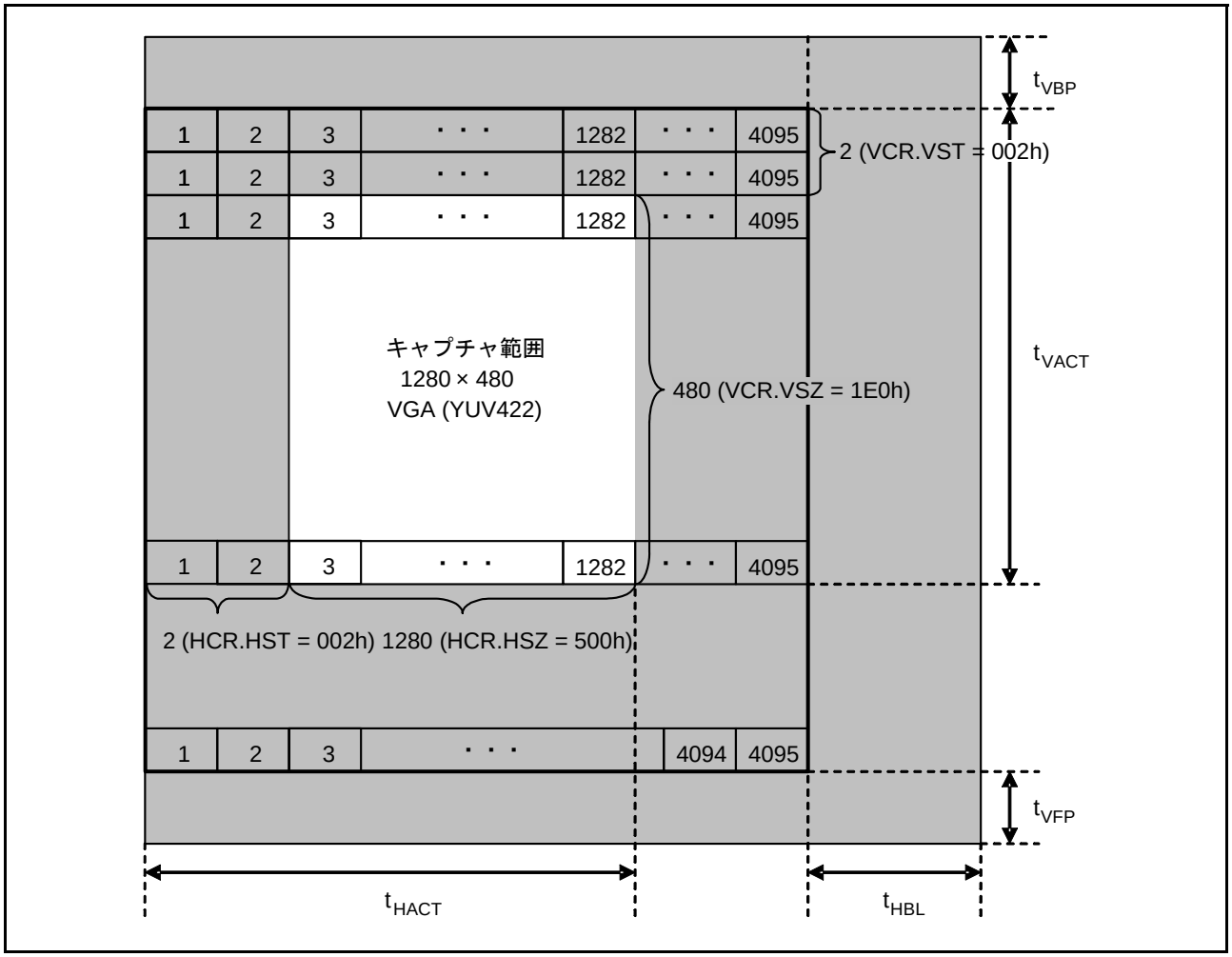


図 41.10　VCR レジスタ、HCR レジスタ設定とキャプチャ範囲（VCR=01E00002h、HCR=05000002h）

41.3.4　受信動作

図 41.11 に受信データレディ割り込み (DTC/DMAC 起動) およびフレームエンド割り込みを使用した場合の受信動作例を示します。

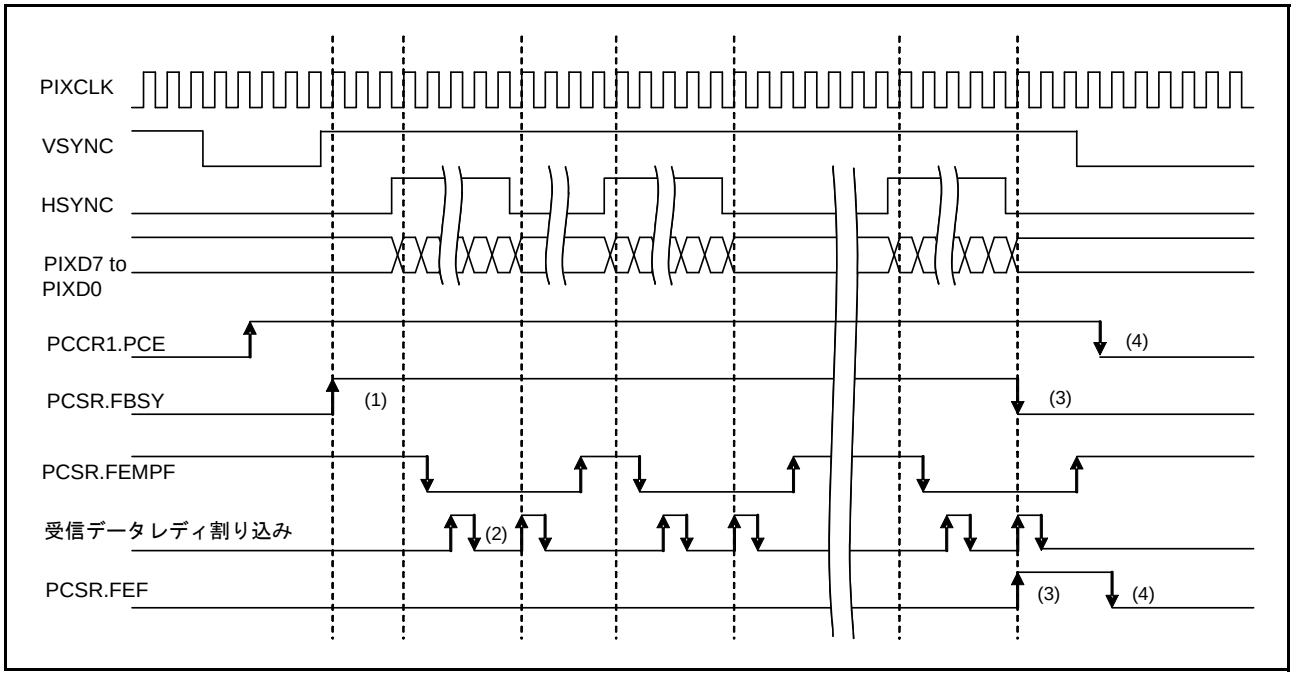


図 41.11　受信動作例

図中の　(1)　(2)　(3)　(4)　に示したタイミングの動作内容を以下に説明します。

(1) PCCR1 レジスタの PCE ビットを ”1” にセットした後、VSYNC 信号の有効エッジを検出すると、PCSR レジスタの FEMPF フラグを ”1” にセットし FIFO を初期化するとともに PCSR レジスタの FBSY フラグを ”1” にセットし受信動作を開始します。

(2) VCR レジスタおよび HCR レジスタで設定したキャプチャ範囲のデータを受信するとデータを FIFO に格納します。PDC は 32 バイトデータ受信毎に受信データレディ割り込みを発生し、DTC/DMAC を介してキャプチャしたデータを内蔵 RAM または外部アドレス空間へ転送します。PCDR レジスタのリード間隔がデータ受信間隔より長いと FIFO がオーバランする可能性があります。オーバランの発生の有無は PCSR レジスタの OVRF フラグで確認することができます。

(3) 最終データの受信が完了すると FBSY フラグを ”0” にクリア、PCSR レジスタの FEF フラグを ”1” にセットし受信データレディ割り込みおよびフレームエンド割り込みを発生します。

(4) フレームエンド割り込みで PCSR レジスタの FEMPF フラグをポーリングし DTC/DMAC によるデータ転送の完了を確認し、PCCR1 レジスタの PCE ビットを ”0” にクリアした後、PCSR レジスタの FEF フラグを ”0” にクリアし 1 フレームのデータ受信を終了します。

PCCR1 レジスタの PCE ビットを ”1” にセットする際、PCSR レジスタの FEF フラグが ”1” にセットされていると、VSYNC 信号の有効エッジは検出せず受信動作を開始しません。受信動作を開始するには FEF フラグを ”0” にクリアしてください。

41.3.5　水平ブランキング期間中の動作

前回の受信データレディからデータ受信バイト数が 32 バイト未満で水平ブランキング期間に入った場合、データ受信バイト数のカウントは保持され、次の水平有効期間に持ち越されます。水平ブランキング期間中の動作を図 41.12 に示します。

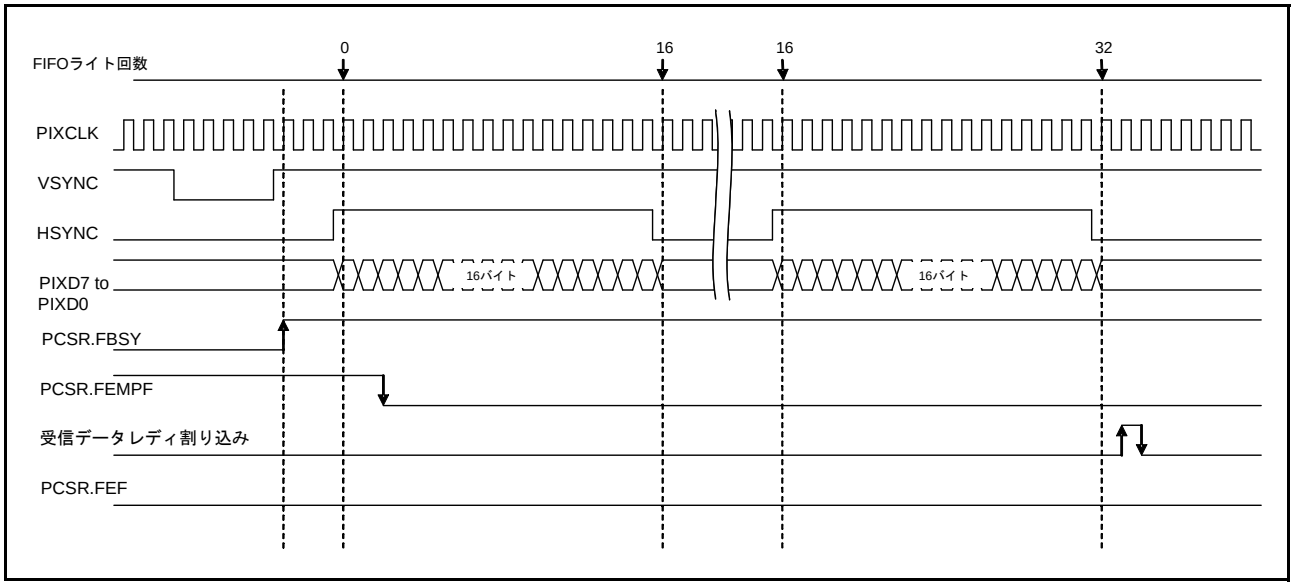


図 41.12　水平ブランキング期間中の動作例

41.3.6　フレームエンド時の継続受信動作

前回の受信データレディからデータ受信バイト数が 32 バイト未満で最終データの受信を完了した場合、PDC はデータ受信バイト数が 32 になるまでデータ受信を継続 (以下、継続受信動作) し、データ受信バイト数が 32 になると受信データレディおよびフレームエンドを発生します。継続受信動作中は PIXCLK を入力してください。継続受信動作中に FIFO に格納したデータを読み出すと不定値が読み出されます。フレームエンド時の継続受信動作例を図 41.13 に示します。

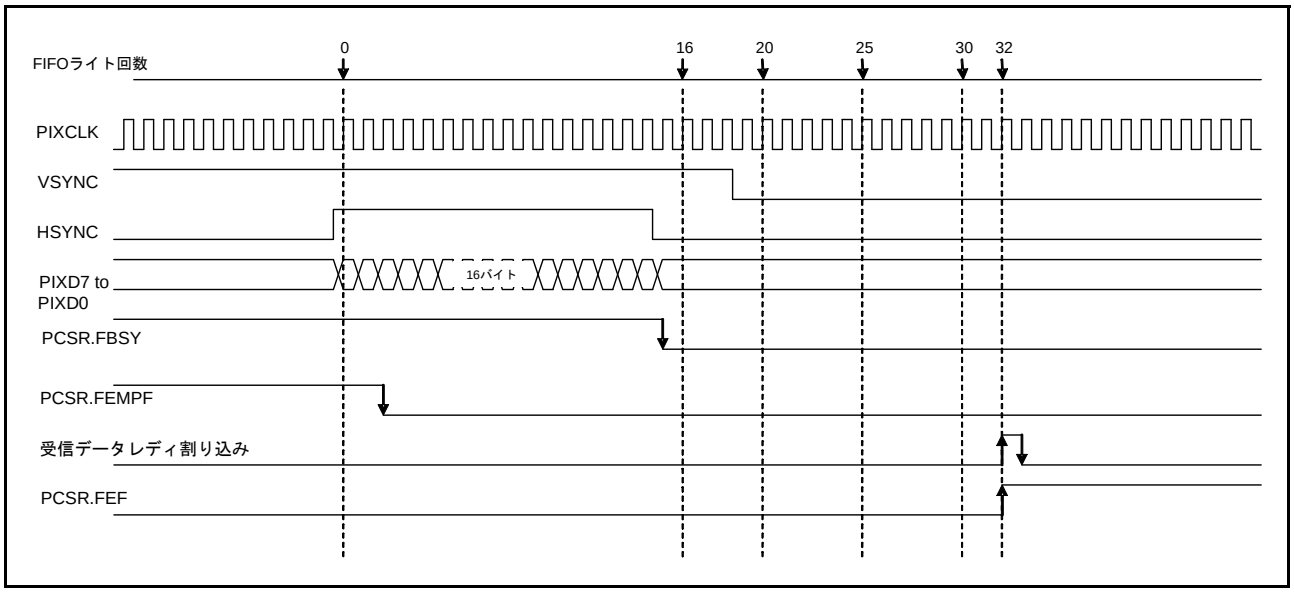


図 41.13　フレームエンド時の継続受信動作例

41.3.7　エラー検出

PDC は、受信動作中のエラー発生を、ソフトウェアが管理可能なように、エラー情報の検出機能を持っています。**表 41.4** に各エラー検出条件とエラー検出に伴って発生する割り込みについて示します。

表 41.4　エラー検出

エラー要因	エラー検出条件	割り込みフラグ	動作例
オーバラン	FIFO がフルの状態でデータ受信が発生したとき（注 1）	PCSR.OVRF	図 41.14
アンダーラン	FIFO がエンプティの状態で PCDR レジスタをリードしたとき	PCSR.UDRF	図 41.15
垂直方向ライン数設定エラー	VCR レジスタで設定した垂直方向キャプチャライン数未満で VSYNC 信号がネゲートしたとき	PCSR.VERF	図 41.16
水平方向バイト数設定エラー	HCR レジスタで設定した水平方向キャプチャバイト数未満で HSYNC 信号がネゲートしたとき	PCSR.HERF	図 41.17

注 1.　継続受信動作中のデータ受信も含む

エラーを検出すると、PDC は割り込みフラグを ”1” にセットし受信動作を停止します。割り込みフラグが ”1” にセットされていると VSYNC 信号の有効エッジは検出せず受信動作を開始しません。受信動作を開始するにはすべてのエラー要因の割り込みフラグを ”0” にクリアしてください。また、エラーが発生した時点で、FIFO に格納されているデータは無効です。

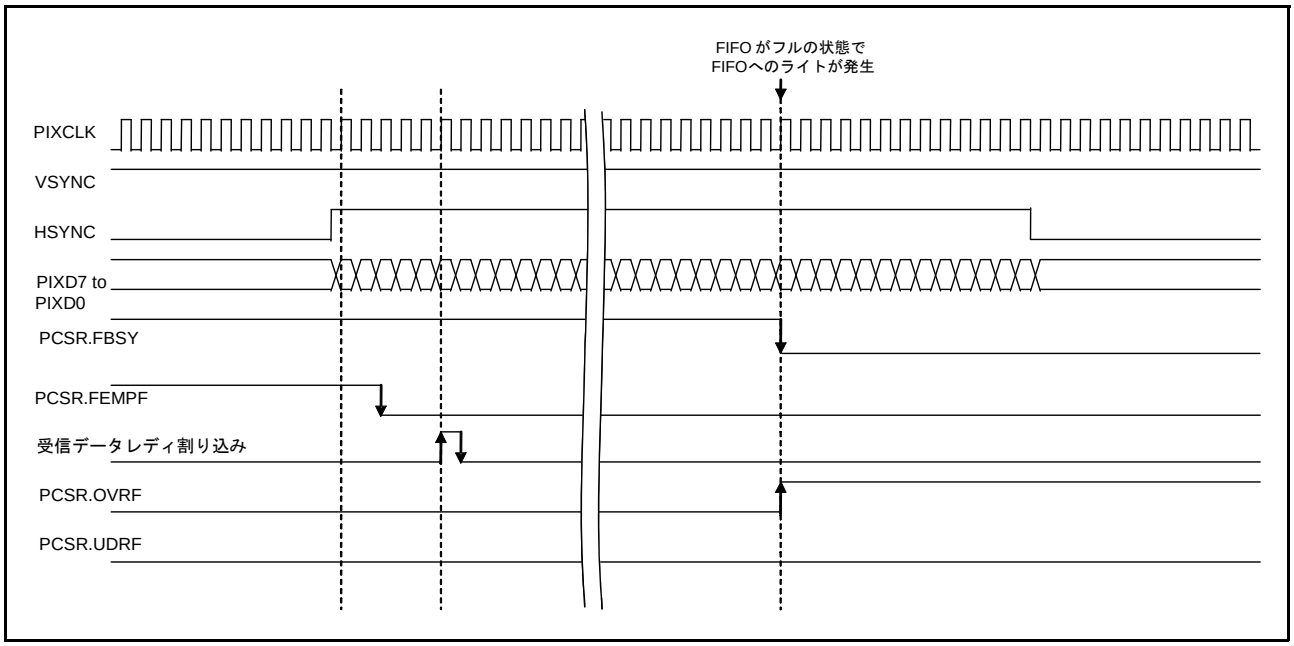


図 41.14　オーバラン

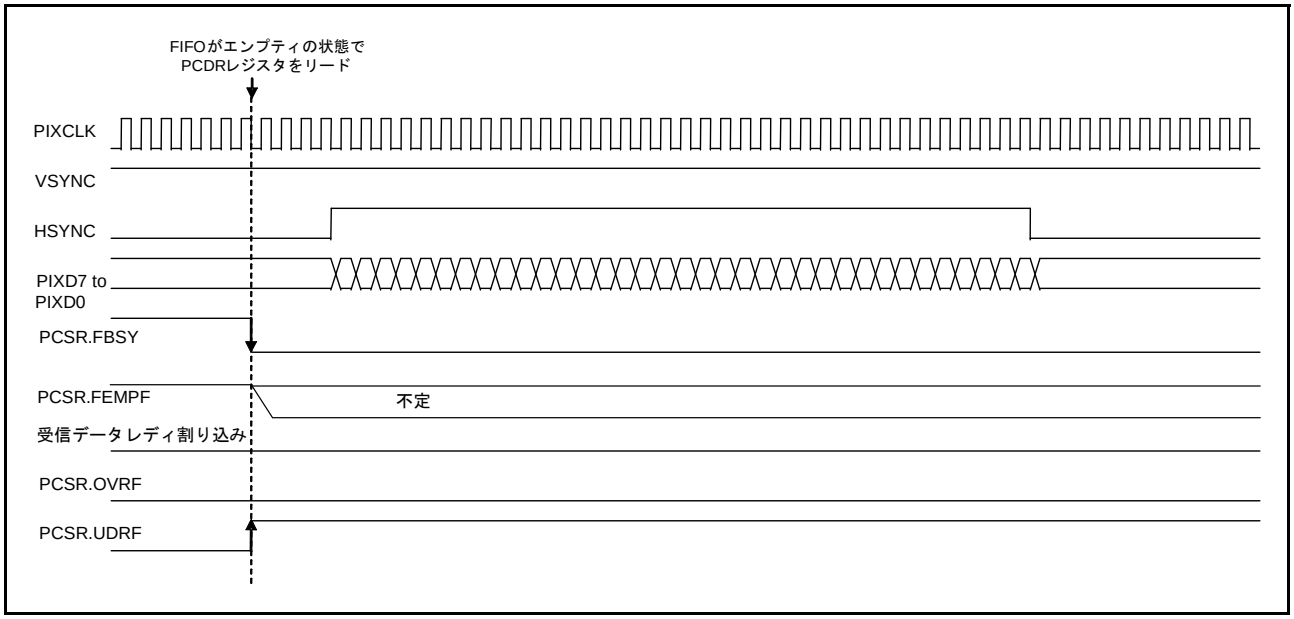


図 41.15　アンダーラン検出

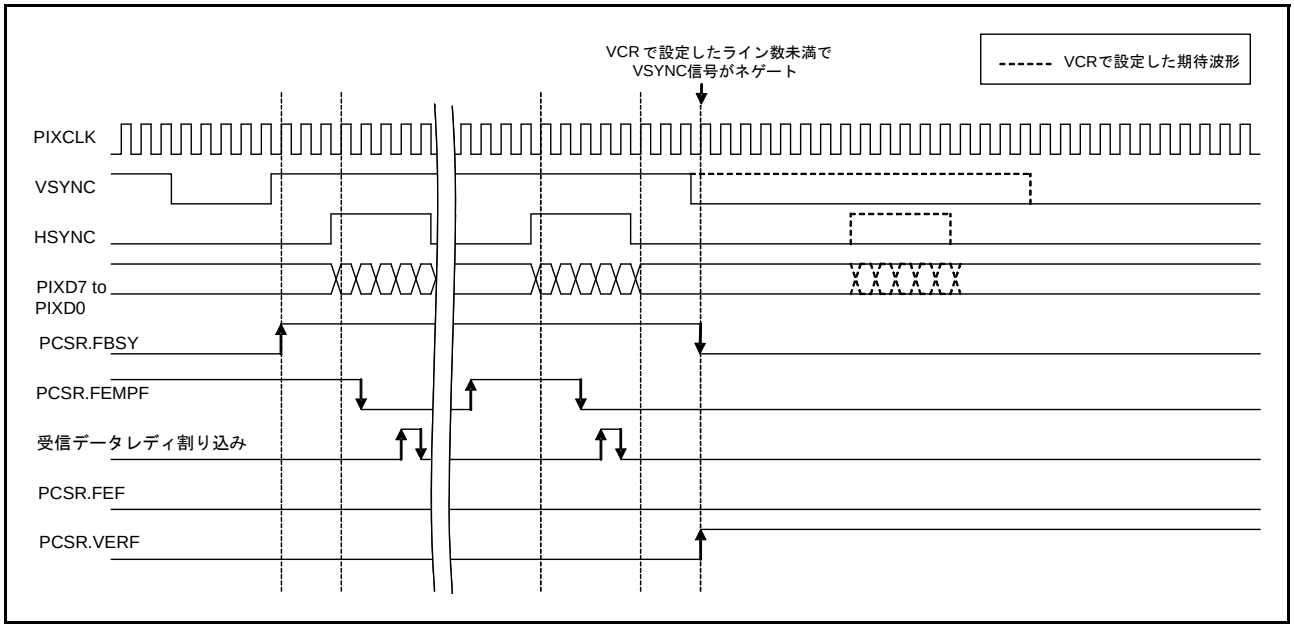


図 41.16　垂直方向ライン数設定エラー検出

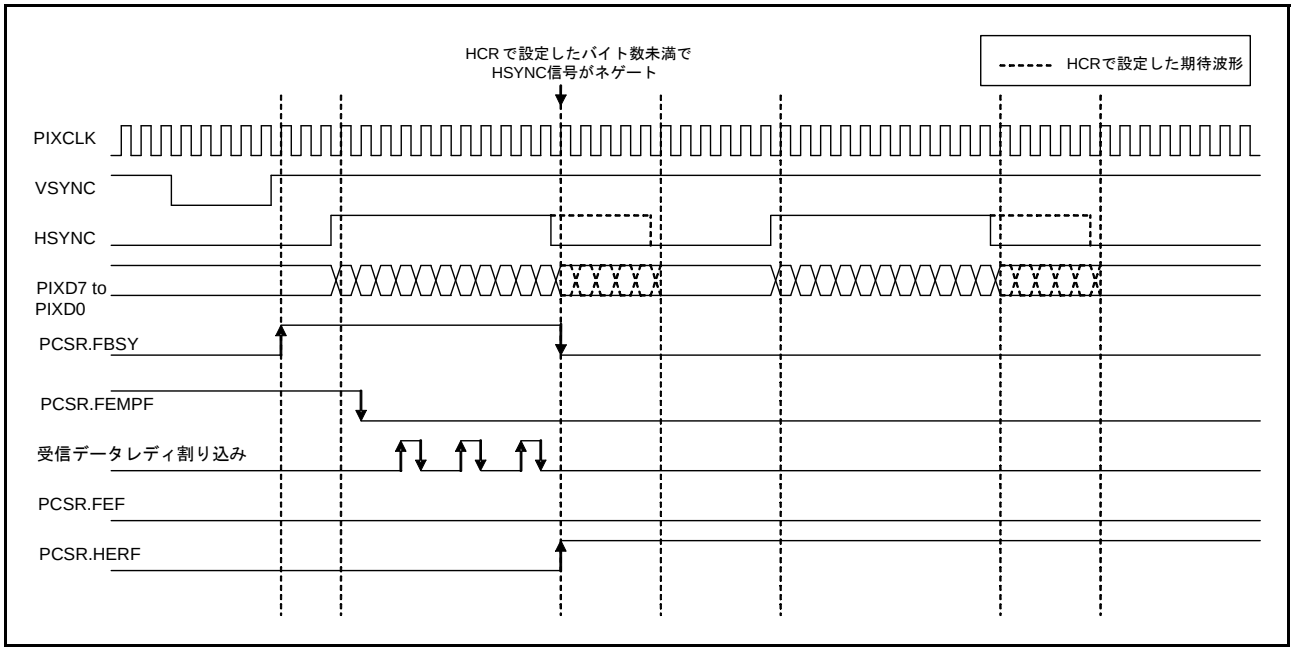


図 41.17　水平方向バイト数設定エラー検出

41.3.8　初期設定

図 41.18 に初期化フロー例を示します。なお、入出力ポート、割り込みコントローラの設定方法については各ブロックの説明を参照してください。

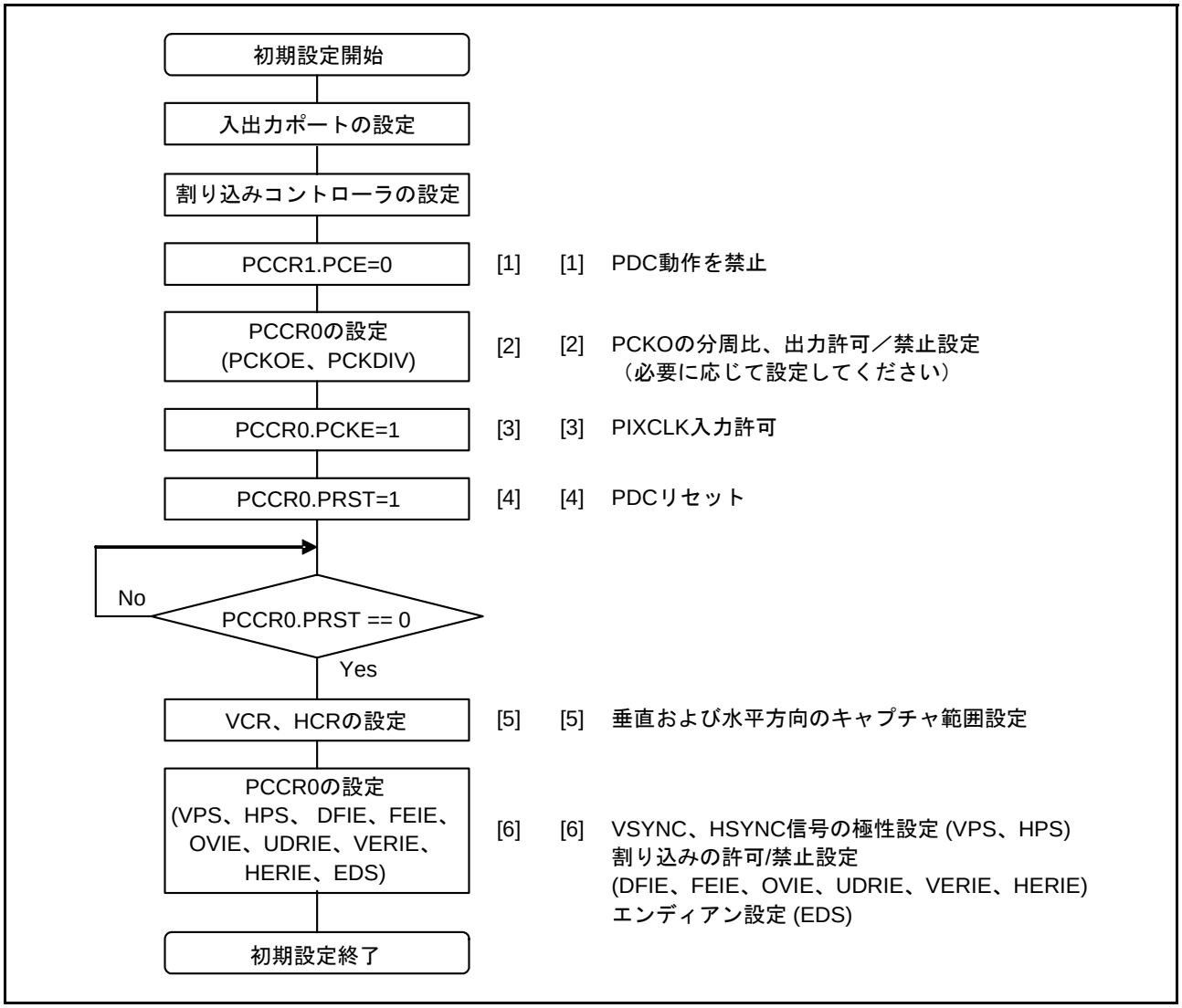


図 41.18　PDC の初期化フロー例

41.3.9　動作フロー

図 41.19 に受信データレディ割り込み (DTC/DMAC 起動) およびフレームエンド割り込みを使用した動作フローの例を示します。なお、DTC または DMAC の設定方法については「18.　DMA コントローラ（DMACA）」、「20.　データトランスファコントローラ（DTCa）」を参照してください。

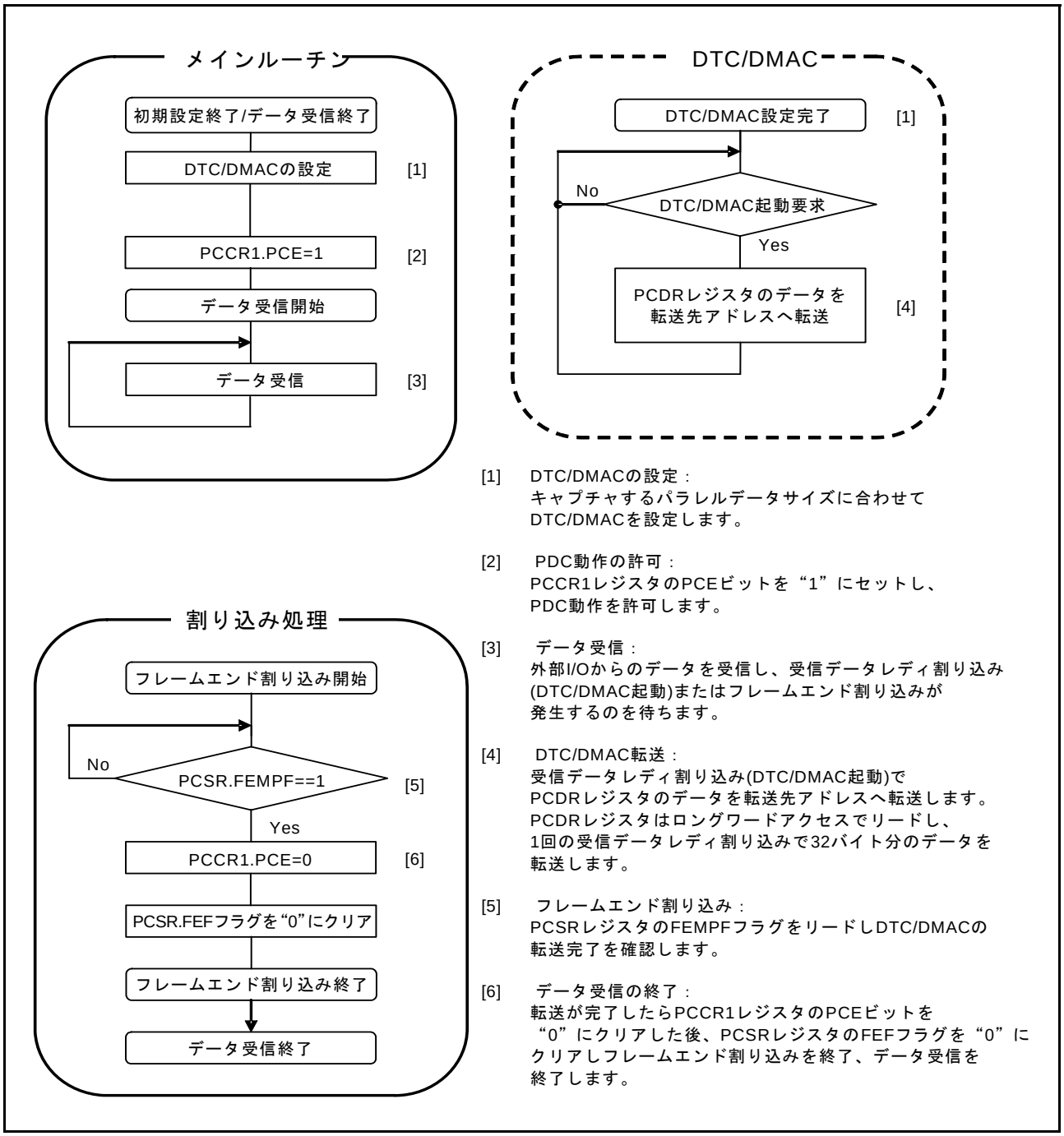
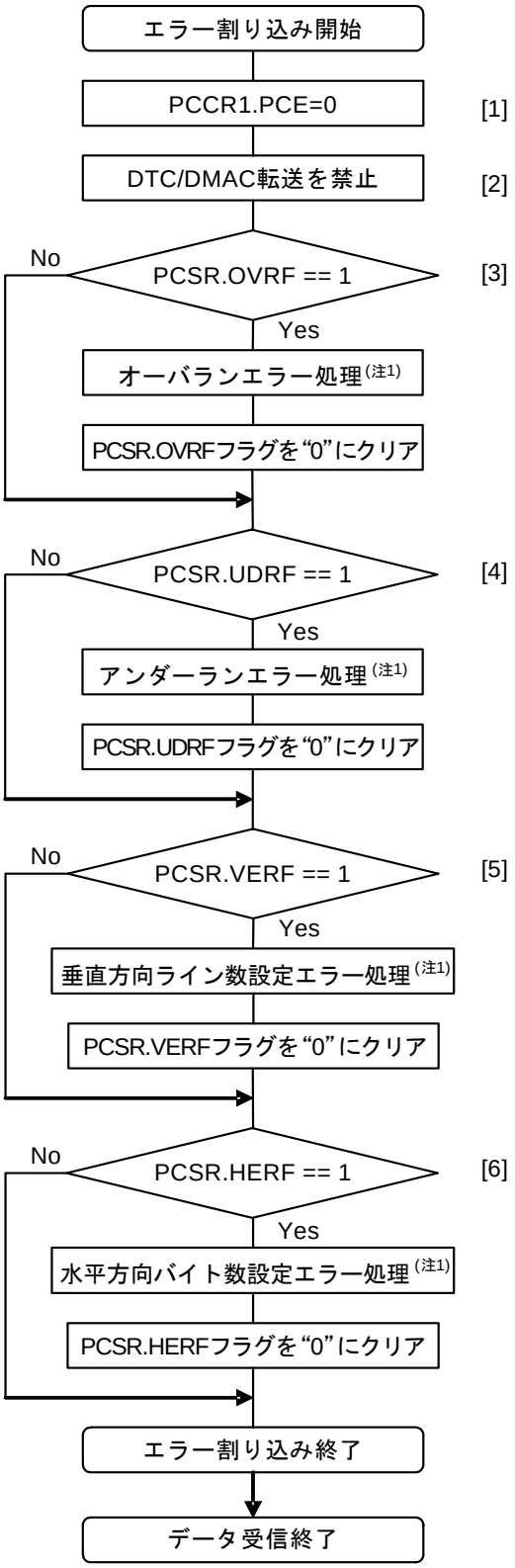


図 41.19　動作フロー例

図 41.20 にエラー割り込みフローの例を示します。



[1] PDC動作の禁止：
PCCR1レジスタのPCEビットをクリアし、PDC動作を禁止します。

[2] DTC/DMAC転送の禁止：
DTC/DMAC転送を禁止します。

[3] オーバランフラグの確認：
PCSRレジスタをリードしOVRFの状態を確認します。
OVRFフラグがセットされている場合、オーバランエラー処理を行い、OVRFフラグをクリアします。

[4] アンダーランエラーフラグの確認：
PCSRレジスタをリードしUDRFの状態を確認します。
UDRFフラグがセットされている場合、アンダーランエラー処理を行い、UDRFフラグをクリアします。

[5] 垂直方向ライン数設定エラーフラグの確認：
PCSRレジスタをリードしVERFの状態を確認します。
VERFフラグがセットされている場合、垂直方向ライン数設定エラー処理を行い、VERFフラグをクリアします。

[6] 水平方向バイト数設定エラーフラグの確認：
PCSRレジスタをリードしHERFの状態を確認します。
HERFフラグがセットされている場合、水平方向バイト数設定エラー処理を行い、HERFフラグをクリアします。

注1. 各エラー処理はユーザ定義のエラー処理になります。ユーザ側で各エラーに対応する処理を用意してください。

図 41.20　エラー割り込みフロー例

41.3.10　割り込み要因

PDC の割り込み要因には、受信データレディ、フレームエンド、オーバラン、アンダーラン、垂直方向ライン数設定エラー、水平方向バイト数設定エラーがあります。また、受信データレディの割り込み要求で DTC、DMAC を起動し、データ転送を行うことができます。

表 41.5 に PDC の割り込み要因を示します。**表 41.5** の割り込み条件が成立すると、割り込みが発生します。受信データレディの要因は、PCDR レジスタリードで割り込み要因をクリアしてください。フレームエンドの要因は、PCSR レジスタの FEF フラグで割り込み要因をクリアしてください。オーバラン、アンダーラン、垂直方向ライン数設定エラー、水平方向バイト数設定エラーの割り込み要求が PCERI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。各エラーの要因は、PCSR レジスタの OVRF フラグ、UDRF フラグ、VERF フラグ、HERF フラグで割り込み要因をクリアしてください。

DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから PDC の設定を行ってください。DTC または DMAC の設定方法については「18.　DMA コントローラ（DMACA）」、「20.　データトランスファコントローラ（DTCa）」を参照してください。

受信データレディ割り込みは、ICU.IRn.IR フラグが “1” のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要求までです）。ICU.IRn.IR フラグが “0” になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット（PCCR0 レジスタの DFIE ビット）を “0” にすることでクリアが可能です。

受信データレディ割り込みを許可状態から禁止状態に変更する場合、以下の手順で ICU.IRn.IR フラグを “0” にしてください。

1. IERn.IENj ビットを割り込み要求禁止に設定する。
2. 受信データレディ割り込み許可ビット DFIE ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. ICU.IRn.IR フラグを “0” にする。

表 41.5　PDC の割り込み要因

割り込み要因	略称	割り込み条件	DTC/DMAC 起動
受信データレディ割り込み	PCDFI	PCCR0 レジスタの DFIE ビットが”1”の状態で受信データレディになったとき	可能
フレームエンド割り込み	PCFEI	PCCR0 レジスタの FEIE ビットが”1”の状態でフレームエンドになったとき	不可能
エラー割り込み	PCERI	PCCR0 レジスタの OVIE ビットが”1”の状態でオーバランになったとき PCCR0 レジスタの UDRIE ビットが”1”の状態でアンダーランになったとき PCCR0 レジスタの VERIE ビットが”1”の状態で垂直方向ライン数設定エラーになったとき PCCR0 レジスタの HERIE ビットが”1”の状態で水平方向バイト数設定エラーになったとき	不可能

41.3.11　リセット状況

PDC は PDC リセットとそれ以外のリセット（RES# 端子リセット、パワーオンリセット、電圧監視 0 リセット、電圧監視 1 リセット、電圧監視 2 リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット) のリセット機能を持っています。表 41.6 に各リセットのリセット範囲およびリセット状況を示します。

表 41.6　リセット状況

	PDC リセット	それ以外のリセット
PCCR0	保持	リセット
PCCR1	保持	リセット
PCSR	リセット	リセット
PCMONR	保持	リセット
PCDR	保持	リセット
VCR	保持	リセット
HCR	保持	リセット

41.4　使用上の注意事項

41.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、PDC の動作禁止／許可を設定できます。リセット後の値では、PDC の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11.　消費電力低減機能」を参照してください。

41.4.2　消費電力低減機能の注意事項

消費電力低減機能を使用し PDC の消費電力を低減する場合、PCCR1 レジスタの PCE ビットを “0” に設定して受信動作を禁止し、PCCR0 レジスタの PCKE ビットを ”0” に設定し PIXCLK 入力を禁止した後、消費電力低減機能を使用してください。

PCCR0 レジスタの PCKOE ビットを ”1” に設定している場合は事前に PCCR0 レジスタの PCKOE ビットを ”0” に設定し PCKO 出力を停止させた後、同様の手順で PIXCLK 入力を禁止し、消費電力低減機能を使用してください。

41.4.3　エラー割り込みにおける注意事項

エラー割り込み発生時、動作状態によっては DTC または DMAC がパラレルデータを転送している可能性があります。

エラー割り込み処理ルーチンの先頭で PDC 動作を禁止（PCCR1.PCE=0）にした後、必ず DTC または DMAC の転送を禁止してください。

41.4.4　DTCa 使用時の注意事項

受信データレディ割り込みで DTCa を使用する場合、MRB レジスタの DISEL ビットを ”0”、MRA レジスタの SZ ビットを ”10b” に設定してください。

ブロック転送モードのブロック転送回数は最大 65536 回になります。1 回のブロック転送で 32 バイト転送した場合、2097152 バイトまでしか転送できないため、それ以上のデータを転送する場合は水平ブランキング期間中に再度 DTCa の設定を行ってください。

41.4.5　DMAC 使用時の注意事項

受信データレディ割り込みで DMAC を使用する場合、DMCSL レジスタの DISEL ビットを ”0”、DMTMD レジスタの SZ ビットを ”10b” に設定し、ICU の受信データレディ割り込みに対応する IPRn.IPR[3:0] ビットをレベル 0（割り込み禁止）に設定してください。

ブロック転送モードのブロック転送回数は最大 1024 回になります。1 回のブロック転送で 32 バイト転送した場合、32768 バイトまでしか転送できないため、それ以上のデータを転送する場合は水平ブランキング期間中に再度 DMAC の設定を行ってください。

41.4.6　通信の開始に関する注意事項

ICU.IRn.IR フラグが “1” で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが “1” のときは、動作許可（PCCR1 レジスタの PCE ビットを “1” にする）前に下記の手順で割り込み要求をクリアしてください。

(1) 通信が停止していること（PCCR1 レジスタの PCE ビットが “0” となっていること）を確認
(2) 対応する割り込み許可ビット（PCCR0 レジスタの DFIE ビット）を “0” にする
(3) 対応する割り込み許可ビット（PCCR0 レジスタの DFIE ビット）を読み出し、“0” を確認
(4) ICU.IRn.IR フラグを ”0” にする

42. 12 ビット A/D コンバータ（S12ADa）

42.1 概要

RX63N グループ、RX631 グループは、逐次比較方式の 12 ビットの A/D コンバータを 1 ユニット内蔵しています。最大 21 チャネルのアナログ入力、温度センサ出力、または内部基準電圧を選択できます。

A/D コンバータの動作モードは、任意に選択した最大 21 チャネルのアナログ入力を若いチャネル番号順に 1 回のみ変換するシングルスキャンモードと、任意に選択した最大 21 チャネルのアナログ入力を順次若いチャネル番号順に連続して変換する連続スキャンモードがあります。

温度センサ出力または内部基準電圧は、それぞれ単独で A/D 変換を行います。

表 42.1 に 12 ビット A/D コンバータの仕様を、**表 42.2** に 12 ビット A/D コンバータの機能概要を示します。**図 42.1 に** 12 ビット A/D コンバータのブロック図を示します。

表42.1　12ビットA/Dコンバータの仕様

項目	内容
ユニット数	1ユニット
入力チャネル	最大21チャネル
拡張アナログ入力	温度センサ出力、内部基準電圧（注3）
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャネル当たり1.0μs（A/D変換クロック ADCLK = 50MHz動作時）（注4）
A/D変換クロック（ADCLK）	4種類：PCLK、PCLK/2、PCLK/4、PCLK/8
データレジスタ	• アナログ入力用：21本 • 温度センサ用：1本 • 内部基準電圧用：1本 • A/D変換結果を12ビットのA/Dデータレジスタに保持 • 加算モード時は、A/D変換結果を14ビットのA/Dデータレジスタに保持
動作モード	• シングルスキャンモード： 任意に選択した最大21チャネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 • 連続スキャンモード：任意に選択した最大21チャネルのアナログ入力を繰り返しA/D変換（注1）
A/D変換開始条件	• ソフトウェアトリガ • 同期トリガ MTU、TPUまたはTMRからのトリガ • 非同期トリガ ADTRG0#端子によるA/D変換の開始が可能
機能	• サンプル＆ホールド機能 • サンプリングステート数可変機能 • A/D変換値加算モード
割り込み要因	• A/D変換終了でスキャン終了割り込み要求（S12ADI0）を発生 • S12ADI0割り込みでDMAC、DTCを起動可能
消費電力低減機能	モジュールストップ状態への設定可能（注2）

注1.　温度センサ出力または内部基準電圧を選択した場合は、連続スキャンモードを使用しないでください。
注2.　モジュールストップ状態を解除後は、10ms 待ってから A/D 変換を開始してください。
注3.　内部基準電圧については、「45.　電気的特性」を参照してください。
注4.　チャネルや信号源インピーダンス、AVCC 電圧に依存します。

表42.2　12ビットA/Dコンバータの機能概要

項目			機能/内部トリガ要因	
アナログ入力チャネル			AN000 ～ AN020	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	ADTRG0#	可能	
	同期トリガ（MTU、TMR、TPU）（注3）	TRG0AN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ
		TRG0BN_0	MTU0.TGRBとMTU0.TCNT	
		TRGAN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ
			MTU1.TGRAとMTU1.TCNT	
			MTU2.TGRAとMTU2.TCNT	
			MTU3.TGRAとMTU3.TCNT	
			MTU4.TGRAとMTU4.TCNT	
			MTU4.TCNT	相補PWMモード時のTCNTのアンダフロー（谷）
		TRGAN_1	TPU0.TGRA	インプットキャプチャ/コンペアマッチ
			TPU1.TGRA	
			TPU2.TGRA	
			TPU3.TGRA	
			TPU4.TGRA	
		TRG0EN_0	MTU0.TGREとMTU0.TCNT	コンペアマッチ
		TRG0FN_0	MTU0.TGRFとMTU0.TCNT	
		TRG4ABN_0	MTU4.TADCORAとMTU4.TCNTまたはMTU4.TADCORBとMTU4.TCNT	A/D変換開始要求ディレイド機能を利用したコンペアマッチ
		TRG4ABN_1	TPU0.TGRA	インプットキャプチャ/コンペアマッチ
		TMTRG0AN_0	TMR0.TCORAとTMR0.TCNT	コンペアマッチ
		TMTRG0AN_1	TMR2.TCORAとTMR2.TCNT	
割り込み			S12ADI0割り込み	
モジュールストップ機能の設定（注1、注2）			MSTPCRA.MSTPA17ビット	

注1.　モジュールストップ状態を解除後は、10ms待ってからA/D変換を開始してください。
注2.　詳細は「11.　消費電力低減機能」を参照してください。
注3.　同期トリガに付加している“_0”と“_1”は、ユニット番号を示します。同期トリガを出力されるための設定については、「23.4.3　A/Dコンバータの起動」および「27.6.2　A/Dコンバータの起動」を参照してください。

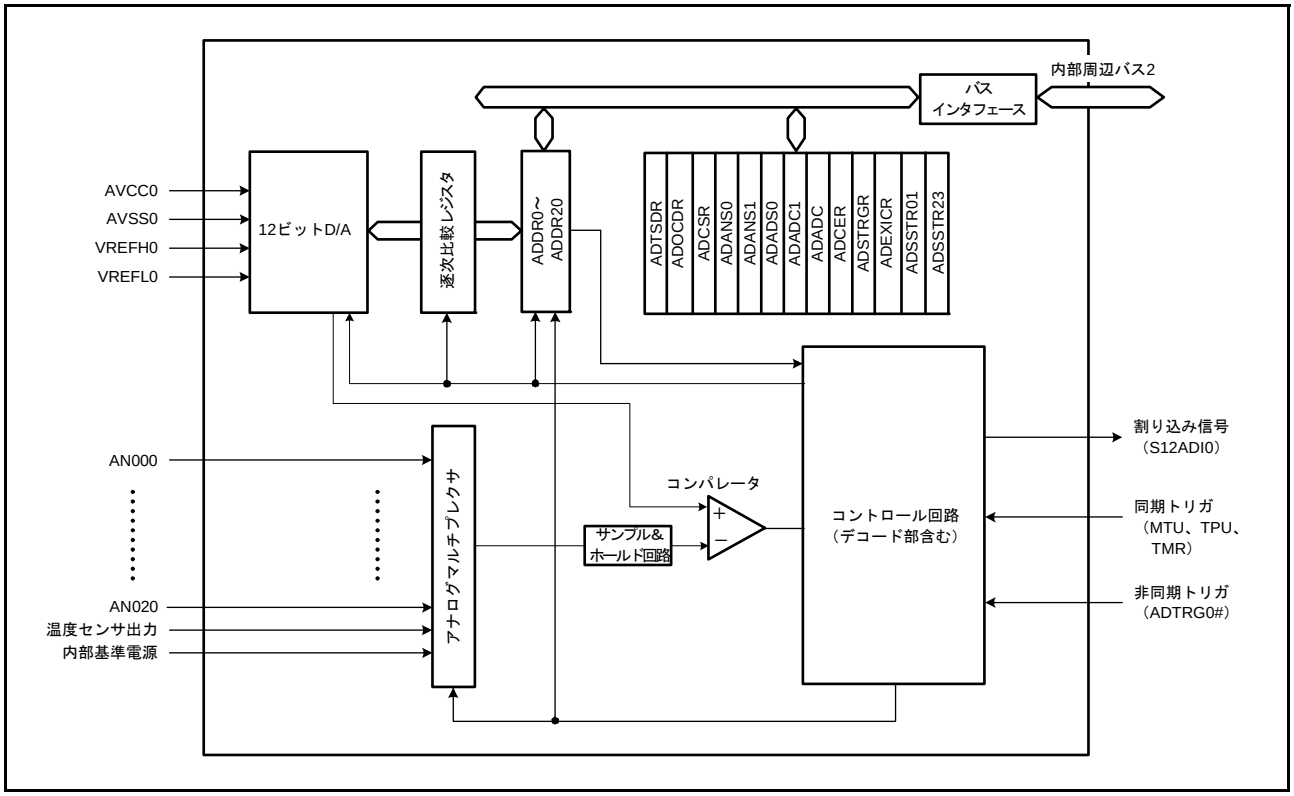


図 42.1　12 ビット A/D コンバータのブロック図

表 42.3 に 12 ビット A/D コンバータで使用する入力端子を示します。

表42.3　12ビットA/Dコンバータの入力端子

端子名	入力	機能
AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子
AVSS0	入力	12ビットA/Dコンバータのグランド端子
VREFH0	入力	12ビットA/Dコンバータの基準電源端子
VREFL0	入力	12ビットA/Dコンバータの基準電源グランド端子
AN000～AN020	入力	アナログ入力端子
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

42.2　レジスタの説明

42.2.1　A/D コントロールレジスタ（ADCSR）

アドレス　0008 9000h

	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS	—	ADIE	CKS[1:0]		TRGE	EXTRG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXTRG	トリガ選択ビット（注1）	0：同期トリガ（MTU、TPU、TMR）によるA/D変換の開始を選択 1：非同期トリガ（ADTRG0#）によるA/D変換の開始を選択	R/W
b1	TRGE	トリガ開始許可ビット	0：同期、非同期トリガによるA/D変換の開始を禁止 1：同期、非同期トリガによるA/D変換の開始を許可	R/W
b3-b2	CKS[1:0]	A/D変換クロック選択ビット	b3 b2 0 0：PCLK/8 0 1：PCLK/4 1 0：PCLK/2 1 1：PCLK	R/W
b4	ADIE	スキャン終了割り込み許可ビット	0：スキャン終了後のS12ADI0割り込み発生の禁止 1：スキャン終了後のS12ADI0割り込み発生の許可	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ADCS	スキャンモード選択ビット	0：シングルスキャンモード 1：連続スキャンモード	R/W
b7	ADST	A/D変換スタートビット	0：A/D変換停止 1：A/D変換開始	R/W

注1.　外部端子（非同期トリガ）でA/D変換を開始する方法
外部端子（ADTRG0#）にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLK以上必要です。

CKS[1:0] ビット（A/D 変換クロック選択ビット）

A/D 変換で使用するクロックを選択します。

CKS[1:0] ビットは、ADST ビットが “0” のときに設定してください (ADST ビットへの “1” 書き込みと同時設定もしないでください)。

ADIE ビット（スキャン終了割り込み許可ビット）

スキャン終了割り込み（S12ADI0 割り込み）の発生を許可 / 禁止します。

選択したすべてのチャネルの A/D 変換が終了したときに、ADIE ビットが “1” の場合は、スキャン終了割り込みが発生します。温度センサ出力、または内部基準電圧を選択した場合も A/D 変換が終了したときに、ADIE ビットが “1” の場合はスキャン終了割り込みが発生します。

ADCS ビット（スキャンモード選択ビット）

スキャン変換モードを選択します。

シングルスキャンモードは、ADANS0、ADANS1 レジスタで選択した最大 21 チャネルのアナログ入力を若いチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが “1” の間、ADANS0、ADANS1 レジスタで選択した最大 21 チャネルのアナログ入力を若いチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了すると最初のチャネルに戻り A/D 変換を継続します。ADCSR.ADST ビットを “0” にすると A/D 変換を停止します。

温度センサ出力または内部基準電圧を選択した場合は、シングルスキャンモードを選択し、ADANS0、ADANS1 レジスタで選択したチャネルをすべて非選択としてから A/D 変換を行います。選択した温度センサ出力または内部基準電圧の A/D 変換が終了すると停止します。

ADCS ビットは、ADST ビットが “0” のときに設定してください (ADST ビットへの “1” 書き込みと同時設定もしないでください)。

表 42.4 にスキャンモードと A/D 変換対象の選択可否を示します。

表 42.4　　スキャンモードと A/D 変換対象の選択可否

スキャンモード設定	A/D 変換対象		
	アナログ入力	温度センサ出力	内部基準電圧
シングルスキャンモード	○	○	○
連続スキャンモード	○	×	×

○：選択可能、×：選択不可能
注 1.　温度センサ出力または内部基準電圧を選択する場合は、アナログ入力を選択しないでください。
注 2.　アナログ入力を選択する場合は、温度センサ出力と内部基準電圧は選択しないでください。

ADST ビット（A/D 変換スタートビット）

A/D 変換の開始 / 停止を制御します。

ADST ビットを “1” に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1” になる条件]

- ソフトウェアで “1” を書き込んだとき
- ADCSR.EXTRG ビットに “0”、ADCSR.TRGE ビットに “1” を設定し、ADSTRGR.ADSTRS[3:0] ビットで選択した同期トリガ（MTU、TPU、TMR）を検出したとき
- ADCSR.EXTRG ビットに “1”、ADCSR.TRGE ビットに “1” を設定し、ADSTRGR.ADSTRS[3:0] ビットを “0000b” に設定し、非同期トリガを検出したとき

[“0” になる条件]

- ソフトウェアで “0” を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャネルの A/D 変換が終了したとき
- シングルスキャンモードで、温度センサ出力または内部基準電圧の A/D 変換が終了したとき

42.2.2　A/D チャネル選択レジスタ 0（ADANS0）

アドレス　0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANS0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	ANS0[15:0]	A/D 変換チャネル選択ビット	0：AN000 ～ AN015 を変換対象から外す 1：AN000 ～ AN015 を変換対象とする	R/W

ANS0[15:0] ビット（A/D 変換チャネル選択ビット）

A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN015 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANS0[0] が AN000、ANS0[15] が AN015 に対応します。チャネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換は行わないでください。

ANS0[15:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.3　A/D チャネル選択レジスタ 1（ADANS1）

アドレス　0008 9006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	ANS1[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b5	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b4-b0	ANS1[4:0]	A/D 変換チャネル選択ビット	0：AN016 ～ AN020 を変換対象から外す 1：AN016 ～ AN020 を変換対象とする	R/W

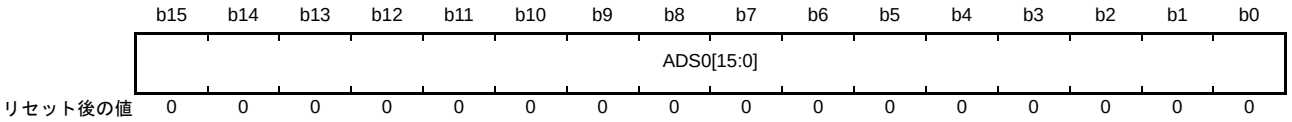
ANS1[4:0] ビット（A/D 変換チャネル選択ビット）

A/D 変換を行うチャネルのアナログ入力 AN016 ～ AN020 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANS1[0] が AN016、ANS1[4] が AN020 に対応します。チャネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換は行わないでください。

ANS1[4:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.4　A/D 変換値加算モード選択レジスタ 0（ADADS0）

アドレス　0008 9008h



ビット	シンボル	ビット名	機能	R/W
b15-b0	ADS0[15:0]	AD 変換値加算チャネル選択ビット	0：AN000 ～ AN015 の A/D 変換値加算モード非選択 1：AN000 ～ AN015 の A/D 変換値加算モード選択	R/W

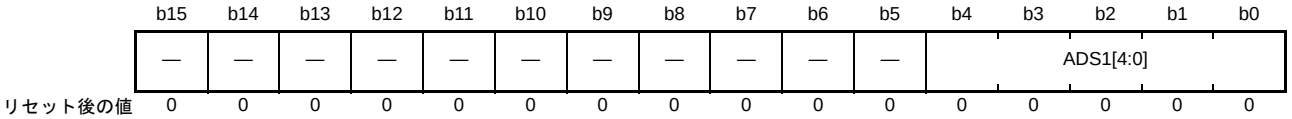
ADS0[15:0] ビット（A/D 変換値加算チャネル選択ビット）

ADANS0.ANS0[n]（n=0 ～ 15）で選択した A/D 変換チャネルと同一番号の ADS0[n] ビットを “1” にすると、ADADC.ADC[1:0] ビットで設定した回数（2 ～ 4 回）分、選択したチャネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS0[15:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.5　A/D 変換値加算モード選択レジスタ 1（ADADS1）

アドレス　0008 900Ah



ビット	シンボル	ビット名	機能	R/W
b15-b5	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b4-b0	ADS1[4:0]	AD 変換値加算チャネル選択ビット	0：AN016 ～ AN020 の A/D 変換値加算モード非選択 1：AN016 ～ AN020 の A/D 変換値加算モード選択	R/W

ADS1[4:0] ビット（A/D 変換値加算チャネル選択ビット）

ADANS1.ANS1[n]（n=0 ～ 4）で選択した A/D 変換チャネルと同一番号の ADS1[n] ビットを “1” にすると、ADADC.ADC[1:0] ビットで設定した回数（2 ～ 4 回）分、選択したチャネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS1[4:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

図 42.2 にビット ADS0[2] と ADS0[6] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード（ADCSR.ADCS = 1）で、加算回数は 3 回に設定（ADADC.ADC[1:0] = 11b）、AN000 ～ AN007 が選択（ADANS0.ANS0[15:0] = 00FFh）されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算（積算）値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算（積算）値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

加算モードを選択しないチャネルの A/D データレジスタのフォーマットは、ADCER.ADRFMT ビット（右詰め / 左詰め）の設定により決定されます。

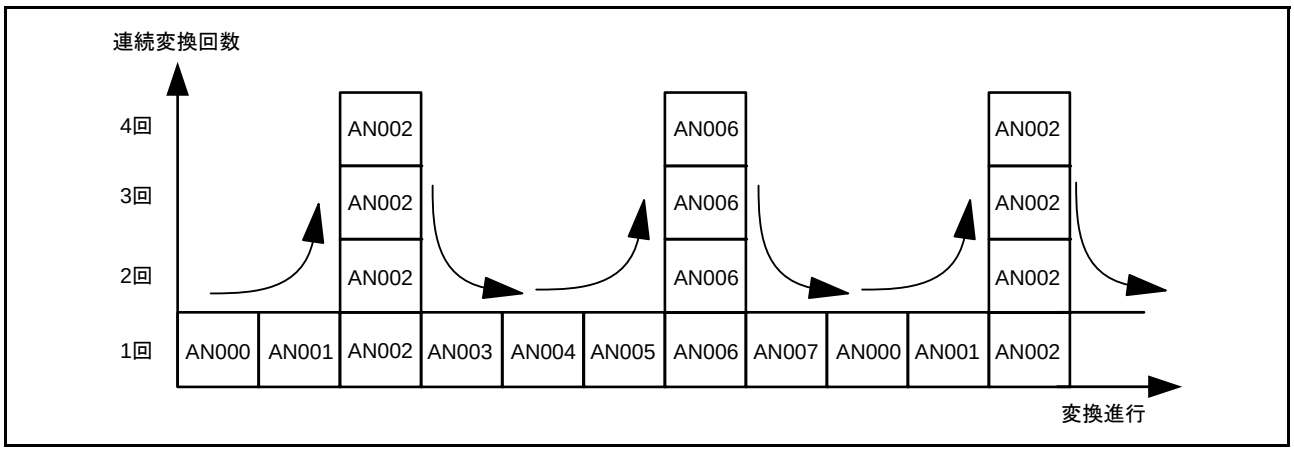


図 42.2　ADADC.ADC[1:0] = 11b、かつ ADS0[2] = 1 と ADS0[6] = 1 選択時のスキャン変換シーケンス

42.2.6　A/D 変換値加算回数選択レジスタ（ADADC）

アドレス　0008 900Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ADC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0：1回変換（加算なし。通常変換と同じ） 0 1：2回変換（1回加算を行う） 1 0：3回変換（2回加算を行う） 1 1：4回変換（3回加算を行う）	R/W
b7-b2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

ADC[1:0] ビット（加算回数選択ビット）

A/D 変換および加算モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

42.2.7　A/D コントロール拡張レジスタ（ADCER）

アドレス　0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	—	—	—	—	—	—	ACE	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリアイネーブルビット	0：自動クリアを禁止 1：自動クリアを許可	R/W
b14-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0：A/D データレジスタのフォーマットを右詰めにする 1：A/D データレジスタのフォーマットを左詰めにする	R/W

ACE ビット（自動クリアイネーブルビット）

CPU、DTC および DMAC によって ADDRy レジスタを読み出した後、当該レジスタの自動クリア（All“0”）を行うか行わないかを選択します。自動クリアにより ADDRy レジスタの未更新故障を検出することができます。

A/D 温度センサデータレジスタ（ADTSDR）、A/D 内部基準電圧データレジスタ（ADOCDR）は自動クリアされません。

ADRFMT ビット（A/D データレジスタフォーマット選択ビット）

ADDRy レジスタ、A/D 温度センサデータレジスタ（ADTSDR）、A/D 内部基準電圧データレジスタ（ADOCDR）に格納するデータの右詰め / 左詰めを選択します。

A/D 変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADRFMT ビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「42.2.12　A/D データレジスタ y（ADDRy）（y = 0 ～ 20）」、「42.2.10　A/D 温度センサデータレジスタ（ADTSDR）」、「42.2.11　A/D 内部基準電圧データレジスタ（ADOCDR）」を参照してください。

42.2.8　A/D 開始トリガ選択レジスタ（ADSTRGR）

アドレス　0008 9010h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ADSTRS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADSTRS[3:0]	A/D変換開始トリガ選択ビット	周辺モジュールからのA/D変換開始要因を選択します	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRS[3:0] ビット（A/D 変換開始トリガ選択ビット）

A/D 変換開始トリガの選択を行います。**表 42.5** に A/D 変換開始要因選択一覧を示します。

- 同期トリガ（MTU、TPU、TMR）を使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “0” に設定してください。
- 非同期トリガ（ADTRG0#）を使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “1” に設定してください。
- ソフトウェアトリガ（ADCSR.ADST）は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、ADSTRS[3:0] の設定値にかかわらず有効です。

表 42.5　A/D変換開始要因選択一覧

選択要因	ADSTRS[3]	ADSTRS[2]	ADSTRS[1]	ADSTRS[0]	備考
ソフトウェアトリガ	—	—	—	—	
非同期トリガ	0	0	0	0	
TRG0AN_0	0	0	0	1	MTU0.TGRA と MTU0.TCNT
TRG0BN_0	0	0	1	0	MTU0.TGRB と MTU0.TCNT
TRGAN_0	0	0	1	1	MTUn.TGRA と MTUn.TCNT(n=0～4)
TRGAN_1	0	1	0	0	TPUn.TGRA(n=0～4)
TRG0EN_0	0	1	0	1	MTU0.TGRE と MTU0.TCNT
TRG0FN_0	0	1	1	0	MTU0.TGRF と MTU0.TCNT
TRG04ABN_0	0	1	1	1	MTU4.TADCORA と MTU4.TCNT または MTU4.TADCORB と MTU4.TCNT
TRG04ABN_1	1	0	0	0	TPU0.TGRA
TMTRG0AN_0	1	0	0	1	TMR0.TCORA と TMR0.TCNT
TMTRG0AN_1	1	0	1	0	TMR2.TCORA と TMR2.TCNT

42.2.9　A/D 変換拡張入力コントロールレジスタ（ADEXICR）

アドレス　0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCS	TSS	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算モード選択ビット	0：温度センサ出力A/D変換値加算モード非選択 1：温度センサ出力A/D変換値加算モード選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算モード選択ビット	0：内部基準電圧A/D変換値加算モード非選択 1：内部基準電圧A/D変換値加算モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSS	温度センサ出力A/D変換選択ビット	0：温度センサ出力をA/D変換しない 1：温度センサ出力をA/D変換する	R/W
b9	OCS	内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSSAD ビット（温度センサ出力 A/D 変換値加算モード選択ビット）

温度センサ出力の A/D 変換を選択し、TSSAD ビットを “1” にすると、ADADC.ADC[1:0] ビットで設定した回数（2 ～ 4 回）分、温度センサ出力を連続して A/D 変換し、積算した値を A/D 温度センサデータレジスタ（ADTSDR）に返します。

TSSAD ビットは、ADCSR.ADST ビットが ”0” のときに設定してください。

OCSAD ビット（内部基準電圧 A/D 変換値加算モード選択ビット）

内部基準電圧の A/D 変換を選択し、OCSAD ビットを “1” にすると、ADADC.ADC[1:0] ビットで設定した回数（2 ～ 4 回）分、内部基準電圧を連続して A/D 変換し、積算した値を A/D 内部基準電圧データレジスタ（ADOCDR）に返します。OCSAD ビットは、ADCSR.ADST ビットが ”0” のときにに設定してください。

TSS ビット（温度センサ出力 A/D 変換選択ビット）

温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADANS0、ADANS1 レジスタの全ビットと OCS ビットを “0” にしてください。また、連続スキャンモード（ADCSR.ADCS = 1）は選択しないでください。TSS ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

OCS ビット（内部基準電圧 A/D 変換選択ビット）

内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場合は、ADANS0、ADANS1 レジスタの全ビットと TSS ビットを “0” にしてください。また、連続スキャンモード（ADCSR.ADCS = 1）は選択しないでください。OCS ビットは、ADST ビットが “0” のときに設定してください。

42.2.10　A/D 温度センサデータレジスタ（ADTSDR）

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット（ADCER.ADRFMT）、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0（右詰めのフォーマットに設定）

アドレス　0008 901Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12 ビット A/D 変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1（左詰めのフォーマットに設定）

アドレス　0008 901Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[11:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12 ビット A/D 変換値	R

- A/D 変換値加算モードを選択した場合

アドレス　0008 901Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[13:0]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14 ビット A/D 変換値加算結果	R

A/D 変換値加算モードに設定した場合、ADTSDR.AD[13:0] ビットは温度センサ出力の A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めのフォーマットになります。

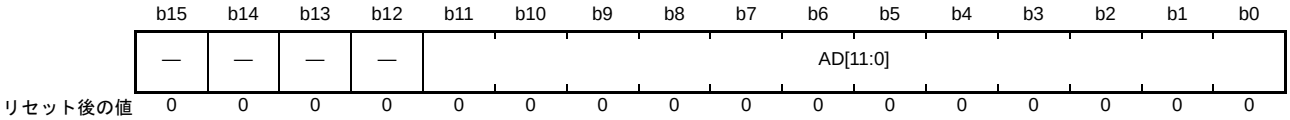
42.2.11　A/D 内部基準電圧データレジスタ（ADOCDR）

ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット（ADCER.ADRFMT）、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0（右詰めのフォーマットに設定）

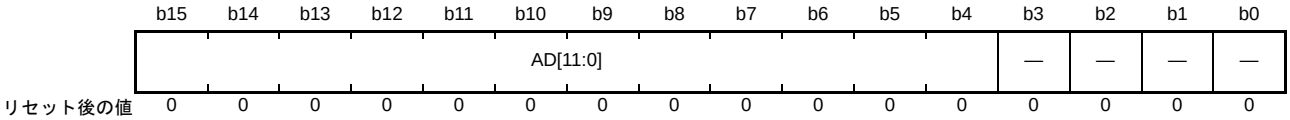
アドレス　0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1（左詰めのフォーマットに設定）

アドレス　0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス　0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D 変換値加算モードに設定した場合、ADOCDR.AD[13:0] ビットは内部基準電圧の A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めのフォーマットになります。

42.2.12　A/D データレジスタ y（ADDRy）（y = 0 ～ 20）

ADDRy レジスタは、チャネルのアナログ入力（AN000 ～ AN020）を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット（ADCER.ADRFMT）、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0（右詰めのフォーマットに設定）

アドレス　0008 9020h ～　0008 9048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1（左詰めのフォーマットに設定）

アドレス　0008 9020h ～　0008 9048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[11:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス　0008 9020h ～　0008 9048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[13:0]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D 変換値加算モードに設定した場合、ADDRy.AD[13:0] ビットは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めのフォーマットになります。

A/D 変換値加算モードを選択したチャネルに対しての最小値と最大値を以下に示します。

1 回変換時：0000h ≦ ADDRy（y = 0 ～ 20）≦ 3FFCh
　　ADDRy（y = 0 ～ 20）：ビット 15、14 = 00b、ビット 13 ～ 2 = AD[11:0]、ビット 1、0 = 00b
2 回変換時：0000h ≦ ADDRy（y = 0 ～ 20）≦ 7FF8h
　　ADDRy（y =0 ～ 20）：ビット 15 = 0、ビット 14 ～ 2 = AD[12:0]、ビット 1、0 = 00b
3 回変換時：0000h ≦ ADDRy（y = 0 ～ 20）≦ BFF4h
　　ADDRy（y =0 ～ 20）：ビット 15 ～ 2 = AD[13:0]、ビット 1、0 = 00b
4 回変換時：0000h ≦ ADDRy（y = 0 ～ 20）≦ FFF0h
　　ADDRy（y = 0 ～ 20）：ビット 15 ～ 2 = AD[13:0]、ビット 1、0 = 00b

42.2.13　A/D サンプリングステートレジスタ 01（ADSSTR01）

アドレス　0008 9060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SST1[7:0]							
リセット後の値	0	0	0	1	0	1	0	0	0	0	0	1	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SST1[7:0]	サンプリング時間 1 設定ビット	10～255 ステートのステート単位にサンプリング時間を設定します	R/W
b15-b8	—	予約ビット	書く場合、“00010100b”としてください。読むと同値が読めます。	R/W

SST1[7:0] ビット（サンプリング時間 1 設定ビット）

チャネル選択によるアナログ入力のサンプリング時間の設定を行います。

1 ステート＝ 1ADCLK（A/D 変換クロック）幅で ADCLK が 50MHz であれば 1 ステート＝ 20ns になります。初期値は、20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。SST1[7:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

サンプリング時間の設定値は、10 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4µs 以上となるように設定してください。

42.2.14　A/D サンプリングステートレジスタ 23（ADSSTR23）

アドレス　0008 9070h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SST2[7:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	1	0	1	0	0	0	0	0	1	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	書く場合、“00010100b”としてください。読むと同値が読めます。	R/W
b15-b8	SST2[7:0]	サンプリング時間2設定ビット	10～255ステートのステート単位にサンプリング時間を設定します	R/W

SST2[7:0] ビット（サンプリング時間 2 設定ビット）

温度センサ出力のサンプリング時間の設定を行います。1 ステート＝ 1ADCLK（A/D 変換クロック）幅で ADCLK が 50MHz であれば 1 ステート＝ 20ns になります。初期値は、20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整できます。SST2[7:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

サンプリング時間の設定値は、10 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4µs 以上となるように設定してください。

42.3　動作説明

42.3.1　スキャンの動作説明

スキャンとは、指定されたチャネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードがあります。

シングルスキャンモードでは、指定された 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードでは、指定された 1 チャネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを “0” にするまで無制限に繰り返し実施するモードです。

両モードとも ADANS0、ADANS1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を行います。

温度センサ出力または内部基準電圧を選択する場合は、シングルスキャンモードで A/D 変換を行います。この動作は、シングルスキャンモードで 1 チャネルのみを選択したスキャンと同じ動作になります。

42.3.2　シングルスキャンモード

42.3.2.1　基本動作

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように1サイクルのみA/D変換します。チャネル選択でのスキャン時は、温度センサ出力A/D変換選択ビット（ADEXICR.TSS）と内部基準電圧A/D変換選択ビット（ADEXICR.OCS）はともに“0”（非選択）に設定します。

(1) ソフトウェア、同期トリガ（MTU、TPU、TMR）または非同期トリガ入力によって、ADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANS0、ADANS1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

(2) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。

(3) 選択されたすべてのチャネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了によるS12ADI0割り込み許可）に設定されていると、S12ADI0割り込み要求を発生します。

(4) ADSTビットはA/D変換中は“1”（A/D変換開始）を保持し、選択されたすべてのチャネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

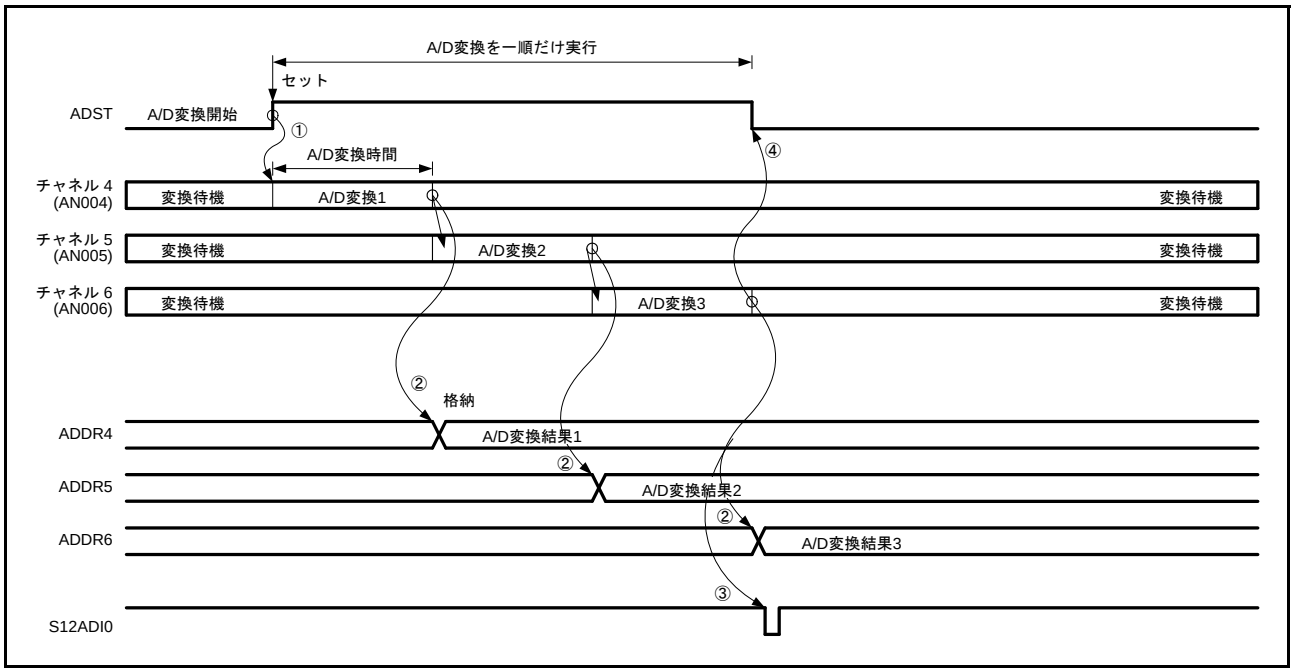


図 42.3　シングルスキャンモードの動作例（基本動作：AN004 ～ AN006 選択）

42.3.2.2　温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

温度センサ出力または内部基準電圧の A/D 変換を選択した場合は、シングルスキャンモードで実行し、動作は以下のようになります。

チャネル選択はすべて非選択（ADANS0.ANS0[15:0]、ADANS1.ANS1[4:0] はすべて “0”）に設定します。また、温度センサ A/D 変換を選択する場合は、内部基準電圧 A/D 変換選択ビット（ADEXICR.OCS）を “0”（非選択）に設定してください。内部基準電圧 A/D 変換を選択する場合は、温度センサ A/D 変換選択ビット（ADEXICR.TSS）を “0”（非選択）に設定してください。

(1) ソフトウェア、同期トリガ（MTU、TPU、TMR）、または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、温度センサ出力または内部基準電圧の A/D 変換を開始します。

(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ（ADTSDR）または A/D 内部基準電圧データレジスタ（ADOCDR）に格納され、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。

(3) ADCSR.ADST ビットは A/D 変換中は “1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

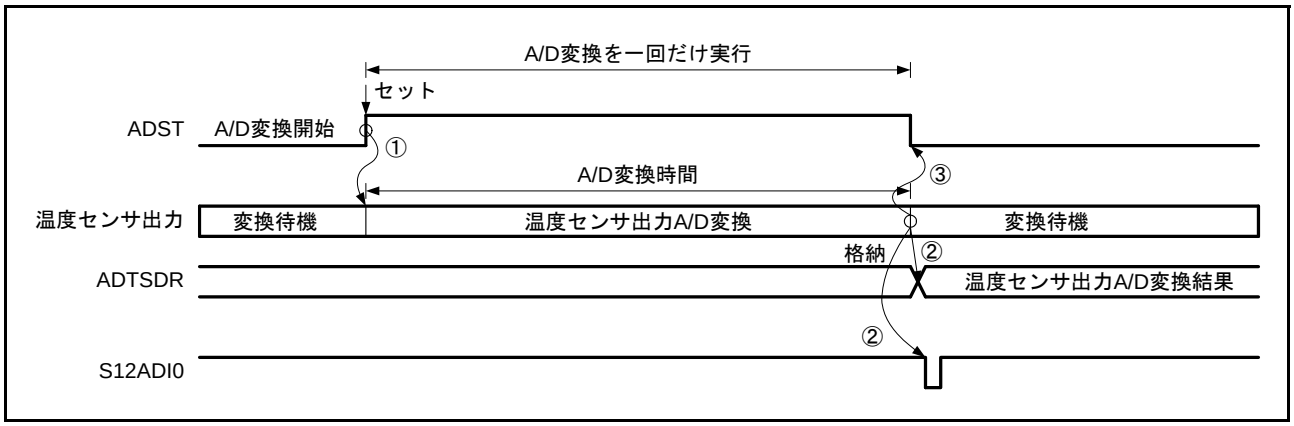


図 42.4　シングルスキャンモードの動作例（温度センサ出力選択）

42.3.3　連続スキャンモード

42.3.3.1　基本動作

連続スキャンモードの基本動作は、選択されたチャネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット（ADEXICR.TSS）と内部基準電圧A/D変換選択ビット（ADEXICR.OCS）はともに“0”（非選択）に設定します。

(1) ソフトウェア、同期トリガ（MTU、TPU、TMR）または非同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANS0、ADANS1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

(2) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。

(3) 選択されたすべてのチャネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了によるS12ADI0割り込み許可）に設定されていると、S12ADI0割り込み要求を発生します。
また12ビットA/Dコンバータは、継続してADANS0、ADANS1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

(4) ADCSR.ADSTビットは自動的にクリアされず、“1”（A/D変換開始）の間は（2）～（3）を繰り返します。ADCSR.ADSTビットを“0”（A/D変換停止）に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。

(5) その後、ADCSR.ADSTビットを“1”（A/D変換開始）にセットすると再びADANS0、ADANS1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

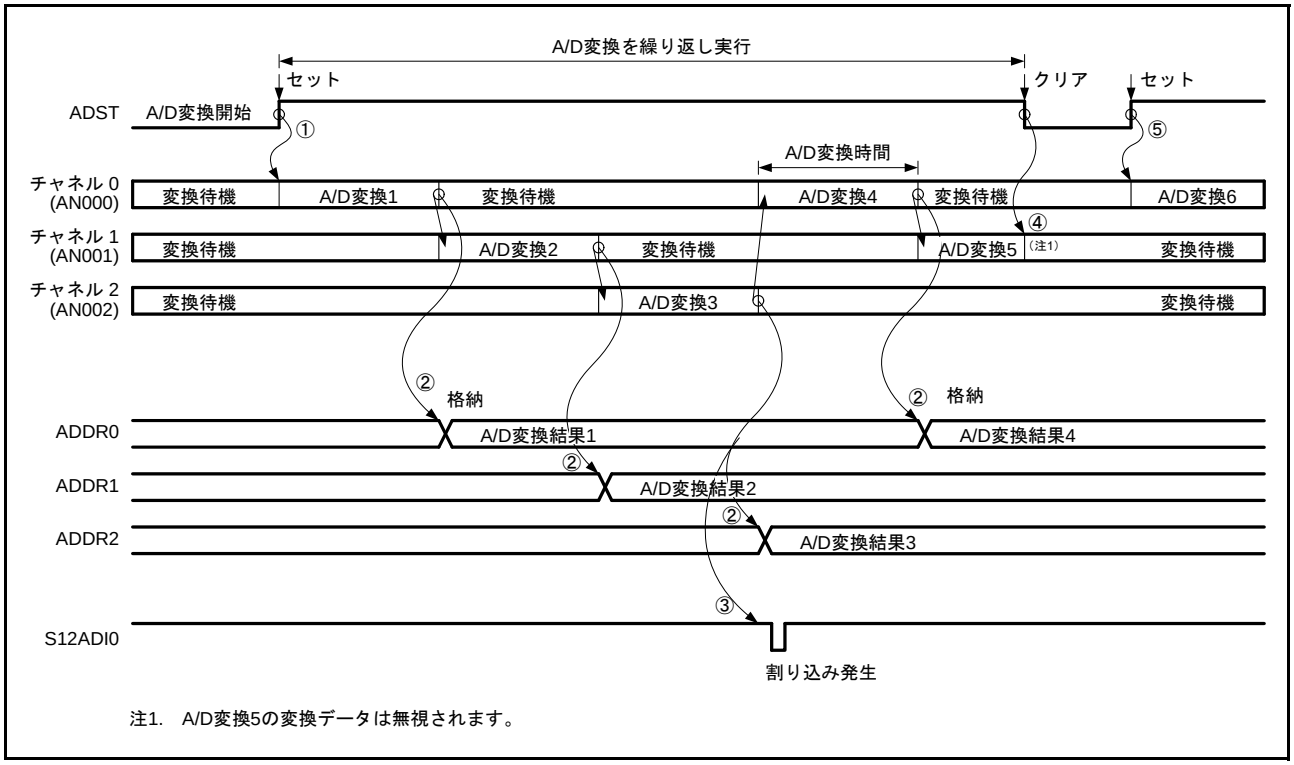


図 42.5　連続スキャンモードの動作例（基本動作：AN000 ～ AN002 選択）

42.3.4　アナログ入力のスキャン時間

スキャン時間は、表 42.6 に示す処理に要する時間（表 42.7）によって決まります。

表42.6　スキャン中の処理

処理	処理内容
スキャン開始処理	ソフトウェア トリガ、同期 トリガ、非同期 トリガによる開始処理
アナログ入力A/D変換処理（注1）	12ビットA/Dコンバータのサンプリングホールドと逐次比較処理
スキャン終了処理	A/D変換データ格納およびS12ADI0割り込み出力処理

注1.　処理時間は、A/Dサンプリングステートレジスタ01（ADSSTR01）、A/Dサンプリングステートレジスタ23（ADSSTR23）のサンプリングステート数の設定（SST1[7:0]、SST2[7:0]ビット）で変わります。

表42.7　スキャンでの各所要時間（ADCLKとPCLKのサイクル数で示します）

項目	記号	種類/条件	サイクル
スキャン開始処理時間	t_D	同期トリガ（MTU、TPU、TMR）、ソフトウェア トリガ	2PCLK＋3ADCLK（注1）
		非同期トリガ（ADTRG0#）	4PCLK＋3ADCLK（注1）
A/D変換処理時間	t_{CONV}	ADSSTRxx.SSTy[7:0] 初期設定値14h（注2）	50ADCLK
スキャン終了処理時間	t_{ED}	—	1PCLK＋2ADCLK（注3）

注1.　2PCLKと4PCLKは、レジスタ書き込み時間とトリガ処理時間です。3ADCLKは、ADCSR.ADSTビットのセットから12ビットA/Dコンバータが動作を開始するまでの最大時間です。
注2.　ADSSTRxx.SSTy[7:0]は、ADSSTR01.SST1[7:0]、ADSSTR23.SST2[7:0]ビットを表します。
注3.　2ADCLKは最大時間で、＋1PCLK以内にS12ADI0割り込みが出力されます。強制停止の処理時間は「42.5.3　A/D変換開始時と強制停止の動作タイミング」を参照してください。

選択チャネル数が n の 1 サイクルスキャンのスキャン変換時間（t_{SCAN}）は、次のように表されます。

$$t_{SCAN} = t_D + (t_{CONV} \times n) + t_{ED}$$

- 連続スキャンの 1 サイクル目は、1 サイクルスキャンの t_{SCAN} から t_{ED} を省いた時間です。
- 連続スキャンの 2 サイクル目以降は（$t_{CONV} \times n$）固定となります。
- A/D 変換処理時間（tCONV）は、以下になります。
  A/D 変換処理時間（tCONV）= 30 ステート（固定）+ ADSSTRxx.SSTy[7:0] ビットの設定値

42.3.5　ADDRy レジスタの自動クリア機能の使用例

ADCER.ACE ビットを “1” にすることにより、CPU、DTC および DMAC によって A/D データレジスタ（ADDRy）を読み出す際、自動的に ADDRy レジスタを 0000h にクリアできます。ADTSDR レジスタ、ADOCDR レジスタには自動クリア機能はありません。

アナログ入力電圧が 0V 近辺でない場合に、自動クリア機能を使うことにより、A/D データレジスタ y（ADDRy）の未更新故障を検出することができます。アナログ入力電圧が 0V 近辺の場合は、正常な A/D 変換結果が 0000h となる場合があるため、自動クリア機能は使用できません

以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが “0”（自動クリア禁止）の場合、A/D 変換結果（0222h）が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ（0111h）が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ（0111h）が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが “1”（自動クリア許可）の場合には、ADDRy = 0111h を CPU、DTC および DMAC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ（0000h）が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

42.3.6　A/D 変換値加算機能

同じチャネルを 2 ～ 4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

42.3.7　非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット（ADSTRGR.ADSTRS[3:0]）を 00h に設定し、非同期トリガ（ADTRG0# 端子）に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。その後、非同期トリガ（ADTRG0#）を Low にすると ADST ビットが “1” になり、A/D 変換を開始します。このとき ADTRG0# の Low パルス幅は 1.5 PCLK 以上必要です。また、ADCSR.ADST ビットがセットされてから、A/D 変換を開始するまでの時間は、**「42.5.3　A/D 変換開始時と強制停止の動作タイミング」**を参照してください。**図 42.6** に非同期トリガ入力により、ADCSR.ADST ビットがセットされるまでのタイミングを示します。

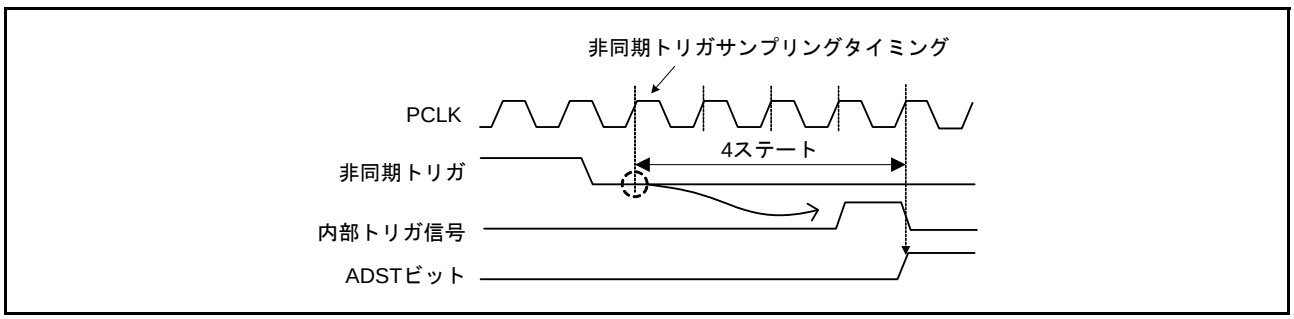


図 42.6　非同期トリガ入力タイミング

42.3.8　周辺モジュールからの同期トリガによるA/D変換の開始

MTU、TPUまたはTMRからの同期トリガによって、A/D変換を開始することができます。同期トリガでA/D変換を開始するときには、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“0”、ADSTRGR.ADSTRS[3:0]ビットで該当のA/D変換開始要因にセットします。

表42.8にA/D変換開始要因選択一覧を示します。

表42.8　A/D変換開始要因選択一覧

モジュール	要因	備考	ADSTRS[3]	ADSTRS[2]	ADSTRS[1]	ADSTRS[0]
S12AD	ADST	ソフトウェアトリガ	—	—	—	—
外部入力	ADTRG0#	非同期トリガ	0	0	0	0
MTU	TRG1N	TRG0AN_0	0	0	0	1
	TRG2N	TRG0BN_0	0	0	1	0
	TRG3N	TRGAN_0	0	0	1	1
TPU	TRG4N	TRGAN_1	0	1	0	0
MTU	TRG5N	TRG0EN_0	0	1	0	1
	TRG6N	TRG0FN_0	0	1	1	0
	TRG7N	TRG4ABN_0	0	1	1	1
TPU	TRG8N	TRG4ABN_1	1	0	0	0
TMR	TRG9N	TMTRG0AN_0	1	0	0	1
	TRG10N	TMTRG0AN_1	1	0	1	0

注.　A/D変換を開始するトリガをADTRG0#に設定する場合は、該当する端子のPORTn.PDR.B7またはPORTn.PDR.B6またはPORTn.PDR.B5ビットを“0”（入力ポート）に、PORTn.PMR.B7またはPORTn.PMR.B6またはPORTn.PMR.B5ビットを“1”（対応する端子の入力バッファは有効）に設定してください。詳細については、「20.　I/Oポート」および「21.　マルチファンクションピンコントローラ（MPC）」を参照してください。

42.3.8.1　MTUのTRG0AN_0とTRG0BN_0によるA/D変換の開始

MTU0のTGRAのインプットキャプチャ/コンペアマッチにより、トリガ信号TRG0AN_0を発生させ、A/D変換を開始することができます。

また、MTU0のTGRBのインプットキャプチャ/コンペアマッチにより、トリガ信号TRG0BN_0を発生させ、A/D変換を開始することができます。

MTUのTRG0AN_0とTRG0BN_0出力とA/Dコンバータの接続関係を**図42.7**に示します。

MTU0のTGRAのインプットキャプチャ/コンペアマッチでA/D変換を開始する場合は、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“0”、ADSTRGR.ADSTRS[3:0]ビットを“0001b”（要因TRG1N、対応トリガTRG0AN_0を選択）に設定します。

また、MTU0のTGRBのインプットキャプチャ/コンペアマッチでA/D変換を開始する場合は、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“0”、ADSTRGR.ADSTRS[3:0]ビットを“0010b”（要因TRG2N、対応トリガTRG0BN_0を選択）に設定します。

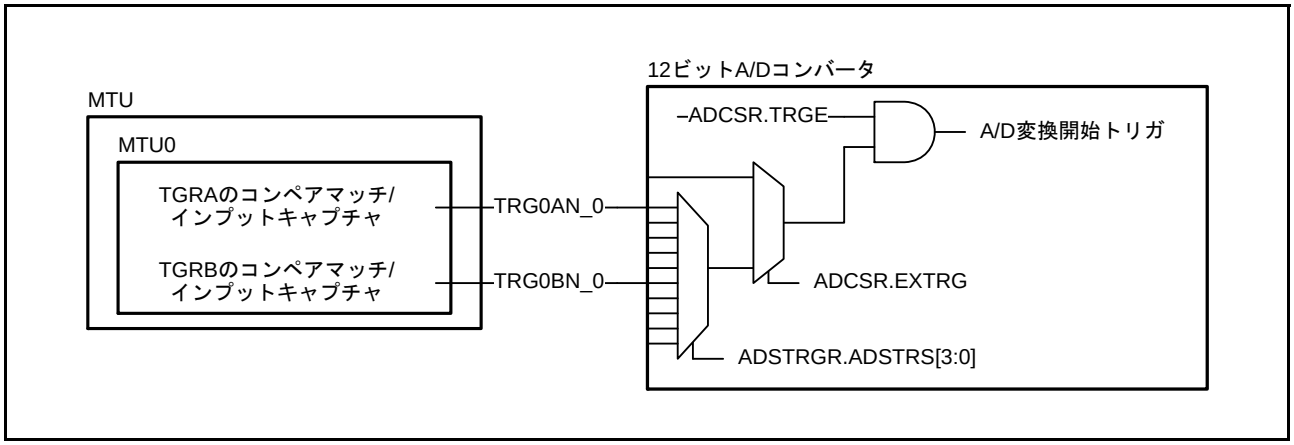


図 42.7　MTU の TRG0AN_0 と TRG0BN_0 出力と A/D コンバータの接続関係

42.3.8.2　MTU の TRGAN_0 と TPU の TRGAN_1 による A/D 変換の開始

MTU0 ～ MTU4 の TRGA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の MTU4 の TCNT アンダフロー（谷）により、トリガ信号 TRGAN_0 を発生させ、A/D 変換を開始することができます。同様に、TPU（ユニット 0）の TPU0 ～ TPU4 の TRGA のインプットキャプチャ / コンペアマッチにより、トリガ信号 TRGAN_1 を発生させ、A/D 変換を開始することができます。

MTU の TRGAN_0 と TPU（ユニット 0）の TRGAN_1 出力と A/D コンバータの接続関係を図 42.8 に示します。

MTU0 ～ MTU4 の TGRA のインプットキャプチャ / コンペアマッチと、相補 PWM モード時の MTU4 の TCNT アンダフロー（谷）で A/D 変換を開始する場合は ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0011b”（要因 TRG3N、対応トリガ TRGAN_0 を選択）に設定し、MTUn.TIER.TTGE ビット (n=0 ～ 4)、MTU4.TIER.TTGE2 ビットを “1” に設定します。

また、TPU0 ～ TPU4 の TGRA のインプットキャプチャ / コンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0100b”（要因 TRG4N、対応トリガ TRGAN_1 を選択）に設定し、TPUnTIER.TTGE ビット (n=0 ～ 4) を “1” に設定します。

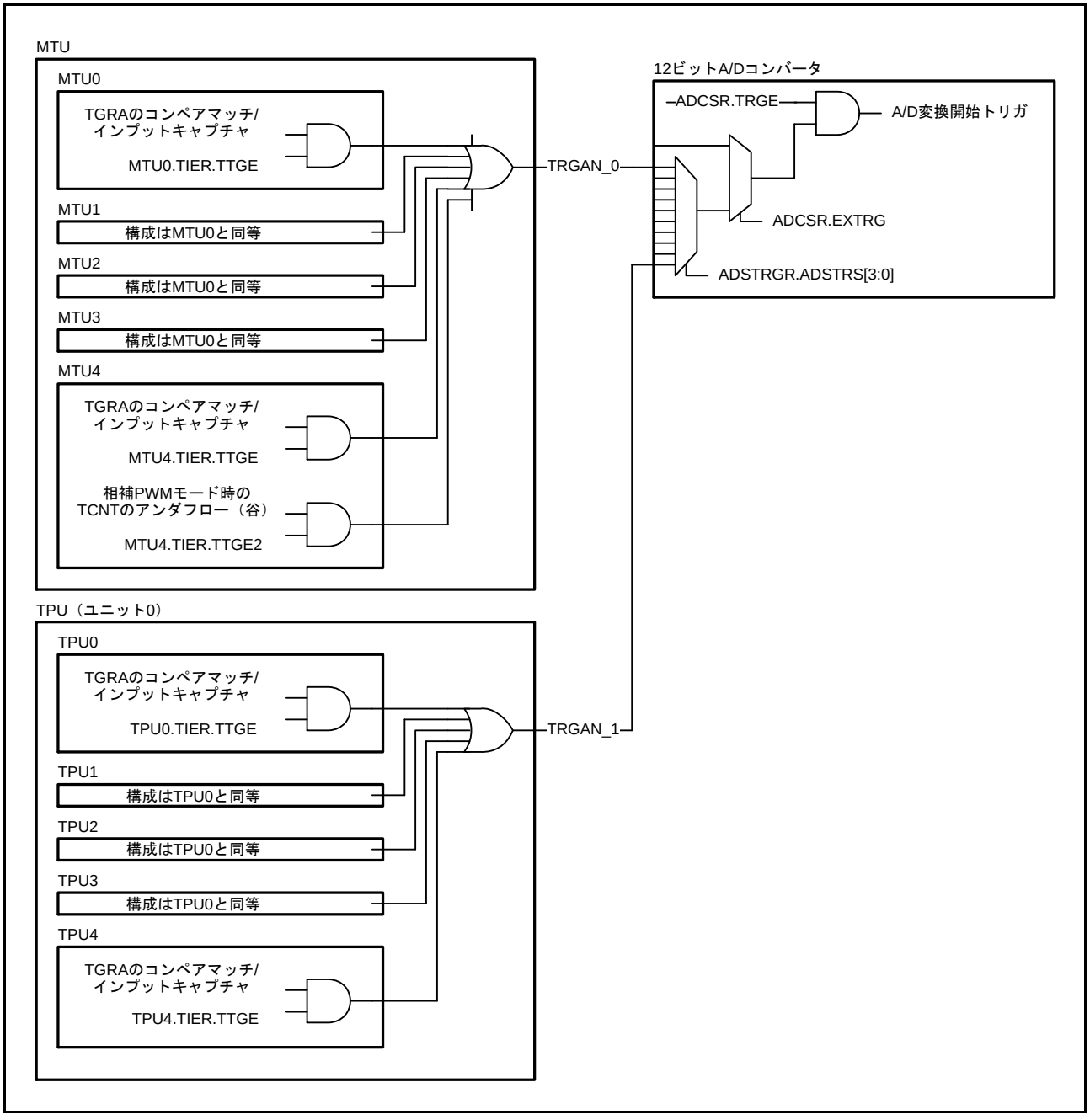


図 42.8　MTU の TRGAN_0 と TPU（ユニット 0）の TRGAN_1 出力と A/D コンバータの接続関係

42.3.8.3　MTU の TRG0EN_0 と TRG0FN_0 による A/D 変換の開始

MTU0 の TGRE のコンペアマッチにより、トリガ信号 TRG0EN_0 を発生させ、A/D 変換を開始することができます。また、MTU0 の TGRF のコンペアマッチにより、トリガ信号 TRG0FN_0 を発生させ、A/D 変換を開始することができます。

MTU の TRG0EN_0 と TRG0FN_0 出力と A/D コンバータの接続関係を**図 42.9** に示します。

MTU0 の TGRE のコンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0101b”（要因 TRG5N、対応トリガ TRG0EN_0 を選択）に設定します。

また、MTU0 の TGRF のコンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0110b”（要因 TRG6N、対応トリガ TRG0FN_0 を選択）に設定します。

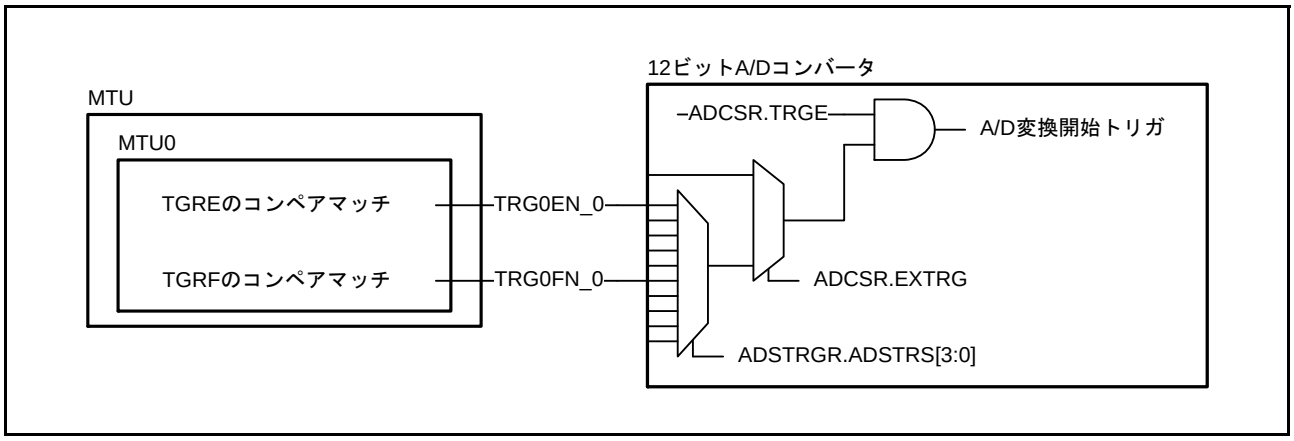


図 42.9　MTU の TRG0EN_0 と TRG0FN_0 出力と A/D コンバータの接続関係

42.3.8.4　MTU の TRG4ABN_0 と TPU の TRG4ABN_1 による A/D 変換の開始

MTU4 の A/D 変換開始要求ディレイド機能を利用したコンペアマッチにより、トリガ信号 TRG4ABN_0 を発生させ、A/D 変換を開始することができます。同様に、TPU（ユニット 0）の TPU0 の TGRA のインプットキャプチャ / コンペアマッチにより、トリガ信号 TRG4ABN_1 を発生させ、A/D 変換を開始することができます。

MTU の TRG4ABN_0 と TPU（ユニット 0）の TRG4ABN_1 出力と A/D コンバータの接続関係を**図 42.10** に示します。

MTU4 の A/D 変換開始要求ディレイド機能を利用し、TADCORA と TCNT のアップカウントのコンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0111b”（要因 TRG7N、対応トリガ TRG4ABN_0 を選択）に設定し、MTU4.TADCOBRA/B と MTU4.TADCORA/B に周期を設定し、MTU4.TADCR.UT4AE ビットを “1” に設定します。

また、TPU0 の TGRA のインプットキャプチャ / コンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “1000b”（要因 TRG8N、対応トリガ TRG4ABN_1 を選択）に設定し、TPU0.TIER.TTGE ビットを “1” に設定します。

A/D 変換開始要求ディレイド機能の詳細については、**「23.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。

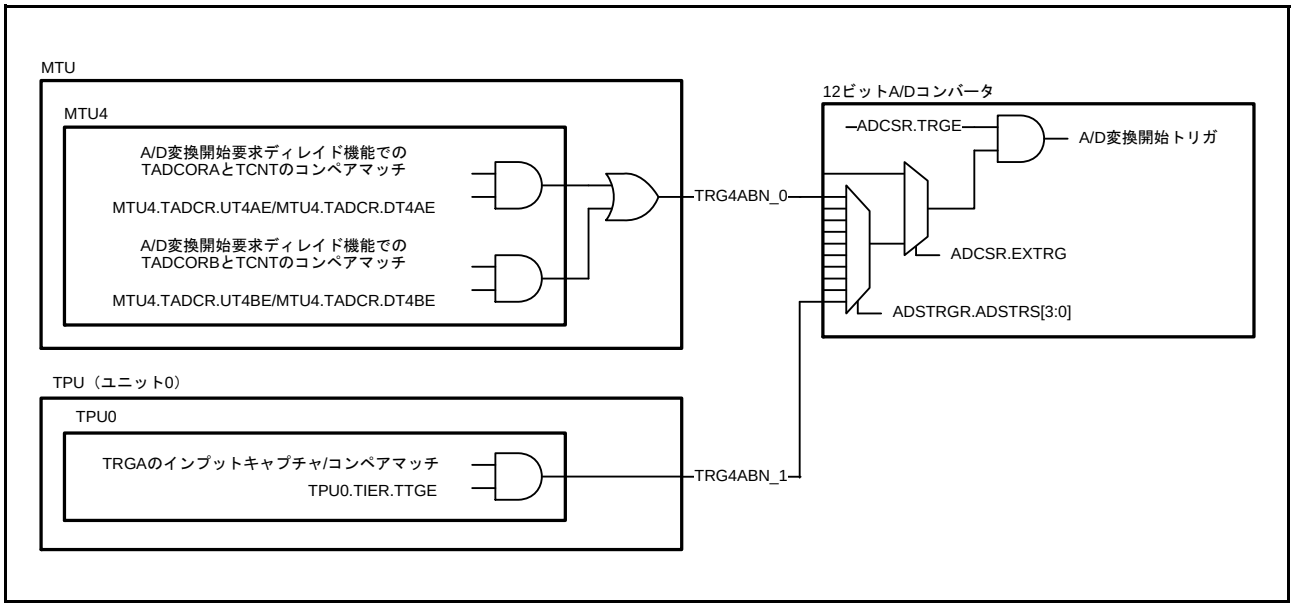


図 42.10　MTU の TRG4ABN_0 と TPU（ユニット 0）の TRG4ABN_1 出力と A/D コンバータの接続関係

42.3.8.5　TMR の TMTRG0AN_0 と TMTRG0AN_1 による A/D 変換の開始

TMR（ユニット 0）の TMR0 の TCORA のコンペアマッチ（コンペアマッチ A）により、A/D 変換を開始することができます。同様に TMR（ユニット 1）の TMR2 の TCORA のコンペアマッチ（コンペアマッチ A）により、A/D 変換を開始することができます。

TMR（ユニット 0、ユニット 1）の TMTRG0AN_0 と TMTRG0AN_1 出力と A/D コンバータの接続関係を図 42.11 に示します。

TMR（ユニット 0）の TMR0 の TCORA のコンペアマッチ（コンペアマッチ A）で A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “1001b”（要因 TRG9N、対応トリガ TMTRG0AN_0 を選択）に設定し、TMR0.TCSR.ADTE を “1” に設定します。

また、TMR（ユニット 1）の TMR2 の TCORA のコンペアマッチ（コンペアマッチ A）で A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “1010b”（要因 TRG10N、対応トリガ TMTRG0AN_1 を選択）に設定し、TMR2.TCSR.ADTE を “1” に設定します。

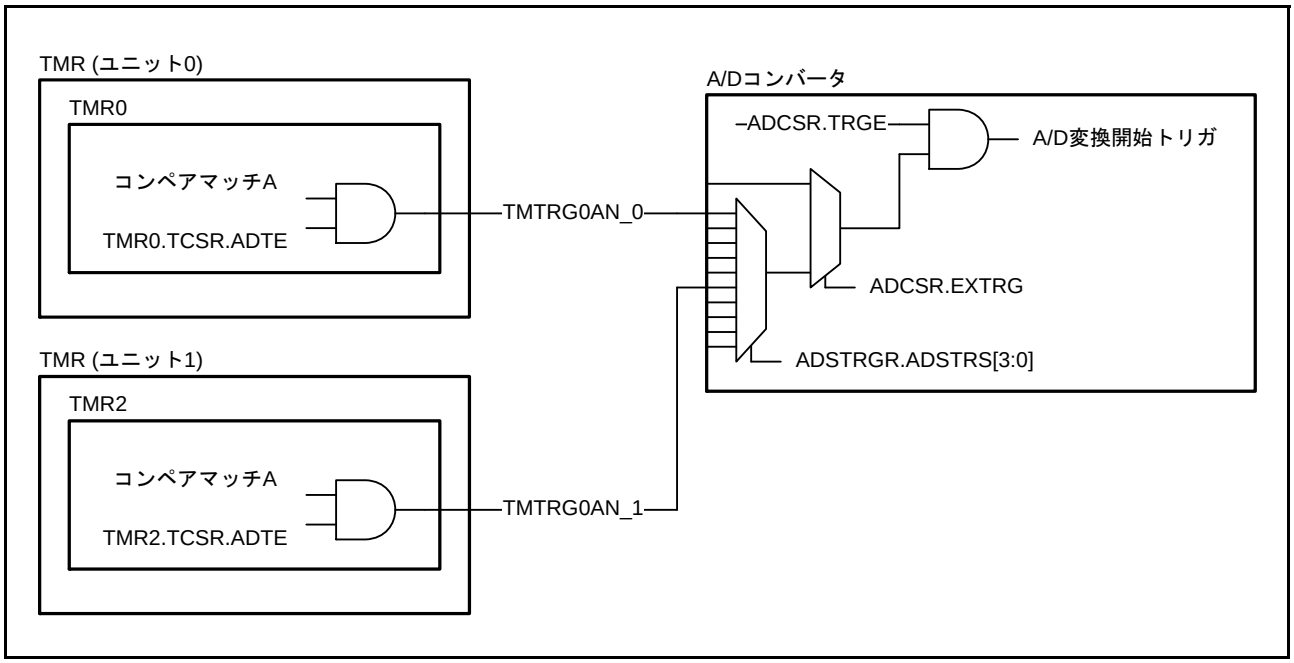


図 42.11　TMR（ユニット 0、ユニット 1）の TMTRG0AN_0・TMTRG0AN_1 出力と A/D コンバータの接続関係

42.4　割り込み要因と DMA 転送要求

42.4.1　スキャン終了時の割り込み要求

12 ビット A/D コンバータは、CPU へのスキャン終了割り込み要求である S12ADI0 割り込みを発生することができます。

ADCSR.ADIE ビットを “1” にセットすると S12ADI0 割り込みを許可、“0” にクリアすると S12ADI0 割り込みを禁止することができます。

また、S12ADI0 割り込み発生時に DTC または DMAC を起動することができます。S12ADI0 割り込みで変換されたデータのリードを DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「20.　データトランスファコントローラ（DTCa）」を、DMAC の設定は「18.　DMA コントローラ（DMACA）」を参照してください。

42.5 使用上の注意事項

42.5.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

42.5.2 A/D 変換強制停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合は、ADCSR.ADST ビットを “0” に設定して A/D 変換を強制停止させても、意図しない A/D 変換が開始される可能性があります。したがって確実に 12 ビット A/D コンバータを停止状態にするときは、ADCSR.TRGE ビットを “0” に設定し、A/D 変換開始条件をソフトウェアトリガにした後、ADCSR.ADST ビットを “0”（A/D 変換停止）に設定してください。

42.5.3 A/D 変換開始時と強制停止の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で、ADCSR.ADST ビットを “1” に設定し、12 ビット A/D コンバータのアナログ部が動作を開始するのに ADCLK で 3 クロックの時間を必要とします。ADCSR.ADST ビットを “0” に設定して A/D 変換を強制停止させると、12 ビット A/D コンバータのアナログ部が停止するのに、ADCLK で 2 クロックの時間を必要とします。

42.5.4 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12 ビット A/D コンバータの動作禁止 / 許可を設定することが可能です。初期値では、12 ビット A/D コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、10ms 待ってから A/D 変換を開始してください。詳細は「11. **消費電力低減機能**」を参照してください。

42.5.5 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” に設定後、12 ビット A/D コンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGE ビットを “0”（ソフトウェアトリガ）に設定し、ADCSR.ADST ビットを “0” に設定後、ADCSR.CKS[1:0] ビットを “11b”（PCLK）に設定してください。その後、A/D 変換が停止していること（A/D 変換停止まで 6PCLK 以上の待ち時間を確保する必要があります）を確認した後、モジュールストップやソフトウェアスタンバイモードへ遷移させてください。

42.5.6 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間または PLL 回路の安定時間経過後、さらに 10ms 待ってから A/D 変換を開始してください。詳細は「11. **消費電力低減機能**」を参照してください。

42.5.7　絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS0 等の電気的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

42.5.8　アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合は、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲
  アナログ入力端子 ANn に印加する電圧は、VREFL0 ≦ VAN ≦ VREFH0 の範囲としてください。
- 各電源端子（AVCC0 － AVSS0、VREFH0 － VREFL0、VCC － VSS）の関係
  AVCC0、AVSS0 と VCC、VSS との関係は AVCC0 ＝ VCC かつ AVSS0 ＝ VSS としてください。また、図 42.12 に示すように各々の電源間に最短で閉ループが形成できるように 0.1μF のコンデンサを接続し、供給元で AVCC0 ＝ VCC、VREFL0 ＝ AVSS0 ＝ VSS になるように接続してください。A/D コンバータを使用しない場合は、VREFH0 ＝ AVCC0 ＝ VCC、VREFL0 ＝ AVSS0 ＝ VSS としてください。
- VREFH0 の設定範囲
  VREFH0 端子によるリファレンス電圧の設定範囲は、VREFH0 ≦ AVCC0 にしてください。

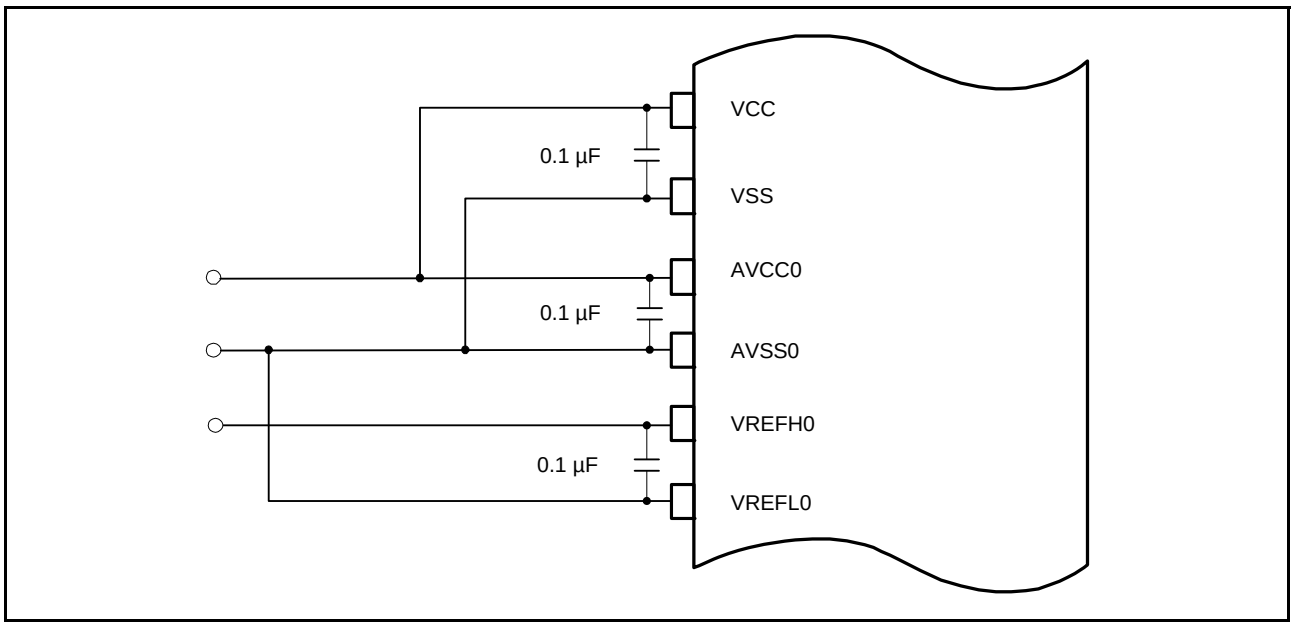


図 42.12　各電源端子の接続例

42.5.9　ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子（AN000 ～ AN020）、アナログ基準電圧（VREFH0、VREFL0）、アナログ電源（AVCC0）は、アナロググランド（AVSS0）で、デジタル回路と分離してください。さらにアナロググランド（AVSS0）は、ボード上の安定したデジタルグランド（VSS）に一点接続してください。

42.5.10　ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN000 ～ AN020）の破壊を防ぐために、図 42.13 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子（AN000 ～ AN020）を基準に保護回路を接続してください。

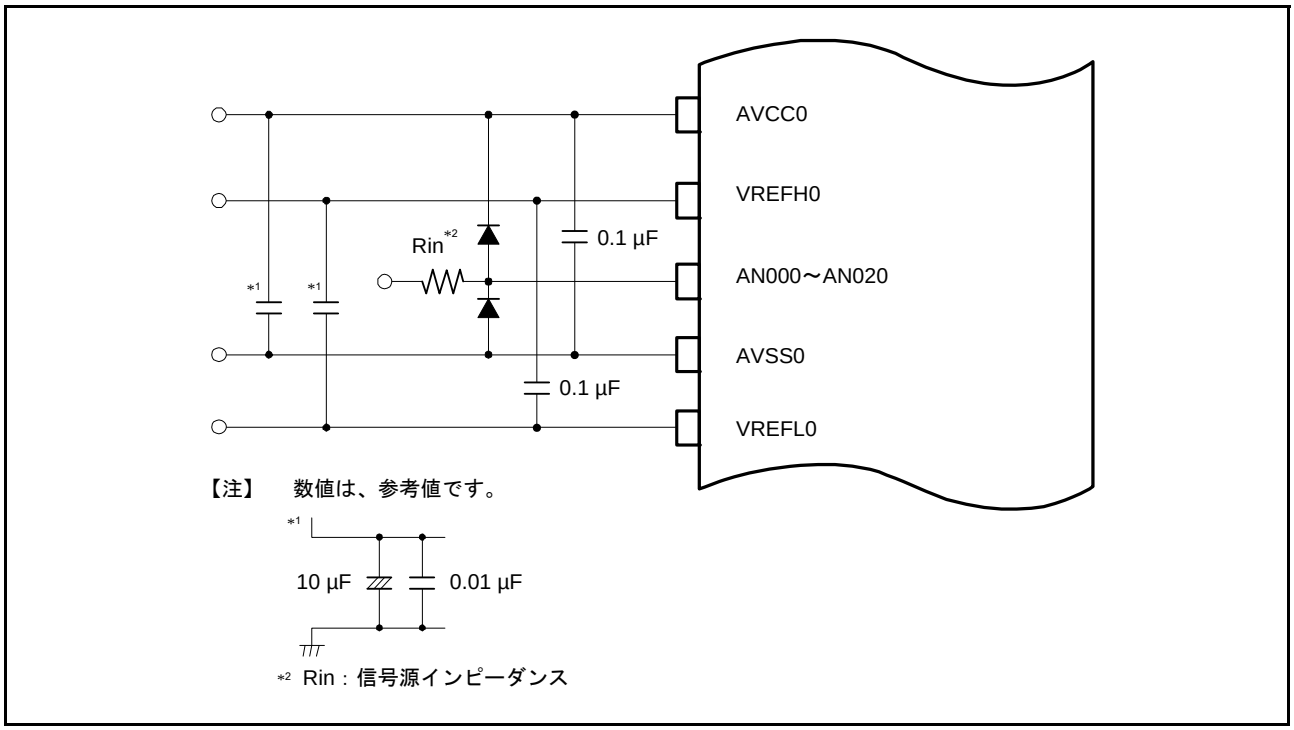


図 42.13　アナログ入力保護回路の例

42.5.11　12 ビット A/D コンバータ入力を使用する場合のポートの設定

12 ビット A/D コンバータを使用する場合は、ポート 4 は、汎用入力ポートとして使用してください。またポート 0、9、D はすべて汎用入力ポートとして使用することを推奨します。ポート 0、9、D を出力端子として使用する場合は、A/D 変換を複数回実施し、最大値と最小値を除いて平均をとるなどの対策を行ってください。

42.5.12　外部バス使用時の注意事項

外部バスをアクセス中に A/D 変換をする場合、精度が悪化する可能性があります。

このような場合は、複数回の変換を実施し、最大値・最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

43. 10 ビット A/D コンバータ（ADb）

43.1 概要

RX63N グループ、RX631 グループは、逐次比較方式の 10 ビット A/D コンバータを 1 ユニット内蔵しています。最大 8 チャネルのアナログ入力（AN0 ～ AN7）と 1 本の拡張アナログ入力（ANEX1）を選択することができます。

10 ビット A/D コンバータの動作モードには、1 チャネルのアナログ入力チャネルか、1 本の拡張アナログ入力を 1 回のみ変換するシングルチャネルモードと、最大 8 チャネルのアナログ入力チャネルか、拡張アナログ入力 1（ANEX1）を順次連続して変換するスキャンモードがあります。

表 43.1 に 10 ビット A/D コンバータの仕様を、**表 43.2** に 10 ビット A/D コンバータの機能概要を示します。**図 43.1** に 10 ビット A/D コンバータのブロック図を示します。

表43.1　10ビットA/Dコンバータの仕様

項目	仕様
ユニット数	1ユニット
入力チャネル	8チャネル＋拡張1本
A/D変換方式	逐次比較方式
分解能	10ビット
変換時間	1チャネル当たり1.0μs（周辺モジュールクロック　PCLK=50MHz動作時）
A/D変換クロック	4種類：PCLK、PCLK/2、PCLK/4、PCLK/8
動作モード	• シングルチャネルモード：1チャネルのアナログ入力チャネルか、1本の拡張アナログ入力を1回のみ変換 • スキャンモード 連続スキャンモード：最大8チャネルのアナログ入力チャネルか、拡張アナログ入力1（ANEX1）を繰り返し変換 シングルスキャンモード：最大8チャネルのアナログ入力チャネルか、拡張アナログ入力1（ANEX1）を1サイクルのみ変換
A/D変換開始条件	• ソフトウェアトリガ • 同期トリガ 6本 MTU、TPUまたはTMRからのトリガ • 非同期トリガ 1本 ADTRG#端子によるA/D変換の開始が可能
機能	• サンプル＆ホールド機能 • サンプリングステート数可変機能 • 10ビットA/Dコンバータの自己診断機能
割り込み要因	• A/D変換終了で割り込み要求（ADI0）を発生 • ADI0割り込みでDMAC、DTCを起動可能
消費電力低減機能	モジュールストップ状態への設定可能

表43.2　10ビットA/Dコンバータの機能概要

項目			機能/内部トリガ要因	
アナログ入力チャネル			AN0 ～ AN7、ANEX1	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	ADTRG#	可能	
	同期トリガ（MTU、TMR、TPU）（注1）	TRG0AN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ
		TRGAN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ
			MTU1.TGRAとMTU1.TCNT	
			MTU2.TGRAとMTU2.TCNT	
			MTU3.TGRAとMTU3.TCNT	
			MTU4.TGRAとMTU4.TCNT	
			MTU4.TCNT	相補PWMモード時のTCNTのアンダフロー（谷）
		TRGAN_1	TPU0.TGRA	インプットキャプチャ/コンペアマッチ
			TPU1.TGRA	
			TPU2.TGRA	
			TPU3.TGRA	
			TPU4.TGRA	
		TRG4ABN_0	MTU4.TADCORAとMTU4.TCNTまたはMTU4.TADCORBとMTU4.TCNT	A/D変換開始要求ディレイド機能を利用したコンペアマッチ
		TRG4ABN_1	TPU0.TGRA	インプットキャプチャ/コンペアマッチ
		TMTRG0AN_0	TMR0.TCORAとTMR0.TCNT	コンペアマッチ
割り込み			ADI0割り込み	
モジュールストップ機能の設定（注2）			MSTPCRA.MSTPA23ビット	

注1.　同期トリガに付加している“_0”と“_1”は、ユニット番号を示します。同期トリガを出力されるための設定については「23.4.3 A/Dコンバータの起動」および「27.6.2 A/Dコンバータの起動」を参照してください。
注2.　詳細は「11. 消費電力低減機能」を参照してください。

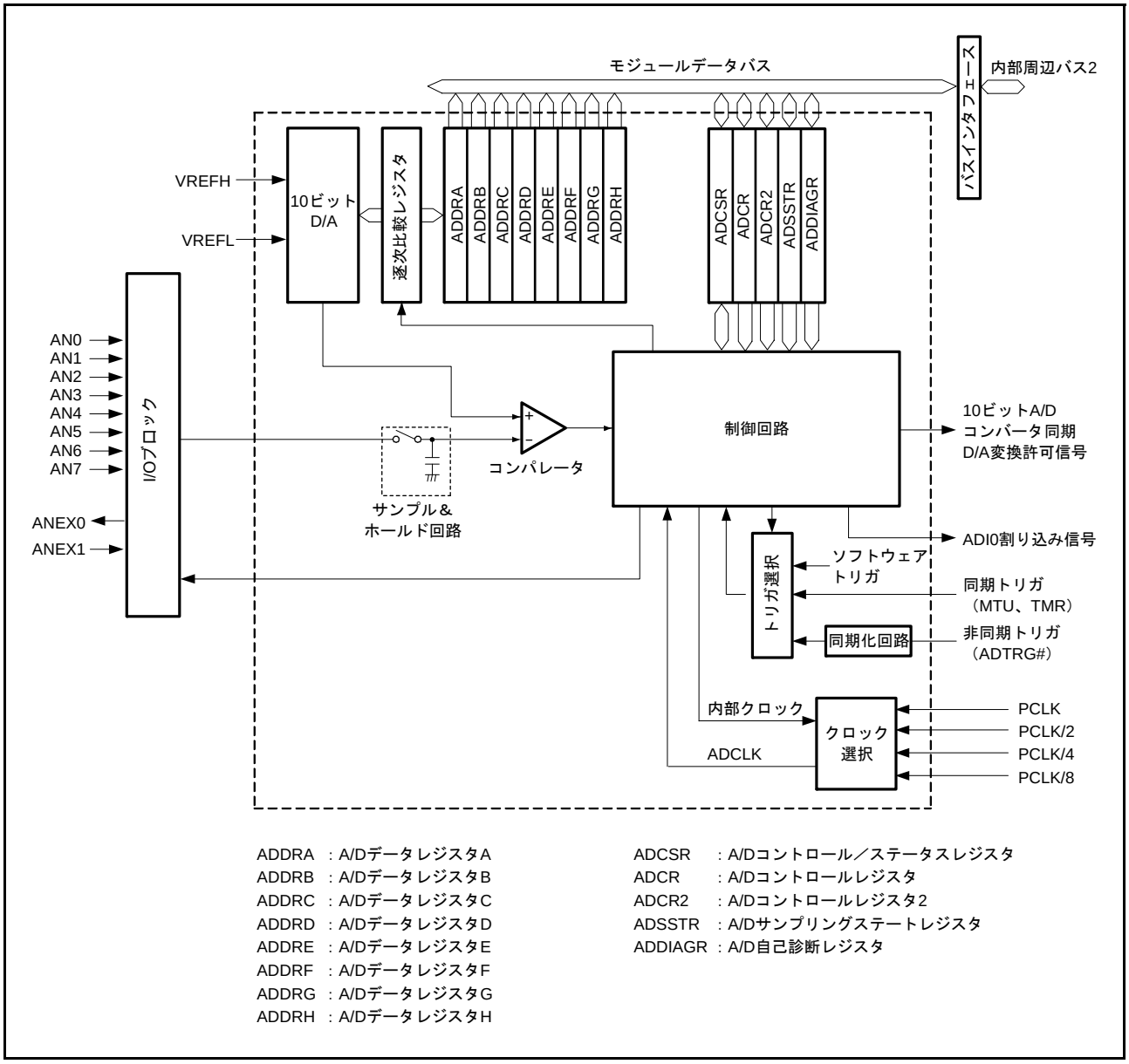


図 43.1　10 ビット A/D コンバータのブロック図

表 43.3 に 10 ビット A/D コンバータで使用する入力端子を示します。

表43.3　10ビットA/Dコンバータの入力端子

端子名	入力	機能
AN0～AN7	入力	アナログ入力端子
ANEX1	入力	拡張アナログ入力端子
ANEX0	出力	拡張アナログ出力端子
ADTRG#	入力	A/D変換開始のための非同期トリガ入力端子
VREFH	入力	10ビットA/D コンバータとD/A コンバータの基準電圧入力端子。それぞれのモジュールのアナログ電源としても使用します。10ビットA/D コンバータもD/A コンバータも使用しない場合は、VCCに接続してください
VREFL	入力	10ビットA/D コンバータとD/Aコンバータの基準電圧入力端子。それぞれのモジュールのアナロググランドとしても使用します。VSS端子と同電位にしてください

43.2　レジスタの説明

43.2.1　A/D データレジスタ y（ADDRy）（y = A ～ H）

アドレス　ADDRA 0008 9800h、ADDRB 0008 9802h、ADDRC 0008 9804h、ADDRD 0008 9806h
ADDRE 0008 9808h、ADDRF 0008 980Ah、ADDRG 0008 980Ch、ADDRH 0008 980Eh

・ADCSR2.DPSEL ビット=0（ データは右詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・ADCSR2.DPSEL ビット=1（ データは左詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
											—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADDRy レジスタは、A/D 変換結果を格納する 16 ビットのリードのみ可能なレジスタです。

アナログ入力チャネルと ADDRy レジスタの対応を**表 43.4** に、拡張アナログ入力 1（ANEX1）と ADDRy レジスタの対応を**表 43.5** に示します。

ADCR2.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。

“—” のビットは、読むと “0” が読めます。書く場合、“0” としてください。

表 43.4　アナログ入力チャネルと ADDRy レジスタの対応

アナログ入力チャネル	ADDRy レジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

表 43.5　拡張アナログ入力 1（ANEX1）と ADDRy レジスタの対応

元となるアナログ入力チャネル	A/D 変換対象	ADDRy レジスタ
AN0	ANEX1	ADDRA
AN1		ADDRB
AN2		ADDRC
AN3		ADDRD
AN4		ADDRE
AN5		ADDRF
AN6		ADDRG
AN7		ADDRH

43.2.2 A/D コントロール / ステータスレジスタ（ADCSR）

アドレス 0008 9810h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADIE	ADST	—	—	CH[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能		R/W
b2-b0	CH[2:0]	チャネル選択ビット（注1）	ADCR.MODE[1:0]= 00b のとき b2 b0 0 0 0：AN0 0 0 1：AN1 0 1 0：AN2 0 1 1：AN3 1 0 0：AN4 1 0 1：AN5 1 1 0：AN6 1 1 1：AN7	ADCR.MODE[1:0]=10b または 11b のとき b2 b0 0 0 0：AN0 0 0 1：AN0、AN1 0 1 0：AN0～AN2 0 1 1：AN0～AN3 1 0 0：AN0～AN4 1 0 1：AN0～AN5 1 1 0：AN0～AN6 1 1 1：AN0～AN7	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください		R/W
b5	ADST	A/D スタートビット	0：A/D 変換停止 1：A/D 変換開始		R/W
b6	ADIE	A/D 割り込み許可ビット	0：A/D 変換終了による ADI0 割り込み禁止 1：A/D 変換終了による ADI0 割り込み許可		R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください		R/W

注1. アナログ入力として使用する端子の PORTn.PDR.Bi ビットを“0”（入力ポート）に、PORTn.PMR.Bi ビットを“0”（対応する端子の入力バッファは無効となり、入力信号は High に固定）に設定してください（n = D,E、i = 0～7）。詳細については、「21. I/O ポート」および「22. マルチファンクションピンコントローラ（MPC）」を参照してください。

CH[2:0] ビット、ADIE ビットの設定は、ADST ビットが “0”（A/D 変換停止）のときに行ってください。

CH[2:0] ビット（チャネル選択ビット）

A/D 変換を行うアナログ入力チャネルを選択します。

- シングルチャネルモード（ADCR.MODE[1:0] ビット = 00b）
  A/D 変換を行うアナログ入力チャネルを 1 チャネル選択します。
- スキャンモード（ADCR.MODE[1:0] ビット = 10b または 11b）
  A/D 変換を行うアナログ入力チャネルを最大 8 チャネル選択します。

ADST ビット（A/D スタートビット）

A/D 変換の開始／停止を制御します。

ADST ビットを “1” にする前に A/D 変換クロックや動作モードの設定を行ってください。

［“1” になる条件］

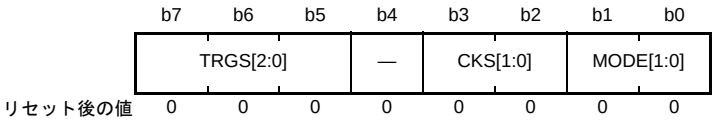
- ソフトウェアで “1” を書いたとき
- ADCR.TRGS[2:0] ビットで選択したトリガを検出したとき

［“0” になる条件］

- ソフトウェアで “0” を書いたとき
- シングルチャネルモードで A/D 変換が終了したとき
- シングルスキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき

43.2.3　A/D コントロールレジスタ（ADCR）

アドレス　0008 9811h



ビット	シンボル	ビット名	機能	R/W
b1-b0	MODE[1:0]	動作モード選択ビット	b1 b0 0 0：シングルチャネルモード 0 1：設定しないでください 1 0：連続スキャンモード 1 1：シングルスキャンモード	R/W
b3-b2	CKS[1:0]	クロック選択ビット	b3 b2 0 0：PCLK/8 0 1：PCLK/4 1 0：PCLK/2 1 1：PCLK	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b5	TRGS[2:0]	トリガ選択ビット	b7 b5 0 0 0：ソフトウェアトリガ 0 0 1：MTU0～MTU4のコンペアマッチ/インプットキャプチャ A 0 1 0：TMR0のコンペアマッチ 0 1 1：ADTRG# 1 0 0：MTU0のコンペアマッチ/インプットキャプチャ A 1 0 1：TPU0～TPU4のコンペアマッチ/インプットキャプチャ A 1 1 0：MTU4のコンペアマッチ 1 1 1：TPU0のコンペアマッチ/インプットキャプチャ A	R/W

MODE[1:0] ビット、CKS[1:0] ビットの設定は、ADCSR.ADST ビットが “0”（A/D 変換停止）のときに行ってください。

CKS[1:0] ビット（クロック選択ビット）

A/D 変換時間を決める A/D 変換クロック（ADCLK）の周波数を設定するレジスタです。

ADCLK の周波数は、4MHz 以上になるように設定してください。

詳細は「43.3.4　**入力サンプリングと A/D 変換時間**」を参照してください。

43.2.4　A/D コントロールレジスタ 2（ADCR2）

アドレス　0008 9812h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	EXOEN	EXSEL[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	EXSEL[1:0]	拡張アナログ入力セレクトビット	b5 b4 0 0：アナログ入力チャネル（ANxx） 0 1：ANEX1 1 0：設定しないでください 1 1：設定しないでください	R/W
b6	EXOEN	拡張アナログ出力制御ビット	0：出力禁止 1：出力許可	R/W
b7	DPSEL	ADDRyフォーマット選択ビット	0：データは右詰め 1：データは左詰め	R/W

EXSEL[1:0] ビット、EXOEN ビットの設定は、ADCSR.ADST ビットが “0”（A/D 変換停止）のときに行ってください。

EXSEL[1:0] ビット（拡張アナログ入力セレクトビット）

アナログ入力チャネル（ANxx）以外に、拡張アナログ入力 ANEX1 を選択することができます。

ANEX1：ANEX0 を外部オペアンプを経由して入力してください。

詳細は「43.3.3　**拡張アナログ入力**」を参照してください。

EXOEN ビット（拡張アナログ出力制御ビット）

拡張アナログ出力（ANEX0）を制御します。

出力を許可すると ANEX0 には、ANxx をマルチプレクスした値が出力されます。

EXSEL[1:0] ビットが “00b” のときには、出力を許可しないでください。

43.2.5　A/D サンプリングステートレジスタ（ADSSTR）

アドレス　0008 9813h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	1	1	0	0	1

ADSSTR レジスタは、アナログ入力のサンプリング時間を設定するための 8 ビットのリード／ライト可能なレジスタです。

アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、周辺モジュールクロック（PCLK）が低速な場合に、サンプリング時間を調整することができます。

設定値は、“02h” 以上の値を設定してください。

ADSSTR レジスタの設定は、ADCSR.ADST ビットが “0”（A/D 変換停止）のときに行ってください。

詳細は、**「43.3.4　入力サンプリングと A/D 変換時間」**を参照してください。

43.2.6　A/D 自己診断レジスタ（ADDIAGR）

アドレス　0008 981Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DIAG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAG[1:0]	自己診断ビット	b1 b0 0 0 ：自己診断オフ 0 1 ：Vref×0 の電圧値の A/D 変換を許可 1 0 ：Vref×1/2 の電圧値の A/D 変換を許可 1 1 ：Vref×1 の電圧値の A/D 変換を許可	R/W
b7-2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

ADDIAGR レジスタの設定は、ADCSR.ADST ビットが “0”（A/D 変換停止）のときに行ってください。

DIAG[1:0] ビット（自己診断ビット）

自己診断は、10 ビット A/D コンバータの故障を検出するための機能です。内部で生成する Vref×0、Vref×1/2、Vref×1 の 3 つの電圧値のいずれかを変換します。

自己診断を行うには、DIAG[1:0] ビットで電圧値を選択し、以下の設定で A/D 変換を行ってください。

- シングルチャネルモード（ADCR.MODE[1:0] ビット = 00b）
- アナログ入力チャネル AN0 のみを有効（ADCSR.CH[2:0] ビット = 000b、ADCR2.EXSEL[1:0]= 00b）（注 1）
- ソフトウェアによる A/D 変換開始（ADCR.TRGS[2:0]= 000b）

変換が終了すると A/D データレジスタ A に変換結果を格納します。その後、ソフトウェアで ADDRA を読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断してください。自己診断の実行時間は、1 チャネルの A/D 変換時間と同じです。

注 1.　10 ビット A/D コンバータを自己診断する場合には AN0 を設定してください。この設定は変換結果を格納するデータレジスタを選択するために必要ですが、全アナログ入力（AN0 ～ AN7）は無効となります。

43.3 動作説明

RX63N グループ、RX631 グループは、1 ユニットの 10 ビット A/D コンバータを内蔵しています。

A/D 変換対象として 8 チャネルのアナログ入力チャネル（AN0 ～ AN7）と 1 本の拡張アナログ入力（ANEX1）の計 9 本から選択して入力することができます。

アナログ入力チャネルと拡張アナログ入力は、ADCR2.EXSEL[1:0] ビットにより選択されます。アナログ入力チャネル（AN0 ～ AN7）、拡張アナログ入力 1（ANEX1）はそれぞれ排他的に動作します。

ADCR2.EXSEL[1:0] ビットによりアナログ入力チャネル（00b）を選択したときは、ADCR2.EXOEN ビットにより拡張アナログ出力（ANEX0）を “0”（出力禁止）にしてください。出力禁止にしないと ANEX0 から時分割されたアナログ値が出力されます。さらに LSI 内部の配線負荷により A/D 変換が遅くなります。

10 ビット A/D コンバータの動作モードには、シングルチャネルモードとスキャンモードがあります。

シングルチャネルモードは、指定された 1 チャネルのアナログ入力チャネルか 1 本の拡張アナログ入力を 1 回のみ変換します。

スキャンモードは、指定されたチャネルのアナログ入力チャネルか拡張アナログ入力 1（ANEX1）を順次連続して変換します。

スキャンモードには、A/D 変換を繰り返し行う連続スキャンと設定されたチャネルを 1 サイクルのみ行う 1 サイクルスキャンがあります。

43.3.1　シングルチャネルモード

シングルチャネルモードは、指定された 1 チャネルのアナログ入力チャネルか、1 本の拡張アナログ入力を以下のように 1 回のみ A/D 変換します。

(1) ソフトウェア、同期トリガ、または非同期トリガ入力によって ADCSR.ADST ビットを “1”（A/D 変換開始）にすると、選択されたチャネルの A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタ（ADDRy）に格納されます。
(3) A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI0 割り込み許可）であれば、ADI0 割り込み要求を発生します。
(4) ADCSR.ADST ビットは A/D 変換中は “1” を保持し、変換が終了すると自動的に “0” になり、10 ビット A/D コンバータは待機状態になります。
(5) A/D 変換中に ADCSR.ADST ビットを “0”（A/D 変換停止）にすると A/D 変換を中止し、10 ビット A/D コンバータは待機状態になります。

アナログ入力に AN1 を選択した場合の動作例を図 43.2 に示します。

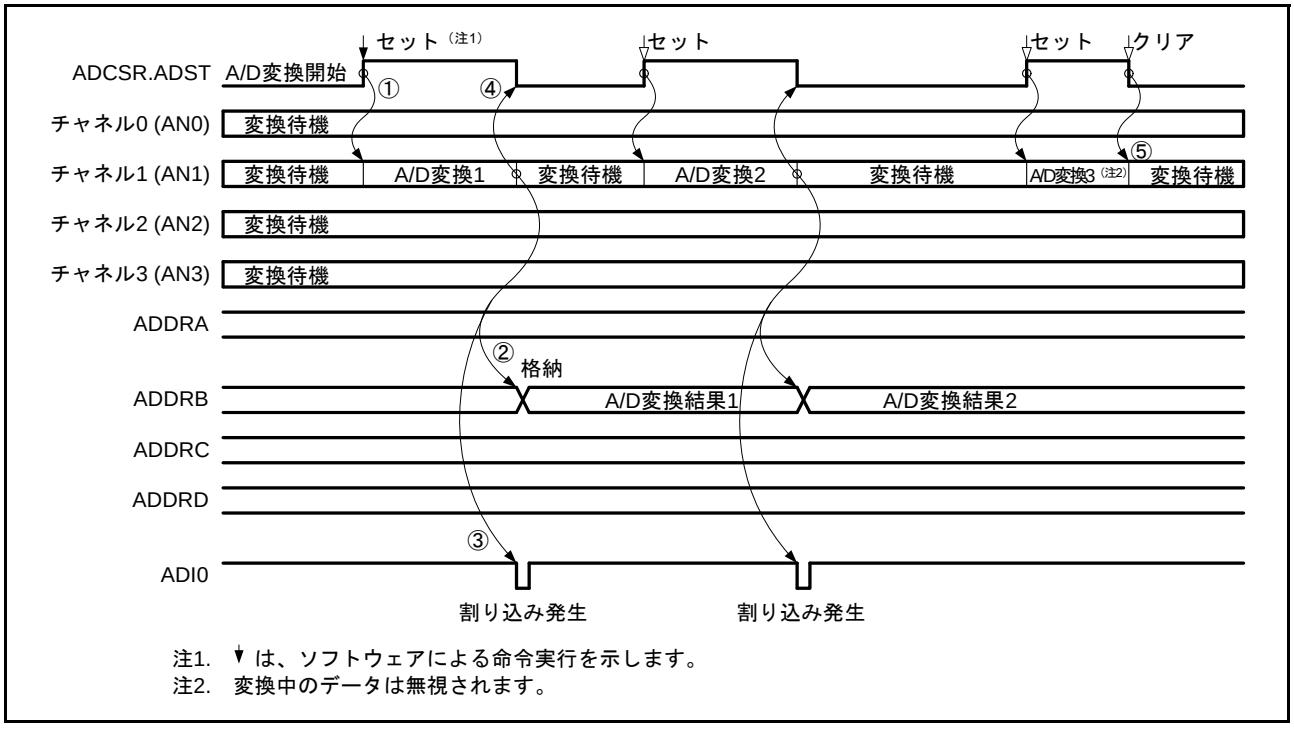


図 43.2　10 ビット A/D コンバータの動作例（シングルチャネルモード）

43.3.2　スキャンモード

アナログ入力チャネルを選択（ADCR2.EXSEL[1:0] ビットを “00b” に設定）した場合について説明します。拡張アナログ入力を選択した場合については「43.3.3　拡張アナログ入力」を参照してください。

スキャンモードは、8 チャネルのアナログ入力チャネルから ADCSR.CH[2:0] ビットにより選択された最大 8 チャネルのアナログ入力チャネルを順次連続して A/D 変換するモードです。スキャンモードには、A/D 変換を繰り返し行う連続スキャンと設定されたチャネルを 1 サイクルのみ変換する 1 サイクルスキャンがあります。

43.3.2.1　連続スキャンモード

連続スキャンモードは、設定されたチャネルのアナログ入力チャネルを以下のように繰り返し A/D 変換します。

(1) ソフトウェア、同期トリガ、または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、選択されたチャネルの第 1 チャネル（AN0）から A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI0 割り込み許可）に設定されていると、ADI0 割り込み要求を発生します。10 ビット A/D コンバータは第 1 チャネル（AN0）から A/D 変換を開始します。
(4) ADCSR.ADST ビットは自動的に “0” にならず、“1” の間は（2）～（3）を繰り返します。ADCSR.ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、10 ビット A/D コンバータは待機状態になります。
(5) その後、ADCSR.ADST ビットを “1” にすると再び第 1 チャネル（AN0）から A/D 変換を開始します。

アナログ入力に AN0 ～ AN2 の 3 チャネルを選択した場合の動作例を図 43.3 に示します。

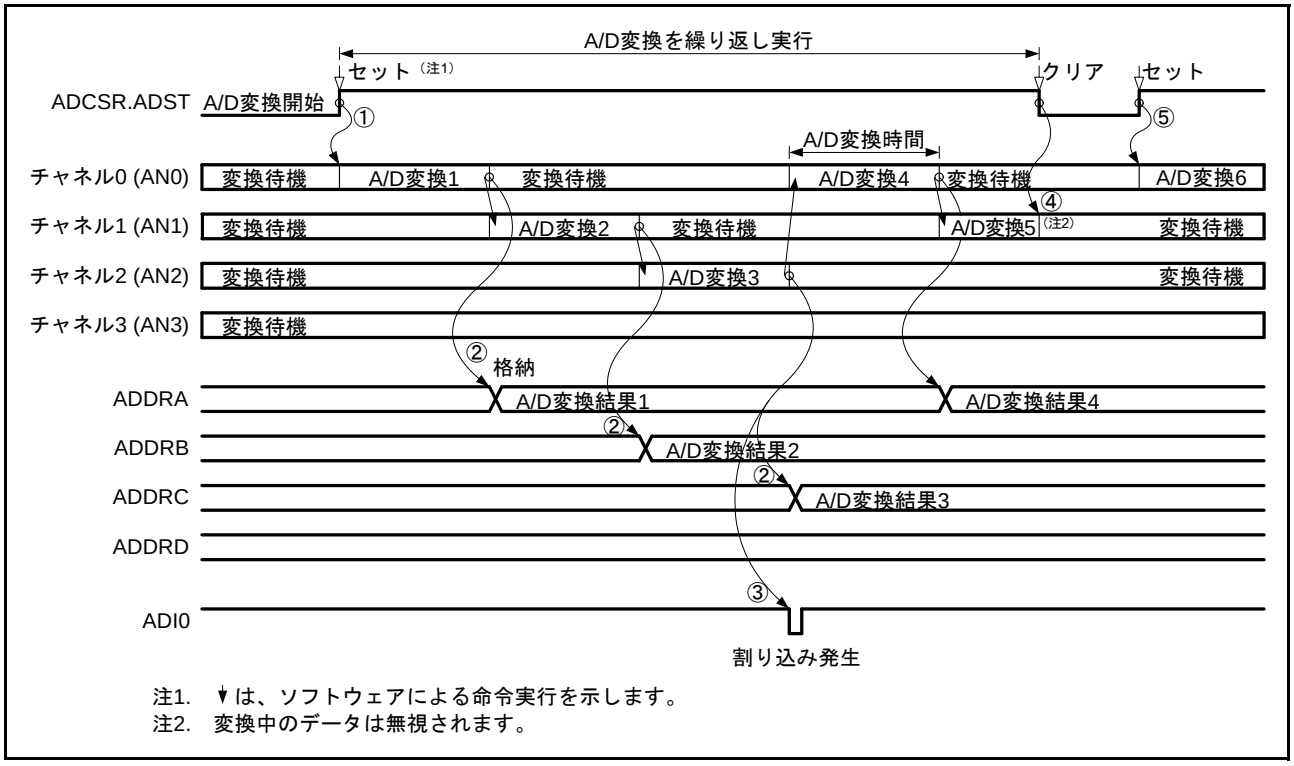


図 43.3　10 ビット A/D コンバータの動作例（連続スキャンモード）

43.3.2.2　シングルスキャンモード

シングルスキャンモードは、設定されたチャネルのアナログ入力チャネルを以下のように 1 サイクルのみ A/D 変換します。

(1) ソフトウェア、同期トリガ、または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、選択されたチャネルの第 1 チャネル（AN0）から A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI0 割り込み許可）に設定されていると、ADI0 割り込み要求が発生します。
(4) ADCSR.ADST ビットは A/D 変換中は “1” を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に “0” になり、10 ビット A/D コンバータは待機状態になります。

アナログ入力に AN0 ～ AN2 の 3 チャネルを選択した場合の動作例を図 43.4 に示します。

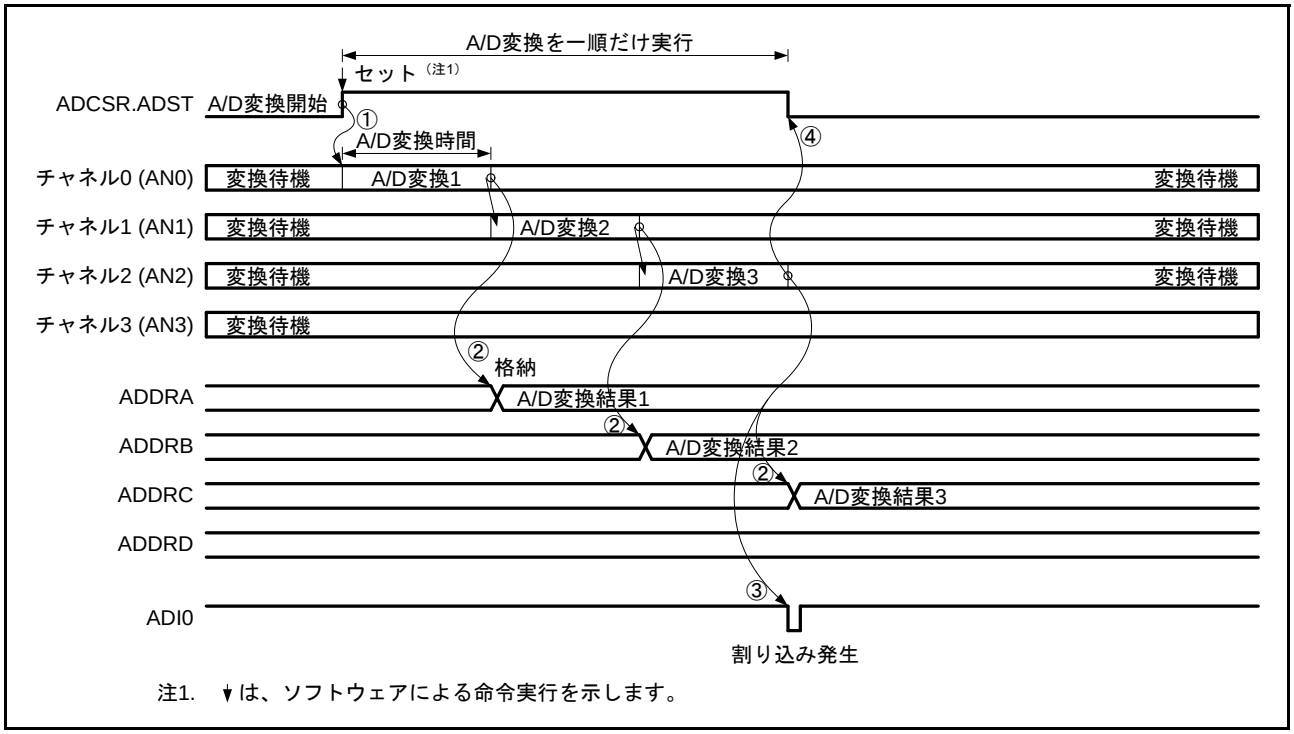


図 43.4　10 ビット A/D コンバータの動作例（シングルスキャンモード）

43.3.3　拡張アナログ入力

拡張アナログ入力は 1 本（ANEX1）あり、それぞれの用途は以下のように決まっています。以下の用途以外の使い方をしないでください。

ANEX1 は、LSI の外部にオペアンプを接続して複数のアナログ値を A/D 変換するときに使用します。

図 43.5 に拡張アナログ入力の構成例を示します。

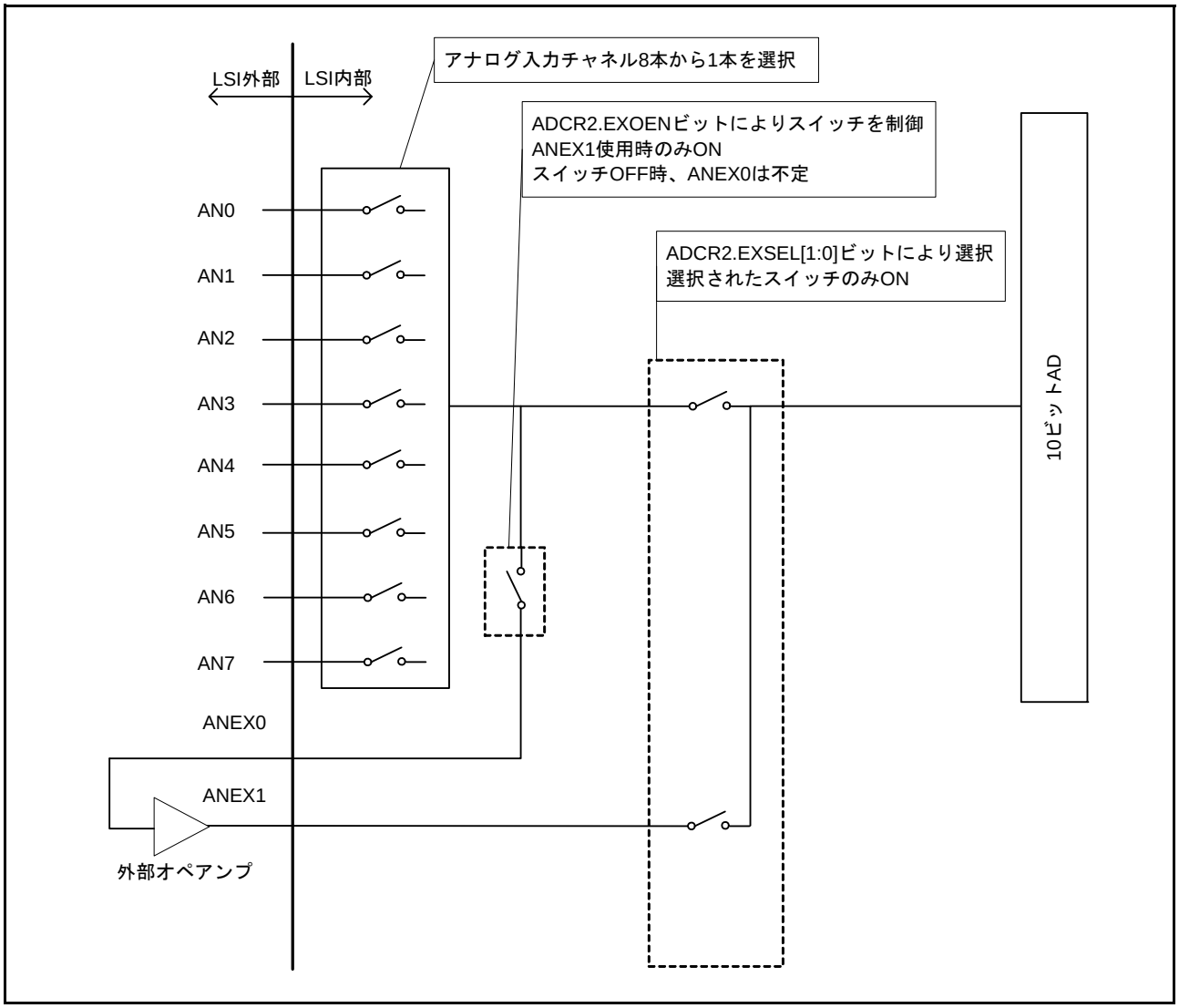


図 43.5　拡張アナログ入力の構成例

43.3.3.1　ANEX1 の使用方法

複数のアナログ値をオペアンプを介して A/D 変換するには、LSI のアナログ入力チャネル（AN0 ～ AN7）を使ってアナログ値を入力し、拡張アナログ出力（ANEX0）から時分割されたアナログ値を取り出し、ANEX0 と ANEX1 間にオペアンプを接続することで実現できます。

レジスタには、ADCR2.EXSEL[1:0] ビットに “01b”（ANEX1 を選択）を設定し、ADCR2.EXOEN ビットに “1”（ANEX0 出力許可）を設定し、シングルチャネルモードまたはスキャンモードを選択して使用してください。

図 43.6 に AN0、AN1、AN2 の 3 チャネルを選択し、シングルスキャンモードを選択する場合の動作を示します。

(1) ソフトウェア、同期トリガ、または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、選択されたチャネルの第 1 チャネル (AN0) から A/D 変換を開始します。
(2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
(3) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI0 割り込み許可）に設定されていると、ADI0 割り込み要求が発生します。
(4) ADCSR.ADST ビットは A/D 変換中は “1” を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、10 ビット A/D コンバータは待機状態になります。

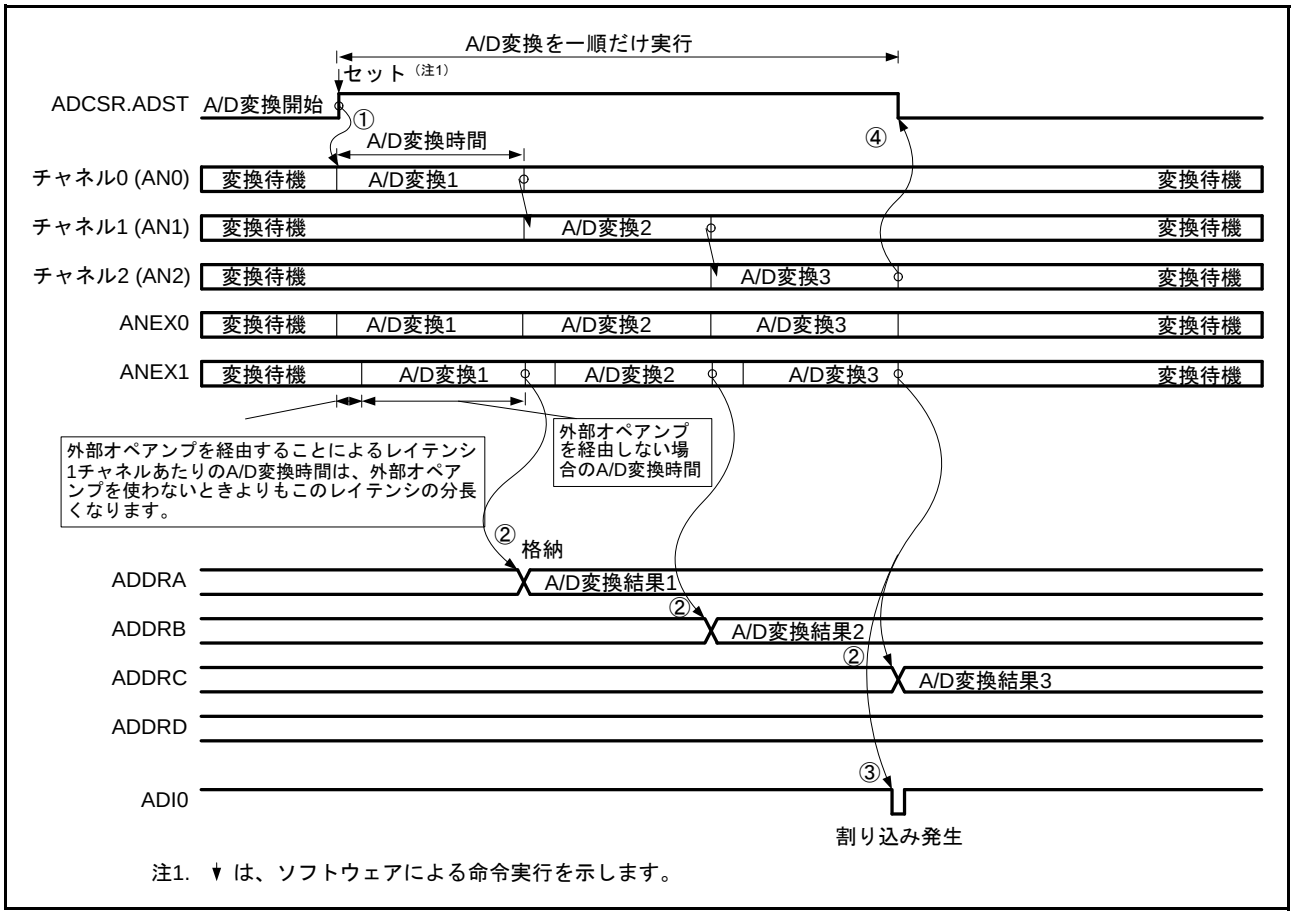


図 43.6　ANEX1 入力の動作例（シングルスキャンモード）

個々の A/D 変換時間は、アナログ入力チャネルを直接 A/D 変換するときと比較して拡張アナログ入力を選択したときにはオペアンプのレイテンシにより長くなります。

43.3.4　入力サンプリングと A/D 変換時間

10 ビット A/D コンバータは、ソフトウェア、同期トリガ、または非同期トリガによる A/D 変換開始条件が発生してから A/D 変換開始遅延時間（tD）経過後、アナログ入力のサンプリングを行い、その後 A/D 変換を開始します。

A/D 変換タイミングを**図 43.7** に示します。

A/D 変換開始条件発生直後の A/D 変換時間（tCONV）は、tD と入力サンプリング時間（tSPL）、逐次変換時間（tSAM）を合わせた時間となります。それ以降の A/D 変換時間（tCONV）は、tSPL と tSAM を含めた時間となります。

サンプリング時間（tSPL）は、10 ビット A/D コンバータのサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、周辺モジュールクロック PCLK が低速な場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間（tSAM）は、ADCLK の 25 サイクル固定です。

ADSSTR レジスタの設定例を**表 43.6** に、A/D 変換時間を**表 43.7** に示します。

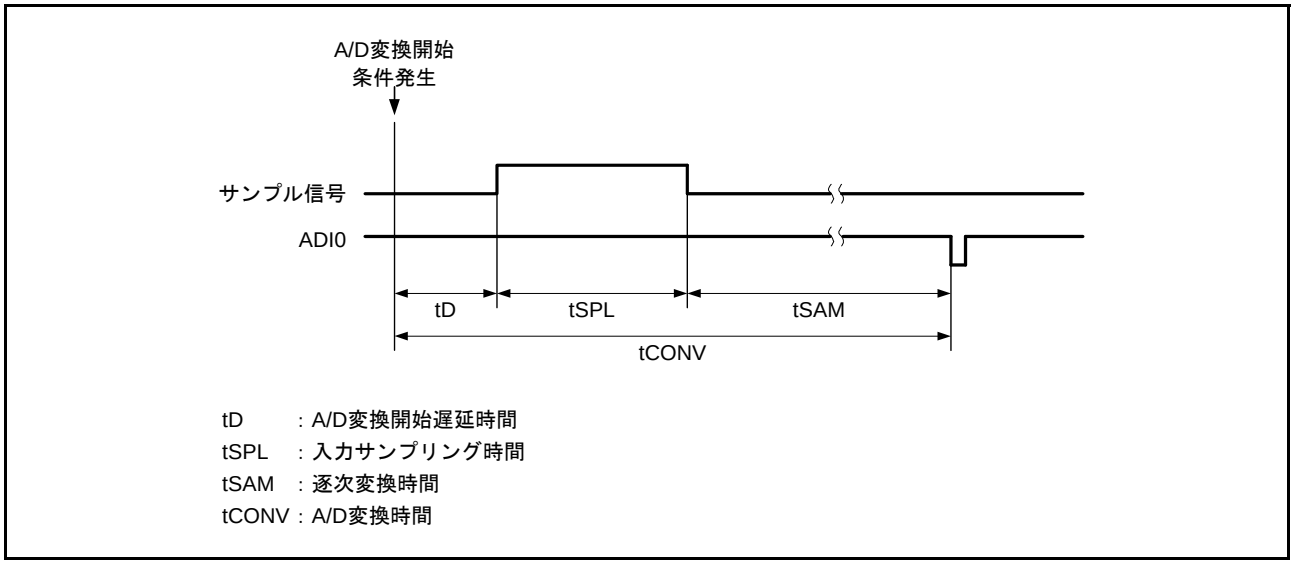


図 43.7　A/D 変換タイミング

表 43.6　ADSSTR レジスタの設定例

使用例	設定範囲	サンプリング時間（注 1）
標準（初期値）	“19h”	0.5μs（PCLK=ADCLK=50MHz 時）
アナログ入力の信号源インピーダンスが高く、 サンプリング時間が不足する場合に設定	“1Ah”～“FFh”	例：“FFh” 5.1μs（PCLK =ADCLK=50MHz 時）
ADCLK が 50MHz に満たない場合に、 サンプリング時間を初期値より短くする場合に設定	“02h”～“18h”	例：“14h” 0.5μs（PCLK =ADCLK=40MHz 時）

注 1.　サンプリング時間 ≧ 0.5μs となるように設定してください。サンプリング時間は、以下の式で表されます。

$$\text{サンプリング時間 (μs)} = \frac{\text{ADSSTR レジスタ設定値}}{\text{ADCLK (MHz)}}$$

表43.7　A/D変換時間

項目	記号	計算式	
		min	max
A/D変換開始遅延時間（①）	tD	$\frac{3}{PCLK(MHz)}$	$\frac{1}{ADCLK(MHz)} + \frac{4}{PCLK(MHz)}$
入力サンプリング時間（②）	tSPL	$\frac{ADSSTRレジスタ設定値}{ADCLK\ (MHz)}$	
逐次変換時間（③）	tSAM	$\frac{25}{ADCLK(MHz)}$	
A/D変換時間（注1）	tCONV	①+②+③	
A/D変換時間（注2）	tCONV	②+③	

注1.　シングルチャネルモード、スキャンモード（1回目）のA/D変換時間
注2.　スキャンモード（2回目以降）のA/D変換時間

A/D 変換時間の計算例を示します。

PCLK=ADCLK=50MHz、ADSSTR=19h、スキャンモード（2 回目）の場合、
A/D 変換時間（tCONV）= ADSSTR/ADCLK+25/ADCLK
= 25/50MHz+25/50MHz
= 0.5μs+0.5μs
= 1.0μs

PCLK =ADCLK=40MHz、ADSSTR=14h、スキャンモード（1 回目：min）の場合
A/D 変換時間（tCONV）= 3/PCLK+ADSSTR/ADCLK+25/ADCLK
= 3/40MHz+20/40MHz+25/40MHz
= 0.075μs+0.5μs+0.625μs
= 1.2μs

43.3.5　非同期トリガによる 10 ビット A/D 変換の開始

非同期トリガ（ADTRG# 端子）入力により、A/D 変換を開始できます。

この場合、ADCR.TRGS[2:0] ビットを “011b”（非同期トリガ（ADTRG# 端子））にすると、非同期トリガ（ADTRG# 端子）の立ち下がりエッジで、ADCSR.ADST ビットが “1”（A/D 変換開始）になり、A/D 変換が開始されます。このタイミングを図 43.8 に示します。

非同期トリガ使用時、非同期トリガ入力がすでに Low だった場合、内部信号に立ち下がりエッジが発生し、A/D 変換が開始される場合がありますので注意してください。

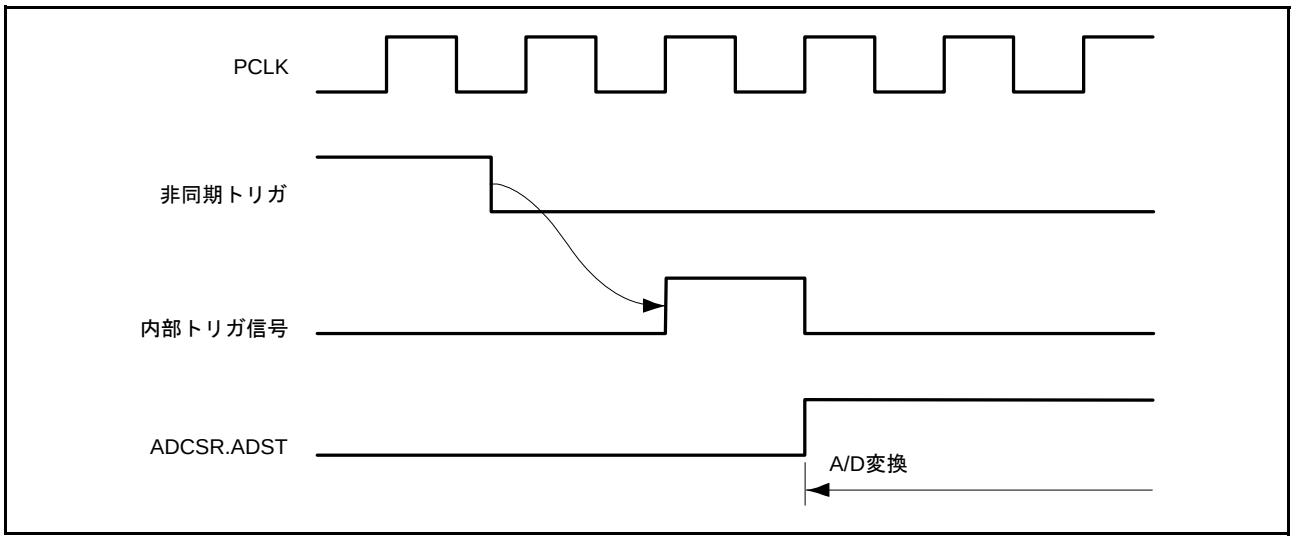


図 43.8　非同期トリガ入力タイミング

43.3.6　周辺モジュールからの同期トリガによるA/D変換の開始

MTU、TPUまたはTMRからの同期トリガによって、A/D変換を開始することができます。同期トリガでA/D変換を開始するときには、ADCR.TRGS[2:0]ビットで該当の開始要因にセットします。

43.3.6.1　MTUのTRG0AN_0によるA/D変換の開始

MTU0のTGRAのインプットキャプチャ/コンペアマッチにより、トリガ信号TRG0AN_0を発生させ、A/D変換を開始することができます。

MTUのTRG0AN_0出力とA/Dコンバータの接続関係を図43.9に示します。

MTU0のTGRAのインプットキャプチャ/コンペアマッチでA/D変換を開始する場合は、A/Dコンバータの ADCR.TRGS[2:0]ビットを“100b”（トリガ信号TRG0AN_0を選択）に設定します。

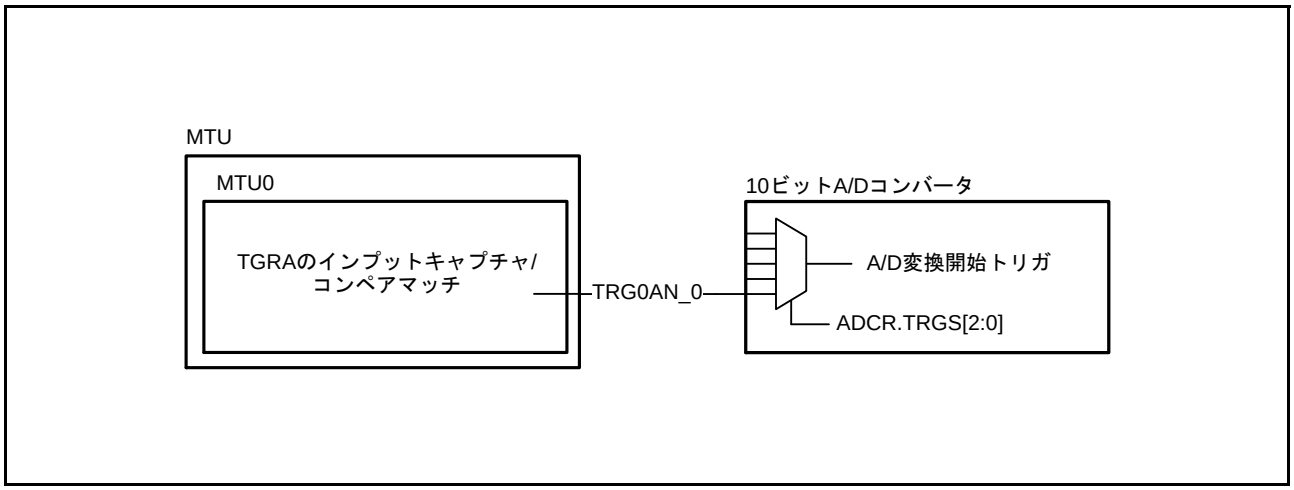


図43.9　MTUのTRG0AN_0出力とA/Dコンバータの接続関係

43.3.6.2　MTUのTRGAN_0とTPUのTRGAN_1によるA/D変換の開始

MTU0 ～ MTU4のTRGAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4のTCNTアンダフロー（谷）により、トリガ信号TRGAN_0を発生させ、A/D変換を開始することができます。同様に、TPU（ユニット0）のTPU0 ～ TPU4のTRGAのインプットキャプチャ/コンペアマッチにより、トリガ信号TRGAN_1を発生させ、A/D変換を開始することができます。

MTUのTRGAN_0とTPU(ユニット0)のTRGAN_1出力とA/Dコンバータの接続関係を図43.10に示します。

MTU0 ～ MTU4のTGRAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4のTCNTアンダフロー（谷）でA/D変換を開始する場合は、ADCR.TRGS[2:0]ビットを“001b”（トリガ信号TRGAN_0を選択)に設定し､MTUn.TIER.TTGEビット(n=0～4)､MTU4.TIER.TTGE2ビットを“1”に設定します。

また、TPU0 ～ TPU4のTGRAのインプットキャプチャ/コンペアマッチでA/D変換を開始する場合は、ADCR.TRGS[2:0]ビットを“101b”（トリガ信号TRGAN_1を選択）に設定し、TPUn.TIER.TTGEビット(n=0 ～ 4)を“1”に設定します。

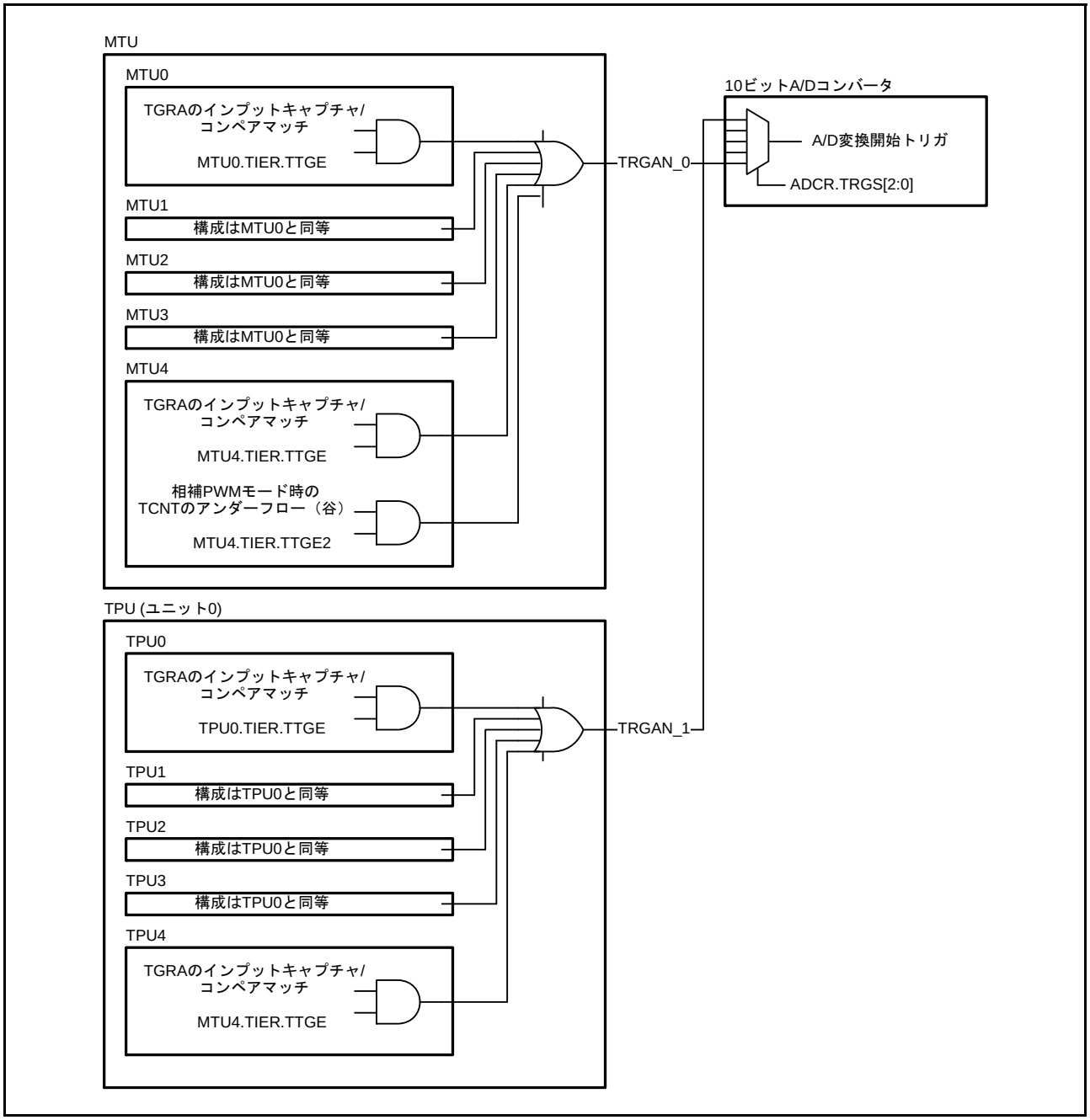


図 43.10　MTU の TRGAN_0 と TPU（ユニット 0）の TRGAN_1 出力と A/D コンバータの接続関係

43.3.7　MTU の TRG4ABN_0 と TPU の TRG4ABN_1 による A/D 変換の開始

MTU4 の A/D 変換開始要求ディレイド機能を利用したコンペアマッチにより、トリガ信号 TRG4ABN_0 を発生させ、A/D 変換を開始することができます。同様に、TPU（ユニット 0）の TPU0 の TRGA のインプットキャプチャ / コンペアマッチにより、トリガ信号 TRG4ABN_1 を発生させ、A/D 変換を開始することができます。

MTU の TRG4ABN_0 と TPU（ユニット 0）の TRG4ABN_1 出力と A/D コンバータの接続関係を**図 43.11** に示します。

MTU4 の A/D 変換開始要求ディレイド機能を利用し、TADCORA と TCNT のアップカウントのコンペアマッチで A/D 変換を開始する場合は、A/D コンバータの ADCR.TRGS[2:0] ビットを “110b”（トリガ信号 TRG4ABN_0 を選択）に設定し、MTU4.TADCOBRA/B と MTU4.TADCORA/B に周期を設定し、MTU4.TADCR.UT4AE ビットを “1” に設定します。

また、TPU0 の TGRA のインプットキャプチャ / コンペアマッチで A/D 変換を開始する場合は、ADCR.TRGS[2:0] ビットを “111b”（トリガ信号 TRG4ABN_1 を選択）に設定し、TPU0.TIER.TTGE ビットを “1” に設定します。

A/D 変換開始要求ディレイド機能の詳細については、**「23.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。

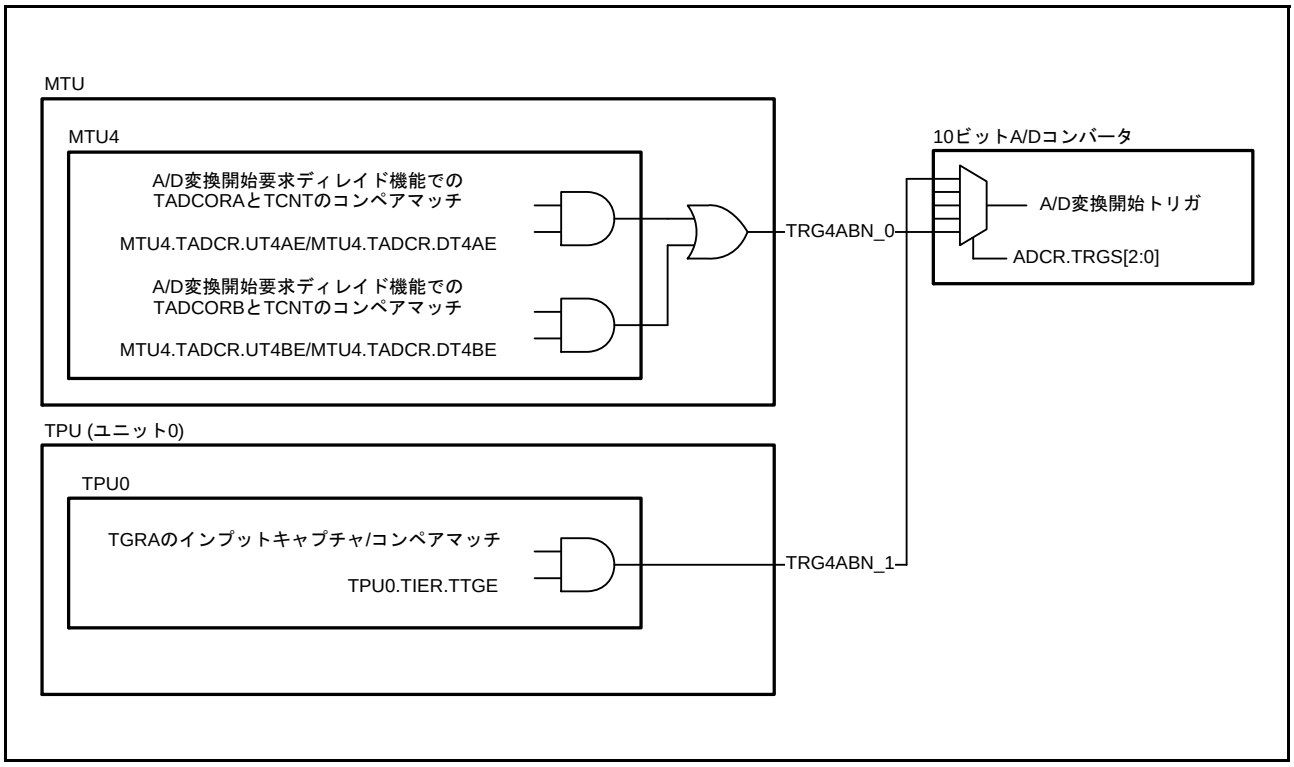


図 43.11　MTU の TRG4ABN_0 と TPU（ユニット 0）の TRG4ABN_1 出力と A/D コンバータの接続関係

43.3.8　TMR の TMTRG0AN_0 による A/D 変換の開始

TMR（ユニット 0）の TMR0 の TCORA のコンペアマッチ（コンペアマッチ A）により、A/D 変換を開始することができます。

TMR（ユニット 0）の TMTRG0AN_0 出力と A/D コンバータの接続関係を図 43.12 に示します。

TMR（ユニット 0）の TMR0 の TCORA のコンペアマッチ（コンペアマッチ A）で A/D 変換を開始する場合は、A/D コンバータの ADCR.TRGS[2:0] ビットを “010b”（トリガ信号 TMTRG0AN_0 を選択）に設定し、TMR0.TCSR.ADTE を “1” に設定します。

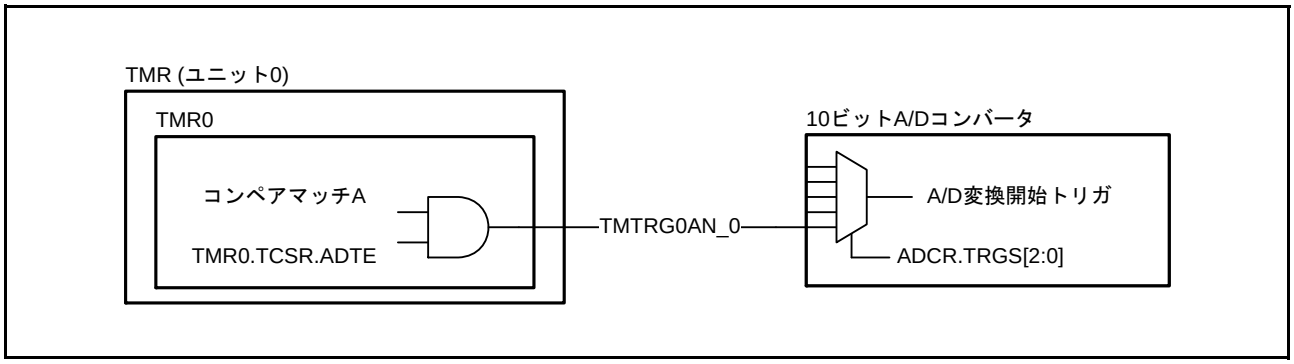


図 43.12　TMR（ユニット 0）の TMTRG0AN_0 出力と A/D コンバータの接続関係

43.3.9　10 ビット A/D コンバータ同期 D/A 変換許可信号

10 ビット A/D コンバータ同期 D/A 変換許可信号は、10 ビット A/D コンバータの ADCSR.ADST ビットが “0”（変換待機状態）の場合、High を出力します。また ADCSR.ADST ビットが “1”（A/D 変換中）の場合、A/D 変換終了時に 1PCLK 分の High パルスを出力します。図 43.13 に 10 ビット A/D コンバータ同期 D/A 変換許可信号の出力タイミングを示します。

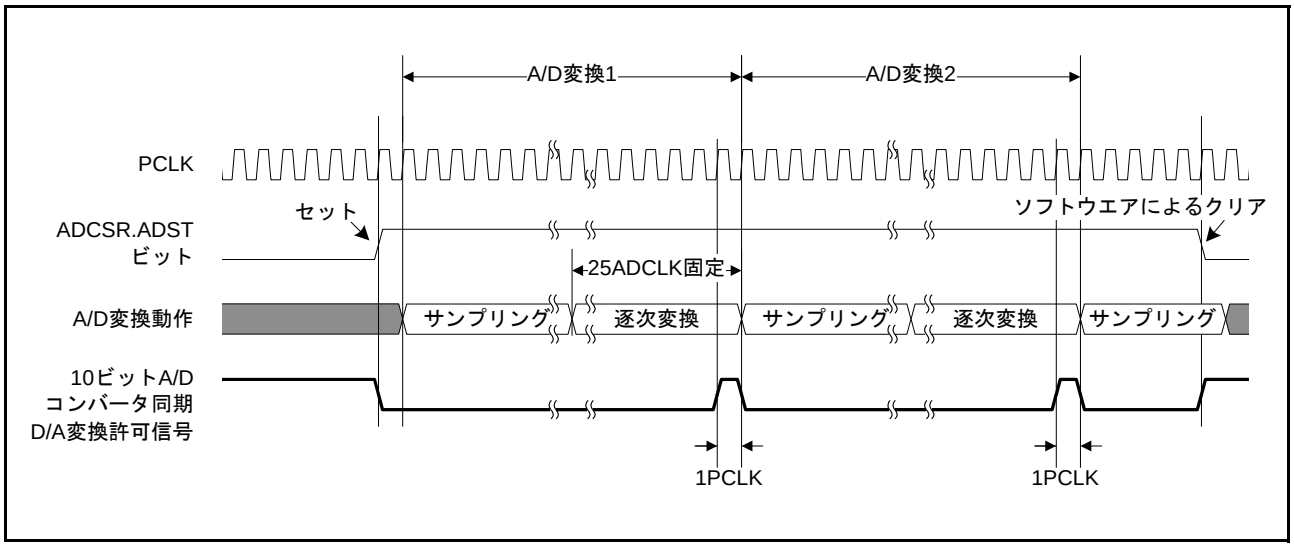


図 43.13　10 ビット A/D コンバータ同期 D/A 変換許可信号の出力タイミング

43.4　割り込み要因

10 ビット A/D コンバータは、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI0 割り込み許可）に設定された状態で A/D 変換が終了すると割り込み（ADI0）を発生します。

ADI0 割り込みは、DTC および DMAC の起動もできます。ADI0 割り込みで DTC および DMAC を起動し、変換されたデータを読み出すことで、連続変換がソフトウェアの負担なく実現できます。

表 43.8　10 ビット A/D コンバータの割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
ADI0	A/D 変換終了	可能	可能

43.5　A/D 変換精度の定義

RX63N グループ、RX631 グループの A/D 変換精度の定義は以下のとおりです。

- 分解能
  A/D コンバータのデジタル出力コード数
- 量子化誤差
  A/D コンバータが本質的に有する偏差であり、1/2LSB で与えられる（図 43.14）
- オフセット誤差
  デジタル出力が最小電圧値 “0000000000b（000h）” から “0000000001b（001h）” に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 43.15）
- フルスケール誤差
  デジタル出力が “1111111110b（3FEh）” から “1111111111b（3FFh）” に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 43.15）
- 非直線性誤差
  ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図 43.15）
- 絶対精度
  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

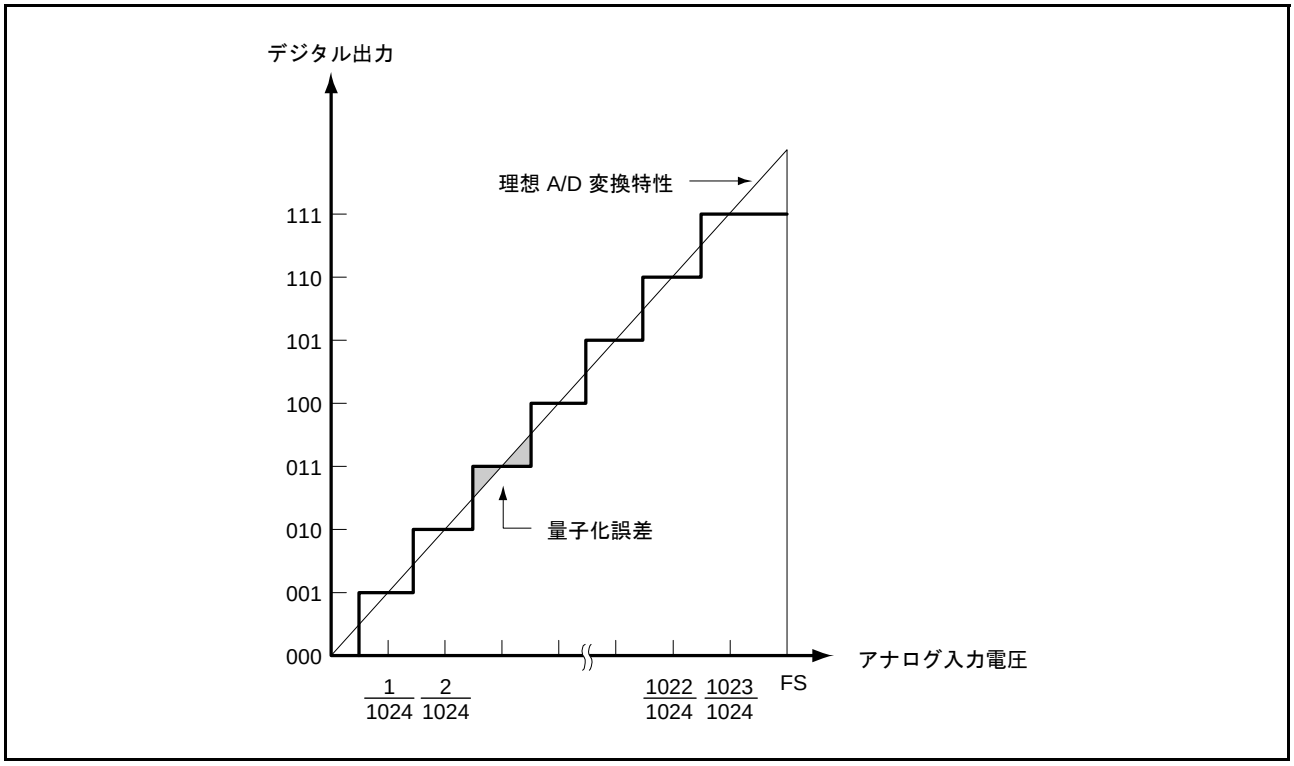


図 43.14　A/D 変換精度の定義（1）

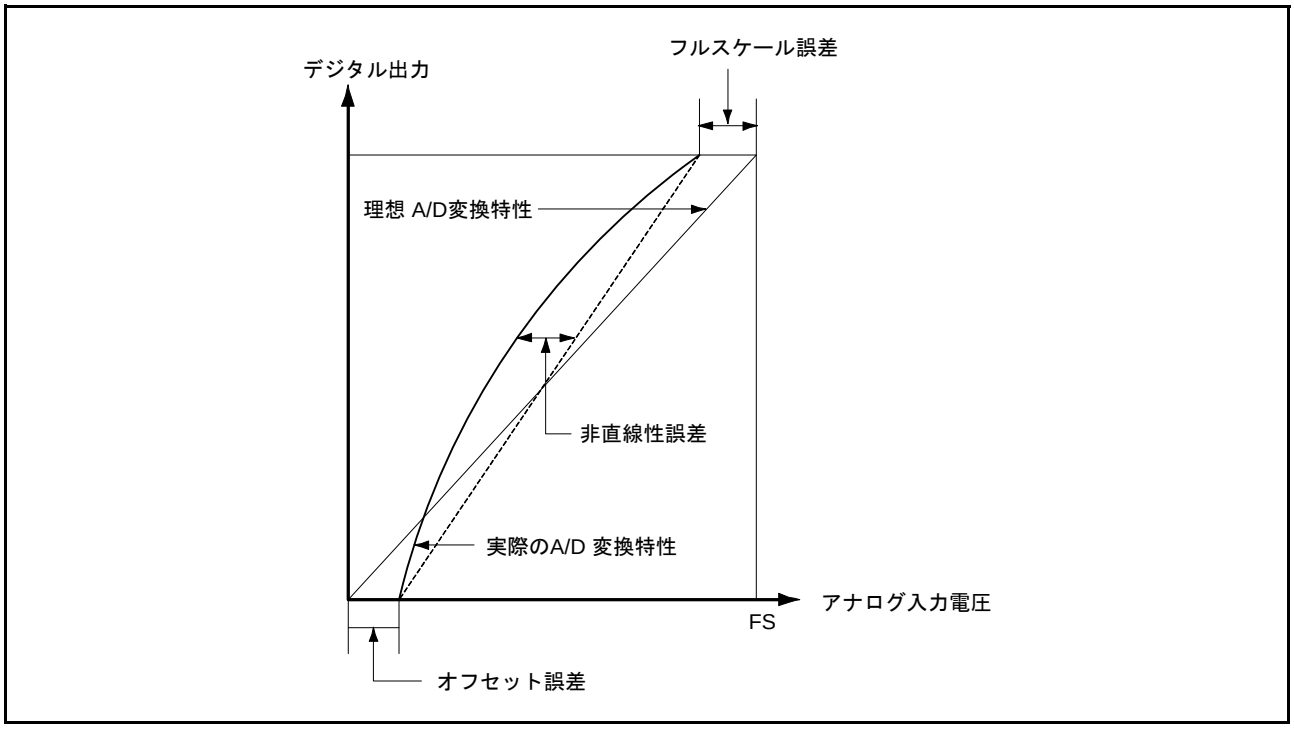


図 43.15　A/D 変換精度の定義（2）

43.6 使用上の注意事項

43.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、10 ビット A/D コンバータの動作禁止 / 許可を設定することができます。初期値では、10 ビット A/D コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「11. 消費電力低減機能」**を参照してください。

43.6.2 A/D 変換強制停止時の注意事項

A/D 変換開始条件に非同期トリガ（ADTRG# 端子）、または同期トリガ（MTU、TPU または TMR）を選択している場合は、ADCSR.ADST ビットを “0” にして A/D 変換を強制停止させても、意図しない A/D 変換が開始される可能性があります。

したがって確実に A/D コンバータを停止状態にするときは、ADCR.TRGS[2:0] ビットを “000b” にし、A/D 変換開始条件をソフトウェアトリガにした後、ADCSR.ADST ビットを “0”（A/D 変換停止）にしてください。

43.6.3 A/D 変換強制停止時の再開タイミング

ADCSR.ADST ビットを “0” にして A/D 変換を強制停止させると、10 ビット A/D コンバータのアナログ部が停止するのに、ADCLK の 1 クロックの時間を必要とします。

また、10 ビット A/D コンバータのアナログ部が停止した状態で、ADCSR.ADST ビットを “1” にし、A/D 変換を開始させた場合、ADCLK の 1 クロックの時間が経過した後、A/D 変換を再開する動作となります。

43.6.4 低消費電力状態への遷移時の注意事項

A/D 変換を許可した状態で LSI がモジュールストップやソフトウェアスタンバイモードへ移行すると、アナログ電源電流は A/D 変換中と同等になります。モジュールストップやソフトウェアスタンバイモードでアナログ電源電流を低減させる必要がある場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” にした後、10 ビット A/D コンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCR.TRGS[2:0] ビットを “000b”（ソフトウェアトリガ）にし、ADCSR.ADST ビットを “0” にした後、ADCR.CKS[1:0] ビットを “11b”（PCLK）にしてください。その後、A/D 変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ移行させてください。

43.6.5 10 ビット A/D コンバータ同期 D/A 変換使用時の注意事項

D/A コンバータの D/A A/D 同期スタート制御レジスタ（DAADSCR）の DAADST ビットを “0” に設定し、DA ⇒ AD 干渉対策である 10 ビット A/D コンバータ同期 D/A 変換を行う場合は、ADCR.TRGS[2:0] ビットを “000b”（ソフトウェアトリガ）に設定した後、ADCSR.ADST ビットが “0” のときに D/A コンバータの D/A コントロールレジスタ（DACR）を設定してください。

また、A/D 変換中にモジュールストップ等によるクロックの停止はしないでください。A/D 変換が停止するだけでなく、D/A 変換が停止する可能性があります。ADCSR.ADST ビットを “0” にして A/D 変換を停止させると、10 ビット A/D コンバータのアナログ部が停止するのに、ADCLK の 1 クロックの時間を必要とします。

ADCSR.ADST ビットを “0” にした直後に、ADCSR.ADST ビットを “1” にし、A/D 変換を再開させた場合、ADCLK の 1 クロックの時間が経過した後、A/D 変換を再開する動作となります。

43.6.6　許容信号源インピーダンスについて

本 LSI のアナログ入力は、高速変換 1.0μs を実現するために、信号源インピーダンスが 1.0kΩ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルチャネルモードで変換を行うときに外部に大容量のコンデンサを接続している場合は、入力の負荷は実質的に内部入力抵抗の Rs だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば 5mV/μs 以上）には追従できないことがあります（**図 43.16**）。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

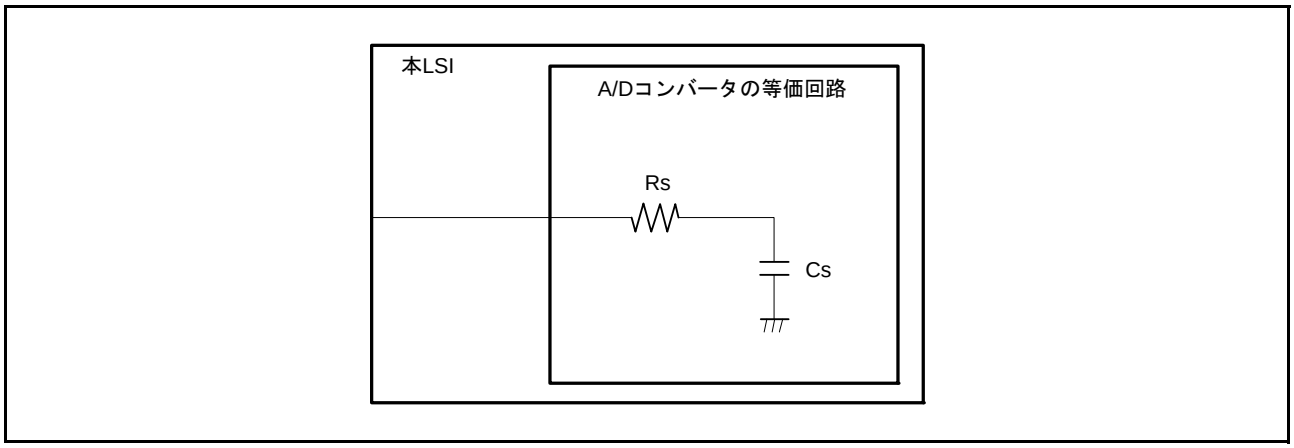


図 43.16　アナログ入力端子の内部等価回路

表 43.9　アナログ端子の規格（参考値）

項目		min	max	単位
許容信号源インピーダンス		—	1.0	kΩ
端子の内部等価回路	Rs	—	6.5	kΩ
	Cs	—	6	pF

43.6.7　絶対精度への影響

コンデンサを付加することにより、グランドとのカップリングを受け、ノイズがあるグランドだと絶対精度が悪化する可能性がありますので、電気的に安定なグランドに接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

43.6.8　アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合は、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲
  アナログ入力端子（AN0 ～ AN7）に印加する電圧は、VREFL ≦ VAN ≦ VREFH の範囲としてください。
- 各電源端子（VREFH － VREFL、VCC － VSS）の関係
  基準電圧入力端子（VREFH、VREFL）とデジタル電源端子（VCC、VSS）との関係は、VREFH ≦ VCC かつ VREFL ＝ VSS としてください。また、図 43.17 に示すように各々の電源間に最短で閉ループが形成できるように 0.1μF のコンデンサを接続し、供給元で VREFL ＝ VSS になるように接続してください。A/D コンバータを使用しない場合は、VREFH ＝ VCC、VREFL ＝ VSS としてください。

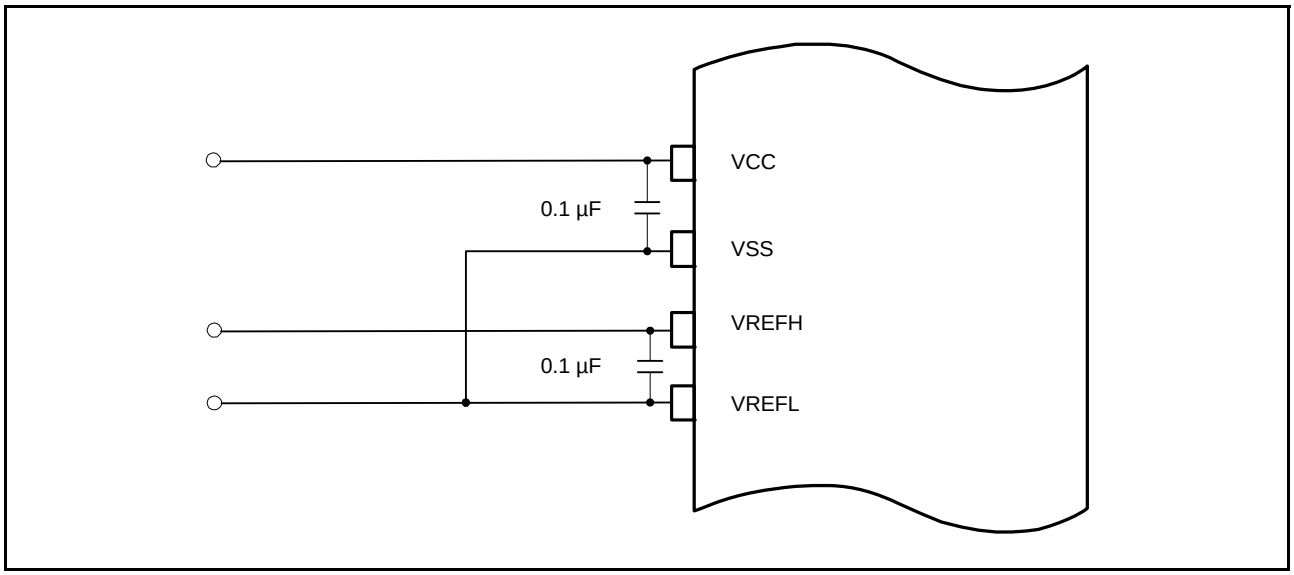


図 43.17　各電源端子の接続例

43.6.9　ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子（AN0 ～ AN7）、アナログ電源（VREFH）は、アナロググランド（VREFL）でシールドし、デジタル回路と分離してください。さらにアナロググランド（VREFL）は、ボード上の安定したデジタルグランド（VSS）に一点接続してください。

43.6.10　ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0 ～ AN7）の破壊を防ぐために、図 43.18 に示すように VREFH と VREFL 間にコンデンサを、またアナログ入力端子（AN0 ～ AN7）に保護回路を接続してください。

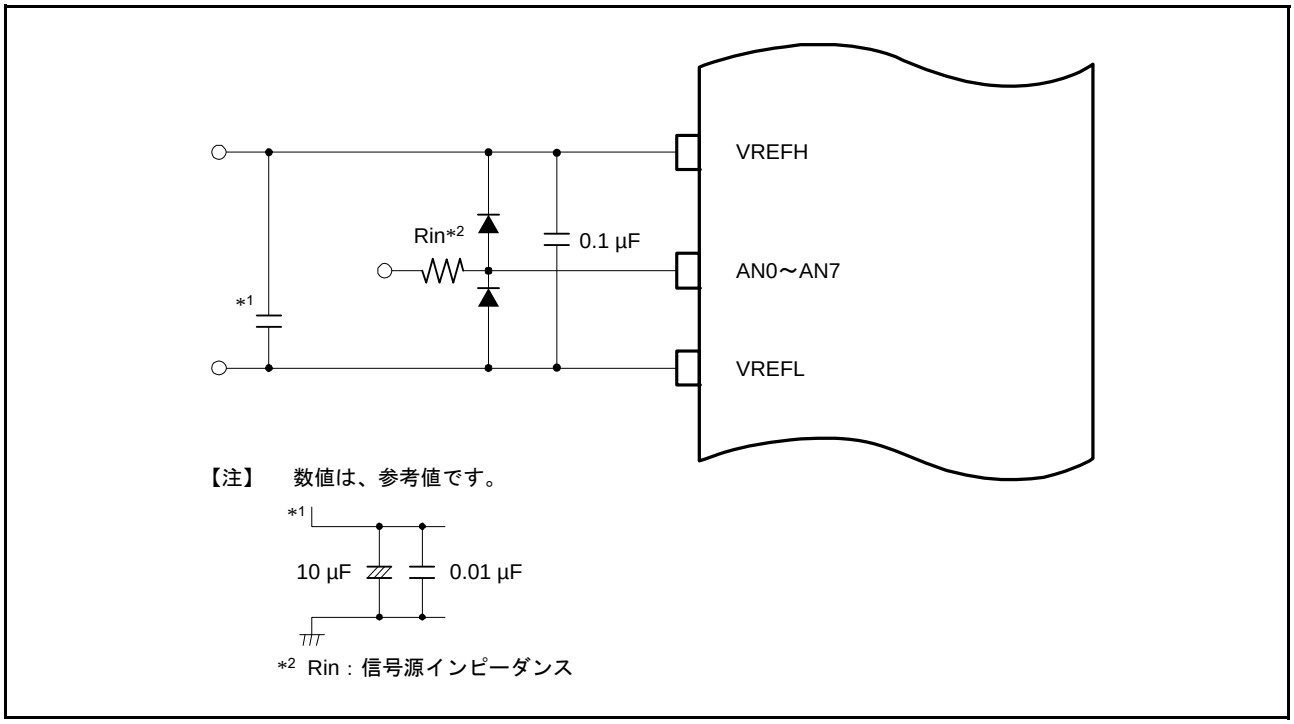


図 43.18　アナログ入力保護回路の例

43.6.11　外部バス使用時の注意事項

外部バスをアクセス中に A/D 変換をする場合、精度が悪化する可能性があります。

このような場合は、複数回の変換を実施し、最大値・最小値を除いた A/D 変換値の平均をとるなどのソフト対策を実施してください。

43.6.12　高速変換を実現するためには

高速変換を実現するためには、図 43.19 アナログ入力端子（AN0 ～ AN7）と VREFL 間に 0.1μF の外付けコンデンサを接続してください。ただし、10 ビット A/D コンバータのサンプル＆ホールド回路の入力コンデンサに対し信号源インピーダンスが見えないように、変換開始前に外付けコンデンサに電荷を十分蓄えておく必要があります。また、スキャン等でアナログ入力端子の電圧レベルが変動し、外付けコンデンサの電荷が更新される場合は、該当しません。

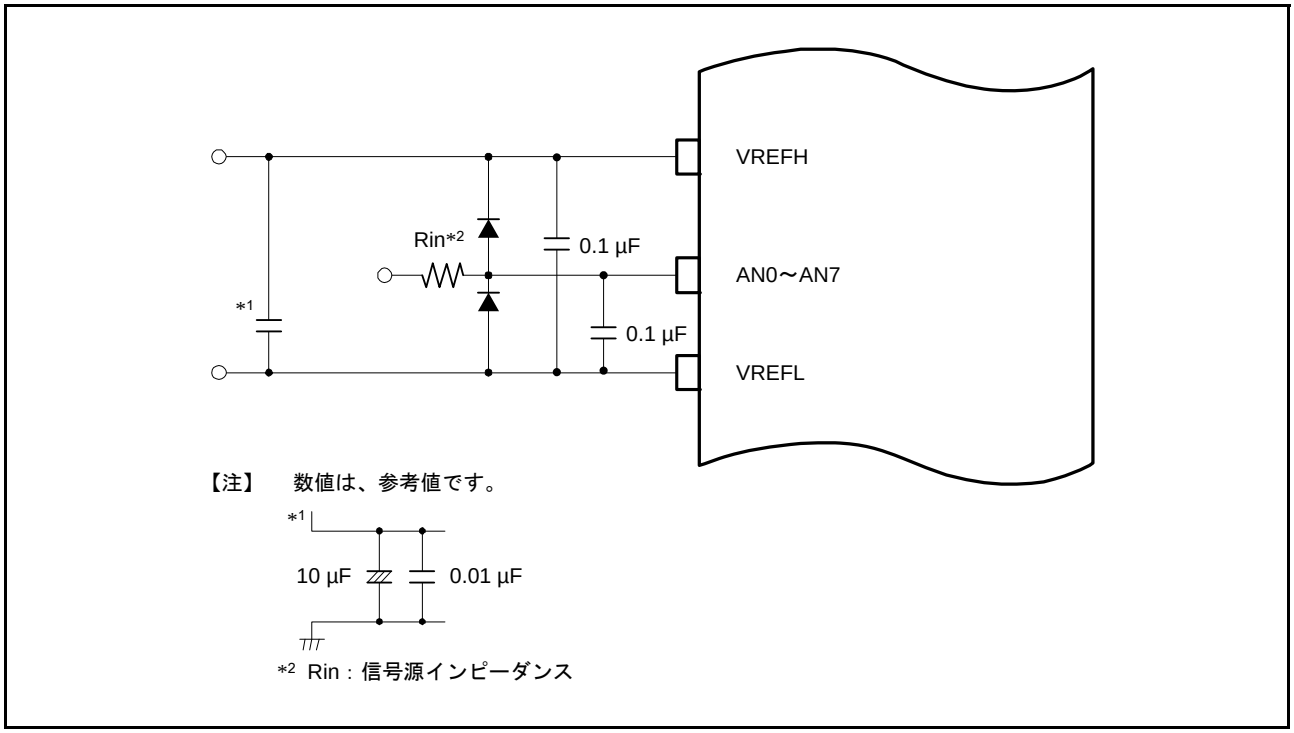


図 43.19　高速変換用外付けコンデンサの接続例

44. D/A コンバータ（DAa）

44.1 概要

RX63N グループ、RX631 グループは、10 ビットの D/A コンバータを 2 チャネル内蔵しています。

表 44.1 に D/A コンバータの仕様を示します。**図 44.1** に D/A コンバータのブロック図を示します。

表44.1　D/Aコンバータの仕様

項目	内容
分解能	10ビット
出力チャネル	2チャネル
アナログモジュールの干渉対策	• D/A変換とA/D変換の干渉対策 10ビットA/Dコンバータが出力する10ビットA/Dコンバータ同期D/A変換許可入力信号により、D/A変換データの更新タイミングを制御する（D/Aコンバータのラッシュカレント発生タイミングを許可信号で制御することにより、干渉によるA/D変換精度劣化を低減する）
消費電力低減機能	モジュールストップ状態への設定が可能

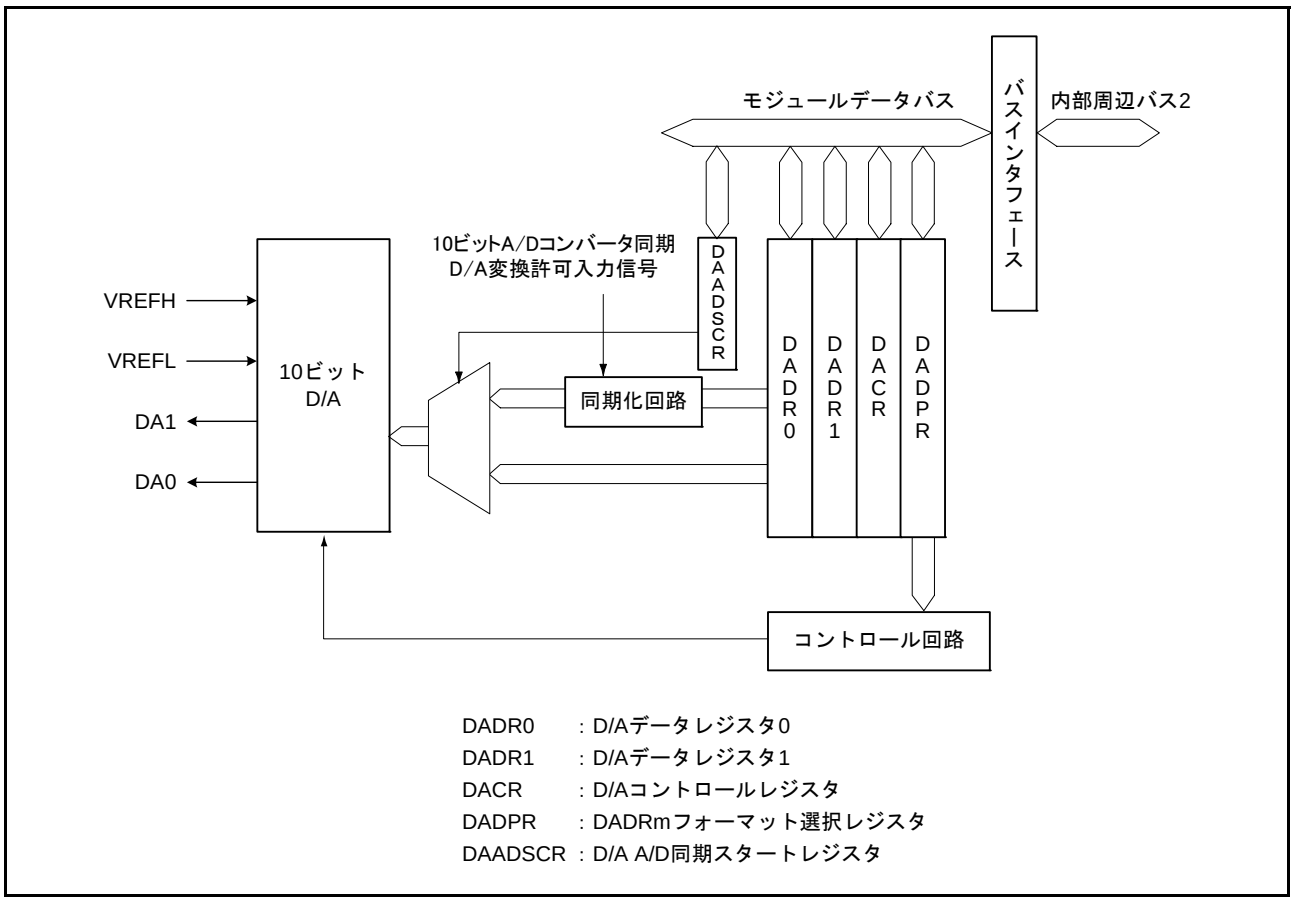


図 44.1　D/A コンバータのブロック図

表 44.2 に D/A コンバータで使用する入出力端子を示します。

表44.2　D/Aコンバータの入出力端子

端子名	入出力	機能
VREFH	入力	10ビット A/Dコンバータと D/A コンバータの基準電圧入力端子。それぞれのモジュールのアナログ電源としても使用します。10 ビット A/D コンバータも D/A コンバータも使用しない場合は、VCCに接続してください。
VREFL	入力	10ビット A/D コンバータと D/A コンバータの基準電圧入力端子。それぞれのモジュールのアナロググランドとしても使用します。VSS端子と同電位にしてください
DA0	出力	チャネル0のアナログ出力
DA1	出力	チャネル1のアナログ出力

44.2　レジスタの説明

44.2.1　D/A データレジスタ m（DADRm）（m=0、1）

アドレス　DADR0 0008 80C0h、DADR1 0008 80C2h

・DADPR.DPSEL ビット=“0”（ データは右詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・DADPR.DPSEL ビット=“1”（ データは左詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
											—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットのリード / ライト可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。“—” のビットは、読むと “0” が読めます。書く場合、“0” としてください。

44.2.2　D/A コントロールレジスタ（DACR）

アドレス　0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE（注1）	D/A許可ビット	0：チャネル0、1のD/A変換を個別制御 1：チャネル0、1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0：チャネル0のアナログ出力（DA0）を禁止 1：チャネル0のD/A変換を許可 チャネル0のアナログ出力（DA0）を許可（注2）	R/W
b7	DAOE1	D/A出力許可1ビット	0：チャネル1のアナログ出力（DA1）を禁止 1：チャネル1のD/A変換を許可 チャネル1のアナログ出力（DA1）を許可（注2）	R/W

注1.　DAOEiビット（i=0、1）との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEiビットにより制御されます。表44.3を参照してください。

注2.　アナログ出力として使用する端子のPORT0.PDR.Bmビット（m=3、5）は“0”にし、PORT0.PMR.Bmビット（m=3、5）も“0”にしてください。また、P03PFS、P05PFSレジスタによって、アナログ端子に設定してください。詳細については「20.　I/Oポート」および「21.　マルチファンクションピンコントローラ（MPC）」を参照してください。

表44.3　D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力（DA0、DA1）を禁止（注1）
		1	チャネル0のD/A変換を許可、チャネル1のD/A変換を禁止 チャネル0のアナログ出力（DA0）を許可、チャネル1のアナログ出力（DA1）を禁止（注1）
	1	0	チャネル0のD/A変換を禁止、チャネル1のD/A変換を許可 チャネル0のアナログ出力（DA0）を禁止（注1）、チャネル1のアナログ出力（DA1）を許可
		1	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力（DA0、DA1）を許可
1	0	0	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力（DA0、DA1）を禁止（注1）
		1	チャネル0、1のD/A変換を許可 チャネル0のアナログ出力（DA0）を許可、チャネル1のアナログ出力（DA1）を禁止（注1）
	1	0	チャネル0、1のD/A変換を許可 チャネル0のアナログ出力（DA0）を禁止（注1）、チャネル1のアナログ出力（DA1）を許可
		1	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力（DA0、DA1）を許可

注1.　アナログ出力禁止時、アナログ出力はHi-Zになります。

このレジスタは、DAADSCR.DAADST ビットが “1”（D/A 変換と A/D 変換の干渉対策が有効）の場合、10 ビット A/D コンバータ停止中に設定してください（10 ビット A/D コンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが “0” のときに設定してください）。

DAE ビット（D/A 許可ビット）

DAOEi ビット（i=0、1）との組み合わせで、D/A 変換を制御します。

DAE ビットが “0” のとき、チャネル 0、1 の D/A 変換は個別に制御されます。DAE ビットが “1” のとき、チャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOEi ビットにより制御されます。

D/A 変換と A/D 変換の干渉対策が有効時（DAADSCR.DAADST ビット＝ “1”）には、ADCSR.ADST ビットが “0” のときに設定してください。このとき確実に 10 ビット A/D コンバータを停止させるため、トリガ選択をソフトウェア トリガに設定してください。

DAOE0 ビット（D/A 出力許可 0 ビット）

D/A 変換とアナログ出力を制御します。

D/A 変換と A/D 変換の干渉対策が有効時（DAADSCR.DAADST ビット＝ “1”）には、ADCSR.ADST ビットが “0” のときに設定してください。このとき確実に 10 ビット A/D コンバータを停止させるため、トリガ選択をソフトウェア トリガに設定してください。

DAOE1 ビット（D/A 出力許可 1 ビット）

D/A 変換とアナログ出力を制御します。

D/A 変換と A/D 変換の干渉対策が有効時（DAADSCR.DAADST ビット＝ “1”）には、ADCSR.ADST ビットが “0” のときに設定してください。このとき確実に 10 ビット A/D コンバータを停止させるため、トリガ選択をソフトウェア トリガに設定してください。

44.2.3　DADRm フォーマット選択レジスタ（DADPR）

アドレス　0008 80C5h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b7	DPSEL	DADRm フォーマット選択ビット	0：D/A データレジスタは右詰め 1：D/A データレジスタは左詰め	R/W

44.2.4　D/A A/D 同期スタート制御レジスタ（DAADSCR）

アドレス　0008 80C6h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0：D/Aコンバータは、10ビットA/Dコンバータと同期変換しない （D/A変換とA/D変換の干渉対策の無効） 1：D/Aコンバータは、10ビットA/Dコンバータと同期変換する （D/A変換とA/D変換の干渉対策の有効）	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、D/A コンバータの変換開始タイミングを 10 ビット A/D コンバータからの 10 ビット A/D コンバータ同期 D/A 変換許可信号に同期させるかさせないかを選択します。

このレジスタは、10 ビット A/D コンバータ停止中に設定してください（10 ビット A/D コンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが “0” のときに設定してください）。

DAADST ビット（D/A A/D 同期変換ビット）

DAADST ビットを “0” にすると、随時 DADRm レジスタの値を D/A 変換します。DAADST ビットを “1” にすると、A/D コンバータからの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADRm レジスタの値を書き換えても、A/D コンバータの A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は ADCSR.ADST ビットが “0” のときに設定してください。このとき確実に 10 ビット A/D コンバータを停止させるため、トリガ選択をソフトウェア トリガに設定してください。

44.3　動作説明

2チャネルのD/Aコンバータは、それぞれ独立して変換を行うことができます。DACR.DAOEiビット（i=0、1）を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図44.2に示します。

1. DADR0レジスタに変換データを書きます。
2. DACR.DAOE0ビットを“1”にすると、D/A変換を開始します。tDCONV時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き換えるか、DAOE0ビットを“0”にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADR0レジスタの値}}{1024} \times \text{VREFH}$$

3. DADR0レジスタを書き換えると変換を開始します。tDCONV時間経過後、変換結果が出力されます。DAADSCR.DAADSTビットが“1”（D/A変換とA/D変換の干渉対策が有効）の場合、D/A変換開始まで最大A/D変換1回分待たされます。
4. DAOE0ビットを“0”に設定するとアナログ出力を禁止します。

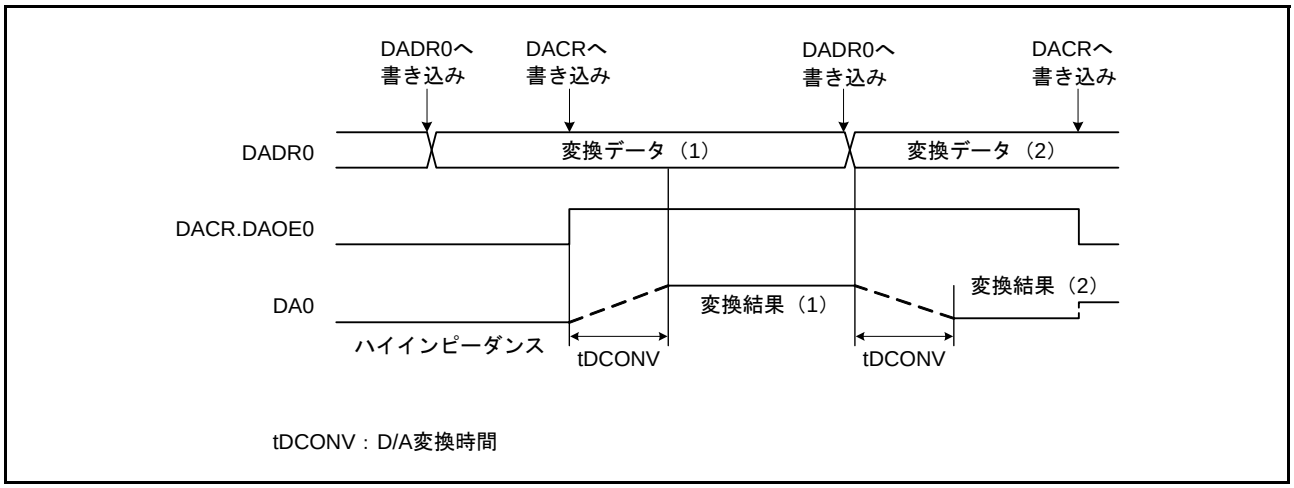


図44.2　D/Aコンバータの動作例

44.3.1　D/A 変換と A/D 変換の干渉対策

D/A 変換が始まると D/A コンバータはラッシュカレントを発生します。D/A コンバータと 10 ビット A/D コンバータのアナログ電源が共通のため、発生したラッシュカレントが 10 ビット A/D コンバータの変換に干渉することがあります。

10 ビット A/D コンバータの変換に干渉させないために、D/A コンバータの変換開始タイミングを 10 ビット A/D コンバータの 10 ビット A/D コンバータ同期 D/A 変換許可信号に同期化することができます。

DAADSCR.DAADST ビットを “1” にしている場合、10 ビット A/D コンバータが A/D 変換中に DADRm レジスタにデータを書き換えても、すぐに変換されず、10 ビット A/D コンバータの A/D 変換終了タイミングに同期して変換を開始します。DADRm レジスタへの書き込みから D/A 変換回路の入力に反映するまで最大 A/D 変換 1 回分待たされます。その間 DADRm レジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADRm レジスタの値が D/A 変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADST ビットを “1” にしている場合であっても、10 ビット A/D コンバータが停止中に DADRm レジスタにデータを書き換えると、1PCLK 後に D/A 変換を開始します。

D/A コンバータを 10 ビット A/D コンバータに同期して変換する機能を使う場合のチャネル 0 の D/A 変換の動作例を以下に示します。

① 10 ビット A/D コンバータが停止中であることを確認し、DAADSCR.DAADST ビットを “1” にする。
② 10 ビット A/D コンバータが停止中であることを確認し、DACR.DAOE0 ビットを “1” にする。
③ DADR0 レジスタを設定する。

- DADR0 レジスタを書き換えたとき、10 ビット A/D コンバータが停止していた場合、1PCLK 後に D/A 変換が開始されます。
- DADR0 レジスタを書き換えたとき、10 ビット A/D コンバータが A/D 変換中の場合、A/D 変換終了時に D/A 変換が開始されます。A/D 変換中に 2 回、DADR0 レジスタを書き換えた場合、1 回目の値は、D/A 変換されないことがあります。

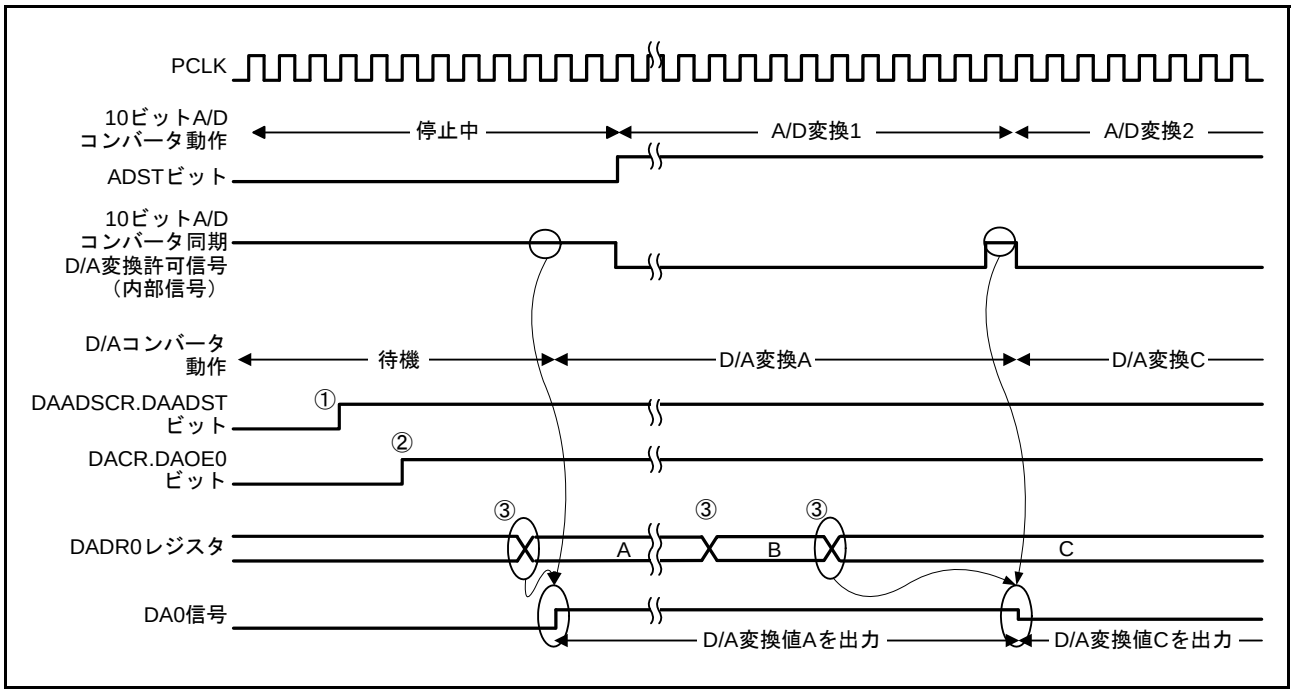


図 44.3　D/A コンバータを 10 ビット A/D コンバータに同期して変換する例

44.4　使用上の注意事項

44.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/A コンバータの動作禁止 / 許可を設定することが可能です。初期値では、D/A コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11.　消費電力低減機能」を参照してください。

44.4.2　モジュールストップ時の D/A の動作

D/A 変換を許可した状態でモジュールストップ状態になると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A 出力を禁止してください。

44.4.3　ソフトウェアスタンバイモード時の D/A の動作

D/A 変換を許可した状態で RX63N グループ、RX631 グループがソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A 出力を禁止してください。

44.4.4　ディープソフトウェアスタンバイモード時の注意事項

D/A 変換を許可した状態で RX63N グループ、RX631 グループがディープソフトウェアスタンバイモードに移行すると、D/A 出力はハイインピーダンスとなります。

44.4.5　D/A 変換と A/D 変換の干渉対策有効時の注意事項

DAADSCR.DAADST ビットが “1”（D/A 変換と A/D 変換の干渉対策が有効）の場合、10 ビット A/D コンバータをモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換が停止する可能性があります。

45. 温度センサ

45.1 概要

RX63N グループ、RX631 グループは、温度センサを内蔵しています。温度センサは温度により変化する電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータでデジタル値に変換し、温度に換算することで LSI 周辺の温度を求めることができます。

表 45.1 に温度センサの仕様を示します。**図 45.1** に温度センサのブロック図を示します。

表45.1　温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータへ出力
消費電力低減機能	モジュールストップ状態への設定が可能

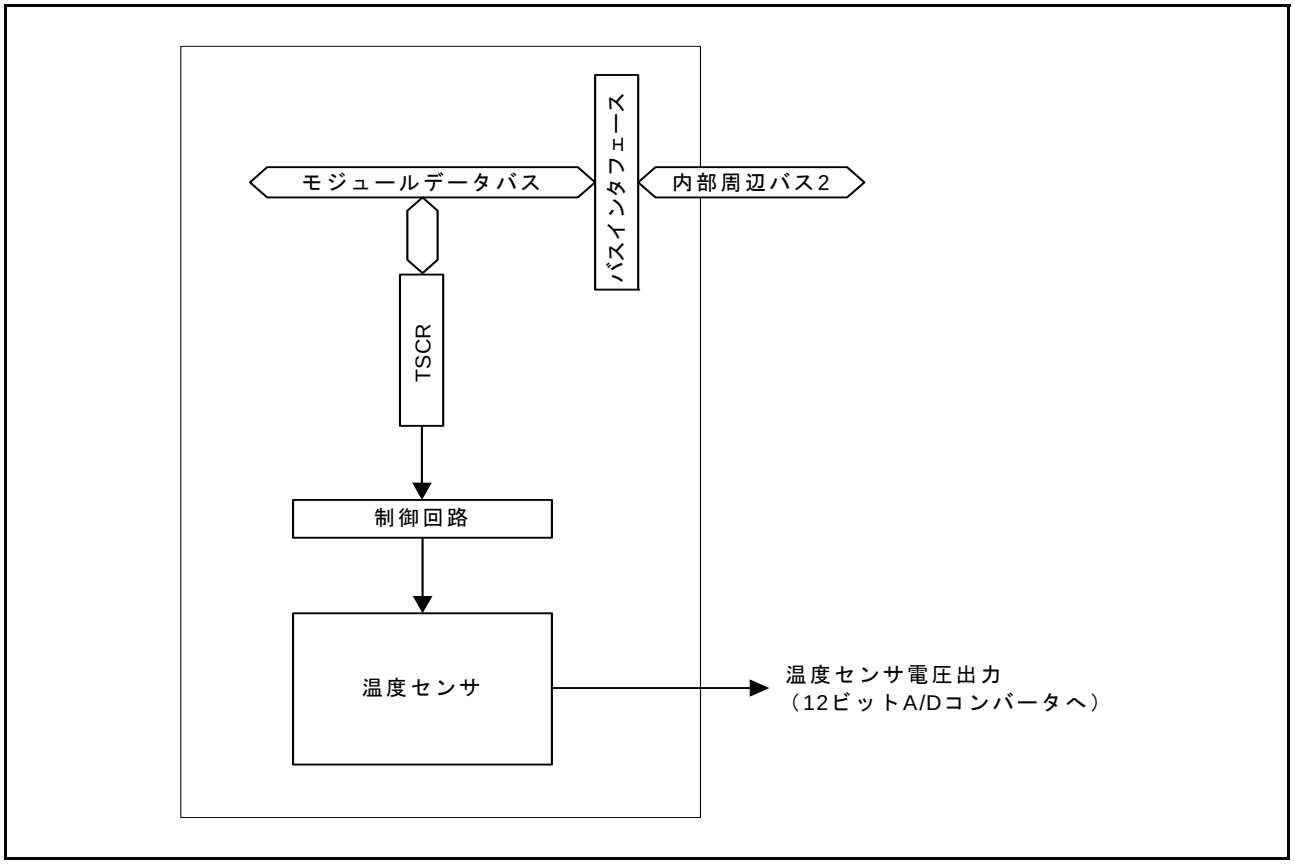


図 45.1　温度センサのブロック図

45.2　レジスタの説明

45.2.1　温度センサコントロールレジスタ（TSCR）

アドレス　0008 C500h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	—	—	TSOE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TSOE	温度センサ出力許可ビット	0：温度センサから12ビットA/Dコンバータへの出力禁止 1：温度センサから12ビットA/Dコンバータへの出力許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TSEN	温度センサ許可ビット	0：温度センサが停止 1：温度センサが動作	R/W

45.3　温度センサの使用方法

温度センサは、温度により変化する電圧を出力します。この電圧を 12 ビット A/D コンバータを用いてデジタル変換し、温度に換算することで LSI の周辺の温度を求めることができます。

45.3.1　使用前の準備

温度センサの温度特性を示します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$T=(Vs–V1)/Slope+T1$

T：測定温度 (℃)
Vs：温度測定時の温度センサの出力電圧 (V)
T1：1 点目の試行測定時の温度 (℃)
V1：1 点目の試行測定時の温度センサの出力電圧 (V)
T2：2 点目の試行測定時の温度 (℃)
V2：2 点目の試行測定時の温度センサの出力電圧 (V)
Slope：温度センサの温度傾斜 (V/ ℃)　$Slope=(V2–V1)/(T2–T1)$

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施しておくことを推奨します。

まず、温度 T1 のときの温度センサの出力電圧 V1 を 12 ビット A/D コンバータで試行測定することで求めます。

次に、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を 12 ビット A/D コンバータにて試行測定することで求めます。

両者の測定結果から、温度傾斜（Slope=(V2-V1)/(T2-T1)）を求めます。

この Slope を温度特性の式に代入し、温度特性 T=(Vs-V1)/Slope +T1 を求めます。

また、「51.　電気的特性」の表 51.31 に記載の温度傾斜を用いることで、温度 T1 のときの温度センサの出力電圧 V1 を、12 ビット A/D コンバータで試行測定することで求め、下記式により測定温度を算出します。なお、本測定温度精度は 2 点測定方法よりも劣ります。

T=(Vs-V1)/Slope +T1

T : 測定温度 (℃)
Vs : 温度測定時の温度センサの出力電圧 (V)
T1 : 1 点目の試行測定時の温度 (℃)
V1 : 1 点目の試行測定時の温度センサの出力電圧 (V)
Slope : 表 51.31 に記載の温度傾斜（V/ ℃）

45.3.2　12 ビット A/D コンバータの設定

温度センサの出力を A/D 変換するために、12 ビット A/D コンバータのレジスタを以下のように設定する必要があります。

- **温度センサ出力の A/D 変換対象への選択**

A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換選択ビット（ADEXICR.TSS）を “1” に設定し、温度センサ出力を A/D 変換対象に選択します。このとき、A/D チャネル選択レジスタ 0（ADANS0）、A/D チャネル選択レジスタ 1（ADANS1）、および A/D 変換拡張入力コントロールレジスタの内部基準電圧 A/D 変換選択ビット（ADEXICR.OCS）をすべて “0” に設定し、変換対象から外してください。

- **シングルスキャンモードの設定**

A/D コントロールレジスタのスキャンモード選択ビット（ADCSR.ADCS）を “0” に設定し、シングルスキャンモードを選択します。

- **加算モードの設定**

温度センサの出力を A/D 変換する際、加算モードの選択が可能です。加算モードを有効にする場合は、A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換値加算モード選択ビット（ADEXICR.TSSAD）を “1” に設定し、A/D 変換値加算回数選択レジスタの加算回数選択ビット（ADADC.ADC[1:0]）に加算回数を設定してください。

- **12 ビット A/D コンバータのサンプリングステート数の設定**

温度センサの出力を A/D 変換する際、サンプリングステート数を設定することができます。初期値は 20 ステートです。サンプリングステート数を 20 ステートから変更する場合は、A/D サンプリングステートレジスタ 23 のサンプリング時間 2 設定ビット（ADSSTR23.SST2[7:0]）を設定してください。

A/D コントロールレジスタの A/D 変換スタートビット（ADCSR.ADST ビット）“1” にすると、A/D 変換を開始し、A/D 温度センサデータレジスタ（ADTSDR）に A/D 変換結果が格納されます。温度センサの出力を A/D 変換する際は、「45.3.3　温度センサの使用手順」にしたがってください。

45.3.3　温度センサの使用手順

図 45.2 に温度センサの使用手順フローを示します。



注1.　加算モードを設定しない場合は、設定不要です。
注2.　サンプリングステート数の初期値は20ステートです。サンプリングステート数を変更しない場合は設定不要です。

図 45.2　温度センサの使用手順フロー

45.3.4　温度センサ出力の A/D 変換タイミング

温度センサの動作から A/D 変換完了までのタイミングを図 45.3 に、温度センサ動作から A/D 変換完了までの時間を表 45.2 に示します。

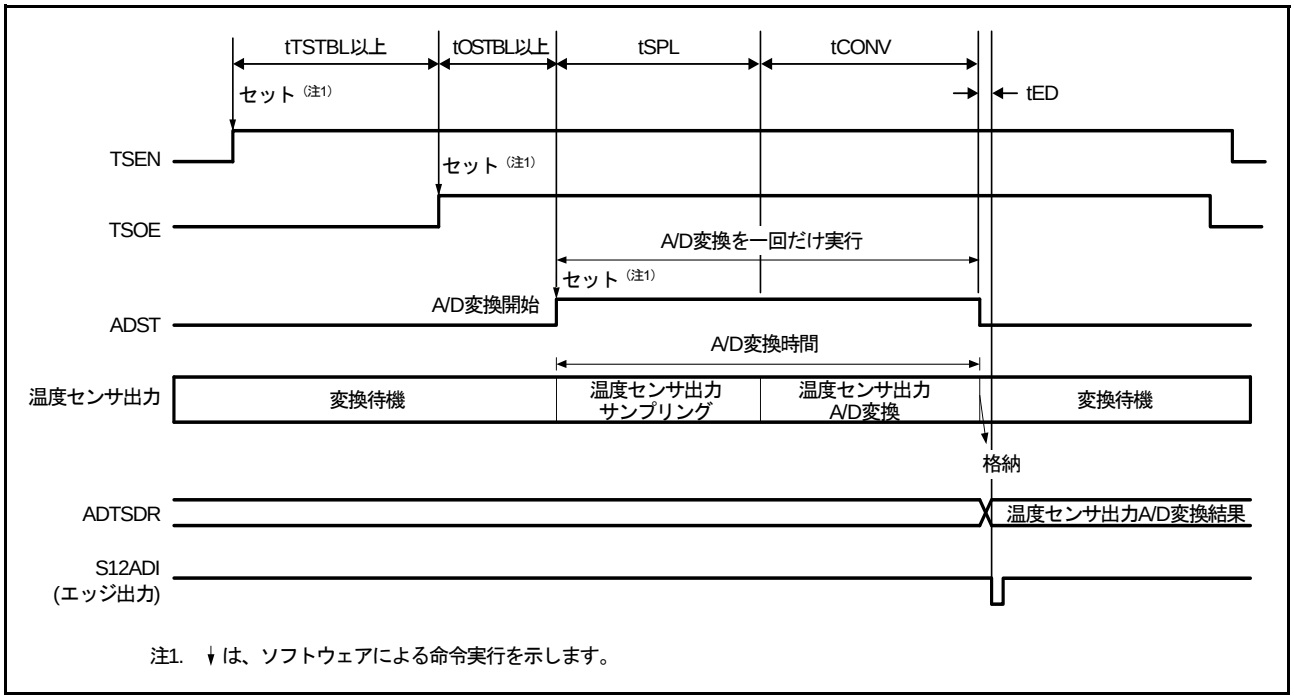


図 45.3　温度センサの動作から A/D 変換完了までのタイミング

表 45.2　温度センサの動作から A/D 変換完了まで時間

項目	記号	時間
温度センサ基準電圧安定待ち時間	tTSTBL	30μs（max）
温度センサ出力安定待ち時間	tOSTBL	0μs（max）
12 ビット A/D コンバータ入力サンプリング時間	tSPL	ADSSTR23 の設定値 × PCLK 周期
A/D 変換処理時間	tCONV	「42.3.4　アナログ入力のスキャン時間」の「表 42.7 スキャンでの各所要時間（ADCLK と PCLK のサイクル数で示します）」 スキャン動作での所要時間」参照
スキャン変換終了遅延時間	tED	「42.3.4　アナログ入力のスキャン時間」の「表 42.7 スキャンでの各所要時間（ADCLK と PCLK のサイクル数で示します）」参照

45.4　使用上の注意事項

45.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、温度センサの動作禁止 / 許可を設定することが可能です。初期値では、温度センサの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11.　消費電力低減機能」を参照してください。

46. RAM

RX63N グループ、RX631 グループは、高速スタティック RAM を内蔵しています。

46.1 概要

表 46.1 に RAM の仕様を示します。

表46.1 RAMの仕様

項目	内容
RAM容量	64Kバイト（RAM0：64Kバイト） 128Kバイト（RAM0：64Kバイト、RAM1：64Kバイト） 192Kバイト（RAM0：64Kバイト、RAM1：64Kバイト、RAM2：64Kバイト） 256Kバイト（RAM0：64Kバイト、RAM1：64Kバイト、RAM2：64Kバイト、RAM3：64Kバイト）
RAMアドレス	RAM0：0000 0000h～0000 FFFFh（64Kバイト） RAM1：0001 0000h～0001 FFFFh（64Kバイト） RAM2：0002 0000h～0002 FFFFh（64Kバイト） RAM3：0003 0000h～0003 FFFFh（64Kバイト）
アクセス	• 読み出し、書き込みともに1サイクルで動作 • RAM有効/無効選択可能（注1）
データ保持機能	ディープソフトウェアスタンバイモード時、RAM0のデータを保持可能
消費電力低減機能	RAM0～RAM3個別にモジュールストップ状態への設定が可能

注1. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.4 システムコントロールレジスタ1（SYSCR1）」を参照してください。

46.2 動作説明

46.2.1 データ保持

RAM のアドレス空間は、RAM0 ～ RAM3 の領域に分かれており、ディープソフトウェアスタンバイモード時に内部電源を供給できるかどうかが異なります。

DPSBYCR.DEEPCUT[1:0] ビットの設定により、ディープソフトウェアスタンバイモード時に RAM0 へ内部電源を供給するかどうかを選択できます。

ディープソフトウェアスタンバイモード時、RAM0 へ内部電源を供給することによって、RAM0 のデータを保持できます。このとき、RAM1 ～ RAM3 への内部電源の供給は停止しますので、RAM1 ～ RAM3 のデータを保持できません。

DPSBYCR.DEEPCUT[1:0] の詳細については、**「11. 消費電力低減機能」**を参照してください。

46.2.2 消費電力低減機能

モジュールストップコントロールレジスタ C（MSTPCRC）の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPCn ビットを “1” にすると RAMn に供給されるクロックが停止します。（n=0 ～ 3）

クロック供給の停止により、RAM0 ～ RAM3 はそれぞれモジュールストップ状態になります。リセット後は、RAM は動作しています。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、**「11. 消費電力低減機能」**を参照してください。

47. フラッシュメモリ

RX63N グループ、RX631 グループは、最大 2M バイトのコード格納用フラッシュメモリ（ROM）と 32K バイトのデータ格納用フラッシュメモリ（E2 データフラッシュ）を内蔵しています。本章において P/E はプログラム / イレーズを示します。

47.1 概要

表 47.1 に ROM / E2 データフラッシュの仕様を、**図 47.1** に ROM / E2 データフラッシュ周りのブロック図を示します。

ROM のメモリ領域構成については**「47.1.1 ROM の領域構成」**を、E2 データフラッシュのメモリ領域構成については**「47.1.3 E2 データフラッシュの領域構成」**を参照してください。

表47.1　ROM / E2データフラッシュの仕様

項目		ROM	E2データフラッシュ
メモリ空間		• ユーザ領域：最大2Mバイト • ユーザブート領域：16Kバイト	データ領域：32Kバイト
リードサイクル		ICLK 1サイクルの高速読み出し	ワード、バイトアクセス時にはFCLK 6サイクルでの読み出し
P/E方式		• ROM / E2データフラッシュの書き換えを行う専用のシーケンサ（FCU）を内蔵 • FCU へコマンドを発行することにより、ROM / E2データフラッシュへP/Eを実行可能	
イレーズ後の値		FFh	不定値
BGO（バックグラウンドオペレーション）機能		E2データフラッシュへのP/Eを実行している期間、CPUはROM領域のプログラムを実行可能	
サスペンド/レジューム機能		• ROMへのP/Eを中断し、CPU はROM領域のプログラムを実行可能（サスペンド） • E2データフラッシュへのP/E を中断し、CPU はE2データフラッシュ領域の読み出しを実行可能（サスペンド） • 中断した後、ROM / E2データフラッシュへのP/Eを再開可能（レジューム）	
P/E単位		• ユーザ領域およびユーザブート領域へのプログラム：128バイト • ユーザ領域のイレーズ：ブロック • ユーザブート領域のイレーズ：16Kバイト	• データ領域へのプログラム：2バイト • データ領域のイレーズ：32バイト
オンボードプログラミング（4種類）		ブートモードによる書き換え • 調歩同期式シリアルインターフェース(SCI1)を使用 • 通信速度は自動調整 • ユーザブート領域も書き換え可能 USBブートモードによる書き換え • USB0を使用 • 特別なハードウェアが不要で、PCと直結可能 ユーザブートモードによる書き換え • ユーザ独自のブートプログラムを作成可能 ユーザプログラム中のROM/E2データフラッシュ書き換えルーチンによる書き換え • システムをリセットすることなくROM/E2データフラッシュの書き換えが可能	
オフボードプログラミング（100ピン以上の製品）		フラッシュライタを使用して、ユーザ領域/ユーザブート領域の書き換えが可能	フラッシュライタを使用したデータ領域の書き換えはできません
プロテクト機能	ソフトウェアプロテクト機能	レジスタ設定やロックビットにより意図しない書き換えを防ぐことが可能	• レジスタ設定により意図しない書き換え/読み出しを防ぐことが可能 • レジスタ設定によるプロテクトの単位は2Kバイト
	FCUのコマンドロック機能	P/E中に異常を検出した場合、以後のP/E処理を禁止	

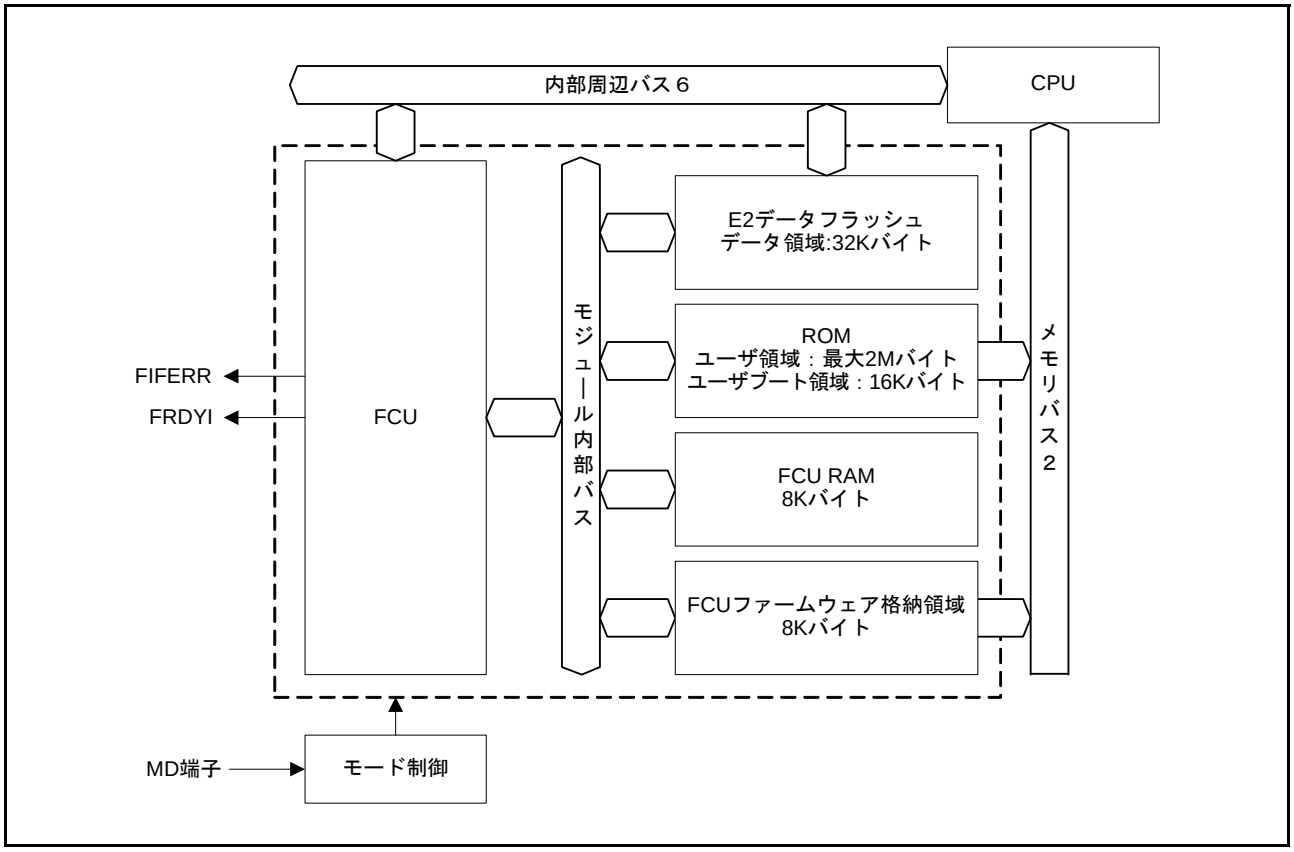


図 47.1 ROM / E2 データフラッシュのブロック図

47.1.1 ROM の領域構成

RX63N グループ、RX631 グループの ROM は、最大 2M バイトのユーザ領域と 16K バイトのユーザブート領域から構成されています。それぞれの領域のアドレスを図 47.2 に示します。

ユーザ領域のアドレスは、リード時と P/E 時で異なりますので注意してください。

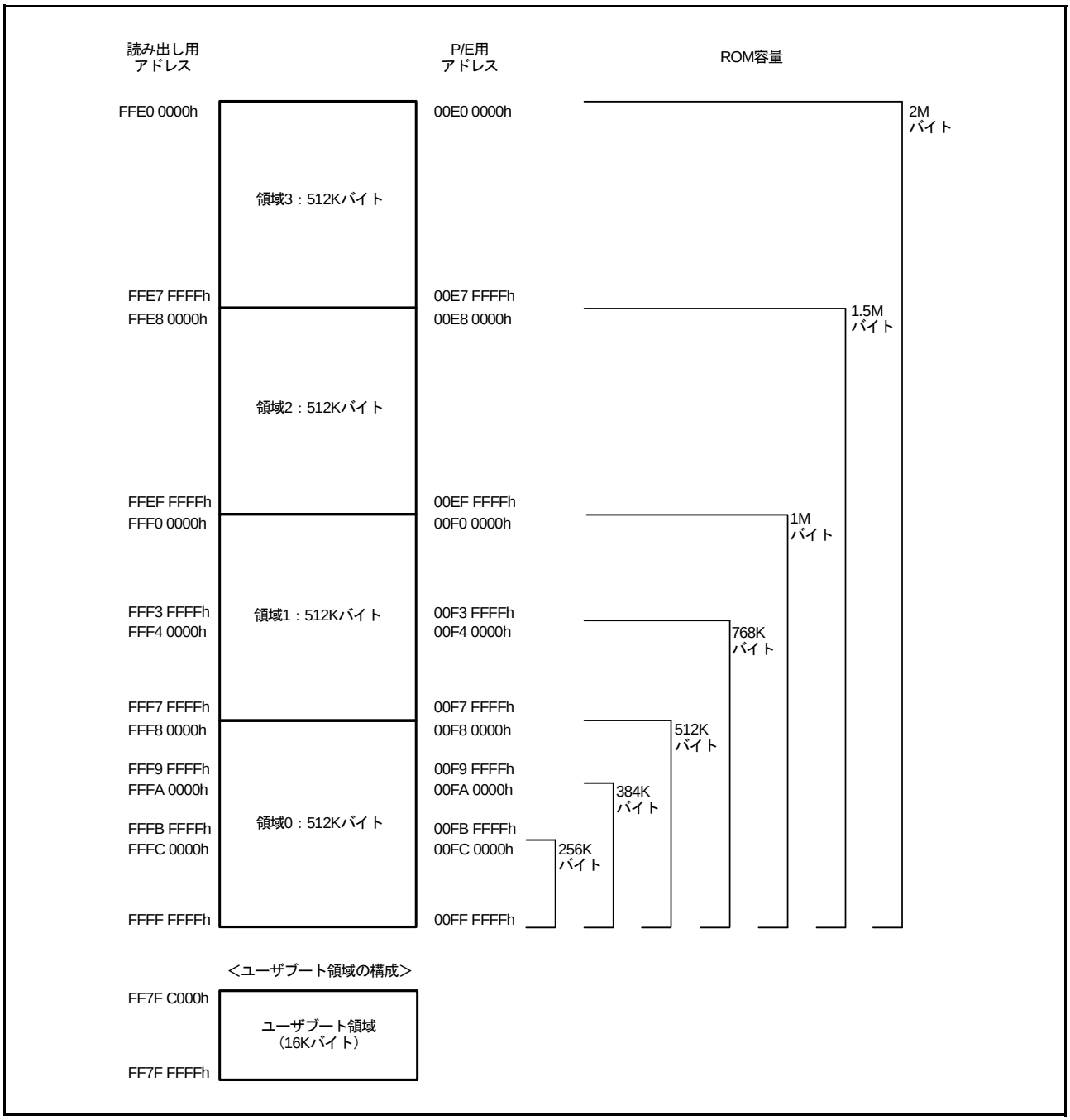


図 47.2　ROM のメモリ領域構成

47.1.2 ROM のブロック構成

ユーザ領域 (領域 0 ～領域 3) は、異なるサイズのブロックに分割されており、イレーズはこのブロック単位で行います。ユーザ領域のブロックの構成を図 47.3 に、ブロックとアドレスの関係を表 47.2 に示します。

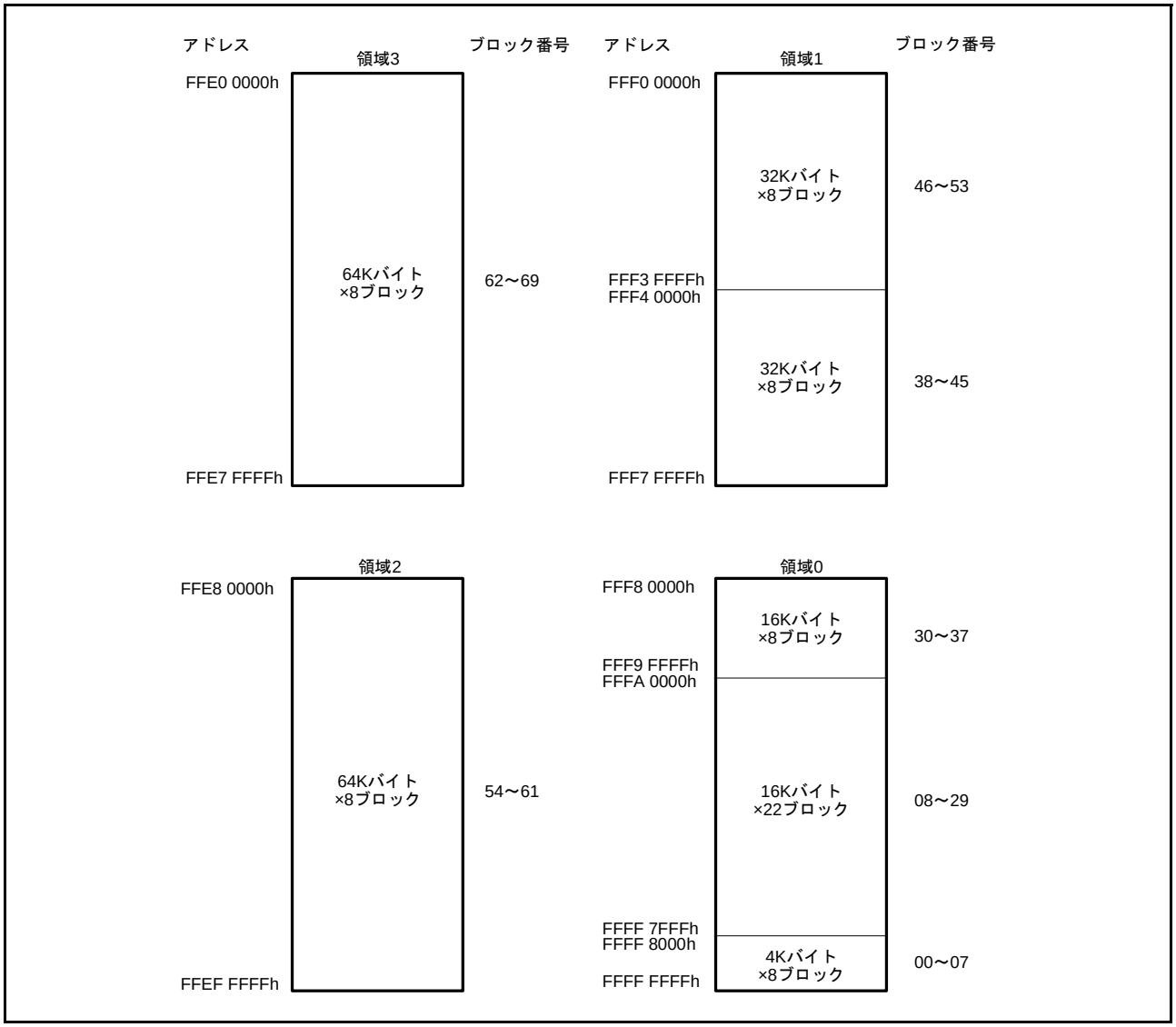


図 47.3　ユーザ領域のブロック構成

表47.2　ユーザ領域のブロックとアドレスの関係

ブロック番号	開始アドレス	ブロック構成	領域
69	FFE0 0000h	64K ×8ブロック	領域3
68	FFE1 0000h		
67	FFE2 0000h		
66	FFE3 0000h		
65	FFE4 0000h		
64	FFE5 0000h		
63	FFE6 0000h		
62	FFE7 0000h		
61	FFE8 0000h	64K ×8ブロック	領域2
60	FFE9 0000h		
59	FFEA 0000h		
58	FFEB 0000h		
57	FFEC 0000h		
56	FFED 0000h		
55	FFEE 0000h		
54	FFEF 0000h		
53	FFF0 0000h	32K ×8ブロック	領域1
52	FFF0 8000h		
51	FFF1 0000h		
50	FFF1 8000h		
49	FFF2 0000h		
48	FFF2 8000h		
47	FFF3 0000h		
46	FFF3 8000h		
45	FFF4 0000h	32K ×8ブロック	
44	FFF4 8000h		
43	FFF5 0000h		
42	FFF5 8000h		
41	FFF6 0000h		
40	FFF6 8000h		
39	FFF7 0000h		
38	FFF7 8000h		

ブロック番号	開始アドレス	ブロック構成	領域
37	FFF8 0000h	16K ×8ブロック	領域0
36	FFF8 4000h		
35	FFF8 8000h		
34	FFF8 C000h		
33	FFF9 0000h		
32	FFF9 4000h		
31	FFF9 8000h		
30	FFF9 C000h		
29	FFFA 0000h	16K ×22ブロック	
28	FFFA 4000h		
27	FFFA 8000h		
26	FFFA C000h		
25	FFFB 0000h		
24	FFFB 4000h		
23	FFFB 8000h		
22	FFFB C000h		
21	FFFC 0000h		
20	FFFC 4000h		
19	FFFC 8000h		
18	FFFC C000h		
17	FFFD 0000h		
16	FFFD 4000h		
15	FFFD 8000h		
14	FFFD C000h		
13	FFFE 0000h		
12	FFFE 4000h		
11	FFFE 8000h		
10	FFFE C000h		
9	FFFF 0000h		
8	FFFF 4000h		
7	FFFF 8000h	4K ×8ブロック	
6	FFFF 9000h		
5	FFFF A000h		
4	FFFF B000h		
3	FFFF C000h		
2	FFFF D000h		
1	FFFF E000h		
0	FFFF F000h		

47.1.3 E2 データフラッシュの領域構成

RX63N グループ、RX631 グループの E2 データフラッシュは、0010 0000h 番地から 0010 7FFFh 番地までの 32K バイトのデータ領域で構成されています。

ユーザ領域とは異なり、データ領域のアドレスはリード時と P/E で同一です。

47.1.4 E2 データフラッシュのブロック構成

データ領域は 1024 ブロックに分割されていて、イレーズはこのブロック単位で行います。データ領域のブロックとアドレスの関係と対応する読み出しおよび P/E 許可ビットの一覧を**表 47.3** に示します。

ブロック N のアドレスは (N × 32) + データ領域の先頭番地 (“0010 0000h”) で算出できます。

表 47.3　データ領域のブロック構成

ブロック番号	開始アドレス	読み出しおよびP/E許可ビット
0000 ⋮ 0063	0010 0000h ⋮ 0010 07E0h	DFLRE0.DBRE00 DFLWE0.DBWE00
0064 ⋮ 0127	0010 0800h ⋮ 0010 0FE0h	DFLRE0.DBRE01 DFLWE0.DBWE01
0128 ⋮ 0191	0010 1000h ⋮ 0010 17E0h	DFLRE0.DBRE02 DFLWE0.DBWE02
0192 ⋮ 0255	0010 1800h ⋮ 0010 1FE0h	DFLRE0.DBRE03 DFLWE0.DBWE03
0256 ⋮ 0319	0010 2000h ⋮ 0010 27E0h	DFLRE0.DBRE04 DFLWE0.DBWE04
0320 ⋮ 0383	0010 2800h ⋮ 0010 2FE0h	DFLRE0.DBRE05 DFLWE0.DBWE05
0384 ⋮ 0447	0010 3000h ⋮ 0010 37E0h	DFLRE0.DBRE06 DFLWE0.DBWE06
0448 ⋮ 0511	0010 3800h ⋮ 0010 3FE0h	DFLRE0.DBRE07 DFLWE0.DBWE07

ブロック番号	開始アドレス	読み出しおよびP/E許可ビット
0512 ⋮ 0575	0010 4000h ⋮ 0010 47E0h	DFLRE1.DBRE08 DFLWE1.DBWE08
0576 ⋮ 0639	0010 4800h ⋮ 0010 4FE0h	DFLRE1.DBRE09 DFLWE1.DBWE09
0640 ⋮ 0703	0010 5000h ⋮ 0010 57E0h	DFLRE1.DBRE10 DFLWE1.DBWE10
0704 ⋮ 0767	0010 5800h ⋮ 0010 5FE0h	DFLRE1.DBRE11 DFLWE1.DBWE11
0768 ⋮ 0831	0010 6000h ⋮ 0010 67E0h	DFLRE1.DBRE12 DFLWE1.DBWE12
0832 ⋮ 0895	0010 6800h ⋮ 0010 6FE0h	DFLRE1.DBRE13 DFLWE1.DBWE13
0896 ⋮ 0959	0010 7000h ⋮ 0010 77E0h	DFLRE1.DBRE14 DFLWE1.DBWE14
0960 ⋮ 1023	0010 7800h ⋮ 0010 7FE0h	DFLRE1.DBRE15 DFLWE1.DBWE15

47.2　レジスタの説明

ROM と E2 データフラッシュで共用するレジスタと、それぞれ専用のレジスタがあります。

47.2.1　フラッシュ P/E プロテクトレジスタ（FWEPROR）

アドレス　0008 C296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュ P/E ビット	b1 b0 0 0：P/E、ロックビットの P/E、ロックビットの読み出し、ブランクチェックの禁止 0 1：P/E、ロックビットの P/E、ロックビットの読み出し、ブランクチェックの許可 1 0：P/E、ロックビットの P/E、ロックビットの読み出し、ブランクチェックの禁止 1 1：P/E、ロックビットの P/E、ロックビットの読み出し、ブランクチェックの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ROM / E2 データフラッシュに対する P/E、ロックビットの P/E、ロックビットの読み出し、ブランクチェックをソフトウェアによって禁止します。

FWEPROR レジスタは、RES# 端子からのリセット、ソフトウェアスタンバイモード移行時、ディープソフトウェアスタンバイモード移行時、電源電圧低下時にリセット後の値となります。

47.2.2 フラッシュモードレジスタ（FMODR）

アドレス 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリード方式選択ビット	0x71コマンドを発行したときのFCUの処理内容を選択するビットです。 詳細は「FRDMDビット（FCUリード方式選択ビット）」を参照してください。	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FMODR レジスタは FCU に対して 0x71 コマンドを発行したときの FCU の処理内容を選択するレジスタです。0x71 コマンドの発行先アドレス (ROM あるいは E2 データフラッシュ) により、FCU の処理内容が異なります。

このレジスタは ROM / E2 データフラッシュ共用です。内蔵 ROM 無効時に、このレジスタを読むと “00h” が読め、書き込みはできません。

FRDMD ビット（FCU リード方式選択ビット）

FRDMD ビットの状態と 0x71 コマンドを発行したときの FCU の処理内容の関係を**表 47.4** に示します。

表47.4　FRDMDビットと0x71コマンドの対応

0x71コマンド発行先	FRDMDビットの状態	機能	FCUの処理内容
ROM	0	メモリ領域リード方式でロックビットリード (ロックビットリード1)	ROMロックビットリードモードへ移行
	1	レジスタリード方式でロックビットリード (ロックビットリード2)	継続して0xD0コマンドを発行することにより、ロックビットリード2コマンドを実行
E2データフラッシュ	0	E2データフラッシュロックビットリードモードへ移行	E2データフラッシュにはロックビットが存在しません。そのため、E2データフラッシュロックビットリードモードへ移行してE2データフラッシュ領域を読んだ場合、不定値が読めます。
	1	ブランクチェックコマンド	継続して0xD0コマンドを発行することにより、ブランクチェックコマンドを実行

47.2.3　フラッシュアクセスステータスレジスタ（FASTAT）

アドレス　007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	E2データフラッシュ P/Eプロテクト違反フラグ	0 ：P/Eプロテクト違反なし 1 ：P/Eプロテクト違反あり	R/(W)（注1）
b1	DFLRPE	E2データフラッシュリードプロテクト違反フラグ	0 ：リードプロテクト違反なし 1 ：リードプロテクト違反あり	R/(W)（注1）
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	E2データフラッシュアクセス違反フラグ	0：E2データフラッシュアクセス違反なし 1：E2データフラッシュアクセス違反あり	R/(W)（注1）
b4	CMDLK	FCUコマンドロックフラグ	0：FCUはコマンドを受け付ける 1：FCUはコマンドを受け付けない	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反フラグ	0：ROMアクセス違反なし 1：ROMアクセス違反あり	R/(W)（注1）

注1.　フラグをクリアするための書き込みのみ可能です。その場合は、“1”を読んだ後に“0”を書いてください。

このレジスタは ROM / E2 データフラッシュ共用です。内蔵 ROM 無効時に、このレジスタを読むと “00h” が読め、書き込みはできません。

FASTAT.DFLWPE, DFLRPE, DFLAE, ROMAE ビットのいずれかのビットが “1” になると、FSTAT0.ILGLERR ビットが “1” になり、FCU はコマンドロック状態になります。

DFLWPE ビット（E2 データフラッシュ P/E プロテクト違反フラグ）

DFLWEy レジスタ (y=0,1) で設定した P/E プロテクトに対する違反の有無を示すビットです。DFLWPE ビットが “1” になると、FSTATR0.ILGLERR ビットは “1” になり、CMDLK ビットは “1”(コマンドロック状態) になります。

[“1” になる条件]

- DFLWEyレジスタ(y=0,1)でP/E禁止に設定したE2データフラッシュ領域に対して、P/E系コマンドを発行したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DFLRPE ビット（E2 データフラッシュリードプロテクト違反フラグ）

DFLREy レジスタ (y=0,1) で設定した読み出しプロテクトに対する違反の有無を示すビットです。

DFLRPE ビットが “1” になると、FSTATR0.ILGLERR ビットは “1” になり、CMDLK ビットは “1”(コマンドロック状態) になります。

[“1” になる条件]

- DFLREy レジスタ (y=0,1) で読み出し禁止に設定した E2 データフラッシュ領域を読み出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DFLAE ビット（E2 データフラッシュアクセス違反フラグ）

E2 データフラッシュに対するアクセス違反の有無を示すビットです。

DFLAE ビットが “1” になると、FSTATR0.ILGLERR ビットは “1” になり、CMDLK ビットは “1”(コマンドロック状態) になります。

[“1” になる条件]

- FENTRYR.FENTRYD ビットが “1”、かつ E2 データフラッシュ P/E ノーマルモードで、E2 データフラッシュ領域を読み出したとき
- FENTRYD ビットが “0” の状態で、E2 データフラッシュ領域に対して FCU コマンドを発行したとき
- FENTRYR.FENTRYn(n=0 ～ 3) ビットのいずれかが “1” の状態で、E2 データフラッシュ領域に対して FCU コマンドを発行、あるいは読み出しを行ったとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

CMDLK ビット（FCU コマンドロックフラグ）

FCU がコマンドを受け付けるかどうかを示すビットです。

FASTAT レジスタのいずれかのビットが “1” になると、CMDLK ビットが “1” になり、FCU はコマンドを受け付けません (「47.6.2　コマンドロック状態」を参照)。コマンドを受け付けられるようにするには、FASTAT レジスタを “10h” に設定した後、FCU にステータスレジスタクリアコマンドを発行する必要があります。

[“1” になる条件]

- FCU がエラーを検出して CMDLK ビットが “1”(コマンドロック状態) になったとき

[“0” になる条件]

- FASTAT レジスタが “10h” の状態で、ステータスレジスタクリアコマンドを発行した後

ROMAE ビット（ROM アクセス違反フラグ）

ROM に対するアクセス違反の有無を示すビットです。

ROMAE ビットが “1” になると、FSTATR0.ILGLERR ビットは “1” になり、CMDLK ビットは “1”(コマンドロック状態) になります。

[“1” になる条件]

- ROM P/E ノーマルモードの状態で、以下の ROM P/E 用アドレスを読み出したとき（注 1）

ROM容量	ROM P/E用アドレス			
	FENTRY0ビットが“1”	FENTRY1ビットが“1”	FENTRY2ビットが“1”	FENTRY3ビットが“1”
256Kバイト	00FC 0000h～00FF FFFFh	−	−	−
384Kバイト	00FA 0000h～00FF FFFFh	−	−	−
512Kバイト	00F8 0000h～00FF FFFFh	−	−	−
768Kバイト	00F8 0000h～00FF FFFFh	00F4 0000h～00F7 FFFFh	−	−
1Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	−	−
1.5Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	−
2Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	00E0 0000h～00E7 FFFFh

- 以下の ROM P/E 用アドレスに対して FCU コマンドを発行、あるいは読み出しを行ったとき（注 1）

ROM容量	ROM P/E用アドレス			
	FENTRY0ビットが“0”	FENTRY1ビットが“0”	FENTRY2ビットが“0”	FENTRY3ビットが“0”
256Kバイト	00FC 0000h～00FF FFFFh	−	−	−
384Kバイト	00FA 0000h～00FF FFFFh	−	−	−
512Kバイト	00F8 0000h～00FF FFFFh	−	−	−
768Kバイト	00F8 0000h～00FF FFFFh	00F4 0000h～00F7 FFFFh		
1Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	−	−
1.5Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	−
2Mバイト	00F8 0000h～00FF FFFFh	00F0 0000h～00F7 FFFFh	00E8 0000h～00EF FFFFh	00E0 0000h～00E7 FFFFh

注 1.　FENTRY1 ビットはユーザ領域の容量が 512K バイトを超える場合、FENTRY2 ビットはユーザ領域の容量が 1M バイトを超える場合、FENTRY3 ビットはユーザ領域の容量が 1.5M バイトを超える場合に存在します。

- FENTRYR レジスタを設定して ROM P/E モードに移行した状態で、以下の ROM 読み出し用アドレスに対して読み出しを行ったとき

ROM容量	ROM 読み出し用アドレス
256Kバイト	FFFC 0000h～FFFF FFFFh
384Kバイト	FFFA 0000h～FFFF FFFFh
512Kバイト	FFF8 0000h～FFFF FFFFh
768Kバイト	FFF4 0000h～FFFF FFFFh
1Mバイト	FFF0 0000h～FFFF FFFFh
1.5Mバイト	FFE8 0000h～FFFF FFFFh
2Mバイト	FFE0 0000h～FFFF FFFFh

[“0” になる条件]

“1” を読んだ後、“0” を書いたとき

47.2.4　フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス　007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	E2データフラッシュ P/Eプロテクト違反割り込み許可ビット	P/Eプロテクト違反発生時のFIFERR割り込み要求 0：発生しない 1：発生する	R/W
b1	DFLRPEIE	E2データフラッシュリードプロテクト違反割り込み許可ビット	リードプロテクト違反発生時のFIFERR割り込み要求 0：発生しない 1：発生する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	E2データフラッシュアクセス違反割り込み許可ビット	E2データフラッシュアクセス違反発生時のFIFERR割り込み要求 0：発生しない 1：発生する	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	FASTAT.CMDLKビットが“1”(コマンドロック状態)になったときのFIFERR割り込み要求 0：発生しない 1：発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	ROMアクセス違反発生時のFIFERR割り込み要求 0：発生しない 1：発生する	R/W

このレジスタはROM / E2 データフラッシュ共用です。内蔵 ROM 無効時に、このレジスタを読むと “00h” が読め、書き込みはできません。

DFLWPEIE ビット（E2 データフラッシュ P/E プロテクト違反割り込み許可ビット）

E2 データフラッシュ P/E プロテクト違反が発生し、FASTAT.DFLWPE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

DFLRPEIE ビット（E2 データフラッシュリードプロテクト違反割り込み許可ビット）

E2 データフラッシュリードプロテクト違反が発生し、FASTAT.DFLRPE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

DFLAEIE ビット（E2 データフラッシュアクセス違反割り込み許可ビット）

E2 データフラッシュアクセス違反が発生し、FASTAT.DFLAE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

FASTAT.CMDLK ビットが “1”(コマンドロック状態) になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

ROMAEIE ビット（ROM アクセス違反割り込み許可ビット）

ROM アクセス違反が発生し、FASTAT.ROMAE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

47.2.5　フラッシュレディ割り込み許可レジスタ（FRDYIE）

アドレス　007F C412h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0：FRDYI 割り込み要求の発生を禁止 1：FRDYI 割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

このレジスタは ROM / E2 データフラッシュ共用です。内蔵 ROM 無効時に、このレジスタを読むと “00h” が読め、書き込みはできません。

FRDYIE ビット（フラッシュレディ割り込み許可ビット）

P/E 処理が終了した場合のフラッシュレディ割り込み要求の発生を許可 / 禁止するためのビットです。

FRDYIE ビットが “1” の設定で、FCU コマンドの実行が完了した場合（FSTATR0.FRDY ビットが “0” から “1” になったとき）、フラッシュレディ割り込み要求（FRDYI）が発生します。

47.2.6　E2 データフラッシュ読み出し許可レジスタ 0（DFLRE0）

アドレス　007F C440h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBRE00	0000-0063 ブロック読み出し許可ビット	0：読み出し禁止 1：読み出し許可	R/W
b1	DBRE01	0064-0127 ブロック読み出し許可ビット		R/W
b2	DBRE02	0128-0191 ブロック読み出し許可ビット		R/W
b3	DBRE03	0192-0255 ブロック読み出し許可ビット		R/W
b4	DBRE04	0256-0319 ブロック読み出し許可ビット		R/W
b5	DBRE05	0320-0383 ブロック読み出し許可ビット		R/W
b6	DBRE06	0384-0447 ブロック読み出し許可ビット		R/W
b7	DBRE07	0448-0511 ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLRE0 レジスタの書き換えの可否を制御します。 DFLRE0 レジスタを書き換える場合、上位 8 ビットに “2Dh”、下位 8 ビットに任意の値を、16 ビット単位で書いてください	R/(W) （注 1）

注 1.　書き込みデータは保持されません。

DFLRE0 レジスタは、データ領域の 0000 ～ 0511 ブロック（**表 47.3** を参照）の読み出しを許可 / 禁止する

ためのレジスタです。読み出しの許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。

DBREj ビット（ブロック読み出し許可ビット）（j=00 ～ 07）

データ領域の 0000 ～ 0511 ブロックに対する読み出しの許可 / 禁止を設定するビットです。

47.2.7　E2 データフラッシュ読み出し許可レジスタ 1（DFLRE1）

アドレス　007F C442h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBRE08	0512-0575 ブロック読み出し許可ビット	0：読み出し禁止 1：読み出し許可	R/W
b1	DBRE09	0576-0639 ブロック読み出し許可ビット		R/W
b2	DBRE10	0640-0703 ブロック読み出し許可ビット		R/W
b3	DBRE11	0704-0767 ブロック読み出し許可ビット		R/W
b4	DBRE12	0768-0831 ブロック読み出し許可ビット		R/W
b5	DBRE13	0832-0895 ブロック読み出し許可ビット		R/W
b6	DBRE14	0896-0959 ブロック読み出し許可ビット		R/W
b7	DBRE15	0960-1023 ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLRE1 レジスタの書き換えの可否を制御します。 DFLRE1 レジスタを書き換える場合、上位 8 ビットに “D2h”、下位 8 ビットに任意の値を、16 ビット単位で書いてください	R/(W) （注1）

注1.　書き込みデータは保持されません。

DFLRE1 レジスタは、データ領域の 0512 ～ 1023 ブロック（**表 47.3** を参照）の読み出しを許可 / 禁止するためのレジスタです。読み出しの許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。

DBREj ビット（ブロック読み出し許可ビット）(j=08 ～ 15)

データ領域の 0512 ～ 1023 ブロックに対する読み出しの許可 / 禁止を設定するビットです。

47.2.8　E2 データフラッシュ P/E 許可レジスタ 0（DFLWE0）

アドレス　007F C450h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								DBWE07	DBW006	DBWE05	DBWE04	DBWE03	DBWE02	DBWE01	DBWE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBWE00	0000-0063 ブロック P/E 許可ビット	0：P/E 禁止 1：P/E 許可	R/W
b1	DBWE01	0064-0127 ブロック P/E 許可ビット		R/W
b2	DBWE02	0128-0191 ブロック P/E 許可ビット		R/W
b3	DBWE03	0192-0255 ブロック P/E 許可ビット		R/W
b4	DBWE04	0256-0319 ブロック P/E 許可ビット		R/W
b5	DBWE05	0320-0383 ブロック P/E 許可ビット		R/W
b6	DBW006	0384-0447 ブロック P/E 許可ビット		R/W
b7	DBWE07	0448-0511 ブロック P/E 許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLWE0 レジスタの書き換えの可否を制御します。 DFLWE0 レジスタを書き換える場合、上位 8 ビットに“1Eh”、下位 8 ビットに任意の値を、16 ビット単位で書いてください	R/(W) （注 1）

注 1.　書き込みデータは保持されません。

DFLWE0 レジスタは、データ領域の 0000 ～ 0511 ブロック（**表 47.3** を参照）の P/E を許可 / 禁止するためのレジスタです。P/E の許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。

DBWEj ビット（ブロック P/E 許可ビット）（j=00 ～ 07）

データ領域の 0000 ～ 0511 ブロックに対する P/E の許可 / 禁止を設定するビットです。

47.2.9　E2 データフラッシュ P/E 許可レジスタ 1（DFLWE1）

アドレス　007F C452h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBWE08	0512-0575 ブロック P/E 許可ビット	0：P/E 禁止 1：P/E 許可	R/W
b1	DBWE09	0576-0639 ブロック P/E 許可ビット		R/W
b2	DBWE10	0640-0703 ブロック P/E 許可ビット		R/W
b3	DBWE11	0704-0767 ブロック P/E 許可ビット		R/W
b4	DBWE12	0768-0831 ブロック P/E 許可ビット		R/W
b5	DBWE13	0832-0895 ブロック P/E 許可ビット		R/W
b6	DBWE14	0896-0959 ブロック P/E 許可ビット		R/W
b7	DBWE15	0960-1023 ブロック P/E 許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DFLWE1 レジスタの書き換えの可否を制御します。 DFLWE1 レジスタを書き換える場合、上位 8 ビットに“E1h”、下位 8 ビットに任意の値を、16 ビット単位で書いてください	R/(W) （注 1）

注 1.　書き込みデータは保持されません。

DFLWE1 レジスタは、データ領域の 0512 ～ 1023 ブロック（**表 47.3** を参照）の P/E を許可 / 禁止するためのレジスタです。P/E の許可 / 禁止は、2K バイト（64 ブロック）単位で行います。

このレジスタは E2 データフラッシュ専用です。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。

DBWEj ビット（ブロック P/E 許可ビット）(j=08 ～ 15)

データ領域の 0512 ～ 1023 ブロックに対する P/E の許可 / 禁止を設定するビットです。

47.2.10　FCU RAM イネーブルレジスタ（FCURAME）

アドレス　007F C454h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	FCRME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCRME	FCU RAM許可ビット	0：FCU RAMへのアクセス禁止 1：FCU RAMへのアクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	FCURAMEレジスタの書き換えの可否を制御します。 FCURAMEレジスタを書き換える場合、上位8ビットに“C4h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) （注1）

注1.　書き込みデータは保持されません。

このレジスタはROM / E2データフラッシュ共用です。内蔵ROM無効時に、このレジスタを読むと“0000h”が読め、書き込みはできません。

FCRMEビット（FCU RAM許可ビット）

FCU RAMへのアクセスを許可 / 禁止するためのビットです。

FCU RAMに書く場合は、FENTRYRレジスタを“0000h”に設定してFCUを停止させてください。

なお、FCU RAMへのアクセス許可 / 禁止によらず、FCU RAMのデータを読み出すことはできません。読み出した場合は、不定値が読めます。

47.2.11　フラッシュステータスレジスタ 0（FSTATR0）

アドレス　007F FFB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRGSPD	プログラムサスペンドステータスフラグ	0：下記以外の状態 1：プログラムの中断処理中、またはプログラムサスペンド中	R
b1	ERSSPD	イレーズサスペンドステータスフラグ	0：下記以外の状態 1：イレーズの中断処理中、またはイレーズサスペンド中	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	SUSRDY	サスペンドレディフラグ	0：P/Eサスペンドコマンド受け付け不可能 1：P/Eサスペンドコマンド受け付け可能	R
b4	PRGERR	プログラムエラーフラグ	0：プログラムは正常終了 1：プログラム中にエラー発生	R
b5	ERSERR	イレーズエラービット	0：イレーズは正常終了 1：イレーズ中にエラー発生	R
b6	ILGLERR	イリーガルコマンドエラーフラグ	0：FCUは不正なコマンドや不正なROM/E2データフラッシュアクセスを検出していない 1：FCUは不正なコマンドや不正なROM/E2データフラッシュアクセスを検出	R
b7	FRDY	フラッシュレディフラグ	0：P/E処理中、 P/Eの中断処理中、 ロックビットリード2コマンド処理中、 周辺クロック通知コマンド処理中、 E2データフラッシュのブランクチェック処理中 1：上記の処理を実行していない	R

FSTATR0 レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “00h” が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

PRGSPD ビット（プログラムサスペンドステータスフラグ）

FCU がプログラムの中断処理中、またはプログラムサスペンド状態に遷移したことを示すビットです。詳細は「47.5　サスペンド動作」を参照してください。

[“1” になる条件]

- プログラムの中断処理を開始したとき

[“0” になる条件]

- レジュームコマンドを受け付けたとき

ERSSPD ビット（イレーズサスペンドステータスフラグ）

FCU がイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すビットです。詳細は「47.5　サスペンド動作」を参照してください。

[“1” になる条件]

- イレーズの中断処理を開始したとき

[“0” になる条件]

- レジュームコマンドを受け付けたとき

SUSRDY ビット（サスペンドレディフラグ）

FCU が P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。

[“1” になる条件]

- P/E 処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移したとき

[“0” になる条件]

- P/E サスペンドコマンドを受け付けたとき
- P/E 処理中に、FASTAT.CMDLK ビットが “1”(コマンドロック状態) になったとき

PRGERR ビット（プログラムエラーフラグ）

FCU による ROM / E2 データフラッシュへのプログラムの結果を示すビットです。

PRGERR ビットが “1” の場合には、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります。

[“1” になる条件]

- プログラム中にエラーが発生したとき
- ロックビットでプロテクトされた領域に対してプログラムコマンドを発行したとき

[“0” になる条件]

- ステータスレジスタクリアコマンドを発行した後

ERSERR ビット（イレーズエラーフラグ）

FCU による ROM / E2 データフラッシュのイレーズの結果を示すビットです。

ERSERR ビットが “1” の場合には、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります。

[“1” になる条件]

- イレーズ中にエラーが発生したとき
- ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行したとき

[“0” になる条件]

- ステータスレジスタクリアコマンドを発行した後

ILGLERR ビット（イリーガルコマンドエラーフラグ）

FCU が不正なコマンドや、不正な ROM / E2 データフラッシュアクセスなどを検出したことを示すビットです。

ILGLERR ビットが “1” の場合には、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります。

[“1” になる条件]

- FCU が不正なコマンドを検出した
- FCU が不正な ROM / E2 データフラッシュアクセスを検出したとき
  （FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットのいずれかが “1”）
- FENTRYR レジスタの設定が不正

[“0” になる条件]

- FASTAT レジスタが “10h” の状態で、ステータスレジスタクリアコマンドを発行した後

47.2.12　フラッシュステータスレジスタ 1（FSTATR1）

アドレス　007F FFB1h

	b7	b6	b5	b4	b3	b2	b1	b0
	FCUERR	—	—	FLOCKST	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと “0” が読めます。書き込みは無効になります	R
b4	FLOCKST	ロックビットステータスビット	0：プロテクト状態 1：非プロテクト状態	R
b6-b5	—	予約ビット	読むと “0” が読めます。書き込みは無効になります	R
b7	FCUERR	FCU エラーフラグ	0：FCU の処理でエラー未発生 1：FCU の処理でエラー発生	R

FSTATR1 レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “00h” が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

FLOCKST ビット（ロックビットステータスビット）

ロックビットリード 2 コマンドを使用した場合に、読み出されたロックビットのデータが反映されるビットです。

ロックビットリード 2 コマンド発行後に、FSTATR0.FRDY ビットが “1” になった時点で、FLOCKST ビットにロックビットステータスの値が格納されます。FLOCKST ビットの値は、次のロックビットリード 2 コマンドの終了まで保持されます。

FCUERR ビット（FCU エラーフラグ）

FCU 内部の処理においてエラーが発生したことを示すビットです。

FCUERR ビットが “1” の場合には、FRESETR.FRESET ビットを “1” にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。

47.2.13　フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス　007F FFB2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FEKEY[7:0]								FENTRYD	—	—	—	FENTRY3	FENTRY2	FENTRY1	FENTRY0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/E モードエントリビット 0	0：領域 0 は ROM リードモード 1：領域 0 は ROM P/E モード	R/W
b1	FENTRY1	ROM P/E モードエントリビット 1 （注 1）	0：領域 1 は ROM リードモード 1：領域 1 は ROM P/E モード	R/W
b2	FENTRY2	ROM P/E モードエントリビット 2 （注 1）	0：領域 2 は ROM リードモード 1：領域 2 は ROM P/E モード	R/W
b3	FENTRY3	ROM P/E モードエントリビット 3 （注 1）	0：領域 3 は ROM リードモード 1：領域 3 は ROM P/E モード	R/W
b6-b4	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b7	FENTRYD	E2 データフラッシュ P/E モード エントリビット	0：E2 データフラッシュはリードモード 1：E2 データフラッシュは P/E モード	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYR レジスタの書き換えの可否を制御します。 FENTRYR レジスタを書き換える場合、上位 8 ビットに “AAh”、下位 8 ビットに任意の値を、16 ビット単位で書いてください	R/(W) （注 1）

注 1.　書き込みデータは保持されません。

ROM / E2 データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRYn(n=0 ～ 3) ビットのいずれかのビットを “1” にする必要があります。ただし、FENTRYR レジスタに “AA01h”、“AA02h”、“AA04h”、“AA08h”、”AA80h” 以外の値を設定した場合、FSTATR0.ILGLERR ビットが “1” になって、FSATAT.CMDLK ビットは “1”(コマンドロック状態) になります。

ROM は領域 0 から最大で領域 3 まで存在し、それぞれ FENTRY0 ビットから FENTRY3 ビットが対応しています。存在しない領域の FENTRYn ビット (n=0 ～ 3) を ”1” とすることはできません。ROM 容量と領域の関係については「図 47.2　ROM のメモリ領域構成」を参照してください。

FENTRYR レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

FENTRYn ビット（ROM P/E モードエントリビット n : n = 0 ～ 3）

領域 n(n = 0 ～ 3) を P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM 有効時
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” の状態で、FENTRYn ビット (n =0 ～ 3) に “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYn ビット (n =0 ～ 3) に “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタに書いた場合

FENTRYD ビット（E2 データフラッシュ P/E モードエントリビット）

FENTRYD ビットは、E2 データフラッシュを P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM 有効時
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” の状態で、FENTRYD ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYD ビットに “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタを書いた場合

47.2.14　フラッシュプロテクトレジスタ（FPROTR）

アドレス　007F FFB4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FPKEY[7:0]								—	—	—	—	—	—	—	FPROTCN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0：ロックビットによるプロテクト有効 1：ロックビットによるプロテクト無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FPKEY[7:0]	キーコード	FPROTR レジスタの書き換えの可否を制御します。 FPROTR レジスタを書き換える場合、上位 8 ビットに“55h”、下位 8 ビットに任意の値を、16 ビット単位で書いてください	R/(W) （注 1）

注 1.　書き込みデータは保持されません。

FPROTR レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは ROM 専用です。

FPROTCN ビット（ロックビットプロテクトキャンセルビット）

ロックビットによる P/E プロテクトを有効 / 無効にするためのビットです。

[“1” になる条件]

- FENTRYR レジスタの値が “0000h” 以外の状態で、ワードアクセスで FPKEY[7:0] ビットに “55h”、FPROTCN ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FPKEY[7:0] ビットが “55h” 以外の状態で書いた場合
- ワードアクセスで FPKEY[7:0] ビットに “55h”、FPROTCN ビットに “0” を書いた場合
- FENTRYR レジスタの値が “0000h” の場合

47.2.15　フラッシュリセットレジスタ（FRESETR）

アドレス　007F FFB6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRKEY[7:0]								—	—	—	—	—	—	—	FRESET
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0：FCUはリセットされない 1：FCUはリセットされる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FRKEY[7:0]	キーコード	FRESETR レジスタの書き換えの可否を制御します。 FRESETR レジスタを書き換える場合、上位8ビットに“CCh”、 下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) （注1）

注1.　書き込みデータは保持されません。

内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

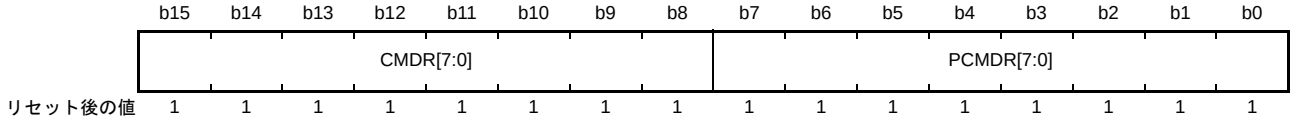
FRESET ビット（フラッシュリセットビット）

FRESET ビットを “1” にすると、ROM / E2 データフラッシュの P/E 動作が強制終了され、FCU が初期化されます。

P/E 中の ROM / E2 データフラッシュのメモリには、高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCU を初期化する場合には、FRESET ビットを “1” にした状態を tFCUR（FCU リセット時間、**「51.　電気的特性」**を参照）保持してください。FRESET ビットを “1” にしている期間は、ROM / E2 データフラッシュへの読み出しを禁止してください。また、FRESET ビットが “1” の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。

47.2.16　FCU コマンドレジスタ（FCMDR）

アドレス　007F FFBAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンド	FCUが受け付けた1つ前のコマンドを格納します	R
b15-b8	CMDR[7:0]	コマンド	FCUが受け付けた最新のコマンドを格納します	R

FCMDR レジスタは、FRESETR.FRESET ビットを “1” にすることによっても初期化されます。

表 47.5 に各コマンド受け付け後の FCMDR レジスタの状態を示します。

内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

表47.5　各コマンド受け付け後のFCMDR レジスタの状態

コマンド	CMDR[7:0]	PCMDR[7:0]
ノーマルモード移行	FFh	前回コマンド
ステータスリードモード移行	70h	前回コマンド
ロックビットリードモード移行（ロックビットリード1）	71h	前回コマンド
周辺クロック通知	E9h	前回コマンド
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/Eサスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスレジスタクリア	50h	前回コマンド
ロックビットリード2/ブランクチェック	D0h	71h
ロックビットプログラム	D0h	77h

47.2.17　FCU 処理切り替えレジスタ（FCPSR）

アドレス　007F FFC8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0：サスペンド優先モード 1：イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCPSR レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

ESUSPMD ビット（イレーズサスペンドモードビット）

FCU が ROM / E2 データフラッシュのイレーズを実行中に、P/E サスペンドコマンドが発行された場合のイレーズ中断処理モードを選択するためのビットです。詳細は「47.5　サスペンド動作」を参照してください。

47.2.18　E2 データフラッシュブランクチェック制御レジスタ（DFLBCCNT）

アドレス　007F FFCAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCSIZE	—	—	—	—	BCADR[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	BCADR[10:0]	ブランクチェックアドレス設定ビット	チェック対象領域のアドレスを設定	R/W
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BCSIZE	ブランクチェックサイズ設定ビット	0：ブランクチェック対象領域は2バイト 1：ブランクチェック対象領域は2Kバイト	R/W

DFLBCCNT レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは E2 データフラッシュ専用です。

BCADR[10:0] ビット（ブランクチェックアドレス設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズが 2 バイト（BCSIZE ビットが “0”）の場合に、チェック対象領域のアドレスを設定するためのビットです。BCADR[0] は、“0” を指定してください。

BCSIZE ビットが “0” の場合には、DFLBCCNT レジスタの設定値と、ブランクチェックコマンド発行時に指定したブロック先頭アドレス（2K バイト単位）を加算した値がチェック対象領域の先頭アドレスになります。

BCSIZE ビットが “1” の場合には、BCADR[10:0] ビットの値は無視されます。

47.2.19　フラッシュ P/E ステータスレジスタ（FPESTAT）

アドレス 007F FFCCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PEERRST[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST[7:0]	P/Eエラーステータスビット	00h：エラーなし 01h：ロックビットでプロテクトされた領域に対するプログラムエラー 02h：ロックビットプロテクト以外の要因によるプログラムエラー 11h：ロックビットでプロテクトされた領域に対するイレーズによるエラー 12h：ロックビットプロテクト以外の要因によるイレーズエラー （上記以外は予約）	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

FPESTAT レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは ROM 専用です。

PEERRST[7:0] ビット（P/E エラーステータスビット）

ROM の P/E 処理中にエラーが発生した場合のエラー原因を示すビットです。

PEERRST[7:0] ビットの値は、FSTATR0.ERSERR ビット、または FSTATR0.PRGERR ビットが “1” の状態で、かつ FSTATR0.FRDY ビットが “1” になったときのみ有効です。ERSERR ビットと PRGERR ビットが “0” の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。

47.2.20　E2 データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT）

アドレス 007F FFCEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスビット	0：ブランクチェック対象領域はイレーズされた状態（ブランク） 1：ブランクチェック対象領域は“0”か“1”書き込まれた状態	R
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DFLBCSTAT レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは E2 データフラッシュ専用です。

47.2.21　周辺クロック通知レジスタ（PCKAR）

アドレス　007F FFE8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PCKA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	周辺クロック通知ビット	ROM / E2 データフラッシュへの P/E 時に FlashIF クロック（FCLK）を設定するためのビットです	R/W
b15-b8	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

PCKAR レジスタは、FRESETR.FRESET ビットを “1” にすることによってもリセットされます。内蔵 ROM 無効時に、このレジスタを読むと “0000h” が読め、書き込みはできません。このレジスタは ROM / E2 データフラッシュ共用です。

PCKA[7:0] ビット（周辺クロック通知ビット）

ROM / E2 データフラッシュの P/E 時に、FlashIF クロック（FCLK）を設定するためのビットです。

P/E を行う前に PCKA[7:0] ビットに FCLK の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM / E2 データフラッシュの P/E 中は、周波数を変更しないでください。

PCKA[7:0] ビットには MHz 単位で表現した動作周波数を 2 進数に変換した値を書き込んでください。FlashIF クロックの動作周波数が 35.9MHz の場合の設定例を以下に示します。

- 35.9 の小数第 1 位を切り上げ
- 36 を 2 進数変換し、“24h”（0010 0100b）を PCKA[7:0] ビットに設定する。

注 1.　PCKA[7:0] ビットを 4MHz ～ 50MHz の範囲外に設定した場合は、ROM / E2 データフラッシュに対する書き換えコマンドを発行しないでください。

注 2.　FCLK と異なる周波数を PCKA[7:0] ビットに設定した場合、ROM / E2 データフラッシュのデータが破壊される可能性があります。

注 3.　PCKA[7:0] ビットを活用しても、書き換え時間はある程度周波数に依存することをご了承ください。

47.3 フラッシュメモリ関連の動作モード

MD 端子の設定値と RX63N グループ、RX631 グループの動作モードの関係については、**「3. 動作モード」**を参照してください。ブートモード /USB ブートモード / ユーザブートモード / シングルチップモード（内蔵 ROM 有効）/ 内蔵 ROM 有効拡張モードでは、オンボードで ROM / E2 データフラッシュの読み出しおよび P/E を実施できます。

各モードで、P/E 可能領域、リセット時の起動領域、起動時にイレーズされる領域等が異なります。モードの相違点を**表 47.6** に示します。

表47.6　各モードの相違点

項目	ブートモード	USBブートモード	ユーザブートモード	シングルチップモード（内蔵ROM有効）/ 内蔵ROM有効拡張モード
プログラム/イレーズ環境	オンボードプログラミング			
プログラム/イレーズ可能領域	ユーザ領域/ユーザブート領域/データ領域	ユーザ領域/データ領域	ユーザ領域/データ領域	ユーザ領域/データ領域
ブロック分割消去	○（注1）	○（注1）	○	○
リセット時の起動プログラム	ブートプログラム	USBブートプログラム	ユーザブートプログラム	ユーザプログラム

注1.　起動時に全面消去される場合があります。その後、特定ブロックの消去ができます。詳細は「47.8.4　IDコードプロテクト（ブートモード）」、「47.8.2　ブートモードの状態遷移」、「47.9.2　状態遷移」を参照してください。

- ユーザブート領域の P/E は、ブートモードでのみ可能です。
- ブートモードでは、ホストから SCI 経由でのユーザ領域/ユーザブート領域/データ領域への P/E/読み出しが可能になります。
- ブートモードではブートプログラムで内蔵 RAM を使用します。このため、内蔵 RAM のデータは保持されません。
- USB ブートモード、ユーザブートモードは、ユーザブート領域から起動します。製品出荷時、ユーザブート領域には USB ブートプログラムが格納されており、USB を使用してユーザ領域 / データ領域のプログラム / 読み出しが可能です。また、ブートモードでユーザブート領域を書き換えることにより、任意のインタフェースでユーザ領域 / データ領域のプログラム / 読み出しが可能になります。

47.3.1 ID コードプロテクト機能による領域のイレーズ

起動時の動作モードと ID コードプロテクトの有無および ID コードの照合結果により、イレーズされる領域があります。ID コードプロテクトについては**「47.8.4 ID コードプロテクト（ブートモード）」**を参照してください。

表47.7　起動時の動作モードおよびIDコードプロテクトとイレーズされる領域の関係

起動時の動作モード	IDコードプロテクトの制御コード	IDコードの一致/不一致	ユーザ領域	ユーザブート領域	データ領域
ブートモード	45h	一致	—	—	—
		3回連続不一致	イレーズ	イレーズ（注1）	イレーズ
	52h	一致/不一致	—	—	—
	45h、52h以外(IDコードプロテクトが無効)	—	イレーズ	イレーズ（注1）	イレーズ
USBブートモード	USBブートモードにIDコードプロテクト機能はありません		イレーズ	—	イレーズ
ユーザブートモード	ユーザブートプログラムの仕様に依存します				
シングルチップモード	シングルチップモード起動時にはイレーズされません				

注1.　USBブートプログラムがユーザブート領域に格納されている場合、ユーザブート領域はイレーズされません。

47.4 FCU

ROM / E2 データフラッシュに対する操作は、専用シーケンサ（FCU）にコマンド（FCU コマンド）を発行することで行います。FCU のモード移行とコマンド体系について以下に説明します。これらはブートモード、USB ブートモード、ユーザブートモード、シングルチップモード（内蔵 ROM 有効）モード、内蔵 ROM 有効拡張モードで共通です。

47.4.1 FCU のモード

FCU には、8 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。E2 データフラッシュ P/E モードは ROM リードモードに含まれるため、E2 データフラッシュ P/E モード時は ROM の高速読み出しが可能です。図 47.4 に FCU のモード遷移図を示します。

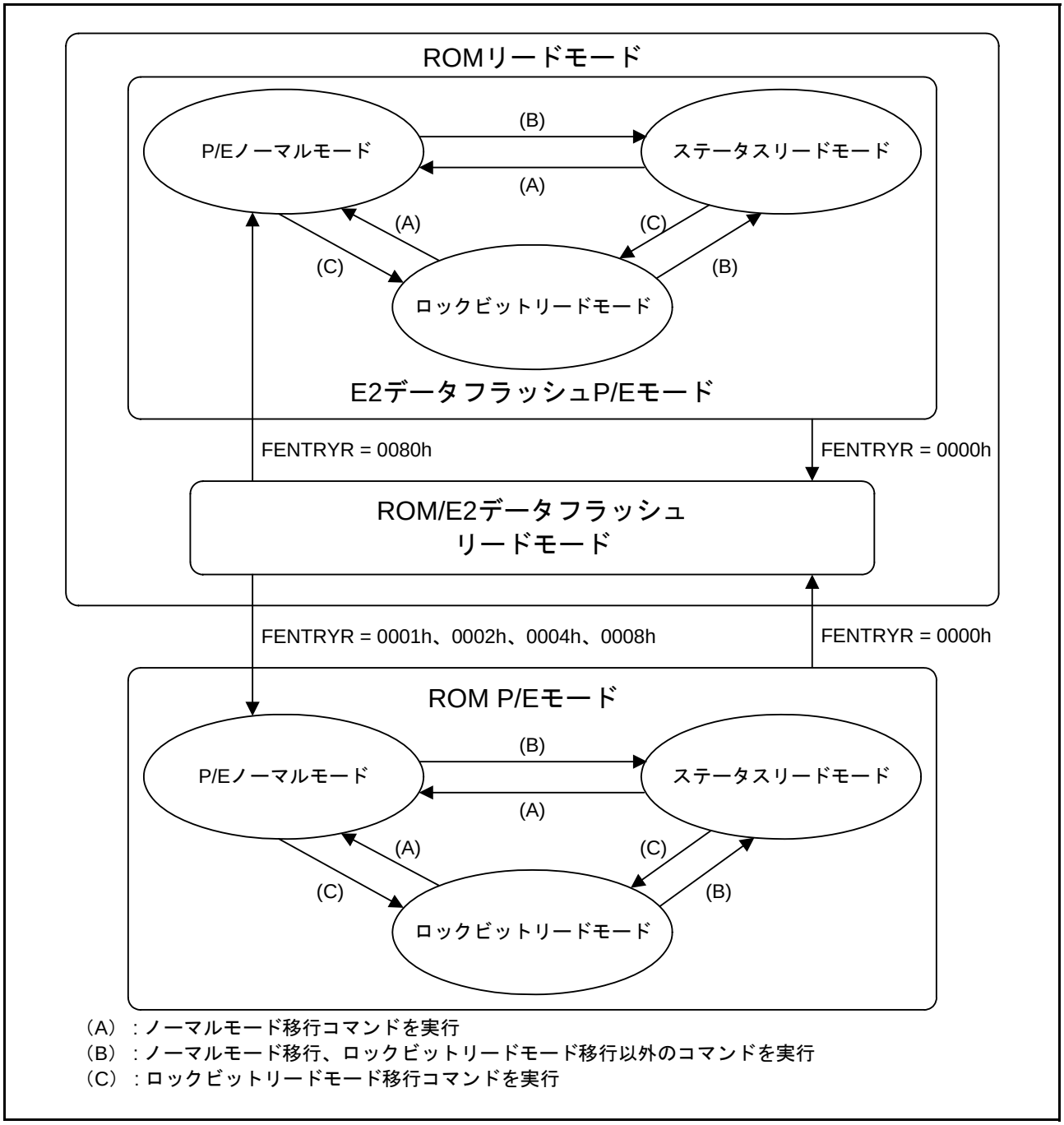


図 47.4　FCU のモード遷移図

47.4.1.1　ROM リードモード

ROM の高速読み出しを行うためのモードです。ROM の読み出し用アドレスに対して読み出しを行った場合、ICLK 1 サイクルの高速読み出しが可能です。

ROM リードモードには、ROM / E2 データフラッシュリードモードと、E2 データフラッシュ P/E モードの 2 種類があります。

47.4.1.2　ROM / E2 データフラッシュリードモード

ROM および E2 データフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRYn ビット (n=0 ～ 3) をすべて “0”、かつ FENTRYR.FENTRYD ビットを “0” にした場合にこのモードに移行します。

47.4.1.3　ROM P/E モード

ROM へ P/E を行うモードです。ROM の高速読み出しはできません。読み出し用アドレスに対して読み出しを行った場合、ROM アクセス違反が発生して FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2　**コマンドロック状態**」を参照）。ROM P/E モードには、3 種類のモードがあります。

(1)　ROM P/E ノーマルモード

ROM へ P/E をする上で最初に移行するモードです。ROM リードモード時に FENTRYR.FENTRYD ビットを “0”、かつ FENTRYR.FENTRYn ビット (n=0 ～ 3) のいずれかを “1” にした場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。**表 47.11** に受け付け可能なコマンドを示します。

FENTRYR.FENTRYn ビット (n=0 ～ 3) のいずれかが “1” の状態で P/E 用のアドレスに対して読み出しを行った場合は、ROM アクセス違反が発生して FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2　**コマンドロック状態**」を参照）。

(2)　ROM ステータスリードモード

ROM のステータスが読み出せるモードです。ROM P/E モードでステータスリードモード移行コマンドを受け付けた場合、またはノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが “0” の状態や、エラー発生後に FASTAT.CMDLK ビットが “1”(コマンドロック状態) になったときも、ROM ステータスリードモード中の状態です。**表 47.11** に受け付け可能なコマンドを示します。FENTRYR.FENTRYn ビット (n=0 ～ 3) のいずれかが “1” の状態で、対応する P/E 用のアドレスに対して読み出しを行った場合は、FSTATR0 レジスタの値が読めます。

(3)　ROM ロックビットリードモード

ROM の読み出しでロックビットが読み出せるモードです。ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。**表 47.11** に受け付け可能なコマンドを示します。

FENTRYR.FENTRYn ビット (n=0 ～ 3) のいずれかが “1” の状態で、対応する P/E 用のアドレスに対して読み出しを行った場合は、読み出しデータの全ビットがアクセス先のブロックのロックビット値になります。

47.4.1.4　E2 データフラッシュ P/E モード

E2 データフラッシュに対する P/E を行うモードです。ROM の高速読み出しは可能ですが、E2 データフラッシュの読み出しは実行できません。このモードは E2 データフラッシュに対する FCU コマンドは受け付けますが、ROM に対する FCU コマンドは受け付けません。FENTRYR.FENTRYn ビット (n=0 ～ 3) をすべて “0”、かつ FENTRYR.FENTRYD ビットを “1” にした場合にこのモードに移行します。E2 データフラッシュ P/E モードには 3 種類のモードがあります。

(1)　E2 データフラッシュ P/E ノーマルモード

E2 データフラッシュへの P/E をする上で最初に移行するモードです。ROM / E2 データフラッシュリードモード時に FENTRYR.FENTRYD ビットを “1”、かつ FENTRYR.FENTRYn ビット (n=0 ～ 3) をすべて “0” にした場合、または E2 データフラッシュ P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。**表 47.11** に受け付け可能なコマンドを示します。

(2)　E2 データフラッシュステータスリードモード

E2 データフラッシュのステータスが読み出せるモードです。E2 データフラッシュ P/E モードでステータスリードモード移行コマンドを受け付けた場合、またはノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが “0” の状態やエラー発生後に FASTAT.CMDLK ビットが “1”(コマンドロック状態) になったときも、E2 データフラッシュステータスリードモード中の状態です。**表 47.11** に受け付け可能なコマンドを示します。

E2 データフラッシュ領域に対して読み出しを行った場合には、FSTATR0 レジスタの値が読み出されます。ROM に対する高速読み出しは可能です。

(3)　E2 データフラッシュロックビットリードモード

E2 データフラッシュにはロックビットが存在しないので、このモードに移行してもロックビットは読み出せません。このモードに移行して E2 データフラッシュ領域を読み出した場合、E2 データフラッシュアクセス違反は発生しませんが、不定値が読めます。ROM に対する高速読み出しは可能です。

このモードには E2 データフラッシュ P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。**表 47.11** に受け付け可能なコマンドを示します。

47.4.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、P/E を行うためのコマンドがあります。**表 47.8** に ROM / E2 データフラッシュで使用可能な FCU コマンドの一覧を示します。

表47.8　FCUコマンド一覧

コマンド	ROM	E2データフラッシュ
P/Eノーマルモード移行	ノーマルモードに移行（「47.4.3　FCUのモードとコマンドの関係」を参照）	
ステータスリードモード移行	ステータスリードモードに移行（「47.4.3　FCUのモードとコマンドの関係」を参照）	
ロックビットリードモード移行（ロックビットリード1）	ロックビットリードモードに移行（「47.4.3　FCUのモードとコマンドの関係」を参照）	
周辺クロック通知	FlashIFクロック（FCLK）を設定	
プログラム	ROMへのプログラム（128バイト単位）	E2データフラッシュへのプログラム（2バイト）
ブロックイレーズ	ROMのイレーズ（ブロック単位、ロックビットも同時にイレーズ）	E2データフラッシュのイレーズ（ブロック単位）
P/Eサスペンド	P/Eの中断	
P/E レジューム	P/Eの再開	
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FASTAT.CMDLK ビット(FCUコマンドロックビット)のクリア	
ロックビットリード2	指定したブロックのロックビット読み出し（FSTATR1.FLOCKST ビットにロックビットを反映）	—
ロックビットプログラム	指定したブロックのロックビットをプログラム	—
ブランクチェック	—	E2データフラッシュのブランクチェック

ROM のロックビットリード 2 コマンドは、E2 データフラッシュのブランクチェックコマンドを兼ねています。E2 データフラッシュに対してロックビットリード 2 コマンドを発行した場合は、E2 データフラッシュのブランクチェックが実行されます。

FCU コマンドの発行は、ROM P/E 用のアドレス、あるいは E2 データフラッシュのアドレスに対し、FCU コマンドを書き込むことにより行います。**表 47.9** に FCU コマンドのフォーマットを示します。**表 47.9** に示したアドレスへのデータの書き込みを FCU の特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU コマンドフォーマット一覧の凡例を**表 47.10** に示します。また、FCU コマンドは、バイト単位でデータを書き込むものが殆どですが、一部コマンドはワード単位でデータ書き込みを行う必要があります。

FCU の特定条件については**「47.4.3　FCU のモードとコマンドの関係」**を、各 FCU コマンドの使用方法については**「47.4.4　FCU コマンド使用方法」**を参照してください。

表47.9　FCUコマンドのフォーマット

コマンド	バスサイクル数	アドレス/データ	1サイクル目	2サイクル目	3サイクル目	4サイクル目	5サイクル目	6サイクル目	7～66サイクル目	67サイクル目
P/Eノーマルモード移行	1	アドレス	RA	—	—	—	—	—	—	—
		データ	FFh	—	—	—	—	—	—	—
ステータスリードモード移行	1	アドレス	RA	—	—	—	—	—	—	—
		データ	70h	—	—	—	—	—	—	—
ロックビットリードモード移行（ロックビットリード1）	1	アドレス	RA	—	—	—	—	—	—	—
		データ	71h	—	—	—	—	—	—	—
周辺クロック通知	6	アドレス	RA	RA	RA	RA	RA	RA	—	—
		データ	E9h	03h	0F0Fh（注1）	0F0Fh（注1）	0F0Fh（注1）	D0h	—	—
プログラム(ROM)	67	アドレス	RA	RA	WA	RA	RA	RA	RA	RA
		データ	E8h	40h	WDn（注1）	WDn（注1）	WDn（注1）	WDn（注1）	WDn（注1）	D0h
プログラム（E2データフラッシュ）	4	アドレス	RA	RA	WA	RA	—	—	—	—
		データ	E8h	01h	WDn（注1）	D0h	—	—	—	—
ブロックイレーズ	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	20h	D0h	—	—	—	—	—	—
P/Eサスペンド	1	アドレス	RA	—	—	—	—	—	—	—
		データ	B0h	—	—	—	—	—	—	—
P/Eレジューム	1	アドレス	RA	—	—	—	—	—	—	—
		データ	D0h	—	—	—	—	—	—	—
ステータスレジスタクリア	1	アドレス	RA	—	—	—	—	—	—	—
		データ	50h	—	—	—	—	—	—	—
ロックビットリード2(ROM)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	71h	D0h	—	—	—	—	—	—
ブランクチェック(E2データフラッシュ)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	71h	D0h	—	—	—	—	—	—
ロックビットプログラム(ROM)	2	アドレス	RA	BA	—	—	—	—	—	—
		データ	77h	D0h	—	—	—	—	—	—

注1.　ワードサイズでデータを書き込んでください。

表47.10　FCUコマンドのフォーマットの凡例

凡例		ROM	E2データフラッシュ
アドレス	RA	対象ROM領域内の任意P/E用アドレス（注1）	E2データフラッシュ内の任意アドレス
	WA	プログラム先のP/E用アドレス(128バイトアライメント)	プログラム先のアドレス(2バイトアライメント)
	BA	イレーズ対象ブロック内の任意P/E用アドレス	イレーズ対象ブロック内の任意アドレス
データ	WDn	プログラムするデータのnワード目(n=1～64)	プログラムするデータのnワード目(n=1)
	その他	対象アドレスへ発行するコマンド	

注1.　指定可能なP/E用アドレスは、ROM容量およびFENTRYR レジスタの値により異なります。ROM容量については「47.1.1 ROMの領域構成」を、FENTRYR レジスタについては「47.2.13 フラッシュ P/Eモードエントリレジスタ（FENTRYR）」を参照してください。

47.4.3 FCU のモードとコマンドの関係

受け付け可能な FCU コマンドは FCU のモードごとに決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。**表 47.11** に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（**「47.6.2 コマンドロック状態」**を参照）。FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表47.11　FCUのモード/状態と受け付け可能なコマンドの関係（ROM P/Eモードおよび E2データフラッシュ P/Eモード）

	P/Eノーマルモード			ステータスリードモード										ロックビットリードモード		
	プログラムサスペンド中	イレーズサスペンド中	その他の状態	P/Eの処理中	イレーズサスペンド中のプログラム処理中	P/Eの中断処理中	ロックビットリード2処理中（ROM）	ブランクチェック処理中（E2データフラッシュ）	プログラムサスペンド中	イレーズサスペンド中	コマンドロック状態（FRDY=0）	コマンドロック状態（FRDY=1）	その他の状態	プログラムサスペンド中	イレーズサスペンド中	その他の状態
FSTATR0.FRDY ビット	1	1	1	0	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD ビット	0	1	0	0	1	0/1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0.PRGSPD ビット	1	0	0	0	0	0/1	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行（ロックビットリード1）	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	×	○	×	×	○
P/Eサスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	×	○	○	×	○	○	○	○	○
ロックビットリード2(ROM)	○	○	○	×	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットプログラム(ROM)	×	△	○	×	×	×	×	×	×	△	×	×	○	×	△	○
ブランクチェック(E2データフラッシュ)	○	○	○	×	x	×	×	×	○	○	×	×	○	○	○	○

○：受け付け可能、△：イレーズを中断したブロック以外へのプログラムのみ受け付け可能、×：受け付け不可能

47.4.4　FCU コマンド使用方法

FCU コマンドには、FCU のモードを移行するコマンド、実際に ROM / E2 データフラッシュに P/E を行うコマンド、エラー処理のコマンド、サスペンド / レジュームのコマンドがあります。以下に各コマンドの説明をします。それぞれのコマンドの受け付け可能モードおよび状態については、**「47.4.3　FCU のモードとコマンドの関係」**を参照してください。

47.4.4.1　モード移行

ここではモード移行に関するコマンドを説明します。各モード移行の関係は、**図 47.4** を参照してください。

(1)　ROM リードモードおよび ROM / E2 データフラッシュリードモード移行方法

ROM の高速読み出しを行うためには、FENTRYR.FENRTYn ビット (n=0 ～ 3) を “0” にして、FCU を ROM リードモードに設定し、FWEPROR レジスタにバイトで “02h” を書き込み、P/E 不可能状態にする必要があります（**「47.2.1　フラッシュ P/E プロテクトレジスタ（FWEPROR）」**を参照）。ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

また、ROM / E2 データフラッシュリードモードへ移行するためには、FENTRYR.FENRTYn ビット (n=0 ～ 3) と FENTRYD ビットを ”0” にする必要があります。

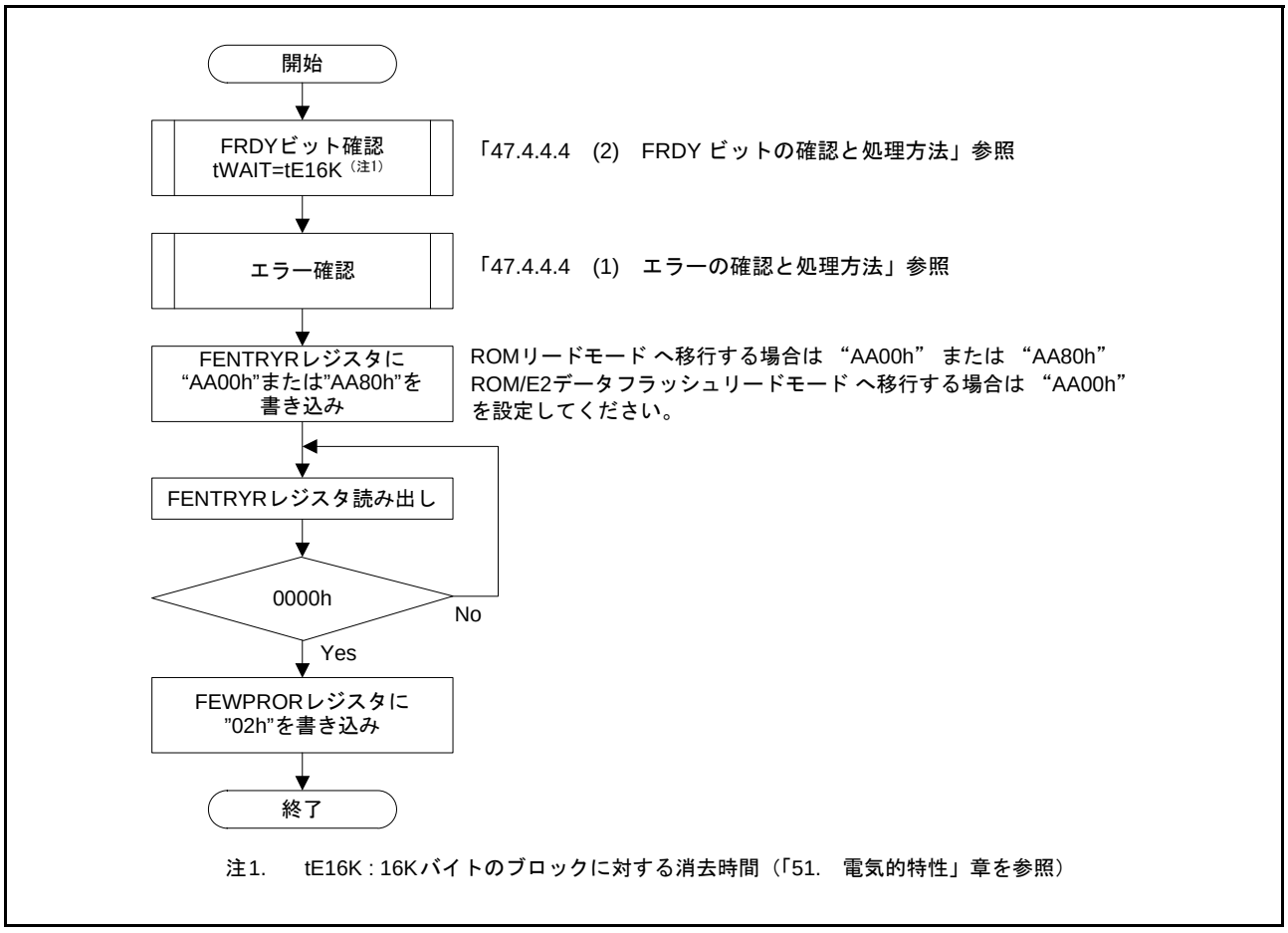


図 47.5　ROM リードモードおよび ROM / E2 データフラッシュリードモード移行フロー

(2) P/E モード移行方法

ROM の P/E 関連の FCU コマンドを実行するためには、ROM P/E モードに移行する必要があります。ROM P/E モードに移行するためには、P/E を行う ROM のアドレスに対応した FENTRYR.FENTRYn ビット (n=0 ～ 3) のいずれかを “1” にします。

E2 データフラッシュの P/E 関連の FCU コマンドを実行するためには、E2 データフラッシュ P/E モードに移行する必要があります。E2 データフラッシュ P/E モードに移行するためには、FENTRYR.FENTRYD ビットを “1” にします。

P/E を行う場合は、FWEPROR レジスタにバイトで “01h” を書き込み、P/E 可能状態にしてください（「47.2.1 フラッシュ P/E プロテクトレジスタ（FWEPROR）」を参照）。

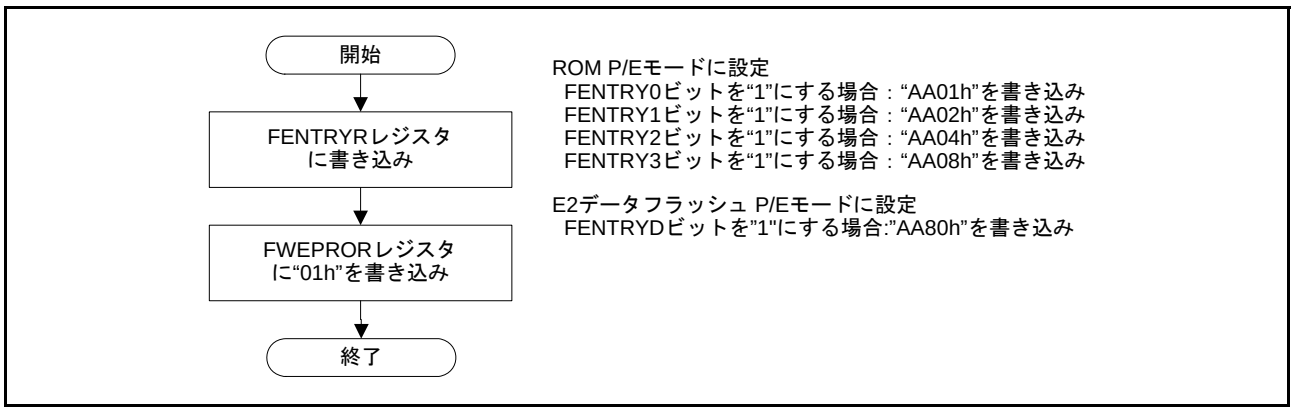


図 47.6　ROM P/E モードおよび E2 データフラッシュ P/E モード移行フロー

(3) P/E ノーマルモード移行方法

P/E ノーマルモードへの移行方法には、ROM/E2 データフラッシュリードモード時に FENTRYR レジスタを設定する方法（「47.4.1 FCU のモード」を参照）と、P/E モード時にノーマルモード移行コマンドを発行する方法（図 47.7）があります。ノーマルモード移行コマンドを発行するには、ROM P/E 用のアドレスあるいは E2 データフラッシュのアドレスに “FFh” を書いてください。

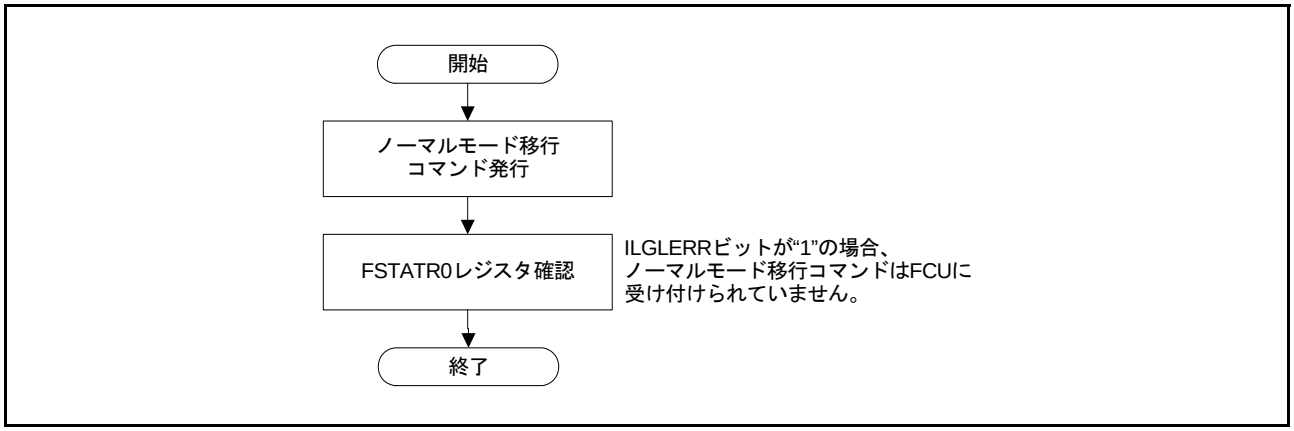


図 47.7　ROM P/E ノーマルモード移行フロー

(4) ステータスリードモード移行方法

ステータスリードモード移行コマンドを発行した場合、またはノーマルモード移行、ロックビットリードモード移行以外の FCU コマンドを発行した場合に、FCU はステータスリードモードに移行します。図 47.8 に FSTATR0 レジスタの確認の例を示します。この例はステータスリードモード移行コマンドを発行して ROM ステータスリードモードに移行した後で、ROM P/E 用あるいは E2 データフラッシュのアドレスに対して読み出しを行い、FSTATR0 の内容を確認しています。

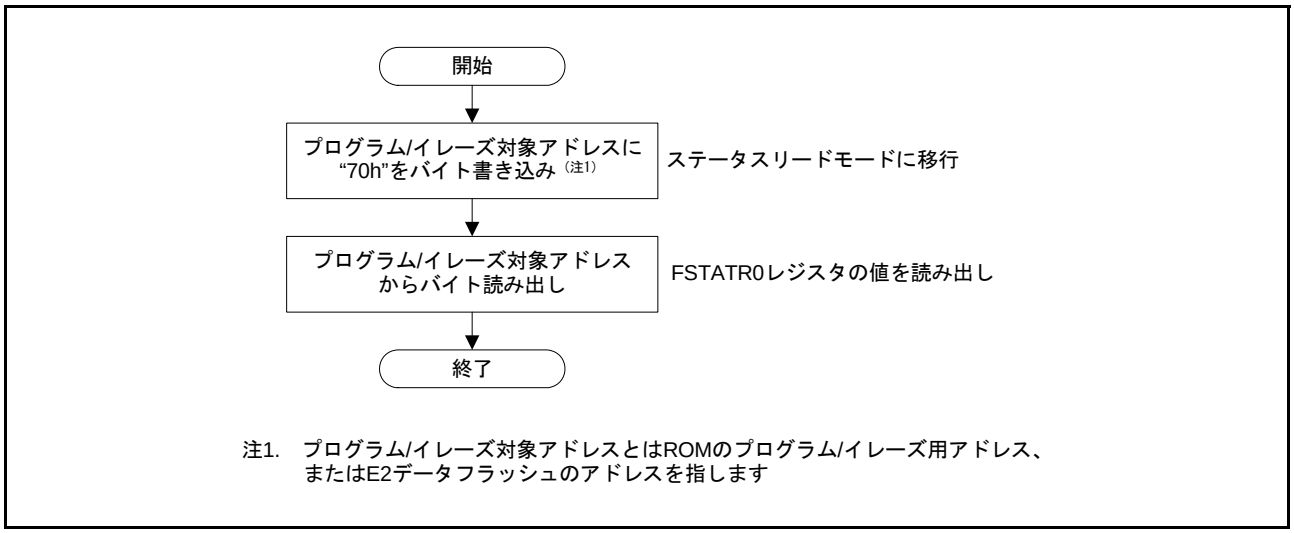


図 47.8　ROM ステータスリードモード移行フローおよびステータスの確認方法

(5) ロックビットリードモード移行方法

FMODR.FRDMD ビットが “0”（メモリ領域リード方式）で、ロックビットリードモード移行コマンド（ロックビットリード 1）を発行することで移行します。ロックビットリードモードに移行後に ROM P/E 用のアドレスに対して読み出しを行うと、アクセス先に対応するブロックのロックビットが読み出され、読み出しデータの全ビットにコピーされます（図 47.9）。

E2 データフラッシュにはロックビットが存在しないため、ロックビットリードモードに移行後に E2 データフラッシュ領域に対して読み出しを行った場合には、読み出しデータは不定値になります

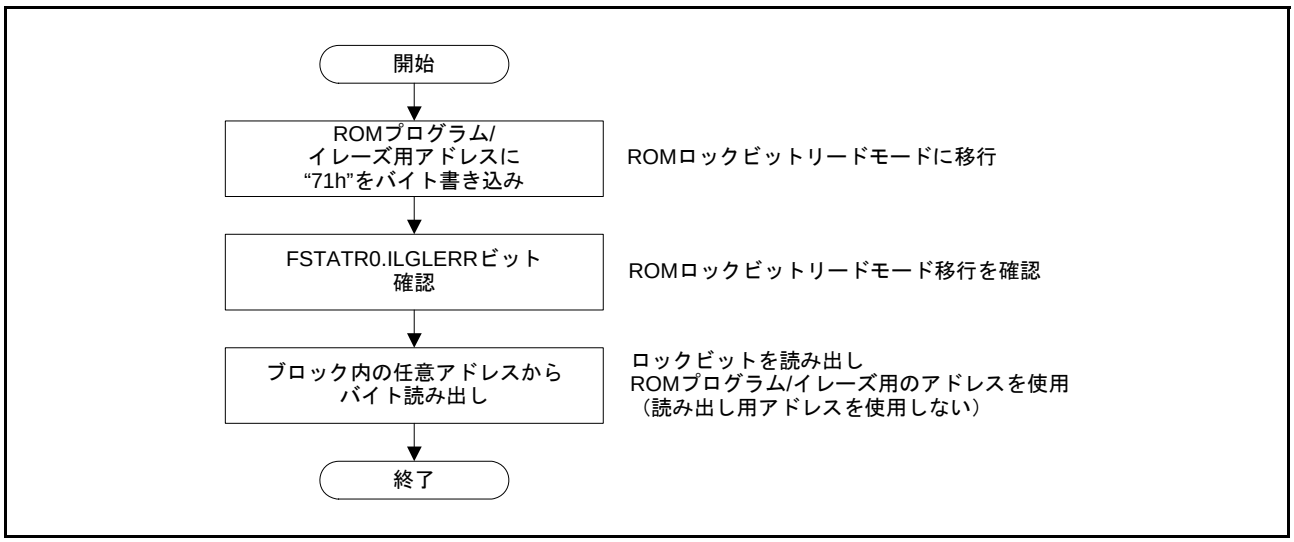


図 47.9　ROM ロックビットリードモード移行フローおよびロックビットを読む方法

47.4.4.2　P/E 方法手順

ここでは ROM / E2 データフラッシュへの P/E のフローについて説明します。FCU のコマンド受け付け条件については、「47.4.3　FCU のモードとコマンドの関係」を参照してください。

図 47.10 に FCU コマンドの概略フローを示します。

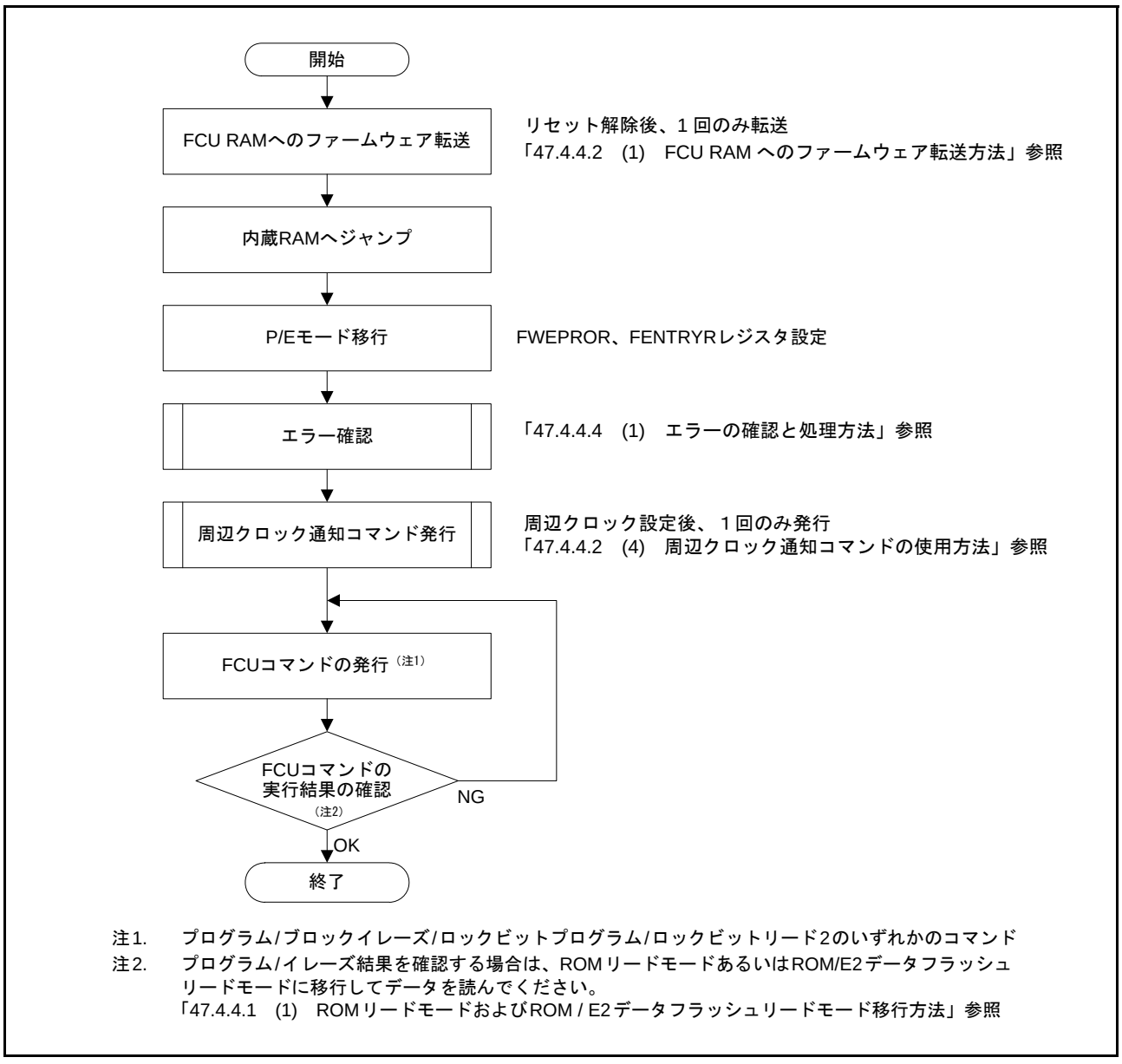


図 47.10　P/E 処理の概略フロー

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1.FCUERR ビットが “1” の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームウェアを再コピーする必要があります。

図 47.11 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書く場合には、FENTRYR レジスタを “0000h” にして FCU を停止させてください。

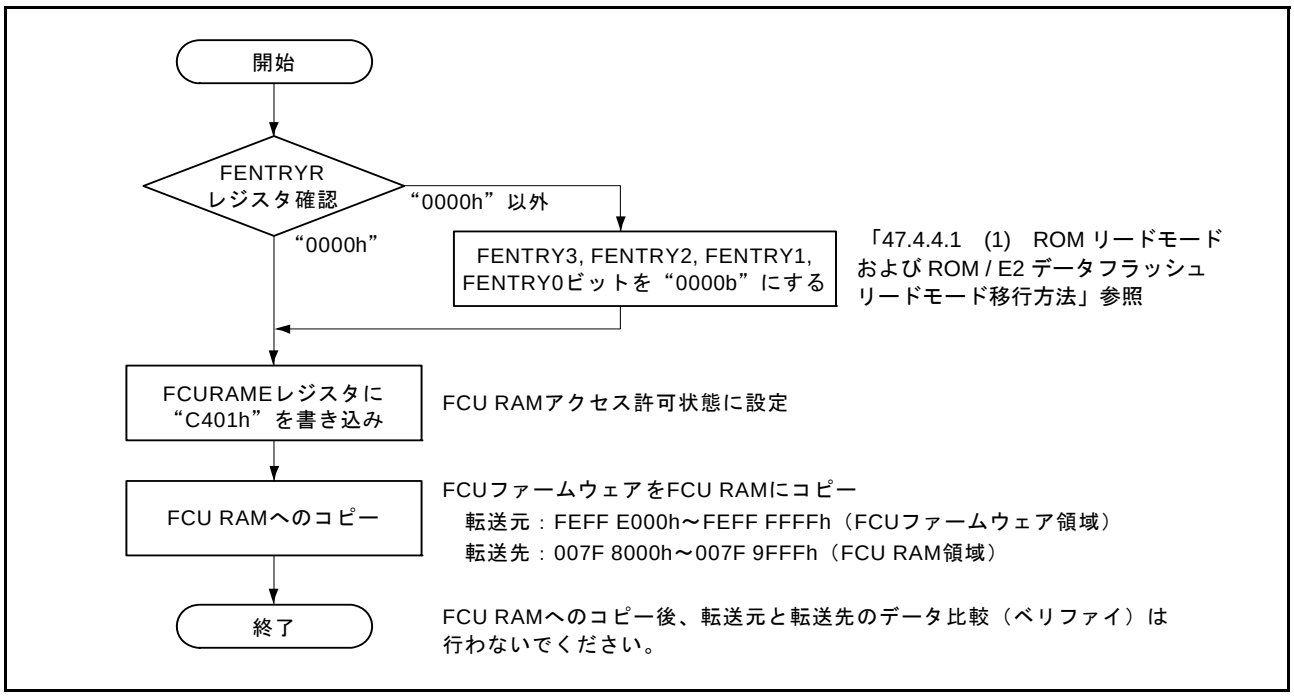


図 47.11　FCU RAM へのファームウェア転送フロー

(2) 内蔵 RAM へのジャンプ

ROM への P/E を行う場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM へコピーして内蔵 RAM へジャンプしてください。

(3) P/E モード移行

FENTRYR.FENTRYn(n=0 ～ 3), FENTRYD ビット、FWEPROR レジスタを設定して、FCU を P/E モードに設定する必要があります。詳細は「47.4.4.1 (2) P/E モード移行方法」を参照してください。

(4) 周辺クロック通知コマンドの使用方法

ROM / E2 データフラッシュへの P/E 前に、使用している FlashIF クロック（FCLK）の周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 1 ～ 100MHz です。この範囲に設定しなかった場合には、FCU はエラーを検出し、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2　コマンドロック状態」を参照）。なお、PCKAR.PCKA[7:0] ビットが 4MHz ～ 50MHz の範囲外に設定された場合は、ROM / E2 データフラッシュに対する書き換えコマンドを発行しないでください。

PCKAR レジスタの設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは “E9h” を、第 2 サイクルでは “03h” を ROM P/E 用あるいは E2 データフラッシュのアドレスに書きます。コマンドの第 3 サイクル～第 5 サイクルでは、“0F0Fh” を ROM P/E 用あるいは E2 データフラッシュのアドレスにワードサイズで 3 回書きます。ROM P/E 用あるいは E2 データフラッシュのアドレスに対して “0F0Fh” データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM P/E 用あるいは E2 データフラッシュのアドレスに対して “D0h” を書くと、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0.FRDY ビットで確認可能です。

ROM の場合、第 1 サイクル～第 6 サイクルで指定可能なアドレスは、FENTRYR.FENTRYn ビット (n=0 ～ 3) の設定によって異なります。FENTRYR.FENTRYn ビットに対応したアドレスを指定してください。FENTRYR レジスタで P/E モードに指定されていない領域のアドレスに対してコマンドを発行した場合には、FCU はエラーを検出し、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2　コマンドロック状態」を参照）。なお、周辺クロック通知コマンドによる設定は、使用している周辺クロックを変更しない限り、リセット後 1 回の実行で後続の FCU コマンドで有効となります。

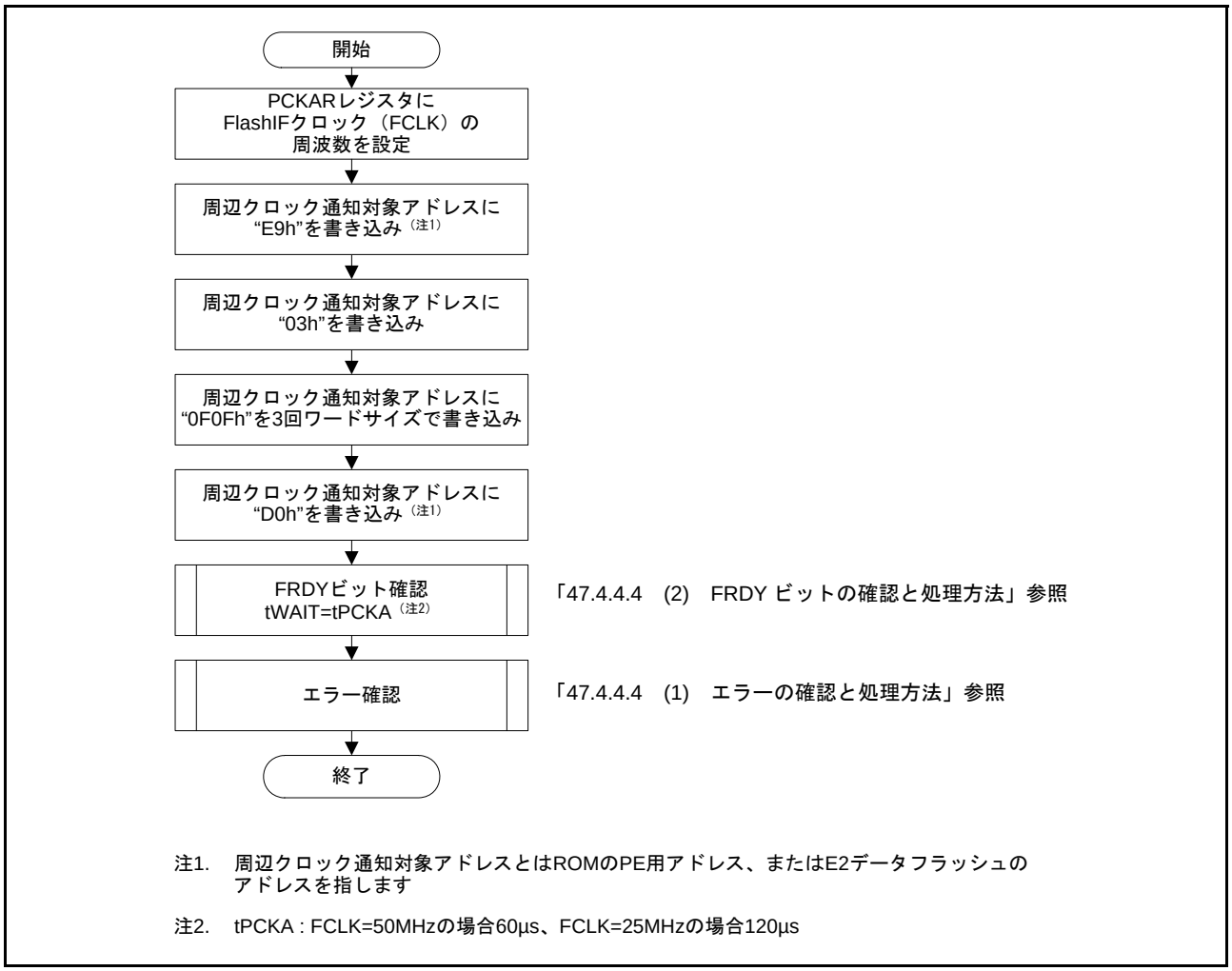


図 47.12　周辺クロック通知コマンドの使用方法

(5) プログラム方法

ROM / E2 データフラッシュへプログラムを行うには、プログラムコマンドを使用します。

- ROM へのプログラム方法

プログラムコマンドの第 1 サイクルでは “E8h” を、第 2 サイクルでは “40h” を ROM P/E 用のアドレスに書きます。第 3 サイクルでは、プログラム対象領域の先頭アドレスに対してプログラムデータをワードサイズで書いてください。この際、先頭アドレスは 128 バイト境界にアラインしたアドレスを使用してください。第 4 サイクル～第 66 サイクルでは、ROM P/E 用のアドレスに対してプログラムデータをワードサイズで 63 回書いてください。第 67 サイクルで ROM P/E 用のアドレスに対して “D0h” を書くと、FCU が ROM へのプログラムを開始します。プログラムの完了は、FSTATR0.FRDY ビットで確認可能です。

第 1 サイクル～第 67 サイクルで指定可能なアドレスは、FENTRYR.FENTRYn ビット (n=0 ～ 3) の設定によって異なります。FENTRYR.FENTRYn ビットに対応したアドレスを指定してください。FENTRYR レジスタで P/E モードに指定されていない領域のアドレスに対してコマンドを発行した場合には、FCU はエラーを検出し、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2 コマンドロック状態」を参照）。

第 3 サイクル～第 66 サイクルでアクセスする領域にプログラムが不要なアドレスが含まれる場合は、該当アドレスに対するプログラムデータを “FFFFh” にしてください。また、ロックビットによるプロテクトが有効となっているブロックにプログラムする場合、FPROTR.FPROTCN ビットを “1” にする必要があります。

- E2 データフラッシュへのプログラム方法

プログラムコマンドの第 1 サイクルでは “E8h” を、第 2 サイクルでは “01h” を E2 データフラッシュ領域のアドレスに書きます。第 3 サイクルでは、プログラム対象領域の先頭アドレスに対してプログラムデータをワードサイズで書いてください。この際、先頭アドレスは、2 バイト境界にアラインしてください。E2 データフラッシュ領域のアドレスに対して 1 回のプログラムを実行後、第 4 サイクルで E2 データフラッシュ領域のアドレスに対して “D0h” を書くと、FCU が E2 データフラッシュへのプログラムを開始します。プログラムの完了は、FSTATR0.FRDY ビットで確認可能です。また、DFLWEy レジスタ (y=0,1) の設定により、P/E が禁止となっているブロックにプログラムをする場合、DFLWEy レジスタ (y=0,1) の該当するビットを “1” にする必要があります。

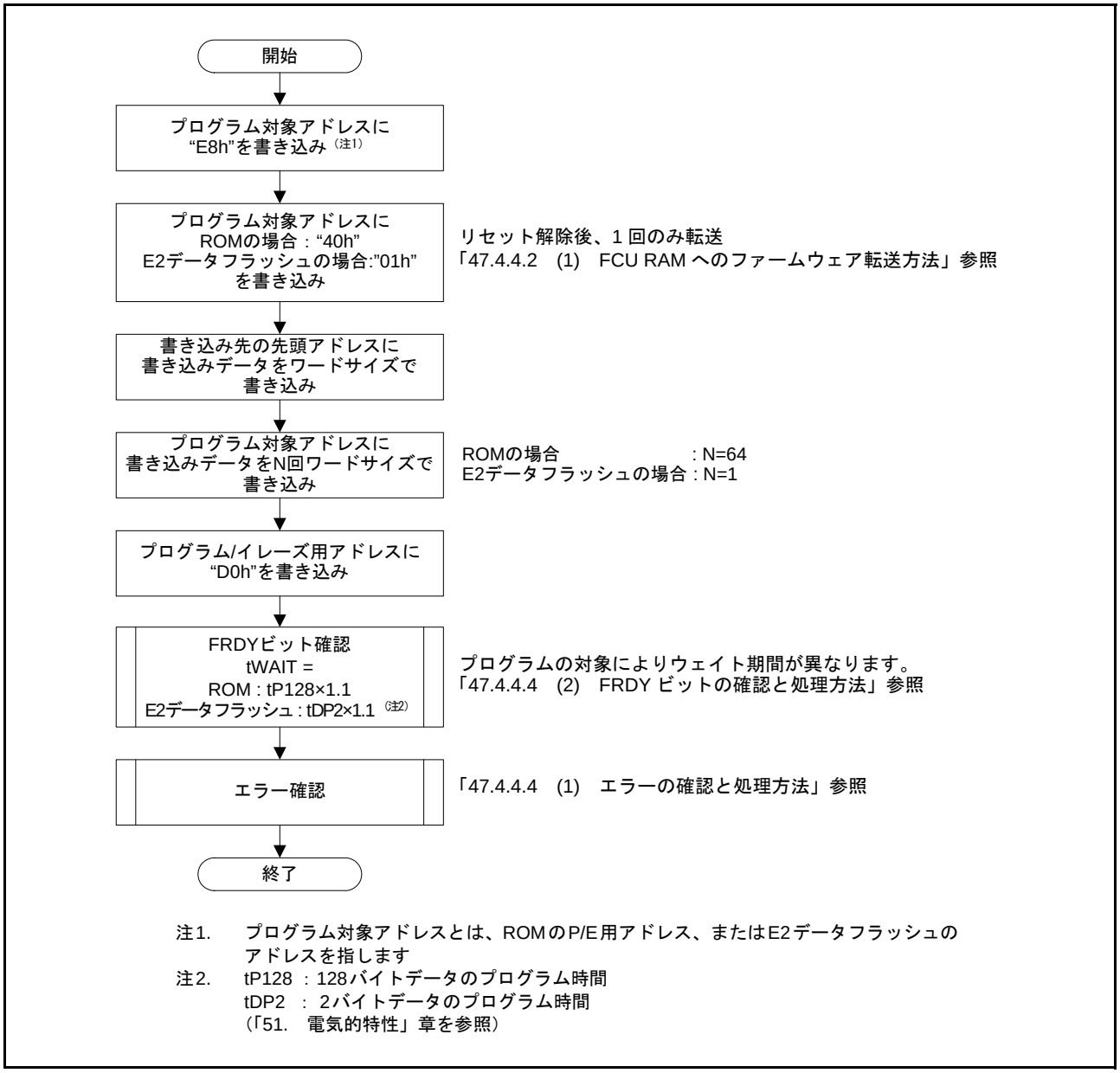


図 47.13　ROM / E2 データフラッシュへのプログラム方法

(6) イレーズ方法

ROM / E2 データフラッシュのイレーズには、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドの第 1 サイクルでは、“20h” を ROM P/E 用あるいは E2 データフラッシュのアドレスに書きます。第 2 サイクルで “D0h” をイレーズ対象ブロック内の任意アドレスに書くと、FCU が ROM/E2 データフラッシュのイレーズ処理を開始します。イレーズの完了は、FSTATR0.FRDY ビットで確認可能です。CPU でイレーズされた状態の ROM を読むと 32 ビットで “FFFF FFFFh” が読めます。E2 データフラッシュの場合は不定値が読めます。ROM の場合、ロックビットによるプロテクトが有効となっているブロックをイレーズするには、FPROTR.FPROTCN ビットを “1” にする必要があります。

E2 データフラッシュには、DFLWEy レジスタ (y = 0,1) による P/E プロテクト機能があることに注意してください。DFLWEy レジスタ (y=0,1) の設定により、P/E が禁止となっているブロックをイレーズする場合、DFLWEy レジスタ (y=0,1) の該当するビットを “1” にする必要があります。

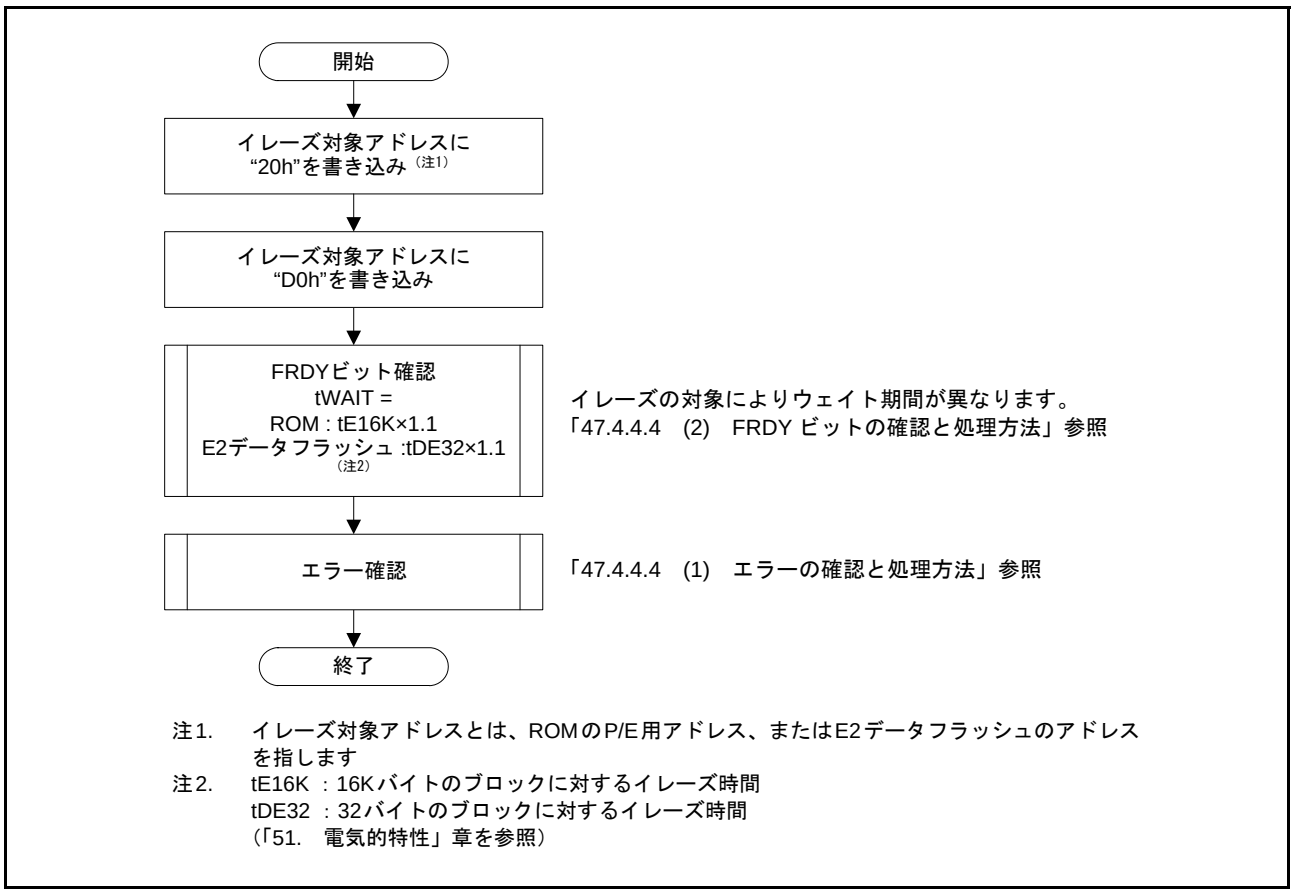


図 47.14　ROM / E2 データフラッシュのイレーズ方法

(7) ロックビットの P/E 方法

ロックビットプログラムは ROM に対してのみ実行可能です。ユーザ領域の各ブロックにはロックビットが内蔵されています。ロックビットプログラムを行いたい場合には、ロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第 1 サイクルでは、“77h” を ROM P/E 用アドレスに書きます。第 2 サイクルでロックビットをプログラムするブロック内の任意アドレスに対して “D0h” を書くと、FCU がロックビットプログラムを開始します。ロックビットプログラムの完了は、FSTATR0.FRDY ビットで確認可能です。

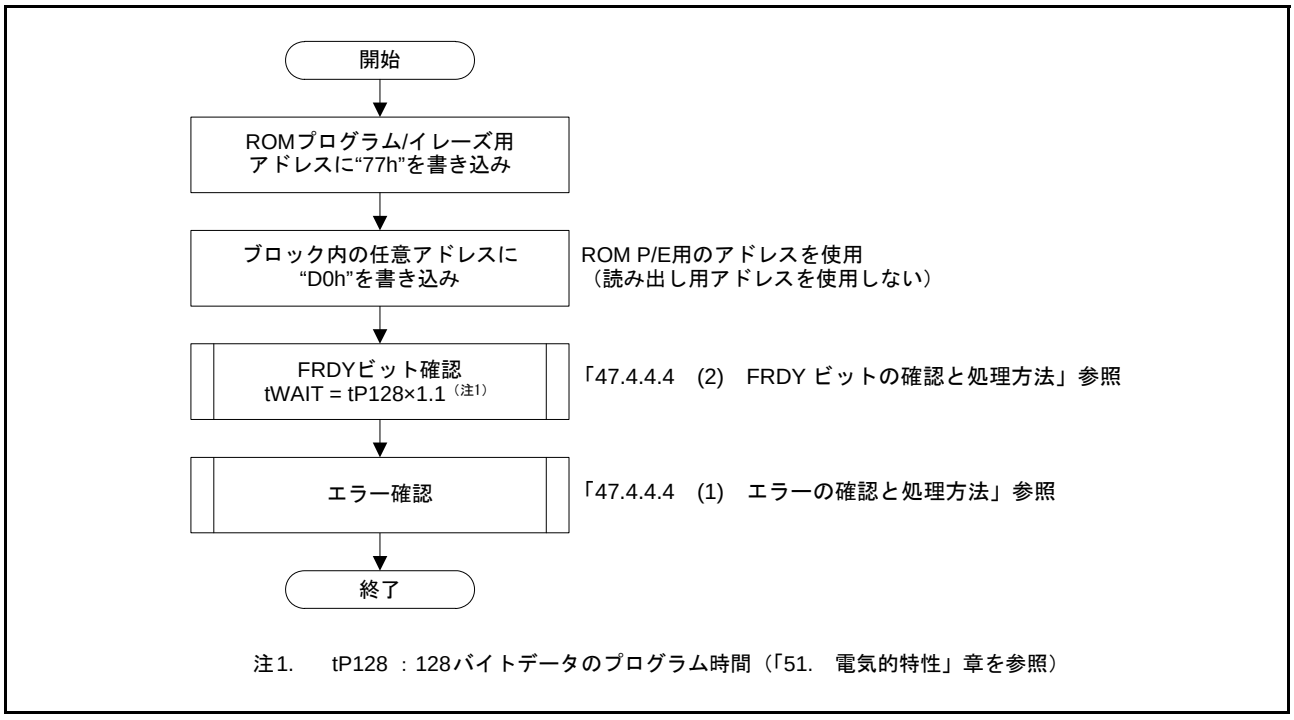


図 47.15　ロックビットのプログラムの設定方法

ロックビットの解除には、ブロックイレーズコマンドを使用します。

FPROTR.FPROTCN ビットが “0” の状態では、ロックビットが “0” になったブロックをイレーズすることができません。ロックビットを解除する場合には、FPROTCN ビットを “1” にした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用するとブロック内の全データがイレーズされます。ロックビットのみをイレーズすることはできません。

(8)　ロックビットの読み出し方法

ロックビットの読み出しは ROM に対してのみ実行可能です。ロックビットの読み出し方法には、メモリ領域リード方式とレジスタリード方式があります。

レジスタリード方式（FMODR.FRDMD ビットが “1”）の場合には、ロックビットリード 2 コマンドを使用します。ロックビットリード 2 コマンドは、ロックビットを読み出すブロックの P/E 用アドレスに発行します。ロックビットリード 2 コマンドの第 1 サイクルでは “71h” を、第 2 サイクルでは “D0h” を書くと、対応するブロックのロックビットが FSTATR1.FLOCKST ビットにコピーされます。

メモリ領域リード方式（FMODR.FRDMD ビットが “0”）の場合には、ロックビットリードモードに移行し、ROM の P/E 用アドレスを読むことで行います。詳細については、**「図 47.9　ROM ロックビットリードモード移行フローおよびロックビットを読む方法」**を参照してください。

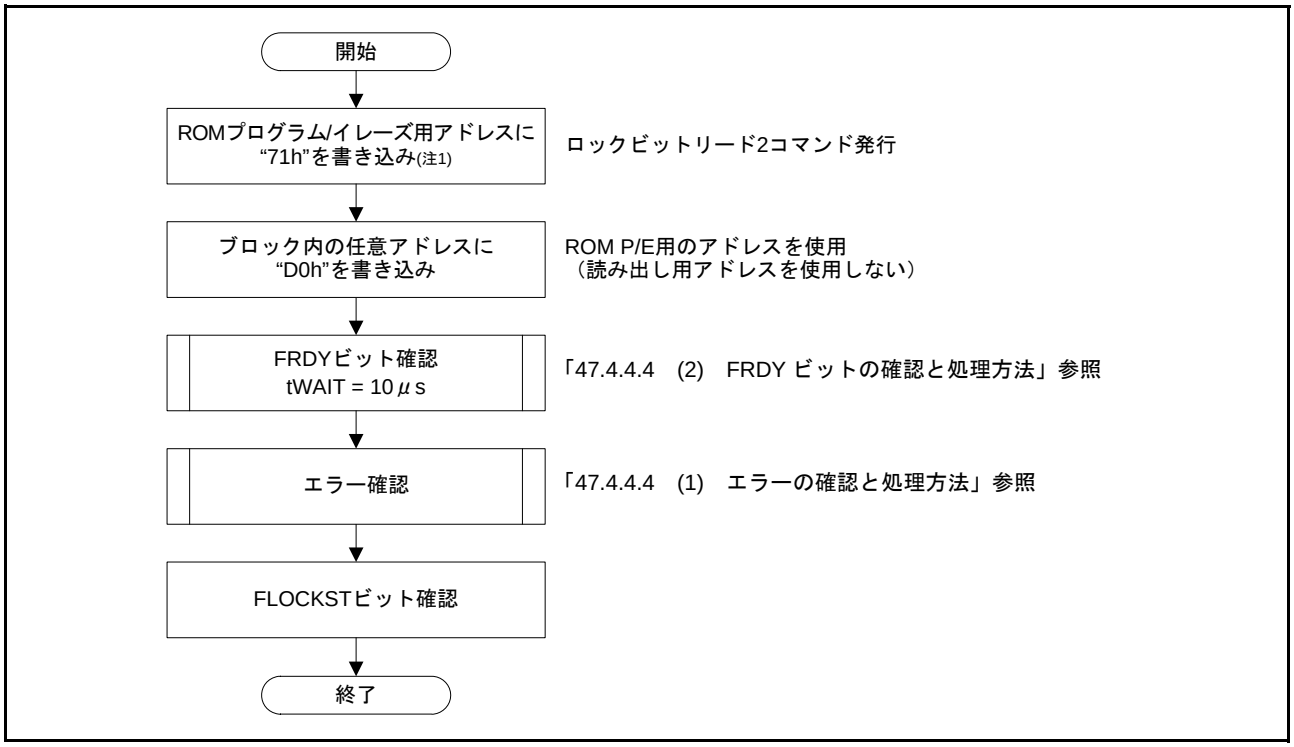


図 47.16　レジスタリード方式でロックビットを読み出す方法

(9) ブランクチェック

ブランクチェックは E2 データフラッシュに対してのみ実行可能です。イレーズされた E2 データフラッシュ領域を CPU で読んだ場合、その値は不定なので、イレーズされていることを確認するにはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前に FMODR.FRDMD ビットを “1” にしてブランクチェックコマンドが使用可能な状態にし、DFLBCCNT レジスタにチェック対象領域のサイズとアドレスを設定してください。DFLBCCNT.BCSIZE ビットが “1” の場合、ブランクチェックコマンドの第 2 サイクルで指定したブロック全体（2K バイト）のブランクチェックを実行できます。BCSIZE ビットが “0” の場合、ブランクチェックコマンドの第 2 サイクルで指定したブロックの先頭アドレスと、DFLBCCNT レジスタの値を加算したアドレスから 2 バイト分の領域のブランクチェックを実行できます。ブランクチェックコマンドの第 1 サイクルでは、“71h” を E2 データフラッシュ領域のアドレスに書きます。コマンドの第 2 サイクルでブランクチェック対象領域を含むブロック内の任意アドレスに “D0h” を書くと、FCU が E2 データフラッシュのブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0.FRDY ビットで確認できます。ブランクチェックの完了後に DFLBCSTAT.BCST ビットの値を確認すると、チェック対象領域がイレーズされているか、あるいは “0” か “1” が書かれているかを確認することができます。

図 47.17 に E2 データフラッシュのブランクチェック方法を示します。

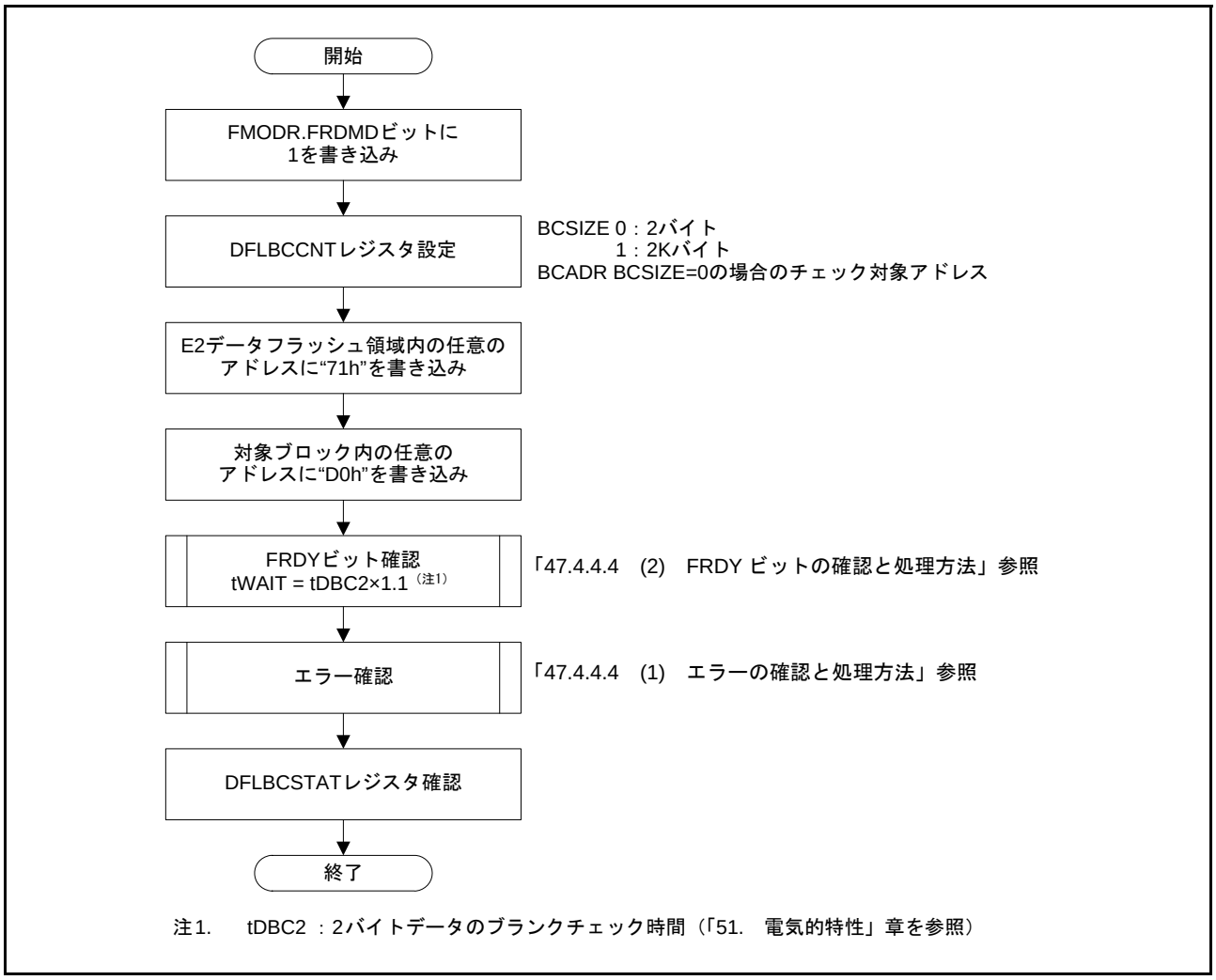


図 47.17　E2 データフラッシュのブランクチェック

47.4.4.3　サスペンド / レジューム

(1)　P/E のサスペンド方法

ROM / E2 データフラッシュへの P/E の中断には、P/E サスペンドコマンドを使用します。

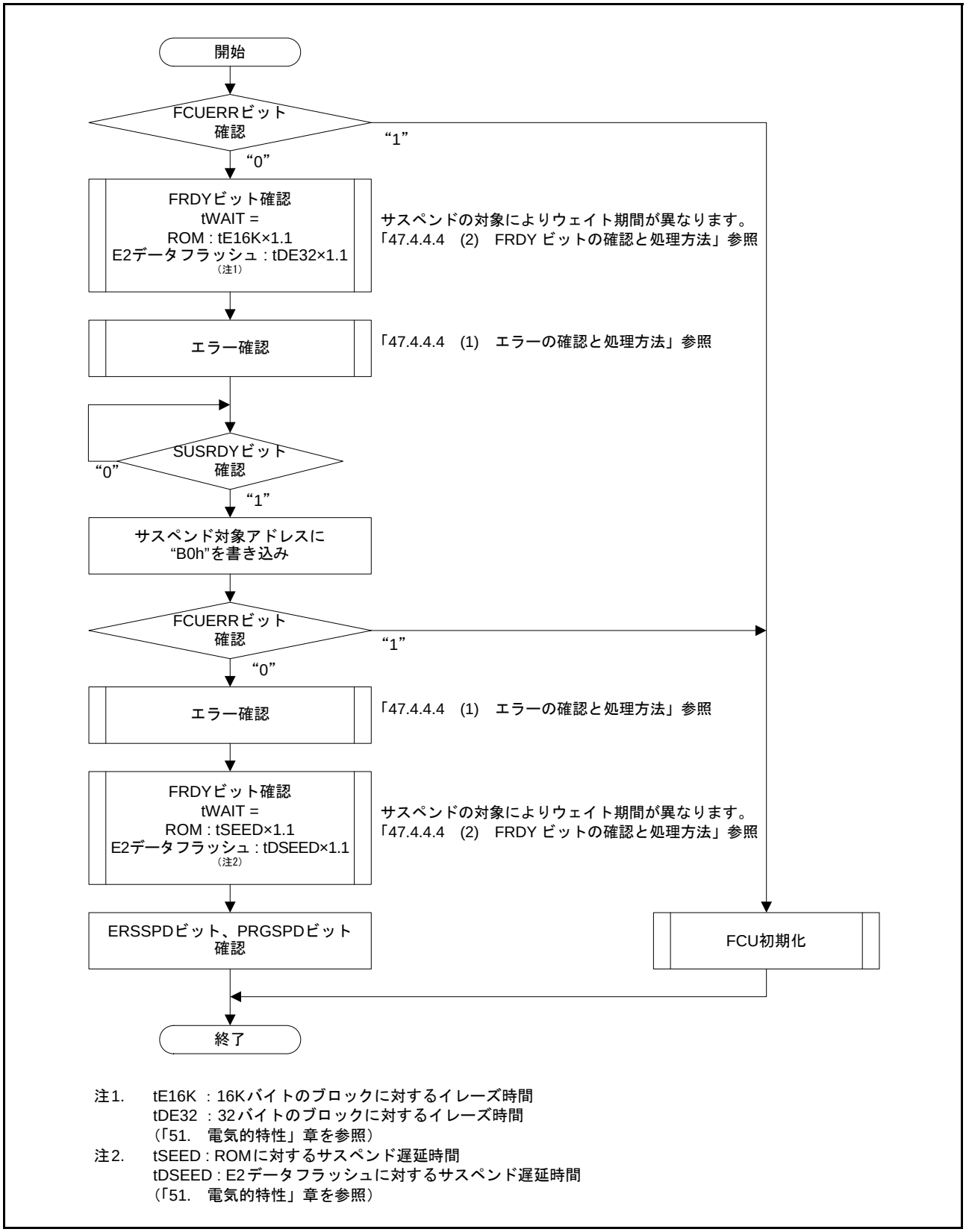
P/E サスペンドコマンドを発行する場合には、事前に FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットが “0” で P/E 処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0.SUSRDY ビットが “1” であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読んでエラーが発生していないことを確認してください。

P/E 処理中に異常が発生した場合には、ILGLERR、PRGERR、ERSERR、FCUERR ビットのうち少なくとも 1 つのビットが “1” になります。また、SUSRDY ビットが “1” であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に P/E 処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが “1” になります。

P/E サスペンドコマンドの受け付けと P/E 処理の完了が同時であった場合にはエラーは発生せず、サスペンド状態にも遷移しません（FSTATR0.FRDY ビットが “1”、かつ FSTATR0.ERSSPD, PRGSPD ビットが “0”）。P/E サスペンドコマンドが受け付けられて、P/E の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが “1”、かつ ERSSPD ビットまたは PRGSPD ビットが “1” になります。P/E サスペンドコマンド発行後には、FRDY ビットが “1”、かつ ERSSPD ビットまたは PRGSPD ビットが “1” で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2　コマンドロック状態」を参照）。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックにプログラムできます。また、P/E サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに移行することも可能です。

P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「47.5　サスペンド動作」を参照してください。



注1.　tE16K　：16Kバイトのブロックに対するイレーズ時間
　　tDE32　：32バイトのブロックに対するイレーズ時間
　　（「51.　電気的特性」章を参照）
注2.　tSEED : ROMに対するサスペンド遅延時間
　　tDSEED : E2データフラッシュに対するサスペンド遅延時間
　　（「51.　電気的特性」章を参照）

図 47.18　P/E のサスペンド方法

(2) P/E のレジューム方法

サスペンドした P/E 処理を再開する場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR レジスタを P/E サスペンドコマンド発行直前の値に再設定してください。

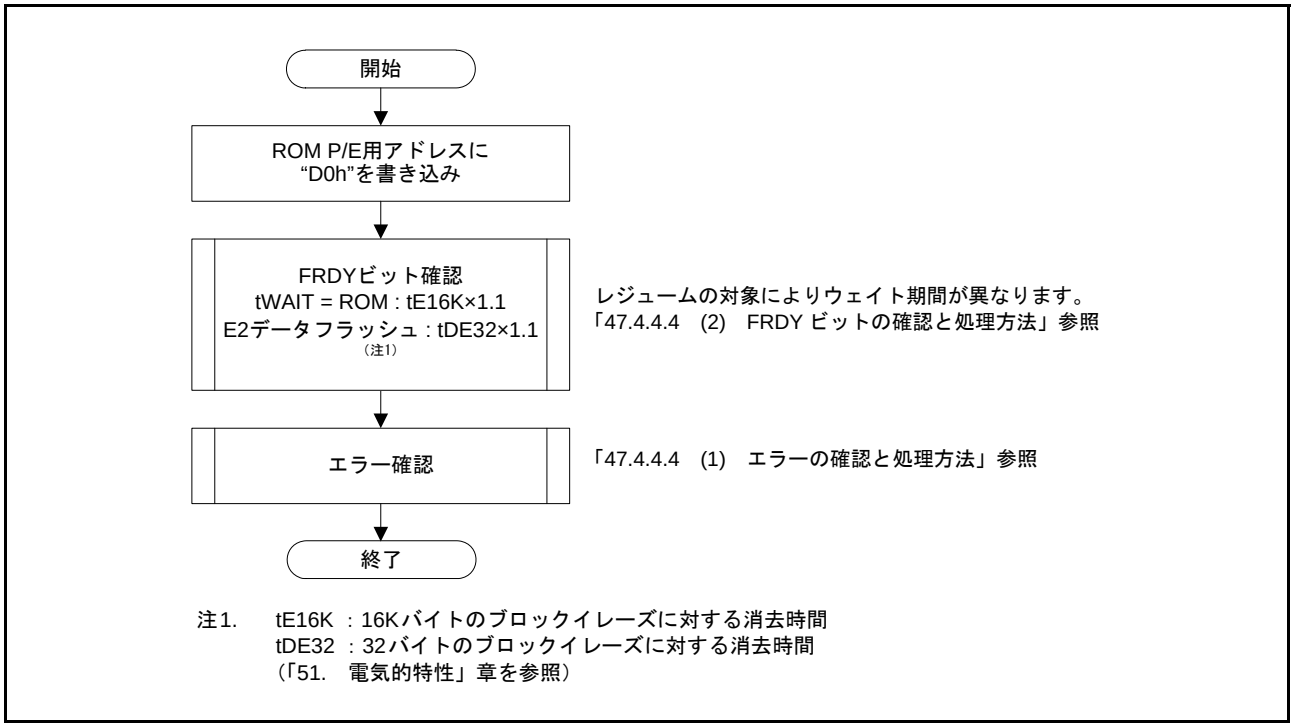


図 47.19 P/E のレジューム方法

47.4.4.4　エラーおよび FRDY ビットの確認と処理方法

エラーおよび FRDY ビットの確認と処理方法を説明します。各種エラーの内容は「47.6　プロテクト」を参照してください。

(1)　エラーの確認と処理方法

エラー発生の有無は FSTATR0 および FSTATR1 レジスタの値を読み出すことで確認できます。

FSTATR1.FCUERR ビットが ”1” の場合は FRESETR.FRESET ビットを “1” にして、FCU を初期化し、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。

- フラッシュステータスレジスタ 0（FSTATR0）の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 レジスタを直接読み出す方法と、ROM ステータスリードモードで ROM P/E 用アドレスを読み出す方法があります。ROM ステータスリードモードで読み出す方法は、「47.4.4.1　(4)　ステータスリードモード移行方法」を参照してください。

- フラッシュステータスレジスタ 0（FSTATR0）のクリア方法

FSTATR0.ILGLERR, ERSERR, PRGERR ビットを “0” にする場合には、ステータスレジスタクリアコマンドを使用します。FSTATR0.ILGLERR, ERSERR, PRGERR ビットのいずれかが “1” の場合には、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になり、ステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。ILGLERR ビットが “1” の場合には、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットは “0” になりません。

図 47.20 にエラー発生の確認とその後の処理方法について示します。

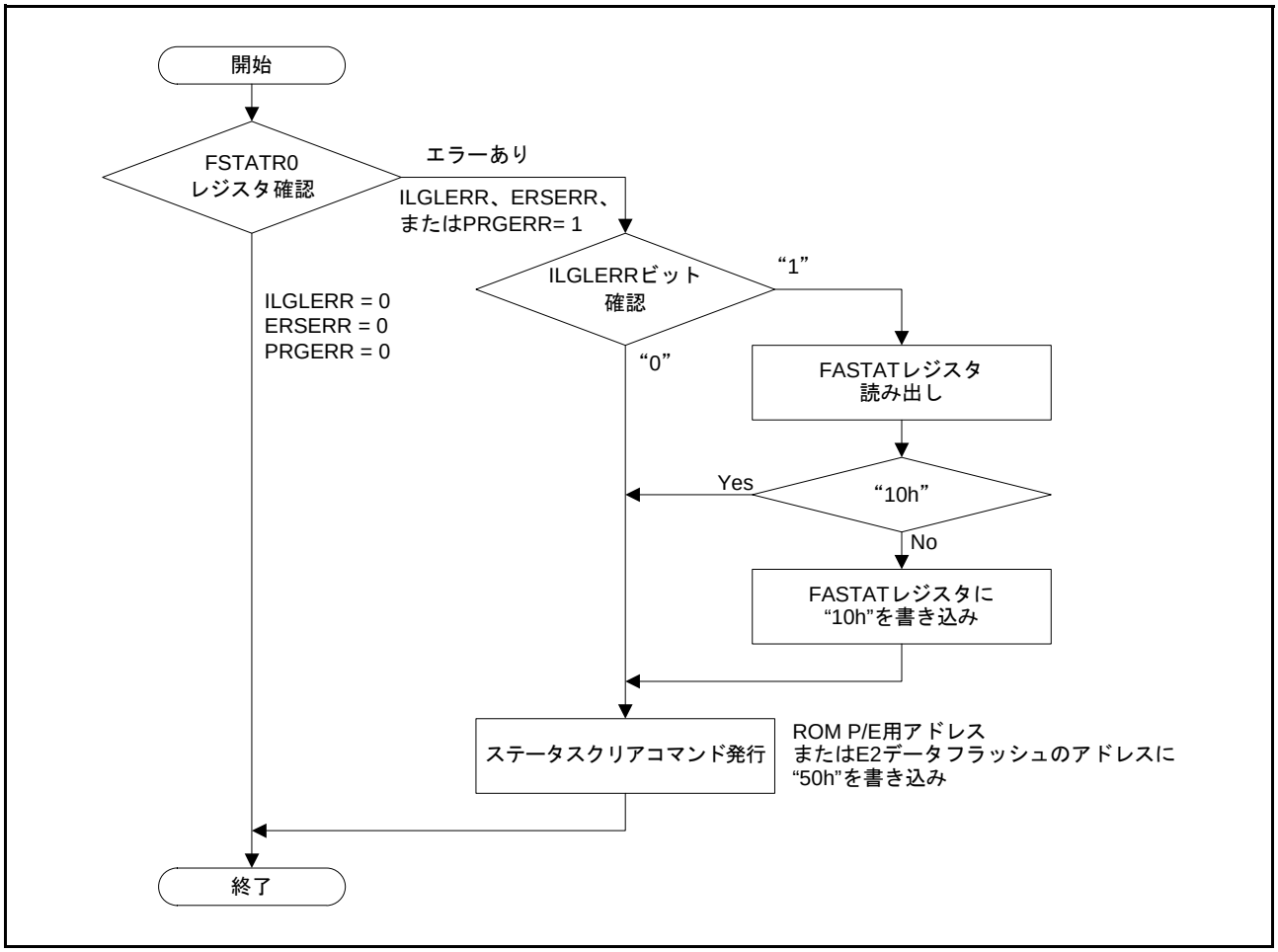


図 47.20　エラーの確認と処理方法

(2)　FRDY ビットの確認と処理方法

FCU コマンド発行後、それぞれの処理に応じてウェイト期間を設ける必要があります。ウェイト期間については「51.　電気的特性」を参照してください。タイムアウトにより FSTATR0.FRDY ビットが “1” にならない場合、FRESETR レジスタによる FCU の初期化が必要です。FCU の初期化については「(3)　FCU 初期化の方法」を参照してください。

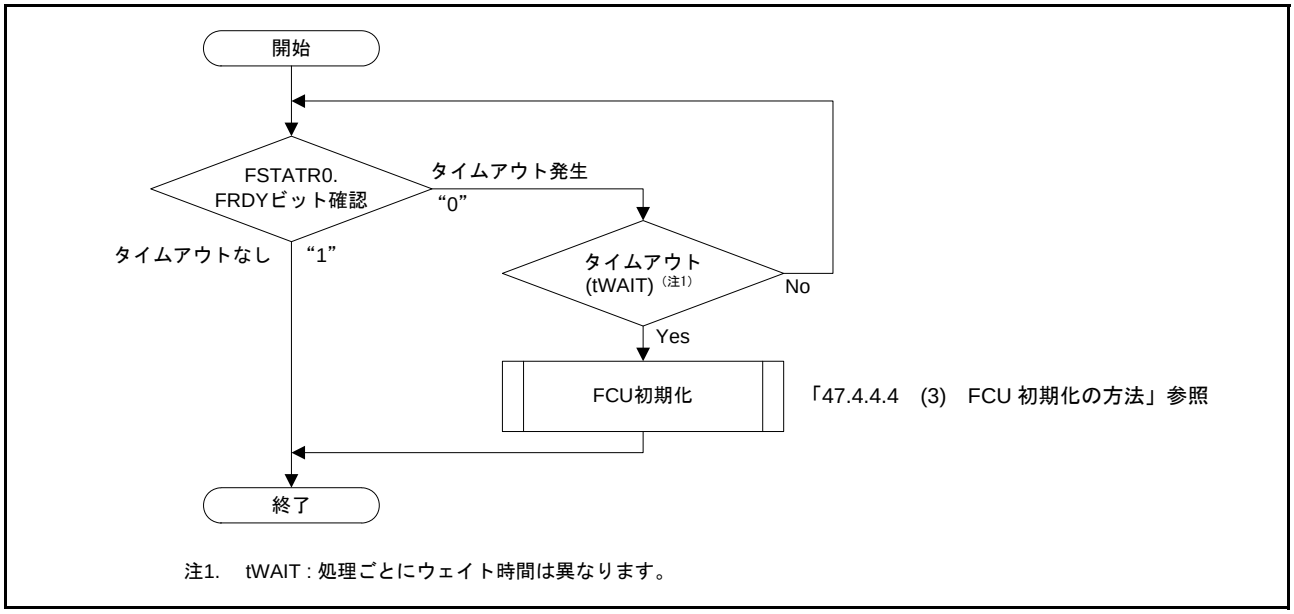


図 47.21　FRDY ビットの確認と処理方法

(3)　FCU 初期化の方法

FCU コマンド発行後にタイムアウトが発生したとき、また、FSTATR1.FCUERR ビットが “1” の場合、FRESETR レジスタによる FCU 初期化が必要です。いずれの場合も FRESETR.FRESET ビットが “1” の状態を tFCUR 期間（FCU リセット時間、「51.　電気的特性」を参照）保持してください。FRESET ビットを “1” に保持している期間は、ROM / E2 データフラッシュへの読み出しを禁止してください。また、FRESET ビットが “1” の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。図 47.10 の処理を先頭からやり直してください。

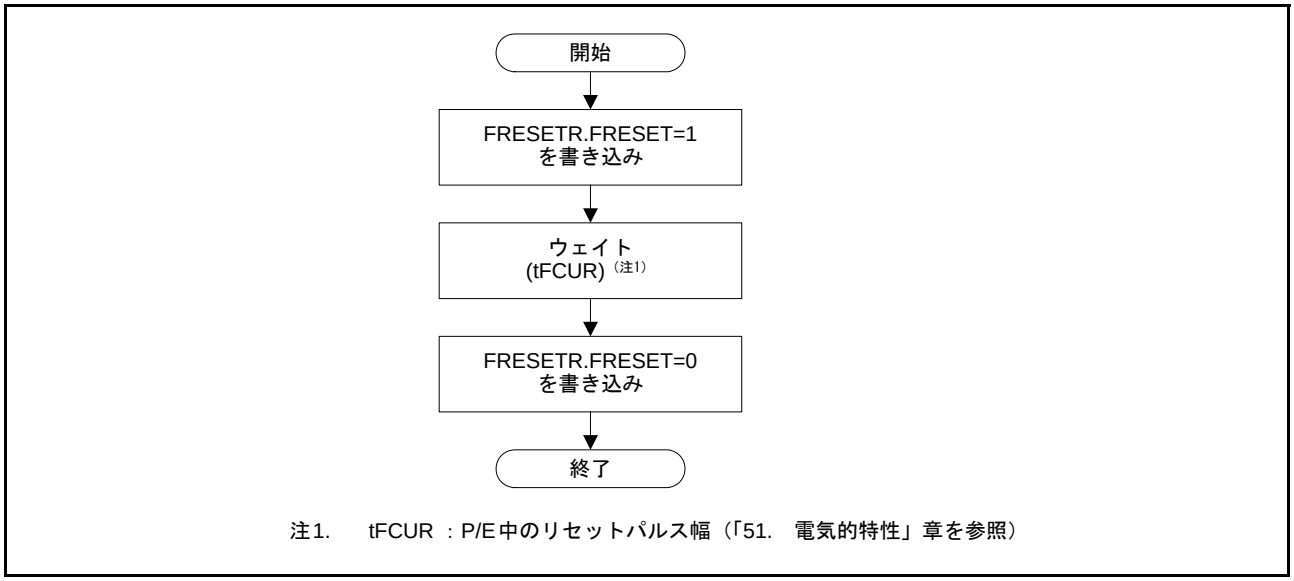


図 47.22　FCU の初期化フロー

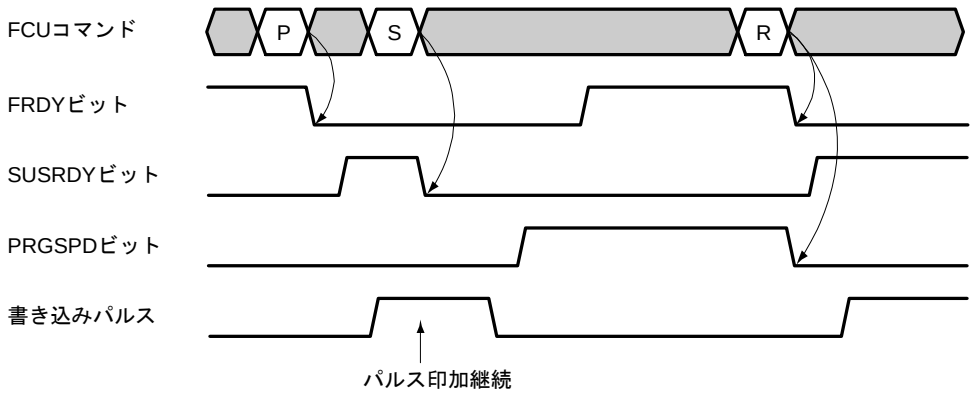
47.5　サスペンド動作

P/E 処理中は ROM / E2 データフラッシュの読み出しはできません。P/E サスペンドコマンドを発行し、ROM / E2 データフラッシュへの P/E 処理を中断させることによって、ROM / E2 データフラッシュの読み出しができるようになります。P/E サスペンドコマンドには、プログラムに対するサスペンドが 1 種類とイレーズに対するサスペンドが 2 種類（サスペンド優先モード、イレーズ優先モード）存在します。また、中断した P/E 処理を再開する P/E レジュームコマンドも用意しています。

47.5.1　プログラム中のサスペンド

ROM / E2 データフラッシュへのプログラム中に P/E サスペンドコマンドを発行すると、FCU はプログラムを中断します。図 47.23 にプログラムの中断動作を示します。

FCU はプログラム系のコマンドを受け付けると、FSTATR0.FRDY ビットを “0” にしてプログラムを開始します。プログラムの開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FCU は FSTATR0.SUSRDY ビットを “1” にします。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを “0” にします。プログラムのパルス印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルスの印加を継続します。所定のパルス印加時間を経過すると FCU はパルスの印加を完了し、プログラムの中断処理を開始して FSTATR0.PRGSPD ビットを “1” にします。中断処理が完了すると、FCU は FRDY ビットを “1” にしてプログラムサスペンド状態に遷移します。プログラムサスペンド状態で FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと PRGSPD ビットを “0” にしてプログラムを再開します。



P：書き込み系コマンド（プログラム、ロックビットプログラム、P/Eレジューム）
S：P/Eサスペンドコマンド
R：P/Eレジュームコマンド

図 47.23　プログラムの中断動作

47.5.2　イレーズ中のサスペンド（サスペンド優先モード）

RX63N、RX631 では、イレーズのサスペンドにおいてサスペンド優先モードがあります。

図 47.24 にサスペンド優先モード（FCPSR.ESUSPMD ビットが “0”）の場合のイレーズの中断動作を示します。

FCU はイレーズコマンドを受け付けると、FSTATR0.FRDY ビットを “0” にクリアしてイレーズを開始します。イレーズの開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FCU は FSTATR0.SUSRDY ビットを “1” にします。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを “0” にします。イレーズ中にサスペンドコマンドを受け付けた場合には、FCU はイレーズのパルス印加中でも中断処理を開始して FSTATR0.ERSSPD ビットを “1” にします。中断処理が完了すると、FCU は FRDY ビットを “1” にして、イレーズサスペンド状態に遷移します。イレーズサスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを “0” にして、イレーズ処理を再開します。イレーズ処理の中断 / 再開時の FRDY、SUSRDY、ERSSPD ビットの挙動は、FCPSR.ESUSPMD ビットの値に依存せず同じです。

FCPSR.ESUSPMD ビットの値は、イレーズのパルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのないパルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、パルス A の印加を中断してイレーズサスペンド状態に遷移します。P/E レジュームコマンドによりイレーズが再開され、パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU はパルスの印加を完了してイレーズサスペンド状態に遷移します。次に FCU が P/E レジュームコマンドを受け付けて、新たなパルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合でパルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

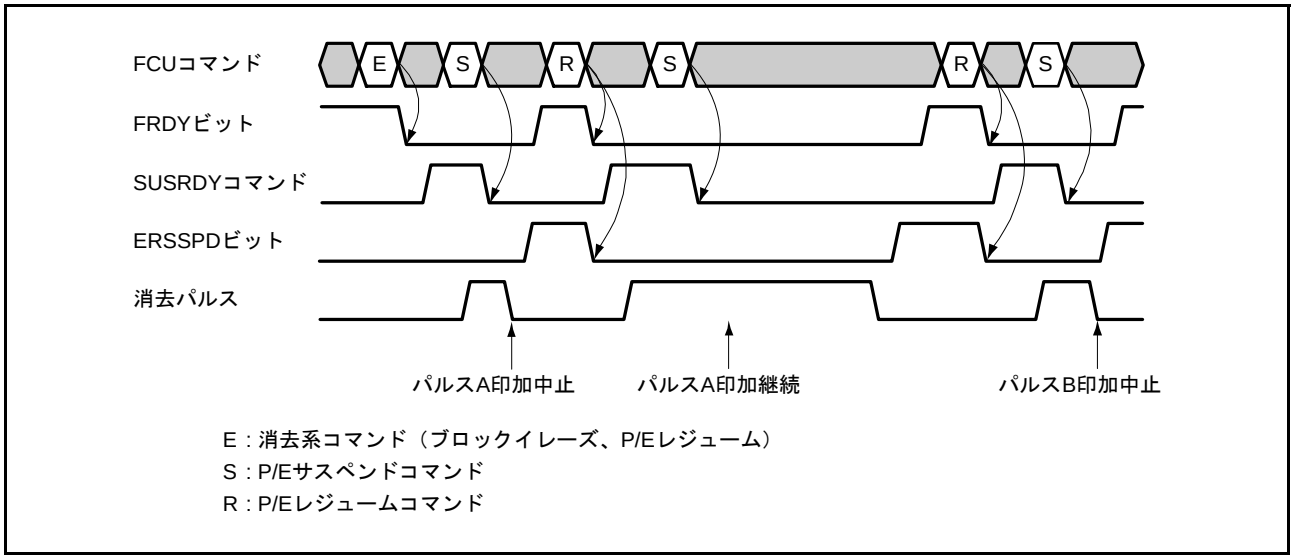


図 47.24　イレーズ処理の中断動作（サスペンド優先モード）

47.5.3　イレーズ中のサスペンド（イレーズ優先モード）

RX63N、RX631 では、イレーズのサスペンドにおいてイレーズ優先モードがあります。

図 47.25 にイレーズ優先モード（FCPSR.ESUSPMD ビットが “1”）の場合のイレーズの中断動作を示します。イレーズ優先モードのパルス制御方式は、プログラムの中断処理のパルス制御方式と同様です。

FCU がパルス印加中に P/E サスペンドコマンドを受け付けた場合には、パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時にパルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ全体に必要な時間を短縮可能です。

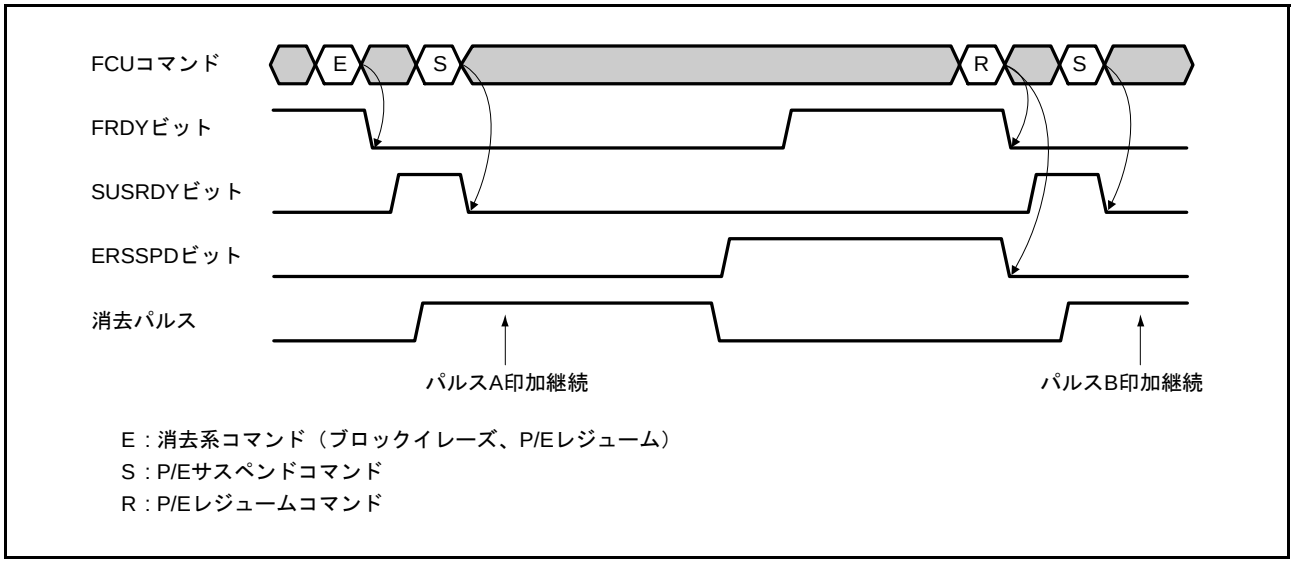


図 47.25　イレーズの中断動作（イレーズ優先モード）

47.6　プロテクト

ROM / E2 データフラッシュに対する P/E のプロテクトには、ソフトウェアプロテクト、コマンドロックの 2 種類があります。

47.6.1　ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によって ROM / E2 データフラッシュに対する P/E を禁止する機能です。ソフトウェアプロテクトに違反して、ROM / E2 データフラッシュに対する P/E 系コマンドを発行した場合には、FCU がエラーを検出して、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります。

(1)　FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを “01b” にしないと、いずれのモードにおいても書き換えできません。

(2)　FENTRYR レジスタによるプロテクト

FENTRYR.FENTRY3, FENTRY2, FENTRY1, FENTRY0, FENTRYD ビットがすべて “0” の場合には、ROM / E2 データフラッシュリードモードになります。ROM / E2 データフラッシュリードモードでは FCU コマンドが受け付けられないため、ROM / E2 データフラッシュへの P/E は禁止状態になります。ROM / E2 データフラッシュリードモードで FCU コマンドを発行すると、FCU は不正コマンドエラーを検出して、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2　コマンドロック状態」を参照）。

(3) ロックビットによるプロテクト

ユーザ領域の各ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが “0” の場合には、ロックビットが “0” のブロックに対する P/E は禁止状態になります。ロックビットが “0” のブロックを P/E したい場合には、FPROTCN ビットを “1” にしてください。ロックビットによるプロテクトに違反して ROM に対する P/E 系コマンドを発行すると、FCU は P/E エラーを検出して、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2 **コマンドロック状態**」を参照）。

(4) DFLWEy レジスタによるプロテクト

DFLWEy.DBWEj（y=0,1、j=00 ～ 15）ビットが “0” の場合には、データ領域の DBj ブロックの P/E が禁止状態になります。DBWEj ビットが “0” の状態で DBj ブロックに対する P/E を実行すると、FCU は P/E プロテクト違反を検出して、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2 **コマンドロック状態**」を参照）。

(5) DFLREy レジスタによるプロテクト

DFLREy.DBREj（y=0,1、j=00 ～ 15）ビットが “0” の場合には、データ領域の DBj ブロックの読み出しが禁止状態になります。DBREj ビットが “0” の状態で DBj ブロックに対する読み出しを実行すると、FCU はリードプロテクト違反を検出して、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります（「47.6.2 **コマンドロック状態**」を参照）

47.6.2 コマンドロック状態

コマンドロック状態とは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドを受け付けない状態です。

ステータスビット（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビット）のいずれか、もしくはこれらのビットに複数 “1” がセットされると、FCU がコマンドロック状態（FASTAT.CMDLK ビットが “1”）になり、ROM / E2 データフラッシュへの P/E が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが “10h” の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの割り込み許可ビットが ”1” の場合には、FASTAT レジスタの対応するビットが ”1” になるとフラッシュインタフェースエラー（FIFERR）割り込みが発生します。**表 47.12** にエラーの内容とエラー検出時のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE,DFLAE, DFLRPE, DFLWPE ビット）の関係を示します。P/E 処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は P/E 処理を継続します。この状態で P/E サスペンドコマンドを発行して P/E を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが “1” になります。

表47.12　エラーとステータスビットの一覧

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	DFLAE	DFLRPE	DFLWPE
FENTRYR設定エラー	FENTRYRレジスタに“0001h”、“0002h”、“0004h”、“0008h”以外の値を設定	1	0	0	0	0	0	0	0
	サスペンド/レジューム時でFENTRYRレジスタ設定が不一致	1	0	0	0	0	0	0	0
不正コマンドエラー(ROM / E2データフラッシュ共通)	FCUコマンドの1サイクル目で未定義コードを指定	1	0	0	0	0	0	0	0
	複数サイクルのFCUコマンド最終サイクルで“D0h”以外を指定	1	0	0	0	0	0	0	0
	PCKARレジスタに周辺クロック1～100MHz以外を設定（1～4MHz、50～100MHzの設定ではエラー検出しません）	1	0	0	0	0	0	0	0
	P/E処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	0	0	0
	P/E以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	0	0	0
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0	0	0	0
	プログラムサスペンド状態でP/E系（プログラム/ロックビットプログラム/ブロックイレーズ）コマンドを発行	1	0	0	0	0	0	0	0
	イレーズサスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	0	0	0
	イレーズサスペンド状態でイレーズサスペンド対象領域へのプログラム/ロックビットプログラムコマンドを発行	1	0	0	0	0	0	0	0
	FASTAT.CMDLKビットが“1”(コマンドロック状態)のときでコマンド発行	1	0/1	0/1	0/1	0/1	0	0	0
不正コマンドエラー(ROM)	プログラムコマンドの2サイクル目で“40h”以外を指定	1	0	0	0	0	0	0	0
不正コマンドエラー(E2データフラッシュ)	プログラムコマンドの2サイクル目で“01h”以外を指定	1	0	0	0	0	0	0	0
	FENTRYR.FENTRYDビットが“1”の状態で、E2データフラッシュ領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	0	0
イレーズエラー	イレーズ中のエラー発生	0	1	0	0	0	0	0	0
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定されたブロックに対してブロックイレーズコマンドを発行	0	1	0	0	0	0	0	0
プログラムエラー	プログラム中のエラー発生	0	0	1	0	0	0	0	0
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”に設定されたブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0	0	0	0
FCUエラー	FCU内部の処理でエラー発生	0	0	0	1	0	0	0	0
ROMアクセス違反	領域n(n=0～3)がROM /P/Eモード(FENTRYR.FENTRYnビット=“1”)の場合に、領域nの読み出し用アドレスに対する読み出しを実行（注1）	1	0	0	0	1	0	0	0
	領域n(0～3)がリードモード(FENTRYR.FENTRYnビット=“0”)の場合に領域nのP/E用アドレスに対してFCUコマンドを発行	1	0	0	0	1	0	0	0
	FENTRYRレジスタを設定してROM P/Eモードに移行した状態で、領域n(n=0～3)に対して読み出しを実行	1	0	0	0	1	0	0	0
E2データフラッシュアクセス違反	E2データフラッシュ P/Eノーマルモード(FENTRYR.FENTRYDビット=”1”)の場合、E2データフラッシュ領域に対して読み出しを実行	1	0	0	0	0	1	0	0
	FENTRYR.FENTRYDビットが“0”の状態で、E2データフラッシュ領域に対してFCUコマンドを発行	1	0	0	0	0	1	0	0
	FENTRYR.FENTRYnビット(n=0～3)のいずれかが“1”の状態で、E2データフラッシュ領域に対してFCUコマンドを発行	1	0	0	0	0	1	0	0
E2データフラッシュリードプロテクト違反	DFLREyレジスタ(y=0, 1)で読み出し禁止に設定したE2データフラッシュ領域に対して読み出しを実行	1	0	0	0	0	0	1	0
E2データフラッシュライトプロテクト違反	DFLWEyレジスタ(y=0, 1)でP/E禁止に設定したE2データフラッシュ領域に対して、P/Eコマンドを発行	1	0	0	0	0	0	0	1

注1.　ROM容量と領域の関係については「47.1.1　ROMの領域構成」を参照してください。

47.7　ユーザブートモード

64 ピン TFLGA 以外の製品は、MD 端子を Low、PC7 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。64 ピン TFLGA は、MD 端子を Low、PA6 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。
このときのリセットベクタは、ユーザブート領域の “FF7F FFFCh” 番地になります。その他のベクタテーブルは、通常のベクタテーブルを参照します（「15.　割り込みコントローラ（ICUb）」の章を参照）。

ユーザブートモードでは、任意のインタフェースを使ったプログラムを作成でき、FCU コマンドを発行してユーザ領域／データ領域への P/E を実行できます。なお、ユーザブート領域へのプログラムは、ブートモードで実施してください。

47.8　ブートモード

47.8.1　システム構成

ブートモードでは、ホストから制御コマンドやプログラムデータを送信してユーザ領域 / データ領域 / ユーザブート領域への P/E を実行可能です。ホストと RX63N、RX631 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

RX63N、RX631 をブートモードで起動すると、ブート領域上のプログラムが実行されます。ブート領域上のプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、P/E の制御をします。

図 47.26 にブートモード時のシステム構成を示します。

表 47.13 に ROM / E2 データフラッシュ関連の入出力端子を示します。

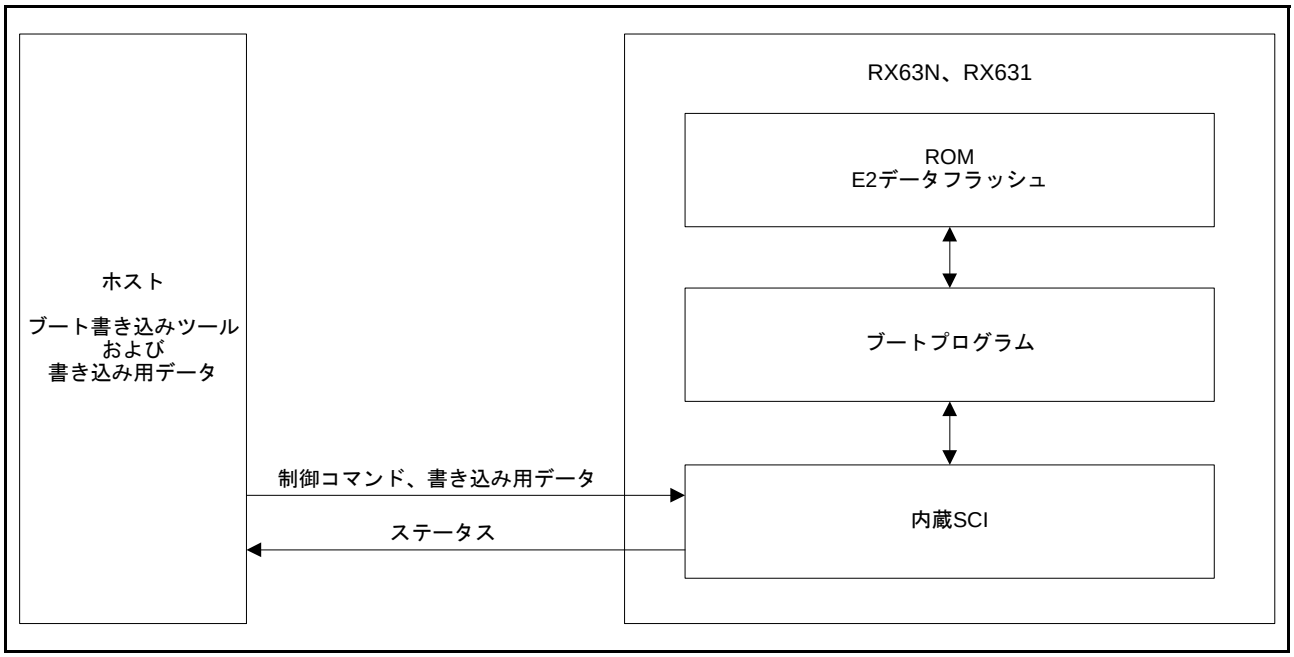


図 47.26　ブートモード時のシステム構成

表47.13　ROM / E2データフラッシュ関連の入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード ユーザブートモード USBブートモード	動作モードを選択
PC7（64ピンTFLGA以外の製品） PA6（64ピンTFLGA）	入力		ブートモード（SCIブート）、 ユーザブートモード/USBブートモードを選択
PF2/RXD1（177/176ピン版） P30/RXD1（145/144/100/64/48ピン版）	入力	ブートモード	ホスト通信用(SCIデータ受信用)
PF0/TXD1（177/176ピン版） P26/TXD1（145/144/100/64/48ピン版）	出力		ホスト通信用(SCIデータ送信用)
USB0_DP、USB0_DM	入出力	USBブートモード	USBデータの入出力
P14/USB0_DPUPE	入出力		USB用プルアップの制御
P16/USB0_VBUS	入力		USBケーブルの接続/切断の検出
P35	入力		USBバスパワーモード/セルフパワーモードを選択

47.8.2　ブートモードの状態遷移

図47.27にブートモードの状態遷移図を示します。

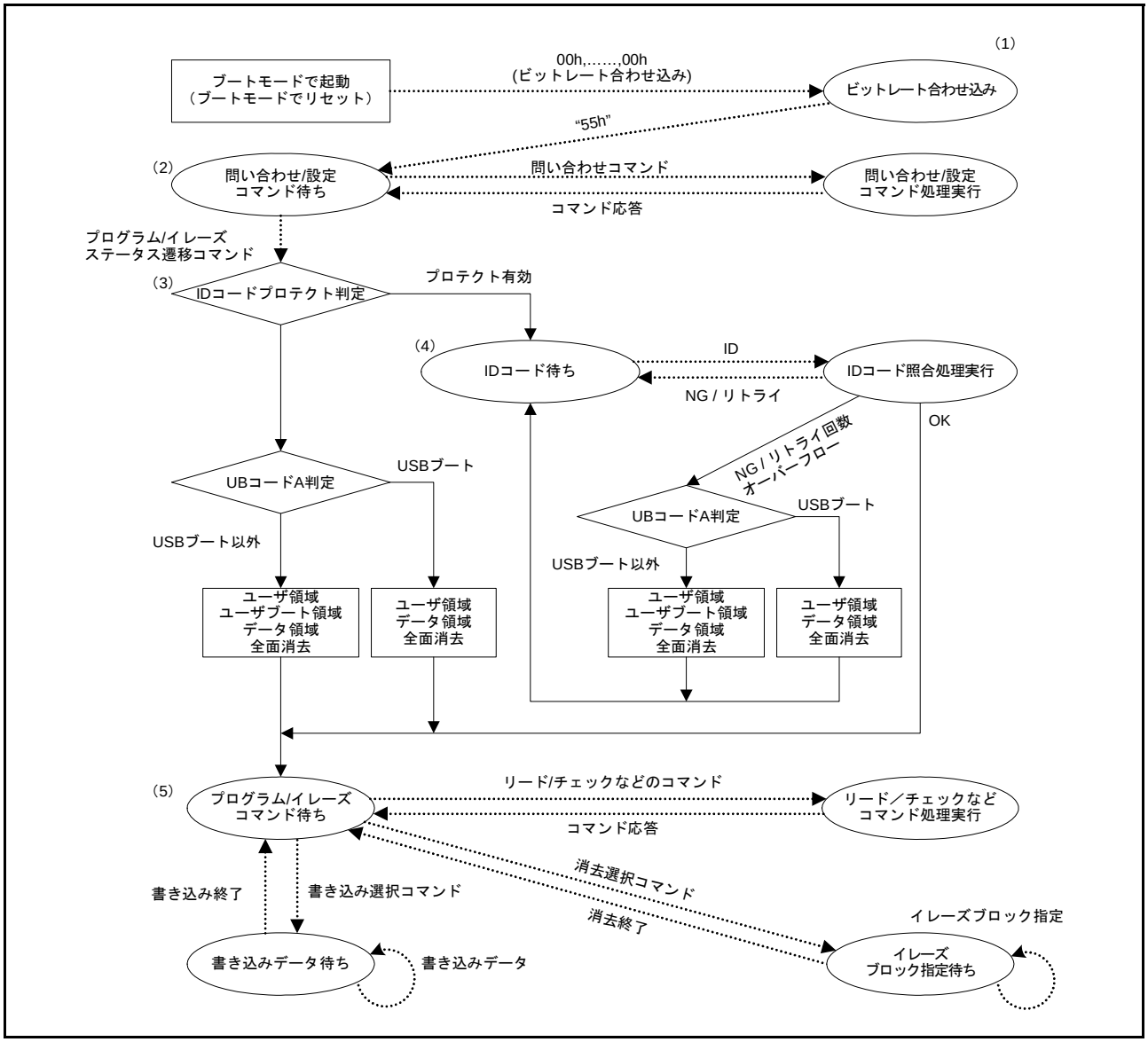


図 47.27　ブートモードの状態遷移図

(1) ビットレート合わせ込み

RX63N、RX631 をブートモードで起動すると、ホストと SCI 通信用のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、RX63N、RX631 からホストへ “00h” を送信します。その後、ホストから送信された “55h” を RX63N、RX631 が正しく受信すると問い合わせ / 設定コマンド待ちに遷移します。ビットレート合わせ込みの詳細は「47.8.3　ビットレートの自動調整」を参照してください。

(2) 問い合わせ / 設定コマンド待ち

領域サイズ、領域構成、領域先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから P/E ステータス遷移コマンドを発行すると、ID コードプロテクトの有効 / 無効判定に遷移します。問い合わせ / 設定コマンドの詳細は「47.8.7　問い合わせ / 設定コマンド待ち」を参照してください。

(3) ID コードプロテクト判定

ID コードプロテクトの有効 / 無効を判定します。ROM 上に書かれている制御コードおよび ID コードから ID コードプロテクトの有効 / 無効を判定し、有効時は ID コード待ちへ、無効時はユーザ領域 / データ領域の全面イレーズを実行し、P/E コマンド待ちに遷移します。制御コードおよび ID コードの詳細は「47.8.4 ID コードプロテクト（ブートモード）」を参照してください。

(4) ID コード待ち

ホストから制御コードおよび ID コードが送られてくるのを待ちます。ホストから送られてくる制御コードおよび ID コードと ROM 上のコードを比較し、一致していれば P/E コマンド待ちに遷移します。一致しなければ ID コード待ちに戻りますが、3 回不一致が続いた場合かつプロテクト状態が認証方法 1 の場合、全面イレーズし、再び ID コード待ちに戻ります。電源を落とした後、最初からやり直してください。制御コードおよび ID コードの詳細は「47.8.4　ID コードプロテクト（ブートモード）」を参照してください。

(5) P/E コマンド待ち

ホストからのコマンドにしたがって、P/E を実行する状態です。RX63N、RX631 が受信したコマンドに応じて、プログラムデータ待ち、イレーズブロック指定待ち、リード / チェックなどコマンド処理実行状態に遷移します。

RX63N、RX631 がプログラム選択コマンドを受信した場合には、プログラムデータ待ちに遷移します。ホストからプログラム選択コマンドに続けて、プログラム先頭アドレス、プログラムデータを送信してください。プログラム先頭アドレスを “FFFF FFFFh” と設定すると、プログラムが終了してプログラムデータ待ちから P/E コマンド待ちに遷移します。

RX63N、RX631 がイレーズ選択コマンドを受信すると、イレーズブロック指定待ちに遷移します。ホストからイレーズ選択コマンドに続けて、イレーズするブロック番号を送信してください。イレーズブロック番号を “FFh” と設定すると、イレーズが終了してイレーズブロック指定待ちから P/E コマンド待ちに遷移します。ブートモードで起動してから P/E コマンドに遷移する間にユーザ領域 / ユーザブート領域 / データ領域の全面がイレーズされていますので、ブートモードで新たにプログラムしたデータをリセットせずにイレーズしたい場合以外にはイレーズを実行する必要はありません。

P/E 以外に、ユーザ領域 / ユーザブート領域 / データ領域のチェックサム、ブランクチェック、メモリリード、ステータス情報取得のためのコマンドもあります。

47.8.3　ビットレートの自動調整

RX63N、RX631 をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。RX63N、RX631 は測定した Low 期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると “00h” をホストへ送信します。

ホストが “00h” を正常に受信した場合には、ホストから RX63N、RX631 に “55h” を送信してください。“00h” を正常に受信できなかった場合には、RX63N、RX631 をブートモードで再起動し、ビットレートの自動調整を再実行してください。RX63N、RX631 は “55h” を正常に受信すると “E6h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

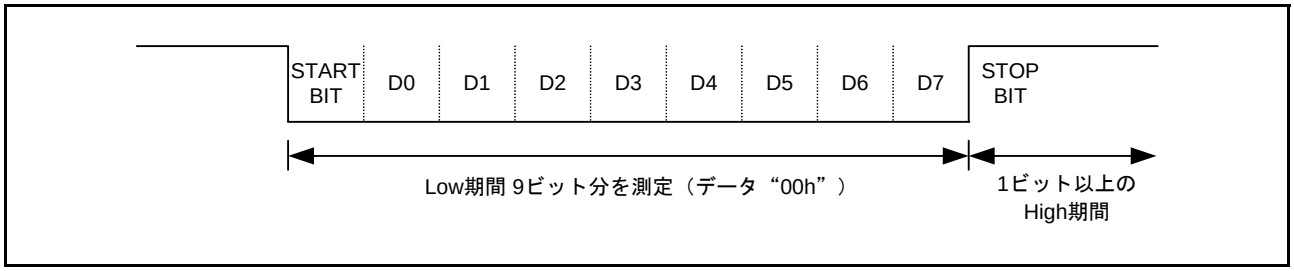


図 47.28　ビットレート自動調整時の SCI 送受信フォーマット

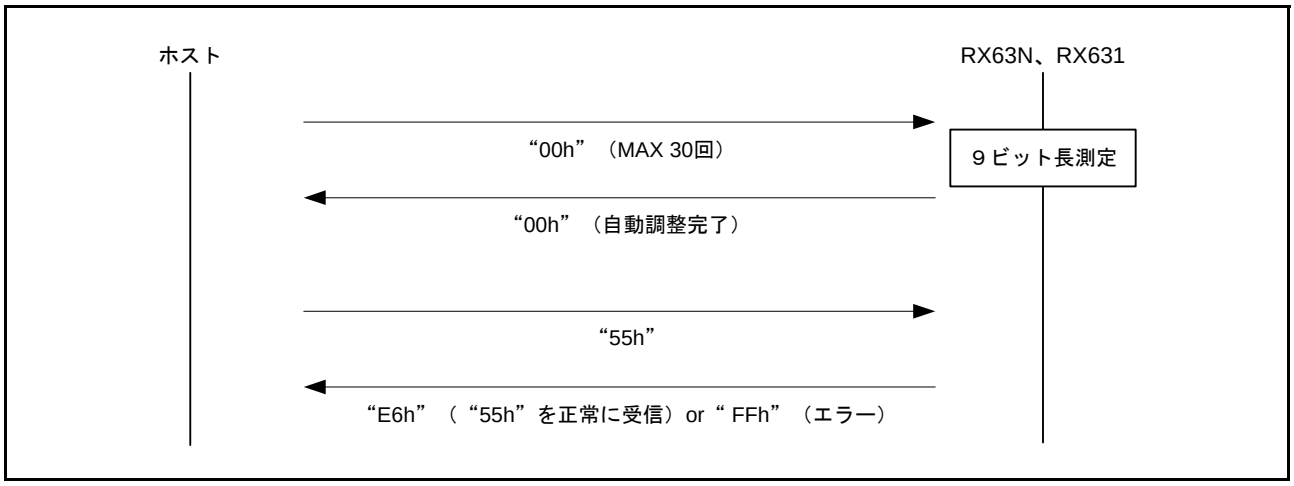


図 47.29　ホストと RX63N、RX631 間の通信シーケンス

SCI 通信時のビットレートや RX63N、RX631 の周辺クロックの周波数によってはビットレートを正常に調整できない場合がありますので、**表 47.14** に示した条件で SCI の通信を行うようにしてください。

表 47.14　ビットレート自動調整が可能な条件

ホストのSCIのビットレート	EXTALの周波数範囲
9,600bps	4～20MHz（注1）
19,200bps	8～20MHz（注1）

注1.　ただし、発振子周波数は最大16MHzです。

47.8.4　ID コードプロテクト（ブートモード）

PC などのホストからの読み出し / プログラム / イレーズを禁止するための機能です。

ブートモードで起動し、ビットレートを自動調整した後、ホストから送信される ID コードと ROM 上に書かれている制御コードおよび ID コードを使い、ID コードプロテクトの有効 / 無効と、ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、ホストから送られてくるコードと ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合のみ読み出し / プログラム / イレーズを許可します。

ROM 上の制御コードおよび ID コードは、32 ビット長 4 ワードのデータです。**図 47.30** に制御コードおよび ID コードの構成を示します。ID コードは 32 ビット単位で設定してください。

	31 24	23 16	15 8	7 0
FFFF FFA0h	制御コード	IDコード1	IDコード2	IDコード3
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11
FFFF FFACh	IDコード12	IDコード13	IDコード14	IDコード15

図 47.30　ROM 上の制御コードおよび ID コードの構成

(1)　制御コード

制御コードは、ID コードプロテクトの有効 / 無効とホストとの認証方法を決定します。**表 47.15** に制御コードと認証方法を示します。

表 47.15　IDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	SCI接続時の動作
45h	任意	プロテクト有効 （認証方法1）	IDコード一致　：コマンド待ちへ遷移 IDコード不一致　：再度IDコード待ち状態へ遷移。ただし、連続3回IDコード不一致の場合、全面消去を行う
52h	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh 以外	プロテクト有効 （認証方法2）	IDコード一致　：コマンド待ちへ遷移 IDコード不一致　：再度IDコード待ちへ遷移
	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh	プロテクト有効 （認証方法3）	常にIDコード不一致として判定する。
上記以外	—	プロテクト無効	全ブロックイレーズ

(2)　ID コード

ID コードは任意の値が設定できます。ただし、制御コードが 52h、ID コード 1 から順に 50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, …, FFh を設定した場合は、ID コード一致判定をせず、常に不一致とし、ホストからの読み出し / プログラム / イレーズを禁止します。

(3) ID コードを設定するプログラム例

制御コードが 45h、ID コードが ID コード 1 から順に 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh を設定する場合のプログラム例を示します。

```
.SECTION  ID_CODE,CODE
.ORG  0FFFFFFA0h
.LWORD  45010203h
.LWORD  04050607h
.LWORD  08090A0Bh
.LWORD  0C0D0E0Fh
```

47.8.5 UB コード A

UB コード A については、「7.3 UB コード（64 ピン TFLGA 以外の製品）」を参照してください。

47.8.6 コマンドとレスポンスの構成

ブートモードにおけるホストと RX63N、RX631 の通信は、ホストから送信する “ コマンド ” と RX63N、RX631 からの応答である “ レスポンス ” とで構成されています。

コマンドの説明文中において、“SUM” はチェックサムを意味し、RX63N、RX631 が送信した各バイトを合計した場合に、“00h” になるように計算されたバイトデータを指します。“ サイズ ” はコマンド (先頭 1 バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

また、ホストが未定義のコマンドを送信した場合、RX63N、RX631 はコマンドエラーのレスポンスを返します。

コマンドエラーのレスポンスの内容は以下の通りです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス	80h	コマンド

47.8.7 問い合わせ / 設定コマンド待ち

表 47.16 に問い合わせ / 設定コマンド待ちで使用可能なコマンドの一覧を示します。ブートプログラムステータス問い合わせコマンドは、P/E コマンド待ちでも使用可能です。その他のコマンドは、問い合わせ / 設定コマンド待ちでのみ使用可能です。

表47.16　問い合わせ/設定コマンド

コマンド名	機能
サポートデバイス問い合わせ	デバイスコードとシリーズ名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
クロックモード選択	選択されているクロックモードの通知
逓倍比問い合わせ	クロック種類、逓倍比/分周比の種類、逓倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザブート領域情報問い合わせ	ユーザブート領域の個数、先頭/最終アドレスの問い合わせ
ユーザ領域情報問い合わせ	ユーザ領域の個数、先頭/最終アドレスの問い合わせ
ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
プログラムサイズ問い合わせ	プログラム時のデータ長の問い合わせ
データ領域有無問い合わせ	データ領域有無の問い合わせ
データ領域情報問い合わせ	データ領域の個数、先頭/最終アドレスの問い合わせ
新ビットレート選択	ホスト⇔RX63N、RX631間のSCI通信のビットレートを変更
P/Eステータス遷移	IDコードプロテクト判定に遷移
ブートプログラムステータス問い合わせ	処理状態の問い合わせ

問い合わせ / 設定コマンド待ちでは、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、RX63N、RX631 の設定を行ってください。また、サポートデバイス問い合わせ / クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、RX63N、RX631 がコマンドエラーのレスポンスを送信します。図 47.31 に問い合わせ / 設定コマンド待ちでのコマンド使用例を示します。

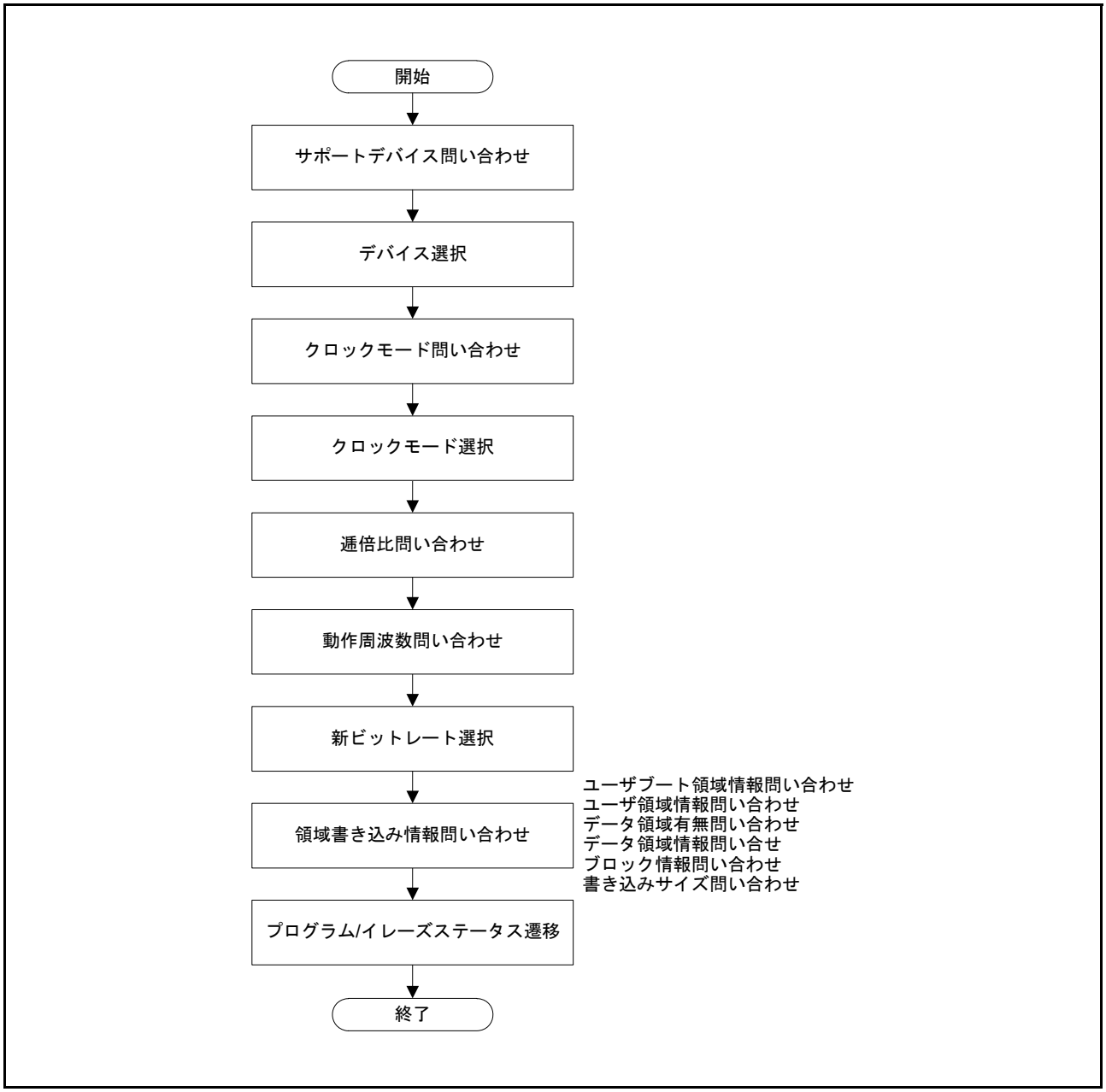


図 47.31 問い合わせ / 設定コマンドの使用例

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートプログラムでサポート可能なデバイス情報を RX63N、RX631 が送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、RX63N、RX631 は選択したデバイスの情報のみ送信します。

RX63N、RX631 はサポートデバイス問い合わせコマンドのレスポンスとして、リトルエンディアン指定とビッグエンディアン指定の 2 つのデバイス情報をそれぞれ順に送信します。

コマンド	20h			
レスポンス	30h	サイズ	デバイス数	
	文字数	デバイスコード（リトルエンディアン指定）		シリーズ名
	文字数	デバイスコード（ビッグエンディアン指定）		シリーズ名
	SUM			

サイズ（1バイト）　：デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数
デバイス数（1バイト）　：ブートプログラムがサポートする品種数
文字数（1バイト）　：デバイスコードとシリーズ名の文字数
デバイスコード（4バイト）　：チップ認識コード
シリーズ名（nバイト）　：サポートデバイス名のASCIIコード
SUM（1バイト）　：チェックサム

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、RX63N、RX631 は指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、レスポンス（06h）を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、RX63N、RX631 はエラーレスポンス（90h）を送信します。

サポートデバイス問い合わせコマンドが送信する 2 つのデバイス情報から、プログラムするデータに応じて、いずれかのエンディアン指定のデバイスコードを選択してください。

コマンド	10h	サイズ	デバイスコード	SUM
レスポンス	06h			
エラーレスポンス	90h	エラー		

サイズ（1バイト）　：デバイスコードの文字数（固定値で4）
デバイスコード（4バイト）　：チップシリーズ名のASCIIコード
（サポートデバイス問い合わせコマンドの応答と同一のコード）
SUM（1バイト）　：チェックサム
エラー（1バイト）　：エラーコード
11h：チェックサムエラー（コマンドが不正）
21h：デバイスコードエラー

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを RX63N、RX631 が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、RX63N、RX631 は選択したクロックモードの情報のみ送信します。

コマンド	21h	
レスポンス	31h	サイズ
	モード	
	SUM	

サイズ（1バイト）　：モード数、モードの総バイト数
モード（1バイト）　：選択可能なクロックモード（例：01h　クロックモード1）
SUM（1バイト）　：チェックサム

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、RX63N、RX631 は指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、RX63N、RX631 はクロックモードを指定したモードに変更し、レスポンス（“06h”）を送信します。サポート可能なモードでなかった場合や、送信されたコマンドが不正であった場合には、RX63N、RX631 はエラーレスポンス（“91h”）を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が “00h” または “01h” であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	11h	サイズ	モード	SUM
レスポンス	06h			
エラー レスポンス	91h	エラー		

サイズ（1バイト）　：モードの文字数（固定値で1）
モード（1バイト）　：クロックモード（クロックモード問い合わせコマンドの応答と同一のモード）
SUM（1バイト）　：チェックサム
エラー（1バイト）　：エラーコード
11h：チェックサムエラー（コマンドが不正）
22h：クロックモードエラー

(5) 逓倍比問い合わせ

ホストが逓倍比問い合わせコマンドを送信すると、クロック種類、逓倍比 / 分周比の種類、逓倍比 / 分周比の情報を RX63N、RX631 が送信します。

コマンド

22h

レスポンス

32h	サイズ	クロック数		
逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
SUM				

サイズ（1バイト）　：クロック数、逓倍比種類、逓倍比のデータの総バイト数

クロック数（1バイト）　：クロックの種類（例：02h　システムクロックと周辺クロックの2種類）

逓倍比種類（1バイト）　：選択可能な逓倍比/分周比の種類
（例：04h　システムクロックは1逓倍、2逓倍、4逓倍、8逓倍の4種類）

逓倍比（1バイト）　：逓倍比（例：04h = 4　4逓倍）← 正の数で指定
分周比（例：FEh = -2　2分周）← 負の数で指定

SUM（1バイト）　：チェックサム

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を RX63N、RX631 が送信します。

コマンド

23h

レスポンス

33h	サイズ	クロック数
最小周波数		最大周波数
最小周波数		最大周波数
SUM		

サイズ（1バイト）　：クロック数、最小周波数、最大周波数のデータの総バイト数

クロック数（1バイト）　：クロックの種類（例：02h　システムクロックと周辺クロックの2種類）

最小周波数（2バイト）　：動作周波数の最小値（例：07D0h　20.00MHz）
周波数（MHz）の小数点第2位までの値を100倍した値

最大周波数（2バイト）　：動作周波数の最大値
書式は最小周波数と同様

SUM（1バイト）　：チェックサム

(7) ユーザブート領域情報問い合わせ

ホストがユーザブート領域情報を問い合わせると、ユーザブート領域の領域数とアドレスの情報を RX63N、RX631 が送信します。

コマンド	24h		
レスポンス	34h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ（1バイト）　：領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数
領域数（1バイト）　：ユーザブート領域の領域数（連続した領域は 1領域と数えます。）
領域先頭アドレス（4バイト）　：ユーザブート領域の先頭アドレス
領域最終アドレス（4バイト）　：ユーザブート領域の最終アドレス
SUM（1バイト）　：チェックサム

(8) ユーザ領域情報問い合わせ

ホストがユーザ領域情報を問い合わせると、ユーザ領域の領域数とアドレスの情報を RX63N、RX631 が送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ（1バイト）　：領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数
領域数（1バイト）　：ユーザ領域の領域数（連続した領域は 1領域と数える）
領域先頭アドレス（4バイト）　：ユーザ領域の先頭アドレス
領域最終アドレス（4バイト）　：ユーザ領域の最終アドレス
SUM（1バイト）　：チェックサム

(9) ブロック情報問い合わせ

ホストがブロック情報を問い合わせると、ユーザ領域とデータ領域を合計したブロック数とアドレスの情報を RX63N、RX631 が送信します。

コマンド

26h

レスポンス

36h	サイズ	ブロック数
ブロック先頭アドレス		
ブロック最終アドレス		
ブロック先頭アドレス		
ブロック最終アドレス		
・・・		
ブロック先頭アドレス		
ブロック最終アドレス		
SUM		

サイズ（2バイト）　：ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
ブロック数（1バイト）　：ユーザ領域のブロック数
ブロック先頭アドレス（4バイト）　：ブロックの先頭アドレス
ブロック最終アドレス（4バイト）　：ブロックの最終アドレス
SUM（1バイト）　：チェックサム

(10) プログラムサイズ問い合わせ

ホストがプログラムサイズを問い合わせると、RX63N、RX631 がプログラムサイズの情報を送信します。

コマンド

27h

レスポンス

37h	サイズ	プログラムサイズ	SUM

サイズ（1バイト）　：プログラムサイズの文字数（固定値で2）
プログラムサイズ（2バイト）　：プログラム単位（バイト単位）
SUM（1バイト）　：チェックサム

(11) データ領域有無問い合わせ

ホストがデータ領域有無問い合わせコマンドを送信すると、データ領域が有ることを示す情報を RX63N、RX631 が送信します。

コマンド

2Ah

レスポンス

3Ah	サイズ	領域有無	SUM

サイズ（1バイト）　：領域有無の文字数（固定値で1）
領域有無（1バイト）　：データ領域の有無（固定値で21h）
21h：データ領域あり
SUM（1バイト）　：チェックサム

(12)データ領域情報問い合わせ

ホストがデータ領域情報問い合わせコマンドを送信すると、データ領域の領域数とアドレスの情報をRX63N、RX631 が送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ（1バイト）	：領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数
領域数（1バイト）	：データ領域の領域数（連続した領域は1領域と数えます。）
領域先頭アドレス（4バイト）	：データ領域の先頭アドレス
領域最終アドレス（4バイト）	：データ領域の最終アドレス
SUM（1バイト）	：チェックサム

データ領域のブロック構成の情報は、ブロック情報問い合わせコマンド（**「47.8.7　問い合わせ / 設定コマンド待ち」**を参照）のレスポンスに含まれます。

(13)新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、RX63N、RX631 は内蔵 SCI を指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、RX63N、RX631 はレスポンス（“06h”）を送信し、SCI を新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、RX63N、RX631 はエラーレスポンス（“BFh”）を送信します。ホストはレスポンス（“06h”）を受信すると、新ビットレート選択コマンド送信時のビットレートで 25ms ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ（“06h”）を送信し、RX63N、RX631 は確認データのレスポンス（“06h”）を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

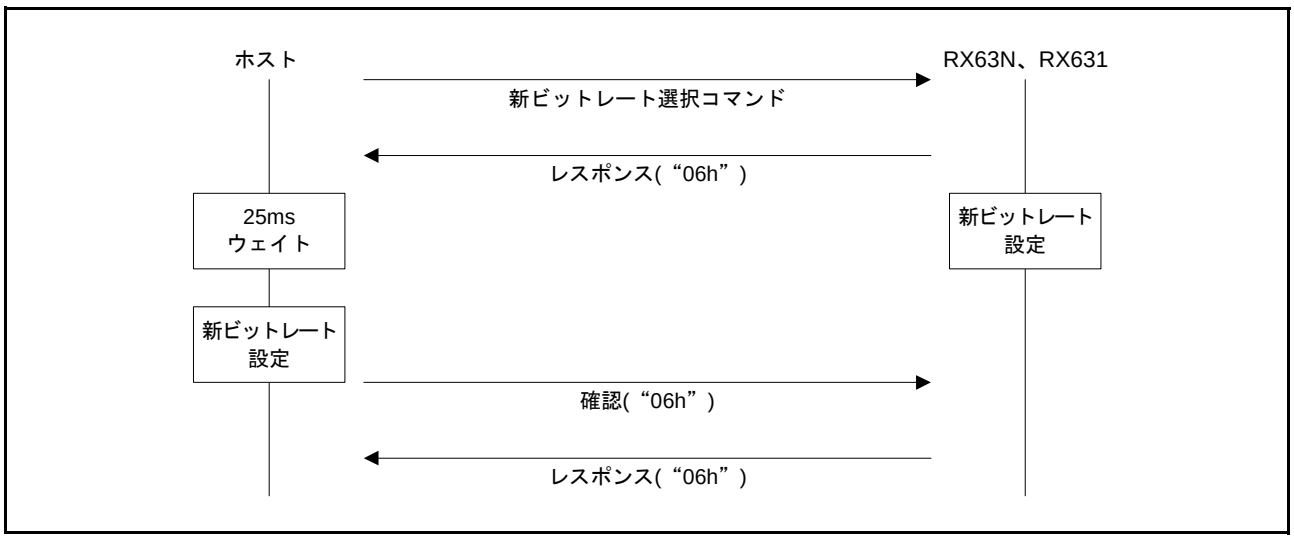


図 47.32　新ビットレート選択のシーケンス

コマンド	3Fh	サイズ	ビットレート	入力周波数
	クロック数	逓倍比 1	逓倍比 2	
	SUM			
レスポンス	06h			
エラー レスポンス	BFh	エラー		
確認	06h			
レスポンス	06h			

サイズ（1バイト）　：ビットレート、入力周波数、クロック数、逓倍比のデータの総バイト数

ビットレート（2バイト）　：新ビットレート（例：00C0h　19200bps）
ビットレート値を1/100した値を設定

入力周波数（2バイト）　：RX63N、RX631の入力周波数（例：04E2h　12.50MHz）
入力周波数の小数点第2位までを100倍した値を設定

クロック数（1バイト）　：クロックの種類（固定値：02h　システムクロックと周辺クロックの2種類）

逓倍比1（1バイト）　：入力周波数に対するシステムクロック（ICLK）の逓倍比/分周比
逓倍比（例：04h = 4　4逓倍）← 正の数で指定
分周比（例：FEh = -2　2分周）← 負の数で指定

逓倍比2（1バイト）　：入力周波数に対する周辺クロック（PCLK）の逓倍比/分周比
逓倍比1と同じフォーマット

SUM（1バイト）　：チェックサム

エラー　：エラーコード
11h：チェックサムエラー
24h：ビットレート選択不可エラー
25h：入力周波数エラー
26h：逓倍比エラー
27h：動作周波数エラー

- ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、RX63N、RX631 の SCI が誤差 4% 未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートを B、入力周波数を f_{EX}、逓倍比 2 を $M_{P\varphi}$、SCI のビットレートレジスタ（BRR）の設定値を N、シリアルモードレジスタ（SMR）の CKS[1:0] ビットの設定値を n とした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差（\%）} = \left\{ \frac{f_{EX} \times M_{P\varphi} \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$$

- 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値から最大値の範囲外であった場合に入力周波数エラーが発生します。

- 逓倍比エラー

新ビットレート選択コマンドで指定した逓倍比が、クロックモード選択コマンドで指定したクロックモードに対応する逓倍比でなかった場合に逓倍比エラーが発生します。選択可能な逓倍比を確認するためには逓倍比問い合わせコマンドを使用してください。

- 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数で RX63N、RX631 が動作できない場合に動作周波数エラーが発生します。RX63N、RX631 は、新ビットレート選択コマンドで指定された入力周波数、逓倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(14) P/E ステータス遷移

ホストが P/E ステータス遷移コマンドを送信すると、RX63N、RX631 は ROM 上に書かれている制御コードおよび ID コードにより、ID コードプロテクトの有効 / 無効を判定します。ID コードプロテクト有効時は、レスポンス（“16h”）を送信し、ID コード待ちへ遷移し、ID コードプロテクト無効時はユーザ領域 / ユーザブート領域 / データ領域を全面イレーズします。(注 1) 全面イレーズが完了すると、RX63N、RX631 はレスポンス（“26h”）を送信し、P/E コマンド待ちに遷移します。エラーが発生してイレーズが完了しなかった場合には、RX63N、RX631 はエラーレスポンス（“C0h”、“51h”）を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、P/E ステータス遷移コマンドを発行しないでください。

注 1.　USB ブートプログラムがユーザブート領域に格納されている場合、ユーザブート領域を消去しません。

コマンド	40h	
レスポンス	ACK	
エラー レスポンス	C0h	51h

ACK（1 バイト）　：ACK コード
　　26h：ID コードプロテクト無効の場合
　　16h：ID コードプロテクト有効の場合

(15) ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、RX63N、RX631 は現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ / 設定コマンド待ちと P/E コマンド待ちで使用可能です。

コマンド	4Fh			
レスポンス	5Fh	サイズ	ステータス	エラー

サイズ（1バイト）　：ステータス、エラーのデータの総バイト数（固定値で2）
ステータス（1バイト）　：RX63N、RX631の状態（表47.17を参照）
エラー（1バイト）　：RX63N、RX631のエラー発生状況（表47.18を参照）

表47.17　ステータスの内容

コード	内容
11h	デバイス選択待ち
12h	クロックモード選択待ち
13h	ビットレート選択待ち
1Fh	P/Eコマンド待ちへの遷移待ち（ビットレート選択完了）
31h	ユーザ領域のイレーズ中/ユーザブート領域のイレーズ中
3Fh	P/Eコマンド待ち
4Fh	プログラムデータ受信待ち
5Fh	イレーズブロック指定待ち

表47.18　エラーの内容

コード	内容
00h	エラーなし
11h	チェックサムエラー
21h	デバイスコードエラー
22h	クロックモードエラー
24h	ビットレート選択不可エラー
25h	入力周波数エラー
26h	逓倍比エラー
27h	動作周波数エラー
29h	ブロック番号エラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	未イレーズエラー
53h	プログラムエラー
54h	選択処理エラー
80h	コマンドエラー
FFh	ビットレート合わせ込み確認エラー

47.8.8 ID コード待ち

表 47.19 に ID コード待ちで使用可能なコマンドの一覧を示します。

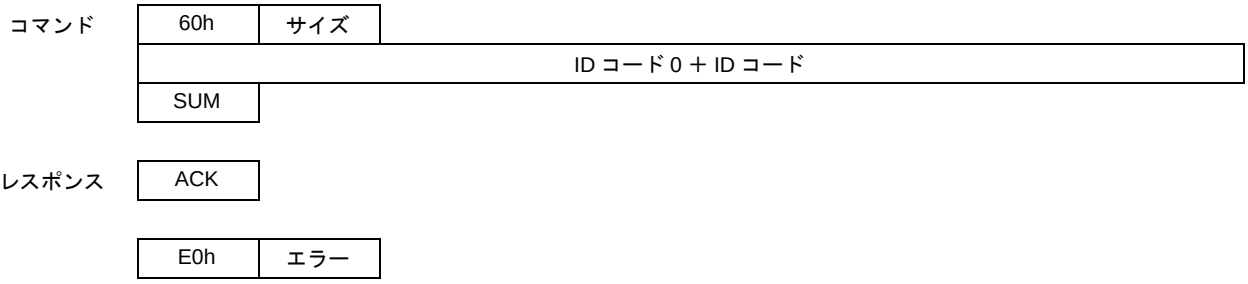
表47.19　IDコードチェックコマンド

コマンド名	機能
IDコードチェック	IDコードチェックを実施

ホストが未定義のコマンドを送信した場合は、RX63N、RX631 がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「47.8.7　問い合わせ / 設定コマンド待ち」を参照してください。

(1) ID コードチェック

ホストが ID コードチェックコマンドを送信すると、RX63N、RX631 は ROM 上の制御コードおよび ID コードとホストから送られてきたコードを比較し、結果を返信します。



サイズ（1バイト）　：IDコードのバイト数（固定値で16）
IDコード（16バイト）　：IDコード0（1バイト）＋IDコード（15バイト）
SUM（1バイト）　：チェックサム
ACK（1バイト）　：ACKコード
26h：P/Eコマンド待ち遷移に対する応答
エラー（1バイト）　：エラーコード
11h：チェックサムエラー
61h：IDコード不一致
63h：IDコード不一致[イレーズエラー]
IDコード不一致でイレーズ実行の結果、エラーとなった場合

47.8.9　P/E コマンド待ち

表 47.20 に P/E コマンド待ちで使用可能なコマンドの一覧を示します。

表47.20　P/Eコマンド

コマンド名	機能
ユーザブート領域プログラム選択	ユーザブート領域プログラムを選択
ユーザ/データ領域書き込み選択	ユーザ/データ領域プログラムを選択
256バイトプログラム	256バイトプログラム
イレーズ選択	イレーズを選択
ブロックイレーズ	ブロックデータのイレーズ
メモリリード	メモリの読み出し
ユーザブート領域チェックサム	ユーザブート領域のチェックサム
ユーザ領域チェックサム	ユーザ領域のチェックサム
データ領域チェックサム	データ領域のチェックサム
ユーザブート領域ブランクチェック	ユーザブート領域のブランクチェック
ユーザ領域ブランクチェック	ユーザ領域のブランクチェック
データ領域ブランクチェック	データ領域のブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットのプログラム
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
ブートプログラムステータス問い合わせ	RX63N、RX631の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX63N、RX631 がコマンドエラーのレスポンスを送信します。
コマンドエラーの内容は、**「47.8.7　問い合わせ / 設定コマンド待ち」**を参照してください。

ROM のプログラムを実行する場合には、ホストからプログラム選択コマンド（ユーザ / データ領域書き込み選択 / ユーザブート領域プログラム選択）を送信後、256 バイトプログラムコマンドを送信します。E2 データフラッシュのプログラムを実行する場合は、ユーザ / データ領域書き込み選択コマンドを発行後、256 バイトプログラムコマンドでプログラムするアドレスにデータ領域のアドレスを指定します。ホストがプログラム選択コマンドを送信すると、RX63N、RX631 はプログラムデータ待ちになります（**「47.8.2　ブートモードの状態遷移」**を参照）。プログラムデータ待ちの状態で、ホストが 256 バイトプログラムコマンドを送信すると、RX63N、RX631 は ROM / E2 データフラッシュにデータをプログラムします。ホストがプログラム先のアドレスを “FFFF FFFFh” に設定して 256 バイトプログラムコマンドを送信すると、RX63N、RX631 はプログラム終了と判定し、P/E コマンド待ちに遷移します。

ROM / E2 データフラッシュのイレーズを実行する場合には、ホストからイレーズ選択コマンドを送信後、ブロックイレーズコマンドを送信します。ホストがイレーズ選択コマンドを送信すると、RX63N、RX631 はイレーズブロック指定待ちになります（**「47.8.2　ブートモードの状態遷移」**を参照）。イレーズブロック指定待ちの状態で、ホストがブロックイレーズコマンドを送信すると、RX63N、RX631 は ROM / E2 データフラッシュをブロックイレーズします。ホストがブロック番号に “FFh” を設定してブロックイレーズコマンドを送信すると、RX63N、RX631 はイレーズ終了と判定し、P/E コマンド待ちに遷移します。

データ領域の読み出しを行う場合は、メモリリードコマンドでユーザ領域を選択し、読み出し対象アドレスにデータ領域のアドレスを指定します。

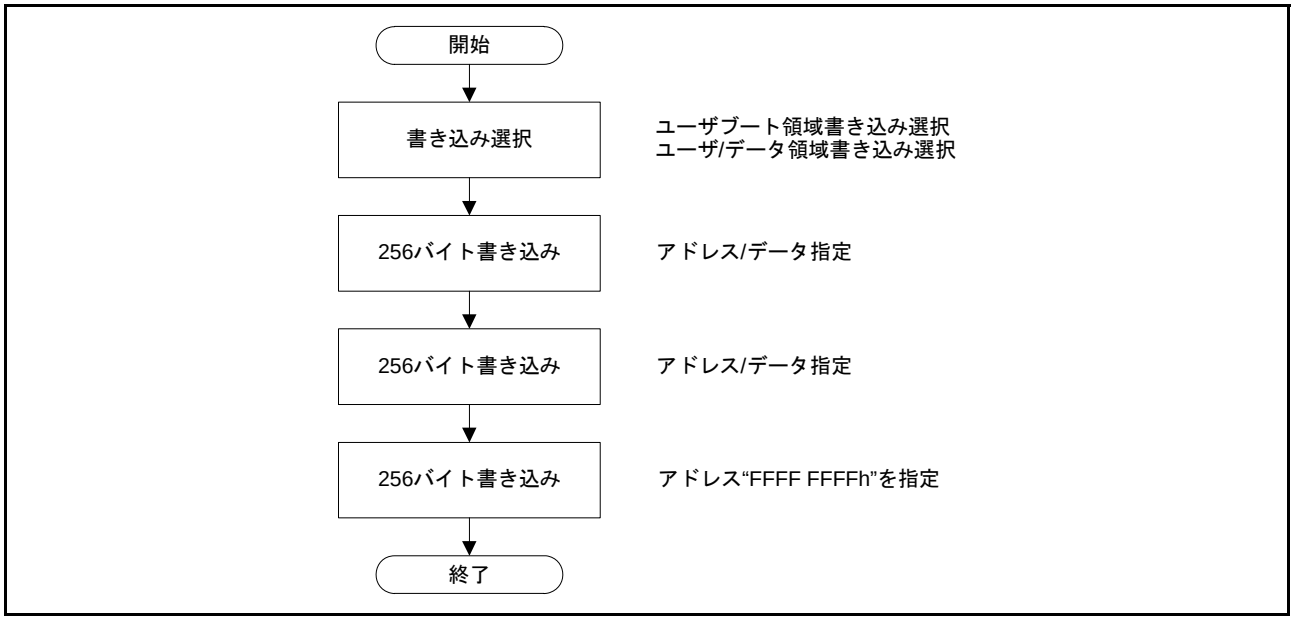


図 47.33　ブートモードでの ROM / E2 データフラッシュのプログラム方法

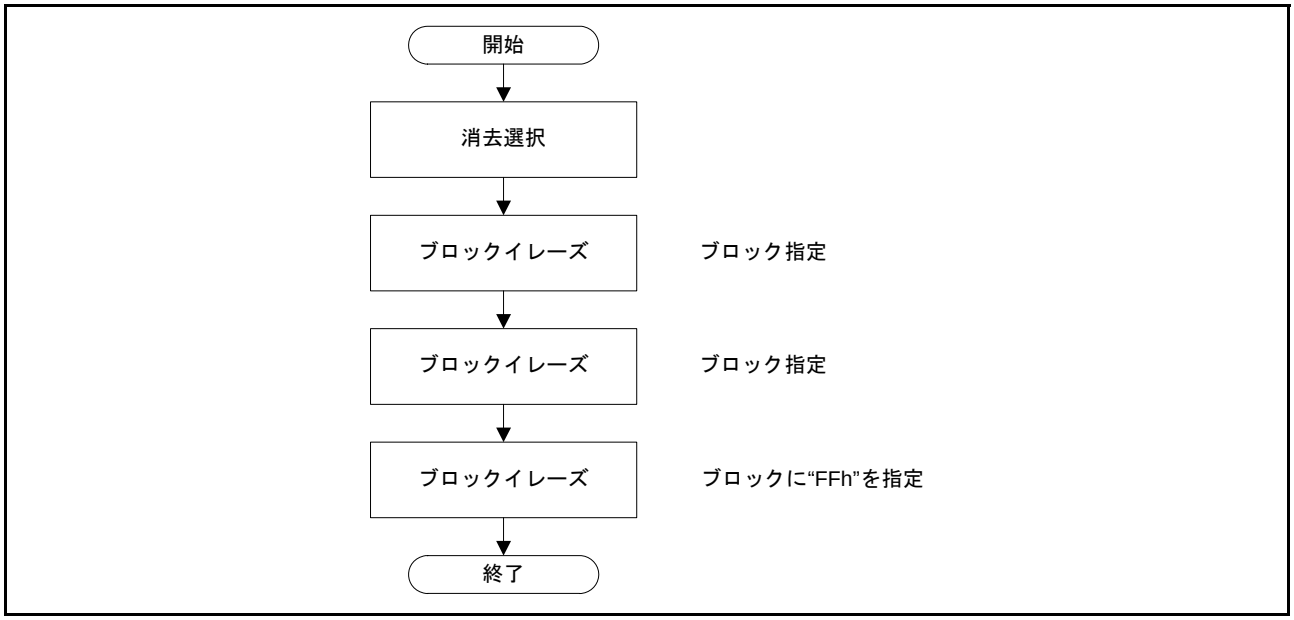


図 47.34　ブートモードでの ROM / E2 データフラッシュのイレーズ方法

各コマンドの詳細を以下に説明します。説明文中の “ コマンド ” はホストから RX63N、RX631 に送信するコマンド、“ レスポンス ” は RX63N、RX631 からホストに送信する応答です。“ チェックサム ” は、送信した各バイトを合計した場合に、“00h” になるように計算されたバイトデータを指します。

(1) ユーザブート領域プログラム選択

ホストがユーザブート領域プログラム選択コマンドを送信すると、RX63N、RX631 はユーザブート領域書き込みプログラムを選択し、プログラムデータ待ちになります。

コマンド	42h
レスポンス	06h

(2) ユーザ / データ領域書き込み選択

ホストがユーザ / データ領域書き込み選択コマンドを送信すると、RX63N、RX631 はユーザ / データ領域書き込みプログラムを選択し、プログラムデータ待ちになります。E2 データフラッシュにプログラムを実行する前にはユーザ / データ領域書き込み選択コマンドを送信する必要があります。

コマンド	43h
レスポンス	06h

(3) 256 バイトプログラム

ホストが 256 バイトプログラムコマンドを送信すると、RX63N、RX631 は ROM / E2 データフラッシュのプログラムを実行します。ROM / E2 データフラッシュのプログラムが正常に終了すると、RX63N、RX631 はレスポンス（“06h”）を送信します。プログラム処理中にエラーが発生すると、RX63N、RX631 はエラーレスポンス（“D0h”）を送信します。

コマンド	50h	プログラムアドレス		
	データ	データ	・・・	データ
	SUM			
レスポンス	06h			
エラー				
レスポンス	D0h	エラー		

プログラムアドレス（4バイト）	：プログラム先のアドレス プログラム実行時には256バイト境界にアラインしたアドレス プログラム終了を指定する場合にはFFFF FFFFhを送信
データ（256バイト）	：プログラムデータ プログラム不要なバイトにはFFhを指定 プログラム終了を指定する場合にはデータの送信は不要（プログラムアドレス→SUMの順で送信する）
SUM（1バイト）	：チェックサム
エラー（1バイト）	：エラーコード 11h：チェックサムエラー 2Ah：アドレスエラー（アドレスが指定の領域内にない） 53h：プログラムエラーが発生し書き込めない

(4) イレーズ選択

ホストがイレーズ選択コマンドを送信すると、RX63N、RX631 はイレーズを選択し、イレーズブロック指定待ちになります。

コマンド	48h
レスポンス	06h

(5) ブロックイレーズ

ホストがブロックイレーズコマンドを送信すると、RX63N、RX631 は ROM / E2 データフラッシュのイレーズを実行します。ROM / E2 データフラッシュのイレーズが正常に終了すると、RX63N、RX631 はレスポンス（“06h”）を送信します。イレーズ処理中にエラーが発生すると、RX63N、RX631 はエラーレスポンス（“D8h”）を送信します。

コマンド	58h	サイズ	ブロック	SUM
レスポンス	06h			

エラー レスポンス	D8h	エラー

サイズ（1バイト）	：ブロックのデータのバイト数（固定値で1）
ブロック（1バイト）	：イレーズするブロックの番号 イレーズ終了を指定する場合にはFFhを送信
SUM（1バイト）	：チェックサム
エラー（1バイト）	：エラーコード 11h：チェックサムエラー 29h：ブロック番号エラー（ブロック番号が正しくない） 51h：イレーズエラーが発生しイレーズできない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、RX63N、RX631 は ROM / E2 データフラッシュに対するリードを実行します。正常にリードが実行された場合には、RX63N、RX631 はメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX63N、RX631 はエラーレスポンス（“D2h”）を送信します。

コマンド	52h	サイズ	領域	読み出し先頭アドレス
	読み出しサイズ			SUM

レスポンス	52h	読み出しサイズ		
	データ	データ	・・・	データ
	SUM			

エラーレスポンス	D2h	エラー

サイズ（1バイト）　：領域、読み出しアドレス、読み出しサイズのデータの総バイト数

領域（1バイト）　：読み出し対象の領域
00h：ユーザブート領域
01h：ユーザ領域、データ領域

読み出し先頭アドレス（4バイト）　：読み出し対象領域の先頭アドレス

読み出しサイズ（4バイト）　：読み出すデータのサイズ（バイト単位）

SUM（1バイト）　：チェックサム

データ（読み出しサイズ）　：ROM / E2データフラッシュから読み出したデータ

エラー（1バイト）　：エラーコード
11h：チェックサムエラー
2Ah：アドレスエラー
・領域の選択で00h、01h以外を指定
・読み出し先頭アドレスが指定した領域の領域外
2Bh：サイズエラー
・読み出しサイズの選択で00hを指定
・読み出しサイズが領域のサイズを超えている
・読み出し先頭アドレスと読み出しサイズから計算されたアドレスが指定された領域の範囲外

(7) ユーザブート領域チェックサム

ホストがユーザブート領域チェックサムコマンドを送信すると、RX63N、RX631 はユーザブート領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	4Ah			

レスポンス	5Ah	サイズ	領域のチェックサム	SUM

サイズ（1バイト）　：領域のチェックサムのバイト数（固定値で4）

領域のチェックサム（4バイト）　：ユーザブート領域のチェックサム結果

SUM（1バイト）　：チェックサム（レスポンスデータのチェックサム）

(8) ユーザ領域チェックサム

ホストがユーザ領域チェックサムコマンドを送信すると、RX63N、RX631 はユーザ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	4Bh			
レスポンス	5Bh	サイズ	領域のチェックサム	SUM

サイズ（1バイト）　：領域のチェックサムのバイト数（固定値で4）

領域のチェックサム（4バイト）　：ユーザ領域のチェックサム結果
ユーザ領域にはデバッグ機能認証用のキーコードも含まれています。
加算結果にキーコード値が含まれることに注意してください。

SUM（1バイト）　：チェックサム（レスポンスデータのチェックサム）

(9) データ領域チェックサム

ホストがデータ領域チェックサムコマンドを送信すると、RX63N、RX631 はデータ領域のデータをバイト単位で加算した結果（チェックサム）を送信します。

コマンド	61h			
レスポンス	71h	サイズ	領域のチェックサム	SUM

サイズ（1バイト）　：領域のチェックサムのバイト数（固定値で4）

領域のチェックサム（4バイト）　：データ領域のチェックサム結果

SUM（1バイト）　：チェックサム（レスポンスデータのチェックサム）

(10) ユーザブート領域ブランクチェック

ホストがユーザブート領域ブランクチェックコマンドを送信すると、RX63N、RX631 はユーザブート領域がすべてイレーズされた状態であるかをチェックします。ユーザブート領域がすべてイレーズされた状態であった場合には、RX63N、RX631 はレスポンス（“06h”）を送信します。ユーザブート領域にイレーズされていない領域が存在した場合には、RX63N、RX631 はエラーレスポンス（“CCh”、“52h”）を送信します。

コマンド	4Ch	
レスポンス	06h	
エラー レスポンス	CCh	52h

(11)ユーザ領域ブランクチェック

ホストがユーザ領域ブランクチェックコマンドを送信すると、RX63N、RX631 はユーザ領域がすべてイレーズされた状態であるかをチェックします。ユーザ領域がすべてイレーズされた状態であった場合には、RX63N、RX631 はレスポンス（“06h”）を送信します。ユーザ領域にイレーズされていない領域が存在した場合には、RX63N、RX631 はエラーレスポンス（“CDh”、“52h”）を送信します。

コマンド	4Dh	
レスポンス	06h	
エラーレスポンス	CDh	52h

(12)データ領域ブランクチェック

ホストがデータ領域ブランクチェックコマンドを送信すると、RX63N、RX631 はデータ領域がすべてイレーズされた状態であるかをチェックします。データ領域がすべてイレーズされた状態であった場合には、RX63N、RX631 はレスポンス（“06h”）を送信します。データ領域にイレーズされていない領域が存在した場合には、RX63N、RX631 はエラーレスポンス（“E2h”、“52h”）を送信します。

コマンド	62h	
レスポンス	06h	
エラーレスポンス	E2h	52h

(13) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、RX63N、RX631 はロックビットに対するリードを実行します。正常にリードが実行された場合には、RX63N、RX631 はリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX63N、RX631 はエラーレスポンス（“F1h”）を送信します。

コマンド	71h	サイズ	領域	A15 ～ A8	A23 ～ A16	A31 ～ A24	SUM

A15～A8（1バイト）　：指定ブロックの最後尾のアドレス（15～8ビット）
A23～A16（1バイト）　：指定ブロックの最後尾のアドレス（23～16ビット）
A31～A24（1バイト）　：指定ブロックの最後尾のアドレス（31～24ビット）

レスポンス	ステータス	

エラー レスポンス	F1h	エラー

サイズ（1バイト）　：領域、A15～A8、A23～A16、A31～A24のデータの総バイト数
（RX63N、RX631では固定値で4）

領域（1バイト）　：読み出し対象の領域
01h：ユーザ領域

A15～A8（1バイト）　：指定ブロックの最後尾のアドレスのA15～A8（8～15ビット）
A23～A16（1バイト）　：指定ブロックの最後尾のアドレスのA23～A16（16～23ビット）
A31～A24（1バイト）　：指定ブロックの最後尾のアドレスのA31～A24（24～31ビット）

SUM（1バイト）　：チェックサム
ステータス（1バイト）　：ビット6が“0”でロック状態
ビット6が“1”でアンロック状態

エラー（1バイト）　：エラーコード
11h：チェックサムエラー
2Ah：アドレスエラー（アドレスが指定の領域内にない）

(14) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、RX63N、RX631 はロックビットのプログラムを行い、指定ブロックをロック状態にします。正常にロックされた場合には、RX63N、RX631 はレスポンス（“06h”）を送信します。ロックされなかった場合には、RX63N、RX631 はエラーレスポンス（“F7h”）を送信します。

コマンド	77h	サイズ	領域	中位アドレス	上位アドレス	最上位アドレス	SUM

レスポンス	06h

エラー レスポンス	F7h	エラー

サイズ（1バイト）　：領域、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数
（RX63N、RX631では固定値で4）

領域（1バイト）　：ロック対象の領域
01h：ユーザ領域

中位アドレス（1バイト）　：指定ブロックの最後尾のアドレスの中位アドレス（8～15ビット）

上位アドレス（1バイト）　：指定ブロックの最後尾のアドレスの上位アドレス（16～23ビット）

最上位アドレス（1バイト）　：指定ブロックの最後尾のアドレスの最上位アドレス（24～31ビット）

SUM（1バイト）　：チェックサム

エラー（1バイト）　：エラーコード
11h：チェックサムエラー
2Ah：アドレスエラー（アドレスが指定の領域内にない）
53h：プログラムエラーが発生しロック状態にできない

(15) ロックビット有効

ホストがロックビット有効コマンドを送信すると、RX63N、RX631 はロックビットを有効にします。

コマンド	7Ah
レスポンス	06h

(16) ロックビット無効

ホストがロックビット無効コマンドを送信すると、RX63N、RX631 はロックビットを無効にします。

コマンド	75h
レスポンス	06h

(17) ブートプログラムステータス問い合わせ

「47.8.7　問い合わせ / 設定コマンド待ち」を参照してください。

47.9　USB ブートモード

USB ブートモードは、USB を経由して外部に接続されたホストから制御コマンドやプログラムデータを送信し、ユーザ領域への P/E を行うモードです。

USB ブートモードでは、制御コマンドやプログラムデータを送信するツールと、プログラムデータをホスト側に準備しておく必要があります。**図 47.35** に USB ブートモードのシステム構成を示します。USB ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

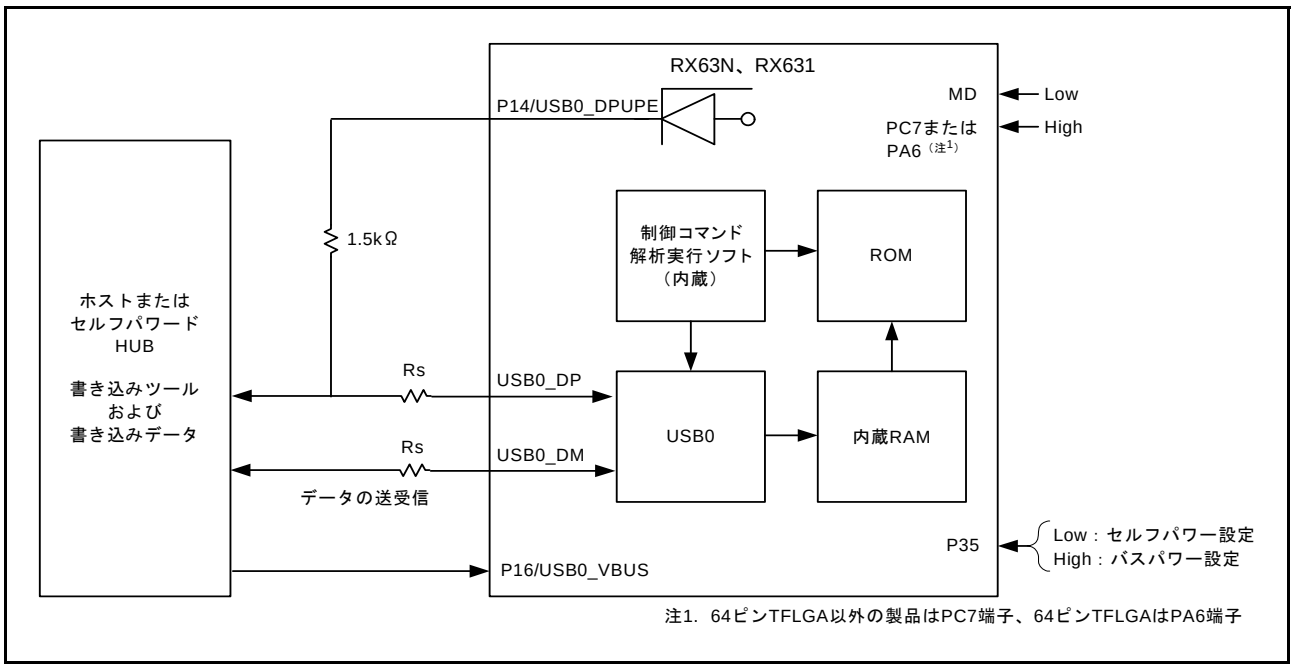


図 47.35　USB ブートモードのシステム構成図

47.9.1　特長

- バスパワーモードとセルフパワーモードを選択可能
- D+ プルアップ制御接続は USB0_DPUPE 端子のみ対応
- エニュメレーション情報は**表 47.21** を参照

表 47.21　エニュメレーション情報

USB 規格	Ver.2.0　(Full-speed)	
転送モード	コントロール転送（in, out） バルク転送（in, out）	
最大電力量	セルフパワーモード時（P35 端子=0）	100mA
	バスパワーモード時（P35 端子=1）	500mA
エンドポイント構成	EP0 Control (in out) 8Bytes Configuration1 └─InterfaceNumber0 　└─AlternateSetting0 　　├─EP1 Bulk (out) 64Bytes 　　└─EP2 Bulk (in) 64Bytes	

47.9.2　状態遷移

USB ブートモード起動後の状態遷移を図 47.36 に示します。

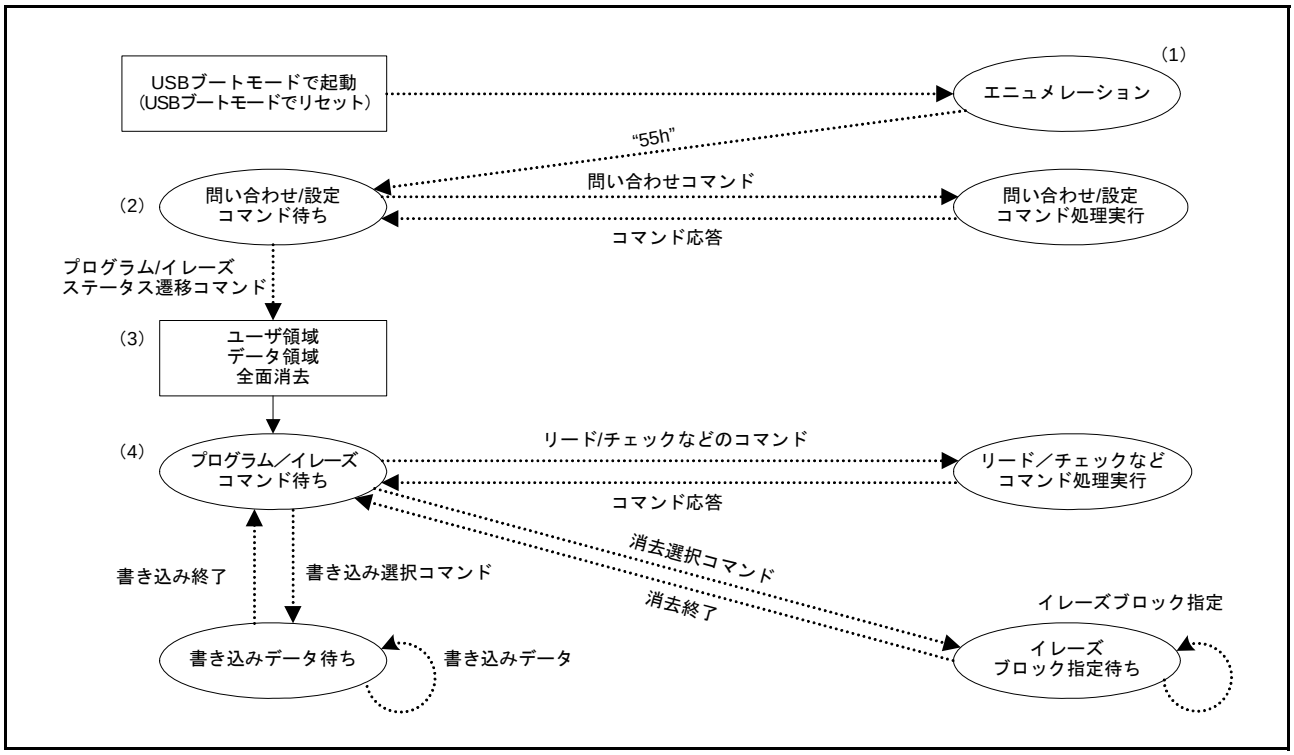


図 47.36　USB ブートモードの状態遷移

(1) USB ブートモードで起動すると、製品出荷時にユーザブート領域にプログラムされている USB ブートプログラムが動作します。ホストと RX63N、RX631 のエニュメレーションが完了したら、ホストから RX63N、RX631 へ “55h” を 1 バイト送信してください。RX63N、RX631 から “E6h” が返ってこなかった場合は、RX63N、RX631 をリセットしてください。

(2) ユーザ領域のサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。

(3) 問い合わせが終了するとすべてのユーザ領域とデータ領域を自動イレーズします。

(4) ユーザ領域自動イレーズ後は P/E コマンド待ちになります。プログラム選択コマンドを受信すると、プログラムデータ待ちに遷移します。イレーズ選択コマンドを受信すると、イレーズブロック指定待ちに遷移します。P/E コマンド以外に、ユーザ領域のチェックサム、ブランクチェック、メモリリード、および現在のステータス情報取得のコマンドがあります。

47.9.3　USB ブートモード実行時の注意点

(1) USB ブートモード時には 12MHz のクロック発振器を使用し、USB モジュールへは 48MHz のクロックを供給する必要があります。USB 専用クロック（UCLK）が 48MHz となるように外部クロックの周波数とクロック発振器を設定してください。USB ブートモード時には、12MHz 以外のクロック発振器は使用できません。詳細は「9.　クロック発生回路」を参照してください。

(2) D+ プルアップ制御接続は USB0_DPUPE 端子を使用してください。

(3) フラッシュメモリへの P/E 中における電源安定供給のために、バスパワード HUB を経由してケーブル接続はしないでください。

(4) フラッシュメモリへの P/E 中に USB ケーブルを抜かないでください。LSI に致命的な損傷を与える可能性があります。
(5) バスパワーモード時に USB バスがサスペンドモードに入っても低消費電力状態のソフトウェアスタンバイモードには移行しません。

47.10 オンチップデバッガ ID コードプロテクト

オンチップデバッガとの接続を禁止するための機能です。オンチップデバッガを接続する場合、ROM 上に書かれている制御コードおよび ID コードを使い、オンチップデバッガ ID コードプロテクトの有効 / 無効と、オンチップデバッガ ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、オンチップデバッガから送られてくるコードと、ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合、オンチップデバッガとの接続を許可します。一致しない場合、オンチップデバッガとの接続はできません。ただし、制御コードが “52h”、ID コード 1 から ID コード 7 に 50h,72h,6Fh,74h,65h,63h,74h を設定した場合、ID コード判定をせずに常に不一致とし、オンチップデバッガとの接続を禁止します。また、制御コードおよび ID コードがすべて “FFh” の場合、ID コード判定をせずに常に一致とし、オンチップデバッガとの接続を許可します。フラッシュメモリ上の ID コードの構成は、図 47.30 と同じです。

表 47.22　オンチップデバッガ ID コードプロテクト仕様

制御コード	ID コード	プロテクト状態	オンチップデバッガ接続時の動作
FFh	FFh,…,FFh （すべて FFh）	プロテクト無効	常に ID コード一致とし、オンチップデバッガとの接続を許可する
52h	50h,72h,6Fh,74h,65h,63h,74h, FFh,…,FFh	プロテクト有効	常に ID コード不一致とし、オンチップデバッガとの接続を禁止する
上記以外	上記以外	プロテクト有効	ID コード一致：オンチップデバッガ認証を完了し、オンチップデバッガとの接続を許可する。 ID コード不一致：再度、ID コード待ちに遷移する

47.11 ROM コードプロテクト

ROM コードプロテクトは、フラッシュライタを使用する場合にフラッシュメモリの読み出し、書き換えを禁止する機能です。フラッシュメモリ上の ROM コードは、32 ビット長のデータです。図 47.37 に ROM コードの構成を示します。ROM コードは 32 ビット単位で設定してください。

ROM コードプロテクトを解除する場合、ブートモードもしくはユーザプログラミングで ROM コードを含むユーザ領域のブロック EB00 をイレーズしてください。

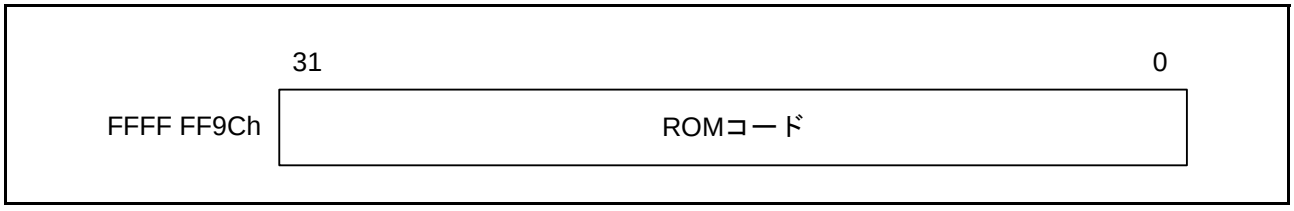


図 47.37　ROM コードの構成

表 47.23　ROM コードプロテクト仕様

ROM コード	プロテクト状態	フラッシュライタ接続時の動作
0000 0000h	ROM コードプロテクト有効 （ROM コードプロテクト 1）	ユーザ領域 / ユーザブート領域の読み出し、書き換えを禁止する
0000 0001h	ROM コードプロテクト有効 （ROM コードプロテクト 2）	ユーザ領域 / ユーザブート領域の読み出しを禁止する
上記以外	ROM コードプロテクト無効	ユーザ領域 / ユーザブート領域の読み出し、書き換えを許可する

47.12 使用上の注意事項 (ROM / E2 データフラッシュ共通)

(1) P/E サスペンド対象領域

P/E サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、P/E サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

(2) P/E サスペンドによる中断

P/E サスペンドコマンドによって P/E 処理を中断した場合は、レジュームコマンドにより動作を完了させてください。

(3) 追加プログラム禁止

同一領域に 2 回以上のプログラムを行うことはできません。プログラム済みの領域を再度プログラムする場合には、当該領域をイレーズしてください。

(4) P/E またはブランクチェック中のリセット

P/E またはブランクチェック中に RES# 端子からのリセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、t_{RESWF}（「51. 電気的特性」を参照）以上のリセット入力期間の後にリセットを解除してください。

P/E またはブランクチェック中に FRESETR.FRESET ビットにより FCU をリセットする場合は、リセット状態を t_{FCUR}（「51. 電気的特性」を参照）の時間保持してください。

FCU をリセットしている期間は、P/E またはブランクチェック対象の ROM の読み出しを行わないでください。

P/E またはブランクチェック中の WDT リセット、IWDT リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。

(5) P/E 中のノンマスカブル割り込み禁止

P/E 中にノンマスカブル割り込み（NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー / リフレッシュエラー、IWDT アンダフロー / リフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込み）が発生すると、ROM からのベクタのフェッチが発生し、不定データが読み出されます。このため、ROM への P/E 中にノンマスカブル割り込みが発生しないようにしてください。

（本禁止事項は、ROM にのみ適用されます。）

(6) P/E またはブランクチェック中の割り込みベクタの配置

P/E またはブランクチェック中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の割り込みテーブルレジスタ（INTB）により割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。

(7) 低速動作モード 1 、低速動作モード 2 での P/E

動作電力コントロールレジスタ（OPCCR）で低速動作モード 1 、低速動作モード 2 を選択した場合は、フラッシュへの P/E を行わないでください。

(8) P/E またはブランクチェック中の異常終了

P/E またはブランクチェック中の動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項（9）の禁止事項によって、P/E またはブランクチェックが正常に終了しなかった場合、ロックビットが “0”（プロテクト状態）になっている場合があります。この場合、FPROTR.FPROTCN ビットを “1” にした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。

その後、正常終了しなかった書き込みを再度やり直してください。

(9) P/E またはブランクチェック中の禁止事項

P/E またはブランクチェック中はフラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の禁止事項を守ってください。

- RX63N、RX631 への入力電圧は動作電圧未満にしないでください。
- FWEPROR.FLWE[1:0] ビットの値を更新しないでください。
- SYSCR0.ROME ビットの設定により、動作モードを変更しないでください。
- OPCCR.OPCM[2:0] ビットの値を更新しないでください。
- SCKCR3.CKSEL[2:0] ビットの設定により、クロックソースを変更しないでください。
- RSTCKCR.RSTCKEN ビットの設定により、スリープモードからの復帰時のクロックソース切り替えを有効にしないでください。
- FlashIF クロック（FCLK）の分周比を変更しないでください。
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。

(10) ブートモードあるいは USB ブートモードでフラッシュ書き換えを実施する場合の注意事項

ブートモードあるいは USB ブートモードでフラッシュ書き換えを実施する場合は、メインクロックの入力が必要です。ブートモードの場合は、XTAL 端子、EXTAL 端子間には「51.3.2 クロックタイミング」に示す範囲の発振子を接続してください。USB ブートモードの場合は、12MHz の発振子を接続してください。

(11) ブートモードでの EXTAL 端子の扱い

ブートモードを使用するときは、EXTAL 端子に外部から入力するか、発振子を接続してクロックを供給してください。

(12) USB ブートモードでの EXTAL 端子の扱い

USB ブートモードを使用するときは、EXTAL 端子に外部から入力するか、発振子を接続して 12MHz のクロックを供給してください。

47.13 使用上の注意事項 (E2 データフラッシュ)

(1) リセット後のデータ領域プロテクト状態

DFLREy、DFLWEy レジスタ (y=0,1) の初期値が “0000h” であるため、リセット後のデータ領域の読み出し /P/E は禁止状態です。データ領域の読み出しが必要な場合には DFLREy レジスタを設定してからデータ領域にアクセスしてください。また、データ領域の P/E が必要な場合には、DFLWEy レジスタを設定してから P/E 用の FCU コマンドを発行してください。レジスタを設定せずに読み出し /P/E を実行しようとすると、FCU がエラーを検出して、FASTAT.CMDLK ビットは “1”(コマンドロック状態) になります。

(2) 低速動作モード 2 での読み出し

低速動作モード 2 での E2 データフラッシュの読み出しはできません。読み出す場合は、低速動作モード 2 以外に移行してください。

48. バウンダリスキャン

RX63N グループ、RX631 グループは、バウンダリスキャン機能を内蔵しています。

バウンダリスキャンは、JTAG（Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）と同等なシリアル入出力インタフェースです。

48.1 概要

表 48.1 にバウンダリスキャンの仕様を示します。

図 48.1 にバウンダリスキャンのブロック図を示します。

表48.1　バウンダリスキャンの仕様

項目	内容
バウンダリスキャン有効/無効	EMLE端子をLow、かつBSCANP端子をHighとしたときにバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時、以下はJTAG専用端子（TDO/TCK/TDI/TMS/TRST#） 177ピンTFLGA/176ピンLFBGA：PF0/PF1/PF2/PF3/PF4 145ピンTFLGA：P26/P27/P30/P31/P34
6種類のテストモード	• BYPASSモード • EXTESTモード • SAMPLE/PRELOADモード • CLAMPモード • HIGHZモード • IDCODEモード

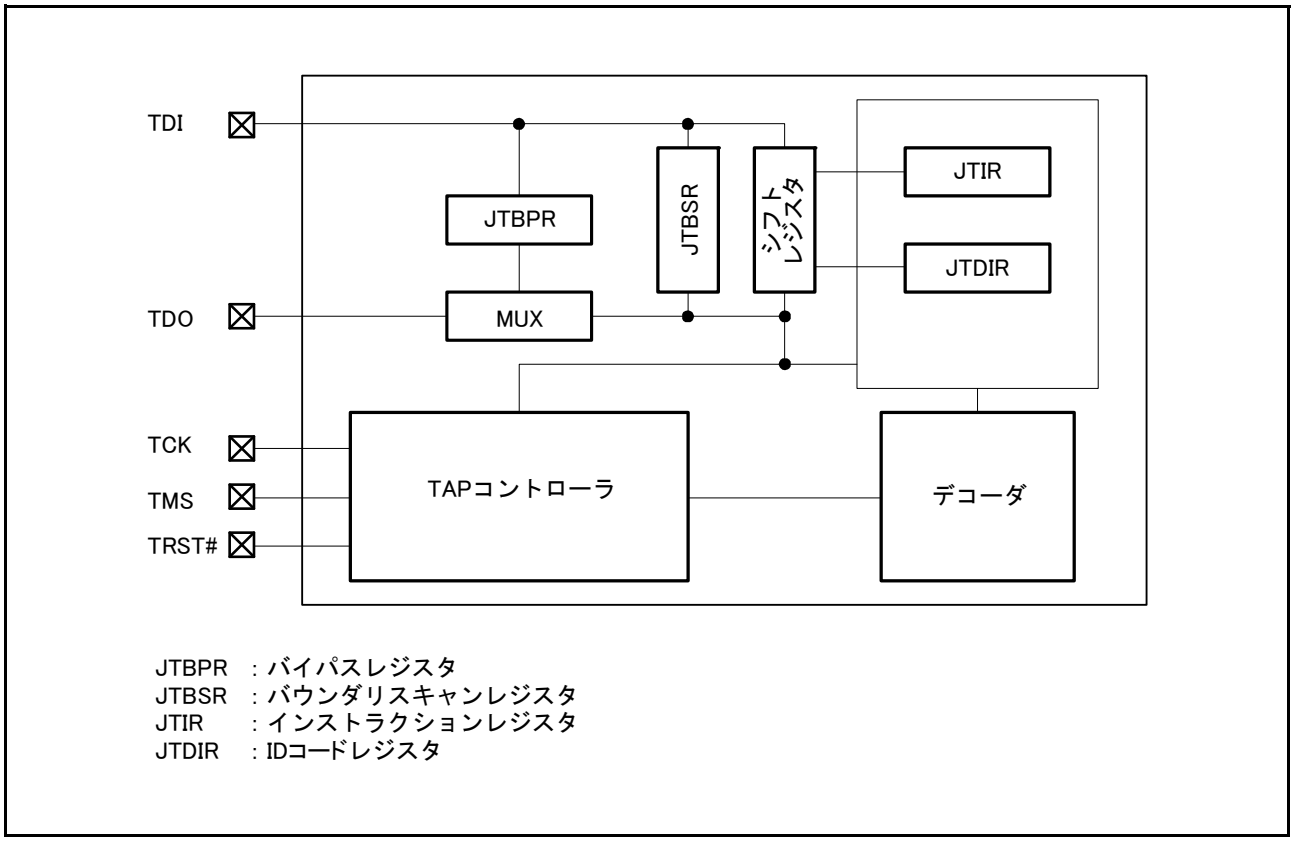


図 48.1　JTAG ブロック図

表 48.2 にバウンダリスキャンで使用する入出力端子を示します。

表48.2　JTAG入出力端子

端子名	入出力	機　能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号 バウンダリスキャン機能使用時はデューティ比50%のクロックを入力してください
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力
TRST#	入力	テストリセット入力

48.2　レジスタの説明

表 48.3 にバウンダリスキャンのレジスター一覧を示します。

表48.3　バウンダリスキャンのレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
インストラクションレジスタ	JTIR	55h	―	―
IDコードレジスタ	JTIDR	（注1）	―	―
バイパスレジスタ	JTBPR	不定	―	―
バウンダリスキャンレジスタ	JTBSR	不定	―	―

注1.　リセット後の値は、弊社WEBに掲載しているBSDLファイルを参照ください。

インストラクションは、TDI 端子からシリアル転送により JTIR レジスタへ入力できます。

JTBPR レジスタは1ビットのレジスタで、BYPASS モード時にTDI端子とTDO端子はこのレジスタに接続されます。

JTBSR レジスタは表48.6の構成のレジスタで、テストデータをシフトインするときにTDI端子とTDO端子の間に接続されます。

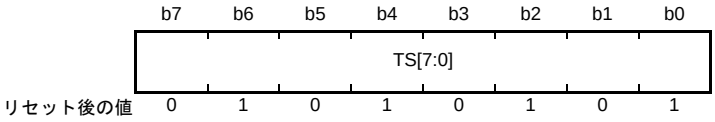
すべてのレジスタは、CPU からアクセスできません。

表 48.4 に各レジスタのシリアル転送を示します。

表48.4　レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
インストラクションレジスタ（JTIR）	可能	不可能
IDコードレジスタ（JTIDR）	不可能	可能
バイパスレジスタ（JTBPR）	可能	可能
バウンダリスキャンレジスタ（JTBSR）	可能	可能

48.2.1 インストラクションレジスタ（JTIR）



ビット	シンボル	ビット名	機能	R/W
b7-b0	TS[7:0]	テストビットセット	コマンド構成は表48.5のようになります。	ー

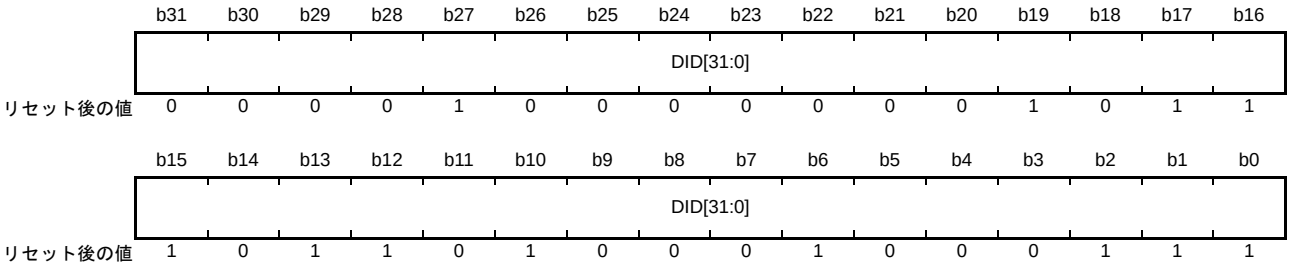
表48.5　コマンド構成

TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE（初期値）
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上記以外								予約

バウンダリスキャンのインストラクションは、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。

JTIR レジスタはTRST#端子がLow、またはTAP コントローラがTest-Logic-Reset状態 のときに初期化されます。

48.2.2 ID コードレジスタ（JTIDR）



ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	予約ビット	デバイスIDCODEを示す固定値のレジスタ	ー

IDCODE 命令時、JTIDR レジスタのデータを TDO 端子から出力します。

48.2.3 バイパスレジスタ（JTBPR）

JTBPR レジスタは、1 ビットのレジスタです。

BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。

CPU から JTBPR レジスタへ読み出し／書き込みできません。

48.2.4 バウンダリスキャンレジスタ（JTBSR）

JTBSR レジスタは、LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、バウンダリスキャンテストを行うことができます。

表 48.6 と **表 48.7** に LSI の端子とバウンダリスキャンレジスタの対応を示します。

リセット後の値は、不定です。

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (1 / 9)

From TDI			
Pin No	端子名	タイプ	ビット名
B1	P05	出力	372
		出力イネーブル	371
		入力	370
D3	P03	出力	369
		出力イネーブル	368
		入力	367
D2	P02	出力	366
		出力イネーブル	365
		入力	364
D1	P01	出力	363
		出力イネーブル	362
		入力	361
D4	P00	出力	360
		出力イネーブル	359
		入力	358
E3	PF5	出力	357
		出力イネーブル	356
		入力	355
E1	PJ5	出力	354
		出力イネーブル	353
		入力	352
F3	PJ3	出力	351
		出力イネーブル	350
		入力	349
H4	P35	入力	348
K1	P33	出力	347
		出力イネーブル	346
		入力	345
K2	P32	出力	344
		出力イネーブル	343
		入力	342
L4	P25	出力	341
		出力イネーブル	340
		入力	339
M3	P24	出力	338
		出力イネーブル	337
		入力	336
N2	P23	出力	335
		出力イネーブル	334
		入力	333
N3	P22	出力	332
		出力イネーブル	331
		入力	330

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (2 / 9)

Pin No	端子名	タイプ	ビット名
R1	P21	出力	329
		出力イネーブル	328
		入力	327
R2	P20	出力	320
		出力イネーブル	319
		入力	318
P2	P17	出力	317
		出力イネーブル	316
		入力	315
P3	P87	出力	314
		出力イネーブル	313
		入力	312
R3	P16	出力	311
		出力イネーブル	310
		入力	309
M4	P86	出力	308
		出力イネーブル	307
		入力	306
N4	P15	出力	305
		出力イネーブル	304
		入力	303
P4	P14	出力	302
		出力イネーブル	301
		入力	300
R4	P85	出力	299
		出力イネーブル	298
		入力	297
M5	P13	出力	296
		出力イネーブル	295
		入力	294
N5	P12	出力	293
		出力イネーブル	292
		入力	291
R5	P11	出力	290
		出力イネーブル	289
		入力	288
P5	P10	出力	287
		出力イネーブル	286
		入力	285
N6	P57	出力	284
		出力イネーブル	283
		入力	282

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (3 / 9)

Pin No	端子名	タイプ	ビット名
M6	P56	出力	281
		出力イネーブル	280
		入力	279
N7	P55	出力	278
		出力イネーブル	277
		入力	276
M7	P54	出力	275
		出力イネーブル	274
		入力	273
M8	P53	出力	272
		出力イネーブル	271
		入力	270
R9	P84	出力	269
		出力イネーブル	268
		入力	267
P9	P52	出力	266
		出力イネーブル	265
		入力	264
N9	P51	出力	263
		出力イネーブル	262
		入力	261
M9	P50	出力	260
		出力イネーブル	259
		入力	258
P10	P83	出力	257
		出力イネーブル	256
		入力	255
N10	PC7	出力	254
		出力イネーブル	253
		入力	252
P11	PC6	出力	251
		出力イネーブル	250
		入力	249
M10	PC5	出力	248
		出力イネーブル	247
		入力	246
N11	P82	出力	245
		出力イネーブル	244
		入力	243
M11	P81	出力	242
		出力イネーブル	241
		入力	240
R12	P80	出力	239
		出力イネーブル	238
		入力	237

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (4 / 9)

Pin No	端子名	タイプ	ビット名
P12	PC4	出力	236
		出力イネーブル	235
		入力	234
N12	PC3	出力	233
		出力イネーブル	232
		入力	231
M12	P77	出力	230
		出力イネーブル	229
		入力	228
R13	P76	出力	227
		出力イネーブル	226
		入力	225
P13	PC2	出力	224
		出力イネーブル	223
		入力	222
P14	P75	出力	221
		出力イネーブル	220
		入力	219
R14	P74	出力	218
		出力イネーブル	217
		入力	216
R15	PC1	出力	215
		出力イネーブル	214
		入力	213
N13	PC0	出力	212
		出力イネーブル	211
		入力	210
N14	P73	出力	209
		出力イネーブル	208
		入力	207
M13	PB7	出力	206
		出力イネーブル	205
		入力	204
L12	PB6	出力	203
		出力イネーブル	202
		入力	201
M14	PB5	出力	200
		出力イネーブル	199
		入力	198
M15	PB4	出力	197
		出力イネーブル	196
		入力	195
L13	PB3	出力	194
		出力イネーブル	193
		入力	192

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (5 / 9)

Pin No	端子名	タイプ	ビット名
K12	PB2	出力	191
		出力イネーブル	190
		入力	189
L14	PB1	出力	188
		出力イネーブル	187
		入力	186
L15	P72	出力	185
		出力イネーブル	184
		入力	183
K13	P71	出力	182
		出力イネーブル	181
		入力	180
K15	PB0	出力	179
		出力イネーブル	178
		入力	177
J14	PA7	出力	176
		出力イネーブル	175
		入力	174
J15	PA6	出力	173
		出力イネーブル	172
		入力	171
J12	PA5	出力	170
		出力イネーブル	169
		入力	168
H12	PA4	出力	167
		出力イネーブル	166
		入力	165
H13	PA3	出力	164
		出力イネーブル	163
		入力	162
H15	PG7	出力	161
		出力イネーブル	160
		入力	159
H14	PA2	出力	158
		出力イネーブル	157
		入力	156
G13	PG6	出力	155
		出力イネーブル	154
		入力	153
G14	PA1	出力	152
		出力イネーブル	151
		入力	150
G12	PG5	出力	149
		出力イネーブル	148
		入力	147

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (6 / 9)

Pin No	端子名	タイプ	ビット名
F14	PA0	出力	146
		出力イネーブル	145
		入力	144
F13	PG4	出力	143
		出力イネーブル	142
		入力	141
E15	P67	出力	140
		出力イネーブル	139
		入力	138
E14	PG3	出力	137
		出力イネーブル	136
		入力	135
F12	P66	出力	134
		出力イネーブル	133
		入力	132
E13	PG2	出力	131
		出力イネーブル	130
		入力	129
D15	P65	出力	128
		出力イネーブル	127
		入力	126
D14	PE7	出力	125
		出力イネーブル	124
		入力	123
E12	PE6	出力	122
		出力イネーブル	121
		入力	120
C15	P70	出力	119
		出力イネーブル	118
		入力	117
D12	PE5	出力	116
		出力イネーブル	115
		入力	114
C13	PE4	出力	113
		出力イネーブル	112
		入力	111
B15	PE3	出力	110
		出力イネーブル	109
		入力	108
A15	PE2	出力	107
		出力イネーブル	106
		入力	105
A14	PE1	出力	104
		出力イネーブル	103
		入力	102

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (7 / 9)

Pin No	端子名	タイプ	ビット名
B14	PE0	出力	101
		出力イネーブル	100
		入力	99
B13	P64	出力	98
		出力イネーブル	97
		入力	96
A13	P63	出力	95
		出力イネーブル	94
		入力	93
C12	P62	出力	92
		出力イネーブル	91
		入力	90
D11	P61	出力	89
		出力イネーブル	88
		入力	87
A12	P60	出力	86
		出力イネーブル	85
		入力	84
D10	PD7	出力	83
		出力イネーブル	82
		入力	81
B11	PG1	出力	80
		出力イネーブル	79
		入力	78
A11	PD6	出力	77
		出力イネーブル	76
		入力	75
C10	PG0	出力	74
		出力イネーブル	73
		入力	72
D9	PD5	出力	71
		出力イネーブル	70
		入力	69
B10	PD4	出力	68
		出力イネーブル	67
		入力	66
A10	P97	出力	65
		出力イネーブル	64
		入力	63
C9	PD3	出力	62
		出力イネーブル	61
		入力	60
B9	P96	出力	59
		出力イネーブル	58
		入力	57

表48.6　バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (8 / 9)

Pin No	端子名	タイプ	ビット名
C8	PD2	出力	56
		出力イネーブル	55
		入力	54
D7	P95	出力	53
		出力イネーブル	52
		入力	51
B8	PD1	出力	50
		出力イネーブル	49
		入力	48
A8	P94	出力	47
		出力イネーブル	46
		入力	45
C7	PD0	出力	44
		出力イネーブル	43
		入力	42
D6	P93	出力	41
		出力イネーブル	40
		入力	39
B7	P92	出力	38
		出力イネーブル	37
		入力	36
B6	P91	出力	35
		出力イネーブル	34
		入力	33
C6	P90	出力	32
		出力イネーブル	31
		入力	30
B5	P47	出力	29
		出力イネーブル	28
		入力	27
A5	P46	出力	26
		出力イネーブル	25
		入力	24
C5	P45	出力	23
		出力イネーブル	22
		入力	21
D5	P44	出力	20
		出力イネーブル	19
		入力	18
C4	P43	出力	17
		出力イネーブル	16
		入力	15
A4	P42	出力	14
		出力イネーブル	13
		入力	12

表48.6 バウンダリスキャンレジスタ
177ピンTFLGA/176ピンLFBGA (9 / 9)

Pin No	端子名	タイプ	ビット名
B4	P41	出力	11
		出力イネーブル	10
		入力	9
B3	P40	出力	8
		出力イネーブル	7
		入力	6
B2	P07	出力	5
		出力イネーブル	4
		入力	3
To TDO			

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (1 / 8)

From TDI			
Pin No	端子名	タイプ	ビット名
B1	P05	出力	372
		出力イネーブル	371
		入力	370
D3	P03	出力	369
		出力イネーブル	368
		入力	367
D2	P02	出力	366
		出力イネーブル	365
		入力	364
D1	P01	出力	363
		出力イネーブル	362
		入力	361
D4	P00	出力	360
		出力イネーブル	359
		入力	358
E3	PF5	出力	357
		出力イネーブル	356
		入力	355
E1	PJ5	出力	354
		出力イネーブル	353
		入力	352
F3	PJ3	出力	351
		出力イネーブル	350
		入力	349
H4	P35	入力	348
K1	P33	出力	347
		出力イネーブル	346
		入力	345
K2	P32	出力	344
		出力イネーブル	343
		入力	342
L4	P25	出力	341
		出力イネーブル	340
		入力	339
M3	P24	出力	338
		出力イネーブル	337
		入力	336
N2	P23	出力	335
		出力イネーブル	334
		入力	333
N3	P22	出力	332
		出力イネーブル	331
		入力	330

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (2 / 8)

Pin No	端子名	タイプ	ビット名
R1	P21	出力	329
		出力イネーブル	328
		入力	327
R2	P20	出力	320
		出力イネーブル	319
		入力	318
P2	P17	出力	317
		出力イネーブル	316
		入力	315
P3	P87	出力	314
		出力イネーブル	313
		入力	312
R3	P16	出力	311
		出力イネーブル	310
		入力	309
M4	P86	出力	308
		出力イネーブル	307
		入力	306
N4	P15	出力	305
		出力イネーブル	304
		入力	303
P4	P14	出力	302
		出力イネーブル	301
		入力	300
M5	P13	出力	296
		出力イネーブル	295
		入力	294
N5	P12	出力	293
		出力イネーブル	292
		入力	291
M6	P56	出力	281
		出力イネーブル	280
		入力	279
N7	P55	出力	278
		出力イネーブル	277
		入力	276
M7	P54	出力	275
		出力イネーブル	274
		入力	273
M8	P53	出力	272
		出力イネーブル	271
		入力	270

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (3 / 8)

Pin No	端子名	タイプ	ビット名
P9	P52	出力	266
		出力イネーブル	265
		入力	264
N9	P51	出力	263
		出力イネーブル	262
		入力	261
M9	P50	出力	260
		出力イネーブル	259
		入力	258
P10	P83	出力	257
		出力イネーブル	256
		入力	255
N10	PC7	出力	254
		出力イネーブル	253
		入力	252
P11	PC6	出力	251
		出力イネーブル	250
		入力	249
M10	PC5	出力	248
		出力イネーブル	247
		入力	246
N11	P82	出力	245
		出力イネーブル	244
		入力	243
M11	P81	出力	242
		出力イネーブル	241
		入力	240
R12	P80	出力	239
		出力イネーブル	238
		入力	237
P12	PC4	出力	236
		出力イネーブル	235
		入力	234
N12	PC3	出力	233
		出力イネーブル	232
		入力	231
M12	P77	出力	230
		出力イネーブル	229
		入力	228
R13	P76	出力	227
		出力イネーブル	226
		入力	225
P13	PC2	出力	224
		出力イネーブル	223
		入力	222

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (4 / 8)

Pin No	端子名	タイプ	ビット名
P14	P75	出力	221
		出力イネーブル	220
		入力	219
R14	P74	出力	218
		出力イネーブル	217
		入力	216
R15	PC1	出力	215
		出力イネーブル	214
		入力	213
N13	PC0	出力	212
		出力イネーブル	211
		入力	210
N14	P73	出力	209
		出力イネーブル	208
		入力	207
M13	PB7	出力	206
		出力イネーブル	205
		入力	204
L12	PB6	出力	203
		出力イネーブル	202
		入力	201
M14	PB5	出力	200
		出力イネーブル	199
		入力	198
M15	PB4	出力	197
		出力イネーブル	196
		入力	195
L13	PB3	出力	194
		出力イネーブル	193
		入力	192
K12	PB2	出力	191
		出力イネーブル	190
		入力	189
L14	PB1	出力	188
		出力イネーブル	187
		入力	186
L15	P72	出力	185
		出力イネーブル	184
		入力	183
K13	P71	出力	182
		出力イネーブル	181
		入力	180
K15	PB0	出力	179
		出力イネーブル	178
		入力	177

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (5 / 8)

Pin No	端子名	タイプ	ビット名
J14	PA7	出力	176
		出力イネーブル	175
		入力	174
J15	PA6	出力	173
		出力イネーブル	172
		入力	171
J12	PA5	出力	170
		出力イネーブル	169
		入力	168
H12	PA4	出力	167
		出力イネーブル	166
		入力	165
H13	PA3	出力	164
		出力イネーブル	163
		入力	162
H14	PA2	出力	158
		出力イネーブル	157
		入力	156
G14	PA1	出力	152
		出力イネーブル	151
		入力	150
F14	PA0	出力	146
		出力イネーブル	145
		入力	144
E15	P67	出力	140
		出力イネーブル	139
		入力	138
F12	P66	出力	134
		出力イネーブル	133
		入力	132
D15	P65	出力	128
		出力イネーブル	127
		入力	126
D14	PE7	出力	125
		出力イネーブル	124
		入力	123
E12	PE6	出力	122
		出力イネーブル	121
		入力	120
C15	P70	出力	119
		出力イネーブル	118
		入力	117
D12	PE5	出力	116
		出力イネーブル	115
		入力	114

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (6 / 8)

Pin No	端子名	タイプ	ビット名
C13	PE4	出力	113
		出力イネーブル	112
		入力	111
B15	PE3	出力	110
		出力イネーブル	109
		入力	108
A15	PE2	出力	107
		出力イネーブル	106
		入力	105
A14	PE1	出力	104
		出力イネーブル	103
		入力	102
B14	PE0	出力	101
		出力イネーブル	100
		入力	99
B13	P64	出力	98
		出力イネーブル	97
		入力	96
A13	P63	出力	95
		出力イネーブル	94
		入力	93
C12	P62	出力	92
		出力イネーブル	91
		入力	90
D11	P61	出力	89
		出力イネーブル	88
		入力	87
A12	P60	出力	86
		出力イネーブル	85
		入力	84
D10	PD7	出力	83
		出力イネーブル	82
		入力	81
A11	PD6	出力	77
		出力イネーブル	76
		入力	75
D9	PD5	出力	71
		出力イネーブル	70
		入力	69
B10	PD4	出力	68
		出力イネーブル	67
		入力	66
C9	PD3	出力	62
		出力イネーブル	61
		入力	60

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (7 / 8)

Pin No	端子名	タイプ	ビット名
C8	PD2	出力	56
		出力イネーブル	55
		入力	54
B8	PD1	出力	50
		出力イネーブル	49
		入力	48
C7	PD0	出力	44
		出力イネーブル	43
		入力	42
D6	P93	出力	41
		出力イネーブル	40
		入力	39
B7	P92	出力	38
		出力イネーブル	37
		入力	36
B6	P91	出力	35
		出力イネーブル	34
		入力	33
C6	P90	出力	32
		出力イネーブル	31
		入力	30
B5	P47	出力	29
		出力イネーブル	28
		入力	27
A5	P46	出力	26
		出力イネーブル	25
		入力	24
C5	P45	出力	23
		出力イネーブル	22
		入力	21
D5	P44	出力	20
		出力イネーブル	19
		入力	18
C4	P43	出力	17
		出力イネーブル	16
		入力	15
A4	P42	出力	14
		出力イネーブル	13
		入力	12
B4	P41	出力	11
		出力イネーブル	10
		入力	9
B3	P40	出力	8
		出力イネーブル	7
		入力	6

表48.7　バウンダリスキャンレジスタ
145ピンTFLGA (8 / 8)

Pin No	端子名	タイプ	ビット名
B2	P07	出力	5
		出力イネーブル	4
		入力	3
To TDO			

48.3　動作説明

バウンダリスキャン機能は、RES# 端子を High、EMLE 端子を Low、かつ BSCANP 端子を High としたとき有効になります。

48.3.1　TAP コントローラ

図 48.2 に TAP コントローラの状態遷移図を示します。

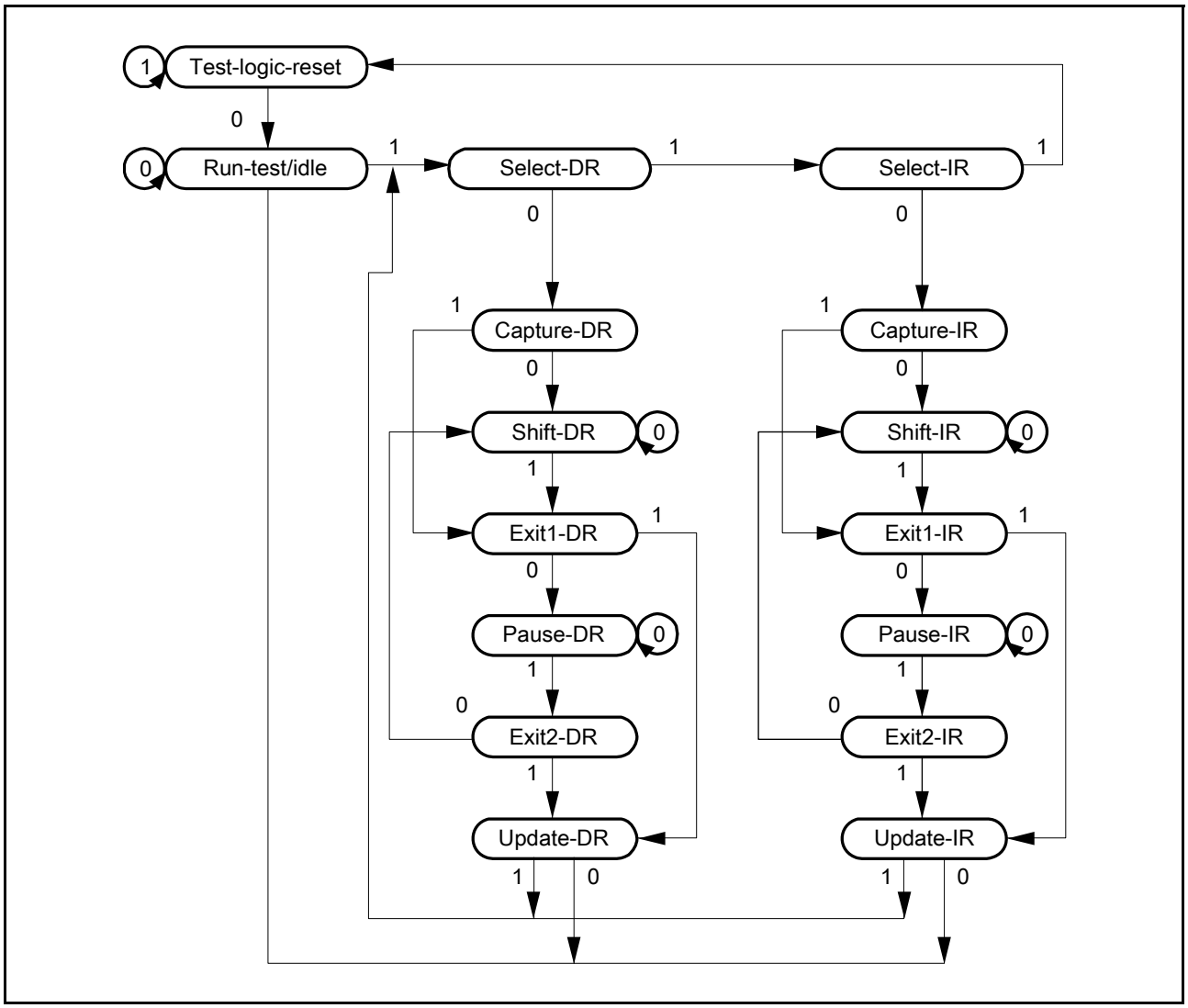


図 48.2　TAP コントローラ

48.3.2　コマンド一覧

(1)　BYPASS[命令コード：1111 1111b]

BYPASS 命令は、JTBPR レジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPR レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となり、その後の Shift-DR で TDI が TDO から出力されます。

(2)　EXTEST[命令コード：0000 0000b]

EXTEST 命令は、LSI をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は JTBSR レジスタからテストデータ（SAMPLE/PRELOAD 命令ですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにテスト結果を取り込むために使用されます。

(3)　SAMPLE/PRELOAD[命令コード：0100 0000b]

SAMPLE/PRELOAD 命令は、LSI の内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットを JTBSR レジスタに取り込みスキャンパスから読みます。スナップショットの取り込みは Capture-DR状態のTCKの立ち上がりに同期して行われます。スナップショットの取り込みはLSIの通常動作を妨げずに行われます。

PRELOAD動作では、EXTEST命令に先立ちスキャンパスからJTBSRレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力端子から不定値が出力される（EXTEST 命令では出力端子に常にパラレル出力ラッチを出力する）ことになります。

(4)　IDCODE[命令コード：0101 0101b]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に JTIDR レジスタの値を LSB より TDO から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(5)　CLAMP[命令コード：1101 0000b]

CLAMP命令が選択されると、出力端子はあらかじめSAMPLE/PRELOAD命令によって設定されたJTBSRレジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

この命令では TDI 端子と TDO 端子にバイパスレジスタが接続され、BYPASS モードを選択したときと同様の動作をします。

(6)　HIGHZ[命令コード：1000 0000b]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI端子とTDO端子の間にはバイパスレジスタが接続され、BYPASS命令が選択されたときと同様の動作をします。

48.4　使用上の注意事項

(1) シリアル転送時、データの入出力は LSB 側からとなります。図 48.3 に示します。

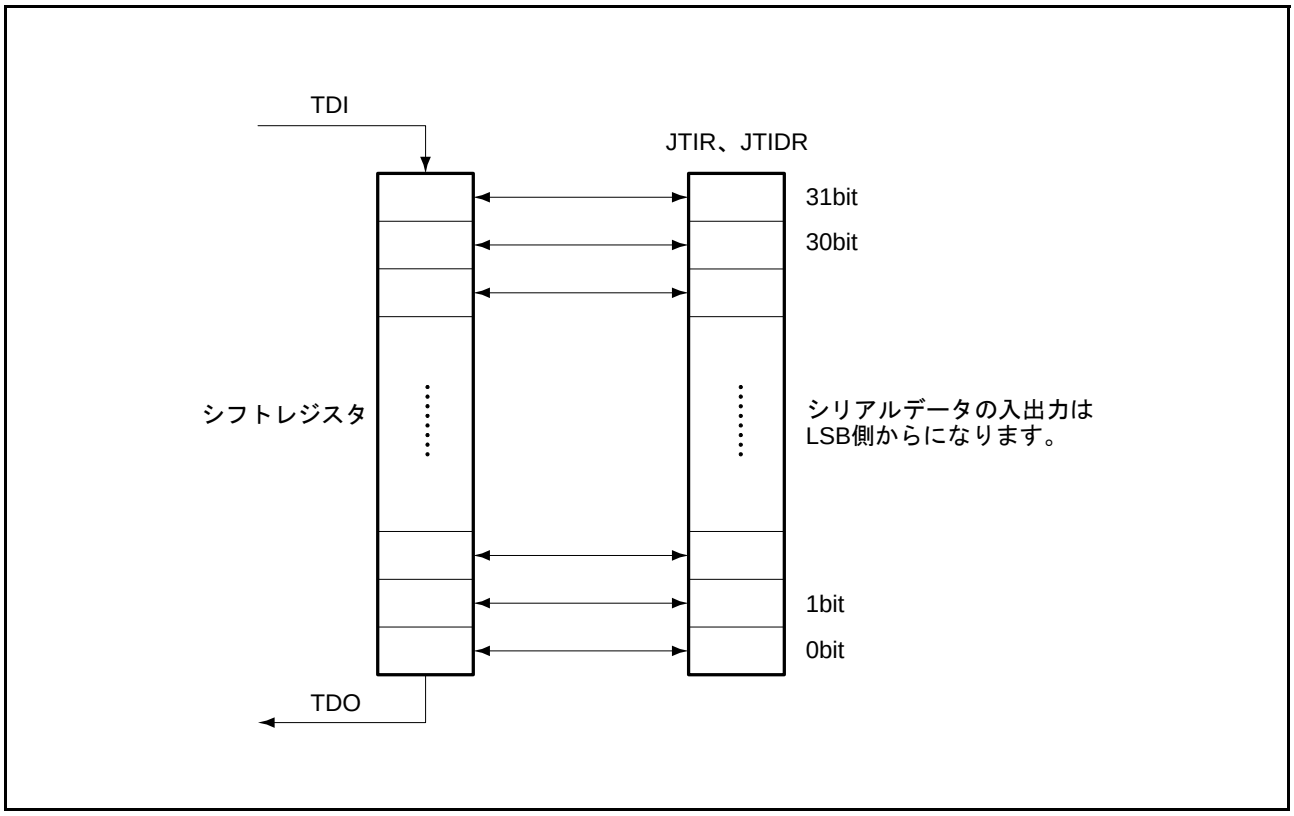


図 48.3　シリアルデータ入出力

(2) バウンダリスキャンの端子 (TCK、TDI、TMS、TRST#) は、プルアップ抵抗にてプルアップしてください。ただし、オンチップエミュレータを使用する場合は、使用するオンチップエミュレータのマニュアルに従って、TRST# 端子を処理してください。
TRST# 端子をプルダウンする場合には、バウンダリスキャン時に、TRST# も制御するようにしてください。

(3) 電源端子 (VCC、VCL、VSS、AVCC0、AVSS0、VREFH0、VREFL0、VREFH、VREFL、VCC_USB、VSS_USB) はバウンダリスキャン対象外です。

(4) クロック端子 (EXTAL、XTAL、XCIN、XCOUT) はバウンダリスキャンの対象外です。

(5) リセット端子 (RES#) はバウンダリスキャンの対象外です。

(6) USB 専用端子 (USB0_DP、USB1_DP、USB0_DM、USB1_DM) はバウンダリスキャンの対象外です。

(7) オンチップエミュレータイネーブル端子 (EMLE) はバウンダリスキャンの対象外です。

(8) バウンダリスキャン端子 (BSCANP) はバウンダリスキャンの対象外です。

(9) バウンダリスキャンの端子 (TCK、TMS、TRST#、TDI、TDO) はバウンダリスキャン対象外です。

(10) バウンダリスキャン機能は、以下のとき、使用できません。

- リセット状態
- ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

(11) オープンドレイン機能付き端子を、オープンドレイン機能有効として使用した場合、バウンダリスキャン機能で出力のスキャンレジスタを 1、出力イネーブルレジスタを 1 に設定し、EXTEST 命令、CLAMP 命令、SAMPLE/PRELOAD 命令のいずれかを実行すると端子はハイインピーダンスではなく、High 出力になります。

(12) P12、P13、P20、P21 の端子構成を図 48.4（1）に示します。P12、P13、P16、P17、P20、P21、PC0、PC1 を RIIC 端子 (SCL0[FM+]、SCL1 ～ SCL3、SDA0[FM+]、SDA1 ～ SDA3) として使用した場合、バウンダリスキャン機能をご使用の際は、オープンドレイン出力との衝突、回り込みに注意してください。

(13) P00 ～ P02、P40 ～ P47、P90 ～ P93、PD0 ～ PD7、PE2 ～ PE7 端子構成を図 48.4（2）に示します。P00 ～ P02、P40 ～ P47、P90 ～ P93、PD0 ～ PD7、PE2 ～ PE7 を AD 入力（AN000 ～ AN020、AN0 ～ AN7）として使用した場合、バウンダリスキャン機能をご使用の際は、AD 入力との衝突、回り込みに注意してください。

(14) P03、P05 の端子構成を図 48.4（3）に示します。P03、P05 を DA 出力 (DA0、DA1) として使用した場合、バウンダリスキャン機能をご使用の際は、DA 出力との衝突、回り込みに注意してください。

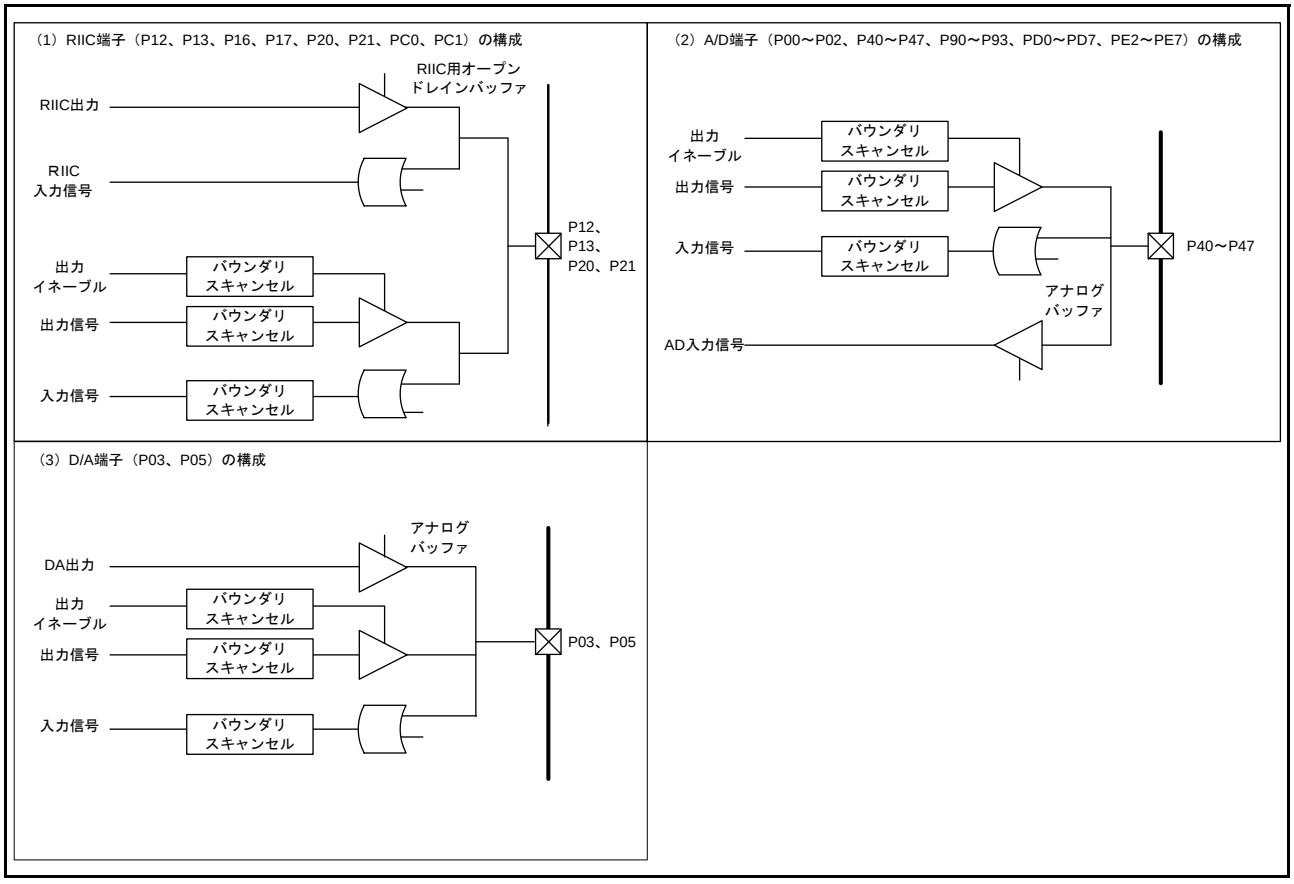


図 48.4　　各端子の構成

49. ROM レス版

本章では、ROM レス版とフラッシュメモリ版の仕様の相違点をまとめました。本章に記載した仕様以外はフラッシュメモリ版と同一ですので、それらの仕様は各章を参照してください。

49.1 ROM レス版とフラッシュメモリ版との仕様の相違点

ROM レス版は、フラッシュメモリ版と以下の仕様が異なります。

- 動作モード
- アドレス空間
- オプション設定メモリ
- クロック発生回路
- 外部バス
- マルチファンクションピンコントローラ（MPC）
- RAM
- ROM（コード格納用フラッシュメモリ）
- E2 データフラッシュ（データ格納用フラッシュメモリ）

表 49.1　フラッシュメモリ版との仕様の相違点

モジュール/機能	ROM レス版
動作モード	内蔵 ROM 無効拡張モードのみサポート エンディアンはリトルエンディアンのみサポート
アドレス空間	内蔵 ROM 無効拡張モードのみサポート アドレス空間は外部アドレス空間をサポート
オプション設定メモリ	オプション設定メモリは未実装 オプション設定メモリに該当する機能は一部を除きサポート
クロック発生回路	フラッシュ IF へ供給される FCLK は生成しない
割り込みコントローラ（ICUb）	FCU からの割り込みなし
外部バス	CS0 領域は、16 ビットバス幅固定。また、接続可能な端子が固定
マルチファンクションピンコントローラ（MPC）	一部のレジスタは書き換え禁止 PFCSE レジスタはリセット後の値を変更
RAM	RAM 領域の 0001 FF80h～0001 FFFFh の 128 バイトは、使用できません
ROM（コード格納用フラッシュメモリ）	未実装
E2 データフラッシュ （データ格納用フラッシュメモリ）	未実装

49.2 動作モードの種類

ROM レス版では、動作モードは内蔵 ROM 無効拡張モードのみ対応しています。シングルチップモード、内蔵 ROM 有効拡張モード、ブートモード、USB ブートモード、ユーザブートモードは対応していません。

MD 端子は、エミュレータ使用時は Low、未使用時は High としてください。

49.2.1 エンディアン

エンディアンは、リトルエンディアン固定です。

49.2.2 モードステータスレジスタ（MDSR）

アドレス　0008 0002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、リセット後の値と同じにしてください	R/w
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、リセット後の値と同じにしてください	R/w

49.2.3 システムコントロールレジスタ 0（SYSCR0）

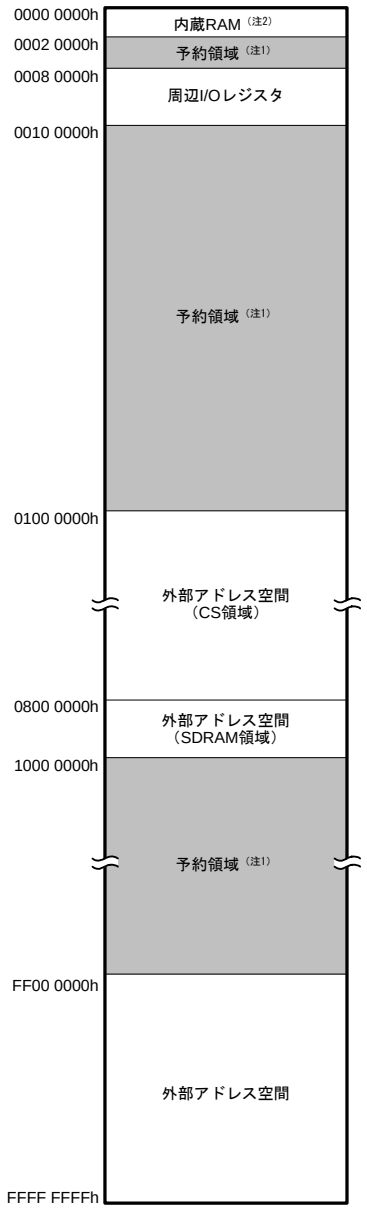
アドレス　0008 0006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	説明	R/W
b15-b0	—	予約ビット	読むと"02h"が読めます。書く場合、リセット後の値と同じにしてください	R/W

49.3　メモリマップ

ROM レス版は、内蔵 ROM 無効拡張モードのみ対応しています。



注1.　予約領域は、アクセスしないでください。
注2.　ROMレス版では、RAM領域の0001 FF80h～0001 FFFFhの
　　128バイトは使用できません。

図 49.1　　内蔵 ROM 無効拡張モードのメモリマップ

49.4　オプション設定メモリ

ROM レス版は、オプション設定メモリは実装されていないので書き換えはできません。

OFS0 レジスタは FFFF FFFFh、OFS1 レジスタは FFFF FFFBh、MDES レジスタは FFFF FFFFh に固定しています。各レジスタの機能は「7. オプション設定メモリ」を参照してください。

49.5　クロック発生回路

FlashIF に供給される FlashIF クロック（FCLK）は、生成されません。

49.5.1　システムクロックコントロールレジスタ（SCKCR）

アドレス　0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	ICK[3:0]				PSTOP1	PSTOP0	—	—	BCK[3:0]			
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCKA[3:0]				PCKB[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	“0001 0001b”を設定してください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロックB（PCLKB）選択ビット(注1、注5)	b11　b8 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロックA（PCLKA）選択ビット(注1、注5)	b11　b8 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b19-b16	BCK[3:0]	外部バスクロック（BCLK）選択ビット（注1、注2、注5）	b19　b16 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b21-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22	PSTOP0	SDCLK端子出力制御ビット	0：SDCLK端子出力動作 1：SDCLK端子出力停止（Highレベル固定）	R/W
b23	PSTOP1	BCLK端子出力制御ビット（注3）	0：BCLK端子出力動作 1：BCLK端子出力停止（Highレベル固定）	R/W

ビット	シンボル	ビット名	機能	R/W
b27-b24	ICK[3:0]	システムクロック（ICLK）選択ビット （注1、注2、注4、注5）	b27　b24 0 0 0 0：1分周 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 上記以外は設定しないでください	R/W
b31-b28	—	予約ビット	“0010b”を設定してください	R/W

注1.　PLL選択時は1分周は設定禁止です。
注2.　ICLKは外部バスクロックより低い周波数を設定しないでください。
注3.　外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。
注4.　低速動作モード2かつSCKCR3.CKSEL[2:0]ビットでサブクロック発振器選択時は、ICLKの分周比は1分周のみ設定可能です。
注5.　SCKCR3.CKSEL[2:0]ビットが“010b”（メインクロック発振器選択）のときは、1分周と2分周を設定しないでください。

49.6　FCU 関連割り込み

FCU 関連のフラッシュインタフェースエラー割り込み（FIFERR）、およびフラッシュレディ割り込み（FRDYI）はありませんので、割り込み要求レジスタ 21（IR21）と割り込み要求レジスタ 23（IR23）、割り込み要求許可レジスタ 02（IER02）、および割り込み要因プライオリティレジスタ n（IPRn）(n=001、002）に相違があります。

49.6.1　割り込み要求レジスタ 21（IR21）および割り込み要求レジスタ 23（IR23）

ROM レス版では、IR21 および IR23 は実装されていません。
当該アドレスをリードしても、読み出し値は不定です。

49.6.2　割り込み要求許可レジスタ 02（IER02）

アドレス　0008 7202h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット 0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

49.6.3　割り込み要因プライオリティレジスタ（IPR001 および IPR002）

ROM レス版では、IPR001 および IPR002 は実装されていません。
当該アドレスをリードしても、読み出し値は不定です。

49.7　外部バス

49.7.1　CS0 領域

ROM レス版は、リセットが解除されると CS0 領域の先頭番地へジャンプし、外部ブート ROM によってブートを開始します。そのため外部ブート ROM は、CS0 領域に実装してください。

CS0 領域は、16 ビットバス幅固定です。8 ビット、32 ビットバス幅を使用する場合は、CS0 領域以外を使用してください。

CS0 領域に外部ブート ROM を接続する場合、リセット解除後、初期設定で**表 49.2** に示す端子割り当てとなっていますので、これらの端子と接続してください。

CS0 領域以外の外部領域をアクセスする場合は、**表 49.2** の初期設定を変更して使用できます。

表 49.2　CS0 領域と外部ブート ROM を接続する端子機能一覧

ピン番号	割り当てポート	端子機能
76	PC7	A23
77	PC6	A22
78	PC5	A21
82	PC4	A20
83	PC3	A19
86	PC2	A18
89	PC1	A17
91	PC0	A16
94	PB7	A15
95	PB6	A14
96	PB5	A13
97	PB4	A12
98	PB3	A11
99	PB2	A10
100	PB1	A9
104	PB0	A8
106	PA7	A7
107	PA6	A6
108	PA5	A5
109	PA4	A4
110	PA3	A3
112	PA2	A2

ピン番号	割り当てポート	端子機能
114	PA1	A1
125	PE7	D15
126	PE6	D14
130	PE5	D13
131	PE4	D12
132	PE3	D11
133	PE2	D10
134	PE1	D9
135	PE0	D8
143	PD7	D7
145	PD6	D6
147	PD5	D5
148	PD4	D4
150	PD3	D3
154	PD2	D2
156	PD1	D1
158	PD0	D0
141	P60	CS0#（注）
70	P52	RD#（注）
71	P51	WR1#（注）
72	P50	WR0#（注）

注.　CS0#、RD#、WR0#は、リセット中およびリセット解除後一定期間はHi-Zとなりますので、外部でプルアップ抵抗を追加してください。

49.7.2　CS0 制御レジスタ（CS0CR）

アドレス　CS0CR 0008 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと、“01h”が読めます。書く場合、リセット後の値と同じ値を書き込んでください	R/W

49.8　マルチファンクションピンコントローラ（MPC）

49.8.1　CS出力許可レジスタ（PFCSE）

アドレス　0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0許可ビット	0：CSn#出力禁止 1：CSn#出力許可 （n=0～7）	R/W
b1	CS1E	CS1許可ビット		R/W
b2	CS2E	CS2許可ビット		R/W
b3	CS3E	CS3許可ビット		R/W
b4	CS4E	CS4許可ビット		R/W
b5	CS5E	CS5許可ビット		R/W
b6	CS6E	CS6許可ビット		R/W
b7	CS7E	CS7許可ビット		R/W

PFCSE レジスタに書き込みを行う場合、CS0E ビットへは “1” を書いてください。

49.8.2　アドレス出力許可レジスタ 0（PFAOE0）

アドレス　0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0：A8出力禁止 1：A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0：A9出力禁止 1：A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0：A10出力禁止 1：A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0：A11出力禁止 1：A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0：A12出力禁止 1：A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0：A13出力禁止 1：A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0：A14出力禁止 1：A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0：A15出力禁止 1：A15出力許可	R/W

PFAOE0 レジスタは、リセット後の値から書き換えないでください。

49.8.3 アドレス出力許可レジスタ 1（PFAOE1）

アドレス 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0：A16出力禁止 1：A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0：A17出力禁止 1：A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0：A18出力禁止 1：A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0：A19出力禁止 1：A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0：A20出力禁止 1：A20出力許可	R/W
b5	A21E	アドレスA21出力許可ビット	0：A21出力禁止 1：A21出力許可	R/W
b6	A22E	アドレスA22出力許可ビット	0：A22出力禁止 1：A22出力許可	R/W
b7	A23E	アドレスA23出力許可ビット	0：A23出力禁止 1：A23出力許可	R/W

PFAOE1 レジスタは、リセット後の値から書き換えないでください。

49.8.4　外部バス制御レジスタ 0（PFBCR0）

アドレス　0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	WR32BC32E	WR1BC1E	DH32E	DHE	—	—	ADRHMS	ADRLE
リセット後の値	0	0	0	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0：PA0～PA7をI/Oポートとして設定 1：PA0～PA7を外部アドレスバスA0～A7として設定	R/W
b1	ADRHMS	A16～A23出力許可ビット	0：PC0～PC7を外部アドレスバスA16～A23として設定 1：P90～P97を外部アドレスバスA16～A23として設定	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	D8～D15出力許可ビット	0：PE0～PE7をI/Oポートとして設定 1：PE0～PE7を外部データバスD8～D15として設定	R/W
b5	DH32E	D16～D31出力許可ビット	0：PG0～PG7、P90～P97をI/Oポートとして設定 1：PG0～PG7、P90～P97を外部データバスD16～D31として設定	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0：P51をI/Oポートとして設定 1：P51をWR1#またはBC1#として設定	R/W
b7	WR32BC32E	WR3#/BC3#出力許可ビット WR2#/BC2#出力許可ビット	0：P56、P57をI/O ポートとして設定 1：P56をWR#2またはBC2#として設定、 P57をWR#3またはBC3#として設定	R/W

PFBCR0 レジスタは、DH32E、WR1BC1E、WR32BC32E ビット以外は書き換えないでください。

49.9　RAM

RAM 領域の 0001 FF80h ～ 0001 FFFFh の 128 バイトは、使用できません。

49.10　ROM

コード格納用フラッシュメモリは、実装されていません。

49.11　E2 データフラッシュ

E2 データフラッシュは、実装されていません。

49.12　使用上の注意事項

リセット中およびリセット解除後一定期間は、バス端子が Hi-Z となります。そのため、外部バス上の外部デバイスの誤動作を防止するため、CS0#、RD#、WR0# の制御信号には、プルアップ抵抗を追加してください。

50. 48 ピン製品の使用上の注意事項

48 ピンパッケージ製品はサブクロックおよび RTC を使用できませんが、サブクロック制御回路および RTC の状態はコールドスタートにて不定となりますので、コールドスタート後に必ず図 50.1 に示す初期化手順に従って、レジスタの初期化をしてください。

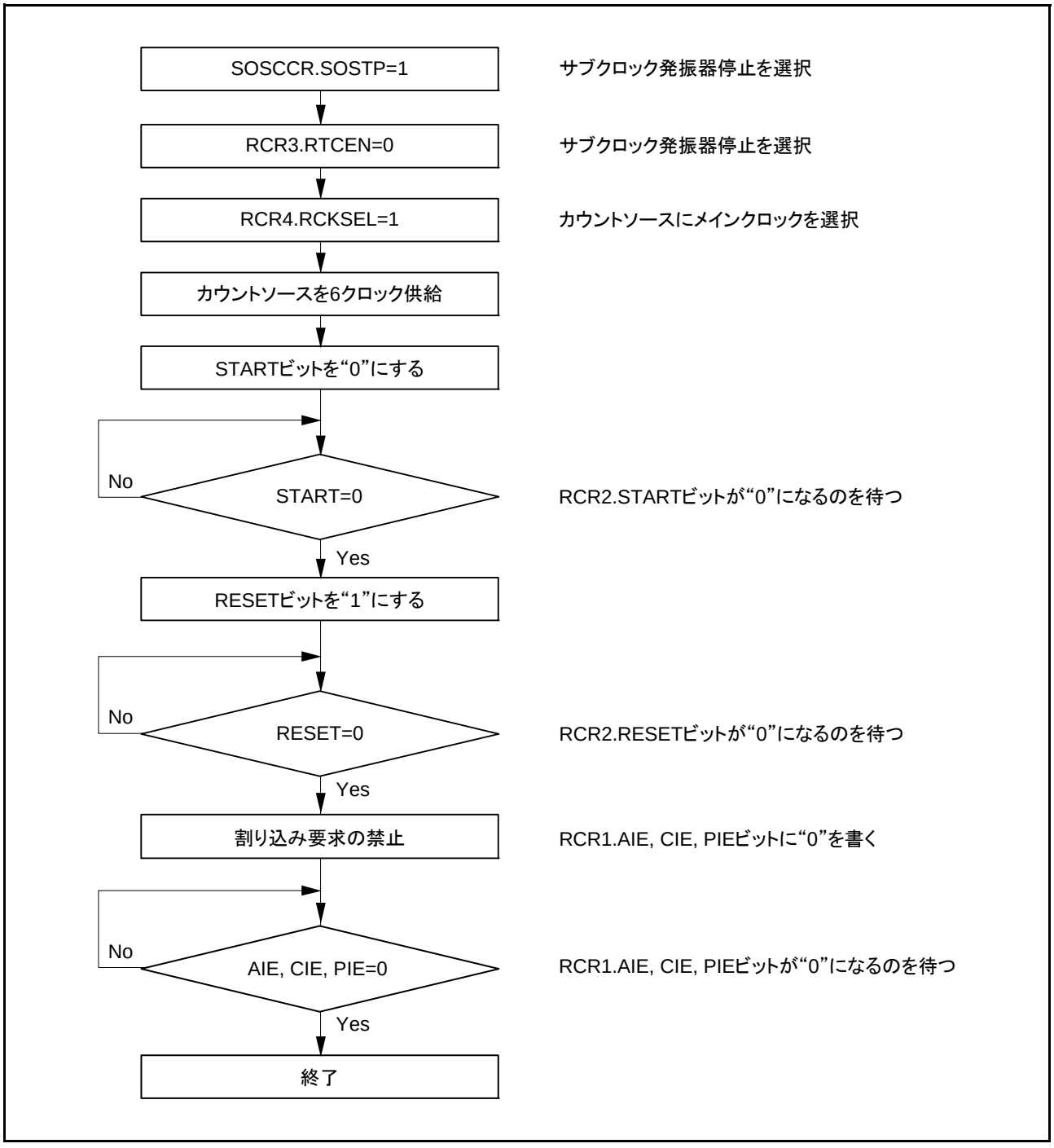


図 50.1　初期化手順

51. 電気的特性

51.1 絶対最大定格

表 51.1　絶対最大定格
条件：VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V

項目	記号	定格値	単位
電源電圧	VCC、VCC_USB	–0.3 ～ +4.6	V
V_{BATT} 電源電圧	V_{BATT}	–0.3 ～ +4.6	V
入力電圧（5V トレラント対応ポート（注 1）以外）	V_{in}	–0.3 ～ VCC+ 0.3	V
入力電圧（5V トレラント対応ポート（注 1））	V_{in}	–0.3 ～ +5.8	V
リファレンス電源電圧	VREFH	–0.3 ～ VCC+ 0.3	V
アナログ電源電圧	AVCC（注 2）	–0.3 ～ +4.6	V
アナログ入力電圧	V_{AN}	–0.3 ～ VCC+ 0.3	V
動作温度	T_{opr}	–40 ～ +85	℃
保存温度	T_{stg}	–55 ～ +125	℃

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注 1.　ポート 07 とポート 12～17、ポート 20,21、ポート 30～33、ポート 67、ポート C0～C3 は、5V トレラント対応です。

注 2.　AVCC0 は、VCC に接続してください。また、A/D および D/A コンバータ未使用時に AVCC0、VREFH/VREFH0、AVSS0、VREFL/VREFL0 端子を開放しないでください。AVCC0、VREFH/VREFH0 端子は VCC に、AVSS0、VREFL/VREFL0 端子は VSS にそれぞれ接続してください。

51.2 DC 特性

表51.2　DC特性（1）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	IRQ入力端子（注1） MTU入力端子（注1） TMR入力端子（注1） SCI入力端子（注1） ADTRG#入力端子（注1） RES#、NMI	V_{IH}	VCC × 0.8	—	VCC+ 0.3	V	
		V_{IL}	–0.3	—	VCC× 0.2		
		ΔV_T	VCC × 0.06	—	—		
	RIIC入力端子（SMBusを除く）	V_{IH}	VCC × 0.7	—	5.8		
		V_{IL}	–0.3	—	VCC× 0.3		
		ΔV_T	VCC × 0.05	—	—		
	5Vトレラント対応ポート（注2）	V_{IH}	VCC × 0.8	—	5.8		
		V_{IL}	–0.3	—	VCC× 0.2		
	5Vトレラント対応ポート以外その他の入力端子（注3）	V_{IH}	VCC × 0.8	—	VCC+ 0.3		
		V_{IL}	–0.3	—	VCC× 0.2		
入力Highレベル電圧（シュミットトリガ入力端子を除く）	MD端子、EMLE	V_{IH}	VCC × 0.9	—	VCC+ 0.3	V	
	EXTAL、RSPI、EXDMAC、WAIT#、TCK		VCC × 0.8	—	VCC+ 0.3		
	ETHERC		2.3	—	VCC+ 0.3		
	XCIN		—	—	VCC+ 0.3		
	D0～D31		VCC × 0.7	—	VCC+ 0.3		
	RIIC（SMBus）		2.1	—	VCC+ 0.3		
入力Lowレベル電圧（シュミットトリガ入力端子を除く）	MD端子、EMLE	V_{IL}	–0.3	—	VCC× 0.1	V	
	EXTAL、RSPI、ETHERC EXDMAC、WAIT#、TCK		–0.3	—	VCC× 0.2		
	XCIN		–0.3	—	—		
	D0～D31		–0.3	—	VCC× 0.3		
	RIIC（SMBus）		–0.3	—	0.8		

注1.　5Vトレラント対応のポートで兼用している端子は該当しません。
注2.　ポート07とポート12～17、ポート20,21、ポート30～33、ポート67、ポートC0～C3は、5Vトレラント対応です。
注3.　P32、P31、P30に関してV_{BATT}電源選択時は下記範囲で入力してください。
VIH min = V_{BATT} × 0.8、max = V_{BATT} + 0.3、VIL min = –0.3、max = V_{BATT} × 0.2

表51.3　　DC特性（2）
条件：VCC= AVCC0= VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
　　VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
出力Highレベル電圧	全出力端子	V_{OH}	VCC– 0.5	—	—	V	I_{OH} = –1mA
出力Lowレベル電圧	全出力端子（RIIC端子、ETHERCを除く）	V_{OL}	—	—	0.5	V	I_{OL} = 1.0mA
	RIIC端子		—	—	0.4	V	I_{OL} = 3.0mA
			—	—	0.6		I_{OL} = 6.0mA
	RIIC端子（P12、P13のチャネル0のみ）	V_{OL}	—	—	0.4	V	I_{OL} = 15.0mA（ICFER.FMPE=1）
			—	0.4	—		I_{OL} = 20.0mA（ICFER.FMPE=1）
	ETHERC	V_{OL}	—	—	0.4	V	I_{OL} = 1.0mA
入力リーク電流	RES#、MD端子、EMLE（注1）、NMI	$\|I_{in}\|$	—	—	1.0	μA	V_{in} = 0V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5Vトレラント対応ポート以外	$\|I_{TSI}\|$	—	—	1.0	μA	V_{in} = 0V V_{in} = VCC
	5Vトレラント対応ポート		—	—	5.0		V_{in} = 0V V_{in} = 5.5V
入力プルアップMOS電流	ポート0～2、ポート30～34, 36, 37、ポート4～G、ポートJ3, J5	I_p	–10	—	–300	μA	VCC= 2.7～3.6V V_{in} = 0V
入力容量	全入力端子（ポート12,13,16,17、ポート20,21、ポート4、ポートC0,C1、EMLE以外）	C_{in}	—	—	15	pF	V_{in} = 0V f = 1MHz T_a = 25℃
	ポート12, 13, 16, 17、ポート20, 21、ポート4、ポートC0, C1、EMLE		—	—	30		
入力プルダウンMOS電流	EMLE、BSCANP	I_p	10	—	300	μA	V_{in} = VCC

注1.　EMLE端子の入力リーク電流はV_{in} = 0V時のみの値です。

表51.4　DC特性（3）
条件：VCC= AVCC0= VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
消費電流（注1）	高速動作モード	最大動作（注2）	I_{CC}（注3）	—	—	100	mA	ICLK=100MHz PCLKA=100MHz PCLKB=50MHz FCLK=50MHz BCLK=100MHz
		通常動作：周辺機能：クロック供給状態（注4）		—	52	—		
		通常動作：周辺機能：クロック停止状態（注4）		—	40	—		
		スリープモード時		—	25	65		
		全モジュールクロックストップモード時（参考値）		—	20	38		
		BGO動作時の増加分（注5）		—	15	—		
	低速動作モード1（注6）			—	4	—		ICLK=1MHz
	低速動作モード2			—	1	—		ICLK=32.768kHz
	ソフトウェアスタンバイモード			—	0.2	6		
	ディープソフトウェアスタンバイモード	RAM、USBレジューム検出部電源供給あり		—	22	200	μA	
		RAM、USBレジューム検出部電源供給なし：パワーオンリセット回路低消費電力機能無効		—	21	60		
		RAM、USBレジューム検出部電源供給なし：パワーオンリセット回路低消費電力機能有効		—	6.2	28		
	RTC動作時の増分	低CL水晶発振子使用時		—	1.0	—		
		標準CL水晶発振子使用時		—	3.0	—		
	VCCオフ時のRTC動作（バッテリバックアップ機能により、RTC、サブクロック発振器のみ動作）	低CL水晶発振子使用時		—	0.9	—		V_{BATT}=2.0V、VCC=0V
				—	1.6	—		V_{BATT}=3.3V、VCC=0V
		標準CL水晶発振子使用時		—	1.7	—		V_{BATT}=2.0V(100ピン以上の製品)、V_{BATT}=2.3V(64ピンの製品)、VCC=0V
				—	3.3	—		V_{BATT}=3.3V、VCC=0V
アナログ電源電流（注7）	12ビットA/D変換中（温度センサ含む）		I_{AVCC0}	—	2.3	3.2	mA	
	10ビットA/D変換中		I_{VREFH}（注9）	—	1.0	1.65	mA	
	D/A変換中（1ユニット当り）			—	0.7	1.0	mA	
	A/D、D/A変換待機時（全ユニット）（注10）		—	—	25	35	μA	
	A/D、D/Aスタンバイ時（全ユニット）（注10）			—	0.1	4.0	μA	
リファレンス電源電流	12ビットA/D変換中		I_{VREFH0}	—	0.6	0.7	mA	
	12ビットA/D変換待機時（1ユニット）			—	0.5	0.6	mA	
	12ビットA/Dスタンバイ時（1ユニット）			—	0.1	2.0	μA	
RAMスタンバイ電圧			V_{RAM}	2.7	—	—	V	
VCC立ち上がり勾配			SrVCC	8.4	—	20000	μs/V	
VCC立ち下がり勾配（注8）			SfVCC	8.4	—	—	μs/V	

注1.　消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。
注2.　周辺機能はクロック供給状態。BGO動作は除きます。
注3.　I_{CC}は、下記の式にしたがってf(ICLK)に依存します。(ICLK:PCLK:BCLK:BCLK端子 = 8:4:4:2)
I_{CC} max = 0.87 × f + 13（高速動作モード[最大動作]時）
I_{CC} typ = 0.35 × f + 5（高速動作モード[通常動作]時）
I_{CC} typ = 1.0 × f + 3（低速動作モード1時）
I_{CC} max = 0.53 × f + 12（スリープ時）
注4.　BGO動作は除きます。
注5.　プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

注6. 周辺機能はクロック供給停止状態。BGO動作は除きます。
注7. 10ビットADとD/Aは電源電流にリファレンス電流も含む値です。
注8. V_{BATT}を使用する場合
注9. VREFH端子の電流は、10ビットA/Dコンバータと10ビットD/Aコンバータを含みます。
注10. 値は、I_{AVCC0}とI_{VREFH}の合算です。

表51.5　DC特性（4）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
許容総消費電力（注1）	P_d	—	—	380	mW	（注2）

注1.　チップ全体（出力バッファで消費される電力を含む）の総電力です。
注2.　詳細な測定条件につきましては、弊社営業窓口までお問い合わせください。

表51.6　出力許容電流
条件：VCC = AVCC0= VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目			記号	min	typ	max	単位
出力Lowレベル許容電流（1端子あたりの平均値）	全出力端子（注1）	通常駆動	I_{OL}	—	—	2.0	mA
	全出力端子（注2）	高駆動	I_{OL}	—	—	3.8	mA
出力Lowレベル許容電流（1端子あたりの最大値）	全出力端子（注1）	通常駆動	I_{OL}	—	—	4.0	mA
	全出力端子（注2）	高駆動	I_{OL}	—	—	7.6	mA
出力Lowレベル許容電流（総和）	全出力端子の総和		ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流（1端子あたりの平均値）	全出力端子（注1）	通常駆動	I_{OH}	—	—	–2.0	mA
	全出力端子（注2）	高駆動	I_{OH}	—	—	–3.8	mA
出力Highレベル許容電流（1端子あたりの最大値）	全出力端子（注1）	通常駆動	I_{OH}	—	—	–4.0	mA
	全出力端子（注2）	高駆動	I_{OH}	—	—	–7.6	mA
出力Highレベル許容電流（総和）	全出力端子の総和		ΣI_{OH}	—	—	–80	mA

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表51.6の値を超えないようにしてください。
注1.　通常駆動が選択できる端子で通常駆動を設定した場合の値
注2.　通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

51.3 AC 特性

表51.7　　動作周波数（高速動作モード）
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目			記号	min	typ	max	単位
動作周波数	システムクロック（ICLK）		f	—（注1）	—	100	MHz
	周辺モジュールクロック（PCLKA）			—（注1）	—	100	
	周辺モジュールクロック（PCLKB）			—（注2）	—	50	
	FlashIFクロック（FCLK）			—（注3）	—	50	
	外部バスクロック（BCLK）	177～144ピン		—	—	100	
		100ピン以下		—	—	50	
	BCLK端子出力	177～144ピン		—	—	50	
		100ピン以下		—	—	25	
	SDRAMクロック（SDCLK）	177～144ピンのみ		—	—	50	
	SDCLK端子出力	177～144ピンのみ		—	—	50	
	USBクロック（UCLK）			—	—	48	
	IEBUSクロック（IECLK）			—	—	44.03	

注1.　イーサネットコントローラを使用するときはICLKとPCLKを同じ周波数とし、12.5MHz以上としてください。
注2.　USBを使用するときはPCLKBを24MHz以上としてください。
注3.　ROM、E2データフラッシュの書き換えを行う場合は、FCLKを4MHz以上としてください。

表51.8　　動作周波数（低速動作モード1）
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS _USB = 0V、$T_a = T_{opr}$

項目			記号	min	typ	max	単位
動作周波数	システムクロック（ICLK）		f	—	—	1	MHz
	周辺モジュールクロック（PCLKA）			—	—	1	
	周辺モジュールクロック（PCLKB）			—	—	1	
	FlashIFクロック（FCLK）			—	—	1	
	外部バスクロック（BCLK）	177～144ピン		—	—	1	
		100ピン以下		—	—	1	
	BCLK端子出力	177～144ピン		—	—	1	
		100ピン以下		—	—	1	
	SDRAMクロック（SDCLK）	177～144ピンのみ		—	—	1	
	SDCLK端子出力	177～144ピンのみ		—	—	1	
	USBクロック（UCLK）			—	—	1	
	IEBUSクロック（IECLK）			—	—	1	

表51.9　　動作周波数（低速動作モード2）
条件：VCC = AVCC0= VREFH = VCC_USB = V_{BATT} =2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目			記号	min	typ	max	単位
動作周波数	システムクロック（ICLK）		f	32	—	143.75	kHz
	周辺モジュールクロック（PCLKA）			—	—	143.75	
	周辺モジュールクロック（PCLKB）			—	—	143.75	
	FlashIFクロック（FCLK）			32	—	143.75	
	外部バスクロック（BCLK）	177～144ピン		—	—	143.75	
		100ピン以下		—	—	143.75	
	BCLK端子出力	177～144ピン		—	—	143.75	
		100ピン以下		—	—	143.75	
	SDRAMクロック（SDCLK）	177～144ピンのみ		—	—	143.75	
	SDCLK端子出力	177～144ピンのみ		—	—	143.75	
	USBクロック（UCLK）			—	—	143.75	
	IEBUSクロック（IECLK）			—	—	143.75	

51.3.1 リセットタイミング

表51.10　リセットタイミング
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t_{RESWP}	2	—	—	ms	図 51.1
	ディープソフトウェアスタンバイモード	t_{RESWD}	1	—	—	ms	図 51.2
	ソフトウェアスタンバイモード、 低速動作モード2	t_{RESWS}	1	—	—	ms	
	ROMプログラム/イレーズ中、E2データフラッシュのプログラム/イレーズ/ブランクチェック中	t_{RESWF}	200	—	—	μs	
	上記以外	t_{RESW}	200	—	—	μs	
RES#解除後待機時間		t_{RESWT}	59	—	60	t_{cyc}	図 51.1
内部リセット時間 （独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット）		t_{RESW2}	112	—	120	t_{cyc}	

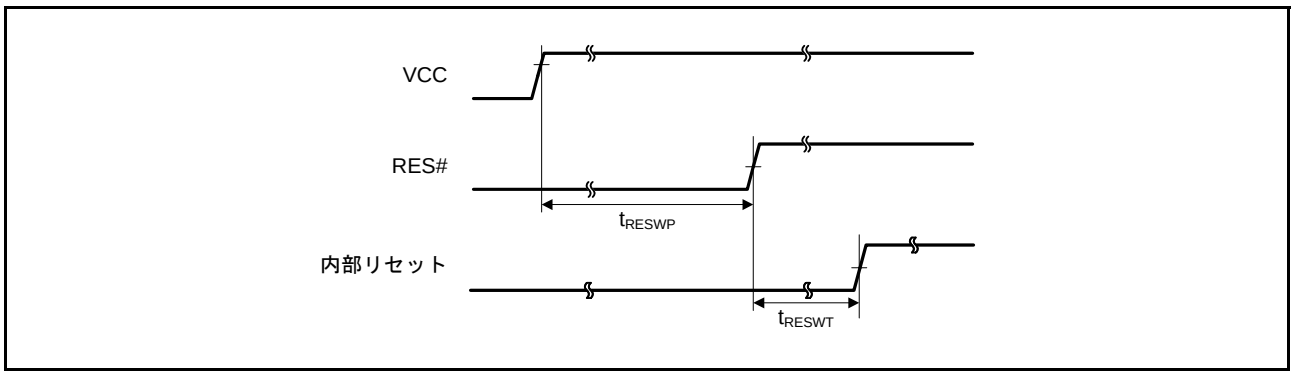


図 51.1　電源投入時リセット入力タイミング

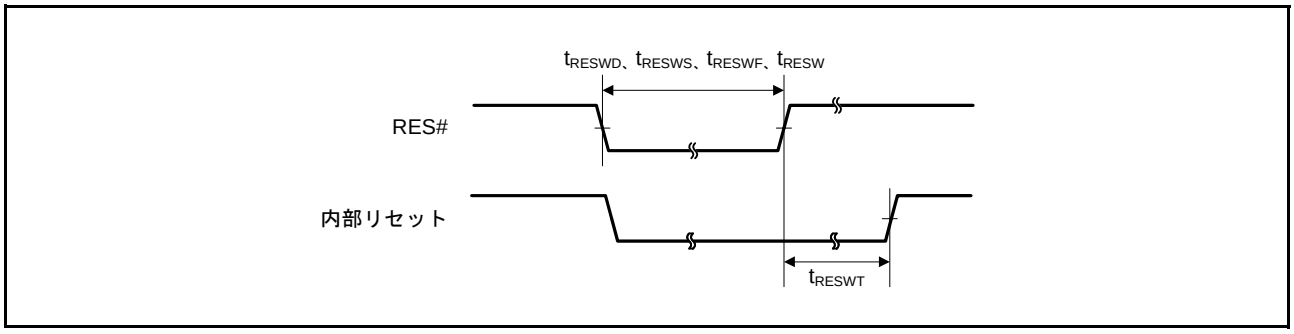


図 51.2　リセット入力タイミング

51.3.2 クロックタイミング

表51.11　クロックタイミング（サブクロック関連を除く）
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	177～144ピン	t_{Bcyc}	20	—	—	ns	図51.3
	100ピン以下		40	—	—	ns	
BCLK端子出力Highレベルパルス幅		t_{CH}	5	—	—	ns	
BCLK端子出力Lowレベルパルス幅		t_{CL}	5	—	—	ns	
BCLK端子出力立ち上がり時間		t_{Cr}	—	—	5	ns	
BCLK端子出力立ち下がり時間		t_{Cf}	—	—	5	ns	
SDCLK端子出力サイクル時間	177-144ピンのみ	t_{SDcyc}	20	—	—	ns	
SDCLK端子出力Highレベルパルス幅		t_{CH}	5	—	—	ns	
SDCLK端子出力Lowレベルパルス幅		t_{CL}	5	—	—	ns	
SDCLK端子出力立ち上がり時間		t_{Cr}	—	—	5	ns	
SDCLK端子出力立ち下がり時間		t_{Cr}	—	—	5	ns	
EXTAL外部クロック入力サイクル時間		t_{EXcyc}	50	—	—	ns	図51.4
EXTAL外部クロック入力パルス幅Highレベル		t_{EXH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル		t_{EXL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間		t_{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間		t_{EXf}	—	—	5	ns	
EXTAL外部クロック入力待機時間（注1）		t_{EXWT}	1	—	—	ms	
メインクロック発振器発振周波数		f_{MAIN}	4	—	16	MHz	
メインクロック発振安定時間（水晶）		$t_{MAINOSC}$	—	—	—（注3）	ms	図51.5
メインクロック発振安定待機時間（水晶）		$t_{MAINOSCWT}$	—	—	—（注4）	ms	
LOCOクロックサイクル時間		t_{cyc}	6.96	8	9.4	μs	
LOCOクロック発振周波数		f_{LOCO}	106.25	125	143.75	kHz	
LOCOクロック発振安定待機時間		t_{LOCOWT}	—	—	20	μs	図51.6
HOCOクロック発振周波数		f_{HOCO}	45	50	55	MHz	
HOCOクロック発振安定待機時間1（注2）		$t_{HOCOWT1}$	—	—	1.8	ms	図51.7
HOCOクロック発振安定待機時間2		$t_{HOCOWT2}$	—	—	2.0	ms	図51.8
HOCOクロック電源安定時間		t_{HOCOP}	—	—	1	ms	図51.9
PLL回路発振周波数		f_{PLL}	104	—	200	MHz	
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t_{PLL1}	—	—	500	μs	図51.10
PLLクロック発振安定待機時間		t_{PLLWT1}	—	—	—（注5）	ms	
PLLクロック発振安定時間	メインクロック発振安定前にPLL動作開始	t_{PLL2}	—	—	$t_{MAINOSC}$ +t_{PLL1}	ms	図51.11
PLLクロック発振安定待機時間		t_{PLLWT2}	—	—	—（注5）	ms	

注1.　P36、P37を入力に設定し、メインクロック発振器停止ビット（MOSCCR.MOSTP）を“0”（動作）に設定してから、使用できるまでの時間
注2.　内部リセットが解除されてから、HOCOの発振周波数がfHOCOの保証範囲に収まるまでの時間
注3.　メインクロックを使用する場合は、発振子メーカに発振評価を依頼してください。発振安定時間については、発振子メーカの評価結果を参照してください。

注4. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[4:0]ビットで選択したサイクル数nに応じて、次式で算出されます。

$$t_{MAINOSCWT} = t_{MAINOSC} + \frac{n + 16384}{f_{MAIN}}$$

注5. PLLクロック発振安定待機時間は、PLLWTCR.PSTS[4:0]ビットで選択したサイクル数nに応じて、次式で算出されます。

$$t_{PLLWT1} = t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

$$t_{PLLWT2} = t_{PLL2} + \frac{n + 131072}{f_{PLL}} = t_{MAINOSC} + t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

表51.12　クロックタイミング（サブクロック関連）
条件：VCC = AVCC0= VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、V_{BATT} = 2.0～3.6V（100ピン以上の製品）、V_{BATT} = 2.3～3.6V（64ピンの製品）
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数	f_{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間	t_{SUBOSC}	—	—	（注1）	s	図51.12
サブクロック発振安定待機オフセット時間（注3）	$t_{SUBOSCWT0}$	1.8	—	2.6	s	
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	（注2）	s	

注1.　サブクロックを使用する場合は、発振子メーカに発振評価を依頼してください。発振安定時間につきましては、発振子メーカの評価結果を参照してください。

注2.　サブクロック発振安定待機時間は、SOSCWTCR.SSTS[4:0]ビットで選択したサイクル数nに応じて、次式で算出されます。

$$t_{SUBOSCWT} = \max\left(t_{SUBOSC}, t_{SUBOSCWT0}\right) + \frac{n}{f_{SUB}}$$

なお、max (t_{SUBOSC}, $t_{SUBOSCWT0}$) は「t_{SUBOSC}と$t_{SUBOSCWT0}$のうち大きい方の値」を意味します。

注3.　サブクロック発振安定待機オフセット時間（$t_{SUBOSCWT0}$）は、100ピン以上の製品においてのみ、min値、max値を参照ください。64ピンの製品については、$t_{SUBOSCWT0}$の値は0とみなしてください。

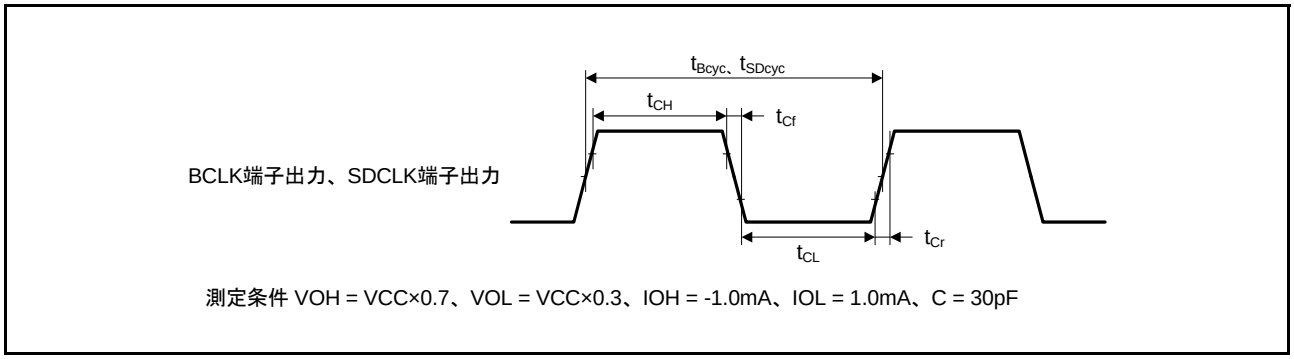


図 51.3　BCLK 端子出力、SDCLK 端子出力タイミング

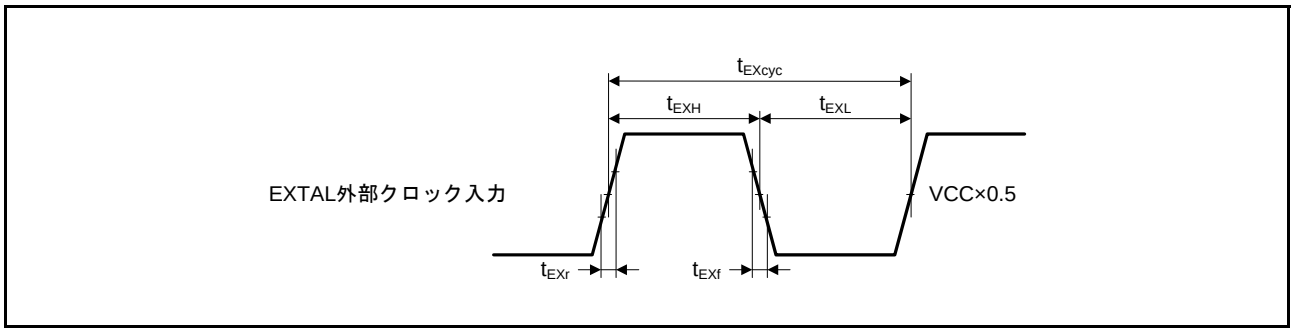


図 51.4　EXTAL 外部クロック入力タイミング

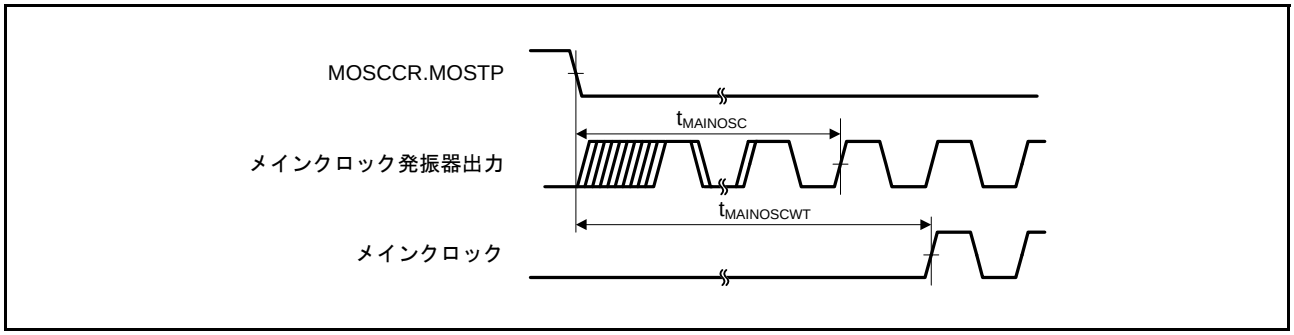


図 51.5 メインクロック発振開始タイミング

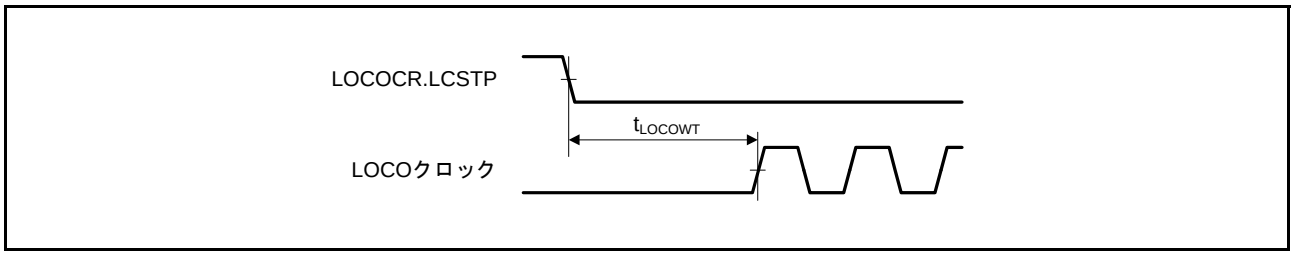


図 51.6 LOCO クロック発振開始タイミング

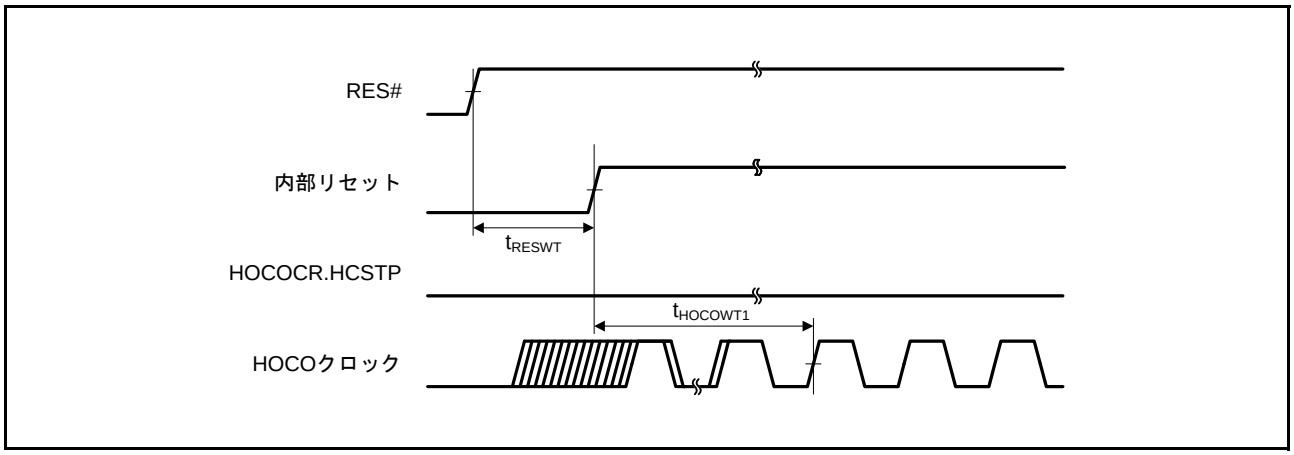


図 51.7 HOCO クロック発振開始タイミング（OFS1.HOCOEN ビット “0” 設定時のリセット解除後）

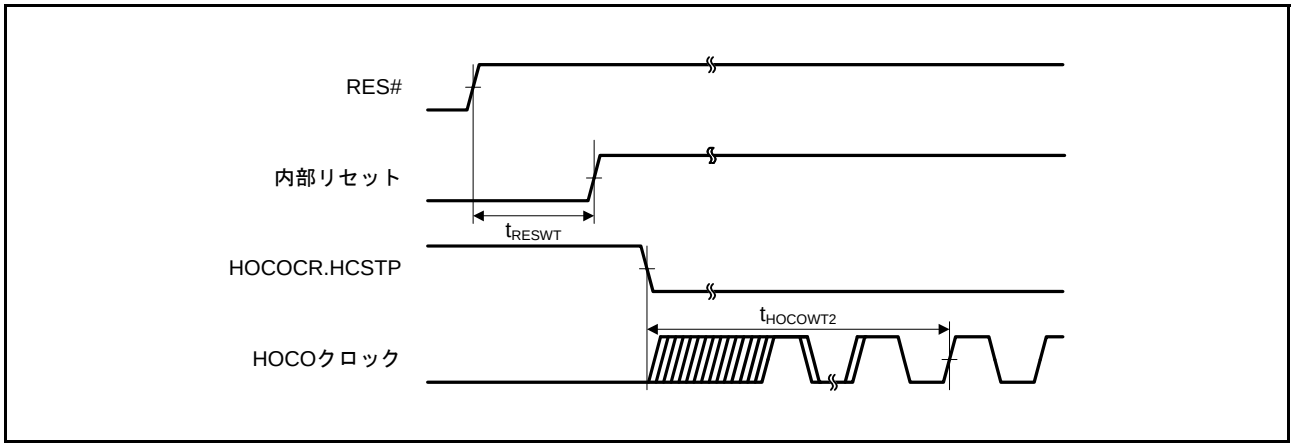


図 51.8 HOCO クロック発振開始タイミング（HOCOCR.HCSTP 設定による発振開始）

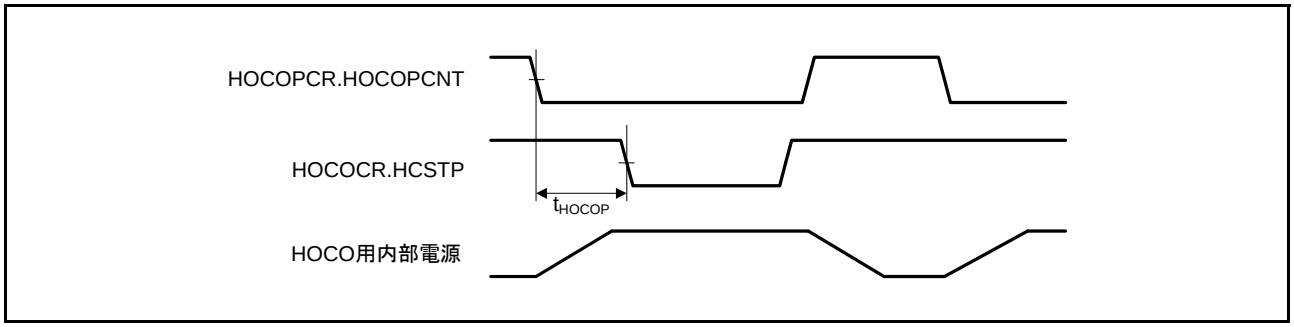


図 51.9　HOCO 電源制御タイミング

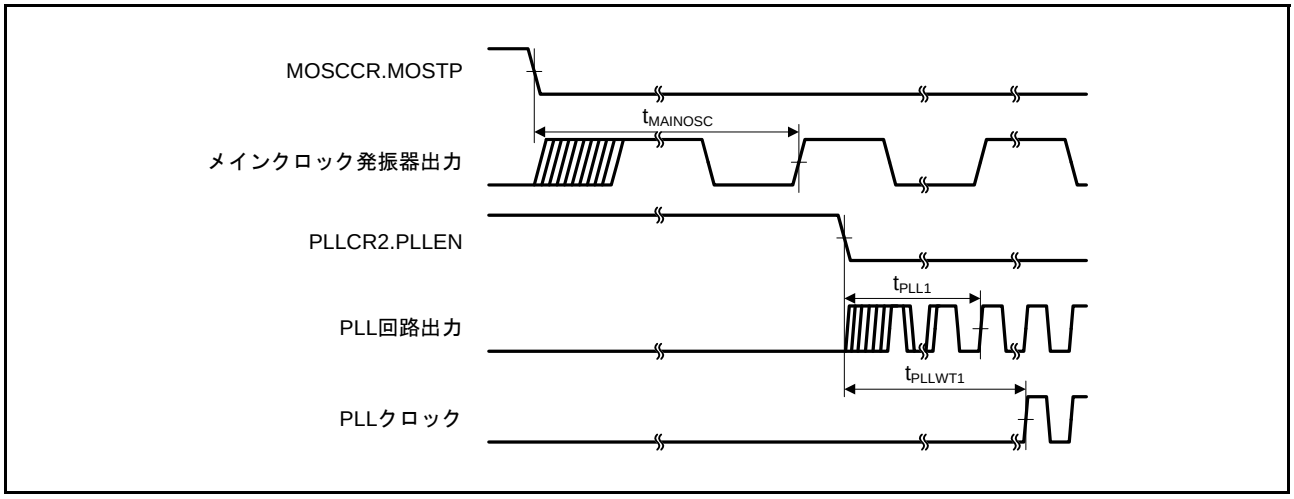


図 51.10　PLL クロック発振開始タイミング（メインクロック発振安定後に PLL を動作させたとき）

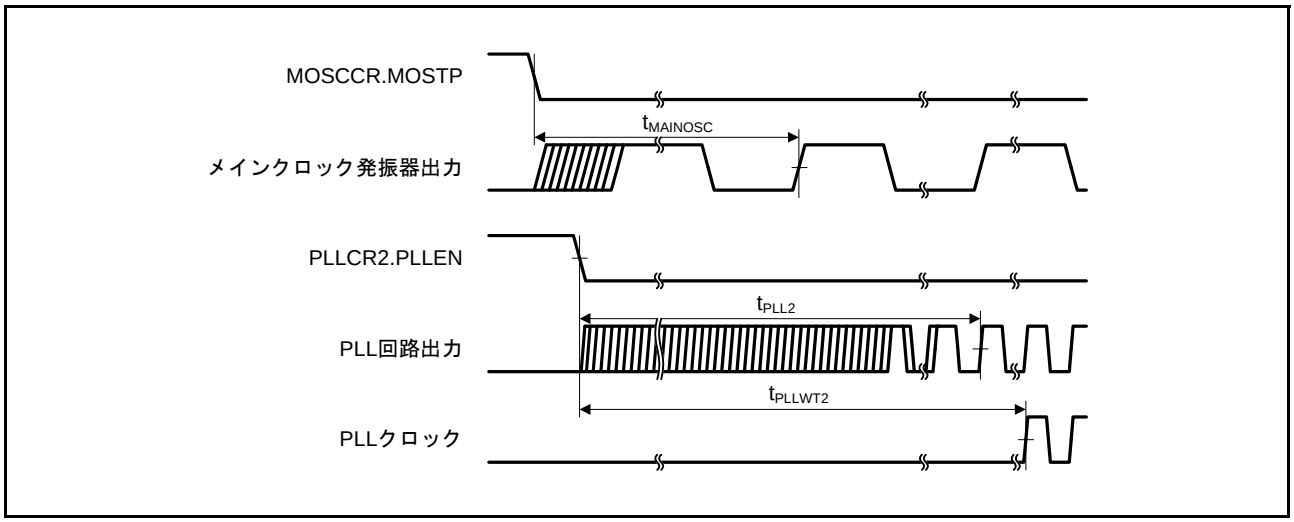
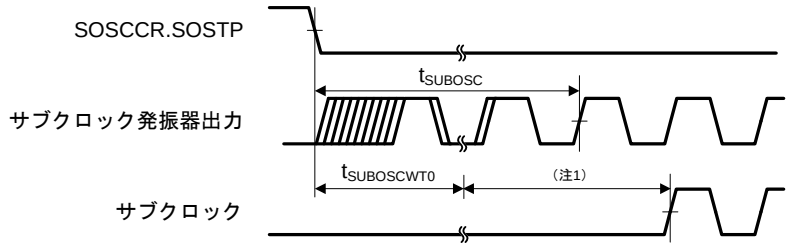


図 51.11　PLL クロック発振開始タイミング（メインクロック発振安定を待たずに PLL を動作させたとき）



注1. SOCCWTCR.SSTS[4:0]ビットの設定によって得られる待機期間です。

図 51.12 サブクロック発振開始タイミング

51.3.3　低消費電力状態からの復帰タイミング

表51.13　低消費電力状態からの復帰タイミング
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	10	—	—	ms	図 51.13
		メインクロック発振器、PLL回路動作	t_{SBYPC}	10	—	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}	1	—	—	ms	
		メインクロック発振器、PLL回路動作	t_{SBYPE}	1	—	—	ms	
	サブクロック発振器動作		t_{SBYSC}	2	—	—	s	
	高速オンチップオシレータ動作		t_{SBYHO}	—	—	2	ms	
	低速オンチップオシレータ、またはIWDT専用オンチップオシレータ動作		t_{SBYLO}	—	—	800	μs	
ディープソフトウェアスタンバイモード解除後復帰時間			t_{DSBY}	—	—	1.0	ms	図 51.14
ディープソフトウエアスタンバイモード解除後待機時間			t_{DSBYWT}	45	—	46	t_{cyc}	

注．　WAIT命令実行時の各発振器の状態によって待ち時間が異なります。複数の発振器が動作している場合の復帰時間は、動作している発振器の中で復帰に最も時間がかかるものが単独で動作しているときと同じ時間になります。

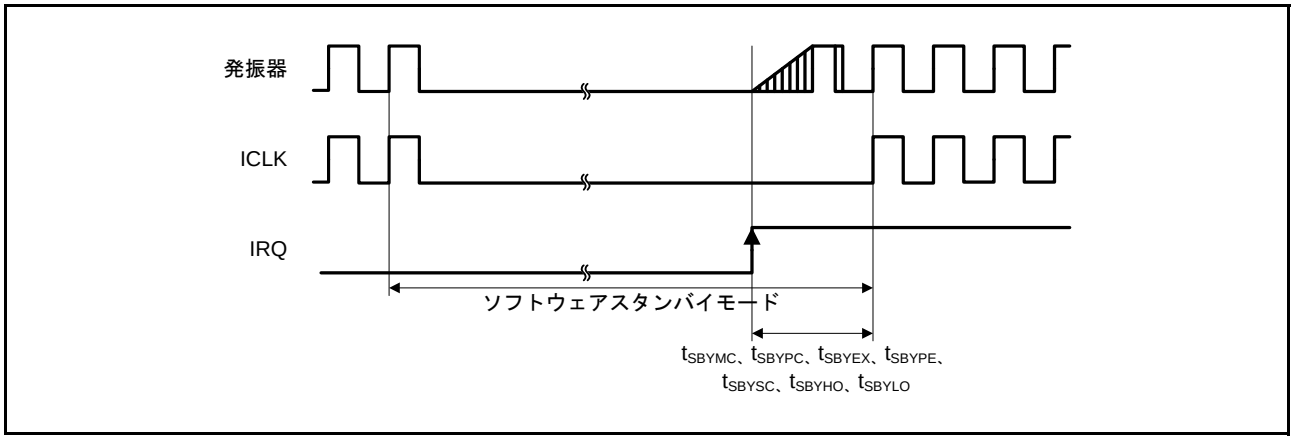


図 51.13　ソフトウェアスタンバイモード解除タイミング

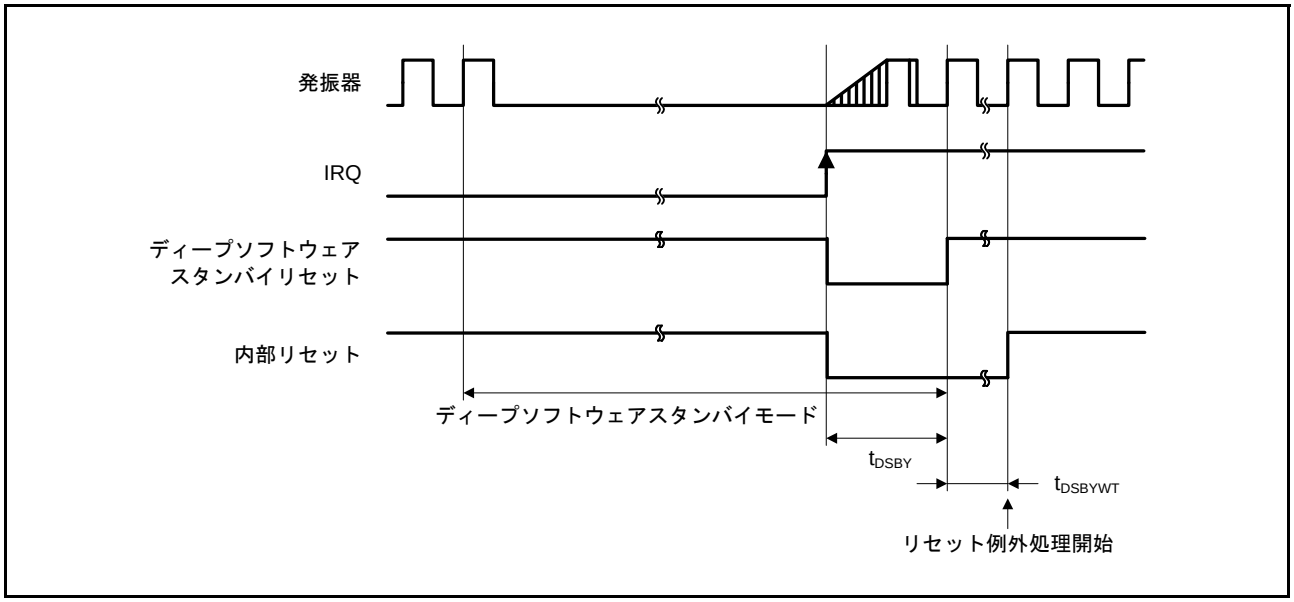


図 51.14　ディープソフトウェアスタンバイモード解除タイミング

51.3.4　制御信号タイミング

表51.14　制御信号タイミング
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	t_{NMIW}	200	—	—	ns	tc(PCLK) × 2 ≦ 200ns、図 51.15
		tc(PCLK) × 2	—	—		tc(PCLK) × 2 ＞ 200ns、図 51.15
IRQパルス幅	t_{IRQW}	200	—	—	ns	tc(PCLK) × 2 ≦ 200ns、図 51.16
		tc(PCLK) × 2	—	—		tc(PCLK) × 2 ＞ 200ns、図 51.16

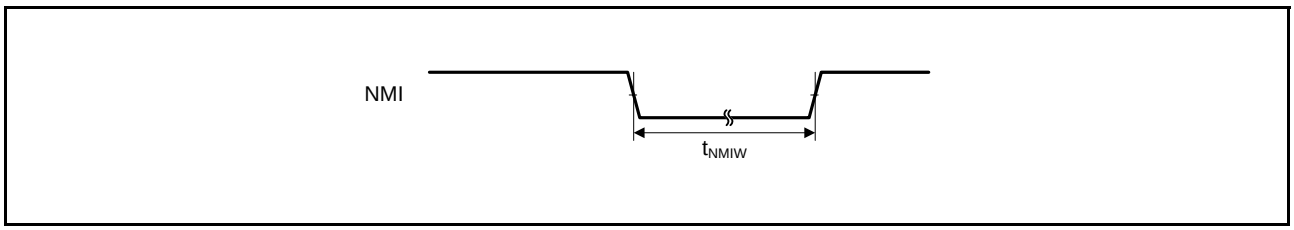


図 51.15　NMI 割り込み入力タイミング

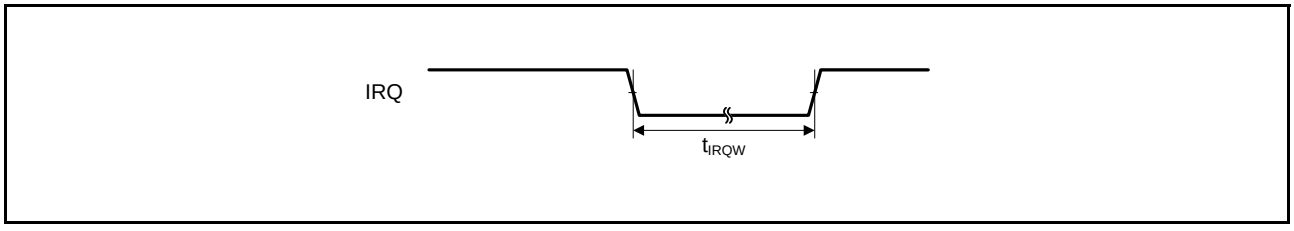


図 51.16　IRQ 割り込み入力タイミング

51.3.5 バスタイミング

表51.15　バスタイミング（177～144ピン）

条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
ICLK = 8～100MHz、BCLK端子 = 8～50MHz、SDCLK端子 = 8～50MHz、$T_a = T_{opr}$
出力負荷条件：$V_{OH} = VCC \times 0.5$、$V_{OL} = VCC \times 0.5$、$I_{OH} = -1.0mA$、$I_{OL} = 1.0mA$、C = 30pF
駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	15	ns	図51.17～図51.22
バイトコントロール遅延時間	t_{BCD}	—	15	ns	
CS#遅延時間	t_{CSD}	—	15	ns	
ALE遅延時間	t_{ALED}	—	20	ns	
RD#遅延時間	t_{RSD}	—	15	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	15	ns	
ライトデータ遅延時間	t_{WDD}	—	15	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図51.23
WAIT#ホールド時間	t_{WTH}	0	—	ns	
アドレス遅延時間2（SDRAM）	t_{AD2}	1	15	ns	図51.24～図51.30
CS# 遅延時間2（SDRAM）	t_{CSD2}	1	15	ns	
DQM 遅延時間（SDRAM）	t_{DQMD}	1	15	ns	
CKE 遅延時間（SDRAM）	t_{CKED}	1	15	ns	
リードデータセットアップ時間2（SDRAM）	t_{RDS2}	12	—	ns	
リードデータホールド時間2（SDRAM）	t_{RDH2}	0	—	ns	
ライトデータ遅延時間2（SDRAM）	t_{WDD2}	—	15	ns	
ライトデータホールド時間2（SDRAM）	t_{WDH2}	1	—	ns	
WE# 遅延時間（SDRAM）	t_{WED}	1	15	ns	
RAS# 遅延時間（SDRAM）	t_{RASD}	1	15	ns	
CAS# 遅延時間（SDRAM）	t_{CASD}	1	15	ns	

表51.16　バスタイミング（100ピン以下）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
ICLK = 8～100MHz、BCLK端子 = 8～50MHz、$T_a = T_{opr}$
出力負荷条件：V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、I_{OH} = –1.0mA、I_{OL} = 1.0mA、C = 30pF
駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	20	ns	図51.17～図51.22
バイトコントロール遅延時間	t_{BCD}	—	20	ns	
CS#遅延時間	t_{CSD}	—	20	ns	
ALE遅延時間	t_{ALED}	—	20	ns	
RD#遅延時間	t_{RSD}	—	20	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	20	ns	
ライトデータ遅延時間	t_{WDD}	—	20	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図51.23
WAIT#ホールド時間	t_{WTH}	0	—	ns	

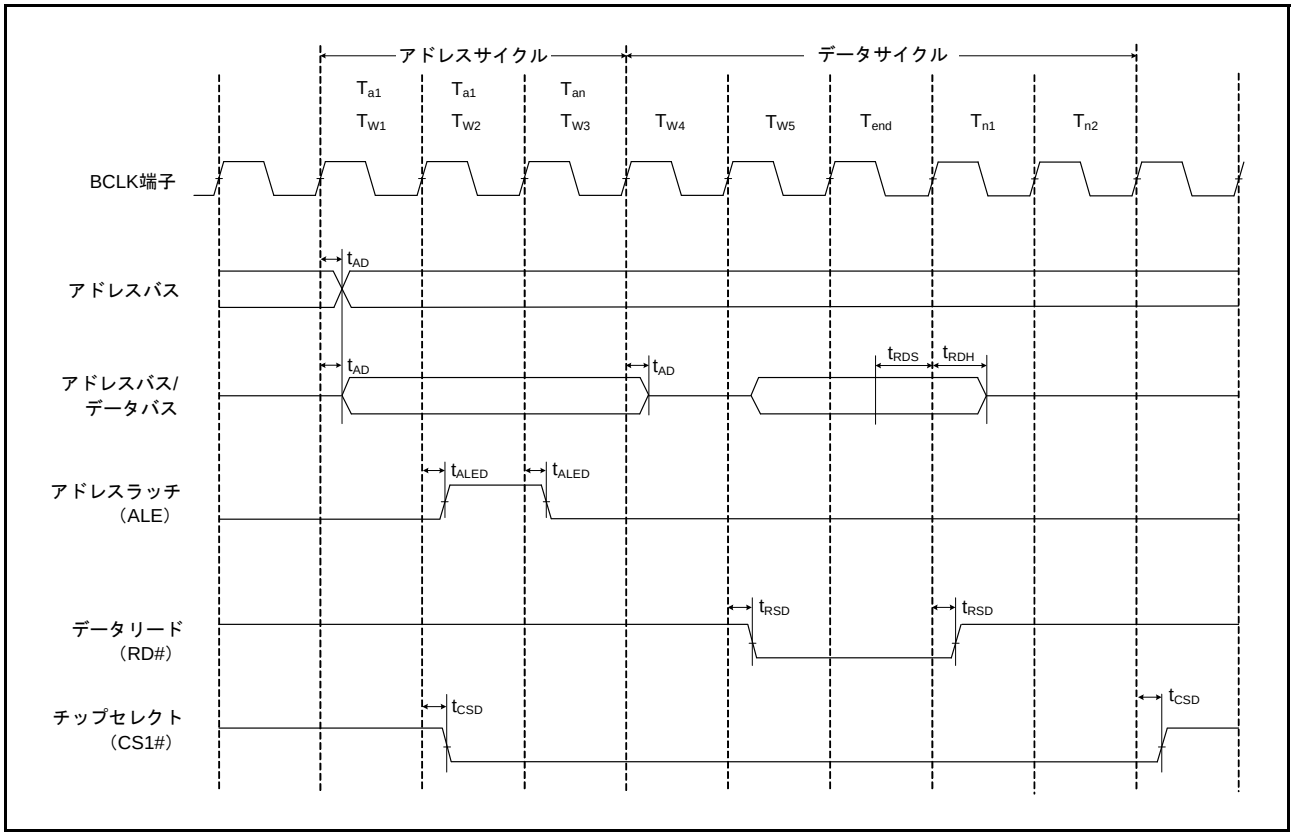


図 51.17　アドレス / データマルチプレクスバスのリードアクセスタイミング

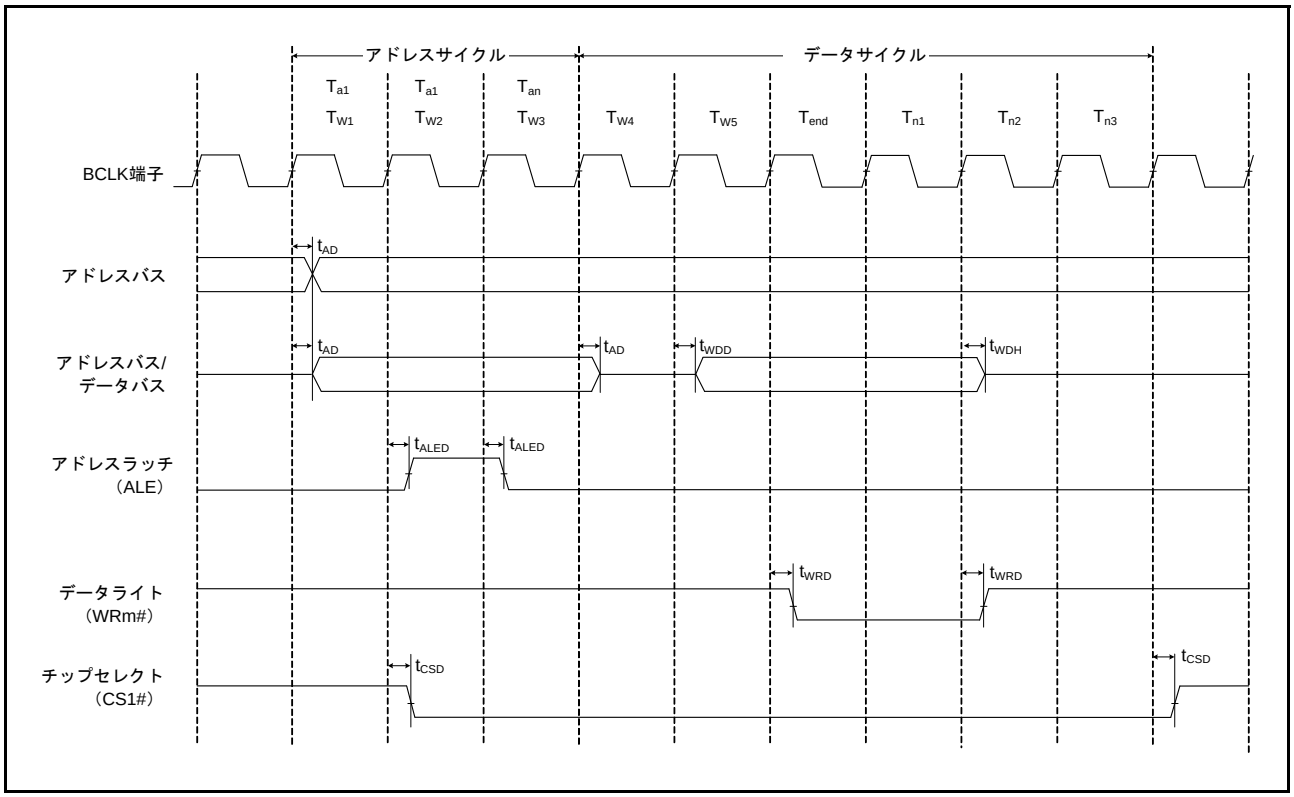


図 51.18　アドレス / データマルチプレクスバスのライトアクセスタイミング

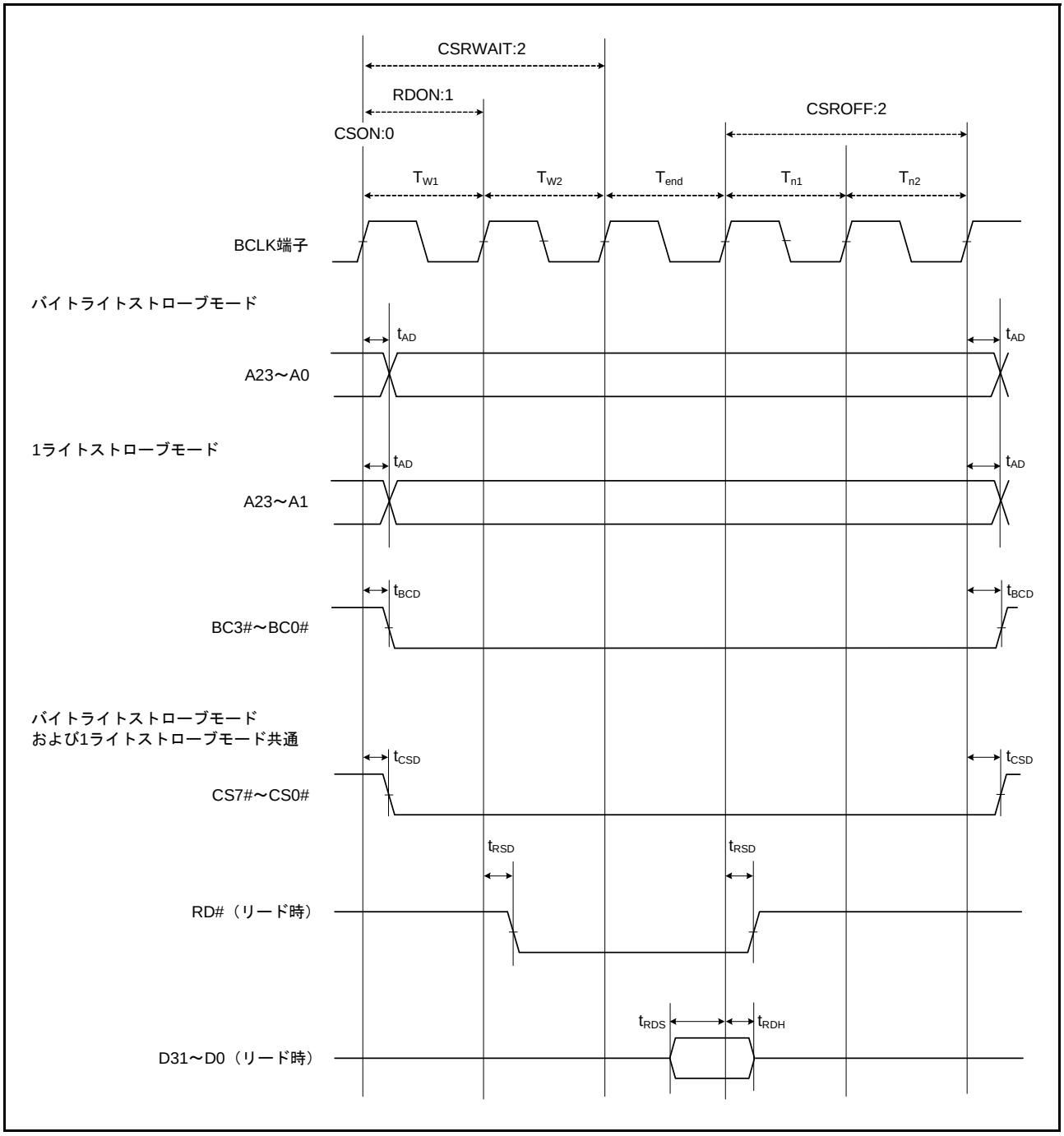
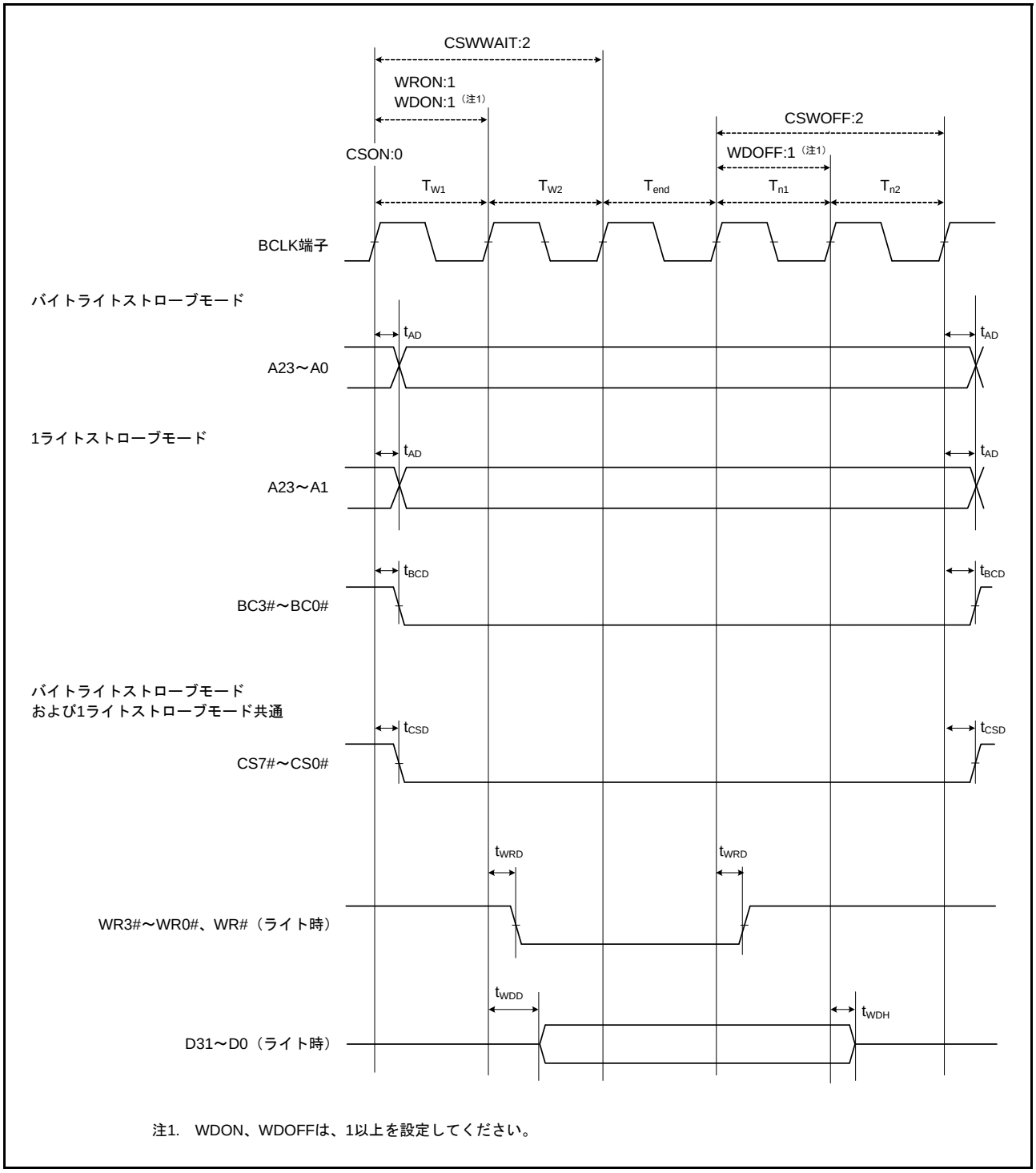


図 51.19　外部バスタイミング / ノーマルリードサイクル（バスクロック同期）



注1. WDON、WDOFFは、1以上を設定してください。

図 51.20 外部バスタイミング / ノーマルライトサイクル（バスクロック同期）

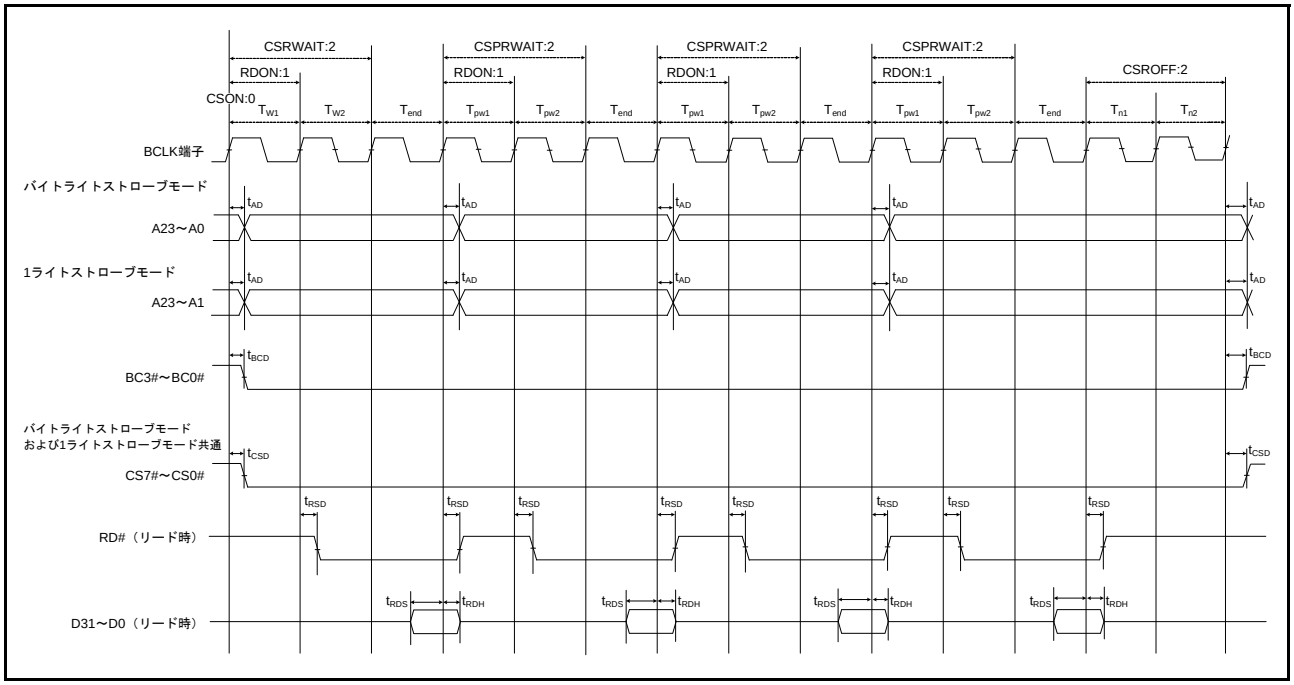
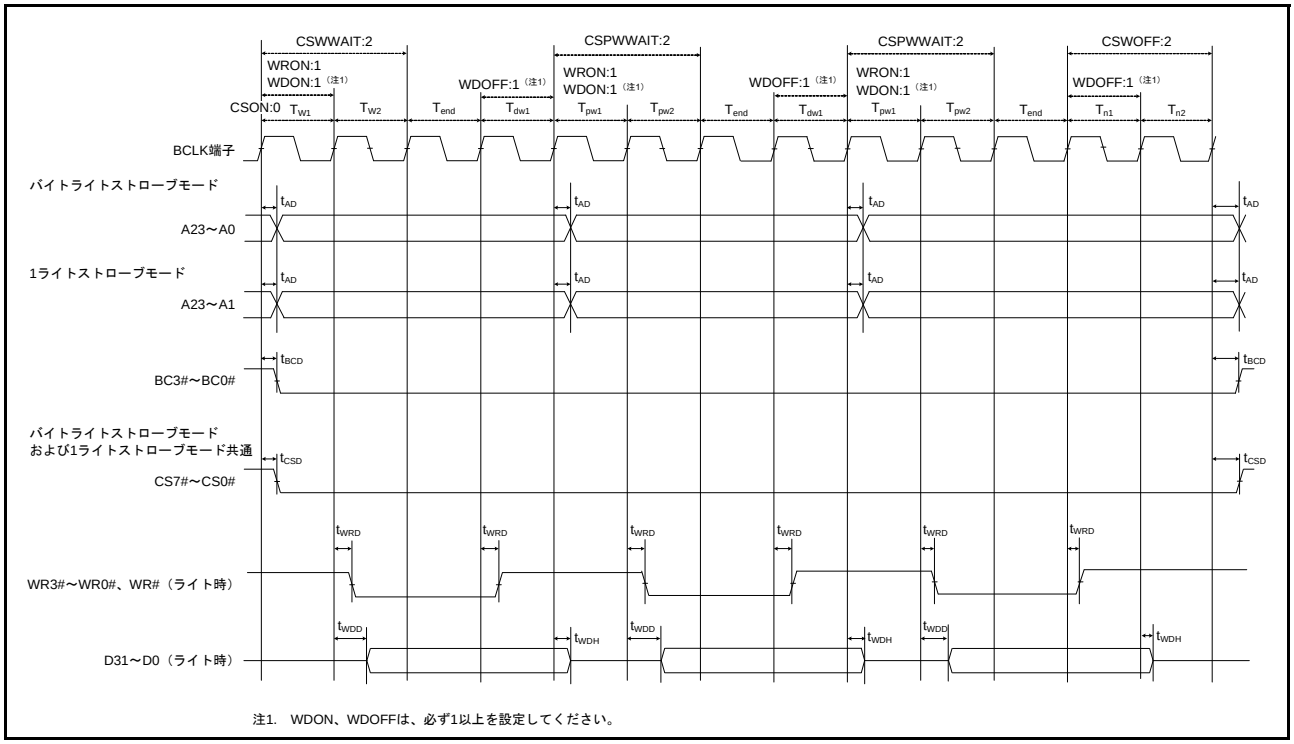


図 51.21　外部バスタイミング / ページリードサイクル（バスクロック同期）



注1.　WDON、WDOFFは、必ず1以上を設定してください。

図 51.22　外部バスタイミング / ページライトサイクル（バスクロック同期）

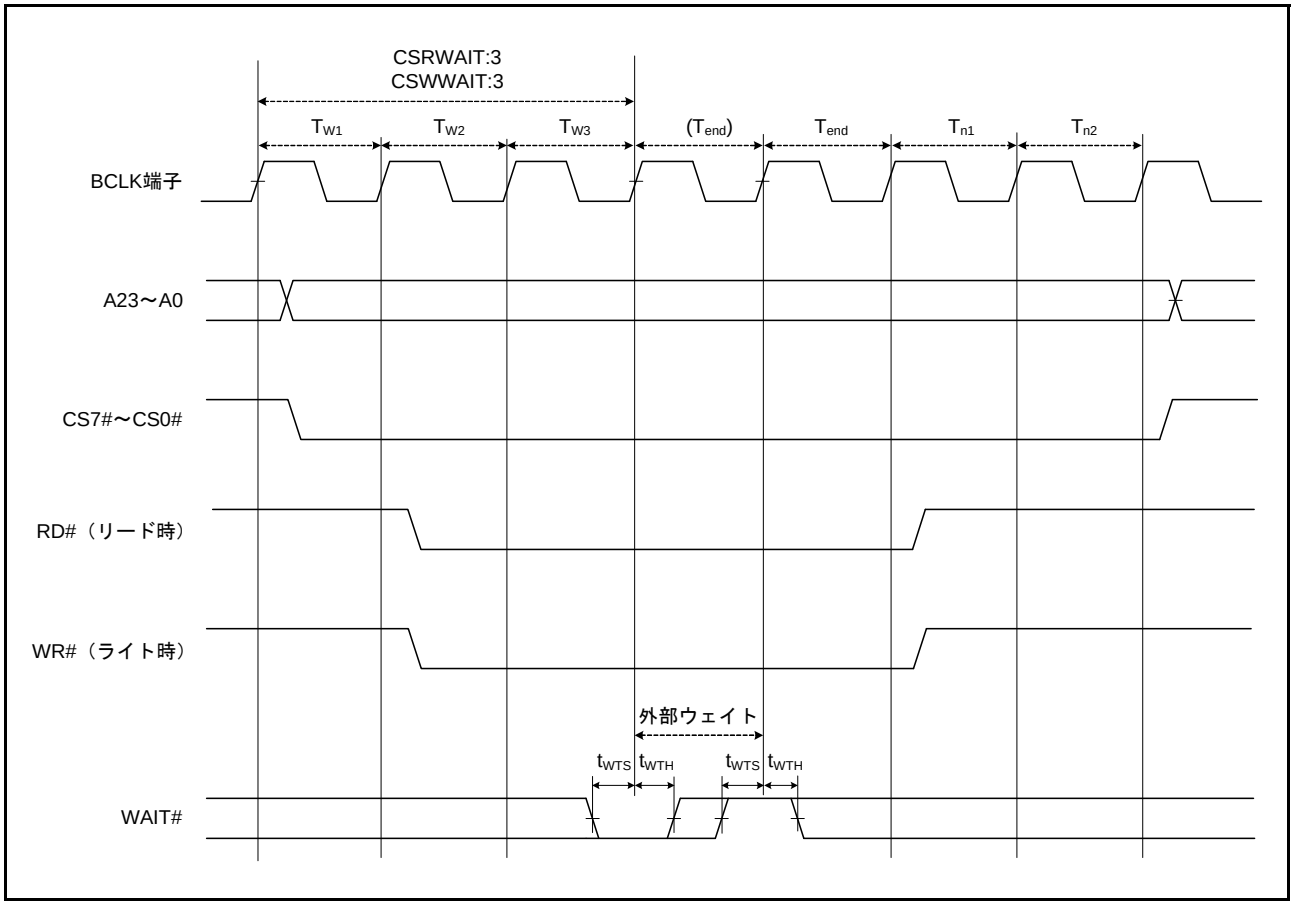
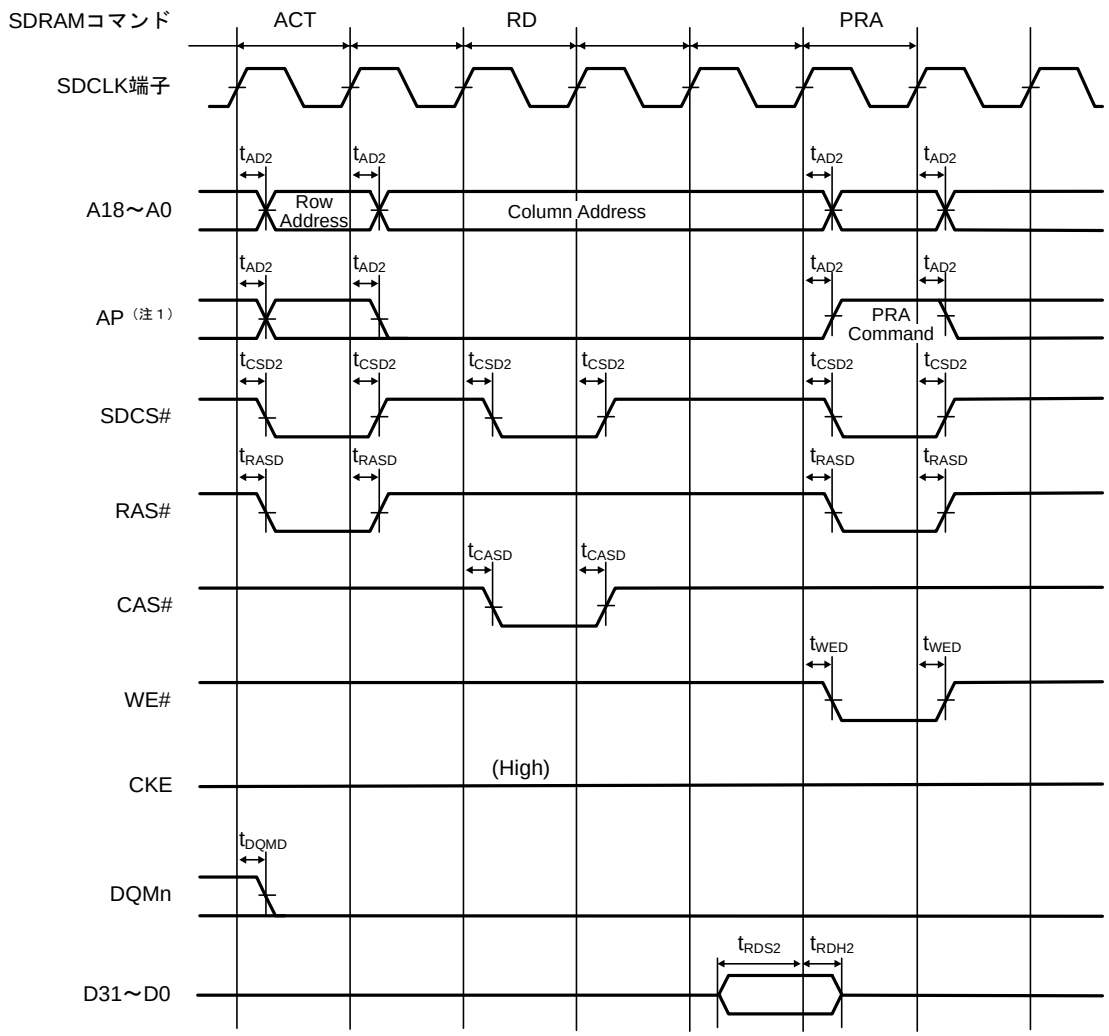
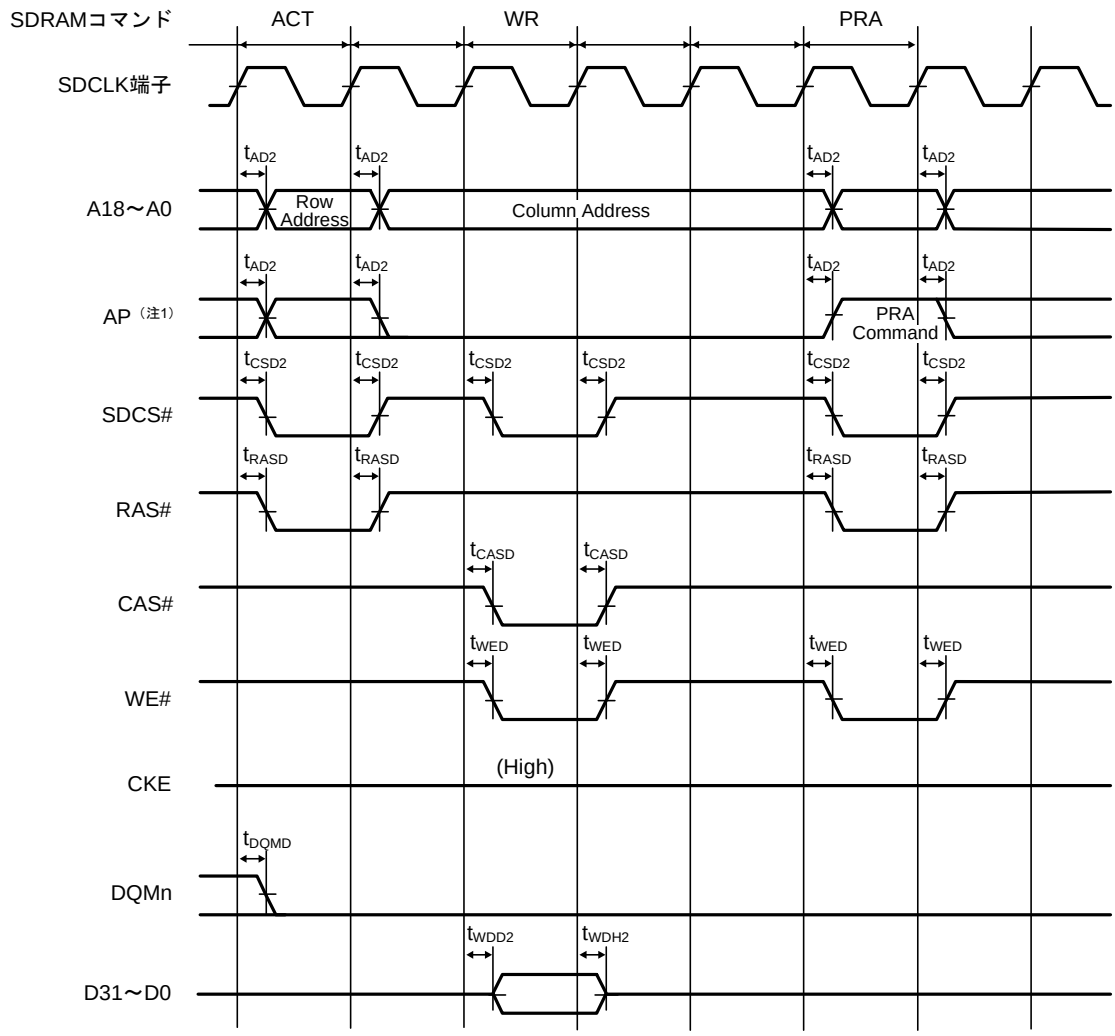


図 51.23　外部バスタイミング / 外部ウェイト制御



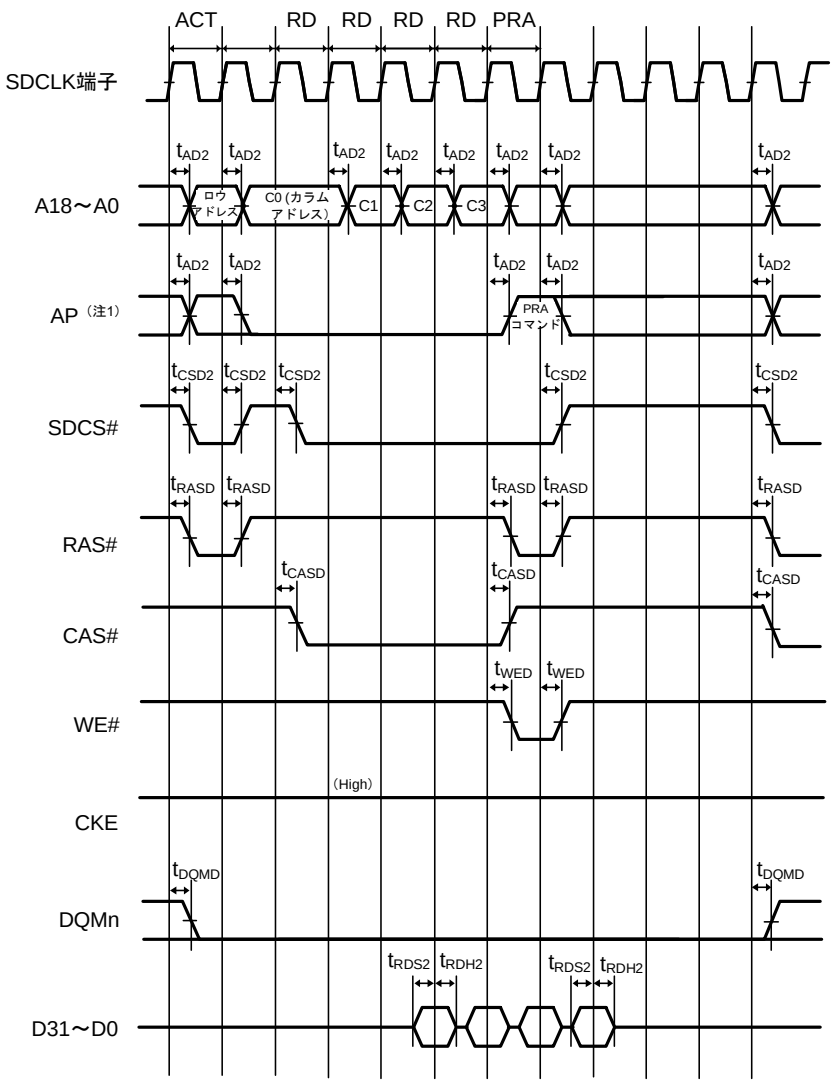
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 51.24　SDRAM 空間シングルリードバスタイミング



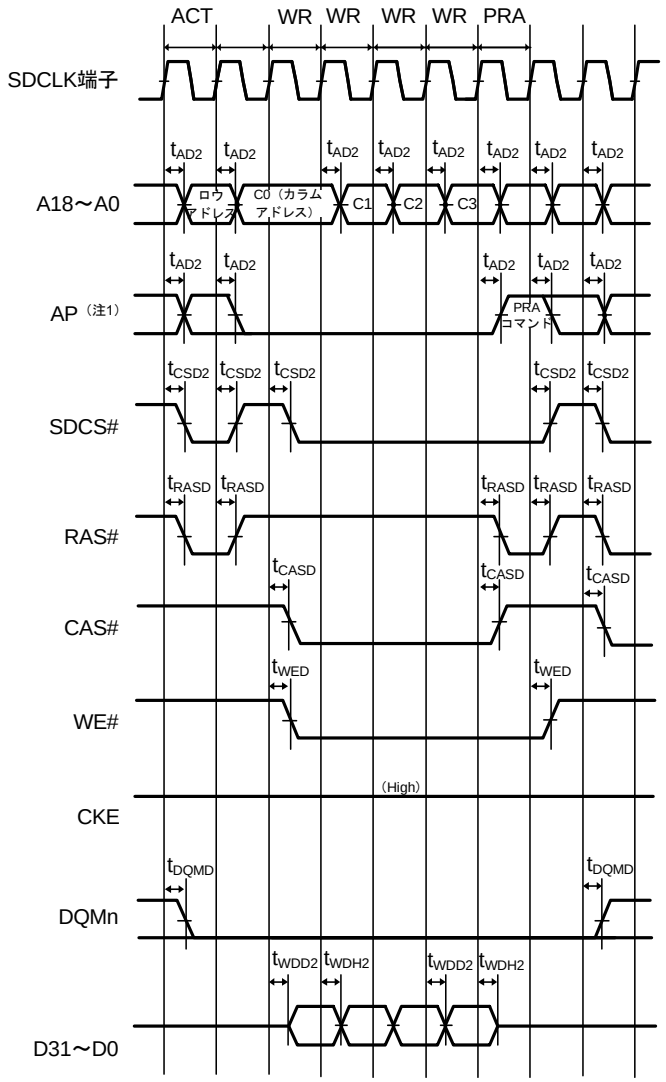
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 51.25　SDRAM 空間シングルライトバスタイミング



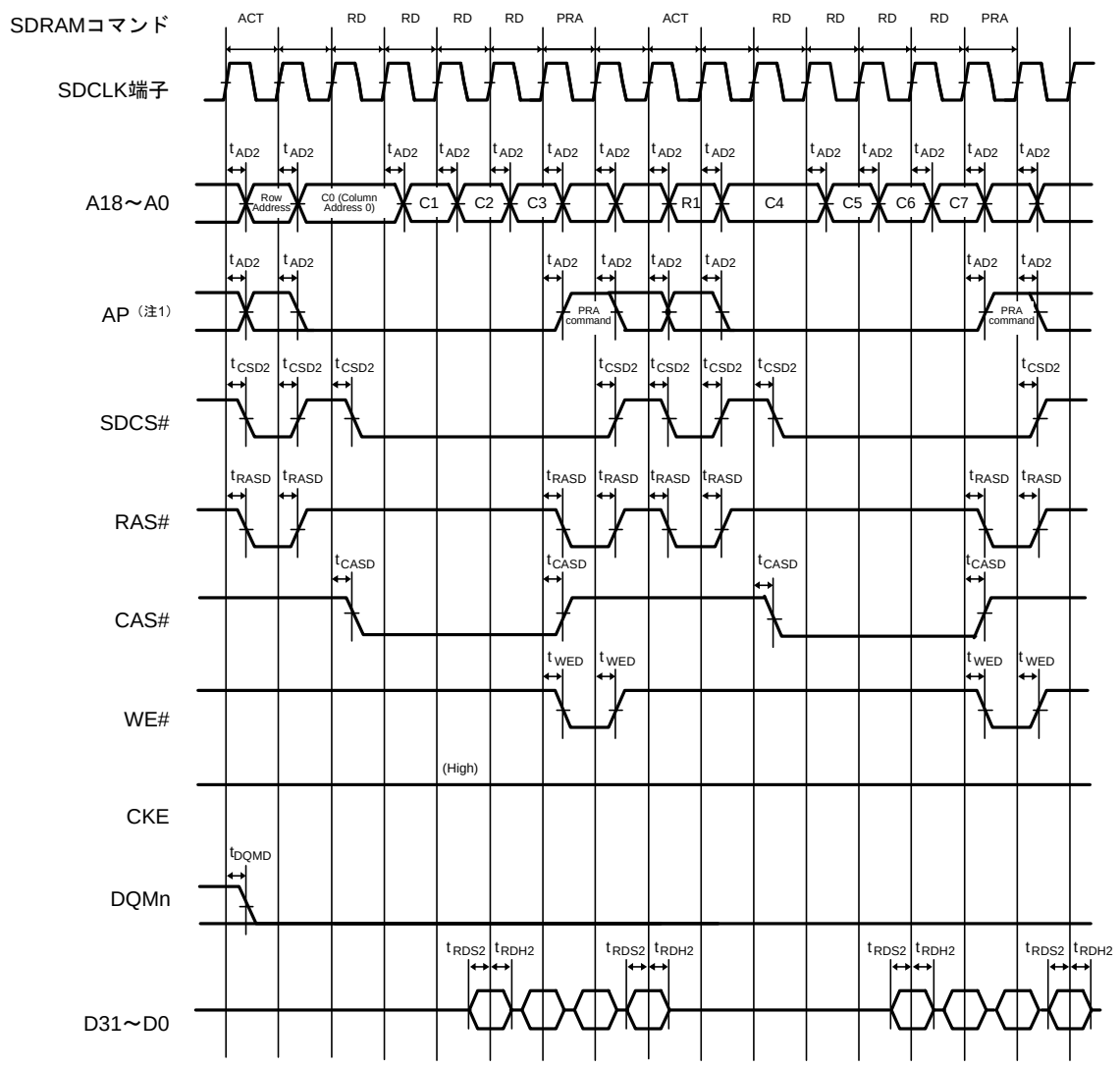
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 51.26　SDRAM 空間複数リードバスタイミング



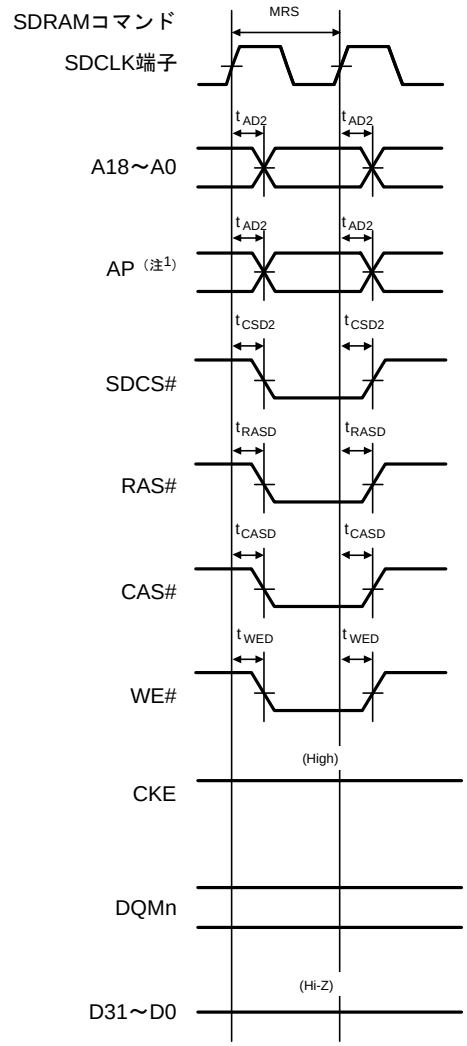
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 51.27　SDRAM 空間複数ライトバスタイミング



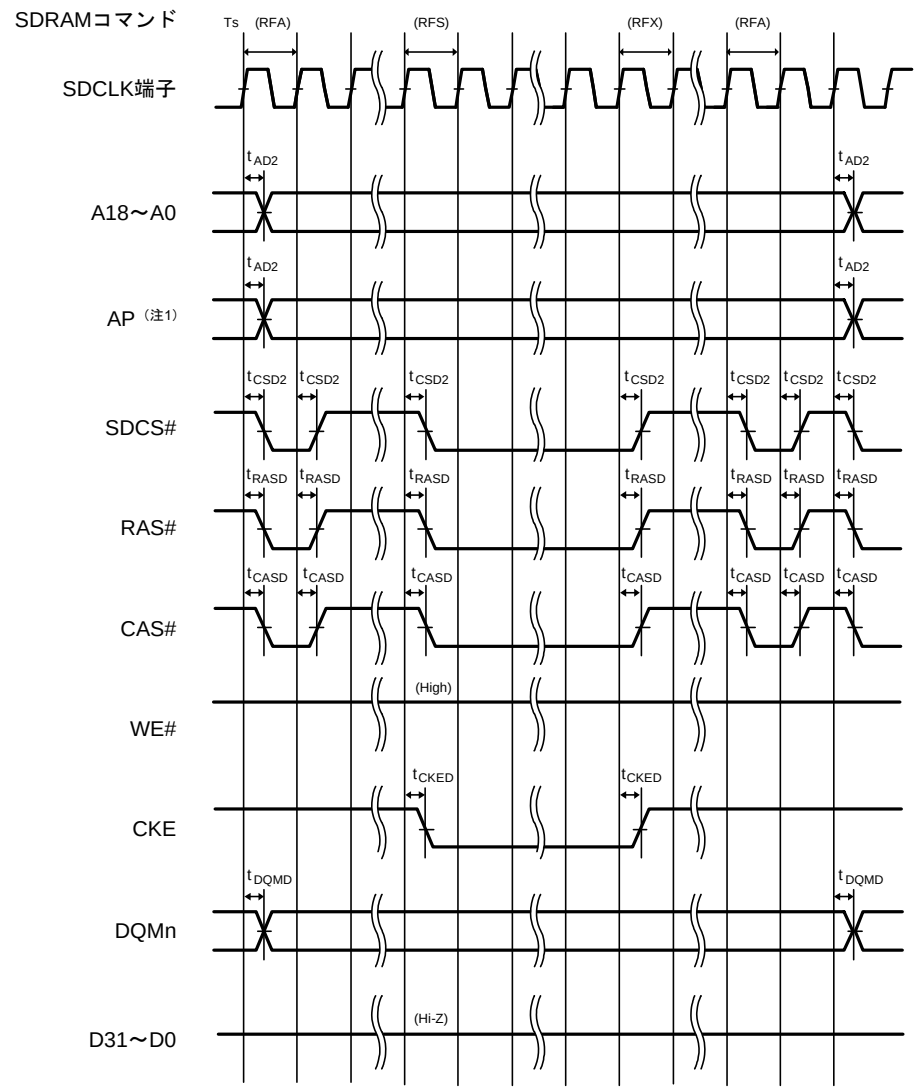
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 51.28　SDRAM 空間複数リード行またぎバスタイミング



注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 51.29　SDRAM 空間モードレジスタセットバスタイミング



注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 51.30　SDRAM 空間セルフリフレッシュバスタイミング

51.3.6 EXDMAC タイミング

表 51.17　EXDMAC タイミング
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
ICLK = 8～100MHz、PCLK = 8～50MHz、BCLK 端子 = 8～100MHz、SDCLK 端子 = 8～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
EXDMAC	EDREQ セットアップ時間	t_{EDRQS}	20	—	ns	図 51.31
	EDREQ ホールド時間	t_{EDRQH}	5	—	ns	図 51.32～図 51.33
	EDACK 遅延時間	t_{EDACD}	—	15	ns	

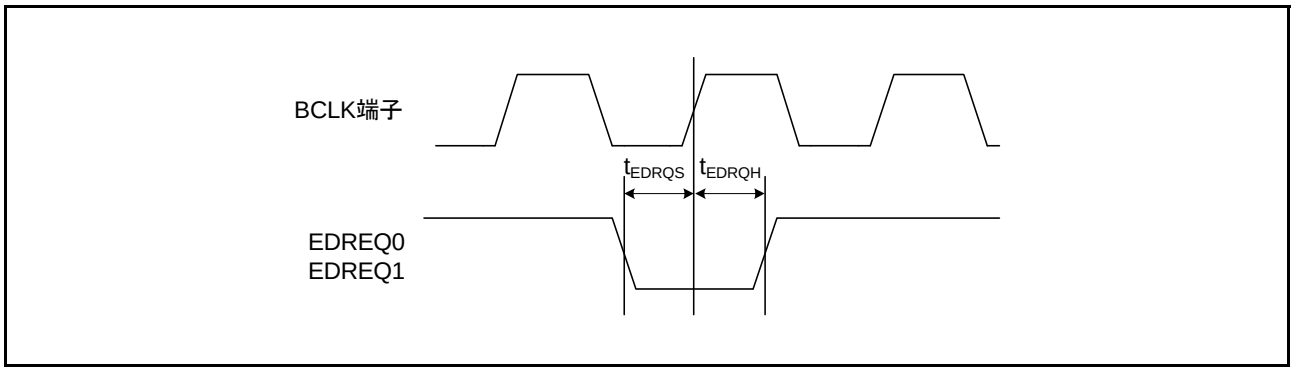


図 51.31　EDREQ0、EDREQ1 入力タイミング

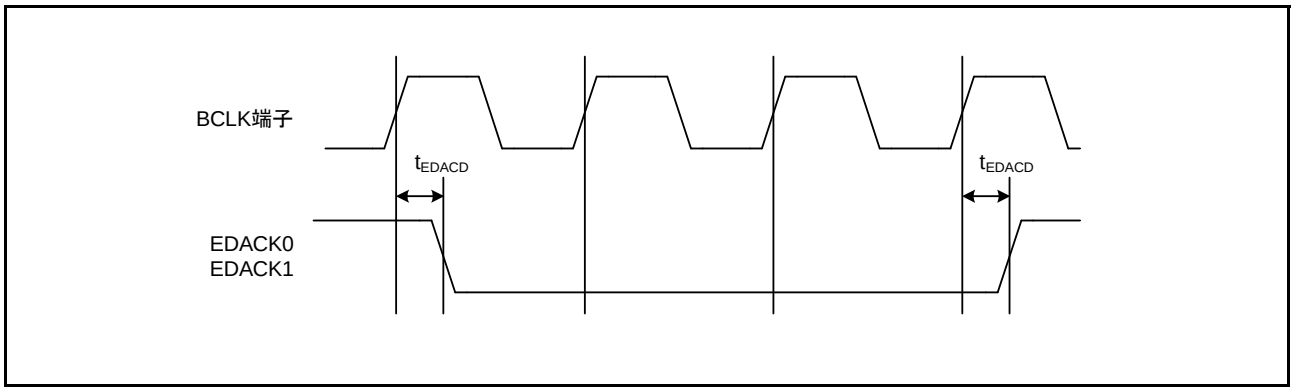


図 51.32　EDACK0、EDACK1 シングルアドレス転送タイミング（CS 領域）

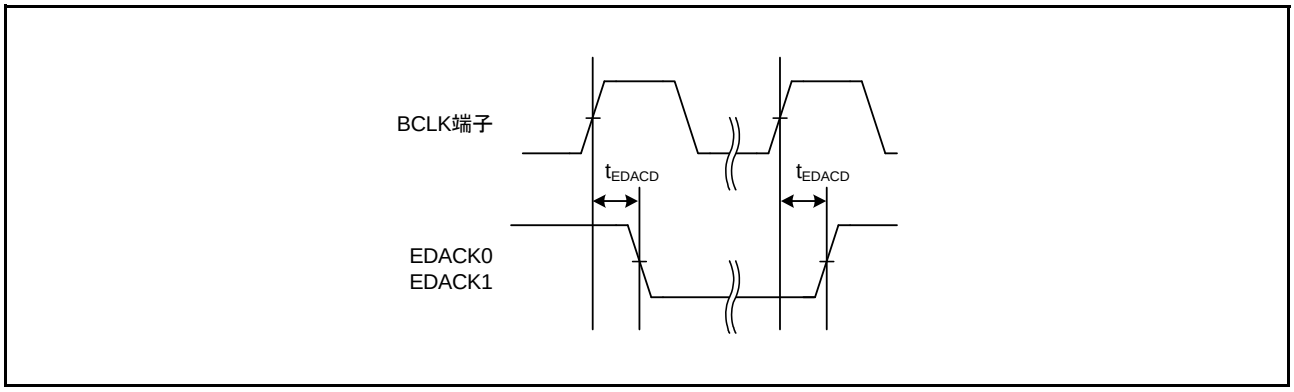


図 51.33　EDACK0、EDACK1 シングルアドレス転送タイミング（SDRAM 領域）

51.3.7 内蔵周辺モジュールタイミング

表51.18　内蔵周辺モジュールタイミング（1）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 8～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位（注1）	測定条件
I/Oポート	入力データパルス幅		t_{PRW}	1.5	—	t_{Pcyc}	図 51.34
MTU/TPU	インプットキャプチャ入力パルス幅	単エッジ指定	t_{TICW}	1.5	—	t_{Pcyc}	図 51.35
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}、t_{TCKWL}	1.5	—	t_{Pcyc}	図 51.36
		両エッジ指定		2.5	—		
		位相係数モード		2.5	—		
POE	POE#入力パルス幅		t_{POEW}	1.5	—	t_{Pcyc}	図 51.37
8ビットタイマ	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}、t_{TMCWL}	1.5	—	t_{Pcyc}	図 51.38
		両エッジ指定		2.5	—		
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図51.39
		クロック同期		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	20	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	20	ns	
	送信データ遅延時間	クロック同期	t_{TXD}	—	40	ns	図51.40
	受信データセットアップ時間	クロック同期	t_{RXS}	40	—	ns	
	受信データホールド時間	クロック同期	t_{RXH}	40	—	ns	
A/Dコンバータ	10ビットA/Dコンバータトリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図51.41
	12ビットA/Dコンバータトリガ入力パルス幅			1.5	—		

注1.　t_{Pcyc}：PCLKの周期

表51.19　内蔵周辺モジュールタイミング（2）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V（注1）、VREFH0 = 2.7V～AVCC0（注1）、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、
PCLK = 8～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目				記号	min	max	単位（注2）	測定条件
RSPI	RSPCK クロックサイクル	マスタ		t_{SPcyc}	2	4096	t_{Pcyc}	図51.42 C=30pF
		スレーブ			8	4096		
	RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—		
	RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—		
	RSPCK クロック 立ち上がり/立ち下がり時間	出力[177-144 ピン]		t_{SPCKr}、t_{SPCKf}	—	5	ns	
		出力[100 ピン以下]			—	10		
		入力			—	1	μs	
	データ入力セットアップ時間	マスタ[177-144 ピン]	VCC≧3.0V	t_{SU}	15	—	ns	図51.43～図51.46 C=30pF
			VCC＜3.0V		20	—		
		マスタ[100 ピン以下]			30	—		
		スレーブ			$20 - t_{Pcyc}$	—		
	データ入力ホールド時間	マスタ		t_H	0	—	ns	
		スレーブ			$20 + 2 \times t_{Pcyc}$	—		
	SSL セットアップ時間	マスタ		t_{LEAD}	1	8	t_{SPcyc}	
		スレーブ			4	—	t_{Pcyc}	
	SSL ホールド時間	マスタ		t_{LAG}	1	8	t_{SPcyc}	
		スレーブ			4	—	t_{Pcyc}	

注1.　3.0V以下でご使用の場合は、当社営業窓口までご照会ください。
注2.　t_{Pcyc}：PCLKの周期

表51.20　内蔵周辺モジュールタイミング（3）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V（注1）、VREFH0 = 2.7V～AVCC0（注1）、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、
PCLK = 8～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目				記号	min	max	単位（注2）	測定条件
RSPI	データ出力遅延時間	マスタ	177-144ピン	t_{OD}	—	18	ns	図51.43～図51.46 C=30pF
			100ピン以下		—	30		
		スレーブ	177-144ピン		—	$3 \times t_{Pcyc} + 40$		
			100ピン以下		—	$3 \times t_{Pcyc} + 50$		
	データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
		スレーブ			0	—		
	連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ			$4 \times t_{Pcyc}$	—		
	MOSI、MISO 立ち上がり/立ち下がり時間	出力	177-144ピン	t_{Dr}、t_{Df}	—	5	ns	
			100ピン以下		—	10		
		入力			—	1	μs	
	SSL立ち上がり/立ち下がり時間	出力	177-144ピン	t_{SSLr}、t_{SSLf}	—	5	ns	
			100ピン以下			10		
		入力			—	1	μs	
	スレーブアクセス時間			t_{SA}	—	4	t_{Pcyc}	図51.45、図51.46 C=30pF
	スレーブ出力開放時間			t_{REL}	—	3	t_{Pcyc}	

注1.　3.0V以下でご使用の場合は、当社営業窓口までご照会ください。
注2.　t_{Pcyc}：PCLKの周期

表51.21　内蔵周辺モジュールタイミング（4）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 8～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位（注1）	測定条件
簡易SPI	SCKクロックサイクル出力（マスタ）	t_{SPcyc}	4	65536	t_{Pcyc}	図51.42
	SCKクロックサイクル入力（スレーブ）		8	65536		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr}、t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	40	—	ns	図51.43～図51.46
	データ入力ホールド時間	t_H	40	—	ns	
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	—	40	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr}、t_{Df}	—	20	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr}、t_{SSLf}	—	20	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{Pcyc}	図51.46
	スレーブ出力開放時間	t_{REL}	—	5	t_{Pcyc}	

注1.　t_{Pcyc}: PCLKの周期

表51.22　内蔵周辺モジュールタイミング（5）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 8～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min（注1、注2）	max（注）	単位	測定条件
RIIC（Standard-mode、SMBus）ICFER.FMPE=0	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 1300	—	ns	図51.47
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC（Fast-mode）	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 600	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	20 + 0.1C_b	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 + 0.1C_b	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注．　t_{IICcyc}：RIICの内部基準クロック（IICφ）の周期
注1.　（ ）内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
注2.　Cbはバスラインの容量総計です。

表51.23　内蔵周辺モジュールタイミング（6）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 8～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min（注、注2）	max（注）	単位	測定条件
RIIC（Fast-mode+）ICFER.FMPE=1	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 240	—	ns	図51.47
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 120	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 120	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 120	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 120	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 20	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	550	pF	
簡易IIC（Standard-mode）	SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Pcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
簡易IIC（Fast-mode）	SCL、SDA入力立ち上がり時間	t_{Sr}	20 + 0.1C_b	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 + 0.1C_b	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{Pcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注．　t_{IICcyc}：RIICの内部基準クロック（IICΦ）の周期、t_{Pcyc}：PCLKの周期
注1.　（）内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
注2.　Cbはバスラインの容量総計です。

表51.24　内蔵周辺モジュールタイミング（7）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
ICLK = 12.5～100MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
ETHERC（RMII）	REF50CK サイクル時間	T_{ck}	20	—	ns	図51.48～図51.51
	REF50CK 周波数 Typ. 50MHz	—	—	50+100ppm	MHz	
	REF50CK デューティ	—	35	65	%	
	REF50CK 立ち上がり/立ち下がり時間	$T_{ckr/ckf}$	0.5	3.5	ns	
	RMII_xxxx(注1)出力遅延時間	T_{co}	2.5	15.0	ns	
	RMII_xxxx(注2)セットアップ時間	T_{su}	3	—	ns	
	RMII_xxxx(注2)ホールド時間	T_{hd}	1	—	ns	
	RMII_xxxx(注1)(注2)立ち上がり/立ち下がり時間	Tr/Tf	0.5	6	ns	
	ET_WOL 出力遅延時間	t_{WOLd}	1	23.5	ns	図51.52
ETHERC（MII）	ET_TX_CLK サイクル時間	t_{Tcyc}	40	—	ns	—
	ET_TX_EN 出力遅延時間	t_{TENd}	1	20	ns	図51.53
	ET_ETXD0～ET_ETXD3出力遅延時間	t_{MTDd}	1	20	ns	
	ET_CRS セットアップ時間	t_{CRSs}	10	—	ns	
	ET_CRS ホールド時間	t_{CRSh}	10	—	ns	
	ET_COL セットアップ時間	t_{COLs}	10	—	ns	図51.54
	ET_COL ホールド時間	t_{COLh}	10	—	ns	
	ET_RX_CLK サイクル時間	t_{TRcyc}	40	—	ns	—
	ET_RX_DV セットアップ時間	t_{RDVs}	10	—	ns	図51.55
	ET_RX_DV ホールド時間	t_{RDVh}	10	—	ns	
	ET_ERXD0～ET_ERXD3 セットアップ時間	t_{MRDs}	10	—	ns	
	ET_ERXD0～ET_ERXD3ホールド時間	t_{MRDh}	10	—	ns	
	ET_RX_ER セットアップ時間	t_{RERs}	10	—	ns	図51.56
	ET_RX_ER ホールド時間	t_{RESh}	10	—	ns	
	ET_WOL 出力遅延時間	t_{WOLd}	1	23.5	ns	図51.57

注1.　RMII_TXD_EN、RMII_TXD1、RMII_TXD0
注2.　RMII_CRS_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER。

表 51.25　内蔵周辺モジュールタイミング（8）
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、PIXCLK = 27MHz、$T_a = T_{opr}$

項目		記号	min	typ	max	単位	備考
PDC	VSYNC/HSYNC 入力セットアップ時間	$t_{SYNCSETUP}$	10	—	—	ns	図 51.58
	VSYNC/HSYNC 入力ホールド時間	$t_{SYNCHOLD}$	5	—	—	ns	
	PIXD 入力セットアップ時間	$t_{DATASETUP}$	10	—	—	ns	
	PIXD 入力ホールド時間	$t_{DATAHOLD}$	5	—	—	ns	
	PIXCLK 入力サイクル時間	t_{PIXcyc}	37	—	1000	ns	図 51.59
	PIXCLK 入力パルス幅 High レベル	t_{PIXH}	10	—	—	ns	
	PIXCLK 入力パルス幅 Low レベル	t_{PIXL}	10	—	—	ns	
	PCKO 端子出力サイクル時間	t_{PCKcyc}	40	—	1000	ns	図 51.60
	PCKO 端子出力 High レベルパルス幅	t_{PCKH}	13	—	—	ns	
	PCKO 端子出力 Low レベルパルス幅	t_{PCKL}	13	—	—	ns	
	PCKO 端子出力立ち上がり時間	t_{PCKr}	—	—	5	ns	
	PCKO 端子出力立ち下がり時間	t_{PCKf}	—	—	5	ns	

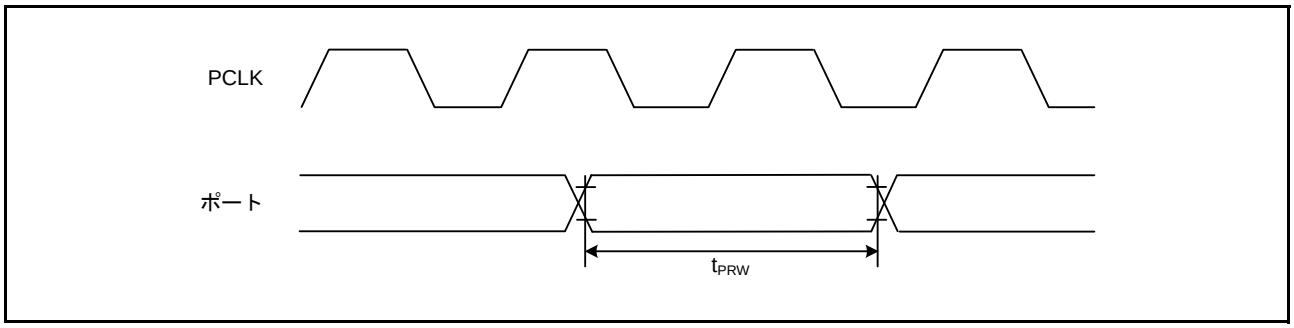


図 51.34　I/O ポート入力タイミング

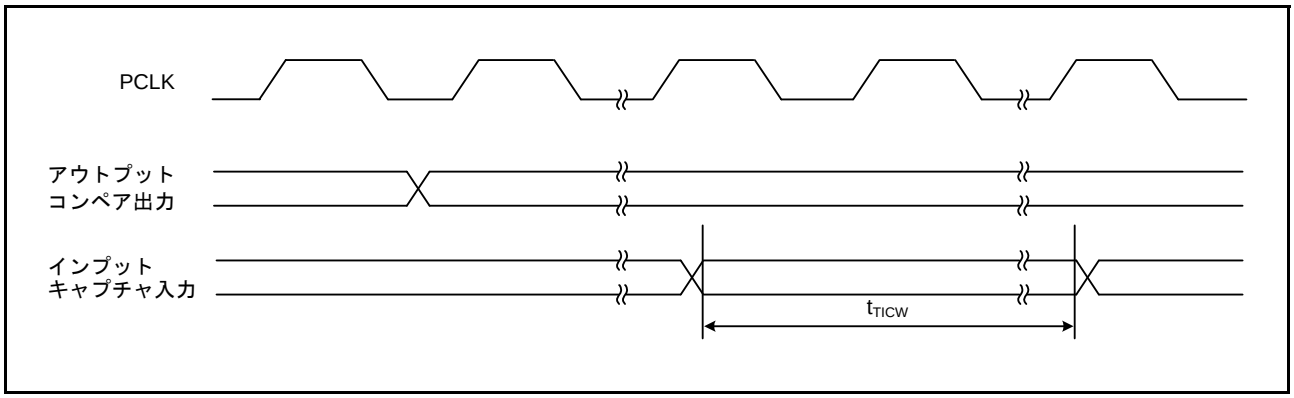


図 51.35　MTU 入出力タイミング

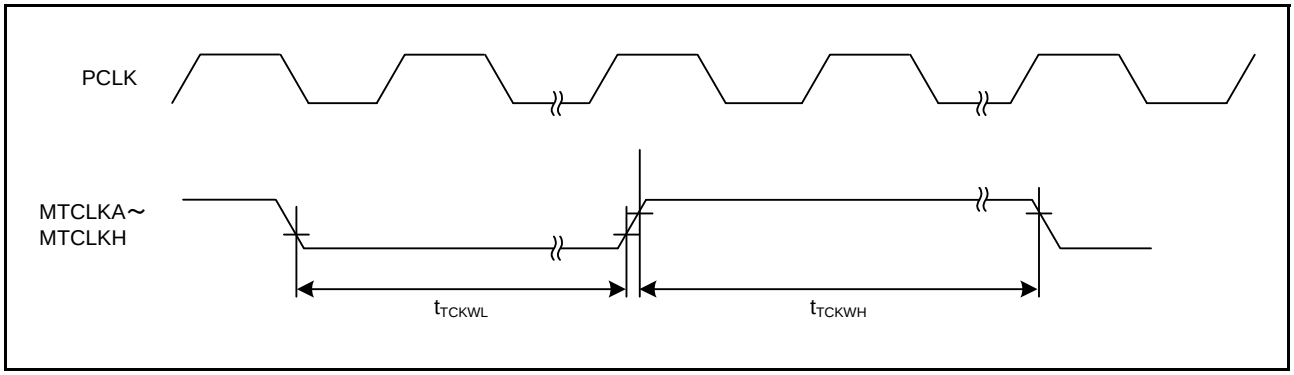


図 51.36　MTU クロック入力タイミング

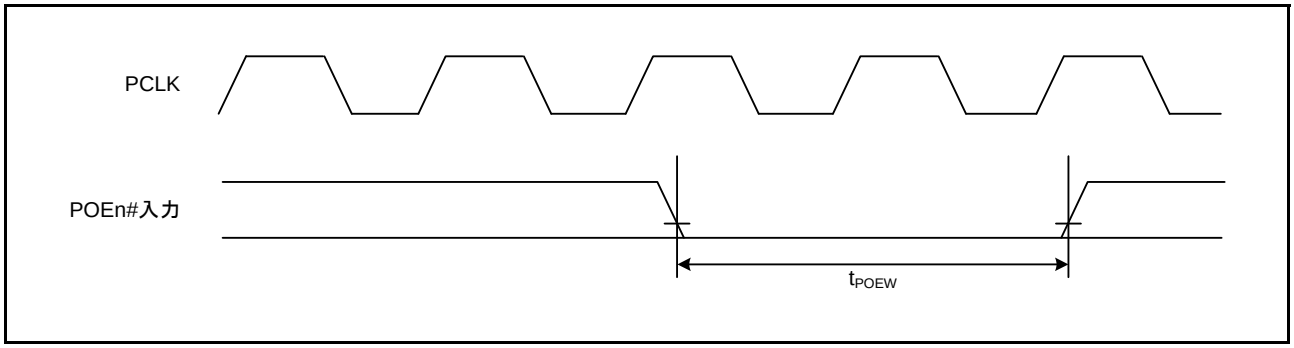


図 51.37　POE# 入力タイミング

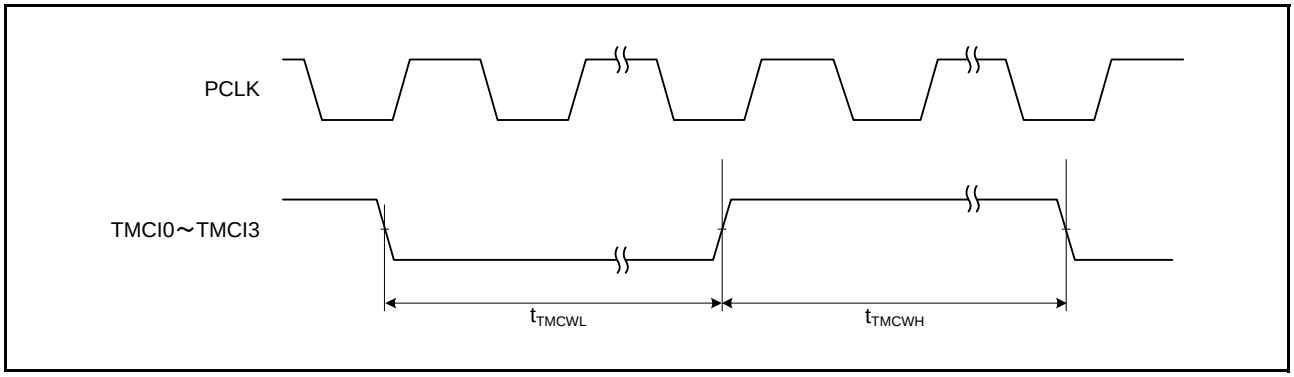


図 51.38　8 ビットタイマクロック入力タイミング

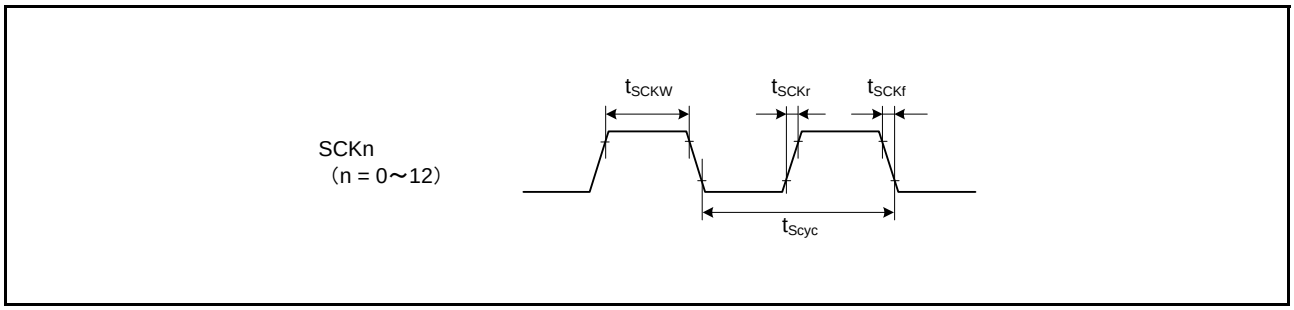


図 51.39　SCK クロック入力タイミング

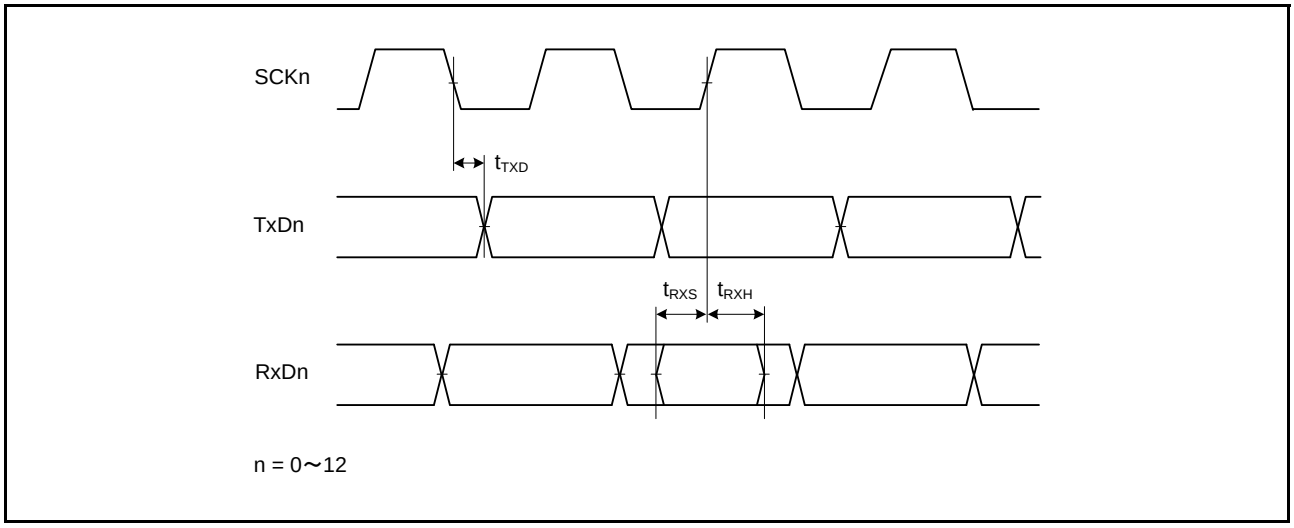


図 51.40　SCI 入出力タイミング / クロック同期式モード

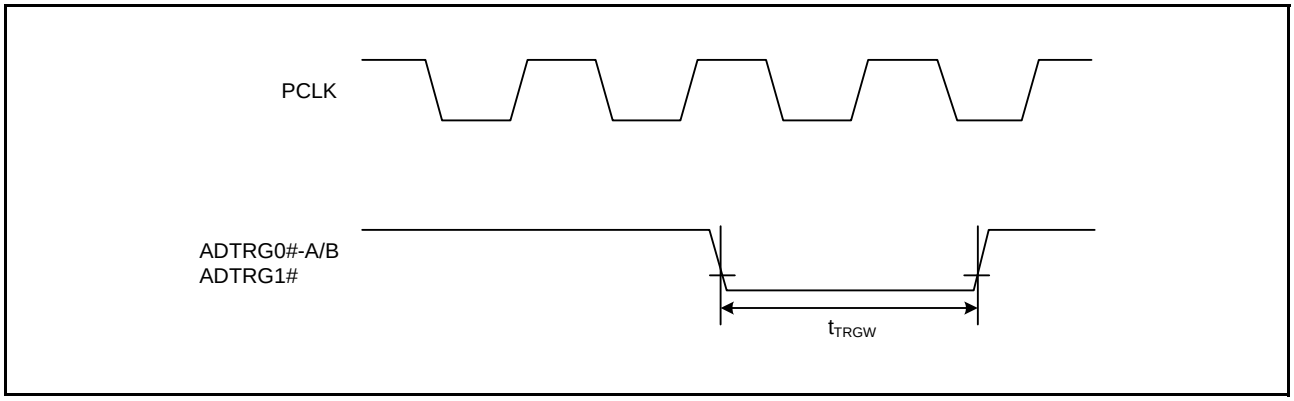


図 51.41　A/D コンバータ外部トリガ入力タイミング

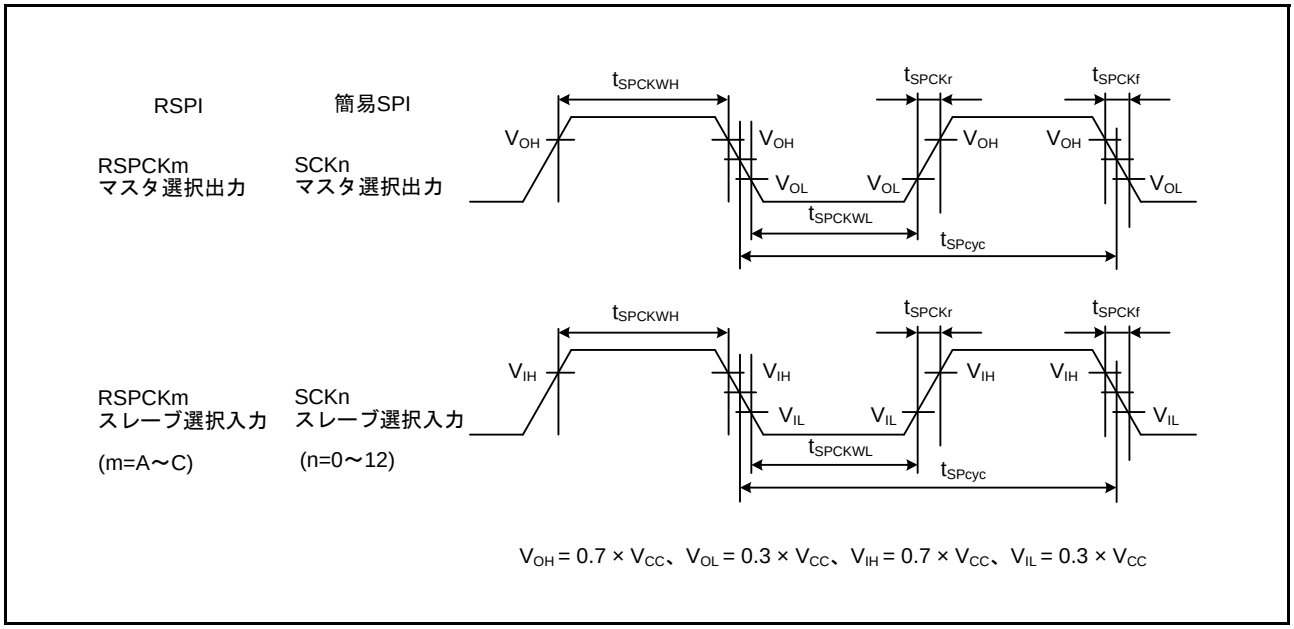


図 51.42　RSPI クロックタイミング　/　簡易 SPI クロックタイミング

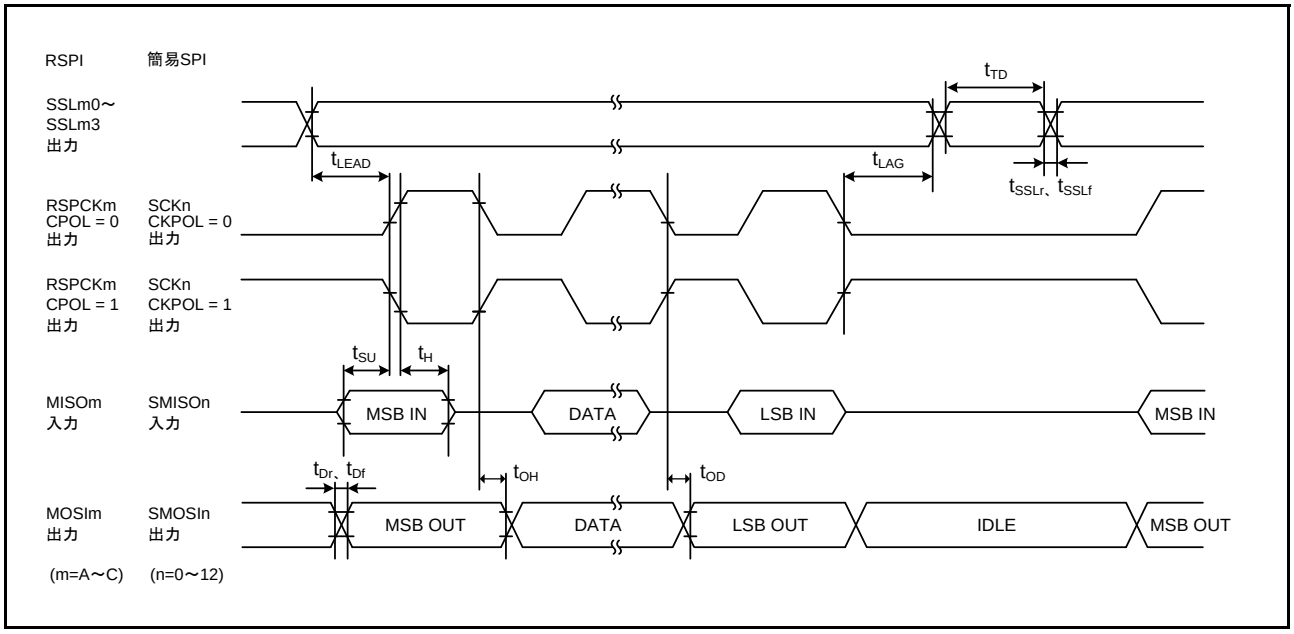


図 51.43　RSPI タイミング（マスタ、CPHA ＝ 0）/ 簡易 SPI タイミング (マスタ、CKPH=1)

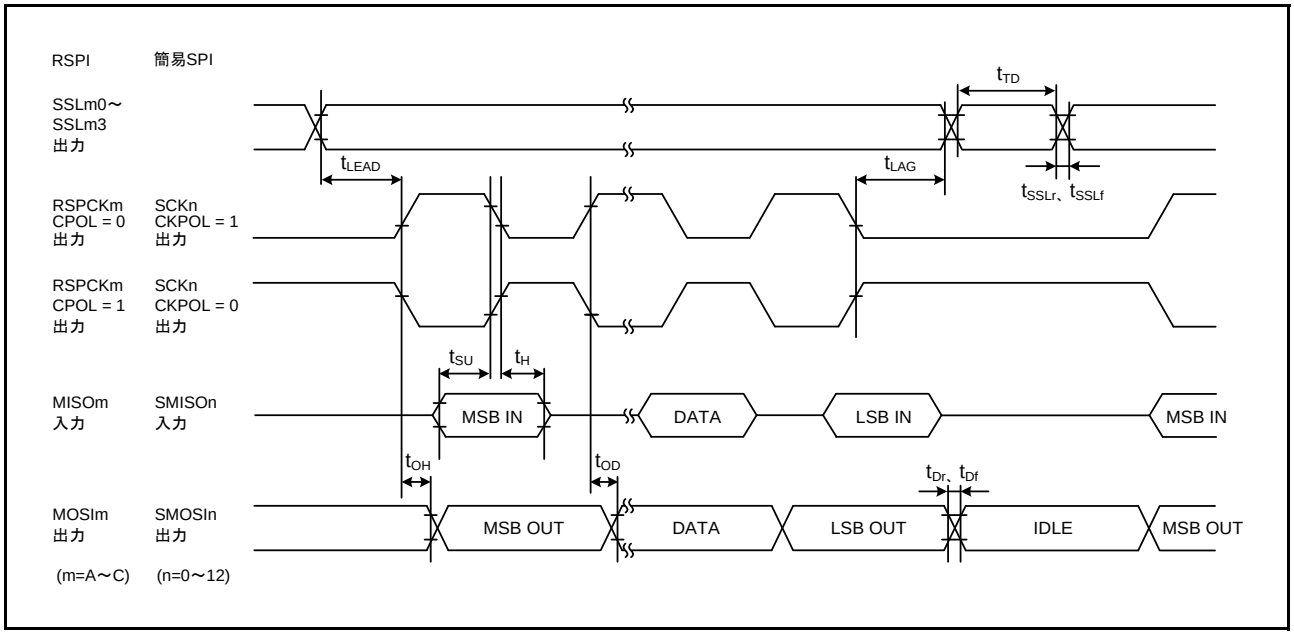


図 51.44　RSPI タイミング（マスタ、CPHA ＝ 1）/ 簡易 SPI タイミング (マスタ、CKPH=0)

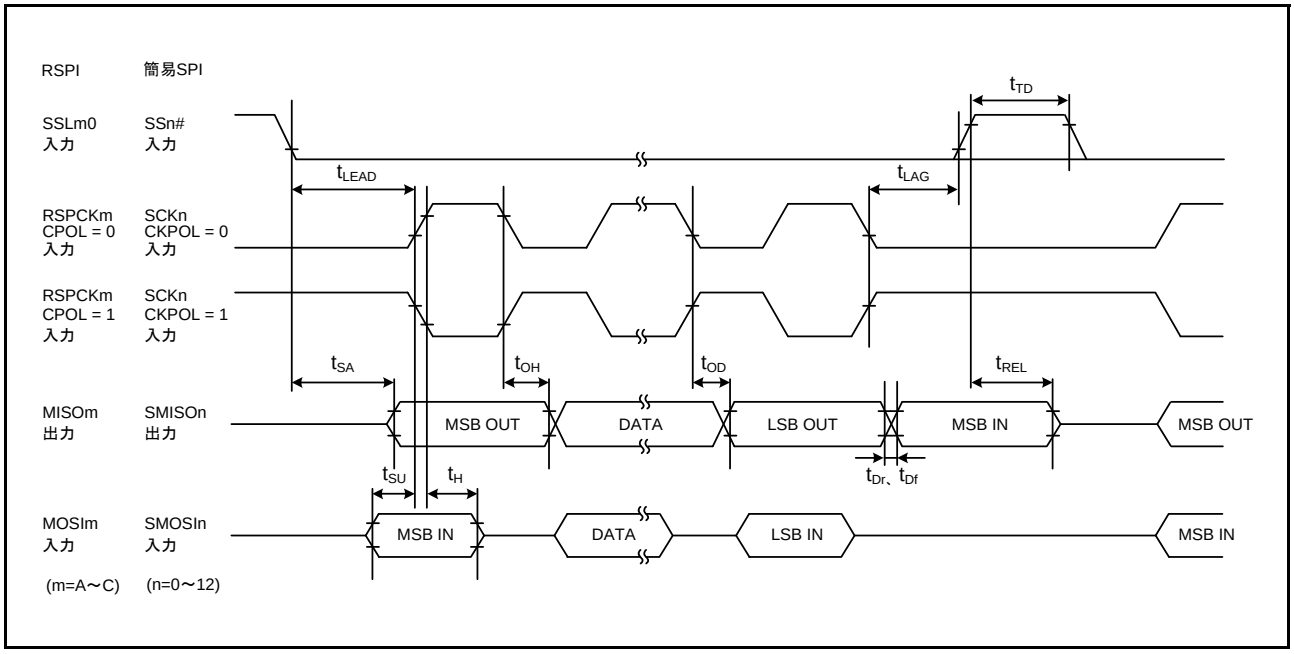


図 51.45　RSPI タイミング（スレーブ、CPHA ＝ 0）/ 簡易 SPI タイミング (スレーブ、CKPH=1)

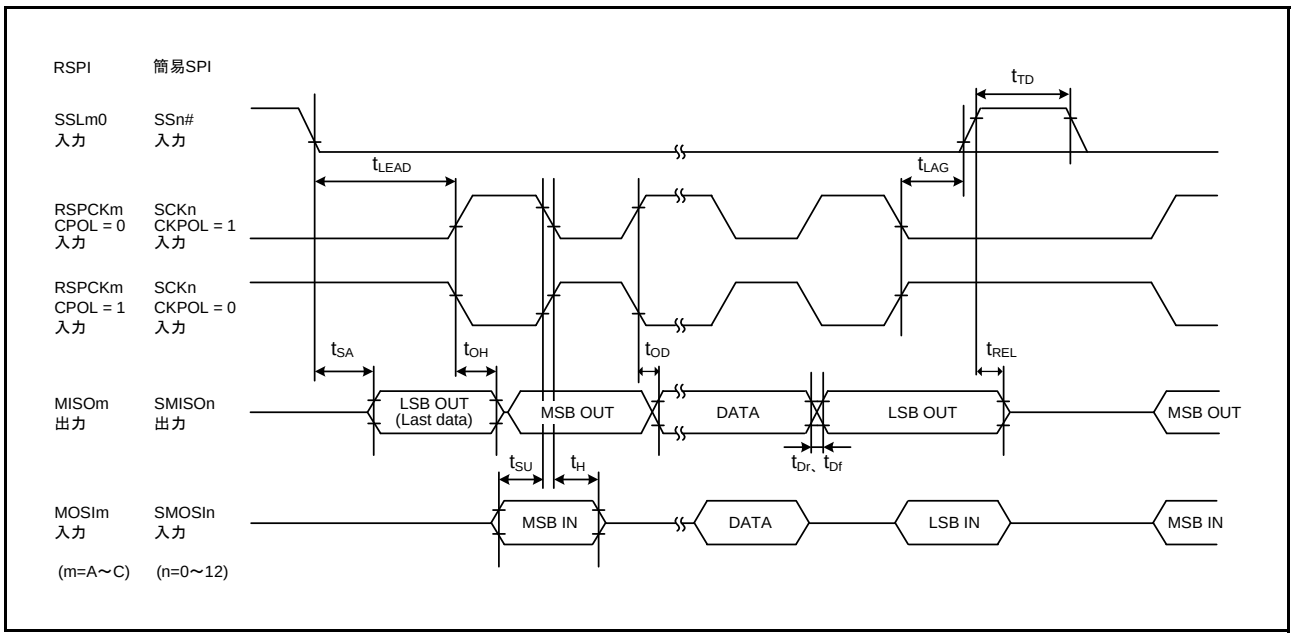


図 51.46　RSPI タイミング（スレーブ、CPHA ＝ 1）/ 簡易 SPI タイミング (スレーブ、CKPH=0)

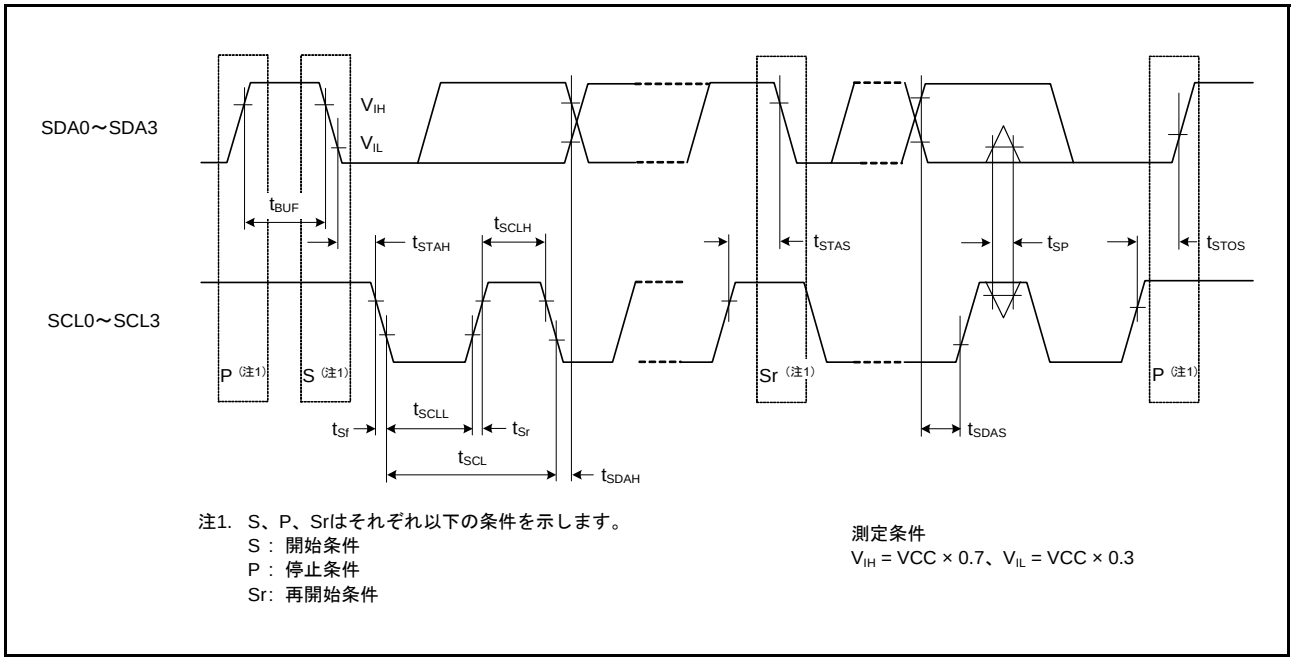


図 51.47　RIIC バスインタフェース入出力タイミング　/　簡易 IIC バスインタフェース入出力タイミング

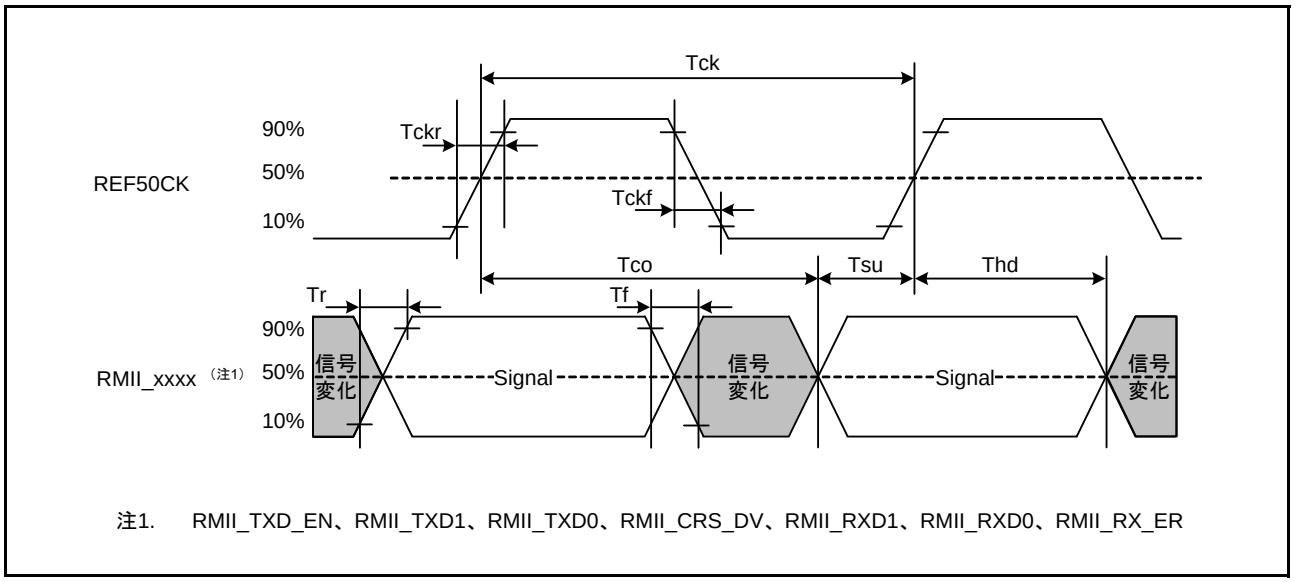


図 51.48　REF50CK と RMII 信号とのタイミング

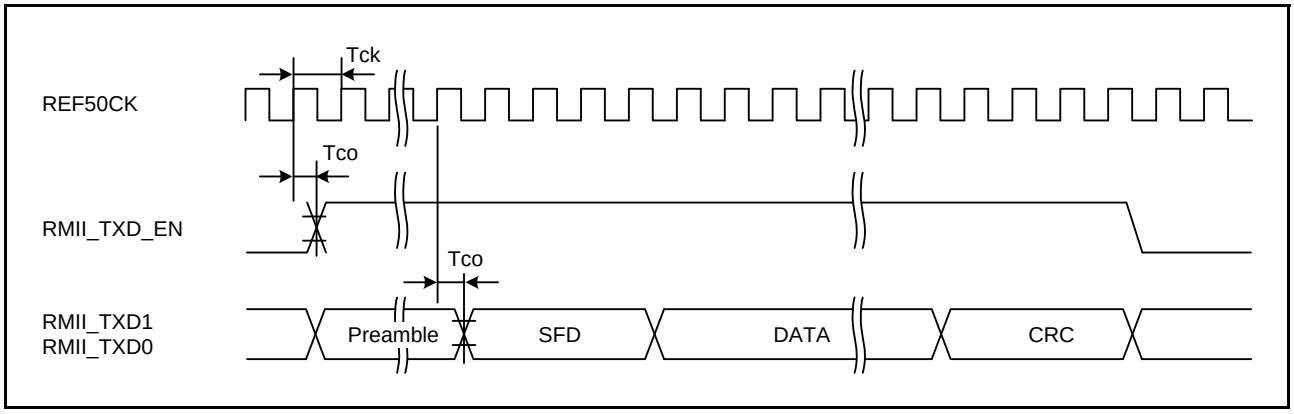


図 51.49　RMII 送信タイミング

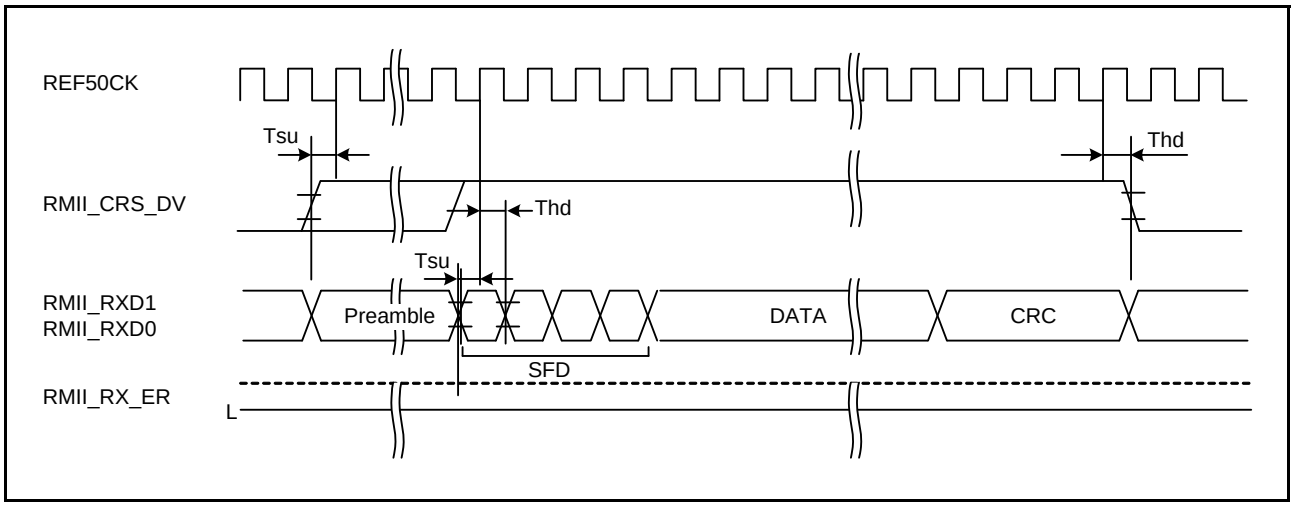


図 51.50　RMII 受信タイミング（正常動作時）

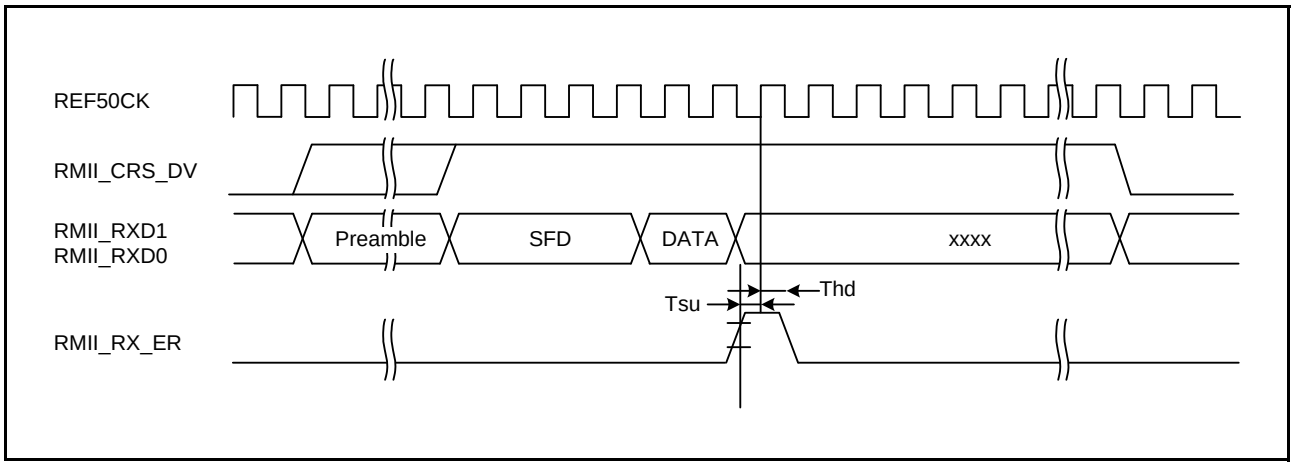


図 51.51　RMII 受信タイミング（エラー発生ケース）

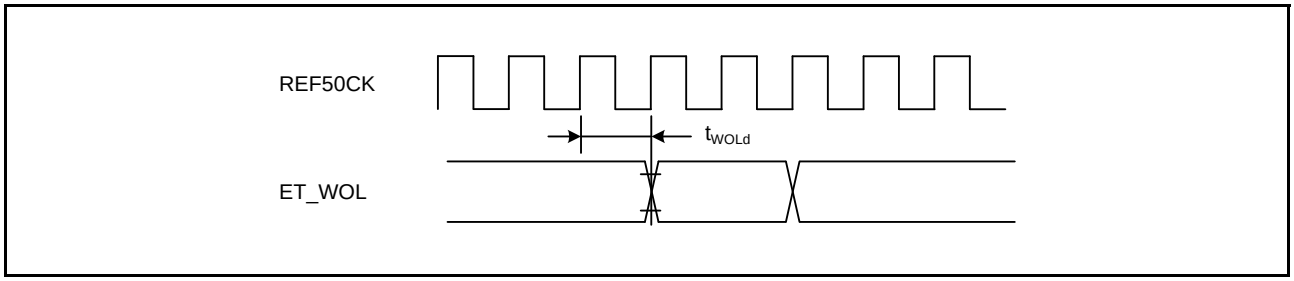


図 51.52 WOL 出力タイミング（RMII）

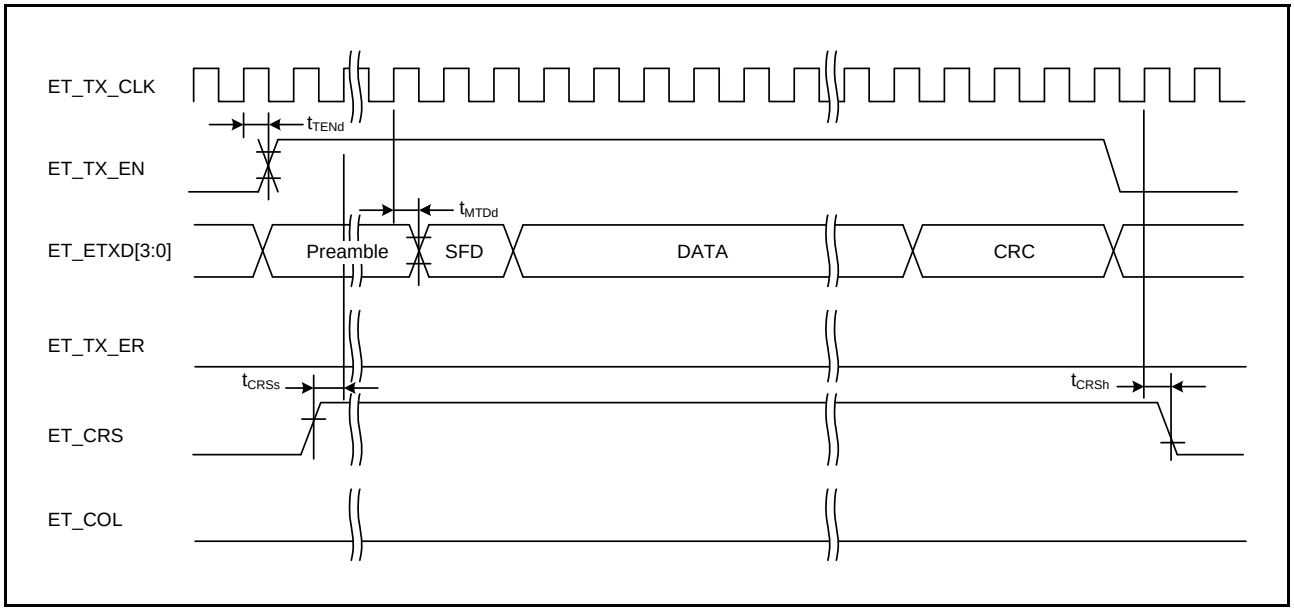


図 51.53 MII 送信タイミング（正常動作時）

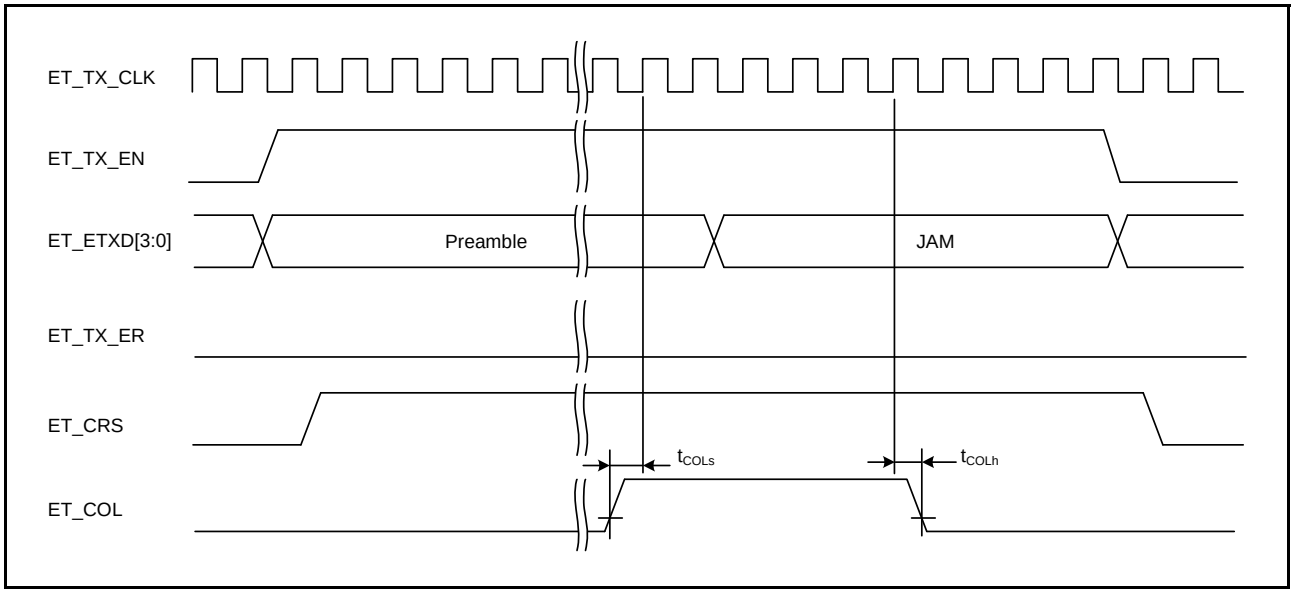


図 51.54 MII 送信タイミング（衝突発生ケース）

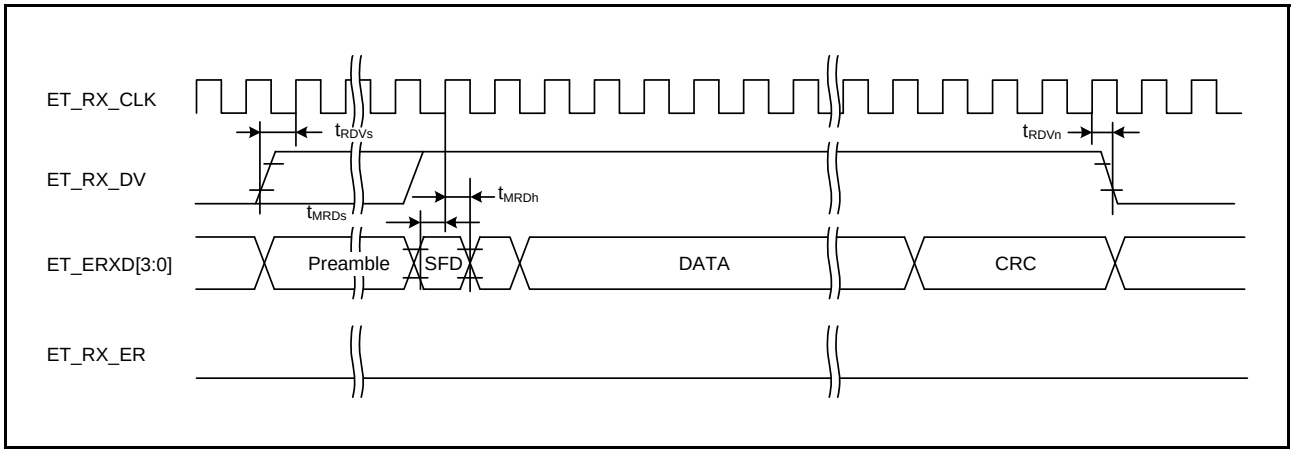


図 51.55　MII 受信タイミング（正常動作時）

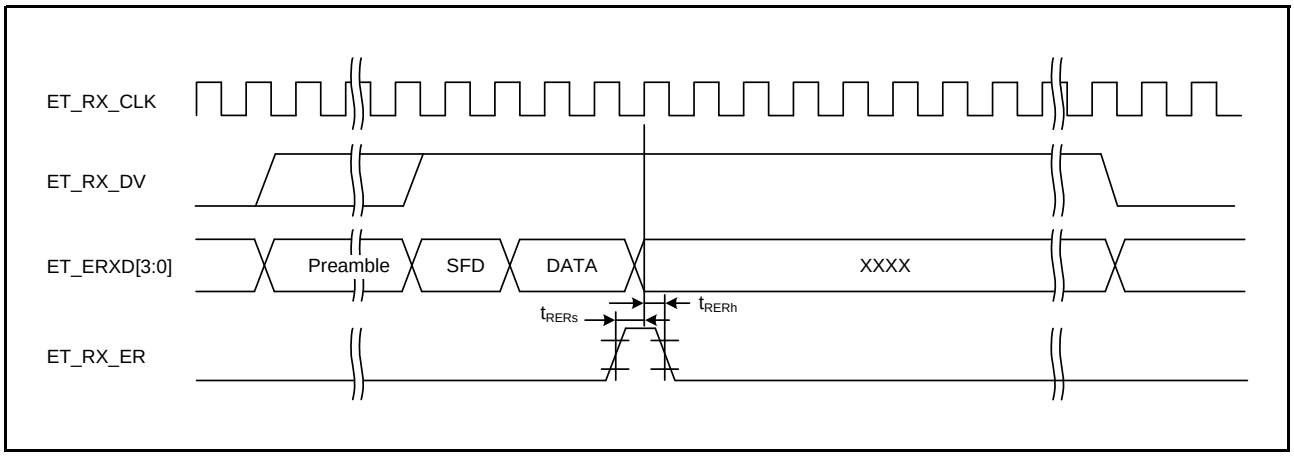


図 51.56　MII 受信タイミング（エラー発生ケース）

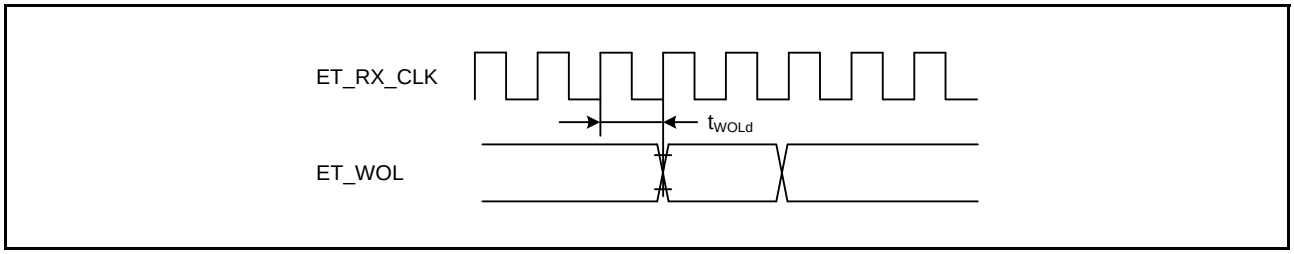


図 51.57　WOL 出力タイミング（MII）

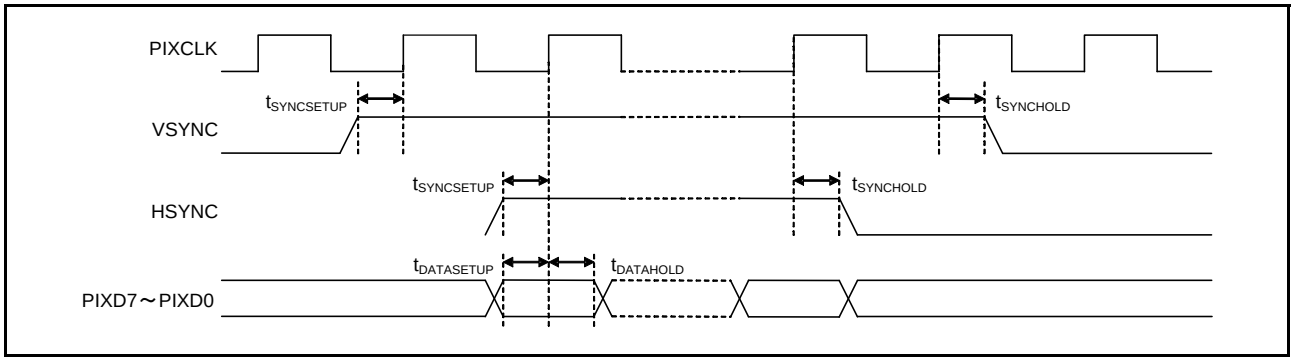


図 51.58　PDC タイミング

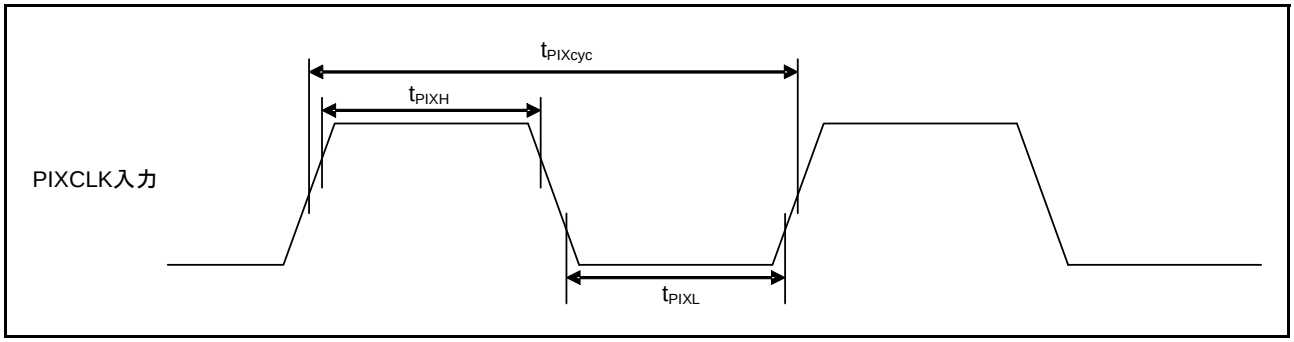


図 51.59　PDC 入力クロック特性

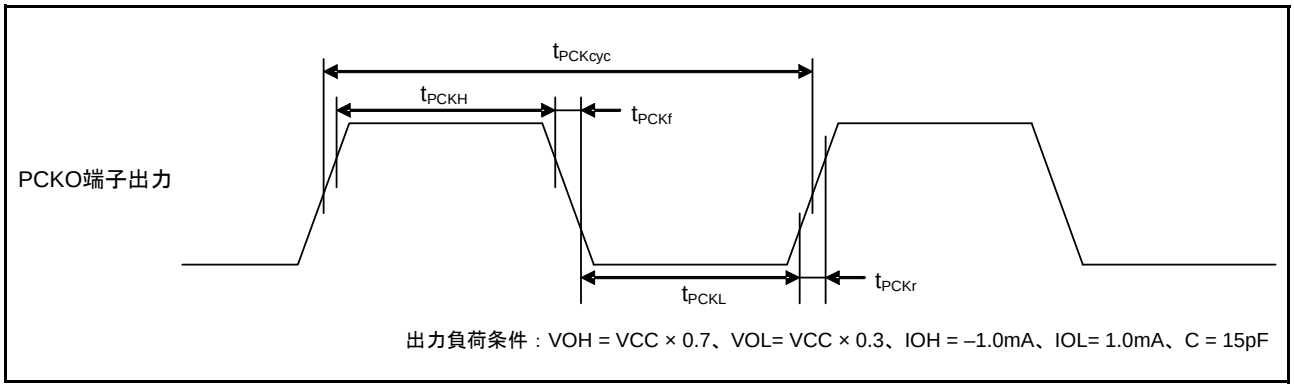


図 51.60　PDC 出力クロック特性

51.4 USB 特性

表51.26　内蔵USBフルスピード 特性（DP、DM端子特性）
条件：VCC = AVCC0 = VREFH = VCC_USB = 3.0～3.6V、VREFH0 = 3.0V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 24～50MHz、$T_a = T_{opr}$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件	
入力特性	入力Highレベル電圧	V_{IH}	2.0	—	V		
	入力Lowレベル電圧	V_{IL}	—	0.8	V		
	差動入力感度	V_{DI}	0.2	—	V	| DP － DM |	
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V		
出力特性	出力Highレベル電圧	V_{OH}	2.8	3.6	V	I_{OH} = –200μA	
	出力Lowレベル電圧	V_{OL}	0.0	0.3	V	I_{OL} = 2mA	
	クロスオーバ電圧	V_{CRS}	1.3	2.0	V		図51.61
	立ち上がり時間	t_{Lr}	4	20	ns		
	立ち下がり時間	t_{Lf}	4	20	ns		
	立ち上がり/立ち下がり時間比	t_{Lr} / t_{Lf}	90	111.11	%	t_{Lr} / t_{Lf}	
	出力抵抗	Z_{DRV}	28	44	Ω	Rs=22Ω 含む	

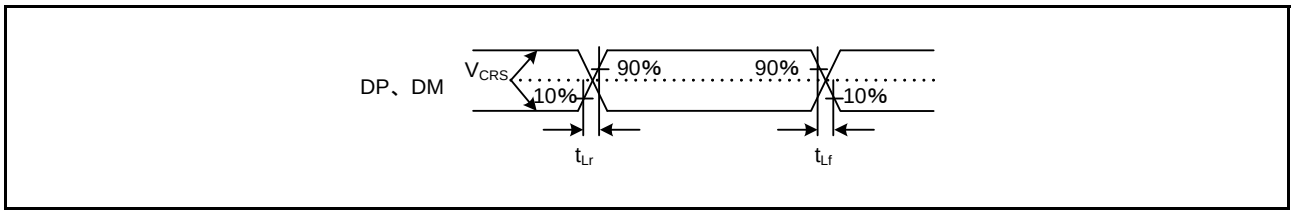


図 51.61　DP、DM 出力タイミング（フルスピード時）

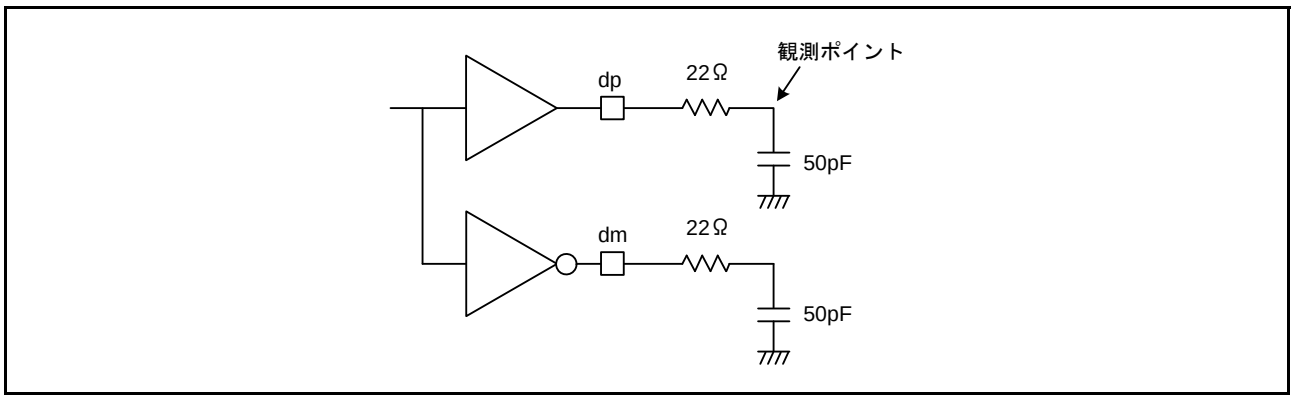


図 51.62　測定回路（フルスピード時）

51.5 A/D 変換特性

表51.27　10ビットA/D変換特性
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 8～50MHz、$T_a = T_{opr}$

項目			min	typ	max	単位	測定条件
分解能			—	—	10	ビット	
変換時間（注1）（PCLK=50MHz時）	外付けコンデンサ0.1μFあり	コンデンサに電荷が十分チャージされている場合（注2）	3.0(2.5)（注3）	—	—	μs	サンプリング125ステート
	外付けコンデンサなし	許容信号源インピーダンス max = 1.0kΩ、VCC≧3.0V	1.5(1.0)（注3）	—	—		サンプリング50ステート
		許容信号源インピーダンス max = 1.0kΩ、VCC≧2.7V	3.5(3.0)（注3）	—	—		サンプリング150ステート
		許容信号源インピーダンス max = 5.0kΩ、VCC≧3.0V	2.0(1.5)（注3）	—	—		サンプリング75ステート
		許容信号源インピーダンス max = 5.0kΩ、VCC≧2.7V	4.0(3.5)（注3）	—	—		サンプリング175ステート
アナログ入力容量			—	—	6.0	pF	
オフセット誤差			—	±1.5	±3.0	LSB	
フルスケール誤差			—	±1.5	±3.0	LSB	
量子化誤差			—	±0.5	—	LSB	
絶対精度			—	±1.5	±3.0	LSB	
DNL 微分非直線性誤差			—	±0.5	±1.0	LSB	
INL 積分非直線性誤差			—	±1.5	±3.0	LSB	

注.　上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。
注1.　変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。
注2.　スキャンは対応しません。
注3.　( )はサンプリング時間を示します。

表51.28　12ビットA/D変換特性
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 8～50MHz、$T_a = T_{opr}$

項目			min	typ	max	単位	測定条件
分解能			—	—	12	ビット	
変換時間（注1）（PCLK= 50MHz時）	AN0～AN7	許容信号源インピーダンス max = 1.0kΩ	1.0(0.4)（注2）	—	—	μs	サンプリング 20ステート
	上記以外のCH	許容信号源インピーダンス max = 1.0kΩ、AVCC≧3.0V	2.0(1.4)（注2）	—	—	μs	サンプリング 70ステート
		許容信号源インピーダンス max = 1.0kΩ、AVCC≧2.7V	5.6(5.0)（注2）	—	—	μs	サンプリング 250ステート
アナログ入力容量			—	—	30	pF	
オフセット誤差			—	±2.0	±7.5	LSB	
フルスケール誤差			—	±2.0	±7.5	LSB	
量子化誤差			—	±0.5	—	LSB	
絶対精度			—	±2.5	±8.0	LSB	
DNL 微分非直線性誤差			—	±2.0	±4.0	LSB	
INL 積分非直線性誤差			—	±2.0	±4.0	LSB	

注．　上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。
注1.　変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。
注2.　(　)はサンプリング時間を示します。

表51.29　A/D内部基準電圧特性
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
PCLK = 8～50MHz、$T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.45	1.50	1.55	V	

51.6 D/A 変換特性

表51.30　D/A変換特性
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～VCC
　　VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間	—	—	3.0	μs	負荷容量 20pF
絶対精度	—	±2.0	±4.0	LSB	負荷抵抗 2MΩ
	—	—	±3.0	LSB	負荷抵抗 4MΩ
	—	—	±2.0	LSB	負荷抵抗 10MΩ
RO 出力抵抗	—	3.6	—	kΩ	

51.7 温度センサ特性

表51.31　温度センサ特性
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～VCC
　　VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
相対精度	—	±1	—	℃	
温度傾斜	—	4.1	—	mV/℃	
出力電位（@25℃）	—	1.26	—	V	
温度センサ起動時間	—	—	30	μs	
サンプリング時間	—	—	5	μs	

51.8　パワーオンリセット回路、電圧検出回路特性

表51.32　　パワーオンリセット回路、電圧検出回路特性
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} =2.7～3.6V、VREFH0 = 2.7V～AVCC0
　　VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V 、$T_a = T_{opr}$

項目			記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット（POR）	低消費電力機能無効	V_{POR}	2.5	2.6	2.7	V	図 51.63
		低消費電力機能有効		2.0	2.35	2.7		
	電圧検出回路（LVD0）		V_{det0}	2.7	2.80	2.9		図 51.64
	電圧検出回路（LVD1）		V_{det1_A}	2.75	2.95	3.15		図 51.65
	電圧検出回路（LVD2）		V_{det2_A}	2.75	2.95	3.15		図 51.66
内部リセット時間	パワーオンリセット時間		t_{POR}	—	4.6	—	ms	図 51.63
	LVD0リセット時間		t_{LVD0}	—	4.6	—		図 51.64
	LVD1リセット時間		t_{LVD1}	—	0.9	—		図 51.65
	LVD2リセット時間		t_{LVD2}	—	0.9	—		図 51.66
最小VCC低下時間			t_{VOFF}	200	—	—	μs	図 51.63、図 51.64
応答遅延時間			t_{det}	—	—	200	μs	図 51.63 ～ 図 51.66
LVD動作安定時間（LVD有効切り替え時）			$Td_{(E-A)}$	—	—	3	μs	図 51.65 図 51.66
ヒステリシス幅（LVD1、LVD2）			V_{LVH}	—	80	—	mV	

注．　最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det1}、V_{det2}のmin値を下回っている時間です。

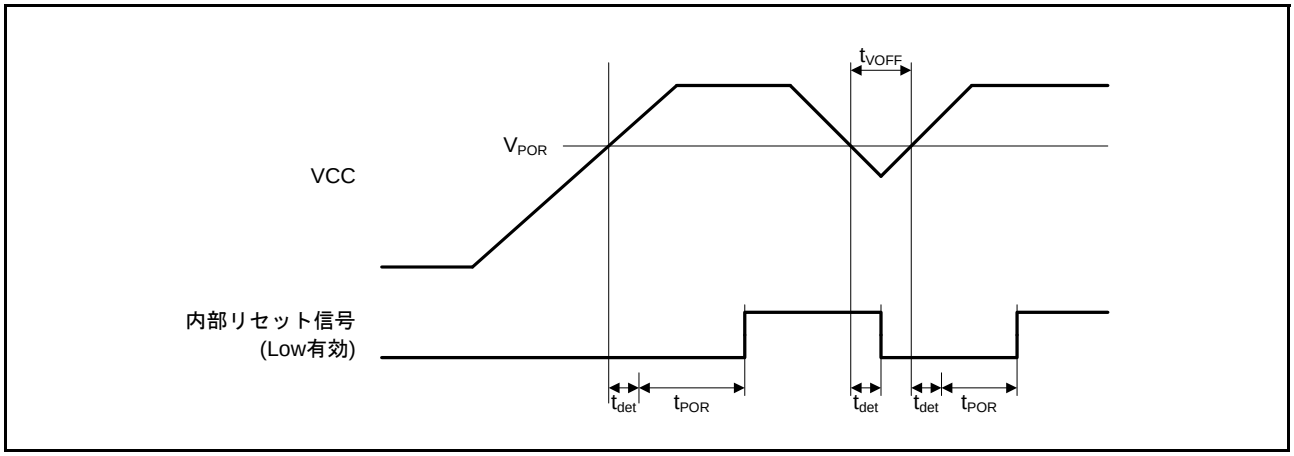


図 51.63　パワーオンリセットタイミング

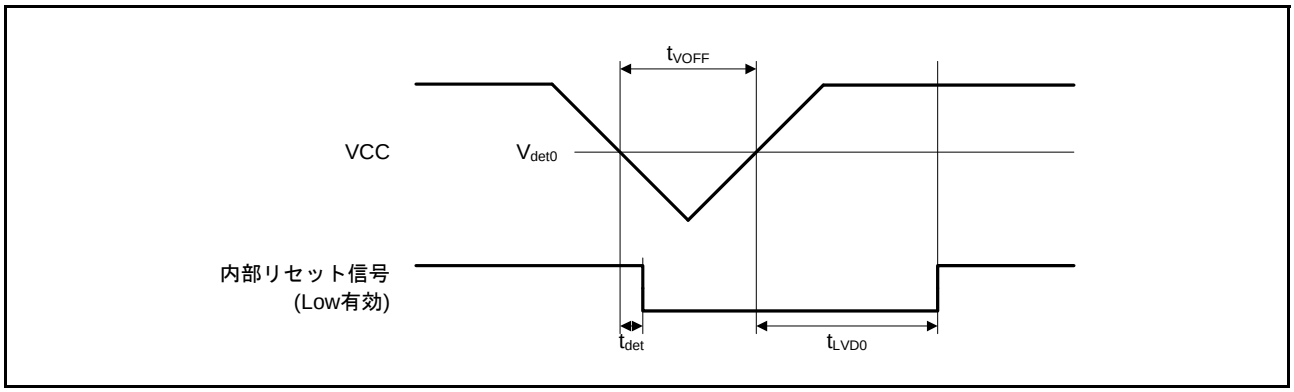


図 51.64　電圧検出回路タイミング（V_{det0}）

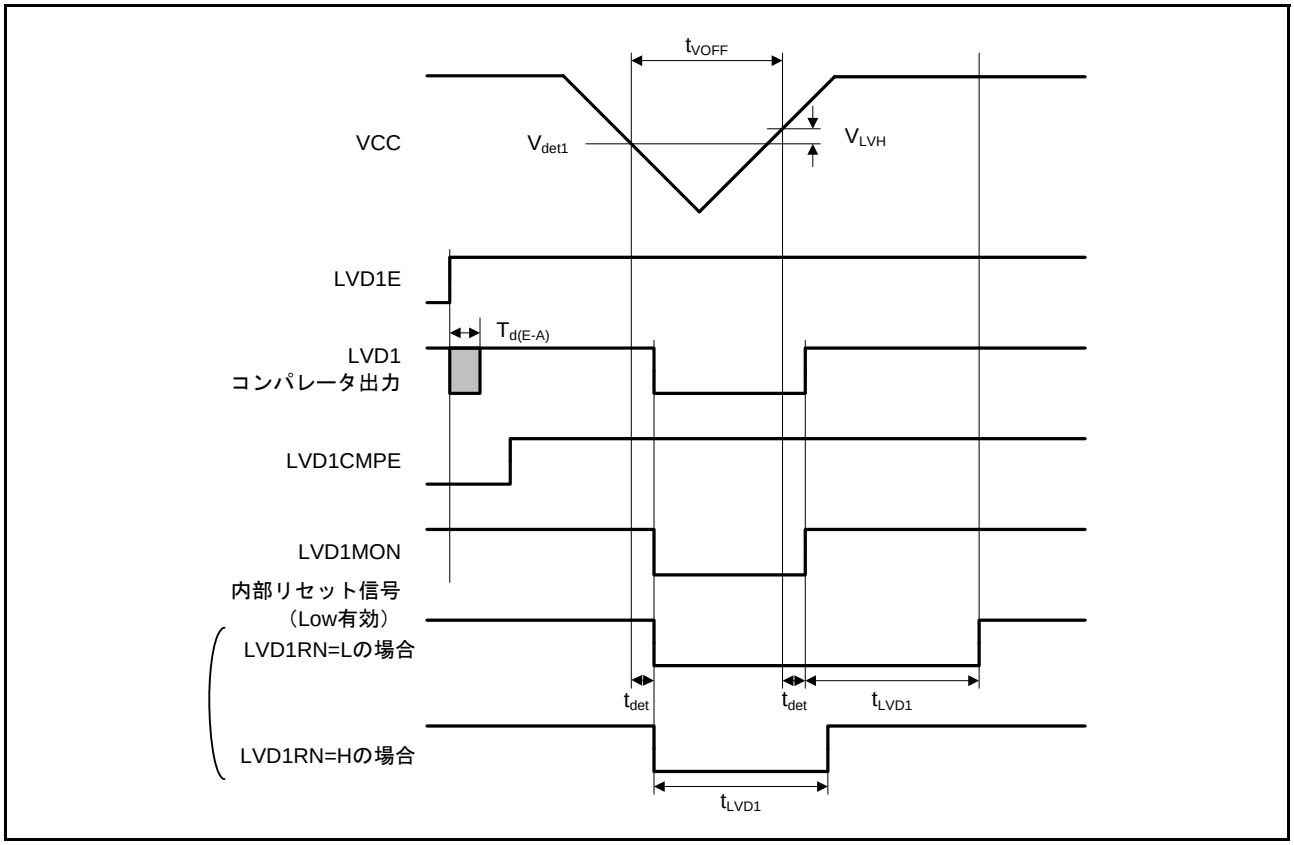


図 51.65　電圧検出回路タイミング（V_{det1}）

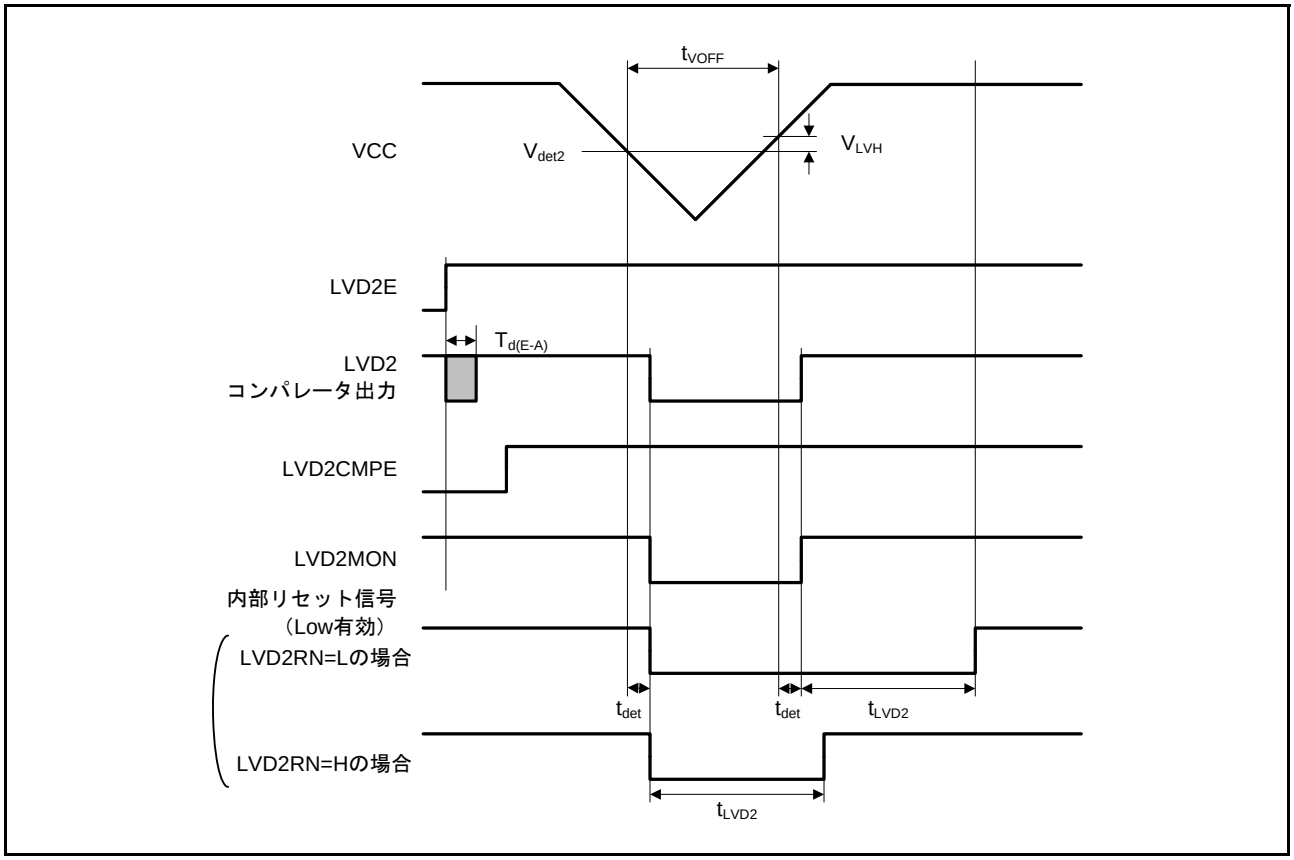


図 51.66　電圧検出回路タイミング（V_{det2}）

51.9　発振停止検出タイミング

表51.33　　発振停止検出回路特性
条件：VCC = AVCC0 = VREFH = VCC_USB = V_{BATT} = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
　　VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V 、$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 51.67

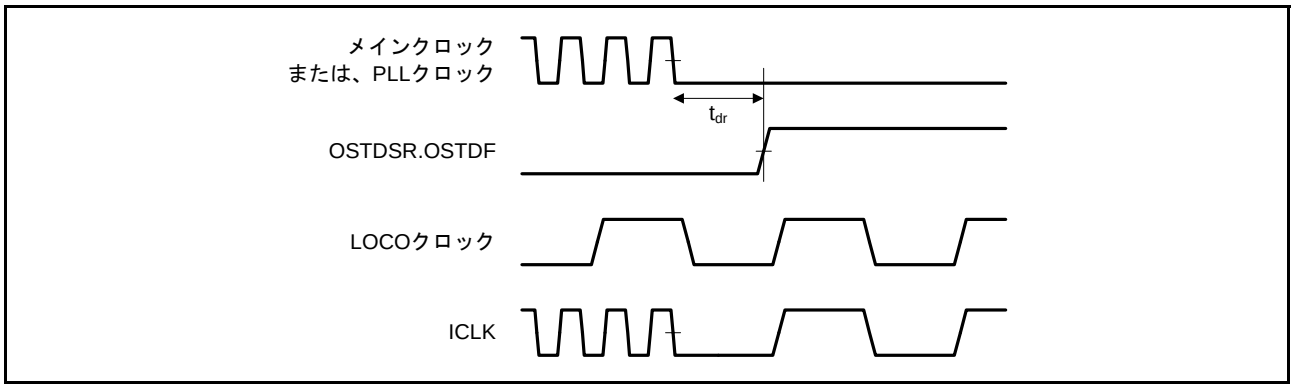


図 51.67　発振停止検出タイミング

51.10　バッテリバックアップ機能特性

表51.34　　バッテリバックアップ機能特性
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0、V_{BATT} = 2.0～3.6V（100ピン以上の製品）、V_{BATT} = 2.3～3.6V、（64ピンの製品）
　　VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
バッテリバックアップ切り替え電圧レベル	$V_{DETBATT}$	2.50	2.60	2.70	V	図 51.68
VCC電圧低下電源切り替え時V_{BATT}下限電圧	V_{BATTSW}	2.70	—	—		
切り替え可能VCCオフ期間	$t_{VOFFBATT}$	200	—	—	μs	

注．　切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル$V_{DETBATT}$のmin値を下回っている時間です。

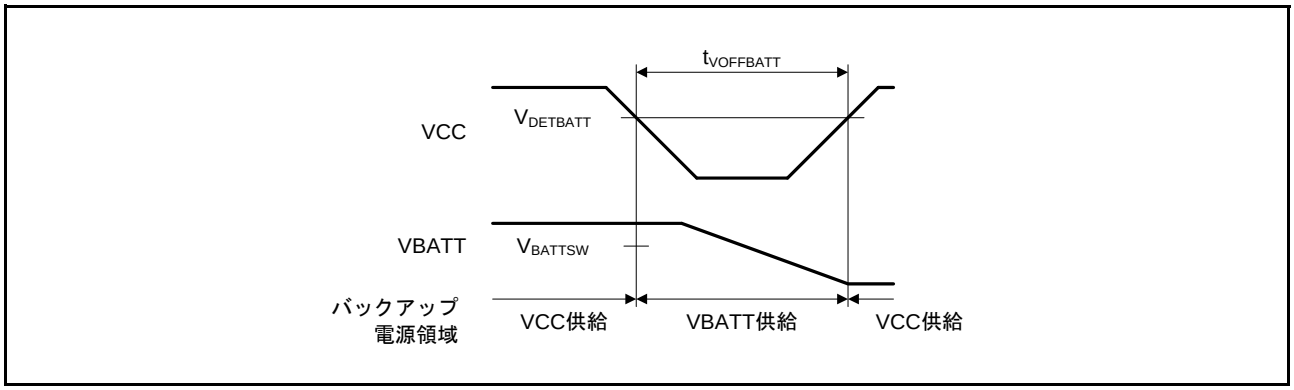


図 51.68　バッテリバックアップ機能特性

51.11 ROM（コード格納用フラッシュメモリ）特性

表51.35　ROM（コード格納用フラッシュメモリ）特性 (1)
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N_{PEC}	1000	—	—	回	
データ保持時間	t_{DRP}	30（注2）	—	—	年	Ta＝+85℃

注1.　再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n=1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、4Kバイトのブロックについて、それぞれ異なる番地に256バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。
注2.　信頼性試験から得られた結果です。

表51.36　ROM（コード格納用フラッシュメモリ）特性 (2)
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目		記号	FCLK=4MHz			20MHz≦FCLK≦50MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 N_{PEC}≦100回のとき	128バイト	t_{P128}	—	2.8	28	—	1	10	ms
	4Kバイト	t_{P4K}	—	63	140	—	23	50	ms
	16Kバイト	t_{P16K}	—	252	560	—	90	200	ms
プログラム時間 N_{PEC}＞100回のとき	128バイト	t_{P128}	—	3.4	33.6	—	1.2	12	ms
	4Kバイト	t_{P4K}	—	75.6	168	—	27.6	60	ms
	16Kバイト	t_{P16K}	—	302.4	672	—	108	240	ms
イレーズ時間 N_{PEC}≦100回のとき	4Kバイト	t_{E4K}	—	50	120	—	25	60	ms
	16Kバイト	t_{E16K}	—	200	480	—	100	240	ms
イレーズ時間 N_{PEC}＞100回のとき	4Kバイト	t_{E4K}	—	60	144	—	30	72	ms
	16Kバイト	t_{E16K}	—	240	576	—	120	288	ms
プログラム中のサスペンド遅延時間		t_{SPD}	—	—	400	—	—	120	μs
イレーズ中の1回目のサスペンド遅延時間（サスペンド優先モード時）		t_{SESD1}	—	—	300	—	—	120	μs
イレーズ中の2回目のサスペンド遅延時間（サスペンド優先モード時）		t_{SESD2}	—	—	1.7	—	—	1.7	ms
イレーズ中のサスペンド遅延時間（イレーズ優先モード時）		t_{SEED}	—	—	1.7	—	—	1.7	ms
FCUリセット時間		t_{FCUR}	35	—	—	35	—	—	μs

51.12 E2 フラッシュ特性

表51.37　E2フラッシュ特性(1)
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N_{DPEC}	100000	—	—	回	
データ保持時間	t_{DDRP}	30（注2）	—	—	年	Ta＝+85℃

注1.　再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n=100000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。
注2.　信頼性試験から得られた結果です。

表51.38　E2フラッシュ特性(2)
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V
プログラム/イレーズ時の動作温度範囲：$T_a = T_{opr}$

項目		記号	FCLK=4MHz			20MHz≦FCLK≦50MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 N_{DPEC}≦100回のとき	2バイト	t_{DP2}	—	0.7	6	—	0.25	2	ms
プログラム時間 N_{DPEC}＞100回のとき	2バイト	t_{DP2}	—	0.7	6	—	0.25	2	ms
イレーズ時間 N_{DPEC}≦100回のとき	32バイト	t_{DE32}	—	4	40	—	2	20	ms
イレーズ時間 N_{DPEC}＞100回のとき	32バイト	t_{DE32}	—	7	40	—	4	20	ms
ブランクチェック時	2バイト	t_{DBC2}	—	—	100	—	—	30	μs
プログラム中のサスペンド遅延時間		t_{DSPD}	—	—	250	—	—	120	μs
イレーズ中の1回目のサスペンド遅延時間（サスペンド優先モード時）		t_{DSESD1}	—	—	250	—	—	120	μs
イレーズ中の2回目のサスペンド遅延時間（サスペンド優先モード時）		t_{DSESD2}	—	—	500	—	—	300	μs
イレーズ中のサスペンド遅延時間（イレーズ優先モード時）		t_{DSEED}	—	—	500	—	—	300	μs

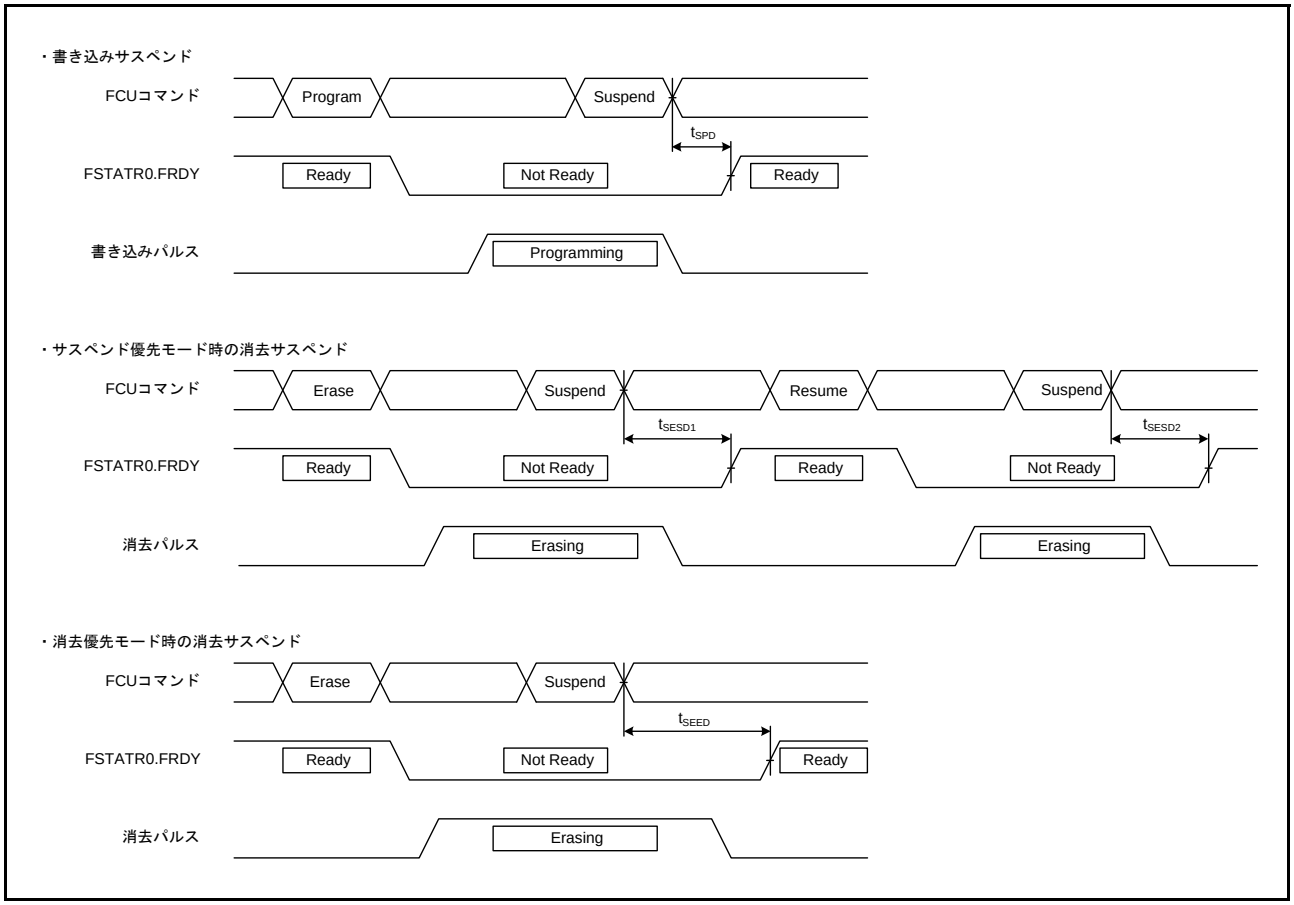


図 51.69　フラッシュメモリプログラム / イレーズサスペンドタイミング

51.13 バウンダリスキャン

表51.39
条件：VCC = AVCC0 = VREFH = VCC_USB = 2.7～3.6V、VREFH0 = 2.7V～AVCC0
　　VSS = AVSS0 = VREFL/VREFL0 = VSS_USB = 0V、$T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図51.70
TCKクロックHighレベルパルス幅	t_{TCKH}	45	—	—	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TRST#パルス幅	t_{TRSTW}	20	—	—	t_{TCKcyc}	図51.71
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図51.72
TMSホールド時間	t_{TMSH}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	40	ns	

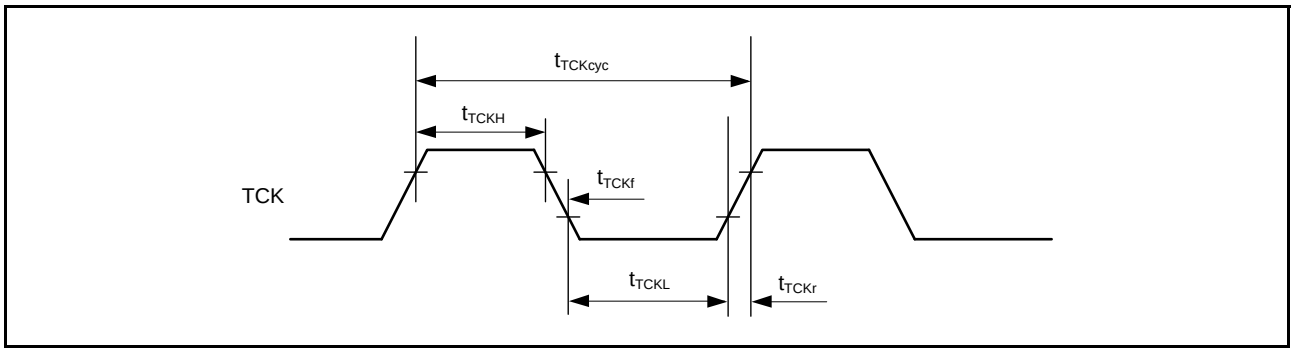


図 51.70　バウンダリスキャン TCK タイミング

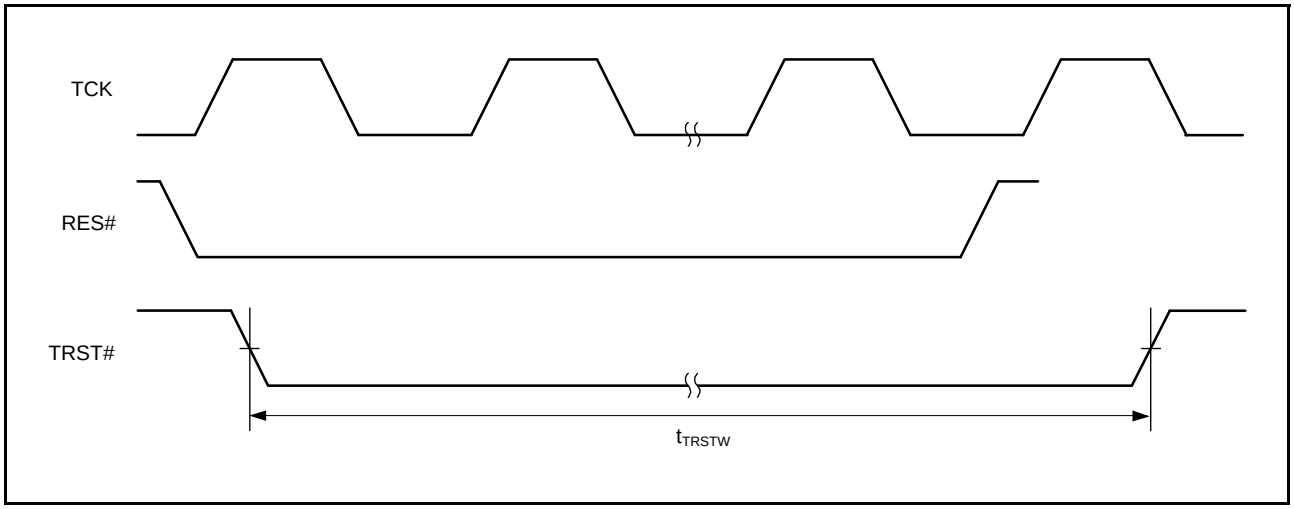


図 51.71　バウンダリスキャン TRST# タイミング

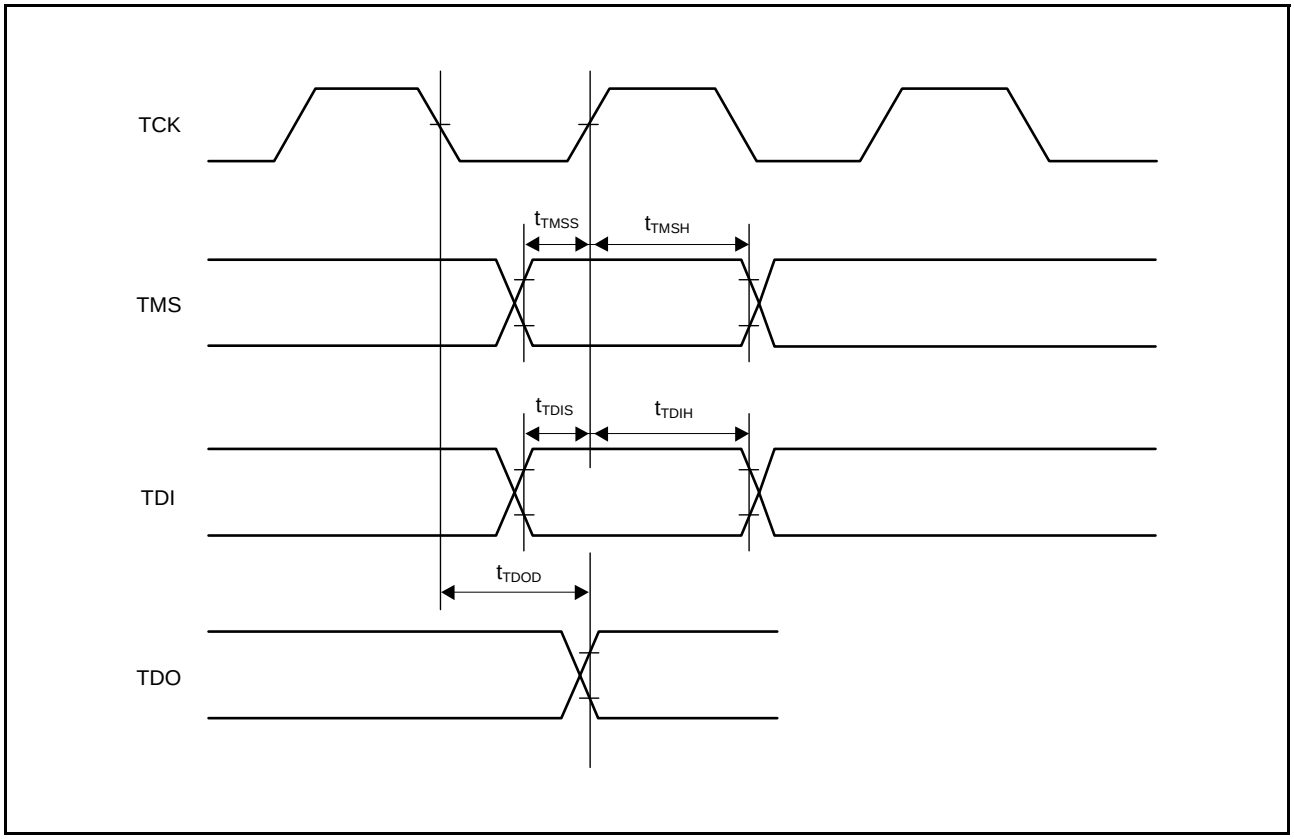


図 51.72　バウンダリスキャン入出力タイミング

付録 1.　各動作モードにおけるポートの状態

表1.1　　各動作モードにおけるポートの状態 (1 / 4)

ポート名 端子名	レジスタ設定による 動作モード		リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
				OPE＝1	OPE＝0		IOKEEP＝1（注1）	IOKEEP＝0
P00/IRQ8, P01/IRQ9, P02/IRQ10	全モード		Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
P03/DA0/IRQ11	全モード	DA0出力時(DAOE0=1)	Hi-Z	DA出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外(DAOE0=0)		Keep-O（注2）		Keep	Keep	
P05/DA1/IRQ13	全モード	DA1出力時(DAOE1=1)	Hi-Z	DA出力保持		Hi-Z	Hi-Z	Hi-Z
		上記以外(DAOE1=0)		Keep-O（注2）		Keep	Keep	
P07/IRQ15	全モード		Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
P10/IRQ0, P11/IRQ1, P12/IRQ2, P13/IRQ3, P14/IRQ4, P15/IRQ5/CRX1, P16/IRQ6/SCL2, P17/IRQ7/SDA2	全モード		Hi-Z	Keep-O（注2）		Keep-O（注3）	Keep	Hi-Z
P20/IRQ8, P21/IRQ9 P22, P23	全モード		Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
P24/CS4#, P25/CS5#, P26/CS6#, P27/CS7#	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[CSn#出力時] H [上記以外] Keep-O	[CSn#出力時] Hi-Z [上記以外] Keep-O			
P30/IRQ0, P31/IRQ1, P32/IRQ2, P33/IRQ3, P34/IRQ4, P35/NMI	全モード		Hi-Z	Keep-O（注2）		Keep-O（注3）	Keep	Hi-Z
P36, P37	全モード		Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
P40/IRQ8, P41/IRQ9, P42/IRQ10, P43/IRQ11, P44/IRQ12, P45/IRQ13, P46/IRQ14, P47/IRQ15	全モード		Hi-Z	Keep-O（注2）		Keep-O（注3）	Keep	Hi-Z
P50/WR0#/WR#	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[WR0#/WR#出力時] H	[WR0#/WR#出力時] Hi-Z			
P51/WR1#/BC1#	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[WR1#/BC1#出力時] H [上記以外] Keep-O	[WR1#/BC1#出力時] Hi-Z [上記以外] Keep-O			
P52/RD#	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[RD#出力時] H	[RD#出力時] Hi-Z			
P53/BCLK	全モード		Hi-Z	[クロック出力時] H [上記以外] Keep-O		Keep	Keep	Hi-Z
P54/ALE/TRDATA2	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[ALE出力時] L [上記以外] Keep-O	[ALE出力時] Hi-Z [上記以外] Keep-O			
P55/TRDATA3/IRQ10	全モード		Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
P56/WR2#/BC2#	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[WR2#/BC2#出力時] H [上記以外] Keep-O	[WR2#/BC2#出力時] Hi-Z [上記以外] Keep-O			
P57/WR3#/BC3#	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[WR3#/BC3#出力時] H [上記以外] Keep-O	[WR3#/BC3#出力時] Hi-Z [上記以外] Keep-O			
P60/CS0#	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)			[CS0#出力時] H [上記以外] Keep-O	[CS0#出力時] Hi-Z [上記以外] Keep-O			

表1.1　　各動作モードにおけるポートの状態（2 / 4）

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
			OPE＝1	OPE＝0		IOKEEP＝1（注1）	IOKEEP＝0
P61/CS1#/SDCS#	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CS1#出力時] H [上記以外] Keep-O	[CS1#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[SDCS#出力時] H [上記以外] Keep-O	[SDCS#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)		[SDCS#出力時] L [上記以外] Keep-O				
P62/CS2#/RAS#	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CS2#出力時] H [上記以外] Keep-O	[CS2#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[RAS#出力時] H [上記以外] Keep-O	[RAS#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)		[RAS#出力時] L [上記以外] Keep-O				
P63/CS3#/CAS#	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CS3#出力時] H [上記以外] Keep-O	[CS3#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[CAS#出力時] H [上記以外] Keep-O	[CAS#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)		[CAS#出力時] L [上記以外] Keep-O				
P64/CS4#/WE#	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CS4#出力時] H [上記以外] Keep-O	[CS4#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[WE#出力時] H [上記以外] Keep-O	[WE#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)						
P65/CS5#/CKE	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CS5#出力時] H [上記以外] Keep-O	[CS5#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[CKE出力時] H [上記以外] Keep-O	[CKE出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)		[CKE出力時] L [上記以外] Keep-O				
P66/CS6#/DQM0	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CS6#出力時] H [上記以外] Keep-O	[CS6#出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[DQM0出力時] DQM0出力保持 [上記以外] Keep-O	[DQM0出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)						

表1.1　　各動作モードにおけるポートの状態（3 / 4）

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
			OPE＝1	OPE＝0		IOKEEP＝1（注1）	IOKEEP＝0
P67/CS7#/IRQ15/DQM1	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CS7#出力時] H [上記以外] Keep-O（注2）	[CS7#出力時] Hi-Z [上記以外] Keep-O（注2）			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[DQM1出力時] DQM1出力保持 [上記以外] Keep-O（注2）	[DQM1出力時] Hi-Z [上記以外] Keep-O（注2）			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)						
P70/SDCLK	全モード	Hi-Z	[クロック出力時] H [上記以外] Keep-O		Keep	Keep	Hi-Z
P71/CS1#, P72/CS2#, P73/CS3#, P74/CS4#, P75/CS5#, P76/CS6#, P77/CS7#	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[CSn#出力時] H [上記以外] Keep-O	[CSn#出力時] Hi-Z [上記以外] Keep-O			
P80/TRDATA0, P81/TRDATA1, P82～P87	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
ポート9	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[アドレス出力時] アドレス出力保持 [データ出力時] Hi-Z [上記以外] Keep-O	[アドレス出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
PA0/DQM2	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O		Keep-O	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[DQM2出力時] DQM2出力保持 [上記以外] Keep-O	[DQM2出力時] Hi-Z [上記以外] Keep-O			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)						
PA1/IRQ11/DQM3	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O（注2）		Keep-O	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O（注2）	[アドレス出力時] Hi-Z [上記以外] Keep-O（注2）			
	セルフリフレッシュ無効 (SDSELF.SFEN=0)		[DQM3出力時] DQM3出力保持 [上記以外] Keep-O（注2）	[DQM3出力時] Hi-Z [上記以外] Keep-O（注2）			
	セルフリフレッシュ有効 (SDSELF.SFEN=1)						
PA2, PA3/IRQ6, PA4/IRQ5, PA5～PA7	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O（注2）		Keep-O（注3）	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O（注2）	[アドレス出力時] Hi-Z [上記以外] Keep-O（注2）			
PB0/IRQ12, PB1/IRQ4, PB2～PB7	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O（注2）		Keep-O（注3）	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O（注2）	[アドレス出力時] Hi-Z [上記以外] Keep-O（注2）			
PC0/IRQ14, PC1/IRQ12, PC2, PC3, PC4/CS3#, PC5/CS2#, PC6/IRQ13/CS1#, PC7/IRQ14/CS0#	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[アドレス出力時] アドレス出力保持 [CSn#出力時] H [上記以外] Keep-O（注2）	[アドレス出力時] Hi-Z [CSn#出力時] Hi-Z [上記以外] Keep-O（注2）			
PD0/IRQ0, PD1/IRQ1, PD2/IRQ2, PD3/IRQ3, PD4/IRQ4, PD5/IRQ5, PD6/IRQ6, PD7/IRQ7	シングルチップモード(EXBE＝0)	Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード (EXBE＝1)		[データ出力時] Hi-Z				

表1.1　　各動作モードにおけるポートの状態 (4 / 4)

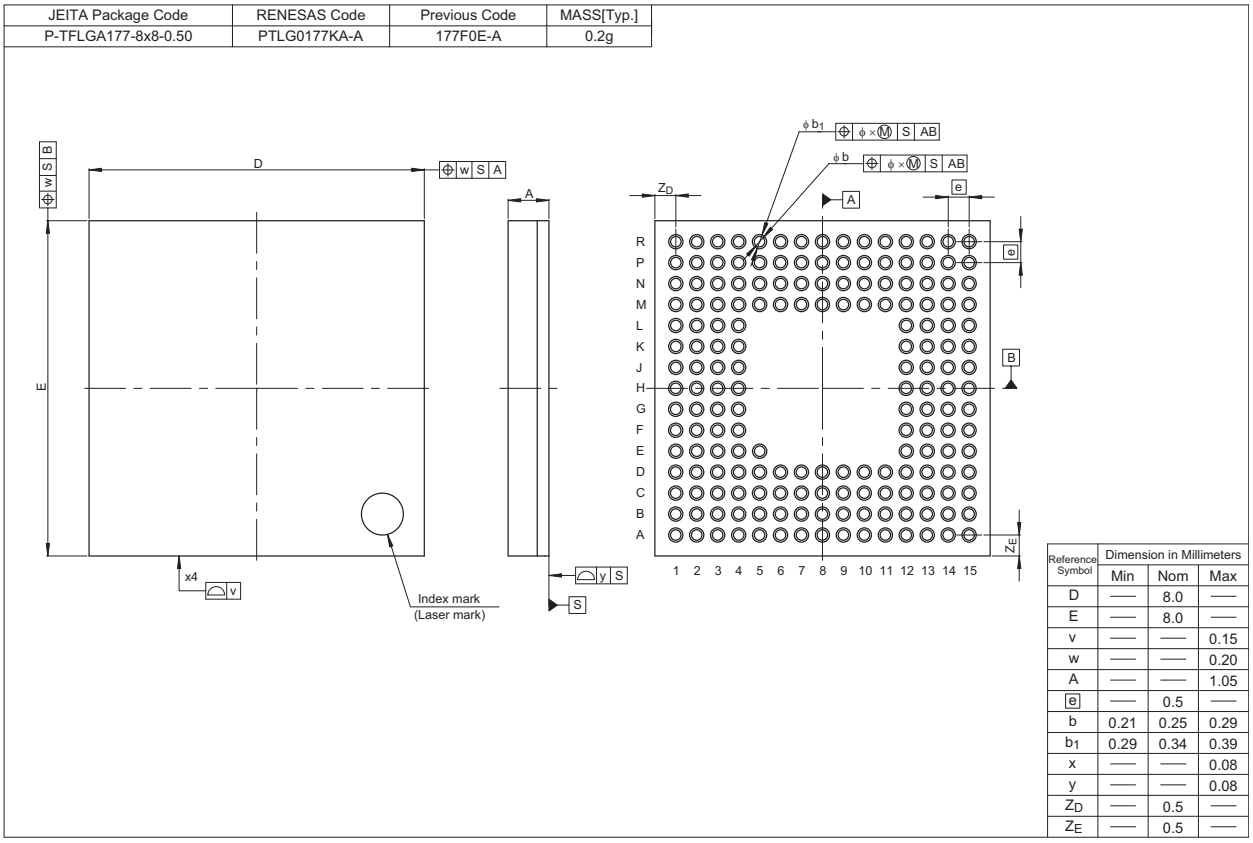
ポート名 端子名	レジスタ設定による 動作モード		リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
				OPE＝1	OPE＝0		IOKEEP＝1（注1）	IOKEEP＝0
PE0, PE1, PE2/IRQ7, PE3, PE4, PE5/IRQ5, PE6/IRQ6, PE7/IRQ7	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O（注2）		Keep-O（注3）	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード(EXBE＝1)	バス幅8ビット		Keep-O（注2）				
		バス幅16ビット		[データ出力時] Hi-Z				
PF0～PF4, PF5/IRQ4	全モード		Hi-Z	Keep-O（注2）		Keep	Keep	Hi-Z
PG0, PG1, PG2/TRDATA0, PG3/TRDATA1, PG4, PG5, PG6/TRDATA2, PG7/TRDATA3	シングルチップモード(EXBE＝0)		Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵ROM有効/無効拡張モード(EXBE＝1)			[データ出力時] Hi-Z [上記以外] Keep-O				
ポートJ	全モード		Hi-Z	Keep-O		Keep	Keep	Hi-Z
USB0_DM	全モード		Hi-Z	Keep-O（注4）		Hi-Z（注3）	Hi-Z	
USB0_DP	全モード		Hi-Z	Keep-O（注4）		Hi-Z（注3）	Hi-Z	
USB1_DM	全モード		Hi-Z	Keep-O（注4）		Hi-Z（注3）	Hi-Z	
USB1_DP	全モード		Hi-Z	Keep-O（注4）		Hi-Z（注3）	Hi-Z	

H ：High レベル
L ：Low レベル
Keep-O ：出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス
Keep ：ソフトウェアスタンバイでの端子状態を保持
Hi-Z ：ハイインピーダンス
注1.　DPSBYCR.IOKEEPビットを“0”にするまで、I/Oポートの状態を保持します。
注2.　外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
注3.　ディープソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
注4.　入力端子として使用時は入力可能です。

付録 2.　外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

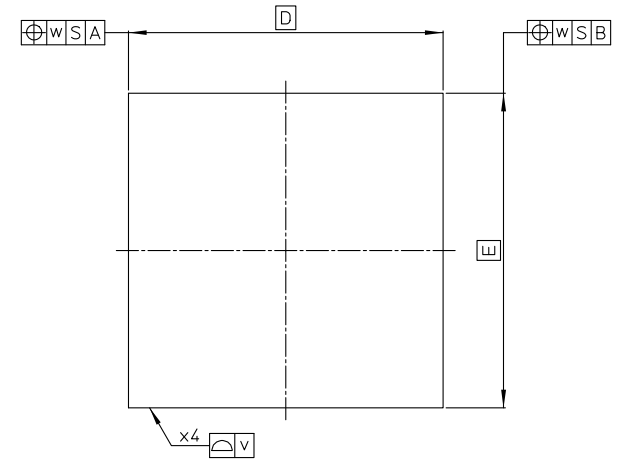
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA177-8x8-0.50	PTLG0177KA-A	177F0E-A	0.2g

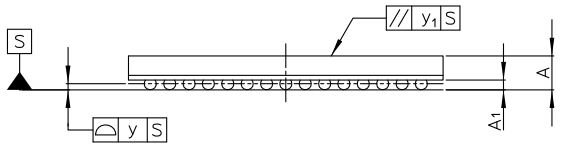


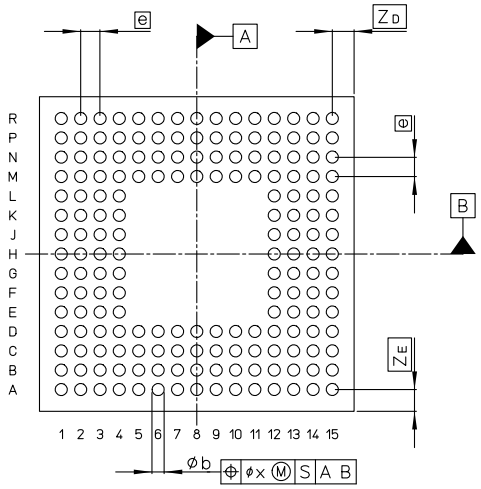
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	8.0	—
E	—	8.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.5	—
b	0.21	0.25	0.29
b_1	0.29	0.34	0.39
x	—	—	0.08
y	—	—	0.08
Z_D	—	0.5	—
Z_E	—	0.5	—

図 A.　　177 ピン TFLGA（PTLG0177KA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFBGA176-13x13-0.80	PLBG0176GA-A	BP-176/BP-176V	0.45g



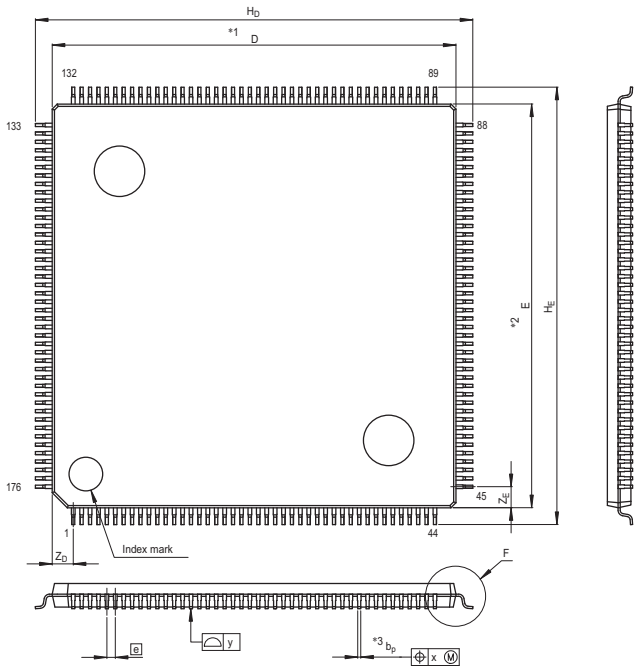


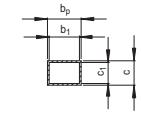


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	——	13.0	——
E	——	13.0	——
v	——	——	0.15
w	——	——	0.20
A	——	——	1.40
A_1	0.35	0.40	0.45
e	——	0.80	——
b	0.45	0.50	0.55
x	——	——	0.08
y	——	——	0.10
y_1	——	——	0.2
S_D	——	——	——
S_E	——	——	——
Z_D	——	0.90	——
Z_E	——	0.90	——

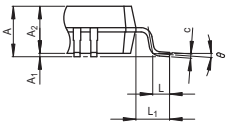
図 B.　　176 ピン LFBGA（PLBG0176GA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP176-24x24-0.50	PLQP0176KB-A	176P6Q-A / FP-176E / FP-176EV	1.8g





Terminal cross section



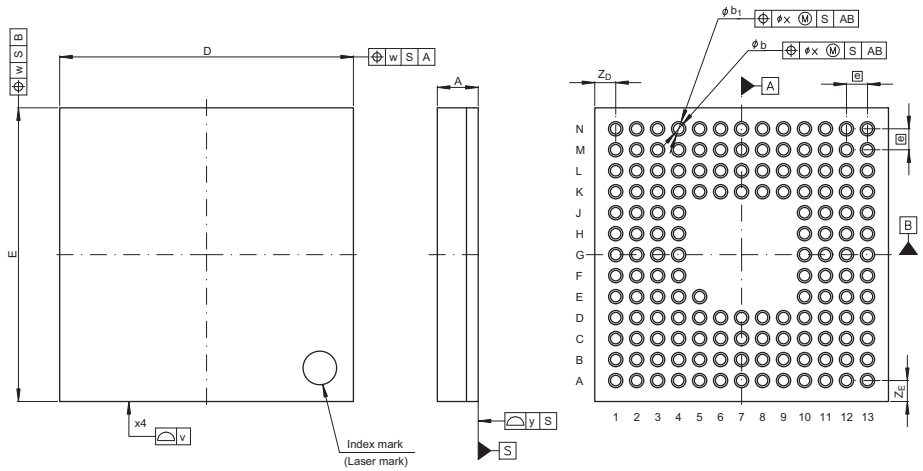
Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	23.9	24.0	24.1
E	23.9	24.0	24.1
A_2	—	1.4	—
H_D	25.8	26.0	26.2
H_E	25.8	26.0	26.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 C.　176 ピン LQFP（PLQP0176KB-A）

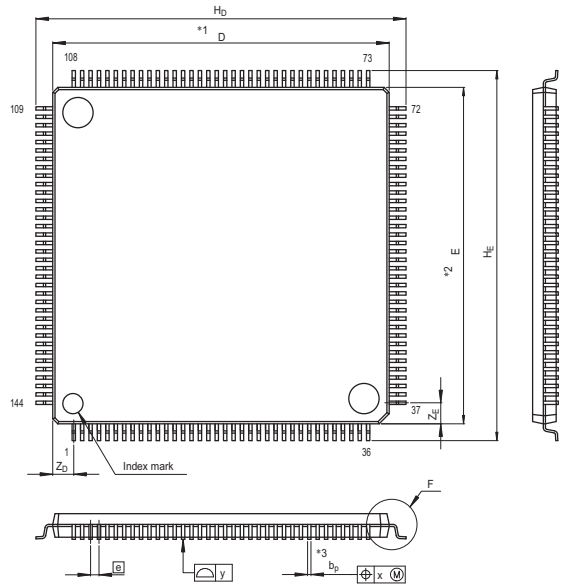
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA145-7x7-0.50	PTLG0145KA-A	145F0G	0.1g

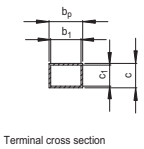


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	7.0	—
E	—	7.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.5	—
b	0.21	0.25	0.29
b_1	0.29	0.34	0.39
x	—	—	0.08
y	—	—	0.10
Z_D	—	0.5	—
Z_E	—	0.5	—

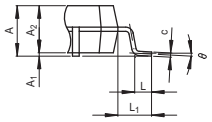
図 D.　　145 ピン TFLGA（PTLG0145KA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP144-20x20-0.50	PLQP0144KA-A	144P6Q-A / FP-144L / FP-144LV	1.2g





Terminal cross section



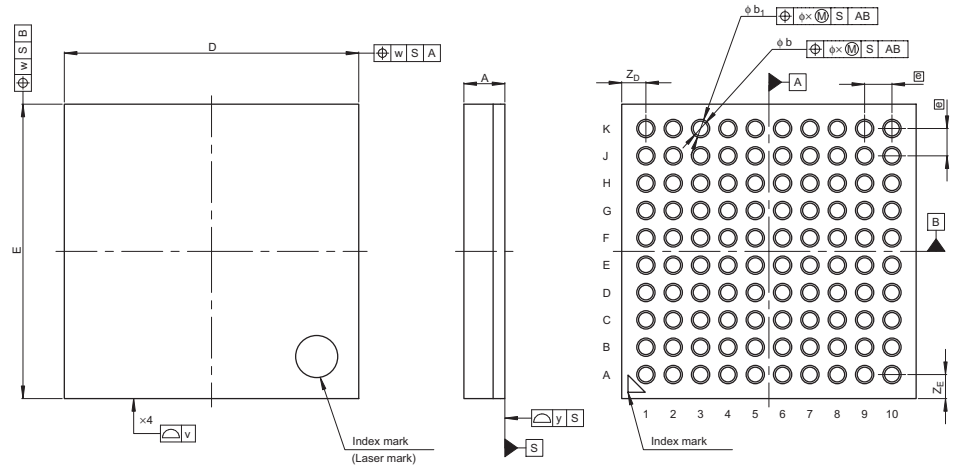
Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 E.　　144 ピン LQFP（PLQP0144KA-A）

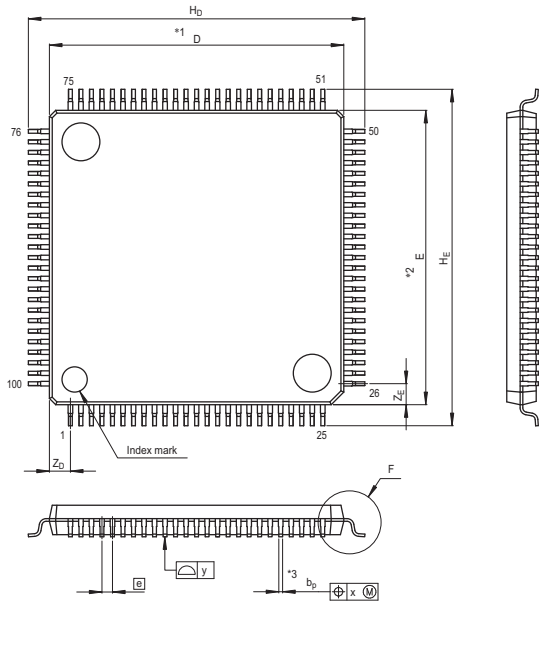
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA100-7x7-0.65	PTLG0100JA-A	100F0G	0.1g

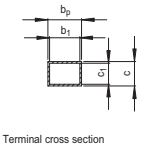


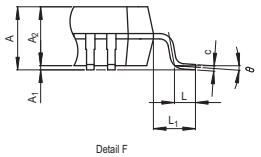
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	7.0	—
E	—	7.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.65	—
b	0.31	0.35	0.39
b_1	0.385	0.435	0.485
x	—	—	0.08
y	—	—	0.10
Z_D	—	0.575	—
Z_E	—	0.575	—

図 F.　　100 ピン TFLGA（PTLG0100JA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g





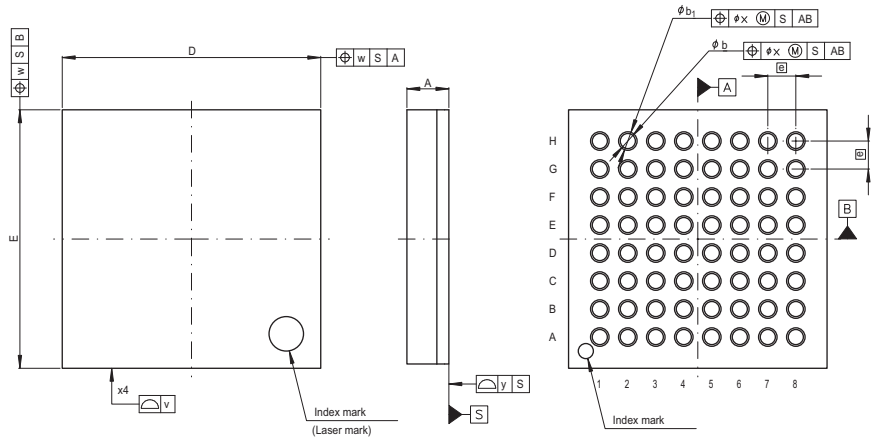


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 G.　　100 ピン LQFP（PLQP0100KB-A）

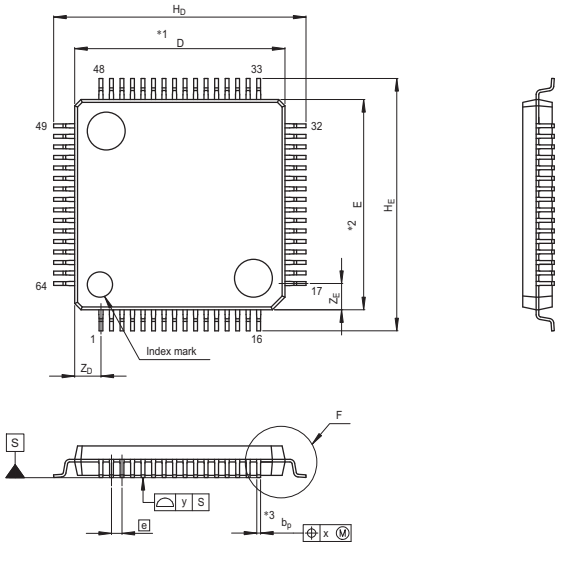
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA64-6x6-0.65	PTLG0064JA-A	64F0G	0.07g

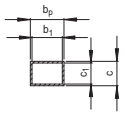


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	6.0	—
E	—	6.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.65	—
b	0.31	0.35	0.39
b_1	0.39	0.43	0.47
x	—	—	0.08
y	—	—	0.10

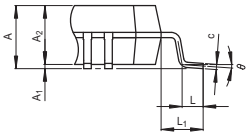
図 H.　　64 ピン TFLGA（PTLG0064JA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP64-10x10-0.50	PLQP0064KB-A	64P6Q-A / FP-64K / FP-64KV	0.3g





Terminal cross section



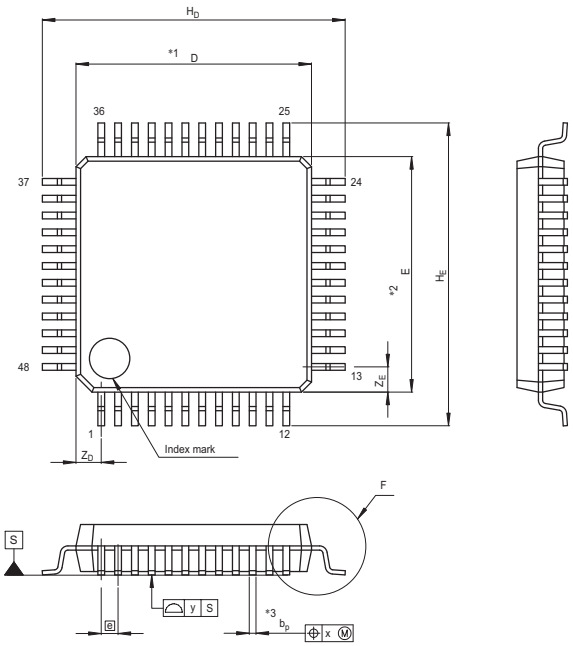
Detail F

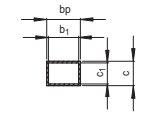
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

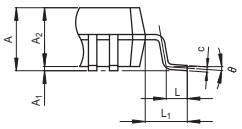
図 I.　　64 ピン LQFP（PLQP0064KB-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-A	48P6Q-A	0.2g





Terminal cross section



Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	0.75	—
Z_E	—	0.75	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 J.　　48 ピン LQFP（PLQP0048KB-A）

改訂記録	RX63N グループ、RX631 グループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2011.4.26	—	初版発行
0.90	2011.11.10	全体	
		—	パッケージ追加(177ピンTFLGA、176ピンLFBGA、145ピンTFLGA) モジュール名変更
		1. 概要	
		50、52、54	表1.1 仕様概要　リセット、リアルタイムクロック、温度センサ、電源電圧、パッケージ　変更
		56～58	表1.3 製品一覧表　変更
		58	図1.1 型名とメモリサイズ・パッケージ
		60	表1.4 端子機能一覧　BSCANP端子追加
		66	図1.3 ピン配置図(177ピンTFLGA)　追加
		67	図1.4 ピン配置図(176ピンLFBGA)　追加
		68	図1.5 ピン配置図(176ピンLQFP)　18ピン変更
		69	図1.6 ピン配置図(145ピンTFLGA)　追加
		70	図1.7 ピン配置図(144ピンLQFP)　16ピン変更
		71	図1.8 ピン配置図(100ピンLQFP)　7ピン変更
		72～79	表1.5 機能別端子一覧(177ピンTFLGA、176ピンLFBGA)　追加
		87～93	表1.7 機能別端子一覧(145ピンTFLGA)　追加
		2. CPU	
		129	2.8.2 命令とパイプライン処理　変更
		129	表2.13 単一マイクロオペレーションに変換される命令　変更
		131、132	表2.14 複数マイクロオペレーションに変換される命令　変更
		3. 動作モード	
		138	表3.1 モード端子による動作モードの選択　注1、注2変更
		138	表3.2 レジスタによる動作モードの選択　注1変更
		138	表3.3 エンディアン設定方式　変更
		138	表3.4 エンディアンの選択　変更
		140	3.2.3 システムコントロールレジスタ0(SYSCR0)　ビット機能表(KEY[7:0])　機能変更
		142	3.3.5 ユーザブートモード　変更
		5. I/Oレジスタ	
		148	(1) I/Oレジスタアドレス一覧(アドレス順)　変更
		149	(3) I/Oレジスタアクセスサイクル数　変更
		150～193	表5.1 I/Oレジスタアドレス一覧　変更
		6. リセット	
		—	全体　端子リセット→端子からのリセット
		195	表6.2 リセット種別ごとの初期化対象　変更
		201	6.3.2 パワーオンリセット、電圧監視0リセット　変更
		202	6.3.3 電圧監視1リセット、電圧監視2リセット　変更
		203	図6.2 電圧監視1リセット、電圧監視2リセット動作例　変更
		204	6.3.4 ディープソフトウェアスタンバイリセット　変更
		204	6.3.5 独立ウォッチドッグタイマリセット　変更
		204	6.3.6 ウォッチドッグタイマリセット　変更
		204	6.3.7 ソフトウェアリセット　変更
		7. オプション設定メモリ	
		212	7.2.2 オプション機能選択レジスタ1(OFS1)　ビット機能表　注1削除、レジスタ説明変更
		214	7.3 UBコード　変更
		8. 電圧検出回路(LVDA)	
		215	8.1 概要　変更
		215	表8.1 電圧検出回路の仕様　変更
		217	図8.2 電圧監視1割り込み/リセット発生回路のブロック図　変更
		217	図8.3 電圧監視2割り込み/リセット発生回路のブロック図　変更
		218	8.2.2 電圧監視1回路ステータスレジスタ(LVD1SR)　ビット機能表(LVD1MON)　機能変更、 LVD1DETフラグ　ビット説明変更
		219	8.2.4 電圧監視2回路ステータスレジスタ(LVD2SR)　ビット機能表(LVD2MON)　機能変更、 LVD2DETフラグ　ビット説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	220	8.2.6 電圧検出レベル選択レジスタ(LVDLVLR)　ビット配置図　リセット後の値変更、ビット機能表　機能変更、レジスタ説明変更
		221	8.2.7 電圧監視1 回路制御レジスタ0(LVD1CR0)　LVD1RIE、LVD1DFDIS、LVD1FSAMP[1:0]ビット　ビット説明変更
		223	8.2.8 電圧監視2 回路制御レジスタ0(LVD2CR0)　LVD2RIE、LVD2DFDIS、LVD2FSAMP[1:0] ビット　ビット説明変更
		225	8.3.2 Vdet1のモニタ　変更
		225	8.3.3 Vdet2のモニタ　変更
		227	8.5 電圧監視1割り込み、電圧監視1リセット　変更
		227	表8.2 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順　変更
		227	表8.3 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順　追加
		228	図8.5 電圧監視1割り込み動作例　変更
		229	8.6 電圧監視2割り込み、電圧監視2リセット　変更
		229	表8.4 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順　変更
		229	表8.5 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順　追加
		230	図8.6 電圧監視2割り込み動作例　変更
		9. クロック発生回路	
		―	全体　高速クロック発振器→高速オンチップオシレータ、低速クロック発振器→低速オンチップオシレータ IWDT専用低速クロック発振器→IWDT専用オンチップオシレータ 高速クロック→HOCOクロック、低速クロック→LOCOクロック
		231、232	表9.1 クロック発生回路の仕様　動作周波数、サブクロック発振器　変更、注1追加
		234、235	9.2.1 システムクロックコントロールレジスタ(SCKCR)　ビット機能表(b3-b0、b7-b4、b15-b12)　機能変更、注1～注4変更
		236	9.2.2 システムクロックコントロールレジスタ2(SCKCR2)　ビット機能表(UCK[3:0]　機能変更)
		238	9.2.4 PLLコントロールレジスタ(PLLCR)　ビット機能表(PLIDIV[1:0])　機能変更、レジスタ説明変更
		239	9.2.5 PLLコントロールレジスタ2(PLLCR2)　PLLENビット　ビット説明変更
		241	9.2.7 メインクロック発振器コントロールレジスタ(MOSCCR)　MOSTPビット　ビット説明変更
		243	9.2.8 サブクロック発振器コントロールレジスタ(SOSCCR)　SOSTPビット　ビット説明変更
		244	9.2.9 低速オンチップオシレータコントロールレジスタ(LOCOCR)　LCSTPビット　ビット説明変更
		245	9.2.10 IWDT専用オンチップオシレータコントロールレジスタコントロールレジスタ(ILOCOCR)　ILCSTPビット　ビット説明変更
		246	9.2.11 高速オンチップオシレータコントロールレジスタ(HOCOCR)　HCSTPビット　ビット説明変更
		247	9.2.12 発振停止検出コントロールレジスタ(OSTDCR)　OSTDIEビット　ビット説明変更
		249	9.2.14 メインクロック発振器強制発振コントロールレジスタ(MOFCR)　MOFXINビット　ビット説明変更
		250	9.2.15 高速オンチップオシレータ電源コントロールレジスタ(HOCOPCR)　HOCOPCNTビット　ビット説明変更
		251	図9.2 水晶振動子の接続例　変更
		251	表9.3 ダンピング抵抗(参考値)　変更
		251	図9.3 水晶振動子の等価回路　変更
		251	表9.4 水晶振動子の特性(参考値)　変更
		252	9.3.2 外部クロックを入力する方法　変更
		252	9.3.3 外部クロック入力に関する注意事項　追加
		253	図9.5 32.768kHz水晶振動子の接続例　変更
		253	表9.5 水晶振動子の特性(参考値)　変更
		254	9.4.2 サブクロックを使用しない場合の端子処理　変更
		256	図9.8 発振停止検出からの復帰のフローチャート例　追加
		256	9.5.2 発振停止検出割り込み　変更
		257	9.7 内部クロック　変更
		259	9.9 外部クロックを使用する場合の端子設定　(2) サブクロック削除
		260	9.10.1 クロック発生回路に関する注意事項　(2)、(3)変更
		261	9.10.4 発振子接続端子に関する注意事項　変更
		261	9.10.5 サブクロックに関する注意事項　変更
		10.　周波数測定機能(MCK)	
		262	表10.1 周波数測定機能の仕様　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	263	図10.1 MTUを使用した周波数測定機能のブロック図(系統1)　変更
		263	図10.2 TPUユニット0を使用した周波数測定機能のブロック図(系統2)　変更
		264	図10.3 ソフトウェアの構成　変更
		265	10.2.1 カウントクロック拡張レジスタn(SCKn)　ビット機能表(SCK[1:0])　機能変更、レジスタ説明変更
		—	10.2.2 カウントクロック拡張レジスタ2(SCK2)　削除
		266	図10.4 周波数測定機能の動作フロー　変更
		267	図10.5 MTU/TPUの動作例　変更
		11. 消費電力低減機能	
		269	11.1 概要　変更
		269	表11.1消費電力低減機能の仕様　変更
		271	表11.2 各モードにおける遷移および解除方法と動作状態　注9、注13変更
		272	図11.1 モード遷移　変更
		273	11.2.1 スタンバイコントロールレジスタ(SBYCR)　SSBY ビット　ビット説明変更
		279	11.2.5 動作電力コントロールレジスタ(OPCCR)　レジスタ説明変更、OPCM[2:0]ビット　ビット説明変更
		283	11.2.7 メインクロック発振器ウェイトコントロールレジスタ(MOSCWTCR)　レジスタ説明変更
		284	11.2.8 サブクロック発振器ウェイトコントロールレジスタ(SOSCWTCR)　ビット機能表(SSTS[4:0])　機能変更、レジスタ説明変更
		285	11.2.9 PLLウェイトコントロールレジスタ(PLLWTCR)　レジスタ説明変更
		286、287	11.2.10 ディープスタンバイコントロールレジスタ(DPSBYCR)　DEEPCUT[1:0]、DPSBYビット　ビット説明変更
		290	11.2.13 ディープスタンバイインタラプトイネーブルレジスタ2(DPSIER2)　ビット機能表(DLVD1IE、DLVD2IE)　機能変更
		301	11.3 クロックの切り替えによる消費電力の低減　変更
		303	11.6.1.1 スリープモードへの移行　変更
		305	11.6.2.1 全モジュールクロックストップモードへの移行　変更
		306	11.6.2.2 全モジュールクロックストップモードの解除　変更
		307	11.6.3.1 ソフトウェアスタンバイモードへの移行　変更、注1変更
		308	11.6.3.2 ソフトウェアスタンバイモードの解除　変更
		311	11.6.4.2 ディープソフトウェアスタンバイモードの解除　変更
		314	図11.4 ディープソフトウェアスタンバイモードのフローチャート例　変更
		315	11.7.7 スリープモード中のDMAC、DTCによるレジスタの書き換えについて　追加
		315、316	11.7.8 ROM容量1.5Mバイト以上または176ピン以上のピン数の製品におけるソフトウェアスタンバイモードへの移行　変更
		316	11.7.10 サブクロックをシステムクロックのクロックソースに使用する場合の注意事項　追加
		12. バッテリバックアップ機能	
		—	12.2 レジスタの説明　削除
		—	12.2.1 バッテリバックアップ電圧モニタ機能選択レジスタ(VBATTMNSELR)　削除
		—	12.2.2 バッテリバックアップ電圧モニタレジスタ(VBATTMONR)　削除
		318	12.2.1 バッテリバックアップ機能　変更
		318	図12.2 バッテリバックアップ機能への切り替わり動作　変更
		—	12.3.2 VBATT電圧モニタ　削除
		—	図12.3 VBATT電圧モニタの動作例　削除
		319	12.3 使用上の注意事項　変更
		13. レジスタライトプロテクション機能	
		320	表13.1 PRCRレジスタと保護されるレジスタの対応　PRC1、PRC3ビット変更
		321	13.1.1 プロテクトレジスタ(PRCR)　ビット機能表(PRKEY[7:0])　機能変更
		15. 割り込みコントローラ(ICUb)	
		331	表15.1 割り込みコントローラの仕様　変更
		332	図15.1 割り込みコントローラのブロック図　変更
		359	15.2.21 グループm割り込みクリアレジスタ（GCRm）　GCR12レジスタ ビット機能表のビット名修正
		346、347	15.2.13 ノンマスカブル割り込みステータスレジスタ(NMISR)　OSTST、LVD1ST、LVD2STビット　ビット名変更
		348	15.2.14 ノンマスカブル割り込み許可レジスタ(NMIER)　OSTEN、LVD1EN、LVD2ENビット　ビット名変更
		363～365	表15.3 割り込みのベクタテーブル　名称修正（CUP、ALM、GROUP0～GROUP6、GROUP12）

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	379	図15.15 1グループに割り当てられた複数のレベル検出割り込み要求が発生した場合の動作例　変更
		385	15.6 ノンマスカブル割り込みの動作説明　変更
		387	15.8.1 ノンマスカブル割り込み使用時のWAIT命令の注意事項　追加
		16. バス	
		389	図16.1 バスの構成図　注1追加
		389	表16.2 バス種類別アドレス対応表　変更
		395	表16.6 外部バスの入出力端子　WR1#、WR2#、WR3#機能変更
		398	16.3.1 CSn制御レジスタ(CSnCR)　レジスタ説明変更
		400	16.3.2 CSnリカバリサイクル設定レジスタ(CSnREC)　レジスタ説明変更
		402	16.3.3 CSリカバリサイクル挿入許可レジスタ(CSRECEN)　レジスタ説明変更
		408	16.3.5 CSnウェイト制御レジスタ1(CSnWCR1)　レジスタ説明変更、CSPWWAIT[2:0]、CSWWAIT[4:0] ビット　注変更
		410、411	16.3.6 CSnウェイト制御レジスタ2(CSnWCR2) ビット機能表　注1削除、レジスタ説明変更、AWAIT[1:0]ビット　注追加、WRON[2:0]、WDON[2:0]ビット　注変更
		413	16.3.8 SDCモードレジスタ(SDCMOD)　レジスタ説明変更
		417	16.3.13 SDRAM初期化シーケンス制御レジスタ(SDICR)　レジスタ説明変更
		418	16.3.14 SDRAM初期化レジスタ(SDIR)　レジスタ説明変更
		420	16.3.16 SDRAMタイミングレジスタ(SDTR)　レジスタ説明変更
		422	16.3.17 SDRAMモードレジスタ(SDMOD)　レジスタ説明変更
		442	16.5.1 セパレートバス　変更
		451	図16.30 ノーマルリードアクセス　変更
		465	図16.47 バスアクセスが分割された場合のリカバリサイクルの動作例　変更
		466	図16.49 BCLK端子出力選択ビットでBCLKの2分周を設定した場合のリカバリサイクルの動作例(セパレートバスインタフェース、ノーマルアクセスの場合)　追加
		467	図16.50 BCLK端子出力選択ビットでBCLKの2分周を設定した場合のリカバリサイクルの動作例(バスアクセスが分割された場合)　追加
		467	図16.51 アドレス/データマルチプレクスI/Oインタフェース時のリカバリサイクルの動作例　変更
		468	図16.52 アドレス/データマルチプレクスI/Oインタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例　変更
		469	表16.10 ノーマル/ページアクセス時の制約事項　変更
		505	表16.21 発生するバスエラーの種類　変更
		17. DMAコントローラ(DMACA)	
		510	17.2.3 DMA転送カウントレジスタ(DMCRA)　(3) ブロック転送モード　変更
		510	17.2.4 DMAブロック転送カウントレジスタ(DMCRB)　レジスタ説明変更
		528	17.3.2 拡張リピートエリア機能　変更
		536	表17.7 DMACの実行サイクル　注1追加
		18. EXDMAコントローラ(EXDMACa)	
		546	表18.1 EXDMACの仕様　DMA起動要因変更
		547	図18.1 EXDMACのブロック図　変更
		551	18.2.4 EXDMAブロック転送カウントレジスタ(EDMCRB)　ビット機能表(b9-b0)　機能変更、レジスタ説明変更
		552	18.2.5 EXDMA転送モードレジスタ(EDMTMD)　ビット機能表(DCTG[1:0])　機能変更
		565	18.2.14 EXDMA外部要求フラグレジスタ(EDMERF)　EREQフラグ　ビット説明(“0”になる条件)変更
		566	18.2.15 EXDMA周辺要求フラグレジスタ(EDMPRF)　PREQフラグ　ビット名変更
		573	18.3.1 転送モード　(4) クラスタ転送モード　変更
		575	18.3.2 拡張リピートエリア機能　変更
		577	18.3.3 オフセットを使ったアドレス更新機能　EXDMACn.EDMOFR → EXDMAC0.EDMOFR
		583	18.4 転送動作　注.追加
		591～593	18.5.1 起動要因　変更
		599	18.7 割り込み　変更
		600	図18.26 EXDMAC割り込み処理でDMA転送を再開/中止する手順　図タイトル変更
		603	図18.27 シングルアドレスモードノーマル転送(CS領域　リード)動作例　変更
		604	図18.28 シングルアドレスモードノーマル転送(CS領域　ライト)動作例　変更
		605	図18.29 シングルアドレスモードノーマル転送(SDRAM領域　リード)動作例　変更
		606	図18.30 シングルアドレスモードノーマル転送(SDRAM領域　ライト)動作例　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	607	図18.31 シングルアドレスモードブロック転送(CS領域　リード)動作例　変更
		608	図18.32 シングルアドレスモードブロック転送(CS領域　ライト)動作例　変更
		608～609	18.9.4 シングルアドレスモードブロック転送(SDRAM 領域) EDACKn 動作例　変更
		609	図18.33 シングルアドレスモードブロック転送(SDRAM領域　リード：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：0設定時)動作例　変更
		610	図18.34 シングルアドレスモードブロック転送(SDRAM領域　ライト：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：0設定時)動作例　変更
		611	図18.35 シングルアドレスモードブロック転送(SDRAM領域　リード：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：1設定時)動作例　変更
		612	図18.36 シングルアドレスモードブロック転送(SDRAM領域　ライト：連続アクセス許可、EXDMACn.EDMOMD.DACKSEL：1設定時)動作例　変更
		613	図18.37 シングルアドレスモードブロック転送(SDRAM領域　リード：連続アクセス禁止、EXDMACn.EDMOMD.DACKSEL：0設定時)動作例　変更
		614	図18.38 シングルアドレスモードブロック転送(SDRAM領域　ライト：連続アクセス禁止、EXDMACn.EDMOMD.DACKSEL：0設定時)動作例　変更
		19. データトランスファコントローラ(DTCa)	
		619	19.2.2 DTCモードレジスタB(MRB)　ビット機能表(CHNS)　機能変更
		622	19.2.6 DTC転送カウントレジスタB(CRB)　レジスタ説明変更
		635	19.4.6 チェーン転送　誤記修正(MRB.CHNEビット → MRB.CHNSビット)
		636	図19.9 DTC動作タイミング例(1)　変更
		636	図19.10 DTC動作タイミング例(2)　変更
		637	図19.11 DTC動作タイミング例(3)　変更
		637	図19.12 DTC動作タイミング例(4)　変更
		638	図19.13 転送情報スキップ時の動作例　変更
		639	表19.8 DTCの実行サイクル　注7追加
		20. I/Oポート	
		―	全体　NMOSオープンドレイン出力→Nチャネルオープンドレイン
		648	表20.1 I/Oポートの仕様　変更
		649	表20.2 I/Oポートの機能　追加
		650～653	20.2 入出力ポートの構成　追加
		654	20.3.1 ポート方向レジスタ(PDR)　レジスタ説明変更
		655	20.3.2 ポート出力データレジスタ(PODR)　レジスタ説明変更
		657	20.3.4 ポートモードレジスタ(PMR)　レジスタ説明変更
		658	20.3.5 オープンドレイン制御レジスタ0(ODR0)　レジスタ説明変更
		659	20.3.6 オープンドレイン制御レジスタ1(ODR1)　レジスタ説明変更
		660	20.3.7 プルアップ制御レジスタ(PCR)　レジスタ名変更
		661	20.3.8 駆動能力制御レジスタ(DSCR)　レジスタ説明変更
		662	20.4 未使用端子の処理　追加
		21. マルチファンクションピンコントローラ(MPC)	
		全体	レジスタ名変更　ポートmn端子機能選択レジスタ → Pmn端子機能制御レジスタ
		664、672、674、675、676、679	表21.1 マルチプル端子の割り当て端子一覧　変更(NMI追加、イーサネットコントローラ、SCI4、SCI9、CAN2)、注1、注4、注5削除し、注3変更
		680	21.2 レジスタ説明　変更
		680	21.2.1 書き込みプロテクトレジスタ(PWPR)　PFSWEビット　ビット説明変更
		711	21.2.25 外部バス制御レジスタ1(PFBCR1) ビット機能表　MDSDEビットのビット名,機能変更、DQM1Eビットの機能変更、注1.削除 WAITS[1:0]ビット　ビット説明追加、MDSDEビット　ビット説明追記
		715～717	21.3 外部バスインタフェース設定方法　追加
		719	21.4.2 MPCレジスタ設定する場合の注意事項　(6)変更
		719	表21.28 レジスタの設定　変更
		719	21.4.3 アナログ機能を使う場合の注意事項　追加
		22. マルチファンクションタイマパルスユニット2(MTU2a)	
		721、722	表22.2 MTUの機能一覧 変更
		723	図22.1 MTUのブロック図 変更
		754	22.2.17 タイマアウトプットマスタ許可レジスタ(TOER)　ビット機能表　注1変更
		809	図22.39 相補PWMモードのカウンタ動作　変更
		811	図22.40 相補PWMモード動作例　変更
		813	図22.41 デッドタイムを生成しない場合の動作例　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	814	図22.42 PWM周期の変更例　変更
		815	図22.43 相補PWMモードのデータ更新例　変更
		816	図22.44 相補PWMモードの初期出力例(1)　変更
		817	図22.45 相補PWMモードの初期出力例(2)　変更
		818	図22.46 相補PWMモード波形出力例(1)　変更
		819	図22.47 相補PWMモード波形出力例(2)　変更
		819	図20.48 相補PWMモード波形出力例(3)　変更
		820	図22.49 相補PWMモード0%、100%波形出力例(1)　変更
		820	図22.50 相補PWMモード0%、100%波形出力例(2)　変更
		821	図22.51 相補PWMモード0%、100%波形出力例(3)　変更
		821	図22.52 相補PWMモード0%、100%波形出力例(4)　変更
		822	図22.53 相補PWMモード0%、100%波形出力例(5)　変更
		824	図22.55 他のチャネルに同期したカウンタクリア　変更
		825	図22.56 同期カウンタクリアタイミング　変更
		826	図22.58 アップカウント中のデッドタイム時に同期クリアが発生した場合
		827	図22.59 山のTb区間で同期クリアが発生した場合　変更
		827	図22.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合　変更
		828	図22.61 谷のTb区間で同期クリアが発生した場合
		832	図22.68 割り込み間引き回数の変更可能期間　変更
		833	図22.70 バッファ転送を抑止する設定(BTE1=0、BTE0=1)にした場合の動作例　変更
		834	図22.71 バッファ転送を割り込み間引きと連動する設定(BTE1=1、BTE0=0)にした場合の動作例　変更
		834	図22.72 タイマ割り込み間引き設定レジスタ(TITCR)のT3AEN、T4VENビットの設定とバッファ転送許可期間の関係　変更
		846	22.4.3 A/D コンバータの起動　(4)変更
		846	表22.58 各割り込み要因とA/D変換開始要求の対応　変更
		856	22.6.2 入力クロックの制限事項　変更、図22.106 位相計数モード時の位相差、オーバラップ、およびパルス幅　変更
		867	図22.121 オーバフローとカウンタクリアの競合　変更
		868	22.6.18 TCNTの書き込みとオーバフロー/アンダフローの競合　変更
		868	図22.122 TCNTの書き込みとオーバフローの競合　変更
		869	22.6.23 相補PWMモードの出力保護機能未使用時の注意事項　変更
		872	22.6.25 コンペアマッチパルス割り込みの連続出力　追加
		23. ポートアウトプットイネーブル2（POE2a）	
		899	図23.1 POEのブロック図　変更
		900	表23.2 POEで使用するLSI入出力端子　変更
		908	23.2.7 入力レベルコントロール/ステータスレジスタ3(ICSR3)　OSTSTFフラグ　ビット説明変更
		912	図23.3 Lowレベル検出動作　変更
		914	23.5.1 ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの移行について　変更
		914	23.5.2 POEを使用しない場合について　追加
		914	23.5.3 端子のMTU機能設定について　追加
		24. 16ビットタイマパルスユニット(TPUa)	
		920	図24.1 TPU(ユニット0)のブロック図　変更
		921	図24.2 TPU(ユニット1)のブロック図　変更
		977	24.8 PPGトリガ　追加
		984	24.10.2 入力クロックの制限事項　変更、図22.44 位相計数モード時の位相差、オーバラップ、およびパルス幅　変更
		25. プログラマブルパルスジェネレータ(PPG)	
		994	図25.1 PPG0のブロック図　変更
		994	図25.2 PPG1のブロック図　変更
		1000～1003	25.2.3 アウトプットデータレジスタH(PODRH)、アウトプットデータレジスタL(PODRL) ・PPG0.PODRH　ビット機能表　機能変更、PODiビット　ビット説明追加 ・PPG0.PODRL　ビット機能表　機能変更、PODiビット　ビット説明追加 ・PPG1.PODRH　ビット機能表　機能変更、PODiビット　ビット説明追加 ・PPG1.PODRL　ビット機能表　機能変更、PODiビット　ビット説明追加
		1012	図25.4 PPG概要図　変更
		1017	図25.9 パルス出力ノンオーバラップ動作　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	26. 8ビットタイマ(TMR)	
		—	全体　内部クロック→分周クロック、ステート→PCLK　変更
		1025	表26.2 TMRの機能一覧　カスケード接続　変更
		1026	図26.1 TMR(ユニット0)のブロック図　変更
		1027	図26.2 TMR(ユニット1)のブロック図　変更
		1034、1035	26.2.6 タイマコントロール/ステータスレジスタ(TCSR) ・TMR0.TCSR、TMR2.TCSRレジスタ　ビット機能表　注1変更 ・TMR1.TCSR、TMR3.TCSRレジスタ　ビット機能表　注1変更
		1036	26.3.1 パルス出力　変更
		1039	図26.7 コンペアマッチ時の割り込みフラグが“1”になるタイミング　変更
		1041	図26.10 外部リセット入力によるクリアタイミング(立ち上がりエッジ)　変更
		1041	図26.11 外部リセット入力によるクリアタイミング(High)　変更
		1042	図26.12 オーバフローによる割り込みフラグが“1”になるタイミング　変更
		1044	表26.7 A/Dコンバータの起動　追加
		1045	図26.13 TCNTカウンタへの書き込みとカウンタクリアの競合　変更
		1049	図26.16 コンペアマッチ割り込みの連続出力　変更
		27. コンペアマッチタイマ(CMT)	
		—	全体　内部クロック→分周クロック
		1050	図27.1 CMT(ユニット0)のブロック図　変更
		—	27.5.4 CMCRレジスタ書き換え時の注意事項　削除
		—	27.5.5 CMCNTカウンタとCMCORレジスタの注意事項　削除
		28. リアルタイムクロック(RTCa)	
		—	全体　ソフトウェアリセット→RTCソフトウェアリセット
		1057	表28.1 RTCの仕様　割り込み変更
		1058	図28.1 RTCのブロック図　変更
		1058	表28.2　RTCの入出力端子(RTCOUT)　機能変更
		1059	28.2 レジスタの説明　変更
		1060	28.2.2 秒カウンタ(RSECCNT)　ビット配置図　リセット後の値変更、ビット機能表(b7)　機能変更
		1060	28.2.3 分カウンタ(RMINCNT)　ビット配置図　リセット後の値変更、ビット機能表(b7)　機能変更
		1061	28.2.4 時カウンタ(RHRCNT)　ビット配置図　リセット後の値変更、ビット機能表(b7)　機能変更
		1062	28.2.5 曜日カウンタ(RWKCNT)　ビット配置図　リセット後の値変更、ビット機能表(b7-b3)　機能変更
		1068	28.2.12 曜日アラームレジスタ(RWKAR)　ビット配置図　リセット後の値変更、ビット機能表(b6-b3)　機能変更
		1069	28.2.13 日アラームレジスタ(RDAYAR)　ビット配置図　リセット後の値変更、ビット機能表(b6)　機能変更
		1070	28.2.14 月アラームレジスタ(RMONAR)　ビット配置図　リセット後の値変更、ビット機能表(b6-b5)　機能変更
		1071	28.2.16 年アラームイネーブルレジスタ(RYRAREN)　ビット配置図　リセット後の値変更、ビット機能表(b6-b0)　機能変更
		1072	28.2.17 RTC コントロールレジスタ1(RCR1)　ビット機能表(AIE、CIE、PIE)　機能変更、CIEビット　ビット説明変更
		1073、1074	28.2.18 RTCコントロールレジスタ2(RCR2)　ビット配置図　リセット後の値変更、ビット機能表　RTCOEビットのビット名および機能変更、b7(予約ビット)の機能変更、RTCOEビット　ビット説明変更、HR24ビット　ビット説明変更
		1075	28.2.19 RTCコントロールレジスタ3(RCR3)　ビット機能表(RTCENビット、b3-b1)　機能変更、注1.追加、レジスタ説明変更、RTCENビット　ビット説明追加
		1077	28.2.22 時間誤差補正レジスタ(RADJ)　ADJ[5:0]ビット　ビット名変更、PMADJ[1:0]ビット　ビット説明変更
		1079	28.2.23 時間キャプチャ制御レジスタy(RTCCRy)　TCNF[1:0]ビット、TCENビット　ビット説明変更
		1080	28.2.24 秒キャプチャレジスタy(RSECCPy)　ビット配置図　リセット後の値変更、ビット機能表(b7)　機能変更
		1081	28.2.25 分キャプチャレジスタy(RMINCPy)　ビット配置図　リセット後の値変更、ビット機能表(b7)　機能変更
		1082	28.2.26 時キャプチャレジスタy(RHRCPy)　ビット配置図　リセット後の値変更、ビット機能表(b7)　機能変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	1083	28.2.27 日キャプチャレジスタy(RDAYCPy)　ビット配置図　リセット後の値変更、ビット機能表(b7-b6)　機能変更
		1085	図28.2 電源投入後の初期設定概要　変更
		1087	図28.4 時刻設定手順　変更
		1092	28.3.8.3 補正モードの変更手順　変更
		1094、1095	28.4 割り込み要因　表28.4 RTCの割り込み要因　変更、注1.追加、(1)、(3)変更
		1096	図28.13 周期割り込み機能の使用方法　変更
		1096	28.5.3　RTCOUT（1Hz）出力について　変更
		1097	28.5.4 レジスタ設定後の低消費電力モード移行について　変更
		1097	28.5.5 レジスタの書き込み/ 読み出し時の注意事項　変更
		1098	28.5.6 リアルタイムクロックを使用しない場合の初期化手順　追加
		29. ウォッチドッグタイマ(WDTA)	
		1099	概要　変更
		1100	表29.1 WDTの仕様　オートスタートモード変更
		1100	図29.1 WDTのブロック図　変更
		1109	29.3.1.2 オートスタートモード　変更
		1111	図29.5 WDTCRレジスタ書き込み制御波形　変更
		1112	29.3.3 リフレッシュ動作　【リフレッシュ無効書き込み例】変更
		1113	29.3.4 ステータスフラグ　変更
		1113	29.3.5 リセット出力　変更
		1114	29.3.7 ダウンカウンタ値の読み出し　変更
		30. 独立ウォッチドッグタイマ(IWDTa)	
		1116	概要　変更
		1117	表30.1 IWDTの仕様　オートスタートモード変更
		1117	図30.1 IWDTのブロック図　変更
		1127	30.3.1.2 オートスタートモード　変更
		1129	図30.5 IWDTCR レジスタ書き込み制御波形　変更
		1130	30.3.3 リフレッシュ動作　【リフレッシュ無効書き込み例】変更
		1132	30.3.4 ステータスフラグ　変更
		1132	30.3.5 リセット出力　変更
		1132	30.3.7 ダウンカウンタ値の読み出し　変更
		1134	30.4.1 リフレッシュ動作について　追加
		31. イーサネットコントローラ(ETHERC)	
		1136	表31.2 ETHERCの入出力端子　注2.追加
		1140	31.2.3 ETHERCステータスレジスタ(ECSR)　ビット機能表(BFR)　機能変更、レジスタ説明変更
		1142	31.2.5 PHY部インタフェースレジスタ(PIR)　ビット機能表(MDO)　機能変更
		1146	31.2.10 手動PAUSEフレーム設定レジスタ(MPR)　レジスタ説明変更
		32. イーサネットコントローラ用DMAコントローラ(EDMAC)	
		1170	32.2.1 EDMACモードレジスタ(EDMR)　レジスタ説明変更
		1183	32.2.11 FIFO容量指定レジスタ(FDR)　ビット配置図　リセット後の値変更
		33. USB2.0ファンクションモジュール(USBa)	
		1251	33.2.31 パイプ周期制御レジスタ(PIPEPERI)　ビット機能表(IITV[2:0])　機能変更、IITV[2:0]、IFISビット　ビット説明追加
		1256	表33.8 ACLRM="1"設定時にUSBがクリアする内容　変更
		1259	表33.10 ACLRMビットを"1"にしたときにUSBがクリアする内容　変更
		1277	表33.12 割り込み要因一覧　変更
		34. シリアルコミュニケーションインタフェース(SCIc、SCId)	
		1315	表34.1 SCIcの仕様　注1変更
		1316	表34.2 SCIdの仕様　注1削除
		1317	図34.1 SCI0～SCI4、SCI7～SCI11のブロック図　変更
		1318	図34.2 SCI5、SCI6のブロック図　変更
		1319	図34.3 SCI12(SCId)のブロック図　変更
		1327	34.2.5 シリアルモードレジスタ(SMR) (2) スマートカードインタフェースモードのとき　ビット機能表(PE)　機能変更
		1329、1330、1332	34.2.6 シリアルコントロールレジスタ(SCR) (1) シリアルコミュニケーションインタフェースモードのとき　ビット機能表(CKE[1:0])　機能変更、CKE[1:0]ビット　ビット説明変更 (2) スマートカードインタフェースモードのとき　ビット機能表(CKE[1:0])　機能変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	1334、1336	34.2.7 シリアルステータスレジスタ(SSR) (1) シリアルコミュニケーションインタフェースモードのとき　TENDフラグ　ビット説明変更 (2) スマートカードインタフェースモードのとき　TENDフラグ　ビット説明変更
		1338	34.2.8 スマートカードモードレジスタ(SCMR) ビット機能表　注2追加、SINV、SDIRビット　ビット名変更、SDIRビット　ビット説明変更
		1347、1348	34.2.10 シリアル拡張モードレジスタ(SEMR)　ビット機能表(NFEN)　機能変更、ACS0、NFENビット　ビット説明変更
		1349	34.2.11 ノイズフィルタ設定レジスタ(SNFR)　ビット機能表(NFCS[2:0])　機能変更、NFCS[2:0]ビット　ビット説明変更
		1356	34.2.16 SPIモードレジスタ(SPMR)　CKPOL、CKPHビット　ビット説明変更
		1356	34.2.17 拡張シリアルモード有効レジスタ(ESMER)　ESMEビット　ビット説明変更
		1357	表34.21 ESMEビットの設定とタイマ動作モードの動作保証　追加
		1359	34.2.20 コントロールレジスタ2(CR2)　ビット機能表(DFCS[2:0]、BCCS[1:0]、RTS[1:0])　機能変更、注追加
		1371	34.3.4 CTS、RTS機能　変更
		1372	図34.8 SCIの初期化フローチャートの例(調歩同期式モード)　変更
		1373	34.3.6 シリアルデータの送信(調歩同期式モード)　変更
		1373	図34.9 調歩同期式モードのシリアル送信(送信中～送信終了時)の動作例　変更
		1374	図34.10 調歩同期式モードのシリアル送信のフローチャート例　変更
		1375	図34.11 調歩同期式モードのシリアル受信時の動作例(1) (RTS機能未使用時)　変更
		1376	図34.12 調歩同期式モードのシリアル受信時の動作例(2) (RTS機能使用時)　追加
		1377	図34.13 調歩同期式モードのシリアル受信のフローチャート例(1)　変更
		1378	図34.14 調歩同期式モードのシリアル受信のフローチャート例(2)　変更
		1380	図34.16 マルチプロセッサシリアル送信のフローチャートの例　変更
		1382	図34.18 マルチプロセッサシリアル受信のフローチャートの例(1)　変更
		1383	図34.19 マルチプロセッサシリアル受信のフローチャートの例(2)　変更
		1385	34.5.2 CTS、RTS機能　変更
		1386	図34.21 SCIの初期化フローチャートの例(クロック同期式モード)　変更
		1387	34.5.4 シリアルデータの送信(クロック同期式モード)　変更
		1387	図34.22 クロック同期式モードのシリアル送信時(送信中～送信終了時)の動作例　変更
		1388	図34.23 クロック同期式モードのシリアル送信のフローチャート例　変更
		1389	図34.24 クロック同期式モードのシリアル受信時の動作例(1) (RTS機能未使用時)　変更
		1390	図34.25 クロック同期式モードのシリアル受信時の動作例(2) (RTS機能使用時)　追加
		1391	図34.26 クロック同期式モードのシリアル受信のフローチャート例　変更
		1392	34.5.6 シリアルデータの送受信同時動作(クロック同期式モード)　変更
		1392	図34.27 クロック同期式モードのシリアル送受信同時動作のフローチャート例　変更
		1397	34.6.5 SCIの初期化(スマートカードインタフェースモード)　変更
		1400	図34.35 スマートカードインタフェース送信のフローチャート例　変更
		1402	図34.37 スマートカードインタフェース受信のフローチャート例　変更
		1403	34.6.8 クロック出力制御(1)、(2)変更
		1406	34.7.2 クロック同期化　変更
		1408	図34.45 SCI の初期化フローチャート例(簡易I2Cモード)　変更
		1410	図34.48 簡易I^2Cモードのマスタ送信動作のフローチャート例(送信割り込み、受信割り込み使用時)　変更
		1412	図34.50 簡易I^2Cモードのマスタ受信動作のフローチャート例(送信割り込み、受信割り込み使用時)　変更
		1413	34.8 簡易SPIモードの動作　変更
		1414	表34.24 モードおよびSSn#端子入力と各端子の状態の関係　注1変更、注2、注3追加
		1415	34.8.5 SCIの初期化(簡易SPIモード)　変更
		1418	図34.55 Start Frame送信フローチャート例(1)　変更
		1422	図34.58 Start Frame受信フローチャート例(1)　変更
		1426	34.9.4 バス衝突検出機能　変更
		1426	図34.62 バス衝突検出機能の動作例　変更
		1427	図34.63 デジタルフィルタ機能の動作例　変更
		1429	34.9.7 RXDX12受信データサンプリングタイミング選択機能　変更
		1429	図34.65 RXDX12受信データサンプリングタイミング　変更
		1432	34.10 ノイズ除去機能　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	1433	34.11.2 シリアルコミュニケーションインタフェースモードおよび簡易SPIモードにおける割り込み　変更
		1437	34.12.3 マーク状態とブレークの送出　変更
		1442	34.12.11 簡易SPIモードの制約事項　追加
		1443	34.12.13 拡張シリアルモード制御部の使用上の制約事項2　変更
		1443	図34.74 受信エラー処理のフローチャートの例(スタートフレーム受信中)　変更
		35. I²Cバスインタフェース(RIIC)	
		—	全体(用語変更)　条件発行→コンディション発行、条件検出→コンディション検出
		1446	35.1 概要　RIICの各信号の入力レベルの説明追加
		1447	35.2.1 I²Cバスコントロールレジスタ1(ICCR1)　ビット機能表(ICE)　機能変更、ICEビットビット説明変更
		1479	図35.5 RIICの初期化フローチャート例　変更
		1480	35.3.3 マスタ送信動作　(1)変更
		1484	35.3.4 マスタ受信動作　(1)変更
		1520	35.15.2 入力バッファコントロールレジスタの設定　削除
		36. CANモジュール(CAN)	
		1522	図36.1 CANモジュールブロック図　変更
		1526	36.2.1 制御レジスタ(CTLR)　BOM[1:0]ビット　ビット説明変更
		1543	36.2.8 メッセージ制御レジスタj(MCTLj)　TRMREQビット　ビット説明変更
		1548	36.2.11 送信FIFO制御レジスタ(TFCR)　TFUST[2:0]ビット　ビット説明変更
		1556	36.2.16 チャネルサーチサポートレジスタ(CSSR)　レジスタ説明変更
		1556	図36.4 CSSR、MSSRレジスタの書き込みと読み出し　変更
		1557	36.2.17 アクセプタンスフィルタサポートレジスタ(AFSR)　ビット機能表　注追加
		1560	36.2.19 エラー割り込み要因判定レジスタ(EIFR)　EWIFフラグ　ビット説明変更
		1568	図36.9 CAN動作モード間の移行　注2.変更
		1570	表36.8 CANリセットモードとCAN Haltモードでの動作　注4変更
		1572	図36.10 CANオペレーションモードのサブモード　変更
		37. シリアルペリフェラルインタフェース(RSPI)	
		1584	表37.1 RSPIの仕様　その他の機能変更
		1585	図37.1 RSPIのブロック図　変更
		1588	37.2.1 RSPI制御レジスタ(SPCR)　SPEビットのビット説明変更
		1589	37.2.3 RSPI端子制御レジスタ(SPPCR)　SPOMビット削除(予約ビットに変更)
		1592～1594	37.2.5 RSPIデータレジスタ(SPDR)　レジスタ説明変更
		1592	図37.2 SPDRレジスタの構造図　追加
		1593	図37.3 SPDRレジスタの構成図(ライト時)　追加
		1594	図37.4 SPDRレジスタの構成図(リード時)　追加
		1596	37.2.7 RSPIシーケンスステータスレジスタ(SPSSR)　ビット機能表(b3、b7)　機能、R/W変更
		1598	37.2.9 RSPIデータコントロールレジスタ(SPDCR) SLSEL[1:0]ビット削除(予約ビットに変更)、ビット機能表(SPFC[1:0])　機能変更、SPFC[1:0]、SPRDTDビット　ビット説明変更
		1599	表37.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ　変更
		—	図37.2 フレームの構成と送受信設定の組み合わせ例　削除
		1599	37.2.10 RSPIクロック遅延レジスタ(SPCKD)　レジスタ説明変更
		1600	37.2.11 RSPIスレーブセレクトネゲート遅延レジスタ(SSLND)　レジスタ説明変更
		1601	37.2.12 RSPI次アクセス遅延レジスタ(SPND)　レジスタ説明変更
		1606	表37.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要　変更
		1607	37.3.2 RSPI端子の制御　変更
		1607	表37.6 RSPI端子の状態と制御ビット設定値の関係　変更
		1614	37.3.4 データフォーマット　変更
		1614	図37.13 データフォーマット概要(パリティ機能無効時)　追加
		1614	図37.14 データフォーマット概要(パリティ機能有効時)　追加
		1615～1618	37.3.4.1 パリティ機能無効時(SPCR2.SPPE=0)　変更
		1619～1622	37.3.4.2 パリティ機能有効時(SPCR2.SPPE=1)　変更
		1625	図37.25 SPCR.TXMD=0の動作例　変更
		1626	図37.26 SPCR.TXMD=1の動作例　変更
		1627	図37.27 SPTI、SPRI割り込みの動作例　変更
		1629	表37.8 通常以外の転送の発生条件とRSPIのエラー検出機能　変更
		1630	図37.28 OVRFフラグの動作例　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	1632	図37.29 PERFフラグの動作例　変更
		1635～1638、1642	37.3.10.1 マスタモード動作 (1) シリアル転送の開始　変更 (2) シリアル転送の終了　変更 (3) シーケンス制御　変更 図37.30 マスタモードでのシリアル転送方式の決定方　変更 図37.31 フレームの概念図　変更 図37.32 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応　変更 (4) バースト転送　変更 (9) 動作フロー　変更 図37.35 マスタモード時の転送動作フロー例(SPI動作)　変更
		1643～1645	37.3.10.2 スレーブモード動作 (2) シリアル転送の終了　変更 (6) 動作フロー　変更 図34.37 スレーブモード時の転送動作フロー例(SPI動作)　変更
		1646～1650	37.3.12 マスタモード動作 (1) シリアル転送の開始　変更 (2) シリアル転送の終了　変更 (3) シーケンス制御　変更 図37.38 マスタモードでのシリアル転送方式の決定方法　変更 図37.39 フレーム概念図　変更 図37.40 シーケンス動作時のRSPIコマンドレジスタと送受信バッファの対応　変更 (4)初期化フロー　変更 図37.41 マスタモード時の初期化フロー例(クロック同期式動作)　変更 (5)動作フロー　変更 図37.42 マスタモード時の転送動作フロー例(クロック同期式動作)　変更
		1651	37.3.13 スレーブモード動作 (4) 動作フロー　変更 図34.44 スレーブモード時の転送動作フロー例(CPHA=1)(クロック同期式動作)　変更
		1656	図37.48 ループバックモード時のシフトレジスタ入出力構成(マスタモード)　変更
		1658	37.3.17 割り込み要因　変更
		1659	37.4.2 消費電力低減機能の注意事項　追加
		38. IEBusコントローラ(IEB)	
		1660	表38.1 IEBの仕様　動作周波数　仕様変更
		1673	図 38.5 IEBのブロック図　変更
		1674	表38.7 各ブロックの機能　バスインタフェース変更
		1695	38.2.20 IEBusクロック選択レジスタ(IECKSR)　ビット機能表(CKS[2:0])　機能変更
		39. CRC演算器(CRC)	
		1715	39.2.1 CRCコントロールレジスタ(CRCCR)　ビット機能表（DORCLR）機能変更、注1追加
		1716	39.2.3 CRCデータ出力レジスタ(CRCDOR)　レジスタ説明変更
		40. 12ビットA/Dコンバータ(S12ADa)	
		—	全体　内部基準電圧→A/D内部基準電圧、起動→開始、1サイクルスキャンモード→シングルスキャンモード
		1721	表40.1 12ビットA/Dコンバータの仕様　変更、注3追加
		1722	表40.2 12ビットA/Dコンバータの機能概要　変更、注3変更
		1723	図40.1 12ビットA/Dコンバータのブロック図　変更
		1725	40.2.1 A/Dコントロールレジスタ(ADCSR) ADCSビット　ビット説明変更、表40.4 スキャンモードとA/D変換対象の選択可否　変更、ADST ビット　ビット説明変更
		1729	40.2.7 A/Dコントロール拡張レジスタ(ADCER)　ACEビット　ビット説明変更
		1730	40.2.8 A/D開始トリガ選択レジスタ(ADSTRGR)　表40.5 A/D変換開始要因選択一覧　変更
		1735	40.2.13 A/Dサンプリングステートレジスタ01(ADSSTR01)　追加
		1736	40.2.14 A/Dサンプリングステートレジスタ23(ADSSTR23)　ビット機能表(b7-b0)　機能変更
		1740	40.3.4 アナログ入力のスキャン時間　変更
		1740	表40.6 スキャン中の処理　変更
		1740	表40.7 スキャンでの各所要時間　変更
		1741	40.3.5 ADDRy レジスタの自動クリア機能の使用例　変更
		1742	40.3.8 周辺モジュールからの同期トリガによるA/D 変換の開始　変更
		1742	表40.8 A/D変換開始要因選択一覧　変更
		1743	40.3.8.2 MTUのTRGAN_0とTPUのTRGAN_1によるA/D変換の開始　変更
		1746	40.3.8.4 MTUのTRG4ABN_0とTPUのTRG4ABN_1によるA/D変換の開始　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	1748	40.5.2 A/D変換強制停止時の注意事項　変更
		1748	40.5.3 A/D変換開始時と強制停止の動作タイミング　変更
		1748	40.5.5 低消費電力状態への遷移時の注意　変更
		—	40.5.7 許容信号源インピーダンスについて　削除
		41. 10ビットA/Dコンバータ(ADb)	
		—	全体　起動→開始
		1752	表41.2 10ビットA/Dコンバータの機能概要　注1変更
		1753	図41.1 10ビットA/Dコンバータのブロック図　変更
		1755	41.2.2 A/D コントロール/ ステータスレジスタ(ADCSR)　ビット機能表　注1変更
		1764	図41.5 拡張アナログ入力の構成例　変更
		1769	41.3.6 周辺モジュールからの同期トリガによるA/D変換の開始　追加
		1769	41.3.6.2 MTUのTRGAN_0とTPUのTRGAN_1によるA/D変換の開始　変更
		1775	41.6.2 A/D変換強制停止時の注意事項　変更
		1775	41.6.3 A/D変換強制停止時の再開タイミング　変更
		42. D/Aコンバータ(DAa)	
		1780	表42.1 D/Aコンバータの仕様　変更、注1.削除
		1780	図42.1 D/Aコンバータのブロック図　変更
		1782、1783	42.2.2 D/Aコントロールレジスタ(DACR)　レジスタ説明変更、DAE、DAOE0、DAOE1ビットのビット説明変更
		1784	42.2.4 D/A A/D同期スタート制御レジスタ(DAADSCR) ビット機能表(DAADST)　機能変更、レジスタ説明変更、DAADSTビット　ビット説明変更
		1785	42.3 動作説明　3.変更
		1787	42.4.5 D/A変換とA/D変換の干渉対策有効時の注意事項　変更
		1787	42.4.6 D/A変換とA/D変換の干渉対策無効時の注意事項　変更
		43. 温度センサ	
		1788	図43.1 温度センサのブロック図　変更
		1790	43.3.1 使用前の準備　変更
		1791	43.3.2 12ビットA/Dコンバータの設定　変更
		1792	図43.2 温度センサの使用手順フロー　変更
		1793	図43.3 温度センサの動作からA/D 変換完了までのタイミング　変更
		1793	表43.2 温度センサの動作からA/D変換完了まで時間　変更
		45. ROM(コード格納用フラッシュメモリ)	
		—	全体　書き込み/消去→プログラム/イレーズ、マット→領域
		1796	図45.1 ROMのブロック図　変更
		1799	45.2.2 フラッシュモードレジスタ(FMODR)　レジスタ説明変更
		1800、1801	45.2.3 フラッシュアクセスステータスレジスタ(FASTAT)　レジスタ説明変更、ROMAEビット　ビット説明変更
		1802	45.2.4 フラッシュアクセスエラー割り込み許可レジスタ(FAEINT)　レジスタ説明変更
		1803	45.2.5 FCU RAMイネーブルレジスタ(FCURAME)　レジスタ説明変更、FCRMEビット　ビット説明変更
		1808	45.2.8 フラッシュレディ割り込み許可レジスタ(FRDYIE)　レジスタ説明変更
		1809	45.2.9 フラッシュ P/E モードエントリレジスタ(FENTRYR)　レジスタ説明変更
		1813	45.2.11 フラッシュリセットレジスタ(FRESETR)　レジスタ説明変更
		1819	45.4 ブロック構成　変更
		—	図45.4 ROMに関する動作モード遷移図　削除
		1825	表45.8 FCUのモード/状態と受け付け可能なコマンドの関係(ROM P/Eモード)　変更
		1827	図45.6 ROMリードモード移行フロー　変更(tFCUR)
		1828	図45.8 ROMステータスリードモード移行フローおよびステータスの確認方法　変更
		1831	図45.11 FCU RAMへのファームウェア転送フロー　変更
		1833	図45.12 周辺クロック通知コマンドの使用方法　変更(tFCUR)
		1835	図45.13 ROM書き込み方法　変更(tFCUR)
		1836	図45.14 ROM消去方法　変更(tFCUR)
		1837	図45.15 ロックビットのプログラムの設定方法　変更(tFCUR)
		1838	図45.16 レジスタリード方式でロックビットを読み出す方法　変更(tFCUR)
		1841	図45.18 プログラム/ イレーズのサスペンド方法　変更(tFCUR)
		1842	図45.19 プログラム/ イレーズのレジューム方法　変更(tFCUR)
		1843	図45.20 書き込み処理の中断動作　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2011.11.10	1847	表45.9 エラープロテクト一覧(ROM専用＋ROM/E2データフラッシュ共通)　不正コマンドエラー変更
		1857、1861、1863	45.10.6 問い合わせ設定ホストコマンド待ち状態 (1) サポートデバイス問い合わせ　変更 (2) デバイス選択　変更 (9) 消去ブロック情報問い合わせ　変更 (11) 新ビットレート選択　誤差の計算式変更
		1867、1868	45.10.8 プログラム/イレーズホストコマンド待ち状態　変更(128バイト→256バイト) 表42.16 プログラム/イレーズホストコマンド　変更(128バイト→256バイト) 図42.30 ブートモードでのROM書き込み方法　変更
		1869	(3) 256バイト書き込み　変更(128バイト→256バイト)
		1879、1880	45.14 使用上の注意事項 (2) プログラム/イレーズサスペンドによる中断　変更 (4) プログラム/イレーズ中のリセット　変更 (5) プログラム/イレーズ中のノンマスカブル割り込み禁止　変更 (7) 低速動作モード1、低速動作モード2 でのプログラム/イレーズ　追加 (8) プログラム/イレーズ中の異常終了　変更 (9) プログラム/イレーズ中の禁止事項　変更 (10) ブートモードあるいは USB ブートモードでフラッシュ書き換えを実施する場合の注意事項追加 (11) ブートモードでのEXTAL端子の扱い　追加 (12) USB ブートモードでのEXTAL端子の扱い　追加
		46. E2データフラッシュ (データ格納用フラッシュメモリ)	
		1881	表46.1 E2データフラッシュの仕様　変更(周辺バス経由での読み出し)
		1882	図46.1 E2データフラッシュのブロック図　変更
		1883	表46.2 E2データフラッシュ関連の入出力端子　変更(PC7追加)
		1890	46.2.6 E2データフラッシュプログラム/イレーズ許可レジスタ0(DFLWE0)　レジスタ説明変更
		1891	46.2.7 E2データフラッシュプログラム/イレーズ許可レジスタ1(DFLWE1)　レジスタ説明変更
		1892	46.2.8 フラッシュ P/E モードエントリレジスタ(FENTRYR)　レジスタ説明変更、注2変更
		1900	表46.5 FCUコマンドのフォーマット(E2データフラッシュ専用コマンド)　WA、BA変更
		1901	表46.6 FCUのモード/状態と受け付け可能なコマンドの関係(E2データフラッシュ P/E モード)変更
		1911	46.9 使用上の注意事項　(2)低速動作モード2での読み出し追加
		47. バウンダリスキャン	
		1912～1928	追加
		48. ROM レス版　追加	
		1929～1939	追加
		付録1. 各動作モードにおけるポートの状態	
		1941～1944	表1.1 各動作モードにおけるポートの状態　変更
		付録2. 外形寸法図	
		1945	図A. 177ピンTFLGA(PTLG0177KA-A)　追加
		1946	図B. 176ピンLFBGA(PLBG0176GA-A)　追加
		1948	図D. 145ピンTFLGA(PTLG0145KA-A)　追加
		1950	図F. 100ピンTFLGA(PTLG0100KA-A)　追加
1.00	2012.03.13	全体	
		—	メモリプロテクションユニット（MPU）の章および関連情報追加
		—	用語統一（オンチップオシレータ⇒HOCO/LOCO、内蔵ROMとROM/RAMの表記、書き込み/消去⇒プログラム/イレーズ、エリア⇒領域、ホストコマンド⇒コマンド、Low/High出力⇒0/1出力、サムチェック⇒チェックサム、USBモジュール⇒USB）
		特長	
		50	■内蔵メインフラッシュメモリ（ウェイトなし）　変更
		1. 概要	
		51～55	表1.1 仕様概要　CPU、ROM、RAM、E2データフラッシュ、クロック発生回路、温度センサ、電源電圧の項目変更 消費電力の項目削除
		57～59	表1.3 製品一覧表　変更、注記追加
		60	図1.2 ブロック図　変更
		61	表1.4 端子機能一覧　VCCの説明変更
		73～80	表1.5 機能別端子一覧（177ピンTFLGA、176ピンLFBGA）　表ヘッダにSDRAMC追加、ピン番号M8行目のBCLKを電源クロックシステム制御列へ移動

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	81～87	表1.6 機能別端子一覧（176ピンLQFP） 表ヘッダにSDRAMC追加、ピン番号68行目のBCLKを電源クロックシステム制御列へ移動
		88～94	表1.7 機能別端子一覧（145ピンTFLGA） 表ヘッダにSDRAMC追加、ピン番号D13行目にMOSIB追加、ピン番号H12行目のT_ERXD1をET_ERXD1に変更、ピン番号J4行目にPO8追加、ピン番号K6行目のBCLKを電源クロックシステム制御列へ移動
		95～100	表1.8 機能別端子一覧（144ピンLQFP） 表ヘッダにSDRAMC追加、ピン番号29行目にPO8追加、ピン番号53行目のBCLKを電源クロックシステム制御列へ移動、ピン番号87行目のT_ERXD1をET_ERXD1に変更、ピン番号102行目にMOSIB追加
		101～105	表1.9機能別端子一覧（100ピンLQFP） ピン番号41行目のBCLKを電源クロックシステム制御列へ移動
		2. CPU	
		106	2.1 特長　変更
		124	図2.8 固定ベクタテーブル　変更
		3. 動作モード	
		138	3.1 動作モードの種類と選択　変更
		138	表3.1 モード設定端子による動作モードの選択 ～ 表3.4 エンディアンの選択　変更
		139	3.2.1 モードモニタレジスタ（MDMONR） 変更
		139	3.2.2 モードステータスレジスタ（MDSR） 変更
		140	3.2.3 システムコントロールレジスタ0（SYSCR0） 変更
		141	3.2.4 システムコントロールレジスタ1（SYSCR1） 変更
		142	3.3.1 シングルチップモード　変更
		142	3.3.2 内蔵ROM有効拡張モード　変更
		142	3.3.3 内蔵ROM無効拡張モード　変更
		142	3.3.4 ブートモード　変更
		142	3.3.5 USBブートモード　追加
		143	3.3.6 ユーザブートモード　変更
		143	図3.1 モード設定端子のレベルと動作モード　変更
		144	図3.2 SYSCR0.ROME, EXBEビットの設定と動作モード　変更
		5. I/Oレジスタ	
		150～194	表5.1に「関連機能」を追記
		6. リセット	
		196	表6.2 リセット種別ごとの初期化対象　変更
		197	6.2.1 リセットステータスレジスタ0（RSTSR0） 注記変更
		200	6.2.3 リセットステータスレジスタ2（RSTSR2） 注記変更
		203	図6.1 パワーオンリセット、電圧監視0リセット動作例　変更
		204	図6.2 電圧監視1リセット、電圧監視2リセット動作例　変更
		7. オプション設定メモリ	
		208	図7.1 オプション設定メモリ領域　変更
		209	7.2.1 オプション機能選択レジスタ0（OFS0） 注記削除
		214	7.2.3 エンディアン選択レジスタB（MDEB）、エンディアン選択レジスタS（MDES）変更
		8. 電圧検出回路（LVDA）	
		216	表8.1 電圧検出回路　変更
		219	8.2.2 電圧監視1回路ステータスレジスタ（LVD1SR） 説明変更
		226	8.3.2 Vdet1のモニタ　変更
		226	表8.2 Vdet1のモニタの設定手順　変更
		226	8.3.3 Vdet2のモニタ　変更
		226	表8.3 Vdet2のモニタの設定手順　変更
		227	図8.4 電圧監視0 リセット動作例　変更
		229	図8.5 電圧監視1 割り込み動作例　変更
		231	図8.6 電圧監視2 割り込み動作例
		9. クロック発生回路	
		232、233	表9.1 クロック発生回路の仕様　動作周波数変更、注記追記
		235、236	9.2.2 システムクロックコントロールレジスタ2（SCKCR2） レジスタ表のUCKの機能変更、注1追加
		240	9.2.5 PLL コントロールレジスタ2（PLLCR2） 説明変更
		242	9.2.7 メインクロック発振器コントロールレジスタ（MOSCCR） 説明変更
		244	9.2.8 サブクロック発振器コントロールレジスタ（SOSCCR） 説明変更
		252	図9.2 水晶発子の接続例　変更
		254	図9.5 32.768kHz 水晶振動子の接続例　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	255	9.4.2 サブクロックを使用しない場合の端子処理　変更
		255	図9.7 サブクロックを使用しない場合の端子処理　変更
		257	図9.8 発振停止検出からの復帰のフローチャート例　変更
		258	9.7.3 FlashIFクロック　変更
		260	9.8 発振子を接続する場合の端子設定　説明変更
		262、263	9.10.5 サブクロックに関する注意事項　変更
		11. 消費電力低減機能	
		272、273	表11.2 各モードにおける遷移および解除方法と動作状態　注記変更
		274	図11.1 モード遷移　変更
		275	11.2.1 スタンバイコントロールレジスタ（SBYCR）　OPEビット文章変更
		281	11.2.5 動作電力コントロールレジスタ（OPCCR）　説明変更
		282	表11.3 動作電力制御モードと動作範囲・消費電力の関係 BCLKの周波数変更
		286	11.2.8 サブクロック発振器ウェイトコントロールレジスタ（SOSCWTCR）　変更
		307	11.6.2.1 全モジュールクロックストップモードへの移行　説明変更、注記削除
		309	11.6.3.1 ソフトウェアスタンバイモードへの移行　注1削除
		310	11.6.3.2 ソフトウェアスタンバイモードの解除　説明変更
		315	図11.3 ディープソフトウェアスタンバイモードの応用例　変更
		316	図11.4 ディープソフトウェアスタンバイモードのフローチャート例　変更
		—	11.7.8 ROM容量1.5Mバイト以上または176ピン以上のピン数の製品におけるソフトウェアスタンバイモードへの移行　削除
		318	11.7.9 全モジュールクロックストップモードの解除　変更
		318	11.7.11 ソフトウェアスタンバイモードから復帰するときの注意事項　追加
		13. レジスタライトプロテクション機能	
		322	表13.1 PRCRレジスタと保護されるレジスタの対応　変更
		14. 例外処理	
		324	図14.1 例外事象の種類　変更
		325	14.1.3 アクセス例外　追加
		326	図14.2 例外の処理手順の概要　変更
		328	表14.1 受け付けタイミングと退避されるPC値　変更
		328	表14.2 ベクタとPC、PSWの退避場所　変更
		330	14.5.3 アクセス例外　追加
		332	表14.3 例外処理ルーチンからの復帰命令　変更
		332	表14.4 例外事象の優先順位　タイトルおよび内容変更
		15. 割り込みコントローラ（ICUb）	
		333	表15.1 割り込みコントローラの仕様　変更
		334	図15.1 割り込みコントローラのブロック図　変更
		352	15.2.15 ノンマスカブル割り込みステータスクリアレジスタ（NMICLR）　説明変更
		—	15.2.21 グループm 割り込みクリアレジスタ（GCRm）(m= グループ番号) ・GCR12レジスタ削除
		363～369	表15.3 割り込みベクタテーブル　ピン数別の列削除、変更、注記削除
		372	表15.4 グループm割り込み要求　変更
		16. バス	
		388	表16.1 バスの仕様　表下部説明　50MHz⇒100MHz　変更
		389	図16.1 バスの構成図　変更
		389	表16.2 バス種類別アドレス対応表　変更
		391	表16.4 内部周辺バスに接続される周辺機能　変更
		392	16.2.5 ライトバッファ機能（内部周辺バス）　タイトル追加
		398、399	16.3.1 CSn 制御レジスタ（CSnCR）(n = 0 ～ 7)　注記削除、レジスタ説明変更
		400	16.3.2 CSn リカバリサイクル設定レジスタ（CSnREC）(n = 0 ～ 7)　レジスタ説明変更
		402	16.3.3 CS リカバリサイクル挿入許可レジスタ（CSRECEN）　レジスタ説明変更
		404	16.3.4 CSn モードレジスタ（CSnMOD）(n = 0 ～ 7)　レジスタ説明変更
		406～408	16.3.5 CSn ウェイト制御レジスタ1（CSnWCR1）(n = 0 ～ 7)　レジスタ説明変更
		409～412	16.3.6 CSn ウェイト制御レジスタ2（CSnWCR2）(n = 0 ～ 7)　レジスタ説明変更
		413	16.3.9 バスエラーステータスレジスタ1（BERSR1）　変更
		469	16.5.6 ライトバッファ機能（外部バス）　タイトル名変更
		17. メモリプロテクションユニット（MPU）	
		506～525	追加
		18. DMAコントローラ（DMACA）	

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	527	図18.1 DMACのブロック図　変更
		565	18.7.6 割り込みコントローラのDMAC起動要求選択レジスタ（ICU.DMRSRm）の設定　文章変更
		19. EXDMAコントローラ（EXDMACa）	
		567	図19.1 EXDMACのブロック図　変更
		571	19.2.4 EXDMAブロック転送カウントレジスタ（EDMCRB）　レジスタ表変更
		589	表19.4 ノーマル転送モードでのレジスタ更新値　変更
		590	表19.5 リピート転送モードでのレジスタ更新値　変更
		593	19.3.1 転送モード　（4）クラスタ転送モード　文章変更
		20. データトランスファコントローラ（DTCa）	
		637	図20.1 DTCのブロック図　変更
		643	20.2.8 DTC ベクタベースレジスタ（DTCVBR）　変更
		649	図20.4 DTC動作フローチャート　変更
		660	20.5 DTC の設定手順　変更
		667	20.9.3 割り込みコントローラのDTC 起動許可レジスタ（ICU.DTCERn）の設定　変更
		21. I/Oポート	
		670～673	図21.1～図21.4 入出力ポートの構成　変更
		682	表21.3 未使用端子の処理内容　変更
		22. マルチファンクションピンコントローラ（MPC）	
		700	22.2.1 書き込みプロテクトレジスタ（PWPR）　変更
		710	表22.10 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP、100ピンTFLGA、100ピンLQFP 端子入出力機能レジスタ設定　注記追加
		711	表22.12 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP 端子入出力機能レジスタ設定　変更
		712	表22.13 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP 端子入出力機能レジスタ設定　変更
		714	表22.15 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP端子入出力機能レジスタ設定　注記追加
		721	表22.23 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP 端子入出力機能レジスタ設定　変更
		735	22.3 外部バスインタフェース設定方法　文章変更
		735～737	表22.27 外部バスインタフェース設定方法　追加
		738	22.4.1 端子入出力機能設定手順　変更
		739	表22.28 レジスタの設定　内容変更、注記の変更/削除
		23. マルチファンクションタイマパルスユニット2（MTU2a）	
		744、745	表23.2 MTUの機能一覧 (2 / 2)　変更
		748、749	23.2.2 タイマモードレジスタ（TMDR）　変更
		774	23.2.17 タイマアウトプットマスタ許可レジスタ（TOER）　変更
		775	23.2.18 タイマアウトプットコントロールレジスタ1（TOCR1）　注記変更
		777	23.2.19 タイマアウトプットコントロールレジスタ2（TOCR2）　注記変更
		788	23.2.29 タイマデッドタイム許可レジスタ（TDER）　注記削除
		789	23.2.30 タイマ波形コントロールレジスタ（TWCR）　注記変更
		807	23.3.4 カスケード接続動作　説明変更
		810	図23.23 カスケード接続動作例（c）　注記追加
		828	図23.38 相補PWM モードの設定手順例　変更
		831	図23.40 相補PWM モード動作例　変更
		833	図23.41 デッドタイムを生成しない場合の動作例　変更
		838	図23.46 相補PWM モード波形出力例（1）　凡例追記
		839	図23.47 相補PWM モード波形出力例（2）　凡例追記
		839	図23.48 相補PWM モード波形出力例（3）　凡例追記
		845	図23.56 同期カウンタクリアタイミング　変更
		847	図23.59 山のTb 区間で同期クリアが発生した場合（図22.56 のタイミング⑥、MTU のTWCR レジスタのWRE ビット＝“1”）　変更
		847	図23.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合（図22.56 のタイミング⑧、TWCR レジスタのWRE ビット＝“1”）　変更
		848	図23.61 谷のTb 区間で同期クリアが発生した場合（図22.56 のタイミング⑪、TWCR レジスタのWRE ビット＝“1”）　変更
		848	図23.62 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例　変更
		852	図23.69 割り込み間引き機能の動作例　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	853	図23.70 バッファ転送を抑止する設定（BTE1 = 0、BTE0 = 1）にした場合の動作例　変更
		854	図23.71 バッファ転送を割り込み間引きと連動する設定（BTE1 = 1、BTE0 = 0）にした場合の動作例　タイトル変更
		857	図23.73 A/D 変換開始要求ディレイド機能の設定手順例　変更
		858	図23.74 A/D 変換の開始要求信号（TRG4AN）の基本動作例　変更
		858	23.3.9 A/D 変換開始要求ディレイド機能（3）バッファ転送　変更
		859	図23.75 割り込み間引き機能と連動した場合のA/D 変換の開始要求信号（TRG4AN）の動作例（TCNT のアップカウント時およびダウンカウント時にTRG4AN 出力を許可したとき　変更
		859	図23.76 割り込み間引き機能と連動した場合のA/D 変換の開始要求信号（TRG4AN）の動作例（TCNT のアップカウント時にTRG4AN 出力を許可したとき）　変更
		862	図23.80 デッドタイム補償用機能の設定手順例　変更
		863	23.3.11 デッドタイム補償用機能(2) 相補PWM モードの「山/ 谷」でのTCNTキャプチャ動作　変更
		863	図23.82 相補PWM モード時の「山/ 谷」でのMTU5.TCNT キャプチャ動作　変更
		863	23.3.12 ノイズフィルタ機能　変更
		863	図23.83 ノイズフィルタのタイミング　変更
		864	23.4.1 割り込み要因と優先順位　変更
		874	図23.101 TGI 割り込みタイミング（コンペアマッチ）（MTU5）　変更
		877	23.6.2 入力クロックの制限事項　変更
		877	図23.106 位相計数モード時の位相差、オーバラップ、およびパルス幅　変更
		878	23.6.3 周期設定上の注意事項　変更
		886	23.6.14 相補PWM モードでのバッファ動作の設定　変更
		888	図23.119 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ　変更
		888	図23.120 リセット同期PWM モードのオーバフローフラグ　変更
		892	図23.123 同期クリア例（条件1 の場合）　変更
		893	図23.124 同期クリア例（条件2 の場合）　変更
		893	23.6.25 コンペアマッチによる割り込み信号の連続出力　タイトルおよび内容の変更
		895	図23.125 コンペアマッチによる割り込み信号の連続出力　変更
		896～922	23.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要 (1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作 ～ (29) リセット同期PWM モードで動作中に異常が発生し、リセット同期PWM モードで再スタートする場合の動作　MPCの設定追加による図および説明の変更
		24. ポートアウトプットイネーブル2（POE2）	
		923	表24.1 POEの仕様　変更
		25. 16 ビットタイマパルスユニット（TPUa）	
		940、941	表25.2 TPU（ユニット0）の機能一覧　A/D変換開始トリガ、PPGトリガ追加
		942、943	表25.3 TPU（ユニット1）の機能一覧　A/D変換開始トリガ削除
		972	25.2.10 ノイズフィルタコントロールレジスタ（NFCR）　注記変更
		1006	図25.40 TGImy 割り込みタイミング（コンペアマッチ）　変更
		1006	図25.41 TGImy 割り込みタイミング（インプットキャプチャ）　変更
		1007	図25.42 TCImV 割り込みのセットタイミング　変更
		1007	図25.43 TCImU 割り込みのセットタイミング　変更
		1008	25.10.2 入力クロックの制限事項　変更
		1008	図25.44 位相計数モード時の位相差、オーバラップ、およびパルス幅　変更
		1008	25.10.3 周期設定上の注意事項　変更
		1012	図25.52 オーバフローとカウンタクリアの競合　変更
		1013	図25.53 TPUm.TCNTカウンタへの書き込みとオーバフローの競合　変更
		1014	25.10.14 コンペアマッチパルス割り込みの連続出力　文章変更
		1014	図25.54 コンペアマッチパルス割り込みの連続出力　変更
		1015	図25.55 インプットキャプチャパルス割り込みの連続出力　変更
		1016	図25.56 アンダフローパルス割り込みの連続出力　変更
		27. 8ビットタイマ（TMR）	
		1049	表27.2 TMRの機能一覧　カウンタクリアの行変更
		1053	27.2.1 タイマカウンタ（TCNT）　説明変更
		1054	27.2.2 タイムコンスタントレジスタA（TCORA）　説明変更
		1054	27.2.3 タイムコンスタントレジスタB（TCORB）　説明変更
		1063	27.4.2 コンペアマッチ時の割り込み信号出力タイミング　変更
		1063	図27.7 コンペアマッチ時の割り込み信号出力タイミング　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	1065	図27.11 外部リセット入力によるクリアタイミング（High）　変更
		1066	27.4.6 オーバフロー時の割り込み信号出力タイミング　変更
		1066	図27.12 オーバフローによる割り込み信号出力タイミング　変更
		1070	27.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合　変更
		1070	図27.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合　変更
		28. コンペアマッチタイマ（CMT）	
		1079	28.4.2 コンペアマッチ割り込みの発生タイミング　変更
		1079	図28.4 コンペマッチ割り込みのセットタイミング　変更
		29. リアルタイムクロック（RTCa）	
		1081	表29.1 RTCの仕様　注記追加
		1082	表29.2 RTCの入出力端子　変更
		1089	29.2.9 秒アラームレジスタ（RSECAR）～ 28.2.16 年アラームイネーブルレジスタ（RYRAREN） リセット後の値の説明変更
		1097、1098	29.2.18 RTC コントロールレジスタ2（RCR2）　変更
		1099	29.2.19 RTC コントロールレジスタ3（RCR3）　変更
		1111	図29.3 クロック設定手順　変更
		1112	図29.4 時刻設定手順　変更
		1119	表29.4 RTCの割り込み要因　変更
		1123	29.5.6 リアルタイムクロックを使用しない場合の初期化手順　文と図追加
		30. ウォッチドッグタイマ（WDTA）	
		1124	30.1 概要　説明変更
		31. 独立ウォッチドッグタイマ（IWDTA）	
		1141	表31.1 IWDTの仕様　注記追加
		32. イーサネットコントローラ（ETHERC）	
		1162	32.2.1 ETHERCモードレジスタ（ECMR）　レジスタ表変更
		1190	32.3.5 Magic Packet™の検出　文章変更
		33. イーサネットコントローラ用DMAコントローラ（EDMAC）	
		1212	33.2.16 フロー制御開始FIFOしきい値設定レジスタ（FCFTR）　レジスタ表変更
		35. シリアルコミュニケーションインタフェース（SCIc、SCId）	
		1340	表35.1 SCIcの仕様　文章追加、注記変更
		1341	表35.2 SCIdの仕様　注記追加
		1344	図35.3 SCI12（SCId）のブロック図　変更
		1354	35.2.6 シリアルコントロールレジスタ（SCR）　(1) シリアルコミュニケーションインタフェースモードのとき ビット機能表　CKE[1:0]　変更
		1363	35.2.8 スマートカードモードレジスタ（SCMR）　ビット機能表　注記追加、SDIR ビット　ビット説明変更
		1365	表35.11 スマートカードインタフェースモード時の基本クロックの設定　表ヘッダ名変更
		1366	表35.12 ビットレートに対するBRRの設定例（調歩同期式モード）（1）　タイトル変更
		1366	表35.12 ビットレートに対するBRRの設定例（調歩同期式モード）（2）　タイトル、列　追加
		1367	表35.12 ビットレートに対するBRRの設定例（調歩同期式モード）（3）～（4）　タイトル追加
		1368	表35.13 各動作周波数における最大ビットレート（調歩同期式モード）　変更
		1368	表35.14 外部クロック入力時の最大ビットレート（調歩同期式モード）　変更
		1369	表35.15 ビットレートに対するBRRの設定例（クロック同期式モード、簡易SPIモード）【注】文章追加
		1369	表35.16 外部クロック入力時の最大ビットレート（クロック同期式モード、簡易SPIバスモード） 変更
		1370	表35.17 ビットレートに対するBRRの設定例（スマートカードインタフェースモードでn＝0、S＝372のとき）　変更
		1370	表35.18 各動作周波数における最大ビットレート（スマートカードインタフェースモードでS＝372のとき）　変更
		1371	表35.19 ビットレートに対するBRRの設定例（簡易I2Cモード）（1）～（2）　タイトル変更、追加
		1371	表35.20 各ビットレート設定でのSCL High/Low幅最小値（簡易I2Cモード）（1）～（2）　タイトル変更、追加
		1397	図35.8 SCI の初期化フローチャートの例（調歩同期式モード）　変更
		1399	図35.10 調歩同期式モードのシリアル送信のフローチャート例　変更
		1403	図35.14 調歩同期式モードのシリアル受信のフローチャート例（2）　変更
		1405	図35.16 マルチプロセッサシリアル送信のフローチャートの例　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	1408	図35.19 マルチプロセッサシリアル受信のフローチャートの例（2） 変更
		1416	図35.26 クロック同期式モードのシリアル受信のフローチャート例 変更
		1422	35.6.5 SCI初期化 文章変更
		1428	35.6.8 クロック出力制御 ・電源投入時 4.変更 (a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき 2.、5. 変更 (b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき 6. 変更
		1433	図35.45 SCIの初期化フローチャート例（簡易I2Cモード） 変更
		1439	表35.24 モードおよびSSn#端子入力と各端子の状態の関係 SMISOn端子状 変更
		1439	35.8.3 スレーブモード時のSS 機能 変更
		1442	図35.54 Start Frame 送信時の動作例 変更
		1445	表35.25 Start Frameの構成 変更
		1446	図35.57 Start Frame 受信時の動作例 変更
		1448	図35.59 Start Frame 受信フローチャート例(2) 変更 （BDST→SDST）
		1450	図35.61 Start Frame の受信時の動作例(プライオリティインタラプトビット使用時) 変更
		1451	図35.62 バス衝突検出機能の動作例 変更
		1452	図35.63 デジタルフィルタ機能の動作例 変更
		1453	図35.64 ビットレート測定機能動作例 変更
		1454	図35.65 RXDX12 受信データサンプリングタイミング 変更
		1455	図35.66 Break Field Low width 出力モードの動作例 変更
		1456	図35.67 Break Field Low width 判定モードの動作例 変更
		1462	35.12.3 マーク状態とブレークの送出 文章変更
		1463	35.12.9 低消費電力状態時の動作について （1）送信 文章変更
		1464	図35.69 送信時のソフトウェアスタンバイモード遷移フローチャートの例 変更
		1465	図35.70 ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、調歩同期送信） 変更
		1465	図35.71 ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、クロック同期送信） 変更
		1467	35.12.11 簡易SPIモードの制約事項 （1）マスタモード 文章変更
		36. I^2C バスインタフェース（RIIC）	
		1472、1473	36.2.1 I2C バスコントロールレジスタ1（ICCR1） ビット機能表 ICE ビット ビット説明変更
		1479	36.2.4 I2C バスモードレジスタ2（ICMR2） ビット機能表 注記追加
		1498	36.2.13 I2C バスビットレートローレベルレジスタ（ICBRL） レジスタ説明変更
		1500	表36.5 転送速度に対するICBRH、ICBRLレジスタの設定例（1）～（3） タイトル変更、追加
		1503	図36.5 RIIC の初期化フローチャート例 変更
		1504	36.3.3 マスタ送信動作 （1） 変更
		1508	36.3.4 マスタ受信動作 （1） 変更
		1511	図36.11 マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS=0 のとき） 変更
		1511	図36.12 マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS=0 のとき） 変更
		1542	36.13 割り込み要因 変更
		1542	表36.6 割り込み要因 ICRXI 変更
		38. シリアルペリフェラルインタフェース（RSPI）	
		1608	表38.1 RSPIの仕様 ビットレート 変更
		1612	38.2.2 RSPI スレーブセレクト極性レジスタ（SSLP） ビット機能表 機能 変更
		1613	38.2.3 RSPI 端子制御レジスタ（SPPCR） ビット機能表 MOIFV 変更
		1617	38.2.5 RSPI データレジスタ（SPDR） レジスタ説明、(1) バスインタフェース (a) 書き込み変更 （SPRX0 ～ 3）→（SPRXn）
		1622	38.2.9 RSPI データコントロールレジスタ（SPDCR） SPRDTD ビット ビット説明変更
		1630	38.3.1 RSPI 動作の概要 変更
		1631	38.3.2 RSPI 端子の制御 変更
		1632	38.3.3 RSPI システム構成例 変更
		1641、1642	38.3.4.1 パリティ機能無効時（SPCR2.SPPE ＝ 0） (3) LSB ファースト転送（32 ビットデータ） 変更 (4) LSB ファースト転送（24 ビットデータ） 変更
		1649	38.3.6.1 全二重同期式シリアル通信（SPCR.TXMD=0） 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	1649	図38.25 SPCR.TXMD ＝ 0 の動作例　変更
		1650	図38.26 SPCR.TXMD ＝ 1 の動作例　変更
		1651	38.3.7 送信バッファエンプティ / 受信バッファフル割り込み　変更
		1653	表38.8 通常以外の転送の発生条件とRSPIのエラー検出機能　RSPI動作　変更
		1657	38.3.8.3 モードフォルトエラー　変更
		1658	38.3.9.1 SPE ビットのクリアによる初期化　変更
		1661	図38.32 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応　変更
		1664	表38.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係　SPCMDm.SPNDENビット　変更
		1665	図38.34 マスタモード時の初期化フロー例（SPI 動作）　変更
		—	図38.35　マスタモード時の転送動作フロー例（SPI 動作）　削除
		1666～1668	38.3.10.1 マスタモード動作　（9）動作フロー　変更　(a) 送信処理フロー、(b) 受信処理フロー、(c) エラー処理フロー　追加
		1666	図38.35 マスタモード時のフローチャート（送信）　追加
		1667	図38.36 マスタモード時のフローチャート（受信）　追加
		1668	図38.37 マスタモード時のフローチャート（エラー）　追加
		1670	図38.38 スレーブモード時の初期化フロー例（SPI 動作）　変更
		1671、1672	38.3.10.2 スレーブモード動作　（6）動作フロー　変更　(a) 送信処理フロー、(b) 受信処理フロー、(c) エラー処理フロー　追加
		—	図38.37　スレーブモード時の転送動作フロー例（SPI 動作）　削除
		1671	図38.39 スレーブモード時のフローチャート（送信）　追加
		1671	図38.40 スレーブモード時のフローチャート（受信）　追加
		1672	図38.41 スレーブモード時のフローチャート（エラー処理）　追加
		1673	38.3.12 マスタモード動作　(3) シーケンス制御　変更
		1675	図38.44 シーケンス動作時のRSPI コマンドレジスタと送受信バッファの対応　変更
		1676	図38.45 マスタモード時の初期化フロー例（クロック同期式動作）　変更
		1677	38.3.13 マスタモード動作　（5）動作フロー　変更
		—	図38.46　マスタモード時の転送動作フロー例（クロック同期式動作）　削除
		1678	図38.46 スレーブモード時の初期化フロー例（クロック同期式動作）　変更
		1678	38.3.13 スレーブモード動作　（4）動作フロー　変更
		—	図38.44　スレーブモード時の転送動作フロー例（CPHA ＝ 1）（クロック同期式動作）　削除
		—	38.3.14 エラー処理　削除
		—	図38.45 エラー処理（オーバランエラー）　削除
		—	図38.46 エラー処理（パリティエラー）　削除
		—	図38.47 エラー処理（モードフォルトエラー）　削除
		1681	表38.13 RSPIの割り込み要因　RSPIアイドル　変更　（IDINF→IDLNF）
		39. IEBus™ コントローラ（IEB）	
		1683	表39.1 IEBの仕様　動作周波数　変更
		1696	図39.5 IEB のブロック図　変更
		1718	39.2.20 IEBus クロック選択レジスタ（IECKSR）　CKS[2:0]　ビット機能表　変更
		41. 12 ビットA/D コンバータ（S12ADa）	
		1744	表41.1 12ビットA/Dコンバータの仕様　変換時間　変更
		1773	41.5.11 12 ビットA/D コンバータ入力を使用する場合のポートの設定　変更
		1777	41.5.12 外部バス使用時の注意事項　変更
		42. 10 ビットA/D コンバータ（ADb）	
		1787	図42.5 拡張アナログ入力の構成例　変更
		1799	表42.9 アナログ端子の規格（参考値）　タイトル変更
		1801	42.6.11 外部バス使用時の注意事項　追加
		43. D/A コンバータ（DAa）	
		—	43.4.6 D/A 変換とA/D 変換の干渉対策無効時の注意事項　削除
		45. RAM	
		1817	表45.1 RAMの仕様　データ保持機能　変更
		46. ROM（コード格納用フラッシュメモリ）	
		1818	表46.1 ROMの仕様　オンボードプログラミング（4種類）、コマンドロック状態　変更
		1820	図46.1 ROM のブロック図　変更
		—	表46.3 ROM関連の入出力端子　削除
		1821	46.2.1 フラッシュライトイレーズプロテクトレジスタ（FWEPROR）　レジスタ説明変更
		1822	46.2.2 フラッシュモードレジスタ（FMODR）　レジスタ説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	1823、1824	46.2.3 フラッシュアクセスステータスレジスタ（FASTAT） レジスタ説明、ROMAE ビット [“1” になる条件] 変更
		1826	46.2.5 FCU RAM イネーブルレジスタ（FCURAME） ビット機能表、レジスタ説明、ビット説明変更
		1827	46.2.6 フラッシュステータスレジスタ 0（FSTATR0） レジスタ説明 変更
		1830	46.2.7 フラッシュステータスレジスタ 1（FSTATR1） レジスタ説明、FCUERR ビット ビット説明変更
		1831	46.2.8 フラッシュレディ割り込み許可レジスタ（FRDYIE） レジスタ説明変更
		1832～1834	46.2.9 フラッシュ P/E モードエントリレジスタ（FENTRYR） ビット機能表、レジスタ説明、FENTRY0 ビット、FENTRY1 ビット、FENTRY2 ビット、FENTRY3 ビット ビット説明変更
		1835	46.2.10 フラッシュプロテクトレジスタ（FPROTR） レジスタ説明変更
		1836	46.2.11 フラッシュリセットレジスタ（FRESETR） ビット機能表、レジスタ説明、ビット説明変更
		1837	46.2.12 FCU コマンドレジスタ（FCMDR） レジスタ説明変更
		1838	46.2.13 FCU 処理切り替えレジスタ（FCPSR） レジスタ説明変更
		1839	46.2.14 フラッシュ P/E ステータスレジスタ（FPESTAT） レジスタ説明変更
		1840	46.2.15 周辺クロック通知レジスタ（PCKAR） レジスタ説明、PCKA[7:0] ビット ビット説明変更
		1841	46.3 ROM のメモリ領域の構成 変更
		1843	表 46.4 各モードの相違点 USB ブートモード、ユーザブートモード 変更
		1847	表 46.6 FCU コマンドのフォーマット アドレスの列 変更
		1850	図 46.6 ROM リードモード移行フロー 変更
		1853	図 46.10 プログラム / イレーズ処理の概略フロー 変更
		1854	図 46.11 FCU RAM へのファームウェア転送フロー 変更
		1858	図 46.13 ROM プログラム方法 変更
		1865	図 46.19 プログラム / イレーズのレジューム方法 変更 (tFCUR)
		1866	46.7.1 書き込み中のサスペンド 変更
		1867	46.7.2 消去中のサスペンド（サスペンド優先モード） タイトル、説明 変更
		1869	46.8 プロテクト 変更
		1869	46.8.2 コマンドロック状態 変更
		1870、1871	表 46.8 コマンドロック状態となるエラーの一覧（ROM 専用＋ROM/E2 データフラッシュ共通） タイトル、FENTRYR 設定エラー、不正コマンドエラー、ROM アクセス違反、注記変更
		1872	46.9 ユーザブートモード 変更
		1872	46.10.1 システム構成 変更
		1872	図 46.23 ブートモード時のシステム構成 変更
		1873	表 46.9 ROM 関連の入出力端子 追加
		1874	図 46.24 ブートモードの状態遷移図 変更
		1879	表 46.12 問い合わせ / 設定コマンド タイトル、機能 変更
		1879～1888	46.10.6 問い合わせ / 設定コマンド待ち （1）サポートデバイス問い合わせ 変更 （2）デバイス選択 変更 （5）逓倍比問い合わせ 変更 （7）ユーザブート領域情報問い合わせ 変更 （10）書き込みサイズ問い合わせ 変更 （11）新ビットレート選択 変更 ビットレート選択不可エラー 計算式 変更 （12）プログラム / イレーズステータス遷移 変更
		1886	図 46.29 新ビットレート選択のシーケンス 変更
		1890	46.10.7 ID コード待ち状態 （1）ID コードチェック 変更
		1891	表 46.16 プログラム / イレーズホストコマンド 変更
		1893～1897	46.10.8 プログラム / イレーズコマンド待ち状態 （2）ユーザ / データ領域書き込み選択 変更 （3）256 バイト書き込み 変更 （9）ユーザブート領域ブランクチェック 変更 （10）ユーザ領域ブランクチェック 変更 （11）リードロックビットステータス 変更
		1899	表 46.17 エニュメレーション情報 転送モード 変更
		1900	46.11.2 状態遷移 （1） 変更
		1900	図 46.33 USB ブートモードの状態遷移 変更
		1901	46.11.3 USB ブートモード実行時の注意点 （1） 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.03.13	1902	46.12 オンチップデバッガID コードプロテクト　変更
		1902	表46.18 オンチップデバッガIDコードプロテクト仕様　IDコード、オンチップデバッガ接続時の動作　変更
		1903、1904	46.14 使用上の注意事項 (4) プログラム/ イレーズ中のリセット　変更 (5) プログラム/ イレーズ中のノンマスカブル割り込み禁止　変更 (8) プログラム/ イレーズ中の異常終了　変更 (9) プログラム/ イレーズ中の禁止事項　変更
		47. E2データフラッシュ (データ格納用フラッシュメモリ)	
		1905	表47.1 E2データフラッシュの仕様　オンボードプログラミング（4種類）　変更
		1906	図47.1 E2 データフラッシュのブロック図　変更
		—	表47.2 E2データフラッシュ関連の入出力端子　削除
		1907	47.2.1 フラッシュモードレジスタ（FMODR）　レジスタ説明変更
		1908	47.2.2 フラッシュアクセスステータスレジスタ（FASTAT）　レジスタ説明変更
		1911	47.2.4 E2 データフラッシュ読み出し許可レジスタ0（DFLRE0）　ビット機能表、レジスタ説明、DBREj ビット　ビット説明変更
		1912	47.2.5 E2 データフラッシュ読み出し許可レジスタ1（DFLRE1）　ビット機能表、レジスタ説明、DBREj ビット　ビット説明変更
		1913	47.2.6 E2 データフラッシュプログラム/ イレーズ許可レジスタ0（DFLWE0）　ビット機能表、レジスタ説明、DBWEj ビット　ビット説明変更
		1914	47.2.7 E2 データフラッシュプログラム/ イレーズ許可レジスタ1（DFLWE1）　ビット機能表、レジスタ説明、DBWEj ビット　ビット説明変更
		1915、1916	47.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）　ビット機能表、レジスタ説明、FENTRYD ビット　ビット説明変更
		1917	47.2.9 E2 データフラッシュブランクチェック制御レジスタ（DFLBCCNT）　レジスタ説明、BCADR[10:0] ビット　ビット説明変更
		1918	47.2.10 E2 データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT）　レジスタ説明変更
		1919	47.3 E2 データフラッシュのメモリ領域構成　変更
		1920	表47.2 各モードの相違点　USBブートモード、ユーザブートモード　変更
		1925	47.6.4 FCU コマンド使用方法　(2) プログラム方法　変更
		1926	図47.5 E2 データフラッシュの書き込み　変更
		1928	図47.6 E2 データフラッシュのブランクチェック　変更
		1930	47.7.2 エラープロテクト　変更
		1931	47.8.1 問い合わせ設定コマンド　変更
		1933	47.8.2 プログラム/ イレーズコマンド　(1) データ領域チェックサム　変更
		1934	47.9 使用上の注意事項　(3) その他の注意事項　変更
		48. バウンダリスキャン	
		1951	図48.4 各端子の構成　変更
		49. ROM レス版	
		1952	表49.1 フラッシュメモリ版との仕様の相違点　変更
		1953	49.2.2 モードステータスレジスタ（MDSR）　変更
		1954	図49.1 内蔵ROM無効拡張モードのメモリマップ　注2追加
		1956	49.5.1 システムクロックコントロールレジスタ（SCKCR）　注記変更
		1957	49.6 FCU関連割り込み　文章変更
		1957	49.6.1 割り込み要求レジスタ21（IR21）および割り込み要求レジスタ23（IR23）　追加
		1957	49.6.2 割り込み要求レジスタ02（IR02）　変更
		1957	49.6.3 割り込み要因プライオリティレジスタ（IPR001およびIPR002）　文章変更
		1958	49.7.1 CS0領域　文章変更
		1958	表49.2 CS0領域と外部ブートROMを接続する端子機能一覧　変更
		1962	49.9 RAM　文章変更
		1962	49.12 使用上の注意事項　文章変更
		50. 電気的特性	
		1963～2019	追加
1.50	2012.11.15	全体	
		—	64ピンLQFP、48ピンLQFPのパッケージおよびROM/RAM容量ラインナップを追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2012.11.15	—	用語統一（カウントダウン/カウントアップ・アップ/ダウンカウント⇒アップカウント/ダウンカウント、内蔵RAM⇒RAM、内蔵ROMとROMの使い分け、端子リセット、端子からのリセット⇒RES#端子リセット、IWDT用LOCOクロック、IWDT専用低速クロック⇒IWDT専用クロック(IWDTCLK)、高速クロック ⇒ HOCOクロック、低速クロック ⇒ LOCOクロック、)、CANCLK ⇒ CANMCLK）
		特長	
		50	変更
		1. 概要	
		51～120	TRSYNC#端子をTRSYNC端子に変更
		51～55	表1.1 仕様概要　メモリ、I/Oポート、電源電圧、パッケージ変更
		56	表1.2 RX63Nグループ、RX631グループパッケージ別機能比較一覧　変更
		57～60	表1.3 製品一覧表　変更
		61	図1.1 型名とメモリサイズ・パッケージ　変更
		69	図1.3 ピン配置図（177 ピンTFLGA）　注記追加
		70	図1.4 ピン配置図（176 ピンLFBGA）　注記追加
		71	図1.5 ピン配置図（176 ピンLQFP）　注記追加
		72	図1.6 ピン配置図（145 ピンTFLGA）　注記追加
		73	図1.7 ピン配置図（144 ピンLQFP）　注記追加
		74	図1.8ピン配置図（100ピンTFLGA）　追加
		75	図1.9 ピン配置図（100ピンLQFP）　注記追加
		76	図1.10 ピン配置図（64ピンLQFP）　追加
		77	図1.11 ピン配置図（48ピンLQFP）　追加
		106～110	表1.9 機能別端子一覧（100ピンTFLGA）　追加
		116～118	表1.11 機能別端子一覧（64ピンLQFP）　追加
		119、120	表1.12 機能別端子一覧（48ピンLQFP）　追加
		2. CPU	
		132	2.4 データタイプ　文章変更
		—	2.4.1 整数～2.4.4 ストリング　削除
		142	表2.14 複数マイクロオペレーションに変換される命令　POPM “Rs-Rs2” をPOPM “Rd-Rd2”に変更
		4. アドレス空間	
		157	図4.1 各動作モードのメモリマップ　変更
		5. I/Oレジスタ	
		161～205	表5.1 I/Oレジスタアドレス一覧　変更
		6. リセット	
		214	図6.2 電圧監視1リセット、電圧監視2リセット動作例　変更
		7. オプション設定メモリ	
		225	図7.2 UB コードA の構成　変更
		225	図7.3 UB コードB の構成　変更
		9. クロック発生回路	
		—	IWDT専用低速クロックをIWDT専用クロックに変更 文中のWAIT 命令発行をWAIT 命令実行に変更
		242	図9.1 クロック発生回路のブロック図　変更
		261	表9.5 水晶発振子の特性（参考値）　表および説明追加
		269	9.10.5 サブクロック発振器に関する注意事項　文章変更
		270	9.10.6 低CL水晶発振子の使用に関する注意事項　追加
		270	9.10.7 48ピンパッケージ製品に関する注意事項　追加
		11. 消費電力低減機能	
		—	文中のWAIT 命令発行をWAIT 命令実行に変更
		281	図11.1 モード遷移　注6変更
		292	11.2.7 メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）　文章変更
		293	11.2.8 サブクロック発振器ウェイトコントロールレジスタ（SOSCWTCR）　文章変更
		295	11.2.9 PLL ウェイトコントロールレジスタ（PLLWTCR）　文章変更
		315	11.6.2.1 全モジュールクロックストップモードへの移行　文章変更、注5追加
		319	図11.2 ソフトウェアスタンバイモードの応用例　変更
		15. 割り込みコントローラ（ICUb）	
		342	図15.1 割り込みコントローラのブロック図　変更
		366	15.3.1 割り込みのベクタテーブル　文章追加
		367～373	表15.3 割り込みベクタテーブル　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2012.11.15	16. バス	
		450	図16.25 ノーマルライトアクセスの動作例（32 ビットバス空間に対して16 ビットアクセスした場合：バイトストローブモード時）（n=0 ～ 7） 変更
		—	図16.26 ノーマルライトアクセスの動作例（32 ビットバス空間に対して32 ビットアクセスした場合：1ライトストローブモード時）（n=0 ～ 7） 削除
		—	図16.34 アドレス/ データマルチプレクスI/O インタフェース時、リードアクセスが分割された場合の動作例（m=0、1）、図16.42 アドレス/ データマルチプレクスI/O インタフェース時、ライトアクセスが分割された場合の動作例（m=0、1） 削除
		—	図16.51 BCLK 端子出力選択ビットでBCLK の2 分周を設定した場合のリカバリサイクルの動作例（バスアクセスが分割された場合）（m=0 ～ 3） 削除
		504	表16.21 発生するバスエラーの種類 変更
		17. メモリプロテクションユニット（MPU）	
		505	表17.1 メモリプロテクションの仕様 変更
		18. DMAコントローラ（DMACA）	
		525	図18.1 DMAC のブロック図 変更
		20. データトランスファコントローラ（DTCa）	
		633	図20.1 ＤＴＣ のブロック図 変更
		645	図20.4 DTC 動作フローチャート 変更
		21. I/Oポート	
		663	21.1 概要 文章変更
		663	表21.1 I/Oポートの仕様 変更
		664	表21.2 I/Oポートの機能（176ピン、144ピン、100ピン） タイトル変更
		665	表21.3 I/Oポートの機能（64ピン、48ピン） 追加
		666	図21.1 入出力ポートの構成(1) 変更
		667	図21.2 入出力ポートの構成(2) 変更
		668	図21.3 入出力ポートの構成(3) 変更
		669	図21.4 入出力ポートの構成(4) 変更
		678	21.3.9 ポート切り替えレジスタA（PSRA） 追加
		679	21.3.10 ポート切り替えレジスタB（PSRB） 追加
		680	表21.4 未使用端子の処理内容 変更
		680	21.5 使用上の注意事項 追加
		22. マルチファンクションピンコントローラ（MPC）	
		682～697	表22.1 マルチプル端子の割り当て端子一覧 変更
		700	表22.3 100ピンLQFP、64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定 タイトル変更
		703	表22.6 64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定 変更
		705	表22.9 64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定 変更
		706	表22.11 64ピンLQFP、48ピンLQFP 端子入出力機能レジスタ設定 変更
		709	表22.15 64ピンLQFP 端子入出力機能レジスタ設定 変更
		715	表22.21 64ピンLQFP 端子入出力機能レジスタ設定 変更
		715	表22.22 48ピンLQFP 端子入出力機能レジスタ設定 変更
		718	表22.25 64ピンLQFP 端子入出力機能レジスタ設定 変更
		718	表22.26 48ピンLQFP 端子入出力機能レジスタ設定 変更
		720	表22.29 64ピンLQFP 端子入出力機能レジスタ設定 変更
		721	表22.30 48ピンLQFP 端子入出力機能レジスタ設定 変更
		724	表22.35 64ピンLQFP 端子入出力機能レジスタ設定 変更
		724	表22.36 48ピンLQFP 端子入出力機能レジスタ設定 変更
		23. マルチファンクションタイマパルスユニット2（MTU2a）	
		745	図23.1 MTUのブロック図 変更
		769	23.2.9 タイマA/D 変換開始要求コントロールレジスタ（TADCR） 注記変更
		823	23.3.8 相補PWM モード （j）相補PWM モードのPWM 出力生成方法 データ⇒コンペアに変更、文中の実線をMTU3.TCNTに変更
		838～840	図23.49 相補PWM モード0%、100% 波形出力例（1）～ 図23.53 相補PWM モード0%、100% 波形出力例（5） 移動
		863	23.4.3 A/D コンバータの起動 （4）MTU0.TGRA, MTU0.TGRBのインプットキャプチャ / コンペアマッチによるA/D コンバータの起動 変更
		864	表23.58 各割り込み要因とA/D変換開始要求の対応 変更
		878	図23.112 TGR の読み出しとインプットキャプチャの競合（MTU0 ～ MTU5） 変更
		—	図23.113 TGR の読み出しとインプットキャプチャの競合（MTU5） 削除

Rev.	発行日	改訂内容	
		ページ	ポイント
1.50	2012.11.15	886	23.6.24 MTU5.TCNTとMTU5.TGRの注意事項　追加
		890	23.7.2 動作中の異常などによる再設定時の動作　文章変更
		892	23.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要　（2）ノーマルモードで動作中に異常が発生し、PWM モード1 で再スタートする場合の動作　文章追加
		898、899	23.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要　（9）PWM モード1 で動作中に異常が発生し、PWM モード2 で再スタートする場合の動作　文章（12）削除
		24. ポートアウトプットイネーブル2（POE2a）	
		916	表24.1 POEの仕様　変更
		917	図24.1 POEのブロック図　変更
		919	24.2.1 入力レベルコントロール/ ステータスレジスタ1（ICSR1）　ビット表変更
		922	24.2.3 入力レベルコントロール/ ステータスレジスタ2（ICSR2）　ビット表変更
		25. 16 ビットタイマパルスユニット（TPUa）	
		932～933	表25.2 TPU（ユニット0）の機能一覧　変更
		934～935	表25.3 TPU（ユニット1）の機能一覧　変更
		936	図25.1 TPU（ユニット0）のブロック図　変更
		937	図25.2 TPU（ユニット1）のブロック図　変更
		955	25.2.4 タイマ割り込み許可レジスタ（TIER）　注3追加
		991	25.7 A/D コンバータの起動　文章変更
		1002	図25.52 オーバフローとカウンタクリアの競合　変更
		1003	図25.53 TPUm.TCNT カウンタへの書き込みとオーバフローの競合　変更
		1004	図25.54 コンペアマッチパルス割り込みの連続出力　変更
		1005	図25.55 インプットキャプチャパルス割り込みの連続出力　変更
		1006	図25.56 アンダフローパルス割り込みの連続出力　変更
		27. 8ビットタイマ（TMR）	
		1038	表27.2 TMRの機能一覧　変更
		29. リアルタイムクロック（RTCa）	
		—	スタンバイをスタンバイモードに変更
		1069	表29.1 RTCの仕様　注1追加
		1087	29.2.19 RTC コントロールレジスタ3（RCR3）　変更
		1099	図29.3 クロック設定手順　変更
		1101	図29.6 時刻読み出し手順　変更
		1106	29.3.8.5 時間キャプチャ機能　タイトル変更
		1111	図29.14 初期化手順　変更
		30. ウォッチドッグタイマ（WDTA）	
		1122	30.3.1.2 オートスタートモード　文章変更
		31. 独立ウォッチドッグタイマ（IWDTa）	
		1129、1130	表31.1 IWDTの仕様　変更
		1145	31.3.5 リセット出力　文章変更
		34. USB2.0 ファンクションモジュール（USBa）	
		—	スタンバイをスタンバイモードに変更
		35. シリアルコミュニケーションインタフェース（SCIc、SCId）	
		1327、1328	表35.1 SCIcの仕様、表35.2 SCIdの仕様　変更
		1343	35.2.6 シリアルコントロールレジスタ（SCR）　注2変更
		1347	35.2.7 シリアルステータスレジスタ（SSR）　変更
		1352	表35.8 BRR レジスタの設定値Nとビットレートの関係　注記変更
		1352	35.2.9 ビットレートレジスタ（BRR）　文章変更
		1353	表35.11 スマートカードインタフェースモード時の基本クロックの設定　変更
		1354	表35.12 ビットレートに対するBRRの設定例（調歩同期式モード）（4）　変更
		1357	表35.15 ビットレートに対するBRRの設定例（クロック同期式モード、簡易SPIモード）　注記変更
		1358	表35.18 各動作周波数における最大ビットレート（スマートカードインタフェースモードでS＝372のとき）　変更
		1361	図35.4 TMR クロック入力時の平均転送レート設定例　変更
		1397	図35.21 SCI の初期化フローチャートの例（クロック同期式モード）　変更
		1425	35.8.3 スレーブモード時のSS機能　文章変更
		36. I^2C バスインタフェース（RIIC）	
		1477	36.2.10 I^2C バスステータスレジスタ2（ICSR2）　変更
		1484	36.2.14 I^2C バスビットレートハイレベルレジスタ（ICBRH）　注1変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.60	2013.02.28	1510	36.7.4 ホストアドレス検出機能　文章変更
		37. CANモジュール（CAN）	
		1535	37.2.2 ビットコンフィグレーションレジスタ（BCR）　変更
		38. シリアルペリフェラルインタフェース（RSPI）	
		1586	表38.1 RSPIの仕様　変更
		1593	38.2.4 RSPI ステータスレジスタ（SPSR）　文章変更
		1639	38.3.10.1 マスタモード動作　（4）バースト転送　文章一部削除
		39. IEBus™ コントローラ（IEB）	
		—	39.1.1 IEBus 通信プロトコル、36.1.2 伝送プロトコル、36.1.4 ビットフォーマット　削除
		41. 12ビットA/Dコンバータ（S12ADa）	
		1712	図41.1 12 ビットA/D コンバータのブロック図　変更
		1729	表41.7 スキャンでの各所要時間（ADCLKとPCLKのサイクル数で示します）　変更
		42. 10ビットA/Dコンバータ（ADb）	
		1740	図42.1 10 ビットA/D コンバータのブロック図　変更
		1744	42.2.2 A/D コントロール/ ステータスレジスタ（ADCSR）　注1変更
		43. D/Aコンバータ（DAa）	
		1770	43.2.2 D/A コントロールレジスタ（DACR）　注2変更
		45. RAM	
		1781	表45.1 RAMの仕様　追加
		46. フラッシュメモリ	
		1782～1871	46. ROM（コード格納用フラッシュメモリ）と47. E2データフラッシュ（データ格納用フラッシュメモリ）をまとめて46. フラッシュメモリを追加
		48. ROMレス版	
		1889	表48.1 フラッシュメモリ版との仕様の相違点　変更
		1890	48.2 動作モードの種類　文章変更
		1890	48.2.2 モードステータスレジスタ（MDSR）　変更
		1776～1864	48.2.3 システムコントロールレジスタ0（SYSCR0）　変更
		1892	48.5.1 システムクロックコントロールレジスタ（SCKCR）　注5　追加
		1896	48.7.2 CS0 制御レジスタ（CS0CR）　変更
		49. 48ピン製品の使用上の注事項	
		1900	追加
		50. 電気的特性	
		全体	表の特性およびタイミングの条件を変更
		1904	表50.4 DC特性（3）　変更
		1906	表50.5 DC特性（4）　条件　変更
		1907～1908	50.3 AC特性　項構成変更
		1910	表50.11 クロックタイミング（サブクロック関連を除く）　条件と表変更、注記追加
		1912	表50.12 クロックタイミング（サブクロック関連）　条件と表変更、注記追加
		1954	表50.33 バッテリバックアップ機能特性　条件変更
		付録2. 外形寸法図	
		1972	図I. 64ピンLQFP（PLQP0064KB-A）　追加
		1973	図H. 48ピンLQFP（PLQP0048KB-A）　追加
		特長	
		50	変更
		1. 概要	
		51、55	表1.1 仕様概要　変更、注記追加
		57～63	表1.3 製品一覧表　変更
		64	図1.1 型名とメモリサイズ・パッケージ　変更
		65	図1.2 ブロック図　変更
		4. アドレス空間	
		159	図4.1 各動作モードのメモリマップ　変更
		11. 消費電力低減機能	
		281	表11.2 各モードにおける遷移および解除方法と動作状態　変更
		289	11.2.4 モジュールストップコントロールレジスタC（MSTPCRC）　変更
		322	11.6.4.1 ディープソフトウェアスタンバイモードへの移行　注2変更
		45. RAM	
		1783	表45.1 RAMの仕様　変更
		1783	45.2.1 データ保存　文章変更
		1783	45.2.2 消費電力低減機能　文章変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.70	2013.10.08	特徴	
		51	図、多種多様な通信機能を内蔵　変更、
		1. 概要	
		53～56	表1.1 仕様概要　汎用入出力ポート、パッケージ　変更、パラレルデータキャプチャユニット（PDC）　追加
		57	表1.2 RX63Nグループ、RX631グループパッケージ別機能比較一覧　64ピンLQFP　変更、64ピンTFLGA、パラレルデータキャプチャユニット（PDC）　追加
		58～65	表1.3 製品一覧表 変更
		66	図1.1 型名とメモリサイズ・パッケージ　変更
		67	図1.2 ブロック図　変更
		71	表1.4 端子機能一覧 パラレルデータキャプチャユニット（PDC）　追加
		81	図1.10 ピン配置図（64 ピンTFLGA）　追加
		84～91	表1.5 機能別端子一覧（177ピンTFLGA、176ピンLFBGA）変更
		92～99	表1.6 機能別端子一覧（176ピンLQFP）　変更
		100～106	表1.7 機能別端子一覧（145ピンTFLGA）　変更
		107～113	表1.8 機能別端子一覧（144ピンLQFP）　変更
		124～125	表1.11 機能別端子一覧（64ピンTFLGA）　追加
		2. CPU	
		148	2.7.1.1 データプリフェッチ　タイトル追加
		148	2.7.1.2 外部空間へのアクセス[外部空間あり製品のみ]　追加
		148	2.7.1.3 I/O レジスタへのアクセス　追加
		3. 動作モード	
		159	3.1 動作モードの種類と選択　変更
		159	表3.1 モード設定端子による動作モードの選択（64ピンTFLGA以外の製品）　タイトル変更
		159	表3.2 モード設定端子による動作モードの選択（64ピンTFLGA）追加
		164	3.3.4 ブートモード　変更
		165	3.3.5 USB ブートモード　変更
		165	3.3.6 ユーザブートモード　変更
		165	3.4.1 モード設定端子による動作モード遷移　変更
		166	図3.1 モード設定端子のレベルと動作モード　変更
		4. アドレス空間	
		169	図4.1 各動作モードのメモリマップ　変更
		5. I/O レジスタ	
		172	(4) RMPA 命令、ストリング操作命令に関する制約事項　追加
		173～217	表5.1 I/O レジスタアドレス一覧　変更
		6. リセット	
		255	図6.1 パワーオンリセット、電圧監視0 リセット動作例　変更
		266	図6.2 電圧監視1 リセット、電圧監視2 リセット動作例　変更
		7. オプション設定メモリ	
		237	7.3 UB コード（64 ピンTFLGA 以外の製品）　変更
		237～238	7.4 UB コード（64 ピンTFLGA）　追加
		238	図7.4 UB コードA の構成　追加
		238	図7.5 UB コードB の構成　追加
		8. 電圧検出回路（LVDA）	
		249	図8.4 電圧監視0 リセット動作例　変更
		9. クロック発生回路	
		254	表9.1 クロック発生回路の仕様　変更
		255	図9.1 クロック発生回路のブロック図　変更
		256	9.2.1 システムクロックコントロールレジスタ（SCKCR）　変更
		278	9.7 内部クロック　(2)、(3)　変更
		278	9.7.2 周辺モジュールクロック　変更
		11. 消費電力低減機能	
		294	図11.1 モード遷移　変更
		297	11.2.2 モジュールストップコントロールレジスタA（MSTPCRA） ACSE ビット（全モジュールクロックストップモード許可ビット）　変更
		298	11.2.3 モジュールストップコントロールレジスタB（MSTPCRB）　変更
		300	11.2.4 モジュールストップコントロールレジスタC（MSTPCRC）　注1.　変更
		301	11.2.5 モジュールストップコントロールレジスタD（MSTPCRD）　追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.70	2013.10.08	307、308	11.2.9 サブクロック発振器ウェイトコントロールレジスタ（SOSCWTCR） 変更
		329	11.6.2.1 全モジュールクロックストップモードへの移行 変更
		339	11.7.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み 変更
		13. レジスタライトプロテクション機能	
		344	表13.1 PRCR レジスタと保護されるレジスタの対応 変更
		15. 割り込みコントローラ（ICUb）	
		386	表15.3 割り込みのベクタテーブル 変更
		387	15.3.3 ノンマスカブル割り込みのベクタテーブル 変更
		16. バス	
		406	表16.1 バスの仕様 変更
		409	表16.4 内部周辺バスに接続される周辺機能 変更
		18. DMAコントローラ（DMACA）	
		567	図18.12 レジスタの設定手順 変更
		21. I/Oポート	
		678	表21.1 I/Oポートの仕様 変更
		22. マルチファンクションピンコントローラ（MPC）	
		697～712	表22.1 マルチプル端子の割り当て端子一覧 変更
		715	表22.3 100ピンLQFP 端子入出力機能レジスタ設定 タイトル変更
		715	表22.4 64ピンLQFP、64ピンTFLGA 端子入出力機能レジスタ設定 追加
		716	表22.5 177ピンTFLGA、176ピンLFBGA、176ピンLQFP 端子入出力機能レジスタ設定 変更
		717	表22.6 145ピンTFLGA、144ピンLQFP端子入出力機能レジスタ設定 変更
		717	表22.7 100ピンLQFP 端子入出力機能レジスタ設定 タイトル変更
		718	表22.8 64ピンTFLGA 端子入出力機能レジスタ設定 追加
		719	表22.10 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP端子入出力機能レジスタ設定 変更
		720	表22.12 64ピンLQFP、64ピンTFLGA、48ピンLQFP 端子入出力機能レジスタ設定 タイトル変更
		721	表22.13 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP端子入出力機能レジスタ設定 変更
		722	表22.14 100ピンLQFP端子入出力機能レジスタ設定 追加
		722	表22.15 64ピンLQFP、64ピンTFLGA、48ピンLQFP 端子入出力機能レジスタ設定 タイトル変更
		728	表22.22 177ピンTFLGA、176ピンLFBGA、176ピンLQFP、145ピンTFLGA、144ピンLQFP端子入出力機能レジスタ設定 変更
		731	表22.25 64ピンLQFP、64ピンTFLGA 端子入出力機能レジスタ設定 タイトル変更
		733	表22.29 64ピンLQFP、64ピンTFLGA 端子入出力機能レジスタ設定 タイトル変更
		736	表22.33 64ピンTFLGA 端子入出力機能レジスタ設定 追加
		740	表22.40 64ピンLQFP、64ピンTFLGA 端子入出力機能レジスタ設定 タイトル変更
		29. リアルタイムクロック（RTCa）	
		1123	表29.4 RTCの割り込み要因 変更
		34. USB2.0ホスト/ファンクションモジュール（USBa）	
		1235	34.2.2 システムコンフィギュレーションステータスレジスタ0（SYSSTS0） 変更
		1254	34.2.13 割り込みステータスレジスタ0（INTSTS0） 注1. 変更
		35. シリアルコミュニケーションインタフェース（SCIc、SCId）	
		1469	35.12.14 トランスミットイネーブルビット (TE ビット) に関する注意事項 追加
		36. I^2Cバスインタフェース（RIIC）	
		1480	36.2.4 I^2C バスモードレジスタ2（ICMR2） 変更
		1503	36.2.18 タイムアウト内部カウンタ（TMOCNT） 追加
		1503	表36.6 16ビットアクセスレジスタの配置 追加
		1505	図36.5 RIIC の初期化フローチャート例 変更
		1507	図36.6 マスタ送信のフローチャート例 変更
		1511	図36.10 マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合） 変更
		1515	図36.14 スレーブ送信のフローチャート例 変更
		1518	図36.17 スレーブ受信のフローチャート例 変更
		1544	表36.7 割り込み要因 変更
		37. CANモジュール（CAN）	
		1586	37.2.24 テスト制御レジスタ（TCR） 変更
		39. IEBus™コントローラ（IEB）	
		1682	図 39.3 IEB のブロック図 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.70	2013.10.08	1716	39.6 割り込み要因　変更
		1716	図 39.15 IEB の割り込み要因の関係　変更
		41. パラレルデータキャプチャユニット（PDC）	
		1728～1753	追加
		42. 12 ビット A/D コンバータ（S12ADa）	
		1754	表 42.1 12 ビット A/D コンバータの仕様　注 4.　追加
		47. フラッシュメモリ	
		1883	47.7 ユーザブートモード　変更
		1884	表 47.13 ROM / E2 データフラッシュ関連の入出力端子　変更
		1911	図 47.35 USB ブートモードのシステム構成図　変更
		48. バウンダリスキャン	
		1917	表 48.3 バウンダリスキャンのレジスター覧　注 1.　追加
		49. ROM レス版	
		1936	49.5.1 システムクロックコントロールレジスタ（SCKCR）　変更
		51. 電気的特性	
		1948	表 51.4 DC 特性（3）　変更、注 9.、注 10. 追加
		1956	表 51.12 クロックタイミング（サブクロック関連）　注 3.　追加
		1984	表 51.25 内蔵周辺モジュールタイミング（8）　追加
		1992	図 51.58 PDC タイミング　追加
		1993	図 51.59 PDC 入力クロック特性　追加
		1993	図 51.60 PDC 出力クロック特性　追加
		1996	表 51.28 12 ビット A/D 変換特性　変更
		2001	表 51.35 ROM（コード格納用フラッシュメモリ）特性 (1)　追加
		2001	表 51.36 ROM（コード格納用フラッシュメモリ）特性 (2)　変更
		2002	表 51.37 E2 フラッシュ特性 (1)　追加
		2002	表 51.38 E2 フラッシュ特性 (2)　変更
		付録 2.　外形寸法図	
		2017	図 H. 64 ピン TFLGA（PTLG0064JA-A）

RX63Nグループ、RX631グループ ユーザーズマニュアル
ハードウェア編

発行年月日　2011年4月26日　Rev.0.50
　　2013年10月8日　Rev.1.70

発行　　ルネサス エレクトロニクス株式会社
　　〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004 千代田区大手町 2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2013 Renesas Electronics Corporation. All rights reserved.
Colophon 1.2

RX63N グループ、RX631 グループ

ルネサス エレクトロニクス株式会社

R01UH0041JJ0170